



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN) (11) CỤC SỞ HỮU TRÍ TUỆ



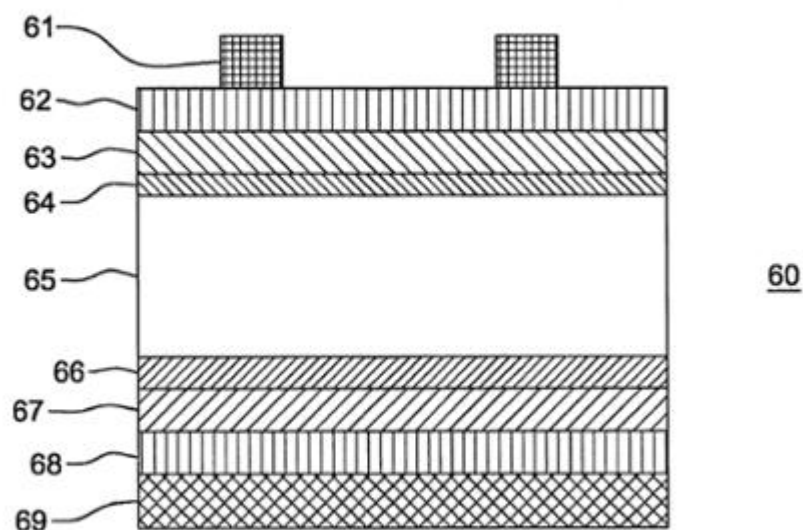
1-0026066

(51)⁷ H01L 31/00 (13) B

- (21) 1-2015-00430 (22) 21/04/2010
(62) 1-2011-03162
(86) PCT/US2010/031869 21/04/2010 (87) WO 2010/123974 28/10/2010
(30) 61/171,194 21/04/2009 US
(45) 26/10/2020 391 (43) 25/09/2012 294A
(73) TETRASUN, INC. (US)
Suite 250A, 20640 Third Street Saratoga, California 95070, United States of America
(72) SCHULTZ-WITTMANN, Oliver (DE); DE CEUSTER, Denis (BE).
(74) Công ty TNHH Tầm nhìn và Liên danh (VISION & ASSOCIATES CO.LTD.)

(54) PHƯƠNG PHÁP SẢN XUẤT PIN MẶT TRỜI

(57) Sáng chế đề cập đến pin mặt trời có nhiều thành phần, nói chung bao gồm nền trung tâm, (các) lớp dẫn điện, (các) lớp khử phản xạ, các lớp làm chậm phản ứng và/hoặc (các) điện cực. Các lớp đa chức năng tạo ra các chức năng kết hợp của chức năng làm chậm phản ứng, độ trong suốt, độ dẫn điện đủ cho dòng phân tử mang đứng, lớp chuyển tiếp, và/hoặc mức độ thay đổi khả năng khử phản xạ. Phương pháp sản xuất pin mặt trời bao gồm bước lắng phủ CVD một mặt và xử lý nhiệt để tạo lớp và/hoặc chuyển đổi cũng được đề cập.



Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập đến pin mặt trời. Cụ thể hơn, sáng chế đề cập đến phương pháp sản xuất pin mặt trời hiệu suất pin cao.

Tình trạng kỹ thuật của sáng chế

Pin mặt trời mang lại lợi ích rộng rãi cho xã hội nhờ chuyển đổi một lượng hầu như không giới hạn năng lượng mặt trời thành điện năng thích hợp. Do việc sử dụng chúng ngày càng gia tăng nên các yếu tố kinh tế nhất định trở nên quan trọng, như hiệu suất và sản xuất với khối lượng cao.

Sản xuất với khối lượng cao nói chung được coi là để đạt được mức cao về hiệu quả chi phí và hiệu suất nếu số lượng các bước sản xuất và mức độ phức tạp của mỗi bước sản xuất có thể được giảm tới mức tối thiểu.

Hiệu suất của pin mặt trời thành phẩm ở mức 20% hoặc cao hơn là được mong muốn trong ngành công nghiệp này, tuy nhiên, các phương án đã biết về các pin hiệu quả như vậy thường có kết cấu pin phức tạp và/hoặc phương pháp sản xuất phức tạp.

Do đó điều cần thiết là pin mặt trời có hiệu suất hoạt động cao và có thể được sản xuất với chi phí thấp.

Trong bản mô tả này, thuật ngữ “bao gồm” cần được hiểu theo cách có nghĩa rộng giống như thuật ngữ “gồm cả” và cần được hiểu là bao gồm cả số nguyên hoặc bước hoặc nhóm của các số nguyên hoặc các bước đã nêu nhưng không loại trừ bất kỳ số nguyên hoặc bước hoặc nhóm các số nguyên hoặc các bước khác. Thuật ngữ này cũng áp dụng cho các thay đổi của thuật ngữ “bao gồm” chia theo ngôi số nhiều hoặc số ít.

Bản chất kỹ thuật của sáng chế

Theo một khía cạnh của sáng chế, sáng chế đề cập đến một cơ cấu bất kỳ hoặc kết hợp của các cơ cấu pin mặt trời dưới đây, nói chung bao gồm nền trung tâm, (các) lớp dẫn điện, (các) lớp khử phản xạ, các lớp làm chậm phản ứng và/hoặc (các) điện cực. Các lớp đa chức năng tạo ra các chức năng kết hợp của chức năng làm chậm phản ứng, độ trong suốt, độ dẫn điện thỏa đáng cho dòng phân tử mang đúng, lớp chuyển tiếp, và/hoặc thay đổi mức khử phản xạ. Các phương pháp sản xuất cải tiến bao gồm quy trình lắng phủ CVD một mặt và xử lý nhiệt đối với việc tạo lớp và/hoặc việc chuyển đổi cùng được bộc lộ.

Theo một khía cạnh, sáng chế bao gồm các phương pháp sản xuất cơ cấu bất kỳ trong số các cơ cấu này, bao gồm bước: tạo ra tấm mỏng làm nền trung tâm; lắng phủ hoặc phát triển các lớp làm chậm phản ứng của bề mặt chuyển tiếp lên nền; việc lắng phủ của các lớp dẫn điện lên trên các lớp làm chậm phản ứng; tiến hành xử lý nhiệt; lắng phủ tùy ý các lớp khử phản xạ (có thể bao gồm các gương phía sau); và tiến hành mạ kim loại làm các điện cực.

Theo một phương án, sáng chế bao gồm bước tiến hành xử lý nhiệt để tạo màng đa chức năng, màng này tách thành lớp làm chậm phản ứng bề mặt chuyển tiếp và lớp làm chậm phản ứng đa tinh thể được pha tạp cao có độ trong suốt cao.

Theo một phương án, sáng chế bao gồm bước tiến hành lắng phủ hợp chất chứa silic vô định hình và sử dụng bước xử lý nhiệt để khởi đầu sự kết tinh thành màng đa tinh thể.

Theo một phương án, sáng chế bao gồm bước tiến hành lắng phủ hợp chất chứa silic vô định hình và sử dụng bước xử lý nhiệt dẫn tới sự kết tinh của màng và làm tăng hệ số truyền quang.

Theo một phương án, sáng chế bao gồm bước tiến hành lắng phủ hợp chất chứa silic vô định hình và sử dụng bước xử lý nhiệt để kích hoạt các nguyên tử pha tạp trong hợp chất.

Theo một phương án, sáng chế bao gồm bước tiến hành lắng phủ hợp chất chứa silic vô định hình và sử dụng bước xử lý nhiệt lớn hơn 500°C để kích hoạt các nguyên tử pha tạp trong hợp chất và tạo ra sự khuếch tán của nguyên tử pha tạp vào tấm nền để tạo thành lớp chuyển tiếp cao-thấp hoặc lớp chuyển tiếp p-n.

Các hệ thống và các sản phẩm chương trình máy tính tương ứng với các phương pháp nêu trên cũng được mô tả và được yêu cầu bảo hộ.

Ngoài ra, các ưu điểm và các dấu hiệu bổ sung được thực hiện thông qua các phương pháp của sáng chế. Các phương án và khía cạnh khác của sáng chế được mô tả ở đây và được coi là một phần sáng chế.

Mô tả vắn tắt các hình vẽ

Đối tượng của sáng chế được thể hiện cụ thể và được xác định trong yêu cầu bảo hộ của sáng chế thuộc bản mô tả này. Các mục tiêu, dấu hiệu và ưu điểm của sáng chế sẽ trở nên rõ ràng từ phần mô tả chi tiết dưới đây có dựa vào các hình vẽ kèm theo trong đó:

Fig.1 là biểu đồ dải năng lượng dùng cho pin mặt trời silic kết tinh loại -n có các lớp silic đa tinh thể pha tạp và bề mặt chuyển tiếp làm chậm phản ứng;

Fig.2 là hình vẽ mặt cắt ngang một phần pin mặt trời mô tả một loại của dòng phần tử mang chủ yếu và thứ yếu dùng cho lát loại-p có lớp chuyển tiếp trước;

Fig.3 là hình vẽ mặt cắt ngang một phần pin mặt trời mô tả một loại của dòng phần tử mang chủ yếu và thứ yếu dùng cho lát loại-p có lớp chuyển tiếp sau;

Fig.4 là hình vẽ mặt cắt ngang một phần pin mặt trời mô tả một loại của dòng phần tử mang chủ yếu và thứ yếu dùng cho lát loại-n có lớp chuyển tiếp trước;

Fig.5 là hình vẽ mặt cắt ngang một phần pin mặt trời mô tả một loại của dòng phần tử mang chủ yếu và thứ yếu dùng cho lát loại-n có lớp chuyển tiếp sau;

Fig.6 là hình vẽ mặt cắt ngang một phần pin mặt trời có lát phía trước loại-n, loại-n- hoặc p và phía sau loại-p ;

Fig.7 là hình vẽ mặt cắt ngang một phần pin mặt trời có lát phía trước loại-n, loại-n- hoặc p và phía sau loại-p trong kết cấu hai mặt;

Fig.8 là hình vẽ mặt cắt ngang một phần pin mặt trời có lát phía trước loại-n, loại-n, phía sau loại-p, và bao gồm lớp cách ly lớp khử phản xạ;

Fig.9 là hình vẽ mặt cắt ngang một phần pin mặt trời có lát phía trước loại-n, loại-n, phía sau loại-p, và bao gồm lớp hợp chất silic pha tạp cao, dẫn điện, trong suốt đa chức năng;

Fig.10 là hình vẽ mặt cắt ngang một phần pin mặt trời có lát loại-n hoặc p, phía trước loại-n, bao gồm các cải thiện của lớp trước đã biết, và phía sau loại-p;

Fig.11 là hình vẽ mặt cắt ngang một phần pin mặt trời có lát phía trước loại p, loại-n hoặc p, và phía sau loại-n;

Fig.12 là hình vẽ mặt cắt ngang một phần pin mặt trời có lát phía trước loại p, loại-n hoặc p, phía sau loại-n, trong kết cấu hai mặt;

Fig.13 là hình vẽ mặt cắt ngang một phần pin mặt trời có lát phía trước loại p, loại p, phía sau loại-n, và bao gồm lớp cách ly lớp khử phản xạ;

Fig.14 là hình vẽ mặt cắt ngang một phần pin mặt trời có lát phía trước loại p, loại p, phía sau loại-n, và bao gồm lớp hợp chất silic pha tạp cao, dẫn điện, trong suốt đa chức năng;

Fig.15 là hình vẽ mặt cắt ngang một phần pin mặt trời có lát loại-n hoặc p, phía trước loại p, bao gồm các phần cải tiến của lớp trước đã biết, và phía sau loại-n;

Fig.16 là hình vẽ mặt cắt ngang một phần pin mặt trời có màng thủy tinh hoặc trong suốt khác với các điện cực nhúng, được nén hoặc được liên kết với pin;

Fig.17 là hình vẽ mặt cắt ngang một phần pin mặt trời có màng thủy tinh hoặc trong suốt khác với các điện cực nhúng, được nén hoặc được liên kết với pin, bao gồm điện cực được định vị ở phía sau; và

Fig.18 là hình vẽ mặt cắt ngang một phần pin mặt trời có các lớp đệm silic bổ sung được tạo ra ở đó;

Tất cả các hình vẽ này đều phù hợp với sáng chế.

Mô tả chi tiết sáng chế

Tham chiếu biểu đồ dải năng lượng và các hình vẽ mặt cắt ngang một phần thể hiện pin mặt trời làm ví dụ trên các hình vẽ từ Fig.1 đến Fig.5, bức xạ mặt trời được giả định là chiếu lên một bề mặt của pin mặt trời, được gọi là mặt trước. Để đạt được hiệu quả chuyển đổi năng lượng cao của các photon tới thành năng lượng điện, sự hấp thụ hiệu quả của các photon bên trong chất nền silic tạo ra pin đóng vai trò quan trọng. Điều này có thể đạt được bằng sự hấp thụ quang ký sinh mức thấp của các photon bên trong tất cả các lớp ngoại trừ chính nền này.

Để đơn giản hóa, hình dạng hình học của bề mặt của các bề mặt lớp (ví dụ kết cấu bề mặt như hình chóp, hoặc kết cấu bề mặt khác, có thể được tạo ra trên các bề mặt lớp) không được thể hiện trên các hình vẽ này, tuy nhiên, cần hiểu rằng hình dạng hình học và/hoặc các bề mặt có thể được cấu tạo theo hình dạng bất kỳ có lợi cho việc nâng cao hiệu suất pin mặt trời, và vẫn thuộc phạm vi của sáng chế.

Một thông số quan trọng đối với hiệu suất pin mặt trời cao là làm chậm phản ứng bề mặt. Làm chậm phản ứng bề mặt tạo ra sự ngăn chặn tái tổ hợp của các electron và các lỗ ở hoặc trong vùng lân cận của các bề mặt vật lý đã biết bên trong pin mặt trời. Sự tái tổ hợp bề mặt có thể được giảm bớt nhờ ứng dụng các lớp điện môi. Các lớp này giảm bớt độ dày bề mặt chuyển tiếp ở nhiều trạng thái và do đó giảm bớt số lượng của các trung tâm tái tổ hợp. Hai ví dụ cụ thể là oxit silic phát triển nhiệt và nitrit silic lắng phủ PECVD. Một ví dụ khác về lớp làm chậm phản ứng bề mặt là lớp silic vô định hình trong. Các lớp này cũng có thể

tạo ra điện tích để làm giảm số lượng phần tử mang của cực tính đối nghịch và giảm bớt tốc độ tái tổ hợp thông qua cơ chế này. Hai ví dụ cụ thể là nitrit silic và oxit nhôm.

Một phương pháp khác giảm số lượng phần tử mang của một loại gắn với bề mặt là sự khuếch tán của các nguyên tử pha tạp cùng loại hoặc pha tạp ngược của loại pha tạp lớp. Trong trường hợp này các mức pha tạp vượt quá mức pha tạp lớp là cần thiết để thu được lớp chuyển tiếp cao-thấp (còn được gọi là vùng bề mặt sau hoặc vùng bề mặt trước) hoặc lớp chuyển tiếp p-n. Điều này có thể đạt được bằng các phương pháp làm chậm phản ứng bề mặt khác nêu trên.

Làm chậm phản ứng bề mặt có thể đóng vai trò quan trọng trong việc tạo ra pin mặt trời năng suất cao. Trong hầu hết các cơ cấu pin mặt trời được mô tả dưới đây theo sáng chế, nhiều lớp hoặc các lớp đa chức năng có thể tạo ra sự làm chậm phản ứng bề mặt tuyệt vời. Điều này có thể đạt được thông qua biên dạng pha tạp quá cao và sự làm chậm phản ứng bổ sung của bề mặt chuyển tiếp sử dụng lớp có mật độ trạng thái bề mặt chuyển tiếp thấp và khe dải cao tạo ra lớp chặn đường hầm cho các hạt mang thứ yếu của nền đi qua. Theo biểu đồ dải năng lượng được thể hiện trên Fig.1. Các đường nét liền mô tả trường hợp của lát silic kết tinh loại-n có bề mặt chuyển tiếp đã làm chậm phản ứng và các lớp làm chậm phản ứng silic đa tinh thể đã được pha tạp. Các đường chấm chấm thể hiện trường hợp lát silic kết tinh loại-n và cấu trúc lớp kép của silic vô định hình trong được tiếp theo bởi lớp silic vô định hình đã được pha tạp, đôi khi được gọi là pin chuyển tiếp dị thể.

Các cấu trúc này tạo ra một lợi ích khác cho pin mặt trời hiệu suất cao: việc tái tổ hợp trong các vùng phía dưới phần tiếp xúc có thể thấp như trong các vùng không có sự tiếp xúc. Các chỗ tiếp xúc có thể được bảo vệ bởi lớp làm chậm phản ứng. Kết quả là, điện tích tiếp xúc có thể được tối ưu hóa đối với các đặc tính quang, đó đó giảm đến mức tối thiểu tổn hao do điện trở, nhưng sự tái tổ hợp hạt mang được ngắt liên kết.

Tùy thuộc vào việc lựa chọn nguyên liệu, và các loại chất pha tạp và nồng độ, các cấu trúc pin được bộc lộ có thể được phân loại là các pin lớp chuyển tiếp-trước hoặc lớp chuyển tiếp-sau. Trong pin lớp chuyển tiếp-trước, các hạt mang thứ yếu (trong trường hợp của lát bán dẫn loại p thì các hạt là electron) được thu gom trên phía chiếu xạ. Trong pin lớp chuyển tiếp sau, các hạt mang thứ yếu được thu gom ở phía đối diện với phía chiếu sáng. Các biểu đồ lưu lượng được thể hiện nói chung trên các hình vẽ thể hiện mặt cắt ngang một

phần của pin mặt trời trên các hình vẽ từ Fig.2 đến Fig.5 đối với các lát bán dẫn loại-p và loại-n.

Fig.2 thể hiện dòng phân tử mang cho pin mặt trời 20, trong đó các hạt mang thứ yếu (các đường nét liền) chảy tới các điện cực trước 21 từ lát bán dẫn loại p 25 có lớp chuyển tiếp trước. Các electron này cần sử dụng dòng chảy bên trong máy phát xạ loại-n mỏng 22 để vượt tới các điện cực 21, và điện trở của tấm bên của máy phát xạ 22 làm tăng tổn hao do điện trở. Các hạt mang chính (các đường nét đứt) có thể sử dụng đường dẫn hình học ngắn nhất tới điện cực sau 29 của toàn diện tích.

Fig.3 thể hiện dòng phân tử mang cho pin mặt trời 30 từ lát bán dẫn loại p 35 có lớp chuyển tiếp sau. Các hạt mang chính (các đường nét đứt) có thể sử dụng khả năng dẫn điện của toàn bộ lát bán dẫn để vượt tới các điện cực trước 31. Các hạt mang thứ yếu (các đường nét liền) có thể sử dụng đường dẫn hình học ngắn nhất để vượt tới máy phát xạ loại-n sau 38, và sự vận chuyển của chúng bên trong máy phóng xạ theo chiều thẳng đứng thay vì chủ yếu là chiều ngang. Cấu trúc lớp chuyển tiếp sau này giảm bớt các yêu cầu về khả năng dẫn điện theo chiều ngang của lớp của máy phát xạ.

Fig.4 thể hiện dòng phân tử mang cho pin mặt trời 40, trong đó các hạt mang thứ yếu (các đường nét liền) chảy tới các điện cực trước 41 từ lát bán dẫn loại-n 45 có lớp chuyển tiếp trước. Các lỗ cần sử dụng dòng chảy bên trong máy phát xạ loại-p mỏng 42 để vượt tới các điện cực 41, và khả năng dẫn điện theo chiều ngang của máy phát xạ xác định tổn hao do điện trở. Các hạt mang chính (các đường nét đứt) có thể sử dụng đường dẫn hình học ngắn nhất tới điện cực sau của toàn diện tích 49.

Fig.5 thể hiện dòng phân tử mang cho pin mặt trời 50 từ lát bán dẫn loại-n 55 có lớp chuyển tiếp sau. Các hạt mang chính (các đường nét đứt) có thể sử dụng khả năng dẫn điện của toàn bộ lát bán dẫn để vượt tới các điện cực trước 51. Các hạt mang thứ yếu (các đường nét liền) có thể sử dụng đường dẫn hình học ngắn nhất để vượt tới máy phát xạ loại-p sau 58, và sự vận chuyển của chúng bên trong máy phát xạ là theo chiều thẳng đứng thay vì chủ yếu là chiều ngang. Cấu trúc lớp chuyển tiếp sau này giảm bớt yêu cầu về khả năng dẫn điện theo chiều ngang của lớp của máy phát xạ.

Pin có lớp chuyển tiếp sau có chỗ tiếp xúc sau có ưu điểm là các hạt mang thứ yếu không phải chảy theo chiều ngang qua máy phát xạ để vượt tới các chỗ tiếp xúc, sự vận

chuyển chúng bên trong máy phát xạ chủ yếu theo chiều thẳng đứng. Điều này giúp giảm bớt các tổn hao liên quan đến sự vận chuyển ngang của các hạt mang thứ yếu bên trong máy phát xạ. Vì việc bao phủ toàn bộ diện tích tiếp xúc là bắt buộc để tạo lợi ích từ đặc tính này của cấu trúc nêu trên, nên việc tiếp xúc có bảo vệ là điều quan trọng, ví dụ do kim loại tiếp xúc với lớp này ở mọi nơi ("bao phủ toàn bộ diện tích tiếp xúc"), nên các hạt mang thứ yếu không cần chảy theo chiều ngang về phía chỗ tiếp xúc gần nhất, giống như chúng thực hiện bên trong máy phát xạ ví dụ trên Fig.4.

Các cấu trúc pin làm ví dụ: lát bán dẫn phía trước loại-n, loại-n hoặc loại p, phía sau loại-p:

Fig.6 là hình vẽ mặt cắt ngang một phần pin mặt trời 60 có lát bán dẫn phía trước loại-n, loại-n hoặc loại-p, và phía sau loại-p.

Các điện cực kim 61 và 69 được bố trí lần lượt trên các lớp ngoài 62 và 68. Điều này có lợi là kim loại không cần xuyên qua các lớp ở dưới trước khi nó tiếp xúc với lát bán dẫn này. Ngoài ra lát bán dẫn silic dạng khối 65 được ngăn cách với các bề mặt chuyển tiếp tiếp xúc và do đó sự tái tổ hợp các hạt mang của bề mặt chuyển tiếp tiếp xúc được giảm tới mức tối thiểu. Cấu trúc này có bề mặt phía trước loại-n, để dùng cho lát bán dẫn loại p 65 thu gom các hạt mang thứ yếu (các electron này) ở phía trước. Do đó, điện trở lớn nhất của tấm ngang ví dụ 500 Ohm/vuông của các lớp đã kết hợp 62, 63 và 64 là điều bắt buộc. Đối với lát bán dẫn loại-n cấu trúc này có thể thu gom các hạt mang thứ yếu (các lỗ) ở phía sau. Do đó, các biểu đồ lưu lượng trong pin mặt trời là khác nhau và yêu cầu đối với khả năng dẫn điện theo chiều ngang của lớp 62 ít quan trọng hơn. Các lớp làm ví dụ của pin 60 bao gồm:

61 : Điện cực bằng kim loại phía trước.

62: Mànng dẫn điện và trong suốt, hệ số khúc xạ nằm trong khoảng $1,4 < n < 3$; độ dày nằm trong khoảng $20 \text{ nm} < \text{độ dày} < 110 \text{ nm}$; điện trở của tấm nhỏ hơn 500 Ohm/vuông dùng cho lát bán dẫn loại p (pin mặt trời lớp chuyển tiếp trước), điện trở suất riêng nằm trong khoảng $\rho < 1000 \text{ Ohm cm}$ dùng cho lát bán dẫn loại-n (pin mặt trời có lớp chuyển tiếp sau). Các ví dụ bao gồm các oxit dẫn điện trong suốt như oxit thiếc inđi, oxit kẽm pha tạp nhôm, oxit thiếc pha tạp flo, oxit tantali, oxit thiếc antimon, oxit germani, oxit ziriconi, oxit titan, oxit gali, oxit catmin antimon.

63: Màng làm chậm phản ứng và dẫn điện, $1e18$ pha tạp-n $\text{cm}^{-3} < N_o < 5e21 \text{ cm}^{-3}$; độ dày nằm trong khoảng $2 \text{ nm} < \text{độ dày} < 50 \text{ nm}$; điện trở suất riêng nằm trong khoảng $\rho < 1000 \text{ Ohm cm}$. Các ví dụ bao gồm:

- cacbua silic vô định hình loại-n hoặc đa tinh thể: cacbua silic pha tạp photpho, cacbua silic pha tạp nitơ;
- silic vô định hình loại-n hoặc đa tinh thể: silic vô định hình pha tạp photpho, silic vô định hình pha tạp nitơ;
- cacbon giống kim cương vô định hình loại-n hoặc đa tinh thể: cacbon giống kim cương pha tạp nitơ.

Ví dụ bất kỳ trong số các ví dụ nêu trên có thể bao gồm oxy và hydro ($\text{SiC}_x\text{O}_y\text{H}_z$ pha tạp-n; $\text{SiN}_x\text{O}_y\text{H}_2$ pha tạp-n).

64: Lớp bề mặt chuyển tiếp làm chậm phản ứng điện; độ dày $< 10 \text{ nm}$; không có yêu cầu về khả năng dẫn điện vì độ dày nhỏ; không có hạn chế hấp thụ vì độ dày nhỏ. Các ví dụ bao gồm oxit silic, nitrit silic, silic vô định hình trong, silic đa tinh thể trong, oxit nhôm, nitrit nhôm, nitrit photpho, nitrit titan.

65: lớp silic kết tinh loại-n hoặc loại-p; độ dày nằm trong khoảng $w < 300 \text{ um}$, điện trở chính cho các lát bán dẫn loại-n là $0,5 \text{ Ohm cm} < \rho < 20 \text{ Ohm cm}$, cho các lát bán dẫn loại p $0,1 \text{ Ohm cm} < \rho < 100 \text{ Ohm cm}$.

66: Lớp bề mặt chuyển tiếp làm chậm phản ứng điện; độ dày $< 10 \text{ nm}$; không có yêu cầu về khả năng dẫn điện vì độ dày nhỏ; không có hạn chế hấp thụ vì độ dày nhỏ. Các ví dụ bao gồm oxit silic, nitrit silic, silic vô định hình trong, silic đa tinh thể trong, oxit nhôm, nitrit nhôm, nitrit photpho, nitrit titan.

67: Màng làm chậm phản ứng và dẫn điện, $1E18-5E21/\text{cm}^3$ pha tạp-p cao; điện trở suất riêng nằm trong khoảng $\rho < 1000 \text{ Ohm cm}$. Các ví dụ bao gồm:

- cacbua silic vô định hình loại-p hoặc đa tinh thể: cacbua silic pha tạp bo, cacbua silic pha tạp nhôm, cacbua silic pha tạp gali;
- silic vô định hình loại-p hoặc đa tinh thể: silic pha tạp bo, silic pha tạp nhôm, silic pha tạp gali;
- cacbon giống kim cương vô định hình loại-p hoặc đa tinh thể: cacbon giống kim cương pha tạp bo, cacbon giống kim cương pha tạp nhôm.

Ví dụ bất kỳ trong số các ví dụ nêu trên bao gồm oxy và hydro ($\text{SiC}_x\text{O}_y\text{H}_z$ pha tạp-p; $\text{SiN}_x\text{O}_y\text{H}_2$ pha tạp-p).

68: màng dẫn điện và trong suốt, hệ số khúc xạ nằm trong khoảng $1,4 < n < 3$; điện trở suất riêng nằm trong khoảng $\rho < 1000 \text{ Ohm cm}$. Các ví dụ bao gồm các oxit dẫn điện như oxit thiếc indium, oxit kẽm pha tạp nhôm, oxit thiếc pha tạp flo, oxit tantali, oxit thiếc antimon, oxit germani, oxit ziriconi, oxit titan, oxit gali, oxit catmin antimon.

69: điện cực bằng kim loại phía sau.

Fig.7 là hình vẽ mặt cắt ngang một phần pin mặt trời 70 có lớp bán dẫn phía trước loại-n, loại-n hoặc loại-p, phía sau loại-p, trong kết cấu hai mặt. Pin 70 tương tự như pin 60 nhưng bao gồm các điện cực được định vị 79 ở phía sau. Vì cấu trúc được định vị này ở phía sau, các photon bắn phá từ phía sau của pin mặt trời có thể được hấp thụ bên trong lớp bán dẫn 75 và tạo ra các cặp lỗ điện tử. Điều này có thể làm tăng đầu ra công suất tạo ra bởi pin mặt trời dưới các điều kiện hoạt động ngoài trời trong đó anbedo có thể được sử dụng với chi phí sản xuất và lắp đặt phát sinh ở mức thấp.

Fig.8 là hình vẽ mặt cắt ngang một phần pin mặt trời 80 có lớp bán dẫn phía trước loại-n, loại-n, phía sau loại-p, và bao gồm lớp cách ly lớp khử phản xạ. Cấu trúc này đặc biệt có lợi cho việc tổ hợp nguyên liệu trong đó các lớp dẫn điện trên mặt trước của các cấu trúc pin 60 và 70 có mức hấp thụ cao. Bằng cách đặt điện cực 81 trực tiếp lên lớp tiếp xúc 83 nên yêu cầu về khả năng dẫn điện của lớp 82 là không cần thiết và các màng phủ khử phản xạ đã biết (là các màng cách ly) có thể được sử dụng. Các lớp làm ví dụ của pin 80 bao gồm các lớp sau đây:

81 : Điện cực bằng kim loại phía trước.

82: Màng khử phản xạ, hệ số khúc xạ nằm trong khoảng $1,4 < n < 3$; độ dày nằm trong khoảng $20 \text{ nm} < \text{độ dày} < 110 \text{ nm}$. Các ví dụ bao gồm nitrit silic, cacbua silic, oxit silic, các oxit dẫn điện trong suốt.

83: Màng làm chậm phản ứng và dẫn điện; độ dày $< 110 \text{ nm}$; $1e18 \text{ cm}^{-3} < N_D < 5e21 \text{ cm}^{-3}$ pha tạp-n cao, điện trở suất riêng nằm trong khoảng $\rho < 1000 \text{ Ohm cm}$. Các ví dụ bao gồm:

- cacbua silic vô định hình loại-n hoặc đa tinh thể: cacbua silic pha tạp photpho, cacbua silic pha tạp nitơ;

- silic vô định hình loại-n hoặc đa tinh thể: silic vô định hình pha tạp photpho, silic vô định hình pha tạp nitơ;
- cacbon giống kim cương vô định hình loại-n hoặc đa tinh thể: cacbon giống kim cương pha tạp nitơ.

Ví dụ bất kỳ trong số các ví dụ nêu trên bao gồm oxy và hydro ($\text{SiC}_x\text{O}_y\text{H}_z$ pha tạp-n; $\text{SiN}_x\text{O}_y\text{H}_z$ pha tạp-n).

84: Lớp bề mặt chuyển tiếp làm chậm phản ứng điện; độ dày < 10 nm; không có yêu cầu về khả năng dẫn điện vì độ dày nhỏ; không có hạn chế hấp thụ vì độ dày nhỏ. Các ví dụ bao gồm oxit silic, nitrit silic, silic vô định hình trong, silic đa tinh thể trong, oxit nhôm, nitrit nhôm, nitrit photpho, nitrit titan.

85: lát silic kết tinh loại-n; độ dày nằm trong khoảng $w < 300$ um, điện trở chính cho các lát bán dẫn loại-n $0,5 \text{ Ohm cm} < \rho < 20 \text{ Ohm cm}$.

86: Lớp bề mặt chuyển tiếp làm chậm phản ứng điện; độ dày < 10 nm; không có yêu cầu về khả năng dẫn điện vì độ dày nhỏ; không có hạn chế hấp thụ vì độ dày nhỏ. Các ví dụ bao gồm oxit silic, nitrit silic, silic vô định hình trong, silic đa tinh thể trong, oxit nhôm, nitrit nhôm, nitrit photpho, nitrit titan.

87: Màng làm chậm phản ứng và dẫn điện, $1e18 \text{ cm}^{-3} < N_A < 5e21 \text{ cm}^{-3}$ pha tạp cao; điện trở suất riêng nằm trong khoảng $\rho < 1000 \text{ Ohm cm}$. Các ví dụ bao gồm:

- cacbua silic vô định hình loại-p hoặc đa tinh thể: cacbua silic pha tạp bo, cacbua silic pha tạp nhôm, cacbua silic pha tạp gali;
- silic vô định hình loại-p hoặc đa tinh thể : silic pha tạp bo, silic pha tạp nhôm, silic pha tạp gali;
- cacbon giống kim cương vô định hình loại-p hoặc đa tinh thể: cacbon giống kim cương pha tạp bo, cacbon giống kim cương pha tạp nhôm.

Ví dụ bất kỳ trong số các ví dụ nêu trên có thể bao gồm oxy và hydro ($\text{SiC}_x\text{O}_y\text{H}_z$ pha tạp-p; $\text{SiN}_x\text{O}_y\text{H}_z$ pha tạp-p).

88: Màng dẫn điện và trong suốt, hệ số khúc xạ nằm trong khoảng $1,4 < n < 3$; điện trở suất riêng nằm trong khoảng $\rho < 1000 \text{ Ohm cm}$. Các ví dụ bao gồm các oxit dẫn điện trong suốt giống như oxit thiếc indium, oxit kẽm pha tạp nhôm, oxit thiếc pha tạp flo, oxit

tantali, oxit thiếc antimon, oxit germani, oxit ziriconi, oxit titan, oxit gali, oxit catmin antimon.

89: Điện cực bằng kim loại phía sau.

Fig.9 là hình vẽ mặt cắt ngang một phần pin mặt trời 90 có lát bán dẫn phía trước loại-n, loại-n, phía sau loại-p, và bao gồm lớp hợp chất silic pha tạp cao, dẫn điện, trong suốt đa chức năng. Dấu hiệu kỹ thuật theo khía cạnh này của sáng chế là sự cải tiến đối với các phương án khác nêu trên, vì chức năng của các lớp 62 và 63 của ví dụ pin mặt trời 60 của Fig.6 (và lớp bất kỳ tương tự khác trong phương án bất kỳ khác được bộc lộ ở đây) được kết hợp thành lớp đa chức năng 93a được thể hiện trên Fig.9. Lớp này có thể trong suốt, làm chậm phản ứng điện và dẫn điện thích đáng cho dòng phần tử mang đứng tới các điện cực (pin mặt trời có lớp chuyển tiếp sau), tạo ra lớp chuyển tiếp có lát bán dẫn 95 và/hoặc giảm bớt hệ số phản xạ của ánh sáng tới (ví dụ lớp phủ khử phản xạ). Ở phía sau, lớp 97a có thể kết hợp các chức năng của các lớp 67 và 68 của ví dụ pin mặt trời 60 trên Fig.6 (và lớp bất kỳ trong số các lớp tương tự khác trong phương án bất kỳ khác được bộc lộ ở đây). Lớp 97a tạo ra lớp chuyển tiếp có lát bán dẫn 95, có hệ số khúc xạ tạo ra hệ số phản xạ cao cho các photon với bước sóng lớn hơn 900nm và dẫn điện thỏa đáng cho dòng phần tử mang đứng từ lát bán dẫn 95 tới điện cực kim loại 99. Các lớp làm ví dụ về pin 90 bao gồm:

91 : Điện cực bằng kim loại phía trước.

93a: Màng dẫn điện, làm chậm phản ứng điện và trong suốt, hệ số khúc xạ nằm trong khoảng $1,4 < n < 3$; độ dày nằm trong khoảng $20 \text{ nm} < \text{độ dày} < 110 \text{ nm}$; điện trở suất riêng nằm trong khoảng $\rho < 1000 \text{ Ohm cm}$ dùng cho lát bán dẫn loại-n; $1e18 \text{ cm}^{-3} < N_D < 5e21 \text{ cm}^{-3}$ pha tạp-n pha tạp cao. Các ví dụ bao gồm:

- cacbua silic vô định hình loại-n hoặc đa tinh thể: cacbua silic pha tạp photpho, cacbua silic pha tạp nitơ;
- silic vô định hình loại-n hoặc đa tinh thể: silic vô định hình pha tạp photpho, silic vô định hình pha tạp nitơ;
- cacbon giống kim cương vô định hình loại-n hoặc đa tinh thể: cacbon giống kim cương pha tạp nitơ.

Ví dụ bất kỳ trong số các ví dụ nêu trên bao gồm oxy và hydro ($\text{SiC}_x\text{O}_y\text{H}_z$ pha tạp-n; $\text{SiN}_x\text{O}_y\text{H}_z$ pha tạp-n).

94: Lớp bề mặt chuyên tiếp làm chậm phản ứng điện; độ dày <10 nm; không có yêu cầu về khả năng dẫn điện vì độ dày nhỏ; không có hạn chế hấp thụ vì độ dày nhỏ. Các ví dụ bao gồm oxit silic, nitrit silic, silic vô định hình trong, silic đa tinh thể trong, oxit nhôm, nitrit nhôm, nitrit photpho, nitrit titan.

95: Lớp silic kết tinh loại-n hoặc loại-p; độ dày nằm trong khoảng $w < 300 \mu\text{m}$, điện trở chính cho các lát bán dẫn loại-n $0,5 \text{ Ohm cm} < \rho < 20 \text{ Ohm cm}$, cho các lát bán dẫn loại p $0,1 \text{ Ohm cm} < \rho < 100 \text{ Ohm cm}$.

96: Lớp bề mặt chuyên tiếp làm chậm phản ứng điện; độ dày <10 nm; không có yêu cầu về khả năng dẫn điện vì độ dày nhỏ; không có hạn chế hấp thụ vì độ dày nhỏ. Các ví dụ bao gồm oxit silic, nitrit silic, silic vô định hình trong, silic đa tinh thể trong, oxit nhôm, nitrit nhôm, nitrit photpho, nitrit titan.

97a: Màng dẫn điện và trong suốt và làm chậm phản ứng điện; điện trở suất riêng nằm trong khoảng $\rho < 1000 \text{ Ohm cm}$. Các ví dụ bao gồm:

- cacbua silic vô định hình loại-p hoặc đa tinh thể : cacbua silic pha tạp bo, cacbua silic pha tạp nhôm, cacbua silic pha tạp gali;
- silic vô định hình loại-p hoặc đa tinh thể : silic pha tạp bo, silic pha tạp nhôm, silic pha tạp gali;
- cacbon giống kim cương vô định hình loại-p hoặc đa tinh thể: cacbon giống kim cương pha tạp bo, cacbon giống kim cương pha tạp nhôm.

Ví dụ bất kỳ trong số các ví dụ nêu trên bao gồm oxy và hydro ($\text{SiC}_x\text{O}_y\text{H}_z$ pha tạp-p; $\text{SiN}_x\text{O}_y\text{H}_z$ pha tạp-p).

99: Điện cực bằng kim loại phía sau.

Fig.10 là hình vẽ mặt cắt ngang một phần pin mặt trời 100 có lát loại-n hoặc p, phía trước loại-n, bao gồm các phần cải tiến của lớp trước đã biết, và phía sau loại-p. Các cấu trúc bề mặt sau (không được thể hiện để dễ hiểu) có thể được tạo ra theo cấu trúc bất kỳ khác được mô tả ở đây.

Cấu trúc này đặc biệt có lợi cho sự kết hợp nguyên liệu trong đó các lớp x3 và x4 trên, ví dụ bề mặt trước của các cấu trúc nêu trên, có độ hấp thụ cao không chấp nhận được.

(Ký hiệu x3 và x4 sẽ được mô tả chi tiết hơn dưới đây và thể hiện lớp bất kỳ trong số các lớp nêu trên có các số chỉ dẫn kết thúc tương ứng là 3, 3a, 4, 4a). Trong pin 100, bằng cách chỉ đặt các lớp 103 và 104 dưới các chỗ tiếp xúc, các đặc tính quang của chúng (hệ số khúc xạ, độ hấp thụ) là không quan trọng đối với hiệu suất của pin. Các tổn hao do điện trở chỉ xảy ra qua dòng phân tử mang đứng tới các chỗ tiếp xúc 101. Các lớp 102, 104b và 105b cũng không phải che chỗ tiếp xúc này, do đó chúng có thể được làm tối ưu hóa cho hệ số lan truyền và làm chậm phản ứng bề mặt. Nếu chúng không tạo ra khả năng dẫn điện ngang, thì điều này giúp tạo thuận lợi cho dòng chảy về phía các chỗ tiếp xúc và các cơ cấu tiếp xúc có thể được đặt cách xa nhau hơn nữa. Điều này làm giảm bớt hao tổn do che quang. Cấu trúc này làm việc tốt nhất với lớp chuyển tiếp sau vì yêu cầu về khả năng dẫn điện theo chiều ngang của lớp 102, 104b và 105b được loại bỏ. Các lớp làm ví dụ về pin 100 bao gồm:

101: Điện cực bằng kim loại phía trước.

102: Màng khử phản xạ, hệ số khúc xạ nằm trong khoảng $1,4 < n < 3$; độ dày < 150 nm. Các ví dụ bao gồm nitrit silic, cacbua silic, oxit silic, oxit titan, các oxit dẫn điện trong suốt.

103: Màng dẫn điện làm chậm phản ứng điện, ví dụ có độ dày < 50 nm; ví dụ điện trở suất riêng nằm trong khoảng $\rho < 1000$ Ohm cm. Các ví dụ bao gồm:

- cacbua silic vô định hình loại-n hoặc đa tinh thể: cacbua silic pha tạp photpho, cacbua silic pha tạp nitơ;
- silic vô định hình loại-n hoặc đa tinh thể: silic vô định hình pha tạp photpho, silic vô định hình pha tạp nitơ;
- cacbon giống kim cương vô định hình loại-n hoặc đa tinh thể: cacbon giống kim cương pha tạp nitơ.

Ví dụ bất kỳ trong số các ví dụ nêu trên bao gồm oxy và hydro ($\text{SiC}_x\text{O}_y\text{H}_z$ pha tạp-n; $\text{SiN}_x\text{O}_y\text{H}_2$ pha tạp-n).

104: Lớp bề mặt chuyển tiếp làm chậm phản ứng điện; độ dày < 10 nm; không có yêu cầu về khả năng dẫn điện vì độ dày nhỏ; không có hạn chế hấp thụ vì độ dày nhỏ. Các ví dụ bao gồm oxit silic, nitrit silic, silic vô định hình trong, silic đa tinh thể trong, oxit nhôm, nitrit nhôm, nitrit photpho, nitrit titan.

104b: Lớp bề mặt chuyển tiếp làm chậm phản ứng điện; độ dày < 110 nm. Các ví dụ bao gồm oxit silic, nitrit silic, silic vô định hình trong, silic đa tinh thể trong, oxit nhôm, nitrit nhôm, nitrit photpho, nitrit titan, cacbua silic hoặc các chồng của hai hay nhiều chất này.

105: Lớp silic kết tinh loại-n hoặc loại-p; độ dày nằm trong khoảng $w < 300$ um, điện trở chính cho các lát bán dẫn loại-n $0,5 \text{ Ohm cm} < \rho < 20 \text{ Ohm cm}$, cho các lát bán dẫn loại p $0,1 \text{ Ohm cm} < \rho < 100 \text{ Ohm cm}$.

105b: Lớp silic khuếch tán photpho (tùy ý), điện trở của tấm $> 70 \text{ Ohm/vuông}$.

Các cấu trúc nêu trên loại trừ lẫn nhau, và dấu hiệu bất kỳ của một cấu trúc có thể áp dụng cho cấu trúc bất kỳ khác được nêu ở đây, phù hợp với sáng chế.

Các cấu trúc pin làm ví dụ: lát bán dẫn phía trước loại p, loại-n hoặc p, phía sau loại-n:

Fig.11 là hình vẽ mặt cắt ngang một phần pin mặt trời 110 có lát phía trước loại p, loại-n hoặc p, và phía sau loại-n.

Trong pin này, các điện cực kim loại 111 và 119 được đặt lên các lớp ngoài 112 và 118 tương ứng. Điều này tạo ra lợi ích là kim loại không cần xuyên qua các lớp ở dưới trước khi nó tiếp xúc với lát bán dẫn này. Hơn nữa lát bán dẫn silic dạng khối 115 được che chắn khỏi các bề mặt chuyển tiếp tiếp xúc và do đó sự tái tổ hợp các hạt mang của bề mặt chuyển tiếp tiếp xúc được giảm tới mức tối thiểu. Cấu trúc này có bề mặt phía trước loại-p, đối với lát bán dẫn loại-n, cấu trúc này thu gom các hạt mang thứ yếu (các lỗ) trên mặt trước. Do đó, điện trở lớn nhất của tấm ngang 500 Ohm/vuông của các lớp đã kết hợp 112, 113 và 114 được phép sử dụng. Đối với lát bán dẫn loại p, cấu trúc này thu gom các hạt mang thứ yếu (các electron này) ở phía sau. Do đó, các biểu đồ lưu lượng trong pin mặt trời là khác nhau và yêu cầu về khả năng dẫn điện theo chiều ngang của lớp 112 ít quan trọng hơn. Các lớp làm ví dụ của pin 110 bao gồm:

111: Các điện cực bằng kim loại phía trước.

112: Màng dẫn điện và trong suốt, hệ số khúc xạ nằm trong khoảng $1,4 < n < 3$; độ dày < 110 nm; điện trở của tấm nhỏ hơn 500 Ohm/vuông dùng cho lát bán dẫn loại-n, điện trở suất riêng nằm trong khoảng $\rho < 1000 \text{ Ohm cm}$ dùng cho lát bán dẫn loại p. Các ví dụ bao gồm các oxit dẫn điện trong suốt như oxit thiếc indii, oxit kẽm pha tạp nhôm, oxit thiếc

pha tạp flo, oxit tantali, oxit thiếc antimon, oxit germani, oxit ziriconi, oxit titan, oxit gali, oxit catmin antimon.

113: Màng làm chậm phản ứng và dẫn điện, $1e18 \text{ cm}^{-3} < N_A < 5e21 \text{ cm}^{-3}$ pha tạp-p pha tạp cao; điện trở suất riêng nằm trong khoảng $\rho < 1000 \text{ Ohm cm}$. Các ví dụ bao gồm:

- cacbua silic vô định hình loại-p hoặc đa tinh thể: cacbua silic pha tạp bo, cacbua silic pha tạp nhôm, cacbua silic pha tạp gali;
- silic vô định hình loại-p hoặc đa tinh thể: silic pha tạp bo, silic pha tạp nhôm, silic pha tạp gali;
- cacbon giống kim cương vô định hình loại-p hoặc đa tinh thể: cacbon giống kim cương pha tạp bo, cacbon giống kim cương pha tạp nhôm.

Ví dụ bất kỳ trong số các ví dụ nêu trên bao gồm oxy và hydro ($\text{SiC}_x\text{O}_y\text{H}_z$ pha tạp-p; $\text{SiN}_x\text{O}_y\text{H}_z$ pha tạp-p).

114: Lớp bề mặt chuyển tiếp làm chậm phản ứng điện; $< 10 \text{ nm}$; không có yêu cầu về khả năng dẫn điện vì độ dày nhỏ; không có hạn chế hấp thụ vì độ dày nhỏ. Các ví dụ bao gồm oxit silic, nitrit silic, silic vô định hình trong, silic đa tinh thể trong, oxit nhôm, nitrit nhôm, nitrit photpho, nitrit titan.

115: Lớp silic kết tinh loại-n hoặc loại-p; độ dày nằm trong khoảng $w < 300 \text{ um}$, điện trở chính cho các lát bán dẫn loại-n $0,5 \text{ Ohm cm} < \rho < 20 \text{ Ohm cm}$, cho các lát bán dẫn loại p $0,1 \text{ Ohm cm} < \rho < 100 \text{ Ohm cm}$.

116: Lớp bề mặt chuyển tiếp làm chậm phản ứng điện; độ dày $< 10 \text{ nm}$; không có yêu cầu về khả năng dẫn điện vì độ dày nhỏ; không có hạn chế hấp thụ vì độ dày nhỏ. Các ví dụ bao gồm oxit silic, nitrit silic, silic vô định hình trong, silic đa tinh thể trong, oxit nhôm, nitrit nhôm, nitrit photpho, nitrit titan.

117: Màng dẫn điện, làm chậm phản ứng điện và trong suốt, $1e18 \text{ cm}^{-3} < N_o < 5e21 \text{ cm}^{-3}$ pha tạp-p pha tạp cao; ví dụ độ dày nằm trong khoảng $2 \text{ nm} < \text{độ dày} < 50 \text{ nm}$ hoặc lớn hơn; điện trở suất riêng nằm trong khoảng $\rho < 1000 \text{ Ohm cm}$. Các ví dụ bao gồm:

- cacbua silic vô định hình loại-n hoặc đa tinh thể: cacbua silic pha tạp photpho, cacbua silic pha tạp nitơ;
- silic vô định hình loại-n hoặc đa tinh thể: silic vô định hình pha tạp photpho, silic vô định hình pha tạp nitơ;

- cacbon giống kim cương vô định hình loại-n hoặc đa tinh thể: cacbon giống kim cương pha tạp nitơ.

Ví dụ bất kỳ trong số các ví dụ nêu trên có thể bao gồm oxy và hydro ($\text{SiC}_x\text{O}_y\text{H}_z$ pha tạp-n; $\text{SiN}_x\text{O}_y\text{H}_z$ pha tạp-n).

118: Màng dẫn điện và trong suốt, hệ số khúc xạ nằm trong khoảng $1,4 < n < 3$; điện trở suất riêng nằm trong khoảng $\rho < 1000 \text{ Ohm cm}$. Các ví dụ bao gồm các oxit dẫn điện trong suốt như oxit thiếc indium, oxit kẽm pha tạp nhôm, oxit thiếc pha tạp flo, oxit tantali, oxit thiếc antimon, oxit germani, oxit ziriconi, oxit titan, oxit gali, oxit catmin antimon.

119: Điện cực bằng kim loại phía sau.

Fig.12 là hình vẽ mặt cắt ngang một phần pin mặt trời 120 có lát bán dẫn phía trước loại p, loại-n hoặc loại-p, phía sau loại-n, trong kết cấu hai mặt. Pin 120 tương tự như pin 110 nhưng bao gồm các điện cực được định vị 129 ở phía sau. Vì cấu trúc được định vị này ở phía sau, nên các photon bắn phá từ phía sau của pin mặt trời có thể được hấp thụ bên trong lát bán dẫn 125 và tạo ra các cặp lỗ điện tử. Điều này có thể làm cải thiện hiệu suất của pin mặt trời dưới các điều kiện hoạt động ngoài trời trong đó anbedo có thể được sử dụng với chi phí sản xuất và lắp đặt phát sinh ở mức thấp.

Fig.13 là hình vẽ mặt cắt ngang một phần pin mặt trời 130 có lát bán dẫn phía trước loại p, loại-p, phía sau loại-n, và bao gồm lớp cách ly lớp khử phản xạ. Cấu trúc này đặc biệt có lợi cho sự kết hợp nguyên liệu trong đó các lớp dẫn điện trên mặt trước của các cấu trúc pin 110 và 120 có mức hấp thụ cao. Bằng cách đặt các điện cực 131 trực tiếp lên lớp tiếp xúc 133, yêu cầu về khả năng dẫn điện của lớp 132 được loại bỏ và các màng có lớp phủ khử phản xạ đã biết (là các lớp cách ly) có thể được sử dụng. Cấu trúc này làm việc tốt với lớp chuyển tiếp sau vì yêu cầu về khả năng dẫn điện theo chiều ngang của lớp 133 và 134 là không quan trọng. Các lớp làm ví dụ của pin 130 bao gồm:

131: Các điện cực bằng kim loại phía trước.

132: Màng khử phản xạ, hệ số khúc xạ nằm trong khoảng $1,4 < n < 3$; $< 150 \text{ nm}$. Các ví dụ bao gồm nitrit silic, cacbua silic, oxit silic, oxit nhôm, oxit titan, các oxit dẫn điện trong suốt.

133: Màng dẫn điện, làm chậm phản ứng điện và trong suốt; độ dày $< 110 \text{ nm}$; điện trở suất riêng nằm trong khoảng $\rho < 1000 \text{ Ohm cm}$. Các ví dụ bao gồm:

- cacbua silic vô định hình loại-p hoặc đa tinh thể: cacbua silic pha tạp bo, cacbua silic pha tạp nhôm, cacbua silic pha tạp gali;
- silic vô định hình loại-p hoặc đa tinh thể: silic pha tạp bo, silic pha tạp nhôm, silic pha tạp gali;
- cacbon giống kim cương vô định hình loại-p hoặc đa tinh thể: cacbon giống kim cương pha tạp bo, cacbon giống kim cương pha tạp nhôm.

Ví dụ bất kỳ trong số các ví dụ nêu trên bao gồm oxy và hydro ($\text{SiC}_x\text{O}_y\text{H}_z$ pha tạp-p; $\text{SiN}_x\text{O}_y\text{H}_z$ pha tạp-p).

134: Lớp bề mặt chuyển tiếp làm chậm phản ứng điện; độ dày <10 nm; không có yêu cầu về khả năng dẫn điện vì độ dày nhỏ; không có hạn chế hấp thụ vì độ dày nhỏ. Các ví dụ bao gồm oxit silic, nitrit silic, silic vô định hình trong, silic đa tinh thể trong, oxit nhôm, nitrit nhôm, nitrit photpho, nitrit titan.

135: lát bán dẫn silic tinh thể loại-p; độ dày nằm trong khoảng $w < 300 \text{ um}$, điện trở chính cho các lát bán dẫn loại-p $0,1 \text{ Ohm cm} < \rho < 100 \text{ Ohm cm}$.

136: Lớp bề mặt chuyển tiếp làm chậm phản ứng điện; độ dày <10 nm; không có yêu cầu về khả năng dẫn điện vì độ dày nhỏ; không có hạn chế hấp thụ vì độ dày nhỏ. Các ví dụ bao gồm oxit silic, nitrit silic, silic vô định hình trong, silic đa tinh thể trong, oxit nhôm, nitrit nhôm, nitrit photpho, nitrit titan.

137: Màng dẫn điện, làm chậm phản ứng điện và trong suốt, $1e18 \text{ cm}^{-3} < ND < 5e21 \text{ cm}^{-3}$ pha tạp-n pha tạp cao; điện trở suất riêng nằm trong khoảng $\rho < 1000 \text{ Ohm cm}$. Các ví dụ bao gồm:

- cacbua silic vô định hình loại-n hoặc đa tinh thể: cacbua silic pha tạp photpho, cacbua silic pha tạp nitơ;
- silic vô định hình loại-n hoặc đa tinh thể: silic vô định hình pha tạp photpho, silic vô định hình pha tạp nitơ;
- cacbon giống kim cương vô định hình loại-n hoặc đa tinh thể: cacbon giống kim cương pha tạp nitơ.

Ví dụ bất kỳ trong số các ví dụ nêu trên bao gồm oxy và hydro ($\text{SiC}_x\text{O}_y\text{H}_2$ pha tạp; $\text{SiN}_x\text{O}_y\text{H}_2$ pha tạp).

138: màng dẫn điện và trong suốt, hệ số khúc xạ nằm trong khoảng $1,4 < n < 3$; điện trở suất riêng nằm trong khoảng $\rho < 1000$ Ohm cm. Các ví dụ bao gồm các oxit dẫn điện trong suốt như oxit thiếc indi, oxit kẽm pha tạp nhôm, oxit thiếc pha tạp flo, oxit tantali, oxit thiếc antimon, oxit germani, oxit ziriconi, oxit titan, oxit gali, oxit catmin antimon.

139: Điện cực bằng kim loại phía sau.

Fig.14 là hình vẽ mặt cắt ngang một phần pin mặt trời 140 có lát bán dẫn phía trước loại-p, loại-p, phía sau loại-n, và bao gồm lớp hợp chất silic pha tạp cao, dẫn điện, trong suốt đa chức năng. Phương án này của sáng chế là phương án cải tiến so với các phương án đã nêu trên, vì các chức năng của các lớp 112 và 113 của ví dụ pin mặt trời 110 trên Fig.11 (và lớp bất kỳ trong số các lớp tương tự khác trong phương án bất kỳ khác được bộc lộ ở đây) được kết hợp thành lớp đa chức năng 143 được thể hiện trên Fig.14. Lớp này có thể trong suốt, làm chậm phản ứng điện và dẫn điện thích đáng đối với dòng phần tử mang đứng tới các điện cực (pin mặt trời có lớp chuyển tiếp sau), tạo ra lớp chuyển tiếp có lát bán dẫn 145 và/hoặc giảm bớt hệ số phản xạ của ánh sáng tới (ví dụ lớp phủ khử phản xạ). Ở phía sau, lớp 147a có thể kết hợp các chức năng của các lớp 117 và 118 của ví dụ pin mặt trời 110 trên Fig.11 (và lớp bất kỳ trong số các lớp tương tự khác trong phương án bất kỳ khác được bộc lộ ở đây). Lớp 147a tạo ra lớp chuyển tiếp có lát bán dẫn 145, có hệ số khúc xạ tạo ra hệ số phản xạ cao cho các photon có bước sóng lớn hơn 900nm và dẫn điện thỏa đáng cho dòng phần tử mang đứng từ lát bán dẫn 145 tới điện cực kim loại 149. Các lớp làm ví dụ của pin 140 bao gồm:

141: Điện cực bằng kim loại phía trước.

143a: Màng dẫn điện và trong suốt và làm chậm phản ứng điện, hệ số khúc xạ nằm trong khoảng $1,4 < n < 3$; độ dày < 150 nm; điện trở suất riêng nằm trong khoảng $\rho < 1000$ Ohm cm. Các ví dụ bao gồm:

- cacbua silic vô định hình loại-p hoặc đa tinh thể : cacbua silic pha tạp bo, cacbua silic pha tạp nhôm, cacbua silic pha tạp gali;
- silic vô định hình loại-p hoặc đa tinh thể : silic pha tạp bo, silic pha tạp nhôm, silic pha tạp gali;
- cacbon giống kim cương vô định hình loại-p hoặc đa tinh thể: cacbon giống kim cương pha tạp bo, cacbon giống kim cương pha tạp nhôm.

Ví dụ bất kỳ trong số các ví dụ nêu trên bao gồm oxy và hydro ($\text{SiC}_x\text{O}_y\text{H}_z$ pha tạp-p; $\text{SiN}_x\text{O}_y\text{H}_z$ pha tạp-p).

144: Lớp bề mặt chuyển tiếp làm chậm phản ứng điện; độ dày <10 nm; không có yêu cầu về khả năng dẫn điện vì độ dày nhỏ; không có hạn chế hấp thụ vì độ dày nhỏ. Các ví dụ bao gồm oxit silic, nitrit silic, silic vô định hình trong, silic đa tinh thể trong, oxit nhôm, nitrit nhôm, nitrit photpho, nitrit titan.

145: Lớp silic kết tinh loại-n hoặc loại-p; độ dày nằm trong khoảng $w < 300 \mu\text{m}$, điện trở chính cho các lát bán dẫn loại-n $0,5 \text{ Ohm cm} < \rho < 20 \text{ Ohm cm}$, cho các lát bán dẫn loại-p $0,1 \text{ Ohm cm} < \rho < 100 \text{ Ohm cm}$.

146: Lớp bề mặt chuyển tiếp làm chậm phản ứng điện; độ dày <10 nm; không có yêu cầu về khả năng dẫn điện vì độ dày nhỏ; không có hạn chế hấp thụ vì độ dày nhỏ. Các ví dụ bao gồm oxit silic, nitrit silic, silic vô định hình trong, silic đa tinh thể trong, oxit nhôm, nitrit nhôm, nitrit photpho, nitrit titan.

147a: Màng dẫn điện và trong suốt và làm chậm phản ứng điện; điện trở suất riêng nằm trong khoảng $\rho < 1000 \text{ Ohm cm}$ cho $1\text{E}18 \text{ cm}^{-3} < N_D < 5\text{E}21 \text{ cm}^{-3}$ pha tạp-n pha tạp cao. Các ví dụ bao gồm:

- cacbua silic vô định hình loại-n hoặc đa tinh thể: cacbua silic pha tạp photpho, cacbua silic pha tạp nitơ;
- silic vô định hình loại-n hoặc đa tinh thể: silic vô định hình pha tạp photpho, silic vô định hình pha tạp nitơ;
- cacbon giống kim cương vô định hình loại-n hoặc đa tinh thể: cacbon giống kim cương pha tạp nitơ.

Ví dụ bất kỳ trong số các ví dụ nêu trên bao gồm oxy và hydro ($\text{SiC}_x\text{O}_y\text{H}_z$ pha tạp-n; $\text{SiN}_x\text{O}_y\text{H}_z$ pha tạp-n).

149: Kim loại phía sau.

Fig.15 là hình vẽ mặt cắt ngang một phần pin mặt trời 150 có lát loại-n hoặc p, phía trước loại-p, bao gồm các cải thiện của lớp trước đã biết, và phía sau loại-n. Các cấu trúc bề mặt sau (không được thể hiện để dễ hiểu) có thể được thực hiện theo cấu trúc bất kỳ trong số các cấu trúc khác được mô tả ở đây.

Cấu trúc này đặc biệt có lợi cho sự kết hợp nguyên liệu trong đó các lớp xx3 và xx4 trên, ví dụ bề mặt trước của các cấu trúc nêu trên có độ hấp thụ cao không thể chấp nhận được. Trong pin 150, nhờ đặt các lớp 153 và 154 chỉ ở dưới các chỗ tiếp xúc, thì các đặc tính quang của chúng (hệ số khúc xạ, độ hấp thụ) là không quan trọng đối với hiệu suất của pin. Các tổn hao do điện trở chỉ xảy ra qua dòng phần tử mang đứng tới các chỗ tiếp xúc 151. Các lớp 152, 154b và 155b cũng không phải chắn chỗ tiếp xúc này, do đó chúng có thể được làm tối ưu đối với hệ số lan truyền và làm chậm phản ứng bề mặt. Nếu chúng không tạo ra khả năng dẫn điện ngang, thì điều này giúp tạo thuận lợi cho dòng chảy về phía các chỗ tiếp xúc và các cơ cấu tiếp xúc có thể được đặt cách xa nhau hơn. Điều này làm giảm hao tổn do che quang. Cấu trúc này làm việc tốt với lớp chuyển tiếp sau vì yêu cầu về khả năng dẫn điện theo chiều ngang của lớp 152, 154b và 155b được loại bỏ. Các lớp làm ví dụ của pin 150 bao gồm:

151: Điện cực bằng kim loại phía trước.

152: Màng khử phản xạ, hệ số khúc xạ nằm trong khoảng $1,4 < n < 3$; độ dày độ dày < 110 nm. Các ví dụ bao gồm nitrit silic, cacbua silic, oxit silic, oxit titan.

153: Màng dẫn điện làm chậm phản ứng điện, độ dày < 110 nm; điện trở suất riêng nằm trong khoảng $\rho < 1000$ Ohm cm. Các ví dụ bao gồm:

- cacbua silic vô định hình loại-p hoặc đa tinh thể : cacbua silic pha tạp bo, cacbua silic pha tạp nhôm, cacbua silic pha tạp gali;
- silic vô định hình loại-p hoặc đa tinh thể : silic pha tạp bo, silic pha tạp nhôm, silic pha tạp gali;
- cacbon giống kim cương vô định hình loại-p hoặc đa tinh thể: cacbon giống kim cương pha tạp bo, cacbon giống kim cương pha tạp nhôm.

Ví dụ bất kỳ trong số các ví dụ nêu trên bao gồm oxy và hydro ($\text{SiC}_x\text{O}_y\text{H}_z$ pha tạp-p; $\text{SiN}_x\text{O}_y\text{H}_2$ pha tạp).

154: Lớp bề mặt chuyển tiếp làm chậm phản ứng điện; độ dày < 10 nm; không có yêu cầu về khả năng dẫn điện vì độ dày nhỏ; không có hạn chế hấp thụ vì độ dày nhỏ. Các ví dụ bao gồm oxit silic, nitrit silic, silic vô định hình trong, silic đa tinh thể trong, oxit nhôm, nitrit nhôm, nitrit photpho, nitrit titan.

154b: Lớp bề mặt chuyển tiếp làm chậm phản ứng điện; độ dày <math><10\text{ nm}</math>. Các ví dụ bao gồm oxit silic, nitrit silic, silic vô định hình trong, silic đa tinh thể trong, oxit nhôm, nitrit nhôm, nitrit photpho, nitrit titan, cacbua silic.

155: Lớp silic kết tinh loại-n hoặc loại-p; độ dày nằm trong khoảng $w < 300\text{ }\mu\text{m}</math>, điện trở chính cho các lát bán dẫn loại-n $0,5\text{ }\Omega\text{ cm} < \rho < 20\text{ }\Omega\text{ cm}</math>, cho các lát bán dẫn loại p $0,1\text{ }\Omega\text{ cm} < \rho < 100\text{ }\Omega\text{ cm}</math>.$$$

155b: Lớp silic khuếch tán photpho (tùy ý), điện trở của tấm $>70\text{ }\Omega/\text{vuông}</math>.$

Các cấu trúc nêu trên không loại trừ nhau, và mọi dấu hiệu của một cấu trúc có thể áp dụng cho cấu trúc bất kỳ khác ở đây, phù hợp với sáng chế.

Các cấu trúc làm ví dụ của pin – Cơ cấu điện cực thay thế:

Fig.16 là hình vẽ mặt cắt ngang một phần pin mặt trời 160 có màng thủy tinh hoặc trong suốt khác với các điện cực nhúng, được nén hoặc được liên kết với pin. Cơ cấu thay thế này áp dụng cho cấu trúc bất kỳ trong số các cấu trúc trên đây, và có thể bao gồm lát bán dẫn phía trước loại-p hoặc n, loại-n hoặc p, và phía sau loại-p hoặc n. Vì cơ cấu thay thế cho các điện cực kim loại được lắng phủ trực tiếp lên pin, nên các điện cực kim loại 161 và 169 được lắp vào trong thủy tinh hoặc các màng mỏng khác 161a và 169a. Khi thủy tinh hoặc màng mỏng được ép hoặc được dát mỏng bằng áp lực, thì các điện cực được lắp vào tạo sự tiếp xúc trên mặt trên của các lớp ngoài 162 và 168 tương ứng. Điều này có lợi là kim loại không cần phải lắng phủ trực tiếp lên trên pin, do đó loại bỏ được các nguồn phổ biến của ứng suất màng mà có thể làm cho pin uốn cong. Điều này đặc biệt hữu ích khi làm việc với các lát bán dẫn có diện tích dất lớn, như các tấm silic màng mỏng và/hoặc các lát bán dẫn rất mỏng. Trong nhiều phương án nêu trên, các điện cực kim loại không phải xuyên qua các lớp ở dưới trước khi chúng tiếp xúc với pin. Hơn nữa, nhiều vật liệu dẫn điện có thể được sử dụng để nâng cáo khả năng dẫn điện giữa các điện cực kim loại 161 và 169 và bề mặt của các lớp ngoài 162 và 168. Các nguyên liệu dẫn điện này có thể bao gồm nhưng không giới hạn ở màng dẫn điện không đẳng hướng (ACF), epoxy dẫn điện, hoặc các đầu tiếp xúc giống lò xo. Các lớp làm ví dụ của pin 160 bao gồm (lớp có thể được tạo ra từ các vật liệu nêu trên, không được thể hiện để dễ hiểu):

161a: Tấm thủy tinh hoặc màng trong suốt mang các điện cực kim loại nhúng.

161: Điện cực bằng kim loại phía trước.

162: Màng dẫn điện và trong suốt.

163: Màng làm chậm phản ứng và dẫn điện.

164: Lớp bề mặt chuyển tiếp làm chậm phản ứng điện.

165: Lớp silic kết tinh loại-n hoặc loại-p; độ dày nằm trong khoảng $w < 300$ um.

166: Lớp bề mặt chuyển tiếp làm chậm phản ứng điện.

167: Màng làm chậm phản ứng và dẫn điện.

168: Màng dẫn điện và trong suốt.

169: Điện cực bằng kim loại phía sau.

169a: Tấm thủy tinh hoặc màng trong suốt mang điện cực kim loại nhúng.

Fig.17 là hình vẽ mặt cắt ngang một phần pin mặt trời 170 có màng thủy tinh hoặc trong suốt khác với các điện cực nhúng, được nén hoặc được liên kết với pin, có các điện cực được định vị 179 ở phía sau. Vì cấu trúc điện cực được định vị ở phía sau, nên các photon va đập vào phía sau của pin mặt trời có thể được hấp thụ bên trong lát bán dẫn 175 và tạo ra các cặp lỗ điện tử trong cấu trúc hai mặt này. Điều này có thể làm cải thiện hiệu suất của pin mặt trời dưới các điều kiện hoạt động ngoài trời trong đó anbedo có thể được sử dụng với chi phí sản xuất và lắp đặt phát sinh ở mức thấp.

Phương án thay thế này áp dụng cho cơ cấu bất kỳ nêu trên, và có thể bao gồm lát bán dẫn phía trước loại-p hoặc n, loại-p hoặc n, phía sau loại-p hoặc n. Là một phương án thay thế cho các điện cực kim loại được lắng phủ trực tiếp lên pin, nên các điện cực kim loại 171 và 179 được gắn trong thủy tinh hoặc các màng dát mỏng khác 171a và 179a. Khi thủy tinh hoặc màng mỏng được ép hoặc được dát mỏng dưới áp lực, thì các điện cực đã được gắn tạo tiếp xúc trên mặt trên của các lớp ngoài 172 và 178 tương ứng. Điều này có lợi là kim loại không cần phải lắng phủ trực tiếp lên chính pin, nhờ đó loại bỏ được nguồn ứng suất phổ biến mà có thể làm cho pin bị cong. Điều này đặc biệt hữu ích khi làm việc với các lát bán dẫn có diện tích dát lớn, như các tấm silic màng mỏng và/hoặc các lát bán dẫn rất mỏng. Trong nhiều phương án nêu trên, các điện cực kim loại không phải xuyên qua các lớp ở dưới trước khi chúng tiếp xúc với pin. Ngoài ra, nhiều chất dẫn điện có thể được sử dụng để nâng cao khả năng dẫn điện giữa các điện cực kim loại 171 và 179 và bề mặt của các lớp ngoài 172 và 178. Các nguyên liệu dẫn điện này có thể bao gồm nhưng không giới hạn ở màng dẫn điện không đẳng hướng (ACF), epoxy dẫn điện, hoặc các đầu tiếp xúc giống lò

xo. Các lớp làm ví dụ của pin 170 bao gồm (mà có thể được tạo ra bằng vật liệu bất kỳ nêu trên, không được mô tả ở đây để dễ hiểu):

171a: Tấm thủy tinh hoặc màng trong suốt mang các điện cực kim loại nhúng.

171: Điện cực bằng kim loại phía trước.

172: Màng dẫn điện và trong suốt.

173: Màng làm chậm phản ứng và dẫn điện.

174: Lớp bề mặt chuyển tiếp làm chậm phản ứng điện.

175: Lớp silic kết tinh loại-n hoặc loại-p; độ dày nằm trong khoảng $w < 300$ um.

176: Lớp bề mặt chuyển tiếp làm chậm phản ứng điện.

177: Màng làm chậm phản ứng và dẫn điện.

178: Màng dẫn điện và trong suốt.

179: Điện cực bằng kim loại phía sau.

179a: Tấm thủy tinh hoặc màng trong suốt mang điện cực kim loại nhúng.

Các cấu trúc nêu trên không loại trừ nhau, và mọi dấu hiệu của một cấu trúc có thể áp dụng cho cấu trúc bất kỳ khác ở đây, phù hợp với sáng chế.

Các phương pháp sản xuất:

Dưới đây là các ví dụ về phương pháp sản xuất các cấu trúc được mô tả ở trên; tuy nhiên các phương pháp khác cũng có thể được tạo ra mà không vượt ra khỏi phạm vi của sáng chế. Đầu tiên, lát bán dẫn đến thu được mà không làm hư hại bề mặt, có thể được tạo bề mặt hoặc theo cách khác được biến đổi dạng hình học của nó, và có bề mặt sạch. Như nêu trên, và để cho dễ hiểu, hình dạng bề mặt hình học của các bề mặt lớp (ví dụ kết cấu bề mặt như hình chóp, hoặc kết cấu bề mặt khác, có thể được tạo ra trên các bề mặt lớp) không được thể hiện trên các hình vẽ, tuy nhiên, cần hiểu rằng hình dạng hình học và/hoặc các bề mặt hình học có thể được tạo theo hình dạng bất kỳ có lợi cho việc nâng cao hiệu suất của pin mặt trời, và thuộc phạm vi của sáng chế.

Các bước xử lý tiếp theo như sau (sử dụng các ký hiệu như "xx4" hoặc số chỉ dẫn tương tự bất kỳ bao gồm các lớp tương tự của cấu trúc bất kỳ trong số các cấu trúc được thể hiện trên các hình vẽ từ Fig.1 đến Fig.18 kết thúc là "4" hoặc "4a" như 4, 14, 134, 4a, 14a, 134a v.v.):

- Lắng phủ hoặc phát triển của caclop làm chậm phản ứng bề mặt chuyển tiếp xx4 và xx6;
- Lắng phủ của các lớp xx3 và xx7;
- Xử lý nhiệt;
- Việc lắng phủ tùy ý của các lớp xx2 và xx8 (có thể bao gồm lớp có chỉ số phản xạ thấp đối với gương trong tốt ở phía sau - hệ số khúc xạ về cơ bản nhỏ hơn 3,0, nhỏ hơn 2,6, nhỏ hơn 2,0, nhỏ hơn 1,5); và
- Mạ kim loại.

Trong bất kỳ cấu trúc nào nêu trên, các lớp (ví dụ xx2, xx3, xx4, xx6, xx7 và xx8) là các lớp dẫn điện, ví dụ việc mạ kim loại có thể được đặt trực tiếp lên lớp ngoài. (Trong pin mặt trời hiệu suất cao phổ biến thì không phải như thế vì việc làm chậm phản ứng bề mặt thường được thực hiện bằng các nguyên liệu là các chất cách điện.) Điều này cho phép đối với các biểu đồ mạ kim loại có tính chất đổi mới, ví dụ, pin mặt trời có thể tạo lớp thành môđun có các điện cực được lắp trong thủy tinh hoặc trong các tấm mỏng. Ngoài ra các tấm dẫn điện có thể được áp dụng để tăng cường độ bền cơ học cho các pin. Một cách khác của việc mạ kim loại có thể bao gồm việc lắng phủ các nét kim loại thanh mảnh. Vì khả năng dẫn điện của các bề mặt, yêu cầu đối với bột nhão kim loại được giảm bớt nên chúng tiếp xúc trực tiếp với các lớp ngoài và không cần khắc ăn mòn qua lớp cách điện để tiếp xúc với pin mặt trời. Một ví dụ khác là làm bay hơi trực tiếp hoặc thổi kim loại lên trên các bề mặt dẫn điện.

Hầu hết các lớp bên trong cơ cấu pin mặt trời nêu trên có thể được lắng phủ hoặc phát triển bằng các phương pháp như PECVD, APCVD, LPCVD, PVD, mạ v.v.. Đối với vài lớp và kết hợp của các lớp, các phương pháp tạo ra các lớp và cấu trúc có tính chất đổi mới có thể hữu ích. Ví dụ, oxy hóa nhiệt hoặc lắng phủ plasma hoặc oxy hóa có hỗ trợ plasma có thể được sử dụng để tạo (các) lớp làm chậm phản ứng bề mặt chuyển tiếp.

Ví dụ, để đạt được pin mặt trời hiệu suất cao bằng phương pháp sản xuất chi phí thấp, tốt hơn là lắng phủ các màng có tính chất khác nhau chỉ trên một mặt. Trong khi, việc này là khó thực hiện, (ví dụ đối với việc lắng phủ lò ống tiêu chuẩn của ví dụ silic đa tinh thể được lắng phủ LPCVD), việc lắng phủ PECVD có thể được thực hiện trên một mặt của lát bán dẫn mà không cần lắng phủ trên mặt kia. Các dụng cụ PECVD có sẵn ở qui mô công nghiệp

nhưng có thể chỉ hoạt động trong chế độ nhiệt trong đó silic vô định hình hoặc vi tinh thể có thể được lắng phủ. Trong các cấu trúc pin nêu trên, các lớp silic vô định hình có thể được chuyển thành các lớp silic đa tinh thể bằng xử lý nhiệt. Điều này cũng duy trì sự phù hợp đối với lớp silic vô định hình đã được pha tạp hoặc các hợp chất của các cacbua silic vô định hình. Sự kết tinh này gây ảnh hưởng không tốt tới chất lượng làm chậm phản ứng của lớp bề mặt chuyển tiếp của silic/silic vô định hình (nếu nó tồn tại trong cấu trúc pin). Tuy nhiên, các lớp xx4 và xx6 làm lớp đệm cho bề mặt của lát bán dẫn từ lớp silic đa tinh thể đã kết tinh. Do đó, bề mặt chuyển tiếp vẫn được làm chậm phản ứng sau khi xử lý nhiệt và hệ thống lớp này ổn định ở nhiệt độ xử lý nhiệt.

Theo sáng chế, trong suốt quá trình kết tinh nhiều tính chất của lớp bị thay đổi: Các chất cho hoặc các thụ thể được hoạt hóa, khả năng truyền quang tăng lên, hydro tỏa ra từ lớp này. Bước xử lý nhiệt có thể kích hoạt các nguyên tử pha tạp trong hợp chất và tạo ra sự khuếch tán nguyên tử pha tạp vào trong tấm nền để tạo thành lớp chuyển tiếp cao-thấp hoặc lớp chuyển tiếp p-n.

Theo sáng chế, làm chậm phản ứng tốt của các lớp xx4 và xx6 tiếp tục và/hoặc cải thiện sau quá trình xử lý nhiệt ở nhiệt độ cao. Làm chậm phản ứng có thể là thỏa đáng sau khi lắng phủ, tuy nhiên xử lý nhiệt ở nhiệt độ cao có thể cải thiện đặc tính của nó. Làm chậm phản ứng là ổn định nhiệt (từ 500°C, hoặc 600°C, hoặc 700°C, đến 1100°C hoặc cao hơn) vì kết cấu của các lớp. Do đó, xử lý nhiệt ở 500°C hoặc cao hơn bao gồm khía cạnh của sáng chế. Các lợi ích tiềm năng khác có thể bao gồm: xử lý nhiệt có thể không làm biến đổi sự kết tinh của của nền silic, ít nhất ở bề mặt chuyển tiếp, vì lớp bề mặt chuyển tiếp thứ nhất là SiO₂ vô định hình, và/hoặc vì lớp dẫn điện là SiC. Do đó một khía cạnh khác của sáng chế dự tính đưa ra bước xử lý nhiệt mà không làm biến đổi độ kết tinh của nền silic, và/hoặc lớp làm chậm phản ứng bề mặt chuyển tiếp có tác dụng như lớp đệm để tái kết tinh trong quá trình xử lý nhiệt.

Nếu thành phần lớp được chọn chính xác, thì lớp được lắng phủ trong qui trình đơn có thể chia tách thành hai (hoặc nhiều hơn hai) lớp. Ôxy được đưa vào trong lớp lắng phủ vô định hình di trú về phía bề mặt chuyển tiếp silic và lớp oxit mỏng có thể được phát triển. Nếu cơ chế này được khai thác bằng cách sử dụng các màng chứa oxit xx3 và xx7, thì các lớp bề mặt chuyển tiếp làm chậm phản ứng xx4 và xx6 không cần được tạo ra trước các lớp

xx3 và xx7, do đó tất cả các cấu trúc nêu trên có thể cũng làm việc mà không có các lớp xx4 và xx6. Đồng thời màng nêu trên kết tinh và các chất pha tạp có thể được hoạt hóa. Hiệu ứng này có thể được sử dụng để tạo ra các cấu trúc như các pin 90 và 140 nêu trên, theo dòng xử lý rất ngắn, nhưng giới hạn ở ứng dụng này. Vì lý do đó các lớp xx3 và xx7 trong tất cả các cấu trúc có thể được sử dụng để khai thác cấu trúc này nếu chúng chứa hàm lượng oxy thấp và danh sách về các ví dụ được mở rộng theo cùng các lớp chứa oxy.

Trong trường hợp các lớp bề mặt chuyển tiếp làm chậm phản ứng xx4 và xx6 và các lớp pha tạp cao xx3 và xx7 được lắng phủ hoặc phát triển với ứng suất có sẵn, hoặc bước xử lý nhiệt để kết tinh nêu trên tạo ra ứng suất, thì điều này có thể ảnh hưởng không tốt tới các tính chất làm chậm phản ứng của bề mặt của lát bán dẫn xx5. Để ngăn chặn tác động không tốt này, và tham chiếu hình vẽ mặt cắt ngang một phần của pin mặt trời 180 trên Fig.18 màng silic mỏng 1831 và 1871 có thể được lắng phủ trên mặt trên của các màng làm chậm phản ứng 184 và 186, để hoạt động như lớp đệm. Fig.18 minh họa khía cạnh này của lớp đệm silic 1831 và 1871 giữa các lớp làm chậm phản ứng 184 và 186 và các lớp làm chậm phản ứng cao 183a, và 187a, tương ứng. Khái niệm này đặc biệt có lợi đối với các pin 90 và 140 nêu trên, nhưng ứng dụng của nó không giới hạn ở các cấu trúc này.

Lớp đệm silic có thể, ví dụ, là silic đa tinh thể không pha tạp. Trong trường hợp này, vì màng nêu trên có thể được lắng phủ trên cả hai mặt, nên lò ống tiêu chuẩn có thể được sử dụng. Trong bước xử lý trong đó các lớp làm chậm phản ứng 184 và 186 là oxit nhiệt mỏng ôxit nhiệt, thì quy trình oxy hóa có thể thực hiện ngay sau bước lắng phủ của silic đa tinh thể, trong cùng lò nhưng khác ống (tiết kiệm được việc xử lý các lát bán dẫn) hoặc thậm chí trong cùng một ống. Việc pha tạp cần cho sự làm chậm phản ứng có thể được tạo ra bằng cách điều chỉnh chất pha tạp được kết hợp trong các màng 183a và 187a, với bằng xử lý nhiệt được sử dụng để kết tinh vài cùng thời điểm điều chỉnh chất pha tạp từ các lớp 183a và 187a vào trong các lớp 1831 và 1871 tương ứng, làm cho chúng làm chậm phản ứng và dẫn điện. Độ dày cho phép của lớp đệm phụ thuộc vào mức pha tạp của các lớp được pha tạp mà được lắng phủ trên mặt đỉnh cũng như vào biên dạng thời gian/nhiệt độ mà được sử dụng để kết tinh lớp mặt được pha tạp này. Lớp không pha tạp được pha tạp trong quá trình xử lý nhiệt bằng các lớp pha tạp 183a và 187a. Các lớp đệm 1831 và 187 cũng có thể bao gồm nhiều lớp silic.

Một tác dụng khác của việc xử lý nhiệt là tái tổ chức của các lớp bề mặt chuyển tiếp làm chậm phản ứng 184 và 186. Tùy thuộc vào độ dày của chúng, việc xử lý nhiệt và các lớp bên trên chúng, các lớp này co lại và lộ qua các lỗ thông (ví dụ sự đục lỗ xảy ra) sao cho các lớp liền kề 1831 và 1871 tạo sự tiếp xúc trực tiếp với lát bán dẫn 185. Một phần rất nhỏ của bề mặt chuyển tiếp cho phép phần tử mang bỏ qua các lớp 184 và 186. Nếu việc xử lý nhiệt được chọn theo cách mà không có hoặc các lỗ thông không đủ hở, thì các lớp 184 và 186 cần phải mỏng đủ để cho phép đi qua ống của các phần tử mang.

Theo khía cạnh khác, sáng chế còn bao gồm các phương pháp mạ kim loại cải tiến. Theo một ví dụ, mạ kim loại đối với cấu trúc bất kỳ nêu trên có thể được tạo ra theo đơn sáng chế tạm thời của Mỹ có tên tiếng Anh là "Method for forming structures in a Solar Cell" nộp ngày 21.04. 2009 có số đơn là 61/171,187; và đồng thời được nộp đơn quốc tế có tên tiếng Anh là " Method for forming structures in a Solar Cell" có số hồ sơ 3304.002AWO. Mỗi trong số các đơn này được đưa vào đây bằng cách viện dẫn với toàn bộ nội dung của nó. Theo các đơn này, việc mạ kim loại có thể được tạo ra theo phương pháp tạo mẫu tiếp xúc dẫn điện/tiếp xúc dị thể trên bề mặt của pin mặt trời, bao gồm việc tạo ra lớp dẫn điện mỏng lên trên ít nhất một lớp dưới của pin mặt trời, và cắt bỏ phần lớn lớp dẫn điện mỏng này bằng cách sử dụng chùm laze, do đó tạo ra mẫu tiếp xúc dẫn điện/tiếp xúc dị thể. Việc mạ kim loại tự điều chỉnh có thể được tạo ra trên mẫu tiếp xúc dẫn điện. Lớp dưới có thể bao gồm lớp làm chậm phản ứng và/hoặc lớp khử phản xạ phía dưới lớp dẫn điện mỏng, trong đó mẫu tiếp xúc dẫn điện tạo ra sự tiếp xúc điện qua ít nhất một lớp dưới với lớp bán dẫn của pin mặt trời.

Theo một ví dụ khác, việc mạ kim loại đối với cấu trúc bất kỳ nêu trên có thể được thực hiện theo đơn sáng chế tạm thời có tên tiếng Anh "Localized Metal Contacts By Localized Laser Assisted Reduction Of Metal-Ions In Functional Films, và Solar cell Applications Thereof," nộp ngày 22.04.2009 và đơn được chuyển giao số 61/171,491; và đơn quốc tế được chuyển giao có tên tiếng Anh là "Localized Metal Contacts By Localized Laser Assisted Conversion Of Functional Films In Solar cell" được nộp với số hồ sơ 3304.003AWO. Mỗi trong số các đơn này được đưa vào đây để tham khảo với toàn bộ nội dung của nó. Theo các đơn này, bước mạ kim loại có thể được thực hiện theo phương pháp tạo ra ít nhất một sự tiếp xúc điện trong lớp của pin mặt trời, bao gồm việc tạo ra lớp trong

pin mặt trời chứa chất mà có thể được biến đổi một cách có lựa chọn đối với các tiếp xúc điện khi chiếu laze; và áp dụng chiếu laze có lựa chọn lên ít nhất một diện tích của lớp này để nhờ đó tạo ra một sự tiếp xúc điện trong diện tích của lớp này. Vùng còn lại của lớp này có thể bao gồm lớp chức năng của pin mặt trời và không cần phải loại bỏ; ví dụ màng dẫn điện, trong suốt, và màng khử phản xạ và/hoặc làm chậm phản ứng như nêu trên.

Sáng chế bao gồm cơ cấu bất kỳ hoặc kết hợp của cơ cấu pin mặt trời nêu trên, bao gồm nói chung nền trung tâm, (các) lớp dẫn điện, (các) lớp khử phản xạ, các lớp làm chậm phản ứng và/hoặc (các) điện cực. Các cấu trúc nêu trên không loại trừ nhau, và mọi dấu hiệu của một cấu trúc có thể áp dụng cho cấu trúc bất kỳ khác ở đây, phù hợp với sáng chế.

Sáng chế còn bao gồm phương pháp sản xuất cơ cấu bất kỳ trong số các cơ cấu này, bao gồm bước: tạo ra tấm mỏng làm nền trung tâm; lắng phủ hoặc phát triển các lớp làm chậm phản ứng bề mặt chuyển tiếp xx4 và xx6 lên trên nền; lắng phủ các lớp dẫn điện xx3 và xx7 lên trên các lớp làm chậm phản ứng; tiến hành xử lý nhiệt; lắng phủ tùy ý các lớp khử phản xạ xx2 và xx8 (có thể bao gồm lớp có chỉ số phản xạ thấp cho gương trong tốt ở phía sau); và tiến hành mạ kim loại làm các điện cực.

Theo một phương án, phương pháp theo sáng chế bao gồm bước tiến hành xử lý nhiệt để tạo màng đa chức năng chia tách thành lớp làm chậm phản ứng bề mặt chuyển tiếp và lớp làm chậm phản ứng đa tinh thể được pha tạp cao có độ trong suốt cao.

Theo một phương án, phương pháp theo sáng chế bao gồm bước tiến hành lắng phủ hợp chất chứa silic vô định hình và sử dụng bước xử lý nhiệt để khởi đầu sự kết tinh thành màng đa tinh thể.

Theo một phương án, phương pháp theo sáng chế bao gồm bước tiến hành lắng phủ hợp chất chứa silic vô định hình và sử dụng phương pháp xử lý nhiệt mà dẫn tới sự kết tinh của màng và làm tăng hệ số truyền quang.

Theo một phương án, phương pháp theo sáng chế bao gồm bước tiến hành lắng phủ hợp chất chứa silic vô định hình và sử dụng bước xử lý nhiệt để kích hoạt các nguyên tử pha tạp trong hợp chất.

Theo một phương án, phương pháp theo sáng chế bao gồm bước tiến hành lắng phủ hợp chất chứa silic vô định hình và sử dụng bước xử lý nhiệt lớn hơn 500⁰C để kích hoạt các

nguyên tử pha tạp trong hợp chất và tạo ra sự khuếch tán nguyên tử pha tạp vào trong tấm nền để tạo thành lớp chuyển tiếp cao-thấp hoặc lớp chuyển tiếp p-n.

Theo một hoặc nhiều khía cạnh, sáng chế bao gồm vật phẩm được sản xuất (ví dụ một hoặc nhiều trường trình máy tính) có vật sử dụng được với máy tính. Vật này có được lắp trong đó, ví dụ mã chương trình đọc được bằng máy tính nghĩa là để tạo ra và tạo thuận lợi cho việc thực hiện sáng chế. Vật phẩm được sản xuất có thể là một phần của hệ thống máy tính được bán riêng rẽ.

Ngoài ra, sáng chế còn đưa ra ít nhất một vật lưu giữ chương trình được đọc bằng thiết bị có ít nhất một chương trình lệnh có thể thực hiện được bởi máy này để thực hiện sáng chế.

Các biểu đồ và các bước được mô tả ở đây chỉ mang tính chất minh họa. Có thể có nhiều biến thể đối với các biểu đồ hoặc các bước này (hoặc các công đoạn) mà không vượt ra khỏi tinh thần và phạm vi của sáng chế. Ví dụ, các bước này có thể được thực hiện theo trật tự khác nhau hoặc các bước có thể được bổ sung, được loại bỏ hoặc được điều chỉnh. Tất cả các biến thể này được coi là một phần của sáng chế.

Mặc dù các phương án được ưu tiên của sáng chế được mô tả chi tiết, nhưng cần hiểu rằng các chuyên gia trong lĩnh vực kỹ thuật có thể tạo ra các biến thể, bổ sung, thay thế và các phương án tương tự mà không vượt ra khỏi phạm vi của sáng chế và do đó chúng thuộc phạm vi của sáng chế được xác định trong yêu cầu bảo hộ kèm theo.

YÊU CẦU BẢO HỘ

1. Phương pháp sản xuất pin mặt trời bao gồm các bước:

tạo ra nền;

tạo ra màng làm chậm phản ứng bên trên nền này, màng làm chậm phản ứng chứa vật liệu làm chậm phản ứng và tạp chất dẫn điện, tạp chất dẫn điện tạo ra một phần, màng làm chậm phản ứng có mặt trên dẫn điện;

xử lý nhiệt màng làm chậm phản ứng để khuếch tán tạp chất dẫn điện khắp màng làm chậm phản ứng, xử lý nhiệt ít nhất làm kết tinh một phần màng làm chậm phản ứng để thiết lập màng làm chậm phản ứng được kết tinh; và

tạo ra ít nhất một điện cực trên mặt trên dẫn điện của màng làm chậm phản ứng, trong đó tạp chất dẫn điện của màng làm chậm phản ứng tạo dễ dàng cho việc nối điện giữa ít nhất một điện cực và nền qua màng làm chậm phản ứng.

2. Phương pháp theo điểm 1, trong đó ít nhất một điện cực chỉ nối điện với nền qua màng làm chậm phản ứng qua tạp chất dẫn điện của nó.

3. Phương pháp theo điểm 1, trong đó bước xử lý nhiệt còn khuếch tán tạp chất dẫn điện của màng làm chậm phản ứng vào trong nền, khuếch tán tạp chất dẫn điện vào trong nền tạo dễ dàng cho việc nối điện giữa ít nhất một điện cực và nền.

4. Phương pháp theo điểm 1, trong đó màng làm chậm phản ứng được kết tinh là màng trong suốt.

5. Phương pháp theo điểm 1, trong đó phương pháp này còn bao gồm bước tạo ra lớp bề mặt chuyển tiếp làm chậm phản ứng trên nền và phía dưới màng làm chậm phản ứng, lớp bề mặt chuyển tiếp làm chậm phản ứng bảo vệ nền khỏi bị kết tinh trong quá trình xử lý nhiệt của màng làm chậm phản ứng.

6. Phương pháp theo điểm 5, trong đó khuếch tán tạp chất dẫn điện còn bao gồm khuếch tán tạp chất dẫn điện qua lớp bề mặt chuyển tiếp làm chậm phản ứng.

7. Phương pháp theo điểm 5, trong đó lớp bề mặt chuyển tiếp làm chậm phản ứng có độ dày được chọn để cho phép tạo thành đường hầm của các phân tử mang điện qua lớp bề mặt chuyển tiếp làm chậm phản ứng.

8. Phương pháp theo điểm 5, trong đó bước tạo lớp bề mặt chuyển tiếp làm chậm phản ứng và tạo màng làm chậm phản ứng bao gồm các bước:

tạo hợp chất chứa silic vô định hình trên bề mặt trên của nền, hợp chất này chứa tạp chất oxy và tạp chất dẫn điện;

khuếch tán tạp chất oxy, ít nhất một phần, vào trong bề mặt trên của nền để tạo thành lớp oxit trên nền, lớp oxit này định ra lớp bề mặt chuyển tiếp làm chậm phản ứng; và

trong đó hợp chất chứa silic vô định hình còn lại phía trên lớp oxit định ra màng làm chậm phản ứng.

9. Phương pháp theo điểm 8, trong đó bước khuếch tán oxy bao gồm bước xử lý nhiệt hợp chất chứa silic vô định hình, xử lý nhiệt làm khuếch tán tạp chất dẫn điện của màng làm chậm phản ứng qua lớp bề mặt chuyển tiếp làm chậm phản ứng.

10. Phương pháp theo điểm 1, phương pháp này còn bao gồm bước tạo ra màng khử phản xạ trên mặt trên dẫn điện của màng làm chậm phản ứng.

11. Phương pháp theo điểm bất kỳ trong số các điểm từ 1 đến 10, phương pháp này còn bao gồm bước tạo ra ít nhất một màng dẫn điện trên màng làm chậm phản ứng, trong đó bước tạo ra ít nhất một điện cực bao gồm tạo ra ít nhất một điện cực trên ít nhất một màng dẫn điện.

12. Phương pháp theo điểm 11, trong đó ít nhất một màng dẫn điện là màng dẫn điện trong suốt.

Lớp bề mặt làm chậm phản ứng <math><10\text{nm}</math>

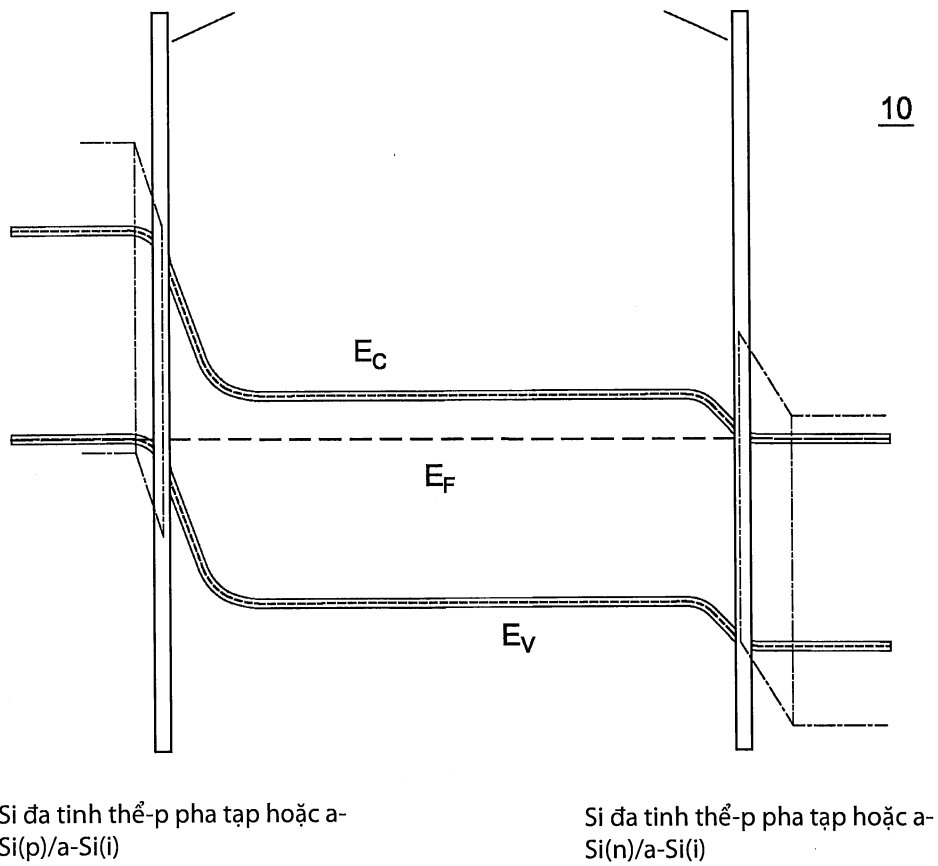


FIG. 1

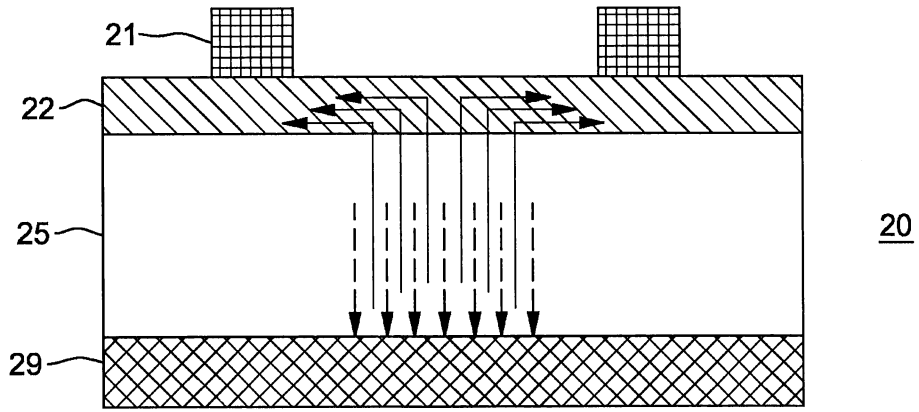


FIG. 2

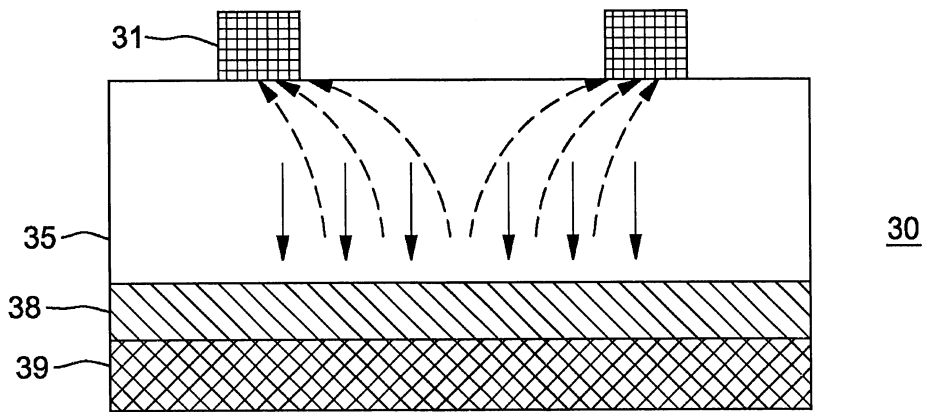


FIG. 3

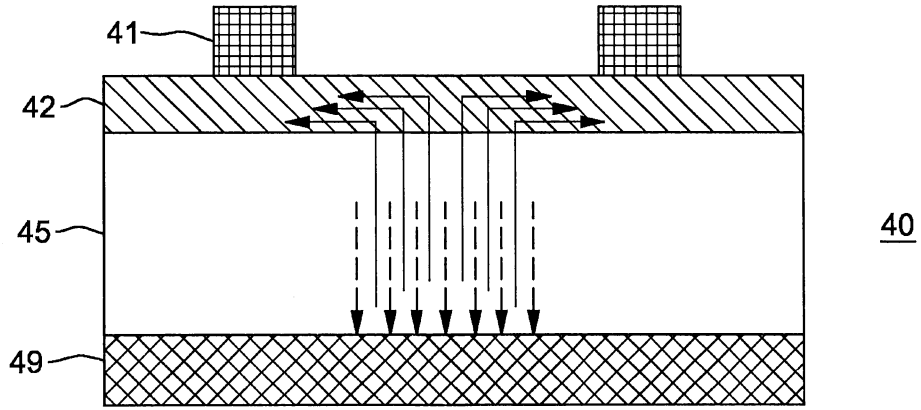


FIG. 4

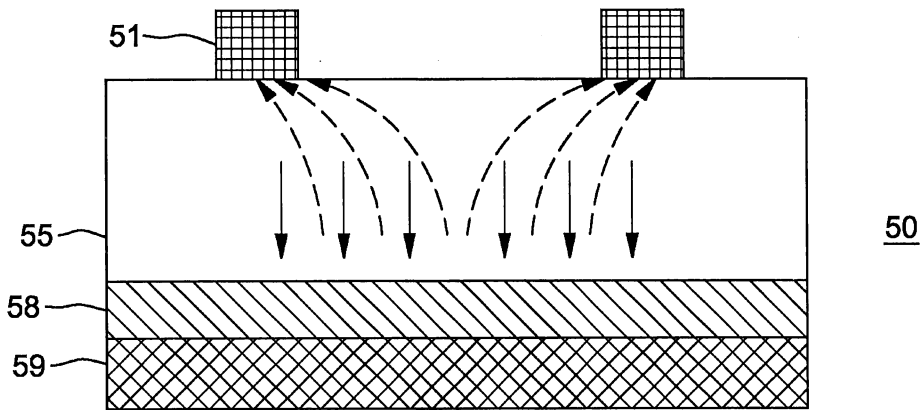


FIG. 5

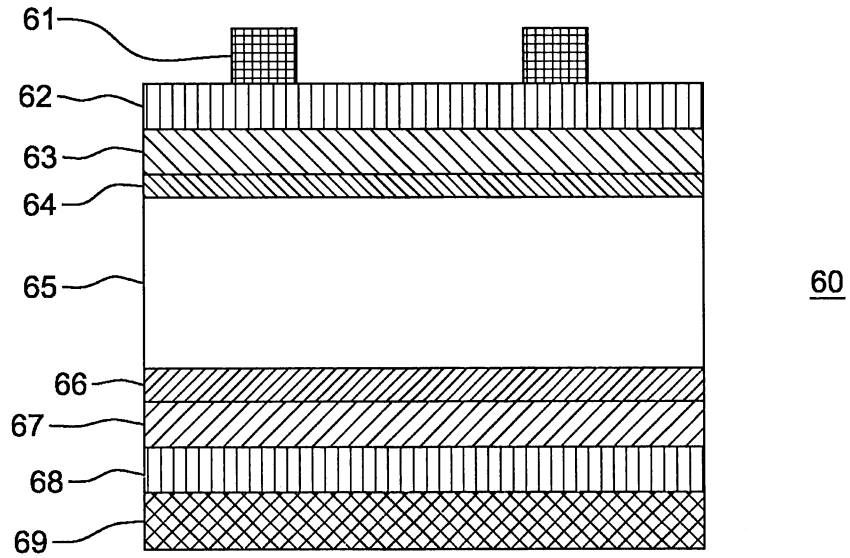


FIG. 6

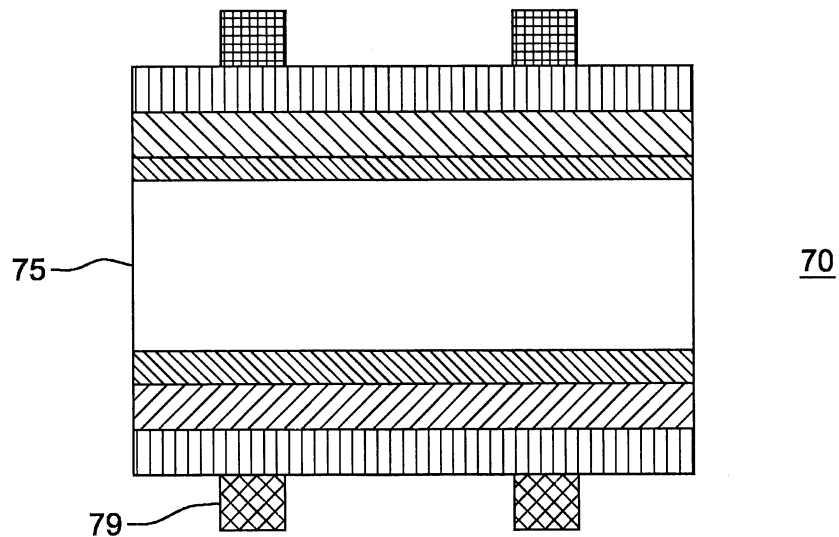


FIG. 7

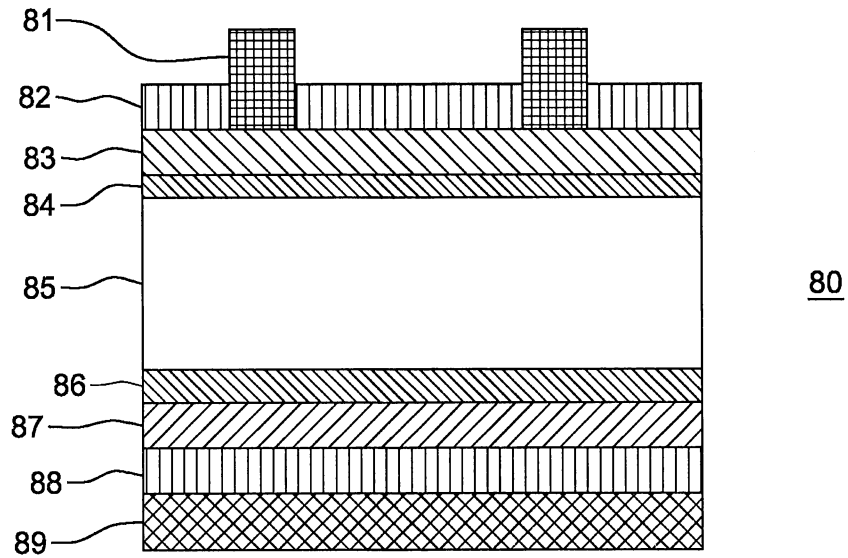


FIG. 8

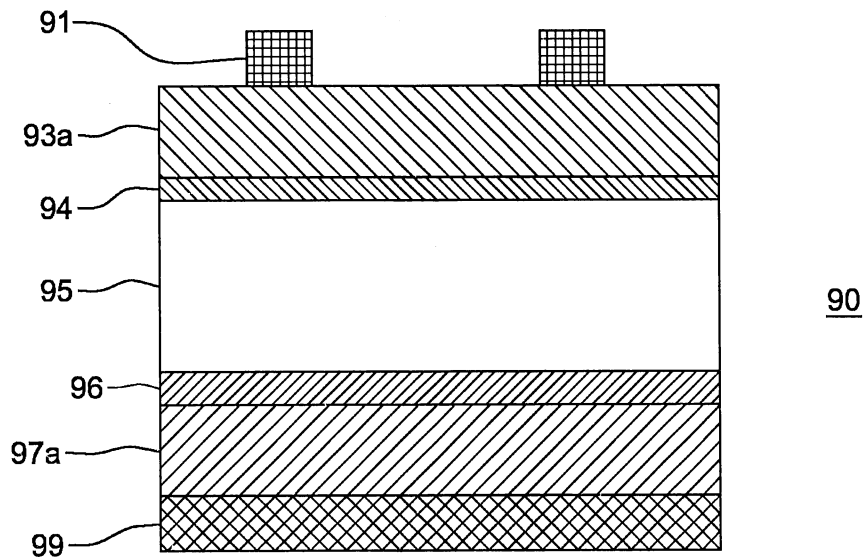


FIG. 9

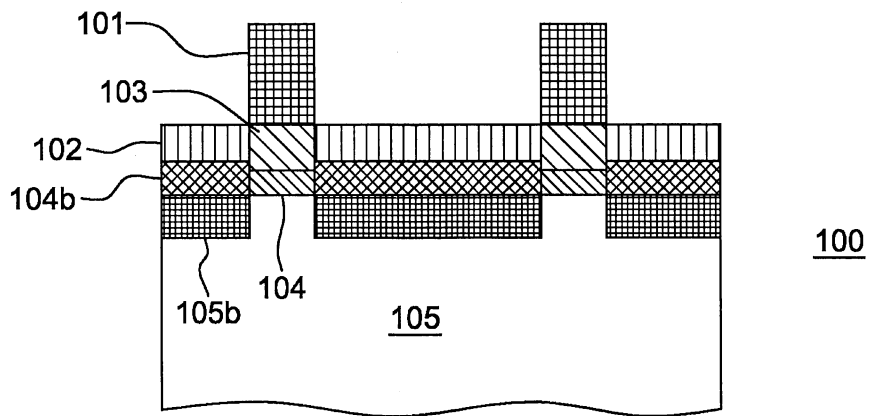


FIG. 10

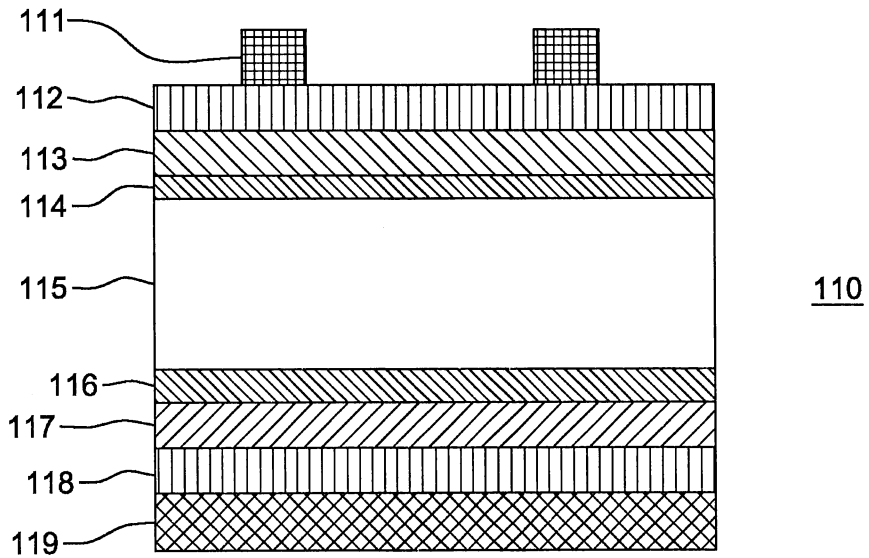


FIG. 11

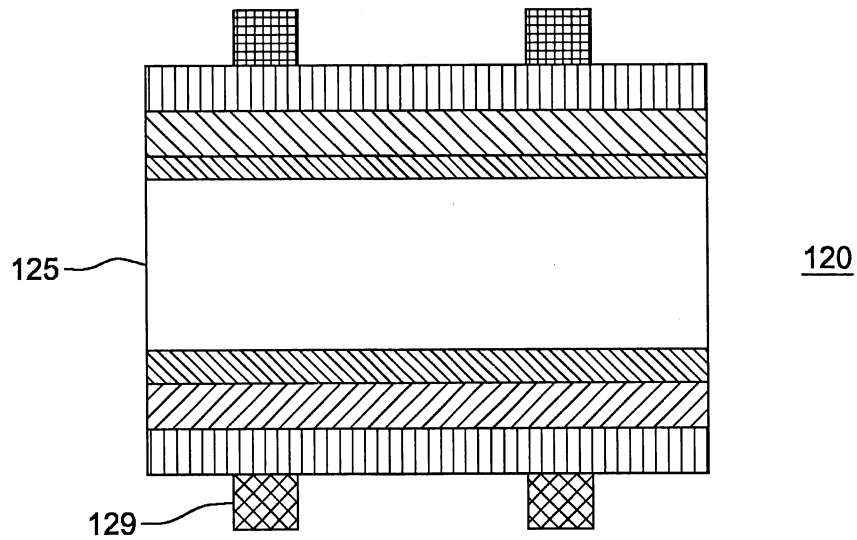


FIG. 12

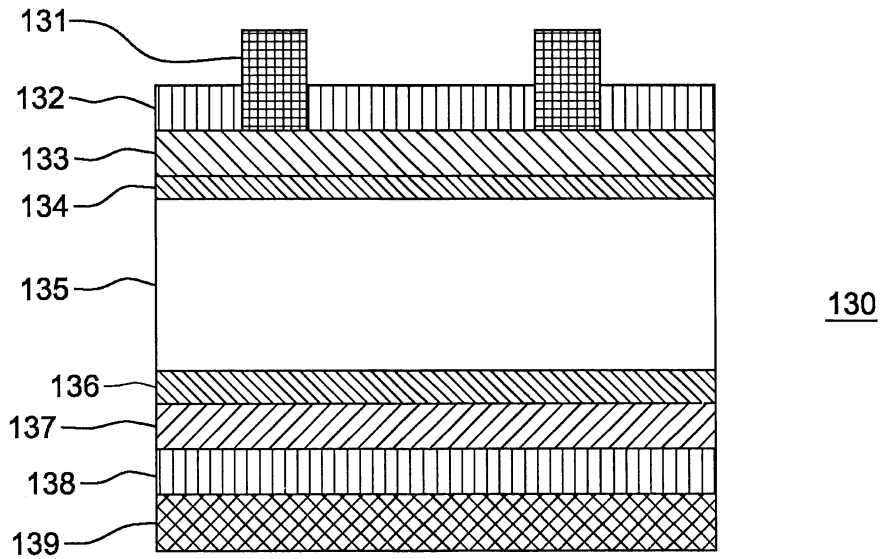


FIG. 13

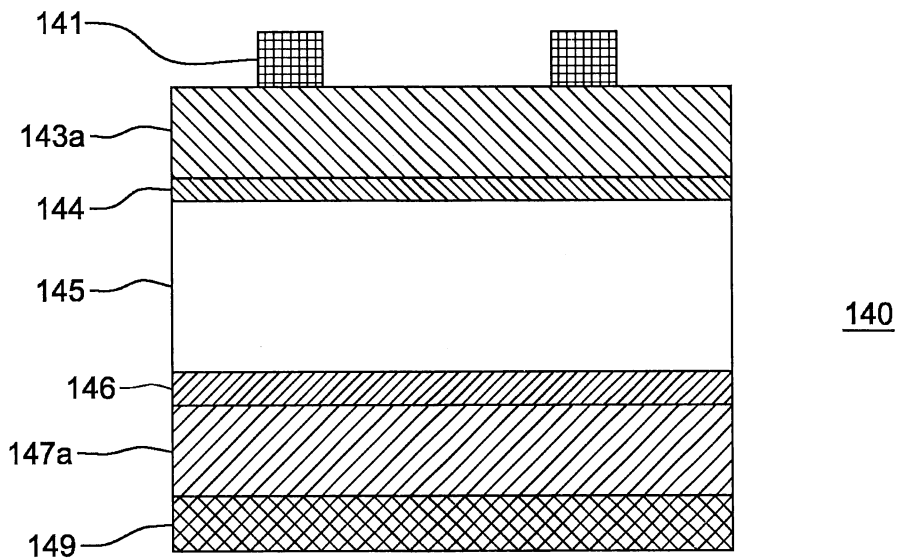


FIG. 14

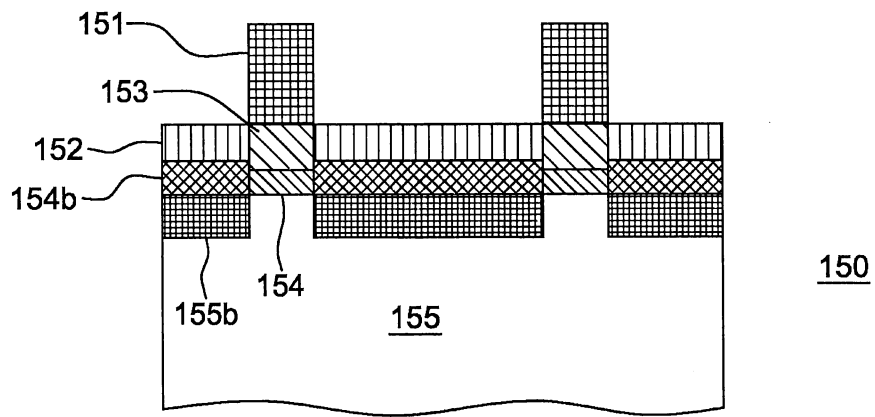


FIG. 15

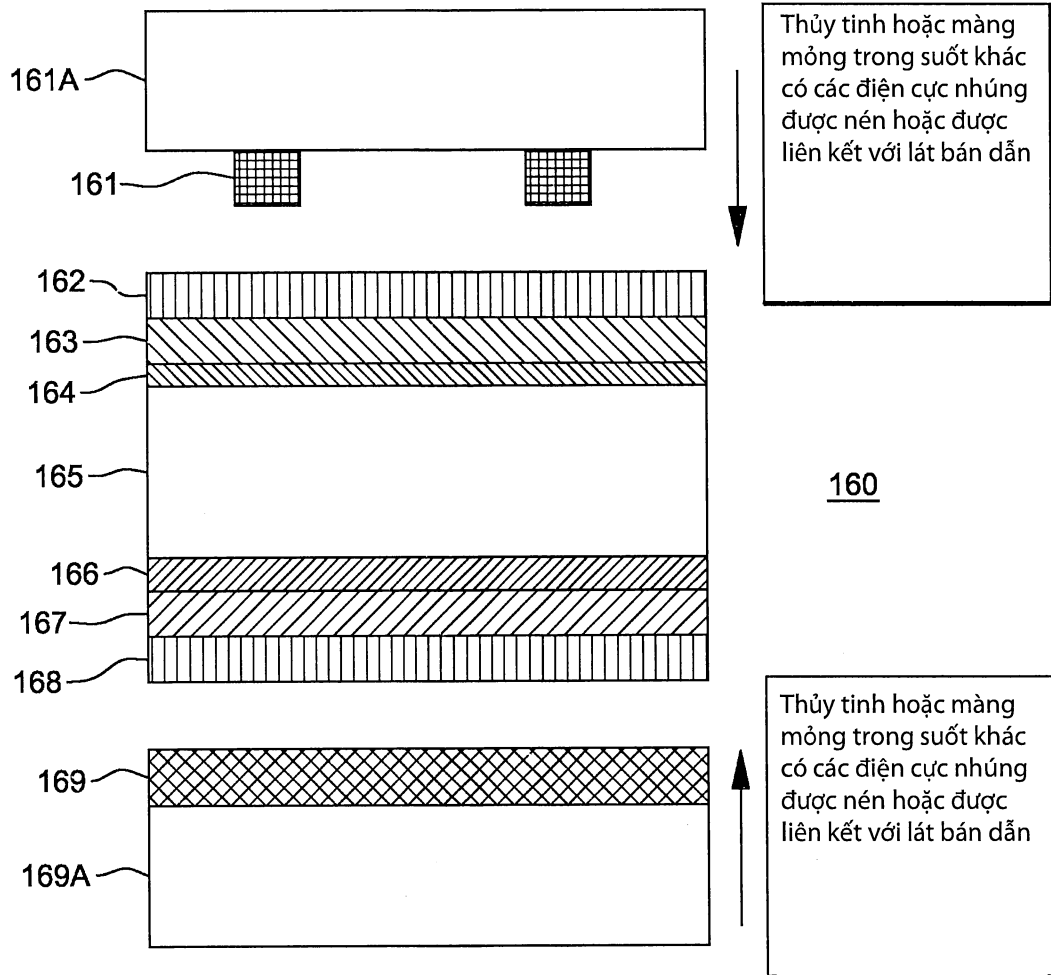


FIG. 16

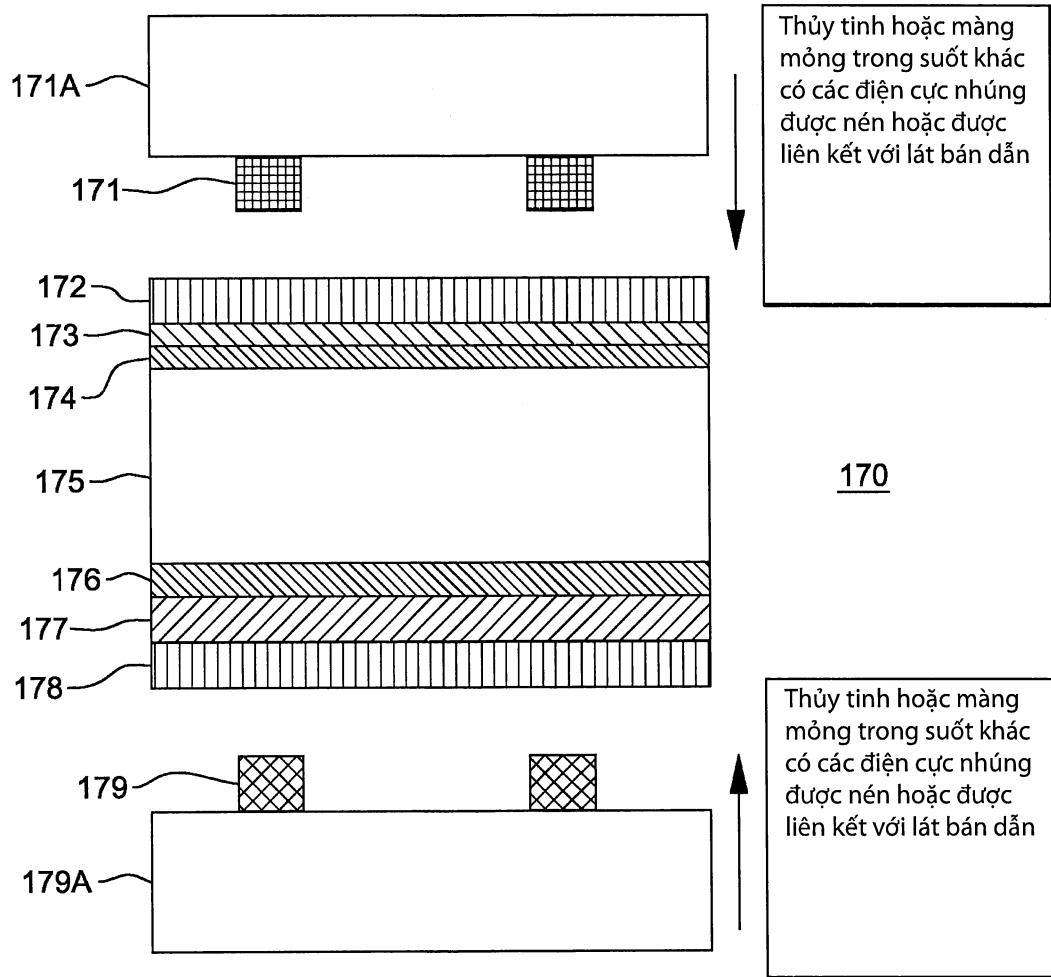


FIG. 17

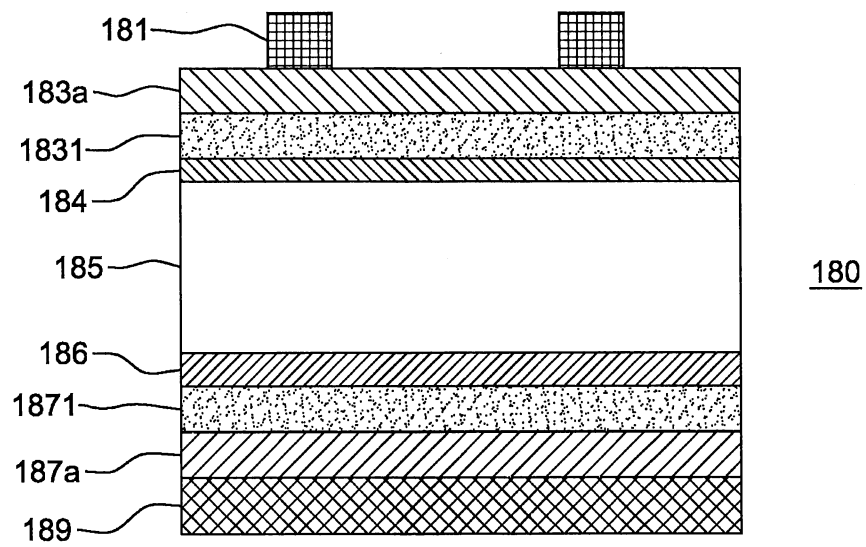


FIG. 18