



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0025800

(51)⁷ H04N 21/238; H04N 21/438

(13) B

(21) 1-2015-03253

(22) 06/01/2015

(86) PCT/JP2015/050091 06/01/2015

(87) WO 2015/107925 A1 23/07/2015

(30) 2014-005655 16/01/2014 JP

(45) 26/10/2020 391

(43) 25/01/2016 334A

(73) SONY CORPORATION (JP)

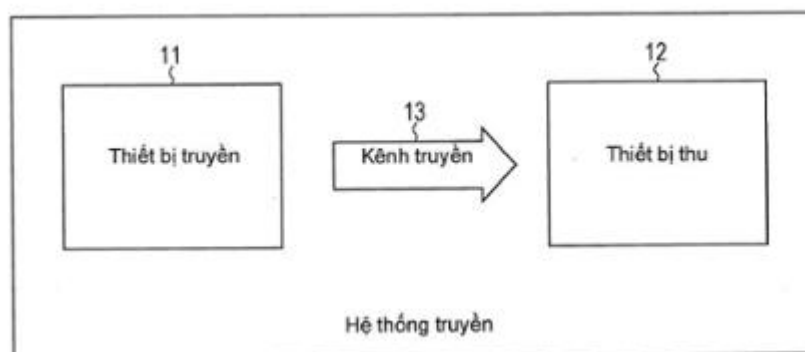
1-7-1, Konan, Minato-Ku, Tokyo, 108-0075 Japan

(72) YOSHIMUCHI Naoki (JP); OKADA Satoshi (JP); YAMAMOTO Makiko (JP).

(74) Công ty TNHH một thành viên Sở hữu trí tuệ VCCI (VCCI-IP CO.,LTD)

(54) THIẾT BỊ XỬ LÝ DỮ LIỆU VÀ PHƯƠNG PHÁP XỬ LÝ DỮ LIỆU

(57) Sáng chế đề cập đến thiết bị xử lý dữ liệu và phương pháp xử lý dữ liệu để giảm chi phí và cho phép ghép kênh (Channel Bonding - CB). Thiết bị truyền chia luồng BB là luồng của các khung BB (Baseband - dải gốc) thành các luồng tách bằng cách phân phối các khung BB của luồng BB đến các lát dữ liệu. Thao tác chia luồng BB được thực hiện bằng cách giới hạn tỷ lệ tốc độ dữ liệu giữa các tốc độ dữ liệu của các luồng tách. Thiết bị thu tái tạo luồng BB ban đầu từ các luồng tách thu được từ dữ liệu được truyền từ thiết bị truyền. Sáng chế có thể áp dụng cho CB như tạo nhóm PLP (Physical Layer Pipe - ống lớp vật lý).



Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập đến thiết bị xử lý dữ liệu và phương pháp xử lý dữ liệu, và cụ thể hơn là, đề cập đến thiết bị xử lý dữ liệu và phương pháp xử lý dữ liệu để giảm chi phí và cho phép ghép kênh (CB - Channel Bonding) chẳng hạn.

Tình trạng kỹ thuật của sáng chế

Các ví dụ về chuẩn truyền trong phát rộng số bao gồm DVB-C2, đây là các chuẩn truyền hình cáp thế hệ tiếp theo và được chuẩn hóa bởi DVB (Digital Video Broadcasting – phát rộng video số) (tài liệu phi sáng chế 1).

Trong DVB-C2, các phương pháp điều biến và mã hóa hiệu suất cao được xác định.

Tài liệu trích dẫn

Tài liệu phi sáng chế

Tài liệu phi sáng chế 1: DVB-C.2 :ETSI EN 302 769 V1.2.1 (2011-04)

Vấn đề cần được giải quyết bởi sáng chế

Đã biết kỹ thuật CB (Channel Bonding - ghép kênh), là kỹ thuật truyền luồng với tốc độ dữ liệu cao trong phát rộng số, theo kỹ thuật này luồng với tốc độ dữ liệu cao được chia thành các luồng tách (của các kênh) và được truyền từ phía truyền, và luồng gốc với tốc độ dữ liệu cao được tái tạo từ các luồng tách ở phía thu.

Trong DVB-C2, kỹ thuật tạo nhóm PLP (Physical Layer Pipe - ống lớp vật lý) được xác định là một loại CB.

Tuy nhiên, trong DVB-C2, các chi tiết về kỹ thuật tạo nhóm PLP hiện thời chưa được xác định. Do đó, nếu mức độ tự do nhất định được cho phép khi tạo nhóm PLP ở phía truyền, thiết bị tái tạo luồng gốc với tốc độ dữ liệu cao ở phía thu có thể yêu cầu chi phí cao hơn so với trước đây.

Bản chất kỹ thuật của sáng chế

Sáng chế đã được hoàn thành để giải quyết các vấn đề nêu trên, và mục đích của sáng chế là giảm chi phí và cho phép CB như tạo nhóm PLP.

Phương tiện giải quyết vấn đề

Thiết bị xử lý dữ liệu thứ nhất của sáng chế là thiết bị xử lý dữ liệu bao gồm bộ chia để chia luồng BB là luồng của các khung BB (Baseband - dải gốc) thành các luồng tách bằng cách phân phối các khung BB của luồng BB đến các lát dữ liệu, bộ chia chia luồng BB bằng cách giới hạn tỷ lệ tốc độ dữ liệu giữa các tốc độ dữ liệu của các luồng tách.

Phương pháp xử lý dữ liệu thứ nhất của sáng chế là phương pháp xử lý dữ liệu bao gồm bước chia luồng BB là luồng của các khung BB (Baseband - dải gốc) thành các luồng tách bằng cách phân phối các khung BB của luồng BB đến các lát dữ liệu, bước chia luồng BB được thực hiện bằng cách giới hạn tỷ lệ tốc độ dữ liệu giữa các tốc độ dữ liệu của các luồng tách.

Theo thiết bị xử lý dữ liệu và phương pháp xử lý dữ liệu thứ nhất của sáng chế, luồng BB là luồng của các khung BB (Baseband - dải gốc) được chia thành các luồng tách bằng cách phân phối các khung BB của luồng BB đến các lát dữ liệu. Thao tác chia luồng BB được thực hiện bằng cách giới hạn tỷ lệ tốc độ dữ liệu giữa các tốc độ dữ liệu của các luồng tách.

Thiết bị xử lý dữ liệu thứ hai của sáng chế là thiết bị xử lý dữ liệu bao gồm bộ tái tạo để tái tạo luồng BB ban đầu là luồng của các khung BB (Baseband - dải gốc) từ các luồng tách được truyền từ thiết bị truyền, thiết bị truyền bao gồm bộ chia để chia luồng BB thành các luồng tách bằng cách phân phối các khung BB của luồng BB đến các lát dữ liệu, bộ chia chia luồng BB bằng cách giới hạn tỷ lệ tốc độ dữ liệu giữa các tốc độ dữ liệu của các luồng tách.

Phương pháp xử lý dữ liệu thứ hai của sáng chế là phương pháp xử lý dữ liệu bao gồm bước tái tạo luồng BB ban đầu là luồng của các khung BB (Baseband - dải gốc) từ các luồng tách được truyền từ thiết bị truyền, thiết bị truyền bao gồm bộ chia để chia luồng BB thành các luồng tách bằng cách phân phối các khung BB của luồng BB đến các lát dữ liệu, bộ chia chia luồng BB bằng cách giới hạn tỷ lệ

tốc độ dữ liệu giữa các tốc độ dữ liệu của các luồng tách.

Theo thiết bị xử lý dữ liệu và phương pháp xử lý dữ liệu thứ hai của sáng chế, luồng BB ban đầu là luồng của các khung BB (Baseband - dải gốc) được tái tạo từ các luồng tách được truyền từ thiết bị truyền, thiết bị truyền bao gồm bộ chia để chia luồng BB thành các luồng tách bằng cách phân phối các khung BB của luồng BB đến các lát dữ liệu, bộ chia chia luồng BB bằng cách giới hạn tỷ lệ tốc độ dữ liệu giữa các tốc độ dữ liệu của các luồng tách.

Cần lưu ý rằng thiết bị xử lý dữ liệu có thể là thiết bị độc lập, hoặc có thể là khối bên trong ở trong một thiết bị.

Hiệu quả của sáng chế

Theo sáng chế, CB có thể được thực hiện với chi phí giảm.

Các hiệu quả của sáng chế không bị giới hạn ở các hiệu quả được mô tả ở đây, và có thể bao gồm hiệu quả bất kỳ được mô tả trong phần mô tả sáng chế yêu cầu bảo hộ này.

Mô tả vắn tắt các hình vẽ

Fig.1 là sơ đồ khối thể hiện cấu hình ví dụ của hệ thống truyền theo một phương án của sáng chế.

Fig.2 là sơ đồ khối thể hiện cấu hình ví dụ thứ nhất của thiết bị truyền 11.

Fig.3 là sơ đồ giải thích quan hệ giữa các PLP và các lát dữ liệu sẽ được xử lý trong thiết bị truyền 11.

Fig.4 là sơ đồ khối thể hiện cấu hình ví dụ thứ nhất của thiết bị thu 12.

Fig.5 là sơ đồ khối thể hiện cấu hình ví dụ thứ hai của thiết bị truyền 11.

Fig.6 là lưu đồ giải thích ví dụ về xử lý (xử lý truyền) sẽ được thực hiện bởi thiết bị truyền 11 trong trường hợp trong đó dữ liệu được truyền bằng cách tạo nhóm PLP.

Fig.7 là sơ đồ thể hiện định dạng của khung BB trong HEM.

Fig.8 là sơ đồ thể hiện các định dạng của các ISSY có trong các đoạn đầu BB.

Fig.9 là sơ đồ giải thích quan hệ giữa các PLP và các lát dữ liệu sẽ được xử lý trong thiết bị truyền 11.

Fig.10 là sơ đồ khối thể hiện cấu hình ví dụ thứ hai của thiết bị thu 12.

Fig.11 là lưu đồ giải thích ví dụ về xử lý (xử lý thu) sẽ được thực hiện bởi thiết bị thu 12 trong trường hợp trong đó dữ liệu được truyền bằng cách tạo nhóm PLP thu được.

Fig.12 là sơ đồ thể hiện ví dụ về phương pháp chia luồng BB thành các luồng tách bằng cách phân phối các khung BB giữa các lát dữ liệu khi tạo nhóm PLP.

Fig.13 là sơ đồ thể hiện ví dụ về các luồng tách DS#0 và #1 sẽ được truyền lần lượt với các lát dữ liệu DS#0 và DS#1, trong trường hợp trong đó tỷ lệ tốc độ truyền giữa các tốc độ truyền của các lát dữ liệu DS#0 và DS#1 là 2,2 : 1.

Fig.14 là sơ đồ giải thích ví dụ về điều khiển phân phối các khung BB đến các lát dữ liệu DS#0 và DS#1 theo tỷ lệ tốc độ truyền giữa các lát dữ liệu DS#0 và DS#1 trong trường hợp trong đó luồng BB được chia thành các luồng tách DS#0 và #1.

Fig.15 là sơ đồ khối thể hiện cấu hình ví dụ về một phương án của máy tính được áp dụng sáng chế.

Mô tả chi tiết sáng chế

Một phương án về hệ thống truyền được áp dụng sáng chế

Fig.1 là sơ đồ khối thể hiện cấu hình ví dụ của một phương án về hệ thống truyền được áp dụng sáng chế ("hệ thống" có nghĩa là khối lắp ráp logic của các thiết bị, và các thiết bị với các cấu hình tương ứng không nhất thiết nằm trong cùng vỏ).

Trên Fig.1, hệ thống truyền bao gồm thiết bị truyền 11 và thiết bị thu 12.

Thiết bị truyền 11 truyền các chương trình truyền hình và tương tự (phát rộng số) (truyền dữ liệu). Cụ thể là, thiết bị truyền 11 truyền (gửi) luồng dữ liệu sẽ được truyền, như dữ liệu ảnh và dữ liệu audio làm chương trình truyền hình, qua kênh truyền 13 là mạng truyền hình cáp (kênh cáp), theo các chuẩn DVB-C2 chẳng

hạn.

Thiết bị thu 12 thu dữ liệu được truyền từ thiết bị truyền 11 qua kênh truyền 13, và khôi phục và xuất luồng gốc.

Hệ thống truyền được thể hiện trên Fig.1 có thể được sử dụng không chỉ để truyền dữ liệu tương thích với các chuẩn DVB-C2, mà cả để truyền dữ liệu tương thích với các chuẩn như DVB-T2, DVB-S2, hoặc các chuẩn ATSC (Advanced Television Systems Committee - Ủy ban hệ thống truyền nâng cao), và các loại truyền dữ liệu khác.

Kênh truyền 13 không nhất thiết là mạng truyền hình cáp, mà có thể là kênh vệ tinh hoặc kênh mặt đất chẳng hạn.

Cấu hình ví dụ thứ nhất của thiết bị truyền 11

Fig.2 là sơ đồ khối thể hiện cấu hình ví dụ thứ nhất của thiết bị truyền 11 được thể hiện trên Fig.1.

Trên Fig.2, thiết bị truyền 11 bao gồm N (> 1) bộ xử lý lát dữ liệu $21_1, 21_2, \dots, 21_N$, bộ tạo khung 22, bộ IFFT (Inverse Fast Fourier Transform – biến đổi Fourier nhanh ngược) 23, DAC (Digital to Analog Converter – bộ chuyển đổi số tương tự) 24, và bộ điều biến 25.

Từng bộ xử lý lát dữ liệu 21_n ($n = 1, 2, \dots, N$) tạo lát dữ liệu $DS\#n-1$ làm lát dữ liệu thứ n bằng cách xử lý (luồng) dữ liệu thực làm dữ liệu đích như TS (Transport Stream – luồng vận chuyển), và cấp lát dữ liệu $DS\#n-1$ đến bộ tạo khung 22.

Cụ thể là, từng bộ xử lý lát dữ liệu 21_n bao gồm M (> 0) bộ xử lý PLP $31_1, 31_2, \dots, 31_M$, bộ tạo lát dữ liệu 32, và bộ đan xen thời gian/tần số 33.

Từng bộ xử lý PLP 31_m ($m = 1, 2, \dots, M$) tạo gói lát dữ liệu của PLP bằng cách xử lý dữ liệu thực làm PLP, và cấp gói lát dữ liệu đến bộ tạo lát dữ liệu 32.

Ở đây, PLP là (dữ liệu sẽ được truyền qua) kênh logic có trong lát dữ liệu, và PLP_ID duy nhất để nhận dạng PLP được gắn vào PLP. PLP có PLP_ID nhất định tương đương với dữ liệu thực của chương trình truyền hình nhất định. Các bộ xử lý PLP khác nhau 31_m và 31_m xử lý các PLP có các PLP_ID khác nhau. Dưới đây, PLP có “i” là PLP_ID của nó cũng sẽ được viết là PLP#i.

Trong số tất cả các bộ xử lý lát dữ liệu từ 21_1 đến 21_N , các số M của các bộ xử lý PLP từ 31_1 đến 31_M không nhất thiết giống nhau. Tuy nhiên, để tiện giải thích, các số M của các bộ xử lý PLP từ 31_1 đến 31_M là giống nhau trong số tất cả các bộ xử lý lát dữ liệu từ 21_1 đến 21_N trong ví dụ này.

Từng bộ xử lý PLP 31_m bao gồm bộ xử lý dữ liệu 41, bộ FEC (Forward Error Correction – sửa lỗi thuận) 42, bộ ánh xạ 43, và bộ tạo gói lát dữ liệu 44.

Dữ liệu thực được cấp đến bộ xử lý dữ liệu 41.

Bộ xử lý dữ liệu 41 tạo khung BB (Baseband – dải gốc) bằng cách gắn đoạn đầu BB vào đơn vị định trước (số gói TS định trước chẳng hạn) của dữ liệu thực được cấp đến đó, và cấp khung BB đến bộ FEC 42.

Bộ FEC 42 thực hiện mã hóa sửa lỗi như mã hóa BCH và mã hóa LDPC trên khung BB được cấp từ bộ xử lý dữ liệu 41, và cấp khung FEC thu được đến bộ ánh xạ 43.

Bộ ánh xạ 43 ánh xạ khung FEC được cấp từ bộ FEC 42 làm các điểm tín hiệu trong cấu trúc hình sao được xác định bởi phương pháp điều biến để điều biến trực giao số định trước, trên cơ sở từng ký hiệu một, từng ký hiệu được tạo thành với số lượng bit định trước. Bộ ánh xạ 43 cấp các ký hiệu làm kết quả ánh xạ đến bộ tạo gói lát dữ liệu 44 trên cơ sở khung FEC.

Bộ tạo gói lát dữ liệu 44 tạo gói lát dữ liệu bằng cách gắn đoạn đầu khung FEC vào một hoặc hai khung FEC được cấp từ bộ ánh xạ 43.

Ở đây, đoạn đầu khung FEC chứa thông tin như các PLP_ID của các PLP tạo thành khung FEC có đoạn đầu khung FEC được gắn vào đó, MODCOD biểu thị phương pháp điều biến (MOD) được sử dụng trong điều biến trực giao trong ánh xạ khung FEC, chiều dài mã trong mã hóa sửa lỗi được thực hiện trên khung FEC, và tương tự.

Bộ tạo gói lát dữ liệu 44 tạo gói lát dữ liệu, và cấp gói lát dữ liệu đến bộ tạo lát dữ liệu 32.

Bộ tạo lát dữ liệu 32 tạo lát dữ liệu ($DS\#n-1$) từ các gói lát dữ liệu được cấp từ các bộ xử lý PLP từ 31_1 đến 31_M , và cấp lát dữ liệu đến bộ đan xen thời gian/tần số 33.

Ở đây, lát dữ liệu là tập hợp của các ô OFDM (Orthogonal Frequency-Division Multiplexing - dồn kênh chia tần số trực giao) truyền các PLP, và ô OFDM là dữ liệu sẽ được truyền bởi sóng mang con của OFDM.

Bộ đan xen thời gian/tần số 33 đan xen lát dữ liệu được cấp từ bộ tạo lát dữ liệu 32 theo hướng thời gian, và còn đan xen lát dữ liệu theo hướng tần số. Bộ đan xen thời gian/tần số 33 cấp lát dữ liệu được đan xen theo hướng thời gian và hướng tần số, đến bộ tạo khung 22.

Bộ tạo khung 22 tạo khung C2 chứa một hoặc nhiều lát dữ liệu được cấp từ các bộ xử lý lát dữ liệu từ 21_1 đến 21_N , và cấp khung C2 đến bộ IFFT 23.

Bộ IFFT 23 thực hiện IFFT trên khung C2 được cấp từ bộ tạo khung 22, và cấp tín hiệu OFDM thu được đến DAC 24.

DAC 24 thực hiện chuyển đổi DA trên tín hiệu OFDM được cấp từ bộ IFFT 23, và cấp tín hiệu OFDM đến bộ điều biến 25.

Bộ điều biến 25 điều biến tín hiệu OFDM được cấp từ DAC 24 thành tín hiệu RF (Radio Frequency – tần số vô tuyến), và truyền tín hiệu RF qua kênh truyền 13 (Fig.1).

Fig.3 là sơ đồ giải thích quan hệ giữa các PLP và các lát dữ liệu sẽ được xử lý trong thiết bị truyền 11 được thể hiện trên Fig.2.

Trên Fig.3, lát dữ liệu được tạo thành với một hoặc nhiều PLP.

Bằng DVB-C2, dải truyền để truyền (các tín hiệu RF của) các tín hiệu OFDM được chia thành (khoảng) các dải đơn vị 6 MHz. Trong đó dải truyền mà là dải tách 6 MHz được thiết lập làm dải truyền đơn vị, thiết bị thu 12 thu tín hiệu OFDM của dải truyền đơn vị trong đó lát dữ liệu DS#n-1 chứa các PLP#i của dữ liệu thực của chương trình truyền hình mong muốn được truyền, và xử lý lát dữ liệu DS#n-1 có trong tín hiệu OFDM.

Cấu hình ví dụ thứ nhất của thiết bị thu 12

Fig.4 là sơ đồ khối thể hiện cấu hình ví dụ thứ nhất của thiết bị thu 12 được thể hiện trên Fig.1.

Trên Fig.4, thiết bị thu 12 bao gồm bộ giải điều biến 51, bộ ADC (Analog to Digital Converter – bộ chuyển đổi tương tự số) 52, bộ FFT (Fast Fourier Transform

– biến đổi Fourier nhanh) 53, bộ phân tách khung 54, bộ giải đan xen thời gian/tần số 55, bộ phân tách lát dữ liệu 56, bộ phân tách gói lát dữ liệu 57, bộ giải ánh xạ 58, bộ FEC 59, và bộ xử lý dữ liệu 60.

Bộ giải điều biến 51 thu và giải điều biến tín hiệu RF trong dải định trước được truyền (gửi) từ thiết bị truyền 11 qua kênh truyền 13 (Fig.1), và cấp tín hiệu đã được giải điều biến thu được (tín hiệu OFDM) đến ADC 52.

ADC 52 thực hiện chuyển đổi AD trên tín hiệu đã được giải điều biến được cấp từ bộ giải điều biến 51, và cấp tín hiệu số thu được đến bộ FFT 53.

Bộ FFT 53 thực hiện FFT trên tín hiệu số được cấp từ ADC 52, và cấp (tín hiệu của) khung C2 thu được đến bộ phân tách khung 54.

Bộ phân tách khung 54 trích lát dữ liệu có trong khung C2 bằng cách phân tách khung C2 được cấp từ bộ FFT 53, và cấp lát dữ liệu đến bộ phân tách lát dữ liệu 56.

Bộ phân tách lát dữ liệu 56 phân tách lát dữ liệu được cấp từ bộ phân tách khung 54 thành các gói lát dữ liệu, và cấp các gói lát dữ liệu đến bộ phân tách gói lát dữ liệu 57.

Bộ phân tách gói lát dữ liệu 57 phân tách các gói lát dữ liệu thành các khung FEC bằng cách loại bỏ đoạn đầu khung FEC từ các gói lát dữ liệu được cấp từ bộ phân tách lát dữ liệu 56, và cấp các khung FEC đến bộ giải ánh xạ 58.

Ở đây, phương pháp điều biến đối với các khung FEC, chiều dài mã, và tương tự được nhận biết, và bộ giải ánh xạ 58 và bộ FEC 59 trong các tầng sau được điều khiển dựa vào đoạn đầu khung FEC được loại bỏ bởi bộ phân tách gói lát dữ liệu 57.

Bộ giải ánh xạ 58 thực hiện giải ánh xạ trên (các ký hiệu của) các khung FEC được cấp từ bộ phân tách gói lát dữ liệu 57, và cấp các khung FEC đến bộ FEC 59.

Trên các khung FEC được cho thực hiện giải ánh xạ bởi bộ giải ánh xạ 58, bộ FEC 59 thực hiện giải mã mã sửa lỗi khi sửa lỗi tương ứng với mã hóa sửa lỗi được thực hiện bởi bộ FEC 42 được thể hiện trên Fig.2. Bằng cách này, bộ FEC 59 khôi phục khung BB thu được bởi bộ xử lý dữ liệu 41 được thể hiện trên Fig.2, và

cấp khung BB đến bộ xử lý dữ liệu 60.

Bộ xử lý dữ liệu 60 phân tách khung BB được cấp từ bộ FEC 59, và khôi phục và xuất (luồng) dữ liệu thực.

Cấu hình ví dụ thứ hai của thiết bị truyền 11

Fig.5 là sơ đồ khối thể hiện cấu hình ví dụ thứ hai của thiết bị truyền 11 được thể hiện trên Fig.1.

Trên hình vẽ, các thành phần tương đương các thành phần trên Fig.2 được biểu thị bởi cùng số chỉ dẫn như được sử dụng trên Fig.2, và phần giải thích các thành phần này không được lặp lại ở đây.

Trong thiết bị truyền 11 (Fig.2) có cấu hình ví dụ thứ nhất, PLP#i tương đương dữ liệu thực của chương trình truyền hình nhất định được truyền với một lát dữ liệu DS#n-1.

Có giới hạn đối với tốc độ truyền lát dữ liệu hoặc tốc độ truyền tại đó dữ liệu có thể được truyền với một lát dữ liệu. Trong trường hợp trong đó tốc độ dữ liệu của một PLP#i là dữ liệu thực của chương trình truyền hình nhất định lớn hơn tốc độ truyền lát dữ liệu, sẽ khó truyền PLP#i với lát dữ liệu.

Gần đây, có yêu cầu đối với phát rộng số để truyền các ảnh với độ phân giải cao như 8k. Trong trường hợp trong đó ảnh với độ phân giải là 8k được mã hóa bởi HEVC (High Efficiency Video Coding – mã hóa video hiệu suất cao), thông lượng cần thiết để truyền dữ liệu với tốc độ dữ liệu cao thu được nhờ kết quả mã hóa là khoảng 100 Mbps.

Đối với một PLP#i tương đương với dữ liệu với tốc độ dữ liệu cao như vậy, có thể khó thực hiện truyền với một lát dữ liệu phụ thuộc vào điều biến trực giao số được sử dụng trong ánh xạ, tốc độ mã hóa của mã sửa lỗi được sử dụng trong sửa lỗi, hoặc tương tự.

Vì vậy, trong thiết bị truyền 11 có cấu hình ví dụ thứ hai (Fig.5), dữ liệu thực là một PLP#i (các PLP với cùng PLP_ID) được chia trên cơ sở khung BB và có thể được truyền với các lát dữ liệu bằng cách tạo nhóm PLP, đây là một loại CB.

Cần lưu ý rằng Fig.50 thể hiện các khối không liên quan đến tạo nhóm PLP.

Trên Fig.5, thiết bị truyền 11 bao gồm N bộ xử lý lát dữ liệu từ 21₁ đến 21_N,

bộ tạo khung 22, bộ IFFT 23, DAC 24, và bộ điều biến 25. Theo khía cạnh này, thiết bị truyền 11 có cùng cấu hình ví dụ thứ nhất được thể hiện trên Fig.2.

Tuy nhiên, thiết bị truyền 11 được thể hiện trên Fig.5 khác với cấu hình ví dụ thứ nhất được thể hiện trên Fig.2, ở chỗ bộ xử lý dữ liệu 101 mới được bố trí.

Hơn nữa, thiết bị truyền 11 được thể hiện trên Fig.5 khác với cấu hình ví dụ thứ nhất được thể hiện trên Fig.2, ở chỗ từng bộ xử lý lát dữ liệu 21_n bao gồm bộ xử lý PLP 111, thay vì M bộ xử lý PLP từ 31_1 đến 31_M .

Bộ xử lý PLP 111 có thể được bố trí thay vì một hoặc nhiều trong số M bộ xử lý PLP từ 31_1 đến 31_M , không phải thay vì tất cả M bộ xử lý PLP từ 31_1 đến 31_M .

Bộ xử lý PLP 111 bao gồm bộ FEC 42, bộ ánh xạ 43, và bộ tạo gói lát dữ liệu 44. Theo khía cạnh này, bộ xử lý PLP 111 là giống như từng bộ xử lý PLP 31_m được thể hiện trên Fig.2.

Do đó, bộ xử lý PLP 111 thực hiện xử lý giống như từng bộ xử lý PLP 31_m được thể hiện trên Fig.2, ngoại trừ xử lý sẽ được thực hiện bởi bộ xử lý dữ liệu 41 được thể hiện trên Fig.2.

Trên Fig.5, thiết bị truyền 11 chia (luồng) dữ liệu thực là một PLP#i trên cơ sở khung BB bằng cách tạo nhóm PLP, và truyền các lát dữ liệu, hoặc ba lát dữ liệu, chẳng hạn.

Khi tạo nhóm PLP, số lượng các lát dữ liệu được sử dụng khi truyền một PLP#i không bị giới hạn ở ba, mà có thể là hai hoặc bốn hoặc lớn hơn.

Ba lát dữ liệu sẽ được sử dụng khi tạo nhóm PLP có thể là các lát dữ liệu được tạo ra bởi ba bộ xử lý lát dữ liệu bất kỳ trong số N bộ xử lý lát dữ liệu từ 21_1 đến 21_N . Trên Fig.5, các lát dữ liệu DS#0, #1, và #2 được tạo ra bởi các bộ xử lý lát dữ liệu từ 21_1 đến 21_3 được sử dụng làm ba lát dữ liệu sẽ được sử dụng khi tạo nhóm PLP.

Các tốc độ truyền của ba lát dữ liệu DS#0, #1, và #2 sẽ được sử dụng khi tạo nhóm PLP (các tốc độ truyền mà có thể được sử dụng khi tạo nhóm (được cấp phát cho) PLP trong các lát dữ liệu) không nhất thiết giống nhau.

Vì một PLP#i được truyền với ba lát dữ liệu DS#0 đến #2 trong thiết bị truyền 11 được thể hiện trên Fig.5, bộ xử lý dữ liệu 101 chia dữ liệu thực là các

PLP#i có cùng PLP_ID thành ba luồng tách có số lượng tương ứng với các lát dữ liệu DS#0 đến #2 sẽ được sử dụng khi truyền dữ liệu thực.

Cụ thể là, dữ liệu thực là các PLP#i có cùng PLP_ID được cấp đến bộ xử lý dữ liệu 101.

Giống như bộ xử lý dữ liệu 41 được thể hiện trên Fig.2, bộ xử lý dữ liệu 101 tạo khung BB bằng cách gắn đoạn đầu BB vào dữ liệu thực được cấp đến đó. Hơn nữa, với luồng BB là luồng các khung BB là đối tượng sẽ được chia, bộ xử lý dữ liệu 101 chia luồng BB thành ba luồng tách trên cơ sở khung BB bằng cách phân phối lại từng khung BB tạo thành luồng BB đến một lát dữ liệu DS#n-1 trong số ba lát dữ liệu DS#0 đến #2.

Bộ xử lý dữ liệu 101 cấp luồng tách được tạo thành với các khung BB được phân phối đến lát dữ liệu DS#n-1, đến bộ xử lý lát dữ liệu 21_n.

Theo DVB-C2, có NM (Normal Mode – chế độ bình thường) và HEM (High Efficiency Mode – chế độ hiệu suất cao) làm các chế độ để xử lý các PLP. Trong trường hợp trong đó việc tạo nhóm PLP được thực hiện, HEM được sử dụng làm chế độ để xử lý các PLP.

Trong HEM, ISSY (Input Stream Synchronizer – bộ đồng bộ hóa luồng đầu vào) có trong đoạn đầu BB.

ISSY là thông tin liên quan đến thời gian về thời gian truyền dữ liệu (khung BB) và tương tự, và bộ xử lý dữ liệu 101 tạo ISSY, tạo đoạn đầu BB chứa ISSY, và tạo khung BB có đoạn đầu BB.

Fig.6 là lưu đồ giải thích ví dụ về xử lý (xử lý truyền) sẽ được thực hiện bởi thiết bị truyền 11 được thể hiện trên Fig.5 trong trường hợp trong đó dữ liệu được truyền bằng cách tạo nhóm PLP.

Trong xử lý truyền, bộ xử lý dữ liệu 101 ở bước S11 đặt dữ liệu thực được cấp là PLP đến đó trong trường dữ liệu (của khung BB), và tạo khung BB bằng cách gắn đoạn đầu BB chứa ISSY vào trường dữ liệu. Sau đó xử lý chuyển tiếp đến bước S12.

Ở bước S12, bộ xử lý dữ liệu 101 phân phối lại các khung BB tạo thành luồng BB làm luồng các khung BB đến một lát dữ liệu DS#n-1 trong số ba lát dữ

liệu DS#0 đến #2, để chia luồng BB thành ba luồng tách trên cơ sở khung BB.

Trong số ba luồng tách, luồng tách thu được bằng cách phân phối các khung BB đến lát dữ liệu DS#n-1 được cấp từ bộ xử lý dữ liệu 101 đến bộ xử lý lát dữ liệu 21_n .

Sau đó, xử lý chuyển từ bước S12 tiếp đến bước S13. Trong bộ xử lý lát dữ liệu 21_n , bộ FEC 42 thực hiện mã hóa sửa lỗi trên các khung BB tạo thành luồng tách được cấp từ bộ xử lý dữ liệu 101 đến bộ xử lý lát dữ liệu 21_n , và cấp khung FEC thu được đến bộ ánh xạ 43. Sau đó xử lý chuyển tiếp đến bước S14.

Ở bước S14, đối với từng ký hiệu được tạo thành với số lượng bit định trước, bộ ánh xạ 43 ánh xạ khung FEC được cấp từ bộ FEC 42 trên điểm tín hiệu trong cấu trúc hình sao định trước, và cấp ký hiệu làm kết quả ánh xạ đến bộ tạo gói lát dữ liệu 44 trên cơ sở khung FEC. Sau đó xử lý chuyển tiếp đến bước S15.

Ở bước S15, bộ tạo gói lát dữ liệu 44 tạo gói lát dữ liệu bằng cách gắn đoạn đầu khung FEC vào khung FEC được cấp từ bộ ánh xạ 43, và còn cấp một hoặc nhiều gói lát dữ liệu đến bộ tạo lát dữ liệu 32. Sau đó xử lý chuyển tiếp đến bước S16.

Ở bước S16, bộ tạo lát dữ liệu 32 tạo lát dữ liệu từ một hoặc nhiều gói lát dữ liệu được cấp từ bộ tạo gói lát dữ liệu 44 (và từng bộ xử lý PLP 31_m không được thể hiện trên Fig.5), và cấp lát dữ liệu đến bộ đan xen thời gian/tần số 33. Sau đó xử lý chuyển tiếp đến bước S17.

Trong các bộ xử lý lát dữ liệu từ 21_1 đến 21_3 được thể hiện trên Fig.5, các PLP được tạo thành với các luồng tách được cấp từ bộ xử lý dữ liệu 101 là các PLP với cùng PLP_ID. Do đó, các lát dữ liệu DS#0 đến DS#2 được tạo thành bởi các bộ xử lý lát dữ liệu từ 21_1 đến 21_3 được thể hiện trên Fig.5 chứa các PLP với cùng PLP_ID.

Ở bước S17, bộ đan xen thời gian/tần số 33 đan xen lát dữ liệu được cấp từ bộ tạo lát dữ liệu 32 theo hướng thời gian và hướng tần số, và cấp lát dữ liệu đã được đan xen đến bộ tạo khung 22. Sau đó xử lý chuyển tiếp đến bước S18.

Ở bước S18, bộ tạo khung 22 tạo khung C2 chứa một hoặc nhiều lát dữ liệu được cấp từ (các bộ đan xen thời gian/tần số 33 của) các bộ xử lý lát dữ liệu từ 21_1

đến 21_N, và cấp khung C2 đến bộ IFFT 23. Sau đó xử lý chuyển tiếp đến bước S19.

Ở bước S19, bộ IFFT 23 thực hiện IFFT trên khung C2 được cấp từ bộ tạo khung 22, và cấp tín hiệu OFDM thu được đến DAC 24. Sau đó xử lý chuyển tiếp đến bước S20.

Ở bước S20, DAC 24 thực hiện chuyển đổi DA trên tín hiệu OFDM được cấp từ bộ IFFT 23, và cấp tín hiệu OFDM đến bộ điều biến 25. Sau đó xử lý chuyển tiếp đến bước S21.

Ở bước S21, bộ điều biến 25 điều biến tín hiệu OFDM được cấp từ DAC 24 thành tín hiệu RF, và truyền tín hiệu RF qua kênh truyền 13 (Fig.1).

Fig.7 là sơ đồ thể hiện định dạng của khung BB trong HEM.

Khung BB (BBFrame) bao gồm đoạn đầu BB (BBHEADER) và trường dữ liệu (DATA FIELD) trong đó dữ liệu thực được đặt.

Đoạn đầu BB được tạo thành với 80 bit, và có trường 3 byte trong đó ISSY được đặt. Trường 3 byte trong đó ISSY được đặt được chia thành trường 2 byte và trường 1 byte.

Trong thiết bị truyền 11 (Fig.5), bộ FEC 42 thực hiện mã hóa BCH trên khung BB, và thực hiện mã hóa LDPC trên kết quả của mã hóa BCH.

Do đó, kích thước Kbch của dữ liệu sẽ được cho thực hiện mã hóa BCH bằng chiều dài khung của khung BB. Vì đoạn đầu BB được tạo thành với 80 bit như được nêu trên, khoảng (số lượng bit) của kích thước DFL của trường dữ liệu trong khung BB được biểu diễn, với Kbch, bằng biểu thức, $0 \leq DFL \leq Kbch - 80$.

Kích thước Kbch của dữ liệu sẽ được cho thực hiện mã hóa BCH là số lượng bit nằm trong khoảng được biểu diễn bằng biểu thức, $7032 \leq Kbch \leq 58192$.

Fig.8 là sơ đồ thể hiện các định dạng của các ISSY có trong các đoạn đầu BB.

ISSY là ISCR (Input Stream Time Reference – Tham chiếu thời gian luồng đầu vào), BUFS, hoặc BUFSTAT.

ISCR là thông tin thời gian biểu thị thời gian truyền dữ liệu (khung BB), và

là thông tin 2 hoặc 3 byte.

BUFS là (gần như) thông tin 2 byte biểu thị dung lượng bộ đệm (Required Buffer Amount – lượng đệm cần thiết) cần thiết để bù sự thay đổi trễ trong xử lý dữ liệu trong thiết bị thu 12.

Hai bit của bit thứ năm và bit thứ sáu tính từ đỉnh của chuỗi bit là BUFS được tạo thành với hai byte (Byte thứ nhất và Byte thứ hai) được gọi là BUFS_UNIT, và biểu thị đơn vị của dung lượng đệm được biểu diễn bởi BUFS. 10 bit được tạo thành với bit thứ bảy đến mười sáu và bit cuối cùng biểu thị giá trị của dung lượng đệm.

Trong thiết bị thu 12, vùng lưu trữ là bộ đệm có dung lượng đệm được biểu thị bởi BUFS, và sự thay đổi trễ được bù (khấu hao) bằng cách đọc/ghi dữ liệu được thực hiện trên bộ đệm.

BUFSTAT là (gần như) thông tin 2 byte biểu thị thời gian bắt đầu đọc tại đó dữ liệu được đọc từ bộ đệm có dung lượng đệm được biểu thị bởi BUFS trong thiết bị thu 12.

Hai bit của bit thứ năm và bit thứ sáu tính từ đỉnh của chuỗi bit là BUFSTAT được tạo thành với hai byte (Byte thứ nhất và Byte thứ hai) được gọi là BUFSTAT_UNIT, và biểu thị đơn vị của thời gian bắt đầu đọc được biểu thị bởi BUFSTAT. 10 bit được tạo thành với bit thứ bảy đến mười sáu và bit cuối cùng biểu thị giá trị của thời gian bắt đầu đọc. 10 bit của BUFSTAT biểu thị thời gian bắt đầu đọc (thời gian) ở dạng lượng dữ liệu còn lại trong bộ đệm khi dữ liệu được đọc từ bộ đệm.

Trong thiết bị thu 12, dữ liệu được lưu trữ trong bộ đệm có dung lượng đệm được biểu thị bởi BUFS bắt đầu được đọc tại thời gian được biểu thị bởi BUFSTAT (tại thời gian khi lượng dữ liệu còn lại trong bộ đệm bằng giá trị được biểu thị bởi BUFSTAT).

Trong trường hợp trong đó việc tạo nhóm PLP không được thực hiện, ISCR, BUFS, hoặc BUFSTAT được đặt một cách lựa chọn trong trường 3 byte của ISSY trong đoạn đầu BB của từng khung BB.

Trong trường hợp trong đó việc tạo nhóm PLP được thực hiện, ISCR trong

số ISCR, BUFS, và BUFSTAT được đặt trong trường 3 byte của ISSY trong đoạn đầu BB của từng khung BB.

Fig.9 là sơ đồ giải thích quan hệ giữa các PLP và các lát dữ liệu sẽ được xử lý trong thiết bị truyền 11 được thể hiện trên Fig.5.

Như được thể hiện trên Fig.9, khi tạo nhóm PLP, các PLP với cùng PLP_ID (các PLP#0 trên Fig.9) tương đương với dữ liệu thực của chương trình truyền hình nhất định được phân phối giữa các lát dữ liệu (ba lát dữ liệu DS#0 đến DS#2 trên Fig.9), và sau đó được truyền từ thiết bị truyền 11.

Do đó, thiết bị thu 12 thu ba lát dữ liệu DS#0 đến DS#2 cho dữ liệu thực của chương trình truyền hình tương ứng với các PLP#0, và cần thực hiện việc phân tách từ các PLP#0 có trong ba lát dữ liệu DS#0 đến DS#2.

Dải truyền đơn vị là 6 MHz trên Fig.3, tuy nhiên dải truyền đơn vị là 5,72 MHz trên Fig.6. Trên Fig.3, 6 MHz tương đương với 4096 sóng mang con có trong tín hiệu OFDM theo DVB-C2. Trên Fig.6, 5,72 MHz tương đương 3409 sóng mang con, là các sóng mang con hiệu quả trong số 4096 sóng mang con.

Ngoài ra, trên Fig.6, chỉ (một phần của) một PLP#0 được truyền với một lát dữ liệu DS#n-1. Tuy nhiên, với một lát dữ liệu DS#n-1, có thể truyền không chỉ một PLP#0 mà cả PLP không phải là các PLP#0 (bất kể việc các PLP này sẽ được cho thực hiện tạo nhóm PLP hay không).

Cấu hình ví dụ thứ hai của thiết bị thu 12

Fig.10 là sơ đồ khối thể hiện cấu hình ví dụ thứ hai của thiết bị thu 12 được thể hiện trên Fig.1.

Trên hình vẽ, các thành phần tương đương các thành phần trên Fig.4 được biểu thị bởi cùng số chỉ dẫn như được sử dụng trên Fig.4, và phần giải thích các thành phần này không được lặp lại ở đây.

Trong thiết bị thu 12 có cấu hình ví dụ thứ hai (Fig.10), các PLP được phân phối trong số ba lát dữ liệu (hoặc ít hơn) và được truyền (gửi) bằng cách tạo nhóm PLP, nên dữ liệu thực có thể được tái tạo, như được nêu trên có dựa vào Fig.5 và Fig.9.

Trên Fig.10, thiết bị thu 12 bao gồm bộ giải điều biến 51, ADC 52, bộ FFT

53, bộ phân tách khung 54, bộ giải đan xen thời gian/tần số 55, bộ phân tách lát dữ liệu 56, bộ phân tách gói lát dữ liệu 57, bộ giải ánh xạ 58, và bộ FEC 59. Theo khía cạnh này, thiết bị thu 12 có cùng cấu hình ví dụ thứ nhất được thể hiện trên Fig.4.

Tuy nhiên, thiết bị thu 12 trên Fig.10 khác với cấu hình ví dụ thứ nhất được thể hiện trên Fig.4, ở chỗ còn bao gồm ba bộ xử lý lát dữ liệu 121_1 , 121_2 , và 121_3 , ví dụ, và ba bộ đệm 122_1 , 122_2 , và 122_3 có số lượng tương ứng với các bộ xử lý lát dữ liệu từ 121_1 đến 121_3 .

Hơn thế nữa, thiết bị thu 12 trên Fig.10 khác với cấu hình ví dụ thứ hai được thể hiện trên Fig.4, ở chỗ bao gồm bộ xử lý dữ liệu 123, thay vì bộ xử lý dữ liệu 60.

Bộ xử lý lát dữ liệu 121_1 được tạo thành với bộ giải đan xen thời gian/tần số 55, bộ phân tách lát dữ liệu 56, và bộ xử lý PLP 131, và bộ xử lý PLP 131 được tạo thành với bộ phân tách gói lát dữ liệu 57, bộ giải ánh xạ 58, và bộ FEC 59.

Từng bộ xử lý lát dữ liệu 121_2 và 121_3 có cùng cấu hình như bộ xử lý lát dữ liệu 121_1 .

Trên Fig.10, bộ phân tách khung 54 phân tách khung C2 được cấp từ bộ FFT 53, để trích ba lát dữ liệu DS#0, 1, và 2 có trong khung C2, ví dụ, các lát dữ liệu DS#0, 1, và 2 chứa các PLP với cùng PLP_ID được truyền bằng cách tạo nhóm PLP.

Sau đó, bộ phân tách khung 54 cấp lát dữ liệu DS#n-1 đến bộ xử lý lát dữ liệu 121_n .

Trong bộ xử lý lát dữ liệu 121_n , các thành phần từ bộ giải đan xen thời gian/tần số 55 đến bộ FEC 59 thực hiện cùng các xử lý giống như các xử lý trong trường hợp được thể hiện trên Fig.4 trên lát dữ liệu DS#n-1 được cấp từ bộ phân tách khung 54, để khôi phục luồng tách được tạo thành với các khung BB.

Luồng tách được khôi phục từ lát dữ liệu DS#n-1 được cấp từ bộ xử lý lát dữ liệu 121_n đến bộ đệm 122_n .

Bộ đệm 122_n được tạo thành với bộ nhớ FIFO (First In First Out – vào trước ra trước), ví dụ, và sau đó lưu trữ (các khung BB tạo thành) luồng tách được cấp từ bộ xử lý lát dữ liệu 121_n .

Bộ xử lý dữ liệu 123 sắp xếp lại các khung BB để tái tạo luồng BB ban đầu

bằng cách đọc các khung BB từ bộ đệm 122_n theo thứ tự lần lượt của các khung BB tạo thành luồng BB ban đầu dựa vào các ISSY (ISCR) có trong các đoạn đầu BB của các khung BB tạo thành ba luồng tách được lưu trữ trong các bộ đệm từ 122_1 đến 122_3 .

Bộ xử lý dữ liệu 123 còn phân tách các khung BB tạo thành luồng BB ban đầu, và khôi phục và xuất dữ liệu thực.

Như được nêu trên, trong thiết bị thu 12, bộ xử lý dữ liệu 123 sắp xếp lại các khung BB dựa vào các ISSY có trong các đoạn đầu BB của các khung BB tạo thành ba luồng tách. Do đó, các khung BB tạo thành luồng tách được lưu trữ trong bộ đệm 122_n .

Các khung BB tạo thành luồng tách được lưu trữ trong bộ đệm 122_n vẫn được lưu trữ trong bộ đệm 122_n cho đến thời gian theo tuần tự trong luồng BB ban đầu, và được đọc từ bộ đệm 122_n khi đến thời gian theo tuần tự trong luồng BB ban đầu.

Fig.11 là lưu đồ giải thích ví dụ về xử lý (xử lý thu) sẽ được thực hiện bởi thiết bị thu 12 được thể hiện trên Fig.10 trong trường hợp trong đó dữ liệu được truyền bằng cách tạo nhóm PLP thu được.

Ở bước S51, bộ giải điều biến 51 thu và giải điều biến tín hiệu RF, và cấp tín hiệu đã được giải điều biến thu được đến ADC 52. Sau đó xử lý chuyển tiếp đến bước S52.

Ở bước S52, ADC 52 thực hiện biến đổi AD trên tín hiệu đã được giải điều biến được cấp từ bộ giải điều biến 51, và cấp tín hiệu số thu được đến bộ FFT 53. Xử lý chuyển tiếp đến bước S53.

Ở bước S53, bộ FFT 53 thực hiện FFT trên tín hiệu số được cấp từ ADC 52, và cấp khung C2 thu được đến bộ phân tách khung 54. Sau đó xử lý chuyển tiếp đến bước S54.

Ở bước S54, bộ phân tách khung 54 phân tách khung C2 được cấp từ bộ FFT 53, để trích ba lát dữ liệu DS#0, 1, và 2 có trong khung C2, các lát dữ liệu DS#0, 1, và 2 chứa các PLP với cùng PLP_ID được truyền bằng cách tạo nhóm PLP. Bộ phân tách khung 54 cấp lát dữ liệu DS#n-1 đến bộ xử lý lát dữ liệu 121_n . Sau đó xử

lý chuyển tiếp đến bước S55.

Ở bước S55, bộ giải đan xen thời gian/tần số 55 của bộ xử lý lát dữ liệu 121_n giải đan xen lát dữ liệu DS#n-1 được cấp từ bộ phân tách khung 54 theo hướng tần số, còn giải đan xen lát dữ liệu DS#n-1 theo hướng thời gian, và cấp lát dữ liệu DS#n-1 đã được giải đan xen đến bộ phân tách lát dữ liệu 56. Sau đó xử lý chuyển tiếp đến bước S56.

Ở bước S56, bộ phân tách lát dữ liệu 56 phân tách lát dữ liệu #n-1 được cấp từ bộ giải đan xen thời gian/tần số 55 thành các gói lát dữ liệu, và cấp các gói lát dữ liệu đến bộ phân tách gói lát dữ liệu 57. Sau đó xử lý chuyển tiếp đến bước S57.

Ở bước S57, bộ phân tách gói lát dữ liệu 57 phân tách các gói lát dữ liệu được cấp từ bộ phân tách lát dữ liệu 56 thành các khung FEC, và cấp các khung FEC đến bộ giải ánh xạ 58. Sau đó xử lý chuyển tiếp đến bước S58.

Ở bước S58, bộ giải ánh xạ 58 thực hiện giải ánh xạ trên (các ký hiệu của) các khung FEC được cấp từ bộ phân tách gói lát dữ liệu 57, và cấp các khung FEC đến bộ FEC 59. Sau đó xử lý chuyển tiếp đến bước S59.

Ở bước S59, bộ FEC 59 thực hiện sửa lỗi trên các khung FEC đã được giải ánh xạ được cấp từ bộ giải ánh xạ 58, và cấp luồng tách thu được được tạo thành với các khung BB đến bộ đệm 122_n. Sau đó xử lý chuyển tiếp đến bước S60.

Ở bước S60, bộ đệm 122_n lưu trữ (lưu vào bộ đệm) các khung BB của luồng tách được cấp từ (bộ FEC 59 của) bộ xử lý lát dữ liệu 121_n. Sau đó xử lý chuyển tiếp đến bước S61.

Ở bước S61, bộ xử lý dữ liệu 123 sắp xếp lại các khung BB để tái tạo luồng BB ban đầu bằng cách đọc các khung BB từ các bộ đệm từ 122₁ đến 122₃ một cách thích hợp dựa vào các ISSY (các ISCR) có trong các đoạn đầu BB của các khung BB tạo thành ba luồng tách được lưu trữ trong các bộ đệm từ 122₁ đến 122₃. Sau đó xử lý chuyển tiếp đến bước S62.

Ở bước S62, bộ xử lý dữ liệu 123 phân tách các khung BB tạo thành luồng BB ban đầu, và khôi phục và xuất dữ liệu thực.

Như được nêu trên, bằng cách tạo nhóm PLP, các khung BB của luồng BB được tạo ra từ (được tạo thành với) dữ liệu thực là một PLP được phân phối giữa

các lát dữ liệu trong thiết bị truyền 11, để luồng BB được chia thành các luồng tách trên cơ sở khung BB, và các luồng tách (các PLP với cùng PLP_ID) được gửi (truyền) với các lát dữ liệu tương ứng.

Trong thiết bị thu 12, lần lượt, các khung BB trong các luồng tách được sắp xếp lại dựa vào các ISSY có trong các đoạn đầu BB, và luồng BB ban đầu được tái tạo từ các luồng tách thu được từ dữ liệu được truyền từ thiết bị truyền 11.

Do đó, bằng cách tạo nhóm PLP, dữ liệu thực với tốc độ dữ liệu cao mà khó được truyền với một lát dữ liệu có thể được truyền với các lát dữ liệu.

Chia luồng BB

Fig.12 là sơ đồ thể hiện ví dụ về phương pháp chia luồng BB thành các luồng tách bằng cách phân phối các khung BB giữa các lát dữ liệu khi tạo nhóm PLP.

Trên Fig.12, khung BB tạo thành luồng BB (gốc) được phân phối giữa hai lát dữ liệu DS#0 và DS#1, để luồng BB được chia thành hai luồng tách.

Dưới đây, luồng tách được tạo thành với khung BB được phân phối đến lát dữ liệu DS#n-1 cũng sẽ được ghi là luồng tách DS#n-1.

Ngoài ra, khung BB thứ j tính từ đỉnh của luồng BB (gốc) dưới đây cũng sẽ được ghi là khung BB #j-1 (hoặc #j).

Hơn nữa, để tiện giải thích, trong phần mô tả bên dưới, luồng BB được phân phối giữa hai lát dữ liệu DS#0 và DS#1, để được chia thành hai luồng tách DS#0 và DS#1.

Trên Fig.12, bốn khung BB #0 đến #4 từ đỉnh của luồng BB được phân phối đến lát dữ liệu DS#0, và bốn khung BB #5 đến #9 tiếp theo được phân phối đến lát dữ liệu DS#1. Sau đó, các khung BB được phân phối theo cùng cách, để luồng BB được chia thành hai luồng tách DS#0 và DS#1.

Trong DVB-C2, các chi tiết về phương pháp chia luồng BB thành các luồng tách khi tạo nhóm PLP không được xác định.

Do đó, để làm phương pháp chia luồng BB, có thể sử dụng phương pháp phân phối xen kẽ cùng số lượng, như bốn, khung BB đến các lát dữ liệu DS#0 và DS#1 như được thể hiện trên Fig.12, hoặc phương pháp phân phối xen kẽ các số

lượng khung BB khác nhau đến các lát dữ liệu DS#0 và DS#1.

Tuy nhiên, trong thiết bị thu 12 (Fig.10), các khung BB tạo thành luồng tách DS#n-1 được lưu trữ vào bộ đệm 122_n , và được đọc từ bộ đệm 122_n tại thời gian theo tuần tự trong luồng BB ban đầu, để tái tạo luồng BB ban đầu.

Do đó, trong trường hợp trong đó không có giới hạn đối với phương pháp chia luồng BB, sẽ khó xác định dung lượng của bộ đệm 122_n cần thiết để tái tạo luồng BB ban đầu trong thiết bị thu 12.

Trong trường hợp này, để tái tạo luồng BB ban đầu, có thể cần sử dụng bộ đệm với dung lượng cực lớn làm bộ đệm 122_n trong thiết bị thu 12, dẫn đến làm tăng chi phí của thiết bị thu 12.

Vì vậy, bộ xử lý dữ liệu 101 của thiết bị truyền 11 được thể hiện trên Fig.5 có thể giới hạn tỷ lệ tốc độ dữ liệu giữa các tốc độ dữ liệu của các luồng tách thu được nhờ kết quả chia luồng BB.

Cụ thể là, bộ xử lý dữ liệu 101 giới hạn tỷ lệ tốc độ dữ liệu giữa các tốc độ dữ liệu của các luồng tách sẽ thu được nhờ kết quả chia luồng BB ở giá trị nằm trong khoảng định trước (nằm trong khoảng các tỷ lệ định trước) để không gây ra chênh lệch lớn giữa các tốc độ dữ liệu của các luồng tách. Sau đó, bộ xử lý dữ liệu 101 chia luồng BB.

Trong trường hợp trong đó tỷ lệ tốc độ dữ liệu giữa các tốc độ dữ liệu của các luồng tách không bị giới hạn, số lượng nhỏ, như một, khung BB được phân phối đến lát dữ liệu DS#0, và số lượng lớn, như 100, khung BB sau đó được phân phối đến lát dữ liệu DS#1, chẳng hạn. Điều này được lặp lại khi chia luồng BB.

Trong trường hợp này, nếu một khung BB được truyền với lát dữ liệu DS#0 và 100 khung BB được truyền với lát dữ liệu DS#1 trong thời gian T nhất định, thiết bị thu 12 được thể hiện trên Fig.10 cần có các bộ đệm với các dung lượng rất khác nhau làm bộ đệm 122_1 để lưu trữ luồng tách DS#0 (luồng tách được tạo thành với các khung BB được phân phối đến lát dữ liệu DS#0) và bộ đệm 122_2 để lưu trữ luồng tách DS#1.

Cụ thể là, để tiện giải thích, nếu các khung BB tạo thành các khung tách được lưu trữ trong thiết bị thu 12, và các khung BB được đọc tại các thời gian theo

tuần tự trong luồng BB ban đầu, bộ đệm với dung lượng nhỏ để lưu trữ một khung BB sẽ được truyền trong thời gian T có thể được sử dụng làm bộ đệm 122₁, tuy nhiên bộ đệm với dung lượng lớn để lưu trữ 100 khung BB sẽ được truyền trong thời gian T cần được chuẩn bị làm bộ đệm 122₂.

Trong bộ xử lý dữ liệu 101 (Fig.5), tỷ lệ tốc độ dữ liệu giữa các tốc độ dữ liệu của các luồng tách thu được nhờ kết quả chia luồng BB bị giới hạn ở giá trị nằm trong khoảng định trước để không gây ra chênh lệch lớn giữa các tốc độ dữ liệu của các luồng tách. Với cấu hình này, bộ đệm 122₂ không cần có dung lượng lớn được nêu trên.

Cụ thể là, trong trường hợp trong đó tỷ lệ tốc độ dữ liệu giữa tốc độ dữ liệu của luồng tách DS#0 sẽ được truyền với lát dữ liệu DS#0 và tốc độ dữ liệu của luồng tách DS#1 sẽ được truyền với lát dữ liệu DS#1 bị giới hạn ở giá trị, như 1 : 2, nằm trong khoảng để không gây ra chênh lệch lớn giữa các tốc độ dữ liệu của các luồng tách DS#0 và DS#1, bộ xử lý dữ liệu 101 chia luồng BB bằng cách lặp lại xử lý phân phối một khung BB đến lát dữ liệu DS#0 và sau đó phân phối hai khung BB đến lát dữ liệu DS#1, chẳng hạn.

Trong trường hợp này, thiết bị thu 12 trên Fig.10 không cần có các bộ đệm với các dung lượng rất khác nhau làm bộ đệm 122₁ để lưu trữ luồng tách DS#0 và bộ đệm 122₂ để lưu trữ luồng tách DS#1.

Kết quả là, bộ đệm 122₂ không cần có dung lượng lớn như được nêu trên, chi phí của thiết bị thu 12 được giảm, và tạo nhóm PLP là một loại CB có thể được thực hiện.

Cần lưu ý rằng việc giới hạn nêu trên của tỷ lệ tốc độ dữ liệu giữa các tốc độ dữ liệu của các luồng tách thu được nhờ kết quả chia luồng BB được thực hiện ở bước S12 trên Fig.6 trong bộ xử lý dữ liệu 101 (Fig.5).

Trong bộ xử lý dữ liệu 101 (Fig.5), ngay cả nếu tỷ lệ tốc độ dữ liệu giữa các tốc độ dữ liệu của các luồng tách DS#0 và DS#1 thu được nhờ kết quả chia luồng BB bị giới hạn ở giá trị nằm trong khoảng định trước để không gây ra chênh lệch lớn giữa các tốc độ dữ liệu của các luồng tách DS#0 và DS#1, các bộ đệm 122₁ và 122₂ có thể cần có các dung lượng lớn trong một số trường hợp.

Cụ thể là, ngay cả nếu tỷ lệ tốc độ dữ liệu giữa các luồng tách DS#0 và

DS#1 bị giới hạn ở 1: 2 như được nêu trên, ví dụ, các bộ đệm 122_1 và 122_2 có thể cần có các dung lượng lớn trong trường hợp trong đó bộ xử lý dữ liệu 101 chia luồng BB bằng cách lặp lại xử lý phân phối số lượng lớn, như 100, khung BB đến lát dữ liệu DS#0 và sau đó phân phối số lượng lớn, như 200, khung BB đến lát dữ liệu DS#1.

Vì vậy, bộ xử lý dữ liệu 101 (Fig.5) có thể giới hạn số lượng các khung BB để được phân phối không ngắt quãng đến một lát dữ liệu khi chia luồng BB.

Khi chia luồng BB, số lượng các khung BB sẽ được phân phối không ngắt quãng đến một lát dữ liệu bị giới hạn ở số lượng khung nhỏ hơn 10, ví dụ, để luồng BB không được chia bằng cách phân phối không ngắt quãng các số lượng lớn, như 100 và 200, khung BB đến các lát dữ liệu DS#0 và DS#1 như được nêu trên.

Kết quả là, các bộ đệm 122_1 và 122_2 không cần có các dung lượng lớn, chi phí của thiết bị thu 12 được giảm, và tạo nhóm PLP là một loại CB có thể được thực hiện.

Cần lưu ý rằng, giống như việc giới hạn tỷ lệ tốc độ dữ liệu giữa các tốc độ dữ liệu của các luồng tách, việc giới hạn nêu trên số lượng các khung BB sẽ được phân phối không ngắt quãng đến một lát dữ liệu được thực hiện ở bước S12 trên Fig.6 trong bộ xử lý dữ liệu 101 (Fig.5).

Trong trường hợp trong đó luồng BB được chia thành hai luồng tách DS#0 và DS#1, nếu số lượng các khung BB sẽ được phân phối không ngắt quãng đến một lát dữ liệu bị giới hạn ở 10, các dung lượng đệm của các bộ đệm 122_1 và 122_2 của thiết bị thu 12 (Fig.10) có thể được xác định theo phương trình (1), chẳng hạn.

Dung lượng đệm [bit] = 58192×10 [bit] + dung sai để cung cấp chênh lệch trễ đầu ra đã được giải mã [bit] ... (1)

Trong phương trình (1), 58192 là giá trị lớn nhất của kích thước K_{bch} của dữ liệu sẽ được cho thực hiện mã hóa BCH được nêu trên có dựa vào Fig.7, hoặc giá trị lớn nhất (số lượng bit) của kích thước của khung BB.

Ngoài ra, trong phương trình (1), chênh lệch trễ đầu ra đã được giải mã có nghĩa là (giá trị lớn nhất của) chênh lệch giữa các thời gian tại đó các luồng tách thu được từ hai bộ xử lý lát dữ liệu 121_n và 121_n trong trường hợp trong đó cùng lát

dữ liệu được cấp đến hai bộ xử lý lát dữ liệu 121_n và 121_n như bộ xử lý lát dữ liệu 121_1 trong tầng trước bộ đệm 122_1 và bộ xử lý lát dữ liệu 121_2 trong tầng trước bộ đệm 122_2 trong thiết bị thu 12 được thể hiện trên Fig.10.

Trong khi đó, tốc độ truyền tại đó dữ liệu có thể được truyền với lát dữ liệu thay đổi với chiều rộng lát dữ liệu và chiều rộng rãnh, chẳng hạn.

Do đó, trong trường hợp trong đó luồng BB được chia thành hai luồng tách DS#0 và DS#1, lát dữ liệu DS#0 để truyền (các khung BB tạo thành) luồng tách DS#0 và lát dữ liệu DS#1 để truyền luồng tách DS#1 có thể có các tốc độ truyền khác nhau.

Fig.13 là sơ đồ thể hiện ví dụ về các luồng tách DS#0 và #1 sẽ được truyền lần lượt với các lát dữ liệu DS#0 và DS#1, trong trường hợp trong đó tỷ lệ tốc độ truyền giữa các tốc độ truyền của các lát dữ liệu DS#0 và DS#1 là 2,2 : 1.

Trên Fig.13, tỷ lệ tốc độ dữ liệu giữa các tốc độ dữ liệu của các luồng tách DS#0 và DS#1 bị giới hạn ở giá trị nằm trong khoảng định trước, để không gây ra chênh lệch lớn giữa các tốc độ dữ liệu của các luồng tách DS#0 và DS#1.

Hơn nữa, trên Fig.13, số lượng các khung BB sẽ được phân phối không ngắt quãng đến một lát dữ liệu bị giới hạn ở 10, chẳng hạn.

Trên Fig.13, 10 khung BB #1 đến #10 từ đỉnh của luồng BB được phân phối đến lát dữ liệu DS#0, và 10 khung BB #11 đến #20 tiếp theo được phân phối đến lát dữ liệu DS#1. Sau đó, các khung BB được phân phối theo cùng cách, để luồng BB được chia thành hai luồng tách DS#0 và DS#1.

Trên Fig.13, tỷ lệ tốc độ truyền giữa các lát dữ liệu DS#0 và DS#1 là 2,2 : 1, và do đó, thời gian cần thiết để truyền các khung BB với lát dữ liệu DS#1 là dài hơn 2,2 lần thời gian cần thiết để truyền các khung BB với lát dữ liệu DS#0.

Một cách đơn giản, khi khung BB #21 được truyền với lát dữ liệu DS#0 được lưu trữ vào bộ đệm 122_1 trong thiết bị thu 12 được thể hiện trên Fig.10, chỉ các khung BB #11 đến #15 được truyền với lát dữ liệu DS#1 đã được lưu trữ trong bộ đệm 122_2 .

Khi bộ xử lý dữ liệu 123 trong thiết bị thu 12 (Fig.10) tái tạo luồng BB, khung BB #21 được lưu trữ trong bộ đệm 122_1 cần được đọc sau khi khung BB

#20 ở ngay trước khung BB #21 được đọc.

Tuy nhiên, trên Fig.13, khung BB #20 được truyền với lát dữ liệu DS#1. Khung BB #20 được truyền với lát dữ liệu DS#1 được lưu trữ vào bộ đệm 122₂ tại cùng thời gian khi các khung BB #42 và #43 được truyền với lát dữ liệu DS#0 được lưu trữ vào bộ đệm 122₁. Cho đến khi đó, khung BB #21 được lưu trữ trong bộ đệm 122₁ không thể đọc được, và vẫn cần được lưu trữ trong bộ đệm 122₁.

Hơn thế nữa, ít nhất các khung BB được truyền với lát dữ liệu DS#0 sau khi khung BB #21 (ít nhất các khung BB #22 đến #30 và #41 đến #43 trên Fig.13) vẫn cần được lưu trữ trong bộ đệm 122₁ cho đến khi khung BB #20 được đọc từ bộ đệm 122₂. Kết quả là, bộ đệm với dung lượng đệm lớn cần được chuẩn bị làm bộ đệm 122₁.

Ở đây, các khung BB (như khung BB #20 được lưu trữ trong bộ đệm 122₂, dưới đây cũng được gọi là các khung trước) nằm ngay trước các khung BB được lưu trữ trong một trong số các bộ đệm 122₁ và 122₂ (như khung BB #21 được lưu trữ trong bộ đệm 122₁) không được lưu trữ trong một bộ đệm khác trong số các bộ đệm, như được nêu trên. Do đó, các khung BB được lưu trữ trong một trong số các bộ đệm (như khung BB #21) không thể đọc được, và việc đọc các khung BB được lưu trữ trong một trong số các bộ đệm (như khung BB #21) cần chờ cho đến khi các khung trước (như khung BB #20) được lưu trữ vào bộ đệm khác và được đọc từ bộ đệm khác. Điều này cũng được gọi là chờ đọc khung BB.

Tại bộ xử lý dữ liệu 101 (Fig.5), việc phân phối các khung BB đến các lát dữ liệu có thể được điều khiển theo tỷ lệ tốc độ truyền giữa các lát dữ liệu khi chia luồng BB, để việc chờ đọc khung BB được giảm thiểu.

Cụ thể là, khi chia luồng BB tại bộ xử lý dữ liệu 101, việc phân phối các khung BB đến các lát dữ liệu có thể được điều khiển theo tỷ lệ tốc độ truyền giữa các lát dữ liệu, để tỷ lệ tốc độ dữ liệu giữa các luồng tách trở nên gần sát nhất có thể tỷ lệ tốc độ truyền giữa các lát dữ liệu.

Fig.14 là sơ đồ giải thích ví dụ về điều khiển phân phối các khung BB đến các lát dữ liệu DS#0 và DS#1 theo tỷ lệ tốc độ truyền giữa các lát dữ liệu DS#0 và DS#1 trong trường hợp trong đó luồng BB được chia thành các luồng tách DS#0 và #1.

Bộ xử lý dữ liệu 101 phân phối các khung BB đến các lát dữ liệu DS#0 và DS#1 theo tỷ lệ tốc độ truyền giữa các lát dữ liệu DS#0 và DS#1, để việc chờ đọc khung BB được giảm thiểu trong thiết bị thu 12 được thể hiện trên Fig.10.

Giống như Fig.13, Fig.14 thể hiện ví dụ về các luồng tách DS#0 và #1 sẽ được truyền lần lượt với các lát dữ liệu DS#0 và DS#1, trong trường hợp trong đó tỷ lệ tốc độ truyền giữa các lát dữ liệu DS#0 và DS#1 là 2,2 : 1.

Trên Fig.14, tỷ lệ tốc độ dữ liệu giữa các tốc độ dữ liệu của các luồng tách DS#0 và DS#1 bị giới hạn nằm trong khoảng định trước giống như trong trường hợp được minh họa trên Fig.13, và số lượng các khung BB sẽ được phân phối không ngắt quãng đến một lát dữ liệu bị giới hạn ở 10.

Hơn nữa, trên Fig.14, việc phân phối các khung BB đến các lát dữ liệu DS#0 và DS#1 được điều khiển theo tỷ lệ tốc độ truyền 2,2 : 1 giữa các lát dữ liệu DS#0 và DS#1, để việc chờ đọc khung BB được giảm thiểu.

Cụ thể là, trên Fig.14, 10 khung BB #1 đến #10 từ đỉnh của luồng BB được phân phối đến lát dữ liệu DS#0, và bốn khung BB #11 đến #14 tiếp theo được phân phối đến lát dữ liệu DS#1. Hơn nữa, trên Fig.14, 10 khung BB #15 đến #24 tiếp theo được phân phối đến lát dữ liệu DS#0, và năm khung BB #25 đến #29 tiếp theo được phân phối đến lát dữ liệu DS#1.

10 khung BB #30 đến #39 tiếp theo được phân phối đến lát dữ liệu DS#0, và bốn khung BB #40 đến #43 tiếp theo được phân phối đến lát dữ liệu DS#1. Sau đó, các khung BB được phân phối theo cùng cách, để luồng BB được chia thành hai luồng tách DS#0 và DS#1.

Trên Fig.14, tỷ lệ tốc độ truyền giữa các lát dữ liệu DS#0 và DS#1 là 2,2 : 1, và do đó, thời gian cần thiết để truyền các khung BB với lát dữ liệu DS#1 là dài hơn 2,2 lần thời gian cần thiết để truyền các khung BB với lát dữ liệu DS#0, như trên Fig.13.

Tuy nhiên, trên Fig.14, việc phân phối các khung BB đến các lát dữ liệu DS#0 và DS#1 được điều khiển theo tỷ lệ tốc độ truyền 2,2 : 1 giữa các lát dữ liệu DS#0 và DS#1, để việc chờ đọc khung BB được giảm thiểu.

Cụ thể là, trên Fig.14, việc phân phối các khung BB đến các lát dữ liệu

DS#0 và DS#1 được điều khiển để tỷ lệ tốc độ dữ liệu giữa các luồng tách DS#0 và DS#1 trở nên gần sát nhất có thể tỷ lệ tốc độ truyền 2,2 : 1 giữa các lát dữ liệu DS#0 và DS#1, chẳng hạn.

Do đó, khi khung BB #15 được truyền với lát dữ liệu DS#0 được lưu trữ vào bộ đệm 122₁ trong thiết bị thu 12 được thể hiện trên Fig.10, khung BB #14 mà nằm ngay trước khung BB #15 và được truyền với lát dữ liệu DS#1 đã được lưu trữ trong bộ đệm 122₂.

Do đó, khung BB #15 được lưu trữ trong bộ đệm 122₁ có thể được đọc ngay sau khi khung BB #14 được lưu trữ trong bộ đệm 122₂ được đọc.

Ngoài ra, trên Fig.14, khi khung BB #30 được truyền với lát dữ liệu DS#0 được lưu trữ vào bộ đệm 122₁, khung BB #29 mà nằm ngay trước khung BB #30 và được truyền với lát dữ liệu DS#1 đã được lưu trữ trong bộ đệm 122₂.

Do đó, khung BB #30 được lưu trữ trong bộ đệm 122₁ có thể được đọc ngay sau khi khung BB #29 được lưu trữ trong bộ đệm 122₂ được đọc.

Như được nêu trên, việc phân phối các khung BB đến các lát dữ liệu DS#0 và DS#1 được điều khiển theo tỷ lệ tốc độ truyền 2,2 : 1 giữa các lát dữ liệu DS#0 và DS#1, để việc chờ đọc khung BB được giảm thiểu. Theo cách này, việc chờ đọc khung BB được (hầu như) loại bỏ.

Kết quả là, yêu cầu cần bộ đệm với dung lượng đệm lớn làm bộ đệm 122₁ (hoặc 122₂) do việc chờ đọc khung BB có thể được loại bỏ. Cụ thể là, chi phí của thiết bị thu 12 có thể được giảm, và tạo nhóm PLP là một loại CB có thể được thực hiện.

Cần lưu ý rằng, giống như việc giới hạn tỷ lệ tốc độ dữ liệu giữa các luồng tách và việc giới hạn số lượng các khung BB sẽ được phân phối không ngắt quãng đến một lát dữ liệu, việc điều khiển phân phối nêu trên các khung BB cho các lát dữ liệu DS#0 và DS#1 theo tỷ lệ tốc độ truyền giữa các lát dữ liệu được thực hiện ở bước S12 trên Fig.6 trong bộ xử lý dữ liệu 101 (Fig.5).

Mô tả máy tính được áp dụng sáng chế

Chuỗi các xử lý nêu trên có thể được thực hiện với phần cứng, và cũng có thể được thực hiện với phần mềm. Khi chuỗi các xử lý được thực hiện với phần

mềm, chương trình mà tạo thành phần mềm được cài vào máy tính đa năng hoặc tương tự.

Vì vậy, Fig.15 thể hiện cấu hình ví dụ của một phương án của máy tính được cài chương trình để thực hiện chuỗi các xử lý nêu trên.

Chương trình có thể được ghi từ trước trong đĩa cứng 205 hoặc ROM 203 được cung cấp làm vật ghi trong máy tính.

Theo cách khác, chương trình có thể được lưu trữ (ghi) trong vật ghi tháo lắp được 211. Vật ghi tháo lắp được 211 này có thể được cung cấp làm phần mềm đóng gói. Ở đây, vật ghi tháo lắp được 211 có thể là đĩa mềm, CD-ROM (Compact Disc Read Only Memory – Đĩa nén-Bộ nhớ chỉ đọc), đĩa MO (Magneto Optical – từ quang), DVD (Digital Versatile Disc – đĩa đa năng số), đĩa từ, hoặc bộ nhớ bán dẫn, chẳng hạn.

Chương trình có thể được cài vào máy tính từ vật ghi tháo lắp được 211 nêu trên, tuy nhiên cũng có thể được tải xuống vào máy tính qua mạng truyền thông hoặc mạng phát rộng và được cài vào đĩa cứng bên trong 205. Cụ thể là, chương trình có thể được truyền theo cách vô tuyến từ vị trí tải xuống, ví dụ, đến máy tính qua vệ tinh nhân tạo dùng để phát rộng vệ tinh số, hoặc có thể được truyền bằng cáp đến máy tính qua mạng như LAN (Local Area Network – mạng vùng cục bộ) hoặc Internet.

Máy tính bao gồm CPU (Central Processing Unit – bộ xử lý trung tâm) 202, và giao diện nhập/xuất 210 được nối với CPU 202 qua bus 201.

Khi lệnh được nhập bởi người sử dụng đang thao tác bộ nhập 207 hoặc tương tự qua giao diện nhập/xuất 210, CPU 202 thực hiện chương trình được lưu trữ trong ROM (Read Only Memory – bộ nhớ chỉ đọc) 203 theo lệnh. Theo cách khác, CPU 202 tải chương trình được lưu trữ trong đĩa cứng 205 vào RAM (Random Access Memory – bộ nhớ truy cập ngẫu nhiên) 204, và thực hiện chương trình.

Bằng cách này, CPU 202 thực hiện các xử lý theo các lưu đồ nêu trên, hoặc thực hiện các xử lý với các cấu hình được minh họa trong các sơ đồ khối nêu trên. Khi cần, CPU 202 xuất các kết quả xử lý từ bộ xuất 206 hoặc truyền các kết quả xử lý từ bộ truyền thông 208, qua giao diện nhập/xuất 210, ví dụ, và còn lưu trữ các

kết quả xử lý vào đĩa cứng 205.

Bộ nhập 207 được tạo thành với bàn phím, chuột, micro, và tương tự. Bộ xuất 206 được tạo thành với LCD (Liquid Crystal Display – màn hiển thị tinh thể lỏng), loa, và tương tự.

Trong bản mô tả này, các xử lý được thực hiện bởi máy tính theo chương trình không nhất thiết được thực hiện theo thứ tự thời gian tương thích với trình tự được thể hiện trong các lưu đồ. Cụ thể là, các xử lý sẽ được thực hiện bởi máy tính theo chương trình bao gồm các xử lý sẽ được thực hiện song song hoặc độc lập với nhau (như các xử lý song song hoặc các xử lý trên cơ sở đối tượng).

Chương trình có thể được thực hiện bằng một máy tính (bộ xử lý), hoặc có thể được thực hiện theo cách phân tán bởi nhiều hơn một máy tính. Hơn nữa, chương trình có thể được truyền đến máy tính ở xa, và được thực hiện ở đó.

Trong bản mô tả này, hệ thống có nghĩa là khối lắp ráp của các thành phần (các thiết bị, môđun (bộ phận), và tương tự), và không phải tất cả các thành phần cần được bố trí trong cùng vỏ. Vì vậy, các thiết bị mà được chứa trong các vỏ khác nhau và được nối với nhau qua mạng tạo thành hệ thống, và một thiết bị có các môđun được chứa trong một vỏ cũng là hệ thống.

Cần lưu ý rằng các phương án của sáng chế không bị giới hạn ở các phương án nêu trên, và các cải biến khác nhau có thể được thực hiện đối với các phương án này mà không nằm ngoài phạm vi của sáng chế.

Ví dụ, sáng chế có thể được thực hiện theo cấu hình điện toán đám mây trong đó một chức năng được chia sẻ giữa các thiết bị qua mạng, và xử lý được thực hiện bởi các thiết bị phối hợp với nhau.

Các bước tương ứng được mô tả có dựa vào các lưu đồ nêu trên có thể được thực hiện bởi một thiết bị hoặc có thể được chia sẻ giữa các thiết bị.

Trong trường hợp trong đó nhiều hơn một xử lý có trong một bước, các xử lý có trong bước này có thể được thực hiện bởi một thiết bị hoặc có thể được chia sẻ giữa các thiết bị.

Các hiệu quả có lợi được mô tả trong bản mô tả này chỉ là các ví dụ, và các hiệu quả có lợi của sáng chế không bị giới hạn ở các hiệu quả này và có thể bao

gồm các hiệu quả khác.

Sáng chế cũng có thể được thực hiện trong các cấu hình được mô tả dưới đây.

(1) Thiết bị xử lý dữ liệu bao gồm:

bộ chia để chia luồng BB là luồng của các khung BB (Baseband - dải gốc) thành các luồng tách bằng cách phân phối các khung BB của luồng BB đến các lát dữ liệu,

trong đó bộ chia chia luồng BB bằng cách giới hạn tỷ lệ tốc độ dữ liệu giữa các tốc độ dữ liệu của các luồng tách.

(2) Thiết bị xử lý dữ liệu theo mục (1), trong đó bộ chia chia luồng BB bằng cách giới hạn số lượng các khung BB sẽ được phân phối không ngắt quãng đến một trong số các lát dữ liệu.

(3) Thiết bị xử lý dữ liệu theo mục (1) hoặc (2), trong đó bộ chia điều khiển việc phân phối các khung BB đến các lát dữ liệu theo tỷ lệ tốc độ truyền giữa các tốc độ truyền tại đó dữ liệu có thể được truyền với các lát dữ liệu.

(4) Phương pháp xử lý dữ liệu bao gồm các bước:

bước chia luồng BB là luồng của các khung BB (Baseband - dải gốc) thành các luồng tách bằng cách phân phối các khung BB của luồng BB đến các lát dữ liệu,

trong đó bước chia luồng BB được thực hiện bằng cách giới hạn tỷ lệ tốc độ dữ liệu giữa các tốc độ dữ liệu của các luồng tách.

(5) Thiết bị xử lý dữ liệu bao gồm:

bộ tái tạo để tái tạo luồng BB ban đầu là luồng của các khung BB (Baseband - dải gốc) từ các luồng tách được truyền từ thiết bị truyền,

thiết bị truyền bao gồm bộ chia để chia luồng BB thành các luồng tách bằng cách phân phối các khung BB của luồng BB đến các lát dữ liệu,

bộ chia chia luồng BB bằng cách giới hạn tỷ lệ tốc độ dữ liệu giữa các tốc độ dữ liệu của các luồng tách.

(6) Thiết bị xử lý dữ liệu theo mục (5), trong đó thao tác chia khung BB được thực hiện bằng cách giới hạn số lượng các khung BB sẽ được phân phối

không ngắt quãng đến một trong số các lát dữ liệu.

(7) Thiết bị xử lý dữ liệu theo mục (5) hoặc (6), trong đó việc phân phối các khung BB đến các lát dữ liệu được thực hiện theo tỷ lệ tốc độ truyền giữa các tốc độ truyền tại đó dữ liệu có thể được truyền với các lát dữ liệu.

(8) Phương pháp xử lý dữ liệu bao gồm các bước:

bước tái tạo luồng BB ban đầu là luồng của các khung BB (Baseband - dải gốc) từ các luồng tách được truyền từ thiết bị truyền,

thiết bị truyền bao gồm bộ chia để chia luồng BB thành các luồng tách bằng cách phân phối các khung BB của luồng BB đến các lát dữ liệu,

bộ chia chia luồng BB bằng cách giới hạn tỷ lệ tốc độ dữ liệu giữa các tốc độ dữ liệu của các luồng tách.

Danh mục các số chỉ dẫn

11	Thiết bị truyền
12	Thiết bị thu
13	Kênh truyền
21 ₁ đến 21 _N	Bộ xử lý lát dữ liệu
22	Bộ tạo khung
23	Bộ IFFT
24	DAC
25	Bộ điều biến
31 ₁ đến 31 _M	Bộ xử lý PLP
32	Bộ tạo lát dữ liệu
33	Bộ đan xen thời gian/tần số
41	Bộ xử lý dữ liệu
42	Bộ FEC
43	Bộ ánh xạ
44	Bộ tạo gói lát dữ liệu

51	Bộ giải điều biến
52	ADC
53	Bộ FFT
54	Bộ phân tách khung
55	Bộ giải đan xen thời gian/tần số
56	Bộ phân tách lát dữ liệu
57	Bộ phân tách gói lát dữ liệu
58	Bộ giải ánh xạ
59	Bộ FEC
60	Bộ xử lý dữ liệu
101	Bộ xử lý dữ liệu
111	Bộ xử lý PLP
121 ₁ đến 121 ₃	Bộ xử lý lát dữ liệu
122 ₁ đến 122 ₃	Bộ đệm
123	Bộ xử lý dữ liệu
131	Bộ xử lý PLP
201	Bus
202	CPU
203	ROM
204	RAM
205	Đĩa cứng
206	Bộ xuất
207	Bộ nhập
208	Bộ truyền thông
209	Ổ đĩa
210	Giao diện nhập/xuất
211	Vật ghi tháo lắp được

YÊU CẦU BẢO HỘ

1. Thiết bị xử lý dữ liệu bao gồm:

mạch xử lý được tạo cấu hình để:

thu luồng dải gốc (baseband, BB); và

chia luồng BB là luồng của các khung BB thành các luồng tách bằng cách phân phối các nhóm của các khung BB liên tục của luồng BB đến các lát dữ liệu cho đầu ra,

trong đó:

các nhóm của các khung BB liên tục được phân phối đến các lát dữ liệu theo cách mà tỷ lệ tốc độ dữ liệu giữa các tốc độ dữ liệu của hai trong số các luồng tách được thiết đặt dựa vào tỷ lệ tốc độ truyền giữa hai trong số các lát dữ liệu tương ứng,

các khung BB được phân phối đến các lát dữ liệu theo cách mà tỷ lệ tốc độ dữ liệu giữa các tốc độ dữ liệu của hai trong số các luồng tách được giới hạn ở 2,2, và

số lượng của các khung BB trong bất kỳ trong số các nhóm của các khung BB liên tục nhỏ hơn hoặc bằng 10.

2. Thiết bị xử lý dữ liệu theo điểm 1, trong đó mạch xử lý còn được tạo cấu hình để bao gồm trong mỗi khung BB của luồng BB, thông tin thời gian truyền của khung BB tương ứng.

3. Phương pháp xử lý dữ liệu bao gồm các bước:

thu luồng dải gốc (BB);

chia, bởi mạch xử lý của thiết bị xử lý dữ liệu, luồng BB là luồng của các khung BB thành các luồng tách bằng cách phân phối các nhóm của các khung BB liên tục của luồng BB đến các lát dữ liệu cho đầu ra,

trong đó:

các nhóm của các khung BB liên tục được phân phối đến các lát dữ liệu theo cách mà tỷ lệ tốc độ dữ liệu giữa các tốc độ dữ liệu của hai trong số các luồng tách

được thiết đặt dựa vào tỷ lệ tốc độ truyền giữa hai trong số các lát dữ liệu tương ứng,

các khung BB được phân phối đến các lát dữ liệu theo cách mà tỷ lệ tốc độ dữ liệu giữa các tốc độ dữ liệu của hai trong số các luồng tách được giới hạn ở 2,2, và

trong đó số lượng của các khung BB trong bất kỳ trong số các nhóm của các khung BB liên tục nhỏ hơn hoặc bằng 10.

4. Thiết bị xử lý dữ liệu bao gồm:

mạch xử lý được tạo cấu hình để:

thu các lát dữ liệu mang các luồng tách tương ứng; và

tái tạo luồng dải gốc (BB) ban đầu là luồng của các khung BB từ các luồng tách, luồng của các khung BB được chia thành các luồng tách bằng cách phân phối các nhóm của các khung BB liên tục của luồng BB đến các lát dữ liệu,

trong đó:

các nhóm của các khung BB liên tục được phân phối đến các lát dữ liệu theo cách mà tỷ lệ tốc độ dữ liệu giữa các tốc độ dữ liệu của hai trong số các luồng tách được thiết đặt dựa vào tỷ lệ tốc độ truyền giữa hai trong số các lát dữ liệu tương ứng,

các khung BB được phân phối đến các lát dữ liệu theo cách mà tỷ lệ tốc độ dữ liệu giữa các tốc độ dữ liệu của hai trong số các luồng tách được giới hạn ở 2,2, và

số lượng của các khung BB trong bất kỳ trong số các nhóm của các khung BB liên tục nhỏ hơn hoặc bằng 10.

5. Thiết bị xử lý dữ liệu theo điểm 4, trong đó mạch xử lý còn được tạo cấu hình để tái tạo luồng BB ban đầu dựa vào thông tin thời gian truyền tương ứng được chứa trong mỗi khung BB của luồng BB.

6. Phương pháp xử lý dữ liệu bao gồm các bước:

thu các lát dữ liệu mang các luồng tách tương ứng; và

tái tạo, bởi mạch xử lý của thiết bị xử lý dữ liệu, luồng dải gốc (BB) ban đầu

là luồng của các khung BB từ các luồng tách, luồng của các khung BB được chia thành các luồng tách bằng cách phân phối các nhóm của các khung BB liên tục của luồng BB đến các lát dữ liệu,

trong đó:

các nhóm của các khung BB liên tục được phân phối đến các lát dữ liệu theo cách mà tỷ lệ tốc độ dữ liệu giữa các tốc độ dữ liệu của hai trong số các luồng tách được thiết đặt dựa vào tỷ lệ tốc độ truyền giữa hai trong số các lát dữ liệu tương ứng,

các khung BB được phân phối đến các lát dữ liệu theo cách mà tỷ lệ tốc độ dữ liệu giữa các tốc độ dữ liệu của hai trong số các luồng tách được giới hạn ở 2,2, và

số lượng của các khung BB trong bất kỳ trong số các nhóm của các khung BB liên tục nhỏ hơn hoặc bằng 10.

FIG. 1

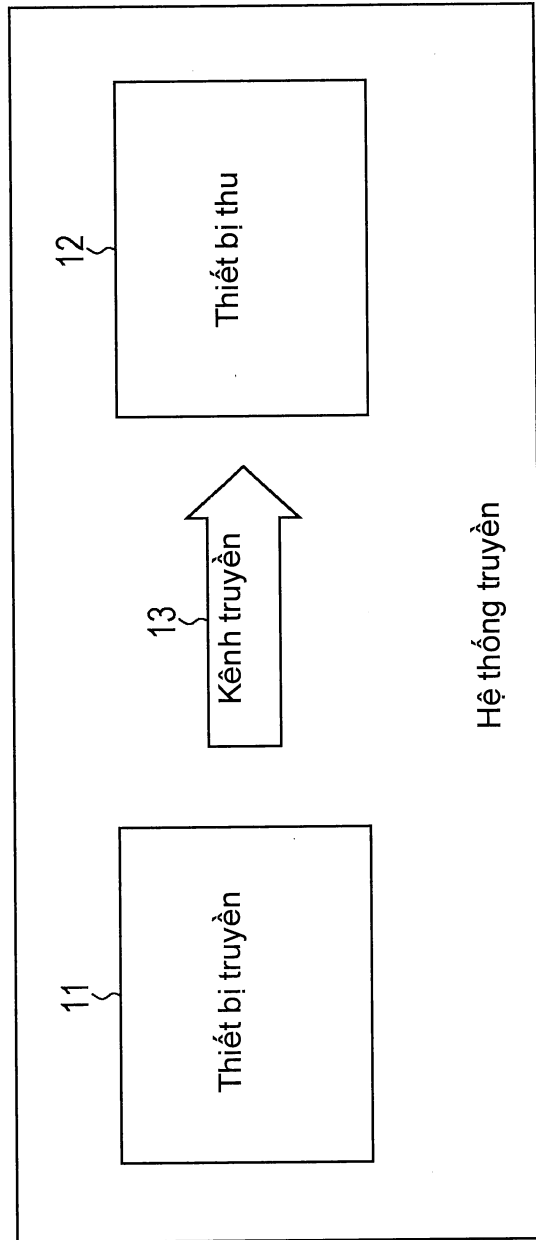


FIG. 2

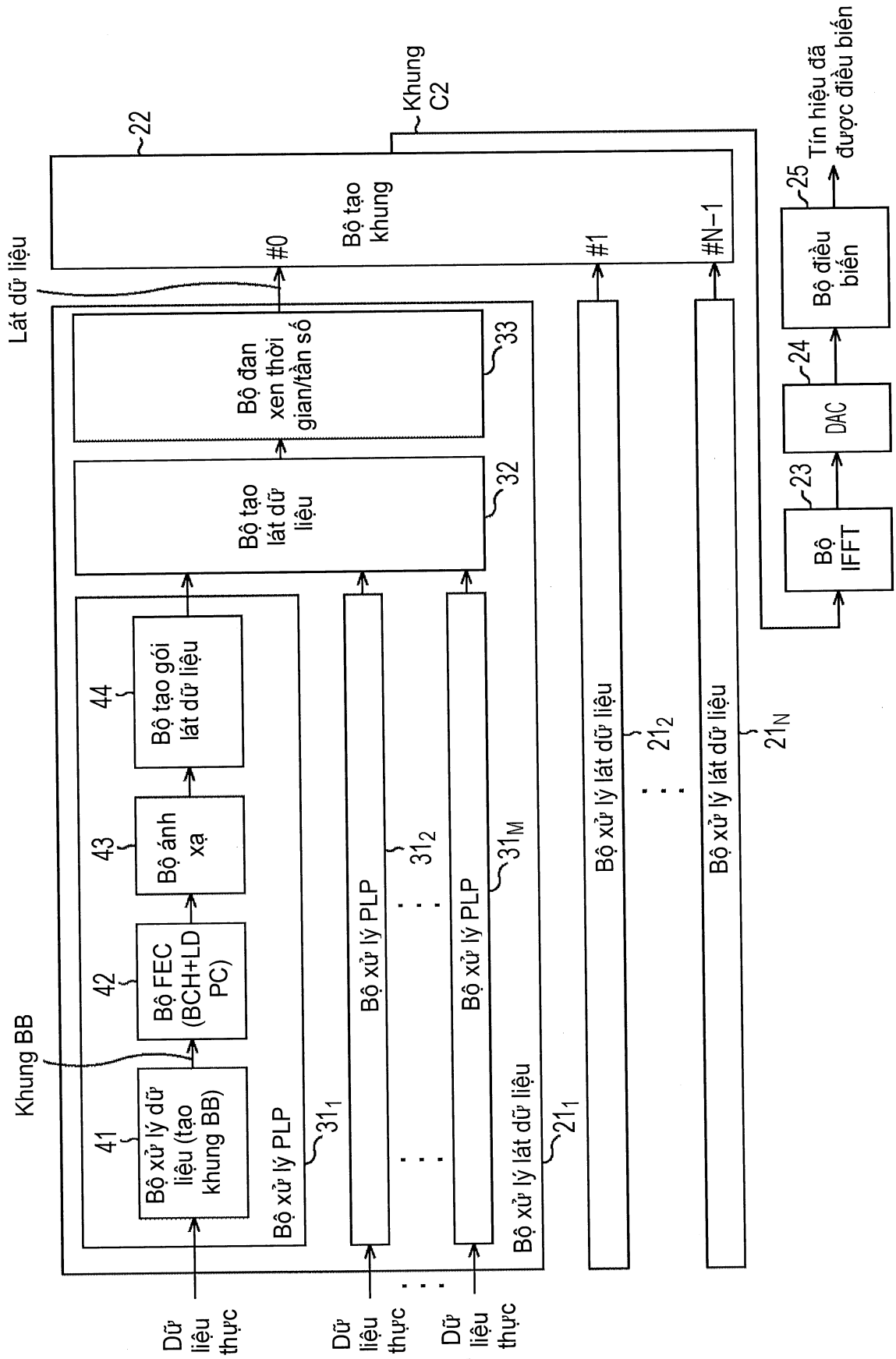


FIG. 3

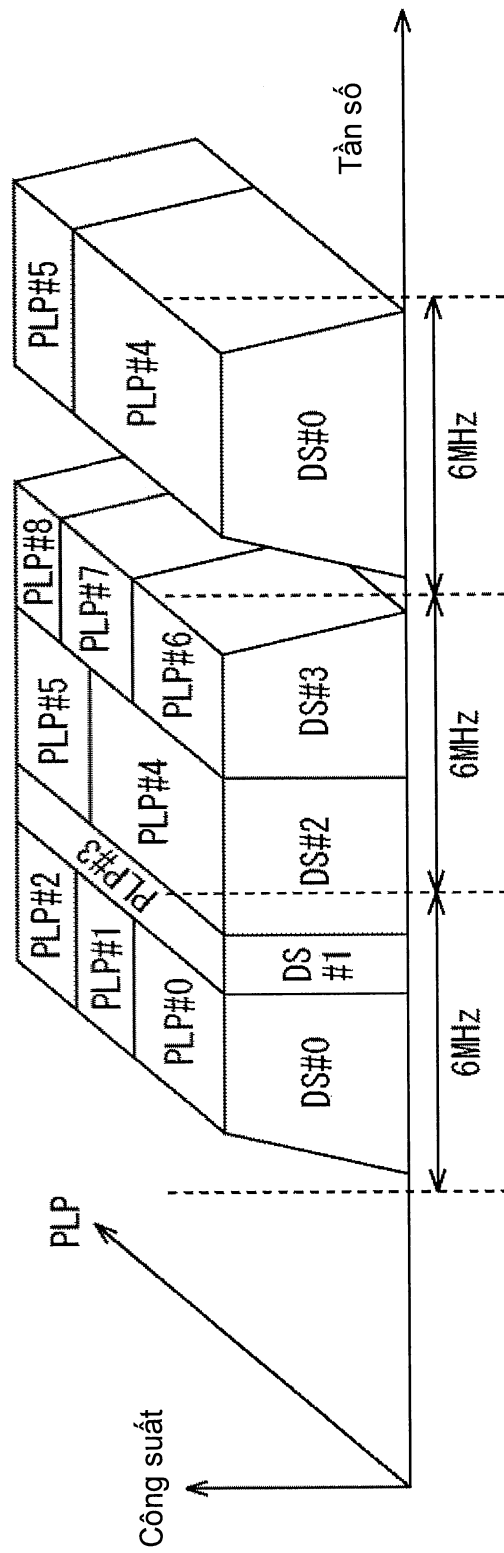


FIG. 4

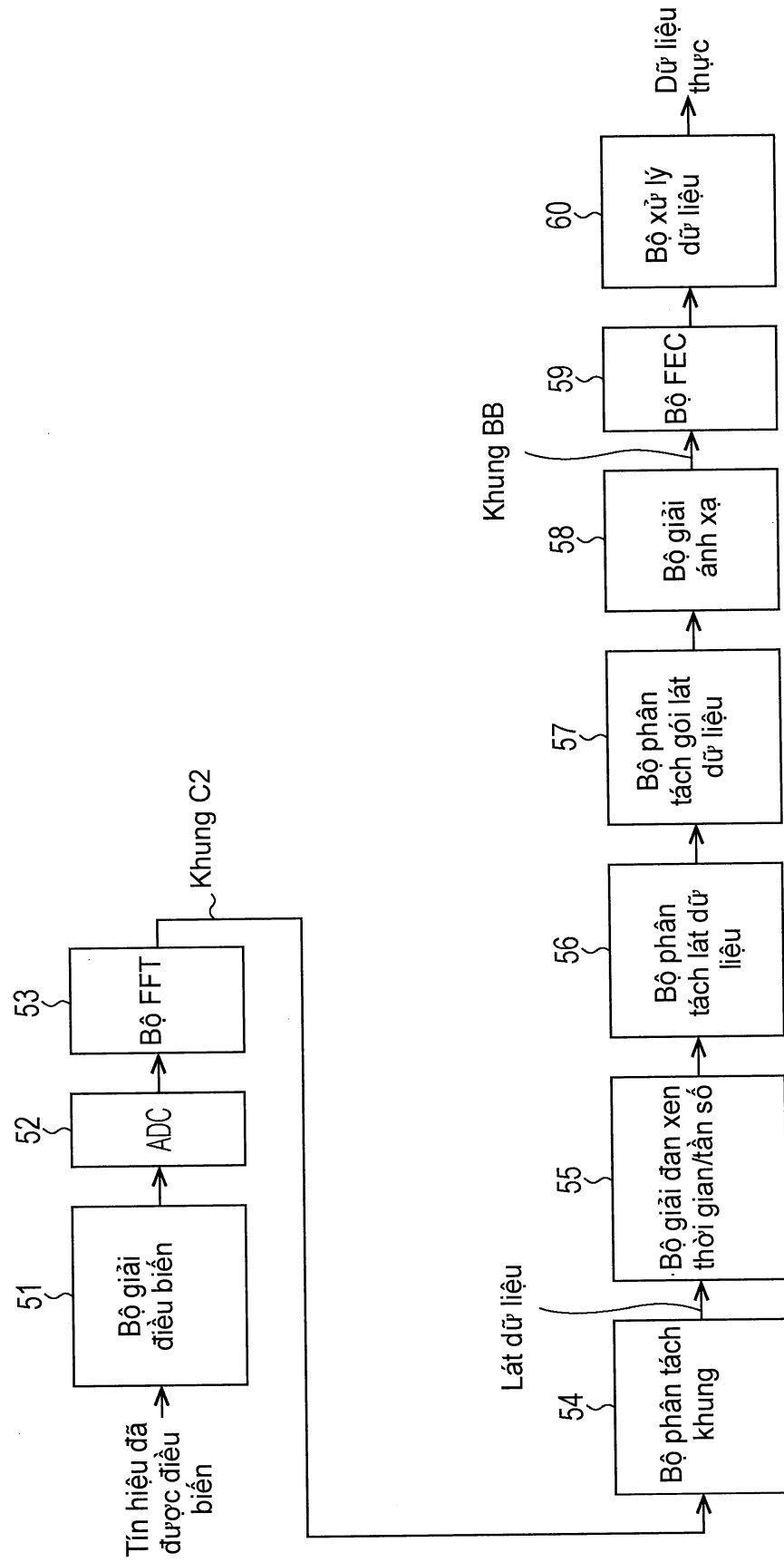


FIG. 5

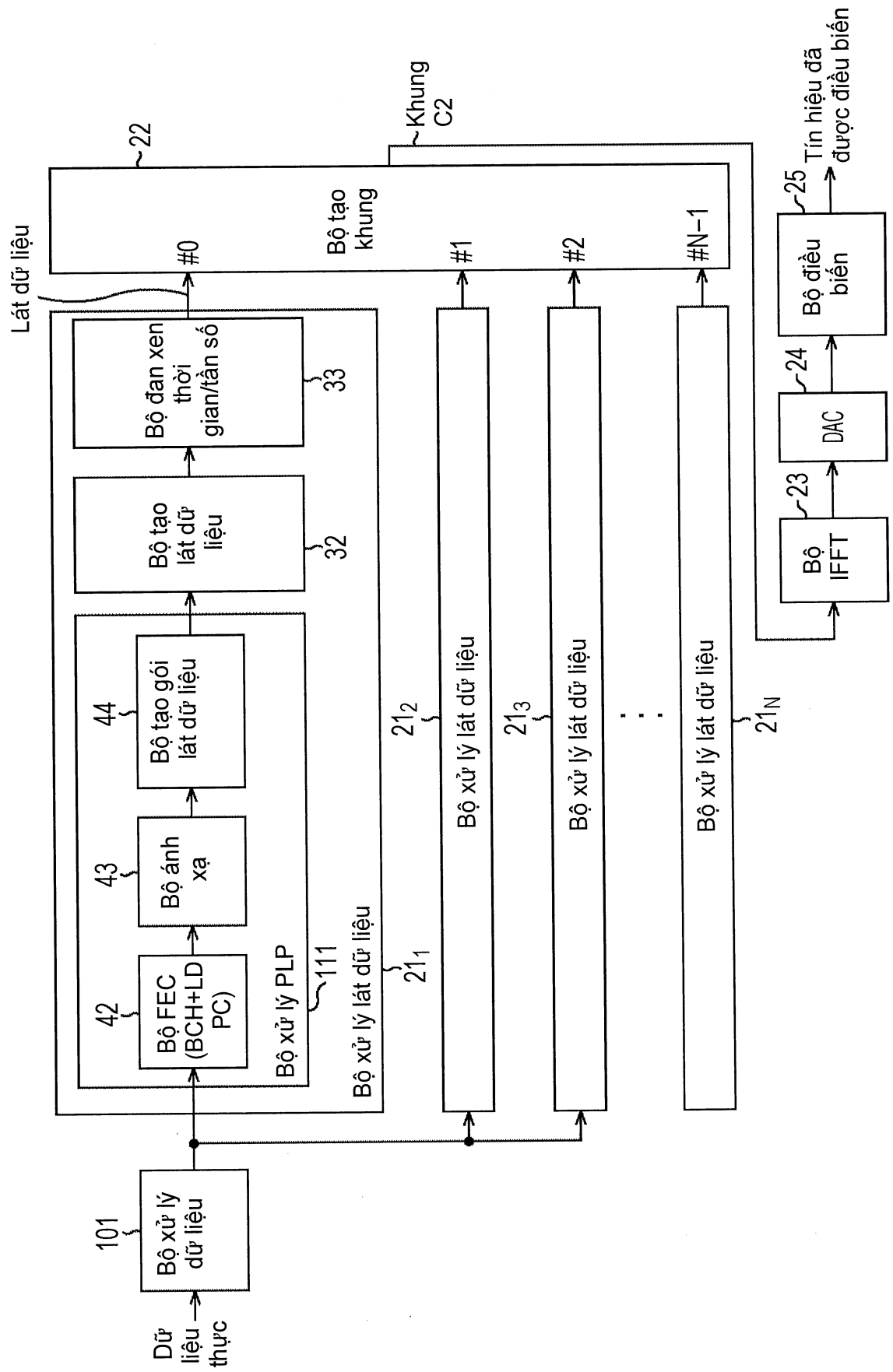


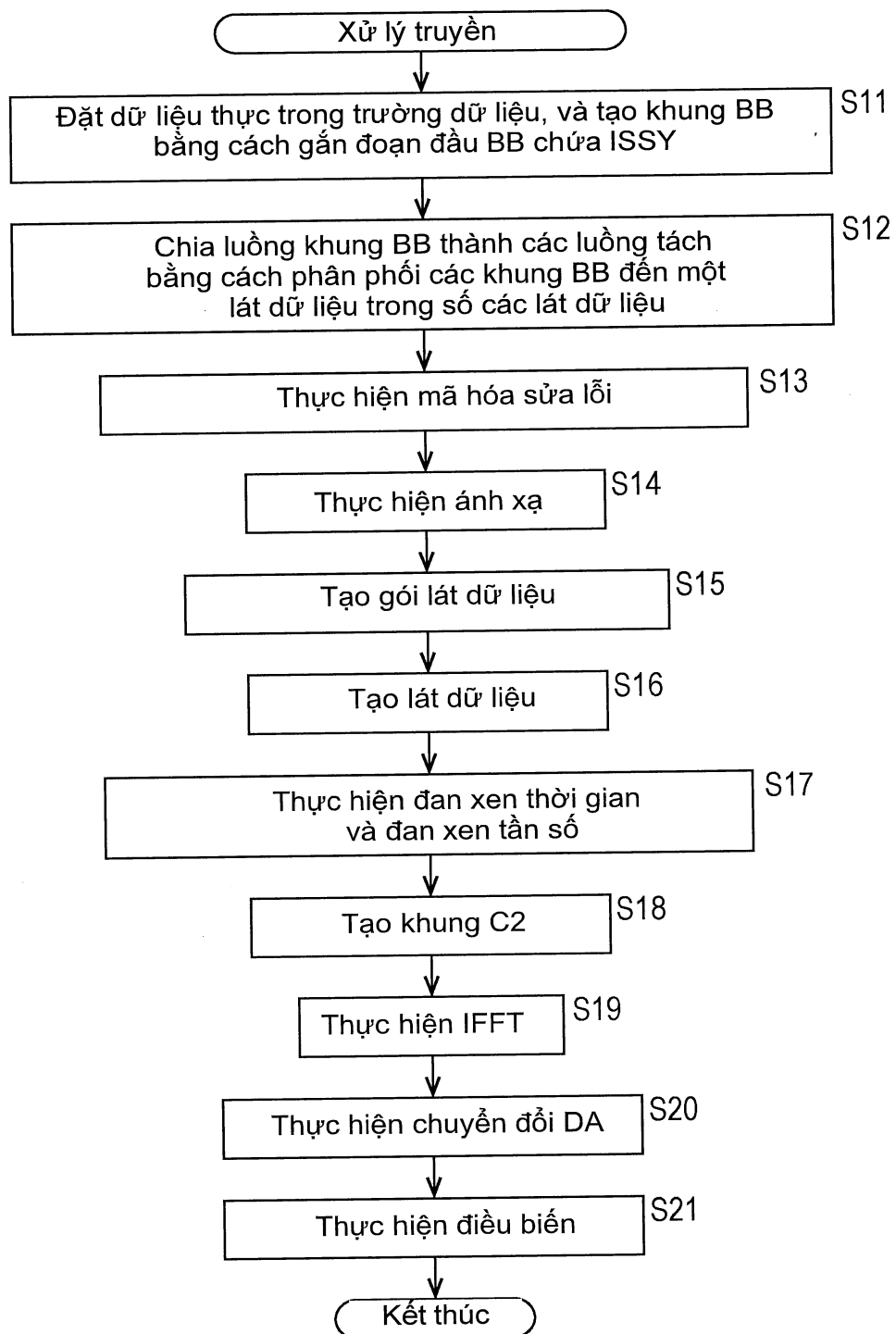
FIG. 6

FIG. 7

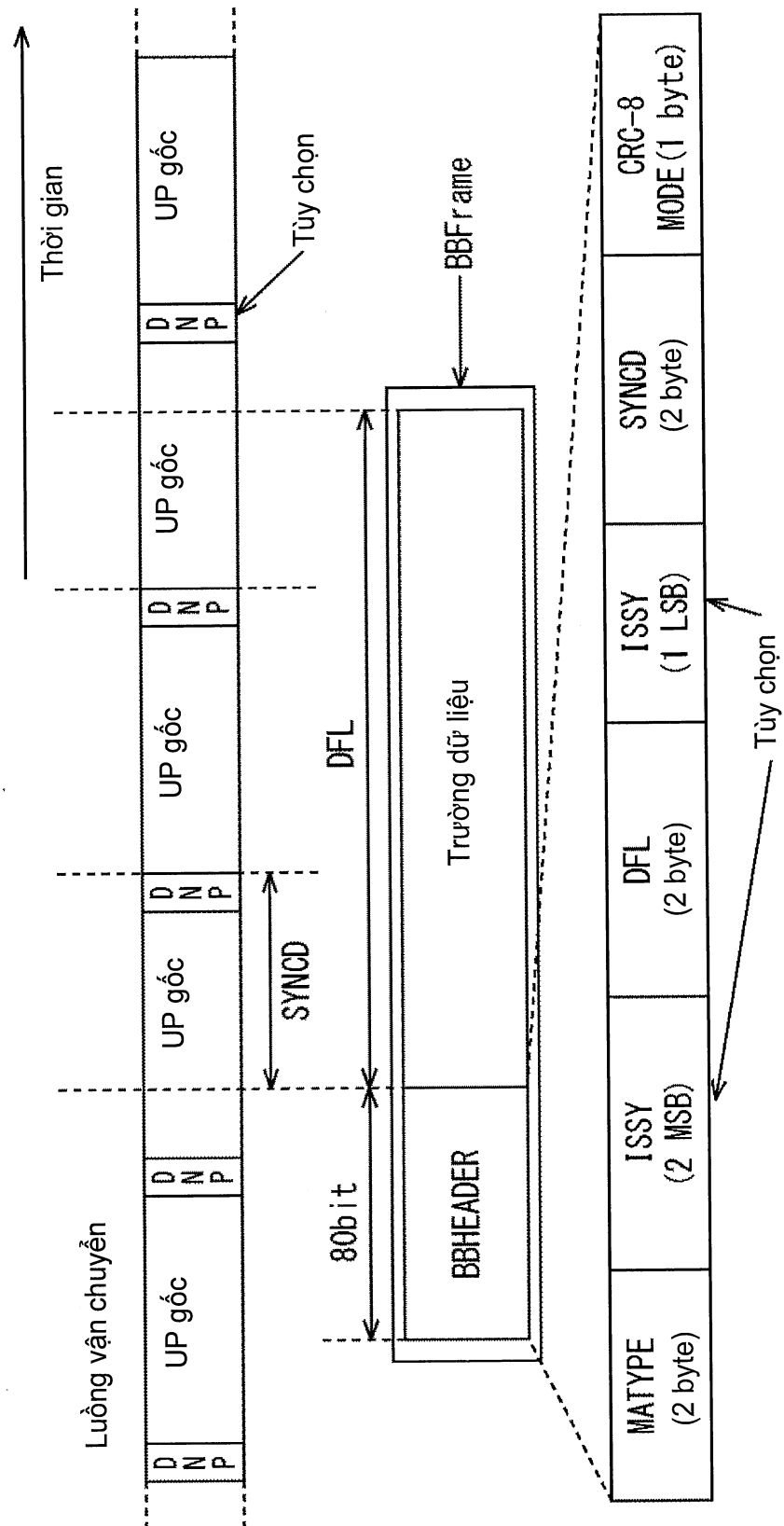


FIG. 8

Byte thứ nhất						Byte thứ hai		Byte thứ ba	
Bit-7 (MSB)	Bit-6	Bit-5 và bit-4	Bit-3 và bit-2	Bit-1 và bit-0		Bit-7 đến bit-0		Bit-7 bit-0	
0=ISCRshort	MSB của ISCRshort	6 bit tiếp theo của ISCRshort				8 bit tiếp theo của ISCRshort	ISCR (Thông tin (thời gian)	Không có	ISCRshort được sử dụng; nếu không dự phòng để sử dụng sau
1	0=ISCRlong	6 MSB của ISCRlong				8 bit tiếp theo của ISCRlong		8 bit tiếp theo của ISCRlong	
1	1	00=BUFS	Đơn vị BUFS 00=bit; 01=Kbit; 10=Mbit; 11=8 Kbit;	2 MSB của BUFS		8 bit tiếp theo của BUFS	BUFS (Lượng (đệm cần thiết)	Không có khi ISCRshort được sử dụng; nếu không dự phòng để sử dụng sau	ISCRshort được sử dụng; nếu không dự phòng để sử dụng sau
1	1	10=BUFSTAT	Đơn vị BUFSTAT 00=bit; 01=Kbit; 10=Mbit; 11=BUFS/1 02 4	2 MSB của BUFSTAT		8 bit tiếp theo của BUFSTAT		Không có khi ISCRshort được sử dụng; nếu không dự phòng để sử dụng sau	
1	1	10=BUFSTAT	Đơn vị BUFSTAT 00=bit; 01=Kbit; 10=Mbit; 11=BUFS/1 02 4	2 MSB của BUFSTAT		8 bit tiếp theo của BUFSTAT	BUFSTAT (Thời gian (bắt đầu đọc)	Không có khi ISCRshort được sử dụng; nếu không dự phòng để sử dụng sau	ISCRshort được sử dụng; nếu không dự phòng để sử dụng sau
1	1	10=BUFSTAT	Đơn vị BUFSTAT 00=bit; 01=Kbit; 10=Mbit; 11=BUFS/1 02 4	2 MSB của BUFSTAT		8 bit tiếp theo của BUFSTAT		Không có khi ISCRshort được sử dụng; nếu không dự phòng để sử dụng sau	

FIG. 9

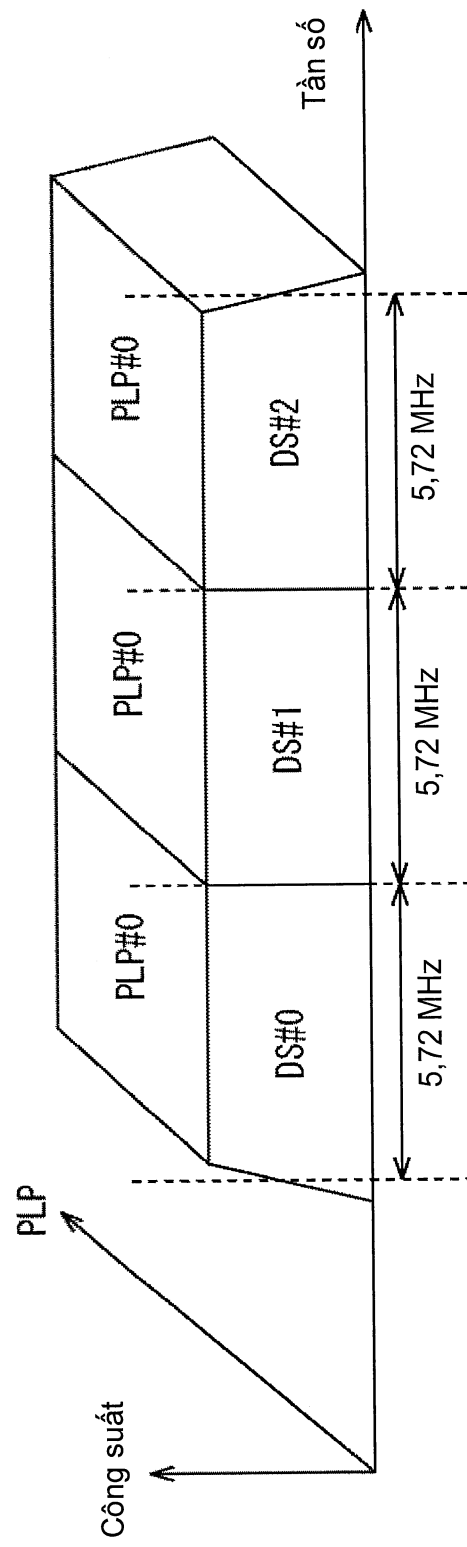


FIG. 10

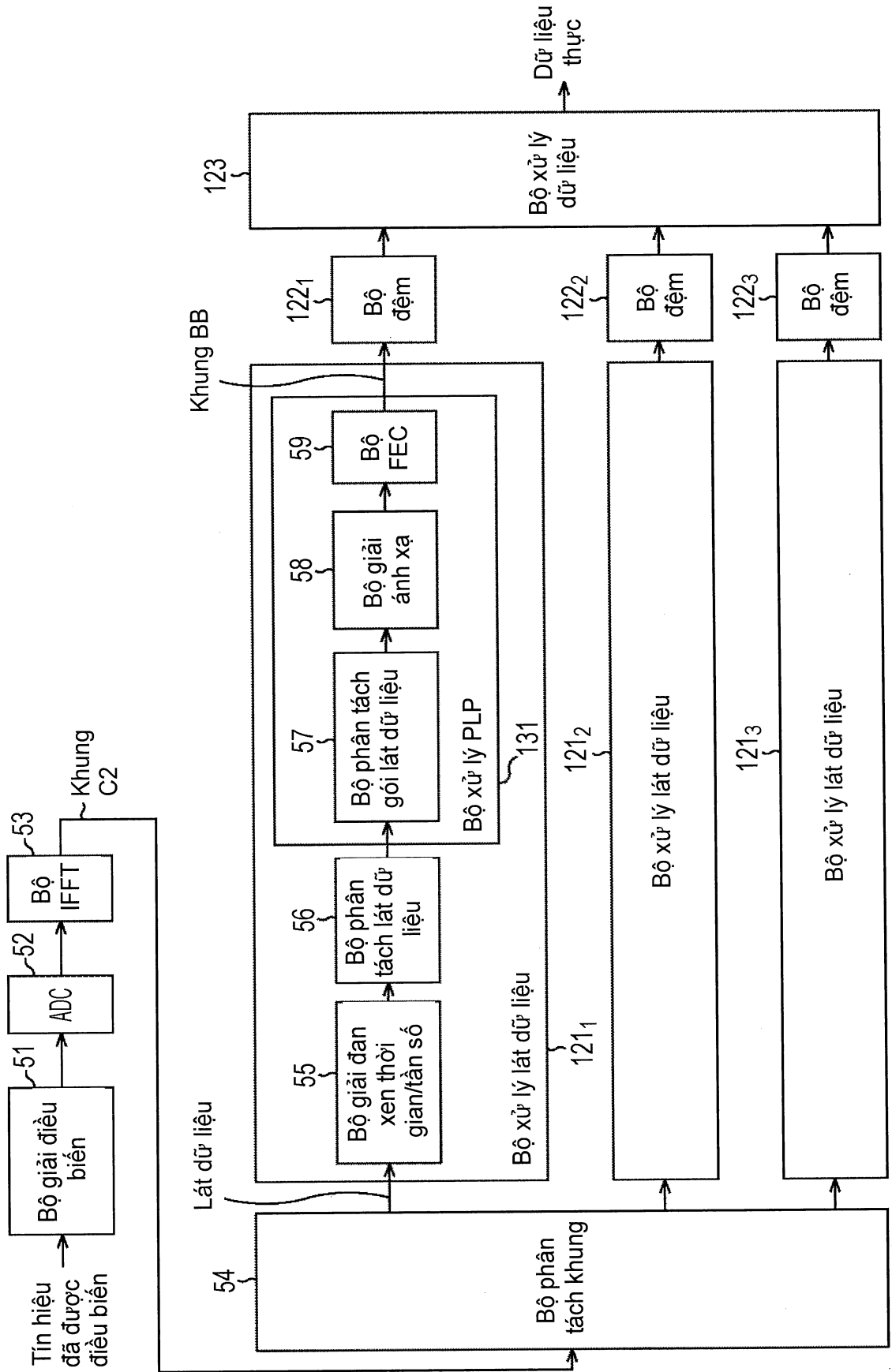


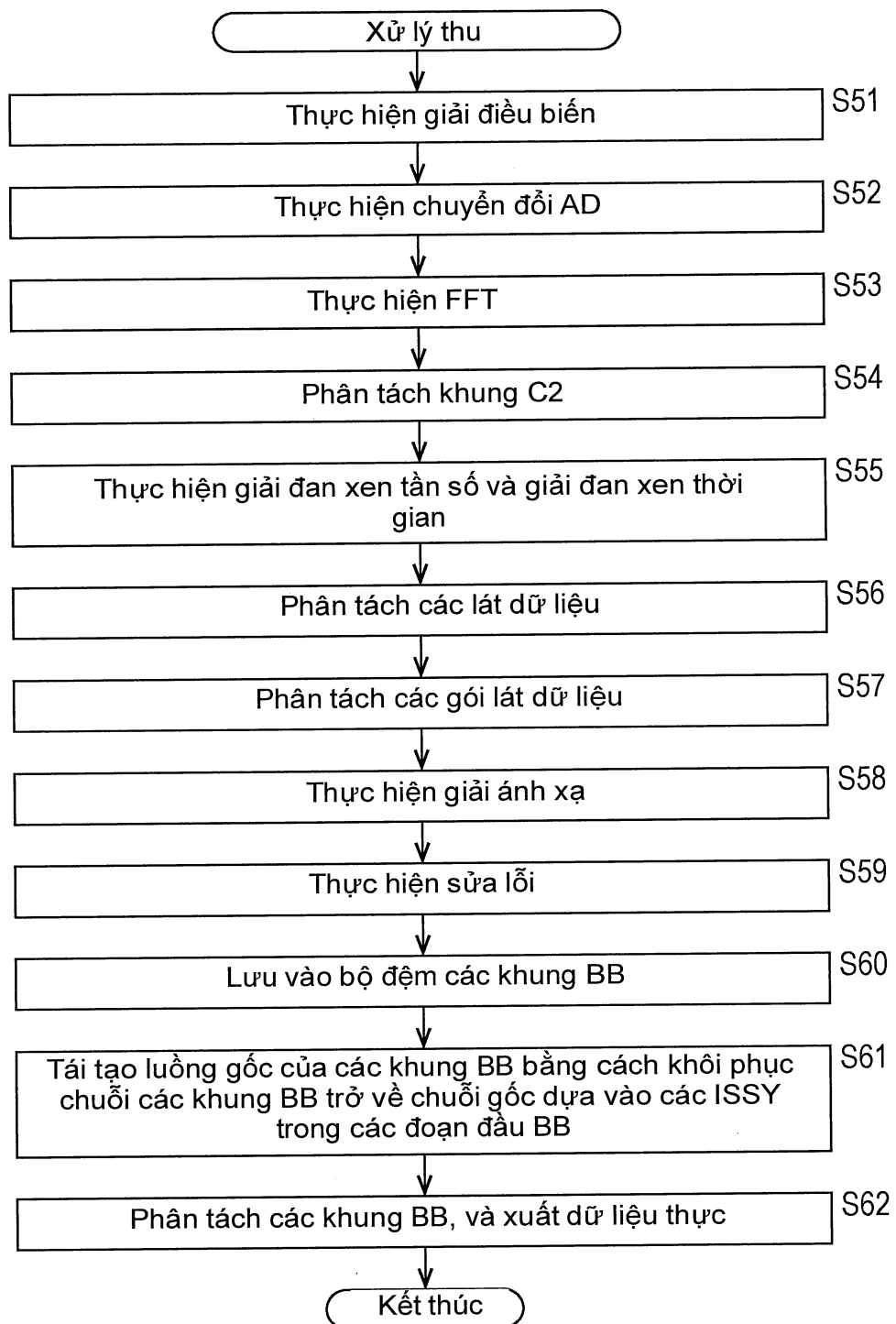
FIG. 11

FIG. 12

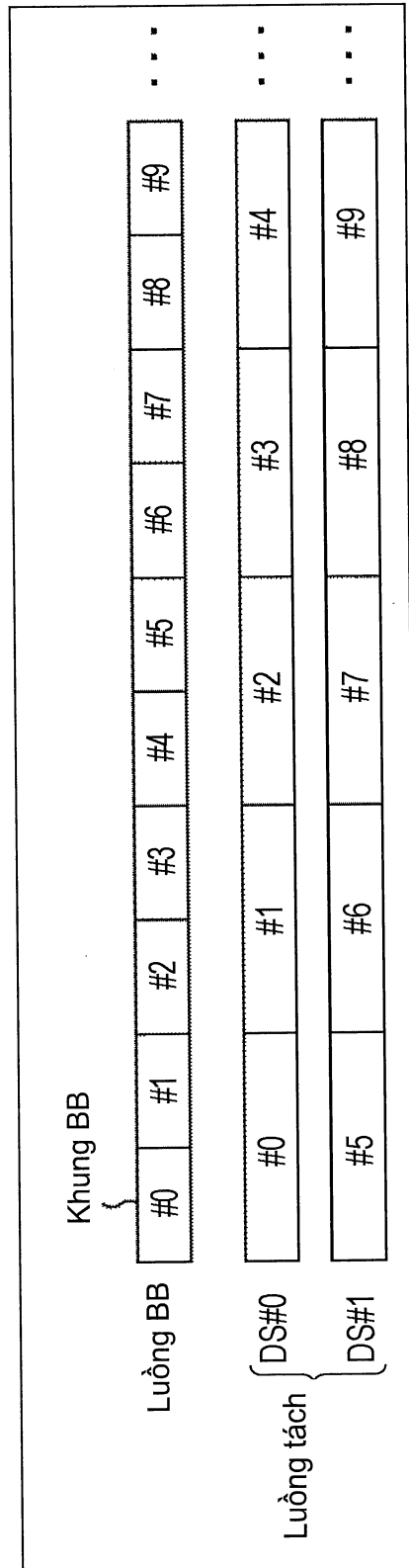


FIG. 13

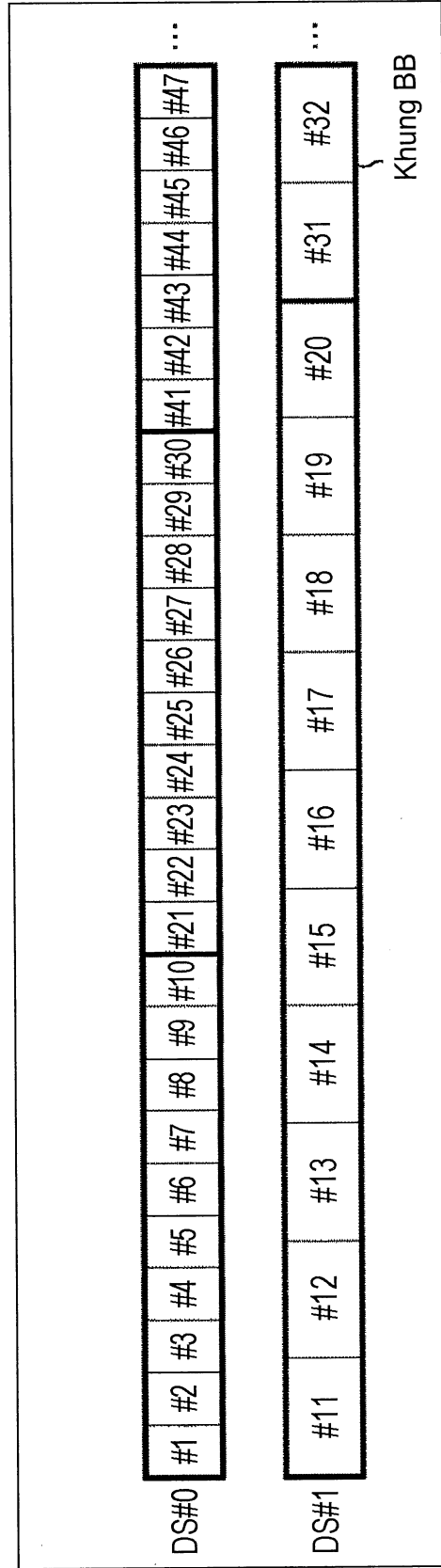


FIG. 14

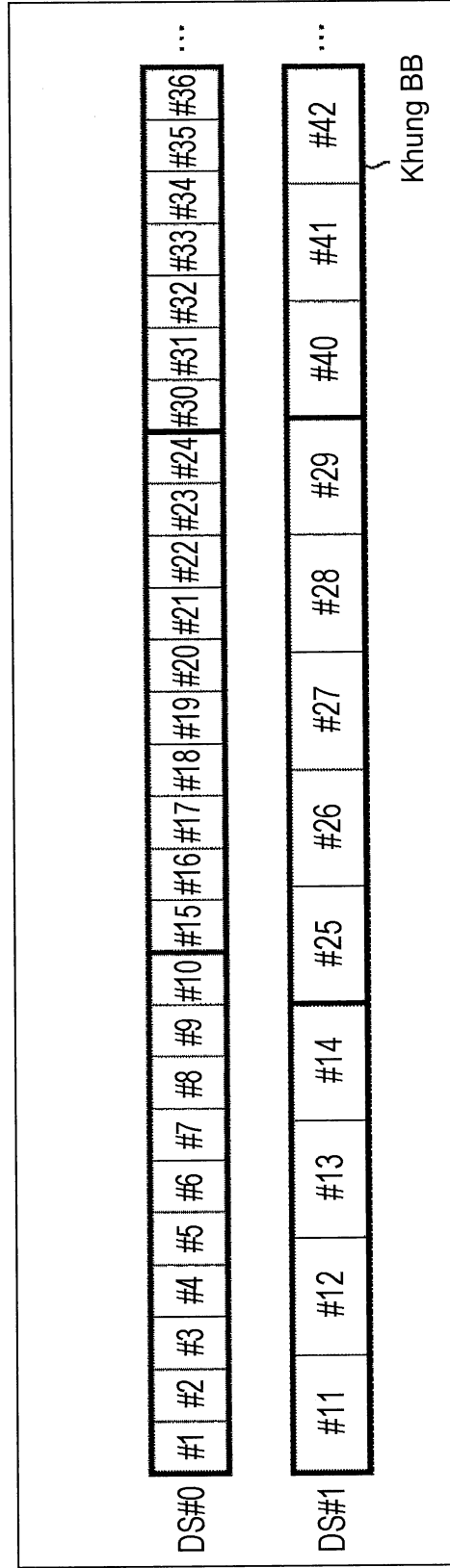


FIG. 15

