



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0025696

(51)⁷ H01L 21/8234; H01L 29/786; H01L
27/088

(13) B

(21) 1-2012-01253

(22) 07/10/2010

(86) PCT/JP2010/068103 07/10/2010

(87) WO 2011/052396 05/05/2011

(30) 2009-249330 29/10/2009 JP; 2010-012619 22/01/2010 JP

(45) 26/10/2020 391

(43) 25/10/2012 295A

(73) Semiconductor Energy Laboratory Co., Ltd. (JP)

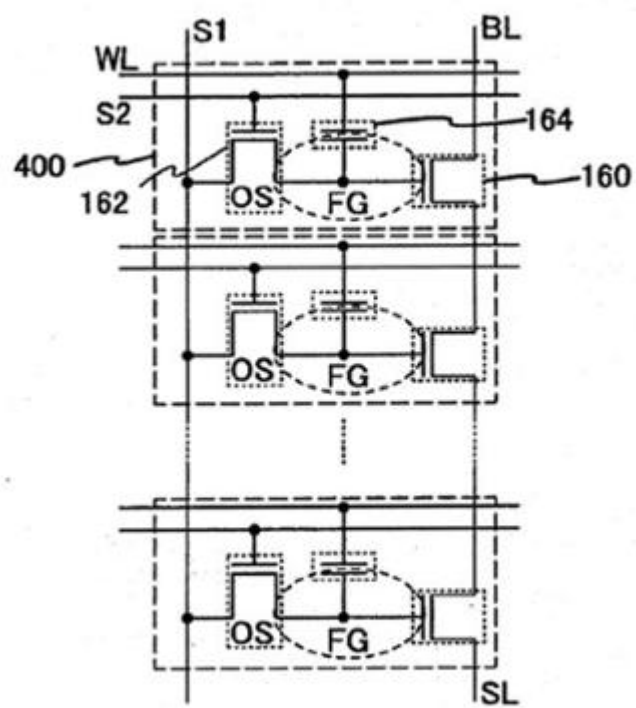
398, Hase, Atsugi-shi, Kanagawa, 2430036 JAPAN

(72) YAMAZAKI, Shunpei (JP).

(74) Công ty TNHH T&T INVENMARK Sở hữu trí tuệ Quốc tế (T&T INVENMARK
CO., LTD.)

(54) THIẾT BỊ BÁN DẪN CÓ Ô NHỚ

(57) Sáng chế đề cập tới thiết bị bán dẫn có khả năng thực hiện chức năng làm thiết bị bộ nhớ. Thiết bị bộ nhớ này bao gồm các ô nhớ, và từng ô nhớ có tranzito thứ nhất và tranzito thứ hai. Tranzito thứ nhất được tạo ra trên một nền là vật liệu bán dẫn và có vùng tạo thành kênh dẫn trong nền. Tranzito thứ hai có lớp bán dẫn oxit. Cực cổng của tranzito thứ nhất và một trong số cực nguồn và cực máng của tranzito thứ hai được nối điện với nhau. Dòng điện tắt đặc biệt thấp của tranzito thứ hai cho phép dữ liệu lưu giữ trong ô nhớ có thể được nhớ trong khoảng thời gian dài đáng kể thậm chí khi không có nguồn điện cấp.



Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập tới thiết bị bán dẫn sử dụng một phân tử bán dẫn làm ô nhớ.

Tình trạng kỹ thuật của sáng chế

Nói chung, các thiết bị bộ nhớ sử dụng các phân tử bán dẫn được chia thành hai loại: thiết bị khả biến sẽ mất dữ liệu lưu giữ khi nguồn điện ngừng cấp, và thiết bị bất khả biến sẽ ghi nhớ dữ liệu lưu giữ thậm chí khi nguồn điện không được cấp.

Một ví dụ cụ thể về thiết bị bộ nhớ khả biến là DRAM (bộ nhớ truy nhập ngẫu nhiên động). DRAM lưu giữ dữ liệu theo cách sao cho tranzito có trong phân tử bộ nhớ được chọn và điện tích được lưu giữ trong một tụ điện.

Khi dữ liệu được đọc từ DRAM, điện tích trong tụ điện bị mất theo nguyên lý như nêu trên; như vậy, một thao tác ghi khác là cần thiết mỗi khi dữ liệu được đọc. Hơn nữa, tranzito có trong phân tử bộ nhớ có dòng điện rò và điện tích đi vào hoặc đi ra khỏi tụ điện thậm chí khi tranzito không được chọn, vì thế thời gian nhớ dữ liệu là ngắn. Vì lý do này, một thao tác ghi khác (hoạt động làm tươi) là cần thiết ở những thời khoảng định trước, và khó có thể làm giảm đáng kể mức tiêu thụ điện. Ngoài ra, vì dữ liệu lưu giữ bị mất khi nguồn điện ngừng cấp, một thiết bị bộ nhớ bổ sung sử dụng vật liệu từ hoặc vật liệu quang là cần thiết để nhớ dữ liệu trong thời gian dài.

Một ví dụ khác về thiết bị bộ nhớ khả biến là SRAM (bộ nhớ truy nhập ngẫu nhiên tĩnh). SRAM ghi nhớ dữ liệu lưu giữ bằng cách sử dụng một mạch như mạch bập bênh và vì thế không đòi hỏi hoạt động làm tươi. Điều này nghĩa là SRAM có ưu điểm so với DRAM. Tuy nhiên, chi phí theo dung lượng nhớ gia tăng vì mạch như mạch bập bênh được sử dụng.

Hơn nữa, tương tự như trong DRAM, dữ liệu lưu giữ trong SRAM bị mất khi nguồn điện ngừng cấp.

Một ví dụ cụ thể về thiết bị bộ nhớ bất khả biến là bộ nhớ tia chớp. Bộ nhớ tia chớp có cực cổng di động giữa cực cổng và vùng tạo thành kênh dẫn ở tranzito và lưu giữ dữ liệu bằng cách giữ điện tích ở cực cổng di động. Do vậy, bộ nhớ tia chớp có ưu điểm là thời gian nhớ dữ liệu đặc biệt dài (gần như cố định) và hoạt động làm tươi vốn cần thiết trong thiết bị bộ nhớ bất khả biến là không cần thiết (ví dụ, xem tài liệu sáng chế 1).

Tuy nhiên, lớp cách điện cực cổng có trong phần tử bộ nhớ bị hỏng do dòng điện đường hầm chạy qua khi ghi, vì thế phần tử bộ nhớ ngừng chức năng của nó sau một số lần ghi nhất định. Để ngăn ngừa vấn đề này, đã biết phương pháp trong đó số lần thực hiện thao tác ghi đối với các phần tử bộ nhớ được hiệu chỉnh. Tuy nhiên, các mạch bổ sung phức tạp cần phải được bổ sung để thực hiện phương pháp này. Hơn nữa, việc áp dụng phương pháp như vậy không giải quyết được vấn đề cơ bản liên quan tới tuổi thọ của thiết bị. Nói cách khác, bộ nhớ tia chớp không thích hợp cho các ứng dụng trong đó dữ liệu được ghi lại thường xuyên.

Ngoài ra, điện áp cao là cần thiết để nạp điện tích vào cực cổng di động hoặc loại bỏ điện tích. Hơn nữa, cần thời gian tương đối dài để nạp hoặc loại bỏ điện tích, và khó có thể thực hiện việc ghi và xóa dữ liệu ở tốc độ cao hơn.

Giải pháp kỹ thuật đã biết

Tài liệu sáng chế 1: Công bố đơn yêu cầu cấp patent Nhật Bản số: S57-105889

Bản chất kỹ thuật của sáng chế

Trên cơ sở các vấn đề nêu trên, mục đích của sáng chế là đề xuất thiết bị bán dẫn có kết cấu cho phép dữ liệu lưu giữ có thể được nhớ thậm chí khi nguồn điện không được cấp và không có hạn chế về số lần ghi.

Theo một khía cạnh của sáng chế, thiết bị bán dẫn có kết cấu nhiều lớp của tranzito được tạo ra bằng cách sử dụng chất bán dẫn oxit và tranzito được tạo ra bằng cách sử dụng một vật liệu khác với chất bán dẫn oxit. Ví dụ, các kết cấu sau đây có thể được sử dụng.

Tốt hơn là, thiết bị bán dẫn có đường dẫn thứ nhất (đường dẫn nguồn); đường dẫn thứ hai (đường bit); đường dẫn thứ ba (đường tín hiệu thứ nhất); đường dẫn thứ tư (đường tín hiệu thứ hai); tranzito thứ nhất có cực cổng thứ nhất, cực nguồn thứ nhất, và cực máng thứ nhất; và tranzito thứ hai có cực cổng thứ hai, cực nguồn thứ hai, và cực máng thứ hai. Tranzito thứ nhất được tạo ra trên một nền là vật liệu bán dẫn. Tranzito thứ hai có lớp bán dẫn oxit. Cực cổng thứ nhất và một trong số cực nguồn thứ hai và cực máng thứ hai được nối điện với nhau. Đường dẫn thứ nhất (đường dẫn nguồn) và cực nguồn thứ nhất được nối điện với nhau. Đường dẫn thứ hai (đường bit) và cực máng thứ nhất được nối điện với nhau. Đường dẫn thứ ba (đường tín hiệu thứ nhất) và cực kia trong số cực nguồn thứ hai và cực máng thứ hai được nối điện với nhau. Đường dẫn thứ tư (đường tín hiệu thứ hai) và cực cổng thứ hai được nối điện với nhau.

Trong kết cấu nêu trên, tranzito thứ nhất có vùng tạo thành kênh dẫn được tạo ra trên nền là vật liệu bán dẫn; các vùng tạp chất được tạo ra để kẹp ở giữa vùng tạo thành kênh dẫn; lớp cách điện cực cổng thứ nhất trên vùng tạo thành kênh dẫn; cực cổng thứ nhất trên lớp cách điện cực cổng thứ nhất; và cực nguồn thứ nhất và cực máng thứ nhất nối điện với các vùng tạp chất.

Trong kết cấu nêu trên, tranzito thứ hai có cực cổng thứ hai trên nền là vật liệu bán dẫn; lớp cách điện cực cổng thứ hai trên cực cổng thứ hai; lớp bán dẫn oxit trên lớp cách điện cực cổng thứ hai; và cực nguồn thứ hai và cực máng thứ hai nối điện với lớp bán dẫn oxit.

Trong kết cấu nêu trên, nền là vật liệu bán dẫn tốt hơn là nền bán dẫn đơn tinh thể hoặc nền SOI. Cụ thể là, vật liệu bán dẫn được ưu tiên là silic.

Trong kết cấu nêu trên, lớp bán dẫn oxit tốt hơn là có In-Ga-Zn-O dựa trên vật liệu bán dẫn oxit. Cụ thể là, lớp bán dẫn oxit tốt hơn là có tinh thể của $\text{In}_2\text{Ga}_2\text{ZnO}_7$. Hơn nữa, nồng độ hydro của lớp bán dẫn oxit tốt hơn là nhỏ hơn hoặc bằng 5×10^{19} nguyên tử/cm³. Dòng điện tắt của tranzito thứ hai tốt hơn là nhỏ hơn hoặc bằng $1 \times 1 \times 10^{-13}$ A, tốt hơn nữa là, nhỏ hơn hoặc bằng 1×10^{-20} A.

Trong kết cấu nêu trên, tranzito thứ hai có thể được tạo ra ở vùng chồng với tranzito thứ nhất.

Cần lưu ý rằng trong bản mô tả sáng chế, các thuật ngữ như "trên" hoặc "dưới" không nhất thiết nghĩa là một bộ phận được bố trí "ngay trên" hoặc "ngay bên dưới" một bộ phận khác. Ví dụ, thuật ngữ "cực cổng thứ nhất trên lớp cách điện cực cổng" không loại trừ trường hợp trong đó bộ phận này được bố trí giữa lớp cách điện cực cổng và cực cổng. Hơn nữa, các thuật ngữ như "trên" và "dưới" chỉ được sử dụng cho tiện việc mô tả và có thể bao hàm trường hợp trong đó mối tương quan vị trí của các linh kiện được đảo lại, trừ khi được xác định khác.

Ngoài ra, trong bản mô tả sáng chế, thuật ngữ như "điện cực" hoặc "đường dẫn" không giới hạn chức năng của một linh kiện. Ví dụ, một "điện cực" thường được sử dụng là một phần của "đường dẫn", và ngược lại. Ngoài ra, thuật ngữ "điện cực" hoặc "đường dẫn" có thể bao hàm trường hợp trong đó nhiều "điện cực" hoặc nhiều "đường dẫn" được tạo ra theo cách tích hợp.

Chức năng của "cực nguồn" và "cực máng" thường được thay thế lẫn nhau khi tranzito có cực tính ngược nhau được sử dụng hoặc khi chiều của dòng điện được thay đổi trong hoạt động của mạch. Do vậy, các thuật ngữ "cực nguồn" và "cực máng" có thể được thay thế lẫn nhau trong bản mô tả sáng chế và phần tương tự.

Cần lưu ý rằng trong bản mô tả sáng chế, thuật ngữ "được nối điện" bao hàm trường hợp trong đó các linh kiện được nối nhờ một đối tượng có chức năng điện bất kỳ. Không có hạn chế cụ thể về một đối tượng có chức

năng điện bất kỳ miễn là các tín hiệu điện có thể được truyền và được tiếp nhận giữa các linh kiện được nối nhờ đối tượng này.

Các ví dụ về một đối tượng có chức năng điện bất kỳ là phân tử chuyển mạch như tranzito, điện trở, cuộn cảm, tụ điện, và một phân tử có nhiều chức năng khác nhau cũng như điện cực và đường dẫn.

Nói chung, thuật ngữ "nền SOI" nghĩa là nền mà lớp bán dẫn silic được tạo ra trên bề mặt cách điện. Trong bản mô tả sáng chế, thuật ngữ "nền SOI" còn bao hàm nền trong đó lớp bán dẫn được tạo ra bằng cách sử dụng một vật liệu khác với silic được tạo ra trên bề mặt cách điện theo loại của nó. Nghĩa là, lớp bán dẫn có trong "nền SOI" không bị giới hạn là lớp bán dẫn silic. Nền trong "nền SOI" không bị giới hạn là nền bán dẫn như mảnh silic và có thể là nền phi bán dẫn như nền thủy tinh, nền thạch anh, nền saphia, hoặc nền kim loại. Nói cách khác, "nền SOI" còn bao hàm nền dẫn điện có bề mặt cách điện hoặc nền cách điện có một lớp làm bằng vật liệu bán dẫn theo loại của nó. Ngoài ra, trong bản mô tả sáng chế, thuật ngữ "nền bán dẫn" nghĩa là không những nền được tạo ra bằng cách chỉ sử dụng một vật liệu bán dẫn mà còn bao hàm tất cả các nền là vật liệu bán dẫn. Nghĩa là, trong bản mô tả sáng chế, "nền SOI" còn có trong loại "nền bán dẫn".

Theo một phương án, sáng chế đề xuất thiết bị bán dẫn trong đó tranzito là vật liệu khác với chất bán dẫn oxit được bố trí ở phần dưới và tranzito chứa chất bán dẫn oxit được bố trí ở phần trên.

Vì dòng điện tắt của tranzito chứa chất bán dẫn oxit là đặc biệt thấp, dữ liệu lưu giữ có thể được nhớ trong khoảng thời gian đặc biệt dài bằng cách sử dụng tranzito. Nói cách khác, mức tiêu thụ điện có thể được làm giảm đáng kể vì hoạt động làm tươi trở thành không cần thiết hoặc tần số của hoạt động làm tươi có thể là đặc biệt thấp. Hơn nữa, dữ liệu lưu giữ có thể được nhớ trong thời gian dài thậm chí khi nguồn điện không được cấp.

Hơn nữa, điện áp cao là không cần thiết để ghi dữ liệu, và sự suy biến của phân tử là không đáng kể. Ngoài ra, dữ liệu được ghi bằng cách

chuyển giữa trạng thái bật và trạng thái tắt của tranzito, nhờ đó hoạt động tốc độ cao có thể được thực hiện dễ dàng. Ngoài ra, vì dữ liệu có thể được ghi lại bằng cách kiểm soát điện thế đưa vào tranzito, không cần thao tác xoá dữ liệu, đây là một ưu điểm khác.

Vì tranzito là vật liệu khác với chất bán dẫn oxit có thể hoạt động ở tốc độ cao hơn so với tranzito chứa chất bán dẫn oxit, dữ liệu lưu giữ có thể được đọc ở tốc độ cao bằng cách sử dụng tranzito.

Thiết bị bán dẫn theo sáng chế có thể được thực hiện bằng cách sử dụng cả tranzito là vật liệu khác với chất bán dẫn oxit lẫn tranzito chứa chất bán dẫn oxit.

Mô tả vắn tắt các hình vẽ

Các mục đích, ưu điểm và khía cạnh khác nữa của sáng chế sẽ trở nên rõ ràng hơn qua phần mô tả chi tiết dưới đây có dựa vào các hình vẽ kèm theo, trong đó:

Fig.1 thể hiện sơ đồ mạch của thiết bị bán dẫn;

Fig.2A và Fig.2B là hình vẽ mặt cắt ngang và hình chiếu bằng thể hiện thiết bị bán dẫn;

Các hình vẽ từ Fig.3A tới Fig.3H là các hình vẽ mặt cắt ngang thể hiện các công đoạn để chế tạo thiết bị bán dẫn;

Các hình vẽ từ Fig.4A tới Fig.4G là các hình vẽ mặt cắt ngang thể hiện các công đoạn để chế tạo thiết bị bán dẫn;

Các hình vẽ từ Fig.5A tới Fig.5D là các hình vẽ mặt cắt ngang thể hiện các công đoạn để chế tạo thiết bị bán dẫn;

Fig.6 là hình vẽ mặt cắt ngang thể hiện thiết bị bán dẫn;

Fig.7A và Fig.7B là các hình vẽ mặt cắt ngang thể hiện thiết bị bán dẫn;

Fig.8A và Fig.8B là các hình vẽ mặt cắt ngang thể hiện thiết bị bán dẫn;

Fig.9A và Fig.9B là các hình vẽ mặt cắt ngang thể hiện thiết bị bán dẫn;

Các hình vẽ từ Fig.10A tới Fig.10F là các hình vẽ phối cảnh thể hiện một thiết bị điện tử;

Fig.11 là hình vẽ mặt cắt ngang thể hiện tranzito được bố trí so le đảo chứa chất bán dẫn oxit;

Fig.12A và Fig.12B là các biểu đồ dải năng lượng (các sơ đồ giản lược) của tiết diện A-A' trên Fig.11;

Fig.13A thể hiện trạng thái trong đó điện thế dương (+VG) được cấp tới cực cổng (GE1), và Fig.13B thể hiện trạng thái trong đó điện thế âm (-VG) được cấp tới cực cổng (GE1); và

Fig.14 thể hiện mối tương quan giữa mức chân không, công thoát (ϕ_M) của một kim loại, và ái lực điện tử (χ) của chất bán dẫn oxit;

Fig.15A và Fig.15B thể hiện sơ đồ mạch của các thiết bị bán dẫn;

Fig.16 thể hiện sơ đồ mạch của thiết bị bán dẫn;

Fig.17A và Fig.17B thể hiện sơ đồ mạch của các thiết bị bán dẫn;

Các hình vẽ từ Fig.18A tới Fig.18C thể hiện các sơ đồ mạch của thiết bị bán dẫn;

Fig.19 thể hiện sơ đồ mạch của thiết bị bán dẫn;

Fig.20 là biểu đồ thời gian để thể hiện mối tương quan của các điện thế;

Fig.21 thể hiện sơ đồ mạch của thiết bị bán dẫn;

Fig.22A và Fig.22B là hình vẽ mặt cắt ngang và hình chiếu bằng thể hiện thiết bị bán dẫn;

Các hình vẽ từ Fig.23A tới Fig.23D là các hình vẽ mặt cắt ngang thể hiện thiết bị bán dẫn;

Các hình vẽ từ Fig.24A tới Fig.24C là các hình vẽ mặt cắt ngang thể hiện thiết bị bán dẫn;

Fig.25 là đồ thị thể hiện các đặc tính của một tranzito chứa chất bán dẫn oxit;

Fig.26 là sơ đồ mạch để đánh giá các đặc tính của một tranzito chứa chất bán dẫn oxit;

Fig.27 là biểu đồ thời gian để đánh giá các đặc tính của một tranzito chứa chất bán dẫn oxit;

Fig.28 là đồ thị thể hiện các đặc tính của một tranzito chứa chất bán dẫn oxit;

Fig.29 là đồ thị thể hiện các đặc tính của một tranzito chứa chất bán dẫn oxit;

Fig.30 là đồ thị thể hiện các đặc tính của một tranzito chứa chất bán dẫn oxit; và

Fig.31 là đồ thị thể hiện các kết quả đánh giá độ rộng cửa sổ bộ nhớ.

Mô tả chi tiết sáng chế

Các phương án thực hiện sáng chế sẽ được mô tả sau đây có dựa vào các hình vẽ kèm theo. Cần lưu ý rằng sáng chế không bị giới hạn ở phần mô tả sau đây, và các chuyên gia trong lĩnh vực kỹ thuật này cần phải hiểu rằng các phương án này có thể được cải biến theo nhiều cách khác nhau mà không nằm ngoài phạm vi của sáng chế.

Cần lưu ý rằng vị trí, kích thước, phạm vi, hoặc yếu tố tương tự của từng kết cấu được thể hiện trên các hình vẽ không được thể hiện hoàn toàn chính xác trong một số trường hợp để dễ hiểu. Do vậy, các phương án thực hiện sáng chế không nhất thiết bị giới hạn ở vị trí, kích thước, phạm vi hoặc yếu tố tương tự như được thể hiện trên các hình vẽ.

Trong bản mô tả sáng chế, các từ chỉ thứ tự như "thứ nhất", "thứ hai", và "thứ ba" được sử dụng để tránh lẫn lộn giữa các linh kiện, và các thuật ngữ này không nhằm giới hạn số lượng của các linh kiện.

Phương án thứ nhất

Trong kết cấu theo phương án này, kết cấu và phương pháp chế tạo thiết bị bán dẫn theo một phương án của sáng chế sẽ được mô tả có dựa vào Fig.1, Fig.2A và Fig.2B, các hình vẽ từ Fig.3A tới Fig.3H, các hình vẽ

từ Fig.4A tới Fig.4G, các hình vẽ từ Fig.5A tới Fig.5D, Fig.6, Fig.7A và Fig.7B, Fig.8A và Fig.8B, và Fig.9A và Fig.9B.

Kết cấu mạch của thiết bị bán dẫn

Fig.1 thể hiện một ví dụ về kết cấu mạch của thiết bị bán dẫn. Thiết bị bán dẫn có tranzito 160 được tạo ra bằng cách sử dụng một vật liệu khác với chất bán dẫn oxit (ví dụ, silic), và tranzito 162 được tạo ra bằng cách sử dụng chất bán dẫn oxit. Cần lưu ý rằng thiết bị bán dẫn được thể hiện trên Fig.1 còn được gọi là ô nhớ trong một số trường hợp được mô tả sau đây.

Ở đây, cực cổng của tranzito 160 được nối điện với một trong số cực nguồn và cực máng của tranzito 162. Đường dẫn thứ nhất (còn được gọi là đường dẫn nguồn SL) được nối điện với cực nguồn của tranzito 160. Đường dẫn thứ hai (còn được gọi là đường bit BL) được nối điện với cực máng của tranzito 160. Đường dẫn thứ ba (còn được gọi là đường tín hiệu thứ nhất) được nối điện với cực kia trong số cực nguồn và cực máng của tranzito 162. Đường dẫn thứ tư (còn được gọi là đường tín hiệu thứ hai) được nối điện với cực cổng của tranzito 162.

Vì tranzito 160 là vật liệu khác với chất bán dẫn oxit có thể hoạt động ở tốc độ cao hơn so với tranzito chứa chất bán dẫn oxit, dữ liệu lưu giữ có thể được đọc ở tốc độ cao bằng cách sử dụng tranzito 160. Hơn nữa, tranzito 162 có chất bán dẫn oxit có dòng điện tắt đặc biệt thấp. Với các lý do này, điện thế của cực cổng của tranzito 160 có thể được giữ trong khoảng thời gian đặc biệt dài bằng cách tắt tranzito 162. Ngoài ra, ở tranzito 162 có chất bán dẫn oxit, hiệu ứng kênh dẫn ngắn không xảy ra, đây là một ưu thế khác.

Hoạt động ghi, nhớ và đọc dữ liệu có thể được thực hiện theo cách sau đây bằng cách sử dụng ưu điểm là điện thế của cực cổng có thể được duy trì.

Trước hết, việc ghi và nhớ dữ liệu sẽ được mô tả. Trước tiên, điện thế của đường dẫn thứ tư được thiết lập bằng điện thế mà ở đó tranzito 162

được bật, và tranzito 162 được bật. Như vậy, điện thế của đường dẫn thứ ba được cấp tới cực cổng của tranzito 160 (trạng thái ghi). Sau đó, điện thế của đường dẫn thứ tư được thiết lập bằng điện thế mà ở đó tranzito 162 được tắt, và tranzito 162 được tắt, nhờ đó điện thế của cực cổng của tranzito 160 được giữ (trạng thái nhớ).

Vì dòng điện tắt của tranzito 162 là đặc biệt thấp, điện thế của cực cổng của tranzito 160 được giữ trong thời gian dài. Ví dụ, khi điện thế của cực cổng của tranzito 160 là điện thế mà ở đó tranzito 160 được bật, trạng thái bật của tranzito 160 được duy trì trong thời gian dài. Hơn nữa, khi điện thế của cực cổng của tranzito 160 là điện thế mà ở đó tranzito 160 được tắt, trạng thái tắt của tranzito 160 được duy trì trong thời gian dài.

Thứ hai, việc đọc dữ liệu sẽ được mô tả. Khi điện thế định trước (điện thế thấp) được cấp tới đường dẫn thứ nhất ở trạng thái trong đó trạng thái bật hoặc trạng thái tắt của tranzito 160 được duy trì như nêu trên, điện thế của đường dẫn thứ hai thay đổi phụ thuộc vào trạng thái bật hoặc trạng thái tắt của tranzito 160. Ví dụ, khi tranzito 160 ở trạng thái bật, điện thế của đường dẫn thứ hai trở nên thấp hơn do ảnh hưởng của điện thế của đường dẫn thứ nhất. Trái lại, khi tranzito 160 ở trạng thái tắt, điện thế của đường dẫn thứ hai không bị thay đổi.

Theo cách như vậy, điện thế của đường dẫn thứ hai và điện thế định trước được so sánh với nhau ở trạng thái trong đó dữ liệu được nhớ, nhờ đó dữ liệu có thể được đọc.

Thứ ba, việc ghi lại dữ liệu sẽ được mô tả. Việc ghi lại dữ liệu được thực hiện theo cách tương tự với cách ghi và nhớ dữ liệu. Nghĩa là, điện thế của đường dẫn thứ tư được thiết lập bằng điện thế mà ở đó tranzito 162 được bật, và tranzito 162 được bật. Như vậy, điện thế của đường dẫn thứ ba (điện thế dùng cho dữ liệu mới) được cấp tới cực cổng của tranzito 160. Sau đó, điện thế của đường dẫn thứ tư được thiết lập bằng điện thế mà ở đó tranzito 162 được tắt, và tranzito 162 được tắt, nhờ đó dữ liệu mới được lưu giữ.

Trong thiết bị bán dẫn theo sáng chế, dữ liệu có thể được ghi lại trực tiếp nhờ một lần ghi dữ liệu khác như nêu trên. Vì lý do này, thao tác xoá cần thiết đối với bộ nhớ tia chớp hoặc bộ nhớ tương tự là không cần thiết, vì thế sự suy giảm của tốc độ hoạt động gây ra bởi thao tác xoá có thể được ngăn ngừa. Nói cách khác, hoạt động tốc độ cao của thiết bị bán dẫn có thể được thực hiện.

Vì dòng điện tắt của tranzito 162 để ghi, tranzito này có chất bán dẫn oxit, là đặc biệt nhỏ, điện thế của cực cổng của tranzito 160 được giữ trong thời gian dài. Do vậy, ví dụ, hoạt động làm tươi cần thiết cho DRAM thông thường có thể trở thành không cần thiết, hoặc tần số của hoạt động làm tươi có thể có giá trị thấp đáng kể (ví dụ, khoảng một lần mỗi tháng hoặc mỗi năm). Như vậy, thiết bị bán dẫn theo sáng chế gần như có đặc tính của thiết bị bộ nhớ bất khả biến.

Hơn nữa, trong thiết bị bán dẫn theo sáng chế, dữ liệu không bị mất khi dữ liệu được đọc khác với DRAM thông thường; như vậy, việc ghi lại dữ liệu là không cần thiết trong mỗi thao tác đọc. Như nêu trên, tần số của việc ghi dữ liệu có thể được làm giảm đáng kể khi so sánh với DRAM, điều này cho phép làm giảm thích hợp mức tiêu thụ điện.

Hơn nữa, liên quan tới thiết bị bán dẫn theo sáng chế, dữ liệu có thể được ghi lại trực tiếp bằng cách ghi đè dữ liệu mới vào thiết bị bán dẫn. Do vậy, thao tác xoá là cần thiết đối với bộ nhớ tia chớp hoặc bộ nhớ tương tự trở thành không cần thiết, và sự suy giảm tốc độ hoạt động, có nguyên nhân do thao tác xoá, có thể được ngăn chặn. Nói cách khác, hoạt động tốc độ cao của thiết bị bán dẫn có thể được thực hiện. Hơn nữa, điện áp cao cần thiết đối với tranzito cực cổng di động thông thường để ghi và xoá dữ liệu trở thành không cần thiết; như vậy, mức tiêu thụ điện của thiết bị bán dẫn có thể được làm giảm hơn nữa.

Thiết bị bán dẫn theo sáng chế có thể có ít nhất một tranzito ghi và tranzito đọc; do vậy, diện tích của từng ô nhớ có thể là đủ nhỏ khi so sánh

với SRAM hoặc thiết bị tương tự đòi hỏi sáu tranzito trong từng ô nhớ. Nói cách khác, các thiết bị bán dẫn như vậy có thể được bố trí với mật độ cao.

Trong tranzito cực cổng di động thông thường, điện tích di chuyển trong màng cách điện cực cổng (màng cách điện đường hầm) trong thao tác ghi, vì thế sự suy biến của màng cách điện cực cổng (màng cách điện đường hầm) không thể được ngăn chặn. Trái lại, trong ô nhớ theo một phương án của sáng chế, dữ liệu được ghi nhờ hoạt động chuyển mạch của tranzito ghi; do vậy, sự suy biến của màng cách điện cực cổng, thường được xem là một vấn đề, có thể được bỏ qua. Điều này nghĩa là nói chung không có giới hạn về số lần ghi và độ bền ghi là rất cao. Ví dụ, đường đặc tuyến dòng điện-điện áp không bị suy giảm thậm chí sau khi dữ liệu được ghi 1×10^9 lần hoặc hơn nữa (lớn hơn hoặc bằng 1 tỷ lần).

Cần lưu ý rằng độ dịch chuyển hiệu ứng trường của tranzito 162 để ghi, tranzito này có chất bán dẫn oxit, nằm trong khoảng từ $3 \text{ cm}^2/\text{Vs}$ tới $250 \text{ cm}^2/\text{Vs}$, tốt hơn là nằm trong khoảng từ $5 \text{ cm}^2/\text{Vs}$ tới $200 \text{ cm}^2/\text{Vs}$, tốt hơn nữa là, nằm trong khoảng từ $10 \text{ cm}^2/\text{Vs}$ tới $150 \text{ cm}^2/\text{Vs}$, ở trạng thái bật. Hơn nữa, dao động ngưỡng phụ (giá trị S) của tranzito chứa chất bán dẫn oxit được thiết lập nhỏ hơn hoặc bằng $0,1 \text{ V/dec}$. Bằng cách sử dụng tranzito như vậy, thời gian cần thiết để ghi dữ liệu có thể được rút ngắn thích hợp.

Độ dài kênh dẫn L của tranzito 162 để ghi, tranzito này có chất bán dẫn oxit, tốt hơn là nằm trong khoảng từ 10 nm tới 400 nm . Với kích thước kênh dẫn như vậy, có thể thu được các hiệu quả khác nhau như hoạt động tốc độ cao, mức tiêu thụ điện thấp, và việc tích hợp mức cao của tranzito.

Cần lưu ý rằng tranzito có silic tinh thể tốt hơn là được sử dụng cho tranzito 160 để đọc. Cụ thể là, liên quan tới tốc độ gia tăng của thao tác đọc, tranzito kênh n có silic đơn tinh thể tốt hơn là được sử dụng. Tranzito silic đơn tinh thể như vậy có thể được tạo ra bằng cách sử dụng, ví dụ, silic khối (được gọi là mảnh silic).

Cần lưu ý rằng tranzito kênh n được sử dụng trong phần mô tả nêu trên; đương nhiên là tranzito kênh p có thể được sử dụng để thay cho tranzito kênh n.

Kết cấu phẳng và kết cấu tiết diện ngang của thiết bị bán dẫn

Fig.2A và Fig.2B thể hiện một ví dụ về kết cấu của thiết bị bán dẫn. Fig.2A thể hiện tiết diện ngang của thiết bị bán dẫn, và Fig.2B thể hiện hình chiếu bằng của thiết bị bán dẫn. Ở đây, Fig.2A tương ứng với hình vẽ mặt cắt theo đường A1-A2 và đường B1-B2 trên Fig.2B. Thiết bị bán dẫn được thể hiện trên Fig.2A và Fig.2B có tranzito 160 là vật liệu khác với chất bán dẫn oxit ở phần dưới, và tranzito 162 có chất bán dẫn oxit ở phần trên. Cần lưu ý rằng các tranzito 160 và 162 là các tranzito kênh n trong trường hợp này; theo cách khác, tranzito kênh p có thể được sử dụng. Cụ thể là, có thể dễ dàng sử dụng một tranzito kênh p làm tranzito 160.

Tranzito 160 có vùng tạo thành kênh dẫn 116 được tạo ra trong nền 100 là vật liệu bán dẫn, các vùng tạp chất 114 và các vùng nồng độ tạp chất cao 120 (các vùng này có thể được gọi chung là các vùng tạp chất) được tạo ra để kẹp ở giữa vùng tạo thành kênh dẫn 116, lớp cách điện cực cổng 108 được tạo ra trên vùng tạo thành kênh dẫn 116, cực cổng 110 được tạo ra trên lớp cách điện cực cổng 108, và cực nguồn hoặc cực máng (sau đây được gọi là cực nguồn/cực máng) 130a và cực nguồn/cực máng 130b nối điện với các vùng tạp chất 114.

Lớp cách điện thành bên 118 được tạo ra trên mặt bên của cực cổng 110. Vùng nồng độ tạp chất cao 120 được bố trí ở vùng của nền 100 không chồng với lớp cách điện thành bên 118 như được thể hiện trên hình vẽ mặt cắt ngang. Vùng hợp chất kim loại 124 được bố trí trên vùng nồng độ tạp chất cao 120. Lớp cách điện cách ly phần tử 106 được tạo ra trên nền 100 để bao quanh tranzito 160. Lớp cách điện xen giữa 126 và lớp cách điện xen giữa 128 được tạo ra để phủ tranzito 160. Từng cực nguồn/cực máng 130a và cực nguồn/cực máng 130b được nối điện với vùng hợp chất kim loại 124 qua một lỗ hở được tạo ra ở các lớp cách điện xen giữa 126 và

128. Nghĩa là, từng cực nguồn/cực máng 130a và 130b được nối điện với vùng nồng độ tạp chất cao 120 và vùng tạp chất 114 qua vùng hợp chất kim loại 124. Điện cực 130c được tạo ra theo cách tương tự với cách cực nguồn/cực máng 130a và 130b được nối điện với cực cổng 110.

Tranzito 162 có cực cổng 136d được tạo ra trên lớp cách điện xen giữa 128, lớp cách điện cực cổng 138 được tạo ra trên cực cổng 136d, lớp bán dẫn oxit 140 được tạo ra trên lớp cách điện cực cổng 138, và cực nguồn/cực máng 142a và cực nguồn/cực máng 142b được tạo ra trên lớp bán dẫn oxit 140 và nối điện với lớp bán dẫn oxit 140.

Ở đây, cực cổng 136d được tạo ra sao cho được nhúng trong lớp cách điện 132 được tạo ra trên lớp cách điện xen giữa 128. Tương tự cực cổng 136d, điện cực 136a, điện cực 136b, và điện cực 136c lần lượt được tạo ra tiếp xúc với cực nguồn/cực máng 130a, cực nguồn/cực máng 130b, và điện cực 130c.

Lớp cách điện bảo vệ 144 được tạo ra trên tranzito 162 để được làm tiếp xúc với một phần của lớp bán dẫn oxit 140. Lớp cách điện xen giữa 146 được tạo ra trên lớp cách điện bảo vệ 144. Các lỗ hở tiến đến cực nguồn/cực máng 142a và cực nguồn/cực máng 142b được tạo ra trong lớp cách điện bảo vệ 144 và lớp cách điện xen giữa 146. Điện cực 150d và điện cực 150e được tạo ra tiếp xúc lần lượt với cực nguồn/cực máng 142a và cực nguồn/cực máng 142b nhờ các lỗ hở tương ứng. Tương tự các điện cực 150d và 150e, điện cực 150a, điện cực 150b, và điện cực 150c được tạo ra tiếp xúc lần lượt với điện cực 136a, điện cực 136b, và điện cực 136c nhờ các lỗ hở được tạo ra trên lớp cách điện cực cổng 138, lớp cách điện bảo vệ 144, và lớp cách điện xen giữa 146.

Ở đây, lớp bán dẫn oxit 140 tốt hơn là lớp bán dẫn oxit có độ tinh khiết cao mà các tạp chất như hydro đã được loại bỏ khỏi đó. Cụ thể là, nồng độ của hydro trong lớp bán dẫn oxit 140 là nhỏ hơn hoặc bằng 5×10^{19} nguyên tử/cm³, tốt hơn là nhỏ hơn hoặc bằng 5×10^{18} nguyên tử/cm³,

tốt hơn nữa là nhỏ hơn hoặc bằng 5×10^{17} nguyên tử/cm³. Nồng độ hydro đặc biệt thấp như vậy dẫn tới nồng độ chất mang đủ thấp (ví dụ, nhỏ hơn 1×10^{12} /cm³, hoặc nhỏ hơn $1,45 \times 10^{10}$ /cm³) khi so sánh với một mảnh silic thông thường (mảnh silic mà một tạp chất như một lượng không đáng kể của phospho hoặc bo được bổ sung vào) có nồng độ chất mang xấp xỉ bằng 1×10^{14} /cm³. Tranzito 162 với các đặc tính dòng điện tắt đã biết tốt có thể thu được bằng cách sử dụng chất bán dẫn oxit như vậy có độ tinh khiết cao bằng cách làm giảm thích hợp nồng độ hydro và trở thành chất bán dẫn thuần (kiểu i) hoặc gần như là chất bán dẫn thuần (kiểu i). Ví dụ, dòng điện tắt (theo độ rộng kênh dẫn đơn vị (1 μ m)) của tranzito 162 ở nhiệt độ trong phòng (25°C) là nhỏ hơn hoặc bằng 10 zA/ μ m (1 zA (zeptoampe) là 1×10^{-21} A), tốt hơn là nhỏ hơn hoặc bằng 1 zA/ μ m. Dòng điện tắt của tranzito 162 ở 85°C là nhỏ hơn hoặc bằng 100 zA/ μ m (1×10^{-19} A/ μ m), tốt hơn là nhỏ hơn hoặc bằng 10 zA/ μ m (1×10^{-20} A/ μ m). Lớp bán dẫn oxit 140 được tạo ra là chất bán dẫn thuần hoặc gần như là chất bán dẫn thuần bằng cách làm giảm thích hợp nồng độ hydro được sử dụng sao cho dòng điện tắt của tranzito 162 được làm giảm, nhờ đó thiết bị bán dẫn theo sáng chế có thể được thực hiện. Cần lưu ý rằng nồng độ của hydro trong lớp bán dẫn oxit 140 được đo nhờ phép trắc phổ khối ion thứ cấp (SIMS).

Lớp cách điện 152 được tạo ra trên lớp cách điện xen giữa 146. Điện cực 154a, điện cực 154b, điện cực 154c, và điện cực 154d được tạo ra sao cho được nhúng trong lớp cách điện 152. Điện cực 154a tiếp xúc với điện cực 150a. Điện cực 154b tiếp xúc với điện cực 150b. Điện cực 154c tiếp xúc với điện cực 150c và điện cực 150d. Điện cực 154d tiếp xúc với điện cực 150e.

Nghĩa là, trong thiết bị bán dẫn được thể hiện trên Fig.2A và Fig.2B, cực cổng 110 của tranzito 160 và cực nguồn/cực máng 142a của tranzito 162 được nối điện nhờ các điện cực 130c, 136c, 150c, 154c, và 150d.

Phương pháp chế tạo thiết bị bán dẫn

Tiếp theo, một ví dụ về phương pháp chế tạo thiết bị bán dẫn sẽ được mô tả. Trước hết, phương pháp chế tạo tranzito 160 ở phần dưới sẽ được mô tả dưới đây có dựa vào các hình vẽ từ Fig.3A tới Fig.3H, và phương pháp chế tạo tranzito 162 ở phần trên sẽ được mô tả có dựa vào các hình vẽ từ Fig.4A tới Fig.4G và các hình vẽ từ Fig.5A tới Fig.5D.

Phương pháp chế tạo tranzito dưới

Trước hết, nền 100 có vật liệu bán dẫn được tạo ra (xem Fig.3A). Đối với nền 100 có vật liệu bán dẫn, nền bán dẫn đơn tinh thể hoặc nền bán dẫn đa tinh thể làm bằng silic, silic carbua, hoặc vật liệu tương tự; hợp chất nền bán dẫn làm bằng silic germani hoặc vật liệu tương tự; nền SOI; hoặc nền tương tự có thể được sử dụng. Ở đây, một ví dụ về việc sử dụng nền silic đơn tinh thể làm nền 100 có vật liệu bán dẫn được mô tả.

Lớp bảo vệ 102 có tác dụng làm màn che để tạo ra lớp cách điện cách ly phần tử được tạo ra trên nền 100 (xem Fig.3A). Đối với lớp bảo vệ 102, lớp cách điện được tạo ra bằng cách sử dụng silic oxit, silic nitrua, silic nitrua oxit, hoặc vật liệu tương tự có thể được sử dụng. Cần lưu ý rằng trước hoặc sau công đoạn này, một nguyên tố tạp chất tạo ra độ dẫn điện loại n hoặc một nguyên tố tạp chất tạo ra độ dẫn điện loại p có thể được bổ sung vào nền 100 để kiểm soát điện áp ngưỡng của tranzito. Khi vật liệu bán dẫn có trong nền 100 là silic, phospho, asen, hoặc nguyên tố tương tự có thể được sử dụng làm nguyên tố tạp chất tạo ra độ dẫn điện loại n. Bo, nhôm, gali, hoặc nguyên tố tương tự có thể được sử dụng làm nguyên tố tạp chất tạo ra độ dẫn điện loại p.

Tiếp theo, phần nền 100 ở vùng không được phủ bằng lớp bảo vệ 102 (nghĩa là, ở vùng lộ ra) được loại bỏ bằng cách khắc mòn, bằng cách sử dụng lớp bảo vệ 102 làm màn che. Như vậy, vùng chất bán dẫn được cách ly 104 được tạo ra (xem Fig.3B). Liên quan tới công đoạn khắc mòn, công đoạn khắc mòn khô tốt hơn là được thực hiện, tuy nhiên công đoạn khắc mòn ướt có thể được thực hiện. Khí khắc mòn và chất khắc mòn có

thể được lựa chọn thích hợp phụ thuộc vào vật liệu của lớp cần được khắc mòn.

Tiếp đó, lớp cách điện được tạo ra để phủ vùng chất bán dẫn 104, và lớp cách điện ở vùng chồng với vùng chất bán dẫn 104 được loại bỏ có lựa chọn, vì thế các lớp cách điện cách ly phân tử 106 được tạo ra (xem Fig.3B). Lớp cách điện được tạo ra bằng cách sử dụng silic oxit, silic nitrua, silic nitrua oxit, hoặc vật liệu tương tự. Liên quan tới phương pháp loại bỏ lớp cách điện, công đoạn bất kỳ trong số công đoạn xử lý khắc mòn và xử lý đánh bóng như CMP có thể được sử dụng. Cần lưu ý rằng lớp bảo vệ 102 được loại bỏ sau khi tạo thành vùng chất bán dẫn 104 hoặc sau khi tạo thành các lớp cách điện cách ly phân tử 106.

Tiếp theo, lớp cách điện được tạo ra trên vùng chất bán dẫn 104, và một lớp là vật liệu dẫn điện được tạo ra trên lớp cách điện.

Vì lớp cách điện có tác dụng làm lớp cách điện cực cổng sau đó, lớp cách điện tốt hơn là có kết cấu đơn lớp hoặc kết cấu nhiều lớp bằng cách sử dụng một màng chứa silic oxit, silic nitrua oxit, silic nitrua, hafini oxit, nhôm oxit, tantan oxit, hoặc vật liệu tương tự được tạo ra nhờ phương pháp CVD, phương pháp mạ phun, hoặc phương pháp tương tự. Theo cách khác, lớp cách điện có thể được tạo ra theo cách sao cho bề mặt của vùng chất bán dẫn 104 được oxy hoá hoặc nitrua hoá nhờ công đoạn xử lý plasma mật độ cao hoặc công đoạn xử lý oxy hoá nhiệt. Công đoạn xử lý plasma mật độ cao có thể được thực hiện bằng cách sử dụng, ví dụ, hỗn hợp khí của một khí hiếm như He, Ar, Kr, hoặc Xe và một khí như oxy, nitơ oxit, amoniac, nitơ, hoặc hydro. Không có hạn chế cụ thể về độ dày của lớp cách điện; lớp cách điện có thể có độ dày nằm trong khoảng từ 1 nm tới 100 nm.

Lớp có vật liệu dẫn điện có thể được tạo ra bằng cách sử dụng một vật liệu kim loại như nhôm, đồng, titan, tantan, hoặc vonfram. Lớp có vật liệu dẫn điện có thể được tạo ra bằng cách sử dụng một vật liệu bán dẫn như silic đa tinh thể chứa vật liệu dẫn điện. Không có hạn chế cụ thể về

phương pháp tạo ra lớp chứa vật liệu dẫn điện, và nhiều phương pháp tạo thành màng khác nhau như phương pháp làm bay hơi, phương pháp CVD, phương pháp mạ phun, hoặc phương pháp phủ quay có thể được sử dụng. Cần lưu ý rằng phương án này thể hiện một ví dụ về trường hợp trong đó lớp chứa vật liệu dẫn điện được tạo ra bằng cách sử dụng một vật liệu kim loại.

Sau đó, lớp cách điện và lớp có vật liệu dẫn điện được khắc mòn có lựa chọn, vì thế lớp cách điện cực cổng 108 và cực cổng 110 được tạo ra (xem Fig.3C).

Tiếp theo, lớp cách điện 112 để phủ cực cổng 110 được tạo ra (xem Fig.3C). Tiếp đó, các vùng tạp chất 114 có độ sâu tiếp giáp nông với nền 100 được tạo ra bằng cách bổ sung phospho (P), asen (As), hoặc nguyên tố tương tự vào vùng chất bán dẫn 104 (xem Fig.3C). Cần lưu ý rằng phospho hoặc asen được bổ sung để tạo ra tranzito kênh n; một nguyên tố tạp chất như bo (B) hoặc nhôm (Al) có thể được bổ sung trong trường hợp tạo ra tranzito kênh p. Bằng cách tạo thành các vùng tạp chất 114, vùng tạo thành kênh dẫn 116 được tạo ra ở vùng chất bán dẫn 104 bên dưới lớp cách điện cực cổng 108 (xem Fig.3C). Ở đây, nồng độ của tạp chất bổ sung có thể được thiết lập thích hợp; tốt hơn là, nồng độ này được gia tăng khi kích thước của phân tử bán dẫn được thu nhỏ quá mức. Công đoạn trong đó các vùng tạp chất 114 được tạo ra sau khi tạo thành lớp cách điện 112 được sử dụng ở đây; theo cách khác, lớp cách điện 112 có thể được tạo ra sau khi tạo thành các vùng tạp chất 114.

Tiếp theo, các lớp cách điện thành bên 118 được tạo ra (xem Fig.3D). Lớp cách điện này được tạo ra để phủ lớp cách điện 112 và tiếp đó được đưa vào khắc mòn bất đẳng hướng mức cao, nhờ đó các lớp cách điện thành bên 118 có thể được tạo ra theo cách tự định vị thẳng hàng. Lúc này, tốt hơn là, khắc mòn một phần lớp cách điện 112 sao cho mặt trên của cực cổng 110 và mặt trên của các vùng tạp chất 114 được làm lộ ra.

Tiếp đó, lớp cách điện được tạo ra để phủ cực cổng 110, các vùng tạp chất 114, các lớp cách điện thành bên 118, và các vị trí tương tự. Tiếp theo, phospho (P), asen (As), hoặc nguyên tố tương tự được bổ sung vào các vùng mà lớp cách điện tiếp xúc với các vùng tạp chất 114, vì thế các vùng nồng độ tạp chất cao 120 được tạo ra (xem Fig.3E). Sau đó, lớp cách điện được loại bỏ, và lớp kim loại 122 được tạo ra để phủ cực cổng 110, các lớp cách điện thành bên 118, các vùng nồng độ tạp chất cao 120, và các vị trí tương tự (xem Fig.3E). Nhiều phương pháp tạo thành màng khác nhau như phương pháp làm bay hơi chân không, phương pháp mạ phun, hoặc phương pháp phủ quay có thể được sử dụng để tạo ra lớp kim loại 122. Lớp kim loại 122 tốt hơn là được tạo ra bằng cách sử dụng một vật liệu kim loại phản ứng với vật liệu bán dẫn có trong vùng chất bán dẫn 104 để trở thành hợp chất kim loại có độ bền thấp. Các ví dụ về vật liệu kim loại như vậy là titan, tantan, vonfram, niken, coban, và platin.

Tiếp theo, công đoạn xử lý nhiệt được thực hiện sao cho lớp kim loại 122 phản ứng với vật liệu bán dẫn. Như vậy, các vùng hợp chất kim loại 124 tiếp xúc với các vùng nồng độ tạp chất cao 120 được tạo ra (xem Fig.3F). Cần lưu ý rằng khi cực cổng 110 được tạo ra bằng cách sử dụng silic đa tinh thể hoặc vật liệu tương tự, vùng hợp chất kim loại cũng được tạo ra ở vùng của cực cổng 110 tiếp xúc với lớp kim loại 122.

Liên quan tới công đoạn xử lý nhiệt, việc chiếu xạ bằng đèn chớp có thể được sử dụng. Mặc dù đương nhiên là một phương pháp xử lý nhiệt khác có thể được sử dụng, phương pháp mà nhờ đó có thể đạt được việc xử lý nhiệt trong khoảng thời gian đặc biệt ngắn tốt hơn là được sử dụng để cải thiện khoner nữa kiểm soát của phản ứng hoá học khi tạo thành hợp chất kim loại. Cần lưu ý rằng các vùng hợp chất kim loại được tạo ra nhờ phản ứng của vật liệu kim loại và vật liệu bán dẫn và có độ dẫn điện đủ cao. Việc tạo thành các vùng hợp chất kim loại có thể làm giảm thích hợp điện trở và cải thiện các đặc tính phân tử. Cần lưu ý rằng lớp kim loại 122 được loại bỏ sau khi các vùng hợp chất kim loại 124 được tạo ra.

Tiếp đó, lớp cách điện xen giữa 126 và lớp cách điện xen giữa 128 được tạo ra để phủ các linh kiện được tạo ra trong các công đoạn nêu trên (xem Fig.3G). Các lớp cách điện xen giữa 126 và 128 có thể được tạo ra bằng cách sử dụng vật liệu là vật liệu cách điện vô cơ như silic oxit, silic nitrua oxit, silic nitrua, hafni oxit, nhôm oxit, hoặc tantan oxit. Hơn nữa, các lớp cách điện xen giữa 126 và 128 có thể được tạo ra bằng cách sử dụng một vật liệu cách điện hữu cơ như polyimit hoặc nhựa acrylic. Cần lưu ý rằng kết cấu hai lớp của lớp cách điện xen giữa 126 và lớp cách điện xen giữa 128 được sử dụng ở đây; tuy nhiên, kết cấu của lớp cách điện xen giữa không bị giới hạn là kết cấu này. Sau khi tạo thành lớp cách điện xen giữa 128, bề mặt của lớp cách điện xen giữa 128 tốt hơn là được làm phẳng nhờ quy trình CMP, khắc mòn, hoặc quy trình tương tự.

Tiếp đó, các lỗ hở tiến đến các vùng hợp chất kim loại 124 được tạo ra ở các lớp cách điện xen giữa 126 và 128, và cực nguồn/cực máng 130a và cực nguồn/cực máng 130b được tạo ra ở các lỗ hở (xem Fig.3H). Cực nguồn/cực máng 130a và 130b có thể được tạo ra theo cách sao cho một lớp dẫn điện được tạo ra ở vùng có các lỗ hở nhờ phương pháp PVD, phương pháp CVD, hoặc quy trình tương tự và tiếp đó một phần của lớp dẫn điện được loại bỏ bằng cách khắc mòn, quy trình CMP, hoặc quy trình tương tự.

Cần lưu ý rằng trong trường hợp cực nguồn/cực máng 130a và 130b được tạo ra bằng cách loại bỏ một phần của lớp dẫn điện, quy trình tốt hơn là được thực hiện sao cho các bề mặt được làm phẳng. Ví dụ, khi một màng titan mỏng hoặc màng titan nitrua mỏng được tạo ra ở vùng có các lỗ hở và tiếp đó một màng vonfram được tạo ra sao cho được nhúng trong các lỗ hở, vonfram, titan, titan nitrua, hoặc vật liệu tương tự còn thừa có thể được loại bỏ và độ phẳng của bề mặt có thể được cải thiện nhờ quy trình CMP sau đó. Bề mặt có cực nguồn/cực máng 130a và 130b được làm phẳng theo cách như vậy, vì thế điện cực, mạch nối dây, lớp cách điện, lớp

bán dẫn, và linh kiện tương tự có thể được tạo ra thuận lợi trong các công đoạn sau.

Cần lưu ý rằng chỉ cực nguồn/cực máng 130a và 130b tiếp xúc với các vùng hợp chất kim loại 124 được thể hiện ở đây; tuy nhiên, điện cực tiếp xúc với cực cổng 110 (ví dụ, điện cực 130c trên Fig.2A) và điện cực tương tự cũng có thể được tạo ra trong công đoạn này. Không có hạn chế cụ thể về vật liệu được sử dụng làm cực nguồn/cực máng 130a và 130b, và nhiều vật liệu dẫn điện khác nhau có thể được sử dụng. Ví dụ, vật liệu dẫn điện như molybden, titan, crom, tantan, vonfram, nhôm, đồng, neodim, hoặc scandi có thể được sử dụng.

Nhờ các công đoạn nêu trên, tranzito 160 sử dụng nền 100 có vật liệu bán dẫn được tạo ra. Cần lưu ý rằng điện cực, mạch nối dây, lớp cách điện, hoặc linh kiện tương tự có thể được tạo ra bổ sung sau công đoạn nêu trên. Khi các mạch nối dây có kết cấu nhiều lớp là kết cấu phân lớp bao gồm lớp cách điện xen giữa và lớp dẫn điện, thiết bị bán dẫn có mức việc tích hợp mức cao có thể được tạo ra.

Phương pháp chế tạo tranzito trên

Tiếp theo, các công đoạn để chế tạo tranzito 162 trên lớp cách điện xen giữa 128 sẽ được mô tả có dựa vào các hình vẽ từ Fig.4A tới Fig.4G và các hình vẽ từ Fig.5A tới Fig.5D. Cần lưu ý rằng các hình vẽ từ Fig.4A tới Fig.4G và các hình vẽ từ Fig.5A tới Fig.5D thể hiện các công đoạn để chế tạo các điện cực, tranzito 162, và linh kiện tương tự trên lớp cách điện xen giữa 128; do vậy, tranzito 160 và linh kiện tương tự nằm bên dưới tranzito 162 được loại bỏ.

Trước hết, lớp cách điện 132 được tạo ra trên lớp cách điện xen giữa 128, cực nguồn/cực máng 130a và 130b, và điện cực 130c (xem Fig.4A). Lớp cách điện 132 có thể được tạo ra nhờ phương pháp PVD, phương pháp CVD, hoặc phương pháp tương tự. Lớp cách điện 132 có thể được tạo ra bằng cách sử dụng vật liệu có vật liệu cách điện vô cơ như silic oxit, silic nitrua oxit, silic nitrua, hafni oxit, nhôm oxit, hoặc tantan oxit.

Tiếp theo, các lỗ hở tiến đến cực nguồn/cực máng 130a và 130b và điện cực 130c được tạo ra trong lớp cách điện 132. Lúc này, một lỗ hở cũng được tạo ra ở vùng mà cực cổng 136d sẽ được tạo ra sau đó. Tiếp đó, lớp dẫn điện 134 được tạo ra sao cho được nhúng trong các lỗ hở (xem Fig.4B). Các lỗ hở có thể được tạo ra nhờ phương pháp như khắc mòn bằng cách sử dụng một màn che. Màn che này có thể được tạo ra nhờ phương pháp như phơi sáng bằng cách sử dụng một màn che quang. Công đoạn khắc mòn ướt hoặc công đoạn khắc mòn khô có thể được sử dụng làm công đoạn khắc mòn; công đoạn khắc mòn khô tốt hơn là được sử dụng liên quan tới việc vi chế tạo. Lớp dẫn điện 134 có thể được tạo ra nhờ phương pháp tạo màng như phương pháp PVD hoặc phương pháp CVD. Lớp dẫn điện 134 có thể được tạo ra bằng cách sử dụng vật liệu dẫn điện như molybden, titan, crom, tantan, vonfram, nhôm, đồng, neodim, hoặc scandi hoặc một hợp kim hay một hợp chất (ví dụ, nitrua) vật liệu bất kỳ trong số các vật liệu này.

Cụ thể là, có thể sử dụng phương pháp, ví dụ, trong đó màng titan mỏng được tạo ra ở vùng có các lỗ hở nhờ phương pháp PVD và màng titan nitrua mỏng được tạo ra nhờ phương pháp CVD, và tiếp đó, màng vonfram được tạo ra sao cho được nhúng trong các lỗ hở. Ở đây, màng titan được tạo ra nhờ phương pháp PVD có chức năng làm giảm một màng oxit được tạo ra trên bề mặt của các điện cực dưới (Ở đây, cực nguồn/cực máng 130a và 130b, điện cực 130c, và điện cực tương tự) để làm giảm điện trở tiếp xúc với các điện cực dưới. Màng titan nitrua được tạo ra sau khi tạo thành màng titan có chức năng chắn để ngăn ngừa hiện tượng khuếch tán của vật liệu dẫn điện. Màng đồng có thể được tạo ra nhờ phương pháp mạ sau khi tạo thành màng chắn bằng titan, titan nitrua, hoặc vật liệu tương tự.

Sau khi lớp dẫn điện 134 được tạo ra, một phần của lớp dẫn điện 134 được loại bỏ bằng cách khắc mòn, quy trình CMP, hoặc quy trình tương tự, vì thế lớp cách điện 132 được làm lộ ra và các điện cực 136a, 136b, và

136c và cực cổng 136d được tạo ra (xem Fig.4C). Cần lưu ý rằng khi các điện cực 136a, 136b, và 136c và cực cổng 136d được tạo ra bằng cách loại bỏ một phần của lớp dẫn điện 134, quy trình tốt hơn là được thực hiện sao cho các bề mặt được làm phẳng. Các bề mặt của lớp cách điện 132, các điện cực 136a, 136b, và 136c, và cực cổng 136d được làm phẳng theo cách như vậy, nhờ đó điện cực, mạch nối dây, lớp cách điện, lớp bán dẫn, và linh kiện tương tự có thể được tạo ra thuận lợi trong các công đoạn sau.

Tiếp theo, lớp cách điện cực cổng 138 được tạo ra để phủ lớp cách điện 132, các điện cực 136a, 136b, và 136c, và cực cổng 136d (xem Fig.4D). Lớp cách điện cực cổng 138 có thể được tạo ra nhờ phương pháp CVD, phương pháp mạ phun, hoặc phương pháp tương tự. Lớp cách điện cực cổng 138 tốt hơn là được tạo ra bằng cách sử dụng silic oxit, silic nitrua, silic oxy-nitrat, silic nitrua oxit, nhôm oxit, hafni oxit, tantan oxit, hoặc vật liệu tương tự. Cần lưu ý rằng lớp cách điện cực cổng 138 có thể có kết cấu đơn lớp hoặc kết cấu nhiều lớp. Ví dụ, lớp cách điện cực cổng 138 làm bằng silic oxy-nitrat có thể được tạo ra nhờ phương pháp CVD plasma bằng cách sử dụng silan (SiH_4), oxy, và nitơ làm khí nguồn. Không có hạn chế cụ thể về độ dày của lớp cách điện cực cổng 138; lớp cách điện cực cổng 138 có thể có độ dày nằm trong khoảng từ 10 nm tới 500 nm. Trong trường hợp sử dụng kết cấu nhiều lớp, ví dụ, lớp cách điện cực cổng 138 tốt hơn là cụm xếp chồng của lớp cách điện cực cổng thứ nhất có độ dày nằm trong khoảng từ 50 nm tới 200 nm, và lớp cách điện cực cổng thứ hai có độ dày nằm trong khoảng từ 5 nm tới 300 nm trên lớp cách điện cực cổng thứ nhất.

Cần lưu ý rằng chất bán dẫn oxit sẽ trở thành chất bán dẫn thuần hoặc gần như là chất bán dẫn thuần bằng cách loại bỏ các tạp chất (chất bán dẫn oxit có độ tinh khiết cao) là khá nhạy với mức mặt phân cách và điện tích mặt phân cách; do đó, khi chất bán dẫn oxit như vậy được sử dụng đối với lớp bán dẫn oxit, mặt phân cách với lớp cách điện cực cổng là

yếu tố quan trọng. Nói cách khác, lớp cách điện cực cổng 138 sẽ tiếp xúc với lớp bán dẫn oxit có độ tinh khiết cao cần phải có chất lượng cao.

Ví dụ, tốt hơn là, lớp cách điện cực cổng 138 được tạo ra nhờ phương pháp CVD plasma mật độ cao bằng cách sử dụng vi sóng (tần số 2,45 GHz) vì lớp cách điện cực cổng 138 có thể có mật độ cao và có điện áp chịu đựng cao và chất lượng cao. Khi lớp bán dẫn oxit có độ tinh khiết cao và lớp cách điện cực cổng chất lượng cao tiếp xúc với nhau, mức mặt phân cách có thể được làm giảm và các đặc tính mặt phân cách có thể là có lợi.

Hiển nhiên là, thậm chí khi lớp bán dẫn oxit có độ tinh khiết cao được sử dụng, một phương pháp khác như phương pháp mạ phun hoặc phương pháp CVD plasma có thể được sử dụng miễn là lớp cách điện chất lượng cao có thể được tạo ra làm lớp cách điện cực cổng. Hơn nữa, có thể sử dụng lớp cách điện có chất lượng và các đặc tính của mặt phân cách với lớp bán dẫn oxit được cải thiện với công đoạn xử lý nhiệt được thực hiện sau khi tạo thành lớp cách điện. Trong trường hợp bất kỳ, lớp cách điện có chất lượng màng đáp ứng yêu cầu làm lớp cách điện cực cổng 138 và có thể làm giảm mật độ mức mặt phân cách với lớp bán dẫn oxit để tạo ra mặt phân cách đáp ứng yêu cầu được tạo ra làm lớp cách điện cực cổng 138.

Nếu tạp chất có trong chất bán dẫn oxit, liên kết giữa tạp chất và thành phần chính của chất bán dẫn oxit được phân cắt bởi ứng suất như điện trường cao hoặc nhiệt độ cao để dẫn đến liên kết dao động, điều này gây ra dịch chuyển của điện áp ngưỡng (V_{th}).

Các tạp chất có trong chất bán dẫn oxit, cụ thể là hydro và nước, được làm giảm tới mức tối thiểu và các đặc tính mặt phân cách giữa chất bán dẫn oxit và lớp cách điện cực cổng được tạo ra đáp ứng yêu cầu như nêu trên, nhờ đó có thể thu được tranzito có thể ổn định đối với các ứng suất như điện trường cao và nhiệt độ cao.

Tiếp theo, lớp bán dẫn oxit được tạo ra trên lớp cách điện cực cổng 138 và được xử lý nhờ phương pháp như khắc mòn bằng cách sử dụng một

màn che, vì thế lớp bán dẫn oxit có dạng đảo 140 được tạo ra (xem Fig.4E).

Liên quan tới lớp bán dẫn oxit, tốt hơn là, sử dụng lớp bán dẫn oxit dựa trên In-Ga-Zn-O, lớp bán dẫn oxit dựa trên In-Sn-Zn-O, lớp bán dẫn oxit dựa trên In-Al-Zn-O, lớp bán dẫn oxit dựa trên Sn-Ga-Zn-O, lớp bán dẫn oxit dựa trên Al-Ga-Zn-O, lớp bán dẫn oxit dựa trên Sn-Al-Zn-O, lớp bán dẫn oxit dựa trên In-Zn-O, lớp bán dẫn oxit dựa trên Sn-Zn-O, lớp bán dẫn oxit dựa trên Al-Zn-O, lớp bán dẫn oxit dựa trên In-O, lớp bán dẫn oxit dựa trên Sn-O, hoặc lớp bán dẫn oxit dựa trên Zn-O. Tốt hơn là, các lớp bán dẫn oxit này tồn tại ở trạng thái vô định hình. Trong kết cấu theo phương án này, liên quan tới lớp bán dẫn oxit, lớp bán dẫn oxit vô định hình được tạo ra nhờ phương pháp mạ phun bằng cách sử dụng một mục tiêu để làm lắng phủ chất bán dẫn oxit dựa trên In-Ga-Zn-O. Cần lưu ý rằng vì trạng thái kết tinh của lớp bán dẫn oxit vô định hình có thể được ngăn chặn bằng cách bổ sung silic vào lớp bán dẫn oxit vô định hình, lớp bán dẫn oxit có thể được tạo ra, ví dụ, bằng cách sử dụng một mục tiêu chứa SiO₂ nằm trong khoảng từ 2 tới 10% theo trọng lượng.

Đối với mục tiêu được sử dụng để tạo ra lớp bán dẫn oxit nhờ phương pháp mạ phun, mục tiêu làm lắng phủ chất bán dẫn oxit chứa zinc oxit làm thành phần chính có thể được sử dụng. Hơn nữa, mục tiêu để làm lắng phủ chất bán dẫn oxit chứa In, Ga, và Zn (tỷ lệ thành phần của In₂O₃:Ga₂O₃:ZnO = 1:1:1 [tỷ lệ mol]) có thể được sử dụng. Ngoài ra, mục tiêu để làm lắng phủ chất bán dẫn oxit chứa In, Ga, và Zn (tỷ lệ thành phần của In₂O₃:Ga₂O₃:ZnO = 1:1:2 [tỷ lệ mol] hoặc tỷ lệ thành phần của In₂O₃:Ga₂O₃:ZnO = 1:1:4 [tỷ lệ mol]) có thể được sử dụng. Tỷ lệ nạp đầy của mục tiêu để làm lắng phủ chất bán dẫn oxit nằm trong khoảng từ 90% tới 100%, tốt hơn là lớn hơn hoặc bằng 95% (ví dụ, 99,9%). Lớp bán dẫn oxit mật độ cao được tạo ra bằng cách sử dụng mục tiêu để làm lắng phủ chất bán dẫn oxit với tỷ lệ nạp đầy cao.

Môi trường khí trong đó lớp bán dẫn oxit được tạo ra tốt hơn là môi trường khí hiếm (cụ thể là argon), môi trường khí oxy, hoặc môi trường khí hỗn hợp chứa khí hiếm (cụ thể là argon) và oxy. Tốt hơn là, sử dụng một khí có độ tinh khiết cao, ví dụ, mà tạp chất như hydro, nước, hợp chất có nhóm hydroxyl, hoặc hydrua được loại bỏ ra khỏi đó sao cho nồng độ cỡ vài ppm (tốt hơn là vài ppb).

Khi tạo ra lớp bán dẫn oxit, nên được giữ trong một khoang xử lý được duy trì ở áp suất thấp và nhiệt độ nên được điều chỉnh nằm trong khoảng từ 100°C tới 600°C, tốt hơn là nằm trong khoảng từ 200°C tới 400°C. Lớp bán dẫn oxit được tạo ra trong khi nên được gia nhiệt, vì thế nồng độ tạp chất của lớp bán dẫn oxit có thể được làm giảm. Hơn nữa, hư hại của lớp bán dẫn oxit do mạ phun được làm giảm. Tiếp đó, khí mạ phun mà hydro và nước đã được loại bỏ khỏi đó được đưa vào khoang xử lý đang được loại bỏ hơi ẩm, và lớp bán dẫn oxit được tạo ra bằng cách sử dụng một oxit kim loại làm mục tiêu. Tốt hơn là, một bơm chân không bẫy được sử dụng để loại bỏ hơi ẩm còn lại trong khoang xử lý. Ví dụ, một bơm cryo, bơm ion, hoặc bơm thăng hoa titan có thể được sử dụng. Một thiết bị tháo có thể là bơm kiểu tuabin có bẫy lạnh. Trong khoang lắng phủ được tháo hơi ẩm nhờ bơm cryo, ngoài hợp chất chứa nguyên tử carbon, nguyên tử hydro, hợp chất chứa nguyên tử hydro như nước (H_2O), và chất tương tự được loại bỏ, nhờ đó nồng độ tạp chất của lớp bán dẫn oxit được tạo ra trong khoang lắng phủ có thể được làm giảm.

Lớp bán dẫn oxit có thể được tạo ra ở các điều kiện như sau: khoảng cách giữa nền và mục tiêu là 100 mm; áp suất là 0,6 Pa; công suất nguồn điện một chiều (DC) là 0,5 kW; và môi trường khí là oxy (lưu lượng của oxy là 100%). Cần lưu ý rằng, tốt hơn là, sử dụng nguồn điện một chiều (DC) kiểu xung vì các chất dạng bột (còn được gọi là các hạt hoặc bụi) được tạo ra khi làm lắng phủ màng có thể được làm giảm và phân bố độ dày có thể là nhỏ. Độ dày của lớp bán dẫn oxit nằm trong khoảng từ 2 nm tới 200 nm, tốt hơn là nằm trong khoảng từ 5 nm tới 30 nm. Cần lưu ý rằng

độ dày thích hợp thay đổi phụ thuộc vào vật liệu bán dẫn oxit, và độ dày được điều chỉnh thích hợp phụ thuộc vào vật liệu sẽ được sử dụng.

Cần lưu ý rằng trước khi lớp bán dẫn oxit được tạo ra nhờ phương pháp mạ phun, bụi trên bề mặt của lớp cách điện cực cổng 138 tốt hơn là được loại bỏ bằng cách mạ phun ngược trong đó khí argon được đưa vào và trạng thái plasma được tạo ra. Ở đây, mạ phun ngược là phương pháp mà nhờ đó các ion va đập với bề mặt cần được xử lý sao cho bề mặt này được thay đổi, trái ngược với phương pháp mạ phun tiêu chuẩn mà nhờ đó các ion va đập với mục tiêu mạ phun. Một ví dụ về phương pháp để tạo ra các ion va đập với bề mặt cần được xử lý là phương pháp trong đó điện áp cao tần được cấp tới bề mặt trong môi trường khí argon sao cho trạng thái plasma được tạo ra gần nền. Cần lưu ý rằng môi trường khí nitơ, môi trường khí heli, môi trường khí oxy, hoặc môi trường khí tương tự có thể được sử dụng để thay cho môi trường khí argon.

Liên quan tới phương pháp khắc mòn đối với lớp bán dẫn oxit, công đoạn khắc mòn khô hoặc công đoạn khắc mòn ướt có thể được sử dụng. Đương nhiên là công đoạn khắc mòn khô và công đoạn khắc mòn ướt có thể được sử dụng kết hợp. Các điều kiện khắc mòn (ví dụ, khí khắc mòn hoặc dung dịch khắc mòn, thời gian khắc mòn, và nhiệt độ) được thiết lập thích hợp phụ thuộc vào vật liệu sao cho lớp bán dẫn oxit có thể được khắc mòn thành hình dạng mong muốn.

Một ví dụ về khí khắc mòn được sử dụng cho công đoạn khắc mòn khô là khí chứa clo (khí dựa trên clo như clo (Cl_2), bo clorua (BCl_3), silic clorua (SiCl_4), hoặc carbon tetrachlorua (CCl_4)). Hơn nữa, một khí chứa flo (khí dựa trên flo như carbon tetrafluorua (CF_4), lưu huỳnh florua (SF_6), nitơ florua (NF_3), hoặc triflometan (CHF_3)), hydro bromua (HBr), oxy (O_2), khí bất kỳ trong số các khí này mà một khí hiếm như heli (He) hoặc argon (Ar) được bổ sung vào, hoặc khí tương tự có thể được sử dụng.

Liên quan tới phương pháp khắc mòn khô, phương pháp RIE (khắc mòn ion phản ứng) tấm song song hoặc phương pháp khắc mòn ICP

(plasma liên kết bằng cảm ứng) có thể được sử dụng. Để khắc mòn lớp bán dẫn oxit thành hình dạng mong muốn, các điều kiện khắc mòn (ví dụ, mức điện năng được cấp tới một điện cực dạng cuộn dây, mức điện năng được cấp tới điện cực ở phía nền, và nhiệt độ điện cực ở phía nền) được thiết lập theo cách thích hợp.

Đối với chất khắc mòn được sử dụng cho công đoạn khắc mòn ướt, dung dịch hỗn hợp của axit phosphoric, axit axetic, và axit nitric hoặc dung dịch tương tự có thể được sử dụng. Chất khắc mòn như ITO07N (được sản xuất bởi KANTO CHEMICAL CO., INC.) cũng có thể được sử dụng.

Tiếp đó, công đoạn xử lý nhiệt thứ nhất tốt hơn là được thực hiện trên lớp bán dẫn oxit. Lớp bán dẫn oxit có thể được khử nước hoặc được khử hydro nhờ công đoạn xử lý nhiệt thứ nhất. Nhiệt độ của công đoạn xử lý nhiệt thứ nhất lớn hơn hoặc bằng 300°C và nhỏ hơn hoặc bằng 750°C, tốt hơn là lớn hơn hoặc bằng 400°C và nhỏ hơn điểm biến dạng của nền. Ví dụ, nền được đưa vào một lò điện trong đó một phân tử gia nhiệt điện trở hoặc phương tiện tương tự được sử dụng và lớp bán dẫn oxit 140 được đưa vào công đoạn xử lý nhiệt ở nhiệt độ 450°C trong một giờ trong môi trường khí nitơ. Lớp bán dẫn oxit 140 không được tiếp xúc với không khí trong công đoạn xử lý nhiệt sao cho sự xâm nhập của nước và hydro có thể được ngăn ngừa.

Thiết bị xử lý nhiệt không bị giới hạn là lò điện và có thể là thiết bị để gia nhiệt một đối tượng bằng bức xạ nhiệt hoặc hiện tượng truyền nhiệt từ một môi trường như khí được gia nhiệt. Ví dụ, một thiết bị ủ nhiệt nhanh (RTA) như thiết bị ủ nhiệt nhanh dùng khí (GRTA) hoặc thiết bị ủ nhiệt nhanh dùng đèn (LRTA) có thể được sử dụng. Thiết bị LRTA là thiết bị để gia nhiệt một đối tượng cần được xử lý bằng bức xạ của ánh sáng (sóng điện từ) được phát từ một đèn như đèn halogen, đèn halogen kim loại, đèn hồ quang xenon, đèn hồ quang cacbon, đèn natri áp suất cao, hoặc đèn thủy ngân áp suất cao. Thiết bị GRTA là thiết bị để thực hiện

công đoạn xử lý nhiệt bằng cách sử dụng một khí nhiệt độ cao. Liên quan tới khí này, một khí trơ không phản ứng với một đối tượng trong công đoạn xử lý nhiệt, ví dụ, nitơ hoặc khí hiếm như argon, được sử dụng.

Ví dụ, liên quan tới công đoạn xử lý nhiệt thứ nhất, quy trình GRTA có thể được thực hiện như sau. Nền được đặt trong một khí trơ đã được gia nhiệt tới nhiệt độ cao nằm trong khoảng từ 650°C tới 700°C, được gia nhiệt trong vài phút, và được lấy ra khỏi khí trơ. Quy trình GRTA cho phép thực hiện công đoạn xử lý nhiệt nhiệt độ cao trong thời gian ngắn. Hơn nữa, quy trình GRTA có thể được sử dụng thậm chí khi nhiệt độ vượt quá điểm biến dạng của nền vì đây là công đoạn xử lý nhiệt trong thời gian ngắn.

Cần lưu ý rằng công đoạn xử lý nhiệt thứ nhất tốt hơn là được thực hiện trong môi trường khí có nitơ hoặc khí hiếm (ví dụ, heli, neon, hoặc argon) làm thành phần chính và không chứa nước, hydro, hoặc thành phần tương tự. Ví dụ, độ tinh khiết của nitơ hoặc khí hiếm như heli, neon, hoặc argon được đưa vào thiết bị xử lý nhiệt lớn hơn hoặc bằng 6 N (99,9999%), tốt hơn là lớn hơn hoặc bằng 7 N (99,99999%) (nghĩa là, nồng độ tạp chất nhỏ hơn hoặc bằng 1 ppm, tốt hơn là nhỏ hơn hoặc bằng 0,1 ppm).

Phụ thuộc vào các điều kiện của công đoạn xử lý nhiệt thứ nhất hoặc vật liệu của lớp bán dẫn oxit, lớp bán dẫn oxit thường được làm kết tinh thành vi tinh thể hoặc đa tinh thể. Ví dụ, lớp bán dẫn oxit thường trở thành lớp bán dẫn oxit vi tinh thể có mức độ kết tinh lớn hơn hoặc bằng 90%, hoặc lớn hơn hoặc bằng 80%. Hơn nữa, phụ thuộc vào các điều kiện của công đoạn xử lý nhiệt thứ nhất hoặc vật liệu của lớp bán dẫn oxit, lớp bán dẫn oxit có thể là lớp bán dẫn oxit vô định hình không chứa thành phần kết tinh.

Ngoài ra, lớp bán dẫn oxit thường trở thành lớp trong đó kết cấu vi tinh thể (cỡ hạt nằm trong khoảng từ 1 nm tới 20 nm, thường nằm trong

khoảng từ 2 nm tới 4 nm) được trộn trong chất bán dẫn oxit vô định hình (ví dụ, bề mặt của lớp bán dẫn oxit).

Các đặc tính điện của lớp bán dẫn oxit có thể được thay đổi bằng cách định vị thẳng hàng các vi tinh thể trong vùng vô định hình của lớp bán dẫn oxit. Ví dụ, khi lớp bán dẫn oxit được tạo ra bằng cách sử dụng mục tiêu để làm lắng phủ chất bán dẫn oxit dựa trên In-Ga-Zn-O, các đặc tính điện của lớp bán dẫn oxit có thể được thay đổi nhờ sự tạo thành của phân vi tinh thể trong đó các hạt tinh thể của $\text{In}_2\text{Ga}_2\text{ZnO}_7$ với tính không đẳng hướng điện được định vị thẳng hàng.

Cụ thể là, ví dụ, khi các hạt tinh thể được bố trí sao cho trục c của $\text{In}_2\text{Ga}_2\text{ZnO}_7$ vuông góc với bề mặt của lớp bán dẫn oxit, độ dẫn theo hướng song song với bề mặt của lớp bán dẫn oxit có thể được cải thiện và các đặc tính cách điện theo hướng vuông góc với bề mặt của lớp bán dẫn oxit có thể được cải thiện. Ngoài ra, phân vi tinh thể như vậy có chức năng ngăn chặn sự xâm nhập của tạp chất như nước hoặc hydro vào lớp bán dẫn oxit.

Cần lưu ý rằng lớp bán dẫn oxit có phân vi tinh thể có thể được tạo ra bằng cách gia nhiệt lớp bán dẫn oxit nhờ quy trình GRTA. Hơn nữa, tốt hơn là, lớp bán dẫn oxit có thể được tạo ra bằng cách sử dụng một mục tiêu mạ phun trong đó lượng Zn nhỏ hơn so với lượng In hoặc Ga.

Công đoạn xử lý nhiệt thứ nhất đối với lớp bán dẫn oxit 140 có thể được thực hiện trên lớp bán dẫn oxit chưa được xử lý thành lớp bán dẫn oxit có dạng đảo 140. Trong trường hợp này, sau công đoạn xử lý nhiệt thứ nhất, nên được lấy ra khỏi thiết bị gia nhiệt và công đoạn in ảnh litô được thực hiện.

Cần lưu ý rằng công đoạn xử lý nhiệt thứ nhất có thể được gọi là xử lý khử nước, xử lý khử hydro, hoặc xử lý tương tự vì có tác dụng khử nước hoặc khử hydro trên lớp bán dẫn oxit 140. Việc xử lý khử nước hoặc xử lý khử hydro như vậy có thể được thực hiện, ví dụ, sau khi lớp bán dẫn oxit được tạo ra, sau khi cực nguồn và cực máng được xếp chồng trên lớp bán dẫn oxit 140, hoặc sau khi lớp cách điện bảo vệ được tạo ra trên cực nguồn

và cực máng. Việc xử lý khử nước hoặc xử lý khử hydro có thể được thực hiện một lần hoặc nhiều lần.

Tiếp theo, cực nguồn/cực máng 142a và cực nguồn/cực máng 142b được tạo ra tiếp xúc với lớp bán dẫn oxit 140 (xem Fig.4F). Cực nguồn/cực máng 142a và 142b có thể được tạo ra theo cách sao cho lớp dẫn điện được tạo ra để phủ lớp bán dẫn oxit 140 và tiếp đó được khắc mòn có lựa chọn.

Lớp dẫn điện có thể được tạo ra nhờ phương pháp PVD như phương pháp mạ phun, hoặc phương pháp CVD như phương pháp CVD plasma. Liên quan tới vật liệu làm lớp dẫn điện, một nguyên tố được chọn từ nhôm, crom, đồng, tantan, titan, molypden, hoặc vonfram; một hợp kim chứa nguyên tố bất kỳ trong số các nguyên tố này làm thành phần; hoặc vật liệu tương tự có thể được sử dụng. Hơn nữa, một hoặc nhiều vật liệu được chọn từ mangan, magie, ziriconi, berili, hoặc thori có thể được sử dụng. Nhôm kết hợp với một hoặc nhiều nguyên tố được chọn từ titan, tantan, vonfram, molypden, crom, neodim, hoặc scandi có thể được sử dụng. Lớp dẫn điện có thể có kết cấu đơn lớp hoặc kết cấu nhiều lớp có hai hoặc nhiều lớp. Ví dụ, lớp dẫn điện có thể có kết cấu đơn lớp làm bằng màng nhôm chứa silic, kết cấu hai lớp trong đó một màng titan được xếp chồng trên một màng nhôm, hoặc kết cấu ba lớp trong đó màng titan, màng nhôm, và màng titan được xếp chồng theo thứ tự này.

Ở đây, ánh sáng tử ngoại, ánh sáng laze KrF, hoặc ánh sáng laze ArF tốt hơn là được sử dụng để phơi sáng khi tạo ra một màn che được sử dụng để khắc mòn.

Độ dài kênh dẫn (L) của tranzito được xác định bởi khoảng cách giữa phần mép dưới của cực nguồn/cực máng 142a và phần mép dưới của cực nguồn/cực máng 142b. Cần lưu ý rằng để phơi sáng trong trường hợp độ dài kênh dẫn (L) nhỏ hơn 25 nm, việc phơi sáng để tạo ra màn che được thực hiện với tia tử ngoại cực ngắn có bước sóng từ cỡ vài nm tới vài trăm nm. Độ phân giải của việc phơi sáng bằng tia tử ngoại cực ngắn là cao và độ sâu của tiêu điểm là lớn. Vì các lý do này, độ dài kênh dẫn (L) của

tranzito sẽ được tạo ra sau đó có thể nằm trong khoảng từ 10 nm tới 1000 nm, và mạch có thể hoạt động ở tốc độ cao hơn. Hơn nữa, dòng điện tắt là đặc biệt thấp để ngăn không cho mức tiêu thụ điện gia tăng.

Vật liệu và các điều kiện khắc mòn của lớp dẫn điện và lớp bán dẫn oxit 140 được điều chỉnh thích hợp sao cho lớp bán dẫn oxit 140 không được loại bỏ khi khắc mòn lớp dẫn điện. Cần lưu ý rằng trong một số trường hợp, lớp bán dẫn oxit 140 được khắc mòn một phần trong công đoạn khắc mòn và vì thế có phần rãnh (phần lõm) phụ thuộc vào vật liệu và các điều kiện khắc mòn.

Lớp dẫn điện oxit có thể được tạo ra giữa lớp bán dẫn oxit 140 và cực nguồn/cực máng 142a và giữa lớp bán dẫn oxit 140 và cực nguồn/cực máng 142b. Lớp dẫn điện oxit và lớp kim loại để tạo ra cực nguồn/cực máng 142a và 142b có thể được lần lượt tạo ra. Lớp dẫn điện oxit có thể thực hiện chức năng làm vùng cực nguồn và vùng cực máng. Việc bố trí lớp dẫn điện oxit như vậy có thể làm giảm điện trở của vùng cực nguồn và vùng cực máng, vì thế tranzito có thể hoạt động ở tốc độ cao.

Để làm giảm số lượng của các màn che cần được sử dụng và làm giảm số lượng các công đoạn, công đoạn khắc mòn có thể được thực hiện bằng cách sử dụng một màn che chống ăn mòn được tạo ra bằng cách sử dụng một màn che đa tông là màn che ánh sáng mà ánh sáng được truyền qua đó có nhiều cường độ. Màn che chống ăn mòn được tạo ra bằng cách sử dụng một màn che đa tông có nhiều độ dày (có dạng hình sao) và còn có thể được thay đổi hình dạng bằng cách phủ tro; do vậy, màn che chống ăn mòn có thể được sử dụng trong các công đoạn khắc mòn để gia công thành các hình dạng khác nhau. Nghĩa là, màn che chống ăn mòn tương ứng với ít nhất hai loại hình dạng khác nhau có thể được tạo ra bằng cách sử dụng một màn che đa tông. Như vậy, số lượng của các màn che ánh sáng có thể được làm giảm và số lượng của các công đoạn in ảnh litô tương ứng cũng có thể được làm giảm, nhờ đó quy trình thực hiện có thể được đơn giản hoá.

Cần lưu ý rằng công đoạn xử lý plasma tốt hơn là được thực hiện bằng cách sử dụng một khí như N_2O , n_2 , hoặc Ar sau công đoạn nêu trên. Công đoạn xử lý plasma này loại bỏ nước hoặc thành phần tương tự bám vào bề mặt lộ ra của lớp bán dẫn oxit. Công đoạn xử lý plasma có thể được thực hiện bằng cách sử dụng hỗn hợp khí của oxy và argon.

Tiếp theo, lớp cách điện bảo vệ 144 được tạo ra tiếp xúc với một phần của lớp bán dẫn oxit 140 mà không tiếp xúc với không khí (xem Fig.4G).

Lớp cách điện bảo vệ 144 có thể được tạo ra nhờ phương pháp mà theo đó các tạp chất như nước và hydro được ngăn không cho trộn lẫn với lớp cách điện bảo vệ 144, như phương pháp mạ phun, theo cách thích hợp. Lớp cách điện bảo vệ 144 có độ dày ít nhất là 1 nm. Lớp cách điện bảo vệ 144 có thể được tạo ra bằng cách sử dụng silic oxit, silic nitrua, silic oxynitrat, silic nitrua oxit, hoặc chất tương tự. Lớp cách điện bảo vệ 144 có thể có kết cấu đơn lớp hoặc kết cấu nhiều lớp. Nhiệt độ nền khi tạo ra lớp cách điện bảo vệ 144 tốt hơn là lớn hơn hoặc bằng nhiệt độ trong phòng và nhỏ hơn hoặc bằng $300^{\circ}C$. Môi trường khí để tạo ra lớp cách điện bảo vệ 144 tốt hơn là môi trường khí hiếm (cụ thể là argon), môi trường khí oxy, hoặc môi trường khí hỗn hợp chứa khí hiếm (cụ thể là argon) và oxy.

Nếu hydro có trong lớp cách điện bảo vệ 144, hydro có thể đi vào lớp bán dẫn oxit hoặc tách oxy trong lớp bán dẫn oxit, nhờ đó điện trở của lớp bán dẫn oxit ở mặt sau kênh dẫn có thể được làm giảm và một kênh dẫn ký sinh có thể được tạo ra. Do vậy, một yêu cầu quan trọng là không sử dụng hydro khi tạo ra lớp cách điện bảo vệ 144 sao cho lớp cách điện oxit 140 có hydro càng ít càng tốt.

Hơn nữa, lớp cách điện bảo vệ 144 tốt hơn là được tạo ra trong khi nước còn lại trong khoang xử lý được loại bỏ, sao cho hydro, nhóm hydroxyl, hoặc nước không có trong lớp bán dẫn oxit 140 và lớp cách điện bảo vệ 144.

Tốt hơn là, bơm chân không bẫy được sử dụng để loại bỏ hơi ẩm còn lại trong khoang xử lý. Ví dụ, một bơm cryo, bơm ion, hoặc bơm thăng hoa titan tốt hơn là được sử dụng. Một thiết bị tháo có thể là bơm kiểu tuabin có bẫy lạnh. Trong khoang lắng phủ được tháo hơi ẩm nhờ bơm cryo, nguyên tử hydro và hợp chất chứa nguyên tử hydro, như nước (H_2O), được loại bỏ, ví dụ; như vậy, nồng độ tạp chất của lớp cách điện bảo vệ 144 được tạo ra trong khoang lắng phủ có thể được làm giảm.

Liên quan tới khí mạ phun được sử dụng để tạo ra lớp cách điện bảo vệ 144, tốt hơn là, sử dụng một khí có độ tinh khiết cao mà tạp chất như hydro, nước, hợp chất có nhóm hydroxyl, hoặc hydrua được loại bỏ ra khỏi đó sao cho nồng độ của tạp chất được làm giảm tới cỡ vài ppm (tốt hơn là vài ppb).

Tiếp theo, công đoạn xử lý nhiệt thứ hai tốt hơn là được thực hiện trong môi trường khí trơ hoặc môi trường khí oxy (ở nhiệt độ nằm trong khoảng từ $200^{\circ}C$ tới $400^{\circ}C$, ví dụ, nằm trong khoảng từ $250^{\circ}C$ tới $350^{\circ}C$). Ví dụ, công đoạn xử lý nhiệt thứ hai được thực hiện ở nhiệt độ $250^{\circ}C$ trong một giờ trong môi trường khí nitơ. Công đoạn xử lý nhiệt thứ hai có thể làm giảm thay đổi các đặc tính điện của tranzito.

Ngoài ra, công đoạn xử lý nhiệt có thể được thực hiện ở nhiệt độ nằm trong khoảng từ $100^{\circ}C$ tới $200^{\circ}C$ trong khoảng thời gian từ 1 tới 30 giờ trong không khí. Công đoạn xử lý nhiệt này có thể được thực hiện ở nhiệt độ gia nhiệt cố định; theo cách khác, thay đổi sau đây của nhiệt độ gia nhiệt có thể được thực hiện lặp lại nhiều lần: nhiệt độ gia nhiệt được gia tăng từ nhiệt độ trong phòng tới nhiệt độ nằm trong khoảng từ $100^{\circ}C$ tới $200^{\circ}C$ và tiếp đó được làm giảm thành nhiệt độ trong phòng. Công đoạn xử lý nhiệt này có thể được thực hiện ở áp suất quy đổi trước khi lớp cách điện bảo vệ được tạo ra. Thời gian xử lý nhiệt có thể được rút ngắn ở áp suất quy đổi. Công đoạn xử lý nhiệt này ở áp suất quy đổi có thể được

thực hiện để thay cho công đoạn xử lý nhiệt thứ hai hoặc có thể được thực hiện trước hoặc sau công đoạn xử lý nhiệt thứ hai.

Tiếp theo, lớp cách điện xen giữa 146 được tạo ra trên lớp cách điện bảo vệ 144 (xem Fig.5A). Lớp cách điện xen giữa 146 có thể được tạo ra nhờ phương pháp PVD, phương pháp CVD, hoặc phương pháp tương tự. Lớp cách điện xen giữa 146 có thể được tạo ra bằng cách sử dụng vật liệu bao gồm vật liệu cách điện vô cơ như silic oxit, silic nitrua oxit, silic nitrua, hafni oxit, nhôm oxit, hoặc tantan oxit. Sau khi tạo thành lớp cách điện xen giữa 146, bề mặt của lớp cách điện xen giữa 146 tốt hơn là được làm phẳng nhờ quy trình CMP, khắc mòn, hoặc quy trình tương tự.

Tiếp theo, các lỗ hở tiến đến các điện cực 136a, 136b, và 136c và cực nguồn/cực máng 142a và 142b được tạo ra trong lớp cách điện xen giữa 146, lớp cách điện bảo vệ 144, và lớp cách điện cực cổng 138. Tiếp đó, lớp dẫn điện 148 được tạo ra sao cho được nhúng trong các lỗ hở (xem Fig.5B). Các lỗ hở có thể được tạo ra nhờ phương pháp như khắc mòn bằng cách sử dụng một màn che. Màn che có thể được tạo ra nhờ phương pháp như phơi sáng bằng cách sử dụng một màn che quang. Công đoạn khắc mòn ướt hoặc công đoạn khắc mòn khô có thể được thực hiện làm làm khắc mòn; công đoạn khắc mòn khô tốt hơn là được sử dụng liên quan tới yêu cầu vi chế tạo. Lớp dẫn điện 148 có thể được tạo ra nhờ phương pháp tạo màng như phương pháp PVD hoặc phương pháp CVD. Lớp dẫn điện 148 có thể được tạo ra bằng cách sử dụng vật liệu dẫn điện như molybden, titan, crom, tantan, vonfram, nhôm, đồng, neodim, hoặc scandi hoặc một hợp kim hoặc hợp chất (ví dụ, nitrua) vật liệu bất kỳ trong số các vật liệu này.

Cụ thể là, có thể sử dụng phương pháp, ví dụ, trong đó màng titan mỏng được tạo ra ở vùng có các lỗ hở nhờ phương pháp PVD và màng titan nitrua mỏng được tạo ra nhờ phương pháp CVD, và tiếp đó, màng vonfram được tạo ra sao cho được nhúng trong các lỗ hở. Ở đây, màng titan được tạo ra nhờ phương pháp PVD có chức năng làm giảm một màng

oxit được tạo ra trên bề mặt của các điện cực dưới (ở đây, các điện cực 136a, 136b, và 136c và cực nguồn/cực máng 142a và 142b) có tác dụng làm giảm điện trở tiếp xúc với các điện cực dưới. Màng titan nitrua được tạo ra sau khi tạo thành màng titan có chức năng chắn để ngăn ngừa hiện tượng khuếch tán của vật liệu dẫn điện. Màng đồng có thể được tạo ra nhờ phương pháp mạ sau khi tạo thành màng chắn bằng titan, titan nitrua, hoặc vật liệu tương tự.

Sau khi lớp dẫn điện 148 được tạo ra, một phần của lớp dẫn điện 148 được loại bỏ bằng cách khắc mòn, quy trình CMP, hoặc quy trình tương tự, vì thế lớp cách điện xen giữa 146 được làm lộ ra và các điện cực 150a, 150b, 150c, 150d, và 150e được tạo ra (xem Fig.5C). Cần lưu ý rằng khi các điện cực 150a, 150b, 150c, 150d, và 150e được tạo ra bằng cách loại bỏ một phần của lớp dẫn điện 148, quy trình tốt hơn là được thực hiện sao cho các bề mặt được làm phẳng. Các bề mặt của lớp cách điện xen giữa 146 và các điện cực 150a, 150b, 150c, 150d, và 150e được làm phẳng theo cách như vậy, nhờ đó điện cực, mạch nối dây, lớp cách điện, và lớp tương tự có thể được tạo ra thuận lợi trong các công đoạn sau.

Tiếp đó, lớp cách điện 152 được tạo ra, và các lỗ hở tiến đến các điện cực 150a, 150b, 150c, 150d, và 150e được tạo ra trong lớp cách điện 152. Sau khi lớp dẫn điện được tạo ra sao cho được nhúng trong các lỗ hở, một phần của lớp dẫn điện được loại bỏ bằng cách khắc mòn, quy trình CMP, hoặc quy trình tương tự. Như vậy, lớp cách điện 152 được làm lộ ra và các điện cực 154a, 154b, 154c, và 154d được tạo ra (xem Fig.5D). Công đoạn này tương tự với công đoạn tạo ra điện cực 150a và bộ phận tương tự; do vậy, phần mô tả chi tiết không được nhắc lại.

Trong trường hợp tranzito 162 được tạo ra nhờ phương pháp nêu trên, nồng độ hydro của lớp bán dẫn oxit 140 nhỏ hơn hoặc bằng 5×10^{19} nguyên tử/cm³ và dòng điện tắt của tranzito 162 nhỏ hơn hoặc bằng 100 zA/ μ m. Tranzito 162 có các đặc tính đặc biệt tốt có thể thu được bằng cách phủ lớp bán dẫn oxit 140 có độ tinh khiết cao bằng cách làm giảm thích

hợp nồng độ hydro như nêu trên. Hơn nữa, có thể thực hiện thiết bị bán dẫn có các đặc tính đặc biệt tốt và có tranzito 160 được tạo ra bằng cách sử dụng một vật liệu khác với chất bán dẫn oxit ở phần dưới và tranzito 162 được tạo ra bằng cách sử dụng chất bán dẫn oxit ở phần trên.

Cần lưu ý rằng silic carbua (ví dụ, 4H-SiC) được xem là vật liệu bán dẫn có thể so sánh với chất bán dẫn oxit. Chất bán dẫn oxit và 4H-SiC có một số đặc tính chung. Mật độ chất mang là một trong số các đặc tính chung này. Mật độ của các chất mang bán dẫn thuần trong chất bán dẫn oxit ở nhiệt độ tiêu chuẩn được đánh giá xấp xỉ bằng $10^{-7}/\text{cm}^3$. Giá trị này của mật độ chất mang bán dẫn thuần là đặc biệt nhỏ tương tự với mật độ trong 4H-SiC là $6,7 \times 10^{-11}/\text{cm}^3$. Khi mật độ chất mang bán dẫn thuần của chất bán dẫn oxit được so sánh với mật độ chất mang bán dẫn thuần của silic (xấp xỉ bằng $1,4 \times 10^{10}/\text{cm}^3$), cần phải hiểu rằng mật độ chất mang bán dẫn thuần của chất bán dẫn oxit là thấp đáng kể.

Hơn nữa, khe dải năng lượng của chất bán dẫn oxit nằm trong khoảng từ 3,0 eV tới 3,5 eV và khe dải năng lượng của 4H-SiC là 3,26 eV. Như vậy, chất bán dẫn oxit và silic carbua là tương tự vì chúng đều là chất bán dẫn có khe dải năng lượng rộng.

Mặt khác, có một khác biệt chủ yếu giữa chất bán dẫn oxit và silic carbua là nhiệt độ quy trình. Vì silic carbua nói chung cần phải được đưa vào công đoạn xử lý nhiệt ở nhiệt độ nằm trong khoảng từ 1500°C tới 2000°C, khó có thể tạo ra cụm xếp chồng của silic carbua và phần tử bán dẫn được tạo ra bằng cách sử dụng một vật liệu bán dẫn khác với silic carbua. Sở dĩ như vậy là vì nền bán dẫn, phần tử bán dẫn, hoặc bp tương tự bị hư hại ở nhiệt độ cao như vậy. Trong khi đó, chất bán dẫn oxit có thể được tạo ra nhờ công đoạn xử lý nhiệt ở nhiệt độ nằm trong khoảng từ 300°C tới 500°C (nhiệt độ chuyển pha thủy tinh hoặc thấp hơn, lên tới khoảng 700°C); do vậy, có thể tạo ra mạch tích hợp bằng cách sử dụng

một vật liệu bán dẫn khác với chất bán dẫn oxit và tạo ra phân tử bán dẫn là chất bán dẫn oxit.

Ngoài ra, trái ngược với silic carbua, chất bán dẫn oxit là có lợi vì một nền có khả năng chịu nhiệt thấp như nền thuỷ tinh có thể được sử dụng. Hơn nữa, chất bán dẫn oxit không cần phải được đưa vào công đoạn xử lý nhiệt ở nhiệt độ cao, vì thế chi phí năng lượng có thể được làm giảm đủ thấp khi so sánh với silic carbua, đây là một ưu điểm khác.

Mặc dù nhiều nghiên cứu về đặc tính của chất bán dẫn oxit đã được thực hiện, các nghiên cứu này không nêu ý tưởng về việc làm giảm thích hợp các mức cục bộ trong khe năng lượng. Theo một phương án của sáng chế, chất bán dẫn oxit có độ tinh khiết cao được tạo ra bằng cách loại bỏ nước hoặc hydro có thể là nguyên nhân tạo thành các mức cục bộ. Điều này dựa trên ý tưởng là các mức cục bộ trong khe năng lượng được làm giảm đáng kể. Chất bán dẫn oxit có độ tinh khiết cao như vậy cho phép chế tạo các sản phẩm công nghiệp đặc biệt tốt.

Hơn nữa, còn có thể tạo ra chất bán dẫn oxit có độ tinh khiết cao hơn (kiểu i) bằng cách cấp oxy tới liên kết dao động của kim loại được tạo ra nhờ khoảng trống oxy để làm giảm các mức cục bộ do khoảng trống oxy này. Ví dụ, một màng oxit chứa oxy quá mức được tạo ra tiếp xúc với vùng tạo thành kênh dẫn và tiếp đó oxy được cấp tới vùng tạo thành kênh dẫn từ màng oxit, vì thế các mức cục bộ do khoảng trống oxy có thể được làm giảm.

Khuyết tật của chất bán dẫn oxit được cho là mức nông bên dưới dải dẫn do hydro thừa, mức sâu do thiếu oxy, hoặc yếu tố tương tự. Việc loại bỏ hoàn toàn hydro và cung cấp đầy đủ oxy được thực hiện nhằm loại bỏ khuyết tật như vậy.

Cơ chế dẫn của tranzito chứa chất bán dẫn oxit

Tiếp theo, cơ chế dẫn của tranzito chứa chất bán dẫn oxit sẽ được mô tả có dựa vào Fig.11, Fig.12A và Fig.12B, Fig.13A và Fig.13B, và

Fig.14. Cần lưu ý rằng phân mô tả tiếp theo dựa trên giả định về điều kiện lý tưởng để đơn giản hoá.

Fig.11 là hình vẽ mặt cắt ngang thể hiện tranzito được bố trí so le đảo có chất bán dẫn oxit. Lớp bán dẫn oxit (OS) được tạo ra trên lớp cực cổng (GE1) với lớp cách điện cực cổng (GI) ở giữa, và cực nguồn (S) và cực máng (D) được tạo ra trên lớp bán dẫn oxit.

Fig.12A và Fig.12B là các sơ đồ giản lược thể hiện các kết cấu dải năng lượng theo đường A-A' trên Fig.11. Fig.12A thể hiện trường hợp trong đó điện áp không được cấp tới lớp cực cổng ($V_G = 0$), và không có điện áp hoặc cùng điện áp được cấp tới cực máng và cực nguồn ($V_D = V_S = 0$ hoặc $V_D = V_S$). Fig.12B thể hiện trường hợp trong đó điện áp dương ($V_D > 0$) được cấp tới cực máng và điện áp không được cấp tới lớp cực cổng ($V_G = 0$) (được thể hiện bằng đường nét đứt) và trường hợp trong đó điện áp dương ($V_D > 0$) được cấp tới cực máng và điện áp dương $+V_G$ ($V_G > 0$) được cấp tới lớp cực cổng (được thể hiện bằng đường nét liền). Trong trường hợp điện áp không được cấp tới lớp cực cổng, phân tử mang (electron) không được đưa vào phía chất bán dẫn oxit từ cực nguồn vì hàng rào thế cao, vì thế dòng điện không được dẫn, điều này nghĩa là trạng thái tắt. Mặt khác, khi điện áp dương được cấp tới lớp cực cổng, hàng rào thế được làm giảm và thus dòng điện được dẫn, điều này nghĩa là trạng thái bật.

Fig.13A và Fig.13B là các biểu đồ dải năng lượng (các sơ đồ giản lược) theo đường B-B' trên Fig.11. Fig.13A thể hiện trạng thái trong đó điện thế dương ($V_G > 0$) được cấp tới lớp cực cổng (GE1), nghĩa là, trạng thái bật trong đó phân tử mang (electron) di chuyển giữa cực nguồn và cực máng. Fig.13B thể hiện trạng thái trong đó điện thế âm $-V_G$ ($V_G > 0$) được cấp tới cực cổng (GE1), nghĩa là, trạng thái tắt (trong đó phân tử mang thiếu số không di chuyển).

Fig.14 thể hiện mối tương quan giữa mức chân không, công thoát của kim loại (ϕ_M), và ái lực điện tử của chất bán dẫn oxit (χ).

Kim loại suy biến và mức Fermi tồn tại trong dải dẫn. Trong khi đó, chất bán dẫn oxit thông thường là kiểu n, và mức Fermi (E_f) ở cách xa mức Fermi (E_i) chất bán dẫn thuần ở tâm của khe dải năng lượng và được định vị gần dải dẫn. Đã biết rằng hydro trong chất bán dẫn oxit một phần trở thành chất cho và đây một trong số các nguyên nhân tạo ra chất bán dẫn oxit kiểu n. Hơn nữa, khoảng trống oxy được biết là một trong số các nguyên nhân tạo ra chất bán dẫn oxit kiểu n.

Trái lại, chất bán dẫn oxit theo một phương án của sáng chế là chất bán dẫn oxit được tạo ra là chất bán dẫn thuần (kiểu i) hoặc ở gần chất bán dẫn thuần theo cách sau đây: hydro, là nguyên nhân tạo ra chất bán dẫn oxit kiểu n, được loại bỏ ra khỏi chất bán dẫn oxit bằng cách tinh lọc mức cao, vì thế chất bán dẫn oxit có một nguyên tố (nguyên tố tạp chất) khác với thành phần chính của chất bán dẫn oxit càng ít càng tốt và khoảng trống oxy được loại bỏ. Nghĩa là, một phương án của sáng chế khác biệt ở chỗ, chất bán dẫn oxit được tạo ra là hoặc gần như như chất bán dẫn kiểu i (chất bán dẫn thuần) tinh lọc mức cao không phải bằng cách bổ sung một nguyên tố tạp chất mà bằng cách loại bỏ các tạp chất như hydro và nước và khoảng trống oxy càng nhiều càng tốt. Như vậy, mức Fermi (E_f) có thể so sánh được với mức Fermi (E_i) chất bán dẫn thuần.

Khe dải năng lượng (E_g) và ái lực điện tử (χ) của chất bán dẫn oxit lần lượt là 3,15 eV và 4,3 eV. Công thoát của titan (Ti) có trong cực nguồn hoặc cực máng gần như bằng ái lực điện tử (χ) của chất bán dẫn oxit. Trong trường hợp này, hàng rào Schottky chắn electron không được tạo ra ở mặt phân cách giữa kim loại và chất bán dẫn oxit.

Trong trường hợp công thoát của kim loại (ϕ_M) bằng ái lực điện tử của chất bán dẫn oxit (χ), biểu đồ dải năng lượng (sơ đồ giản lược) trên Fig.12A thu được khi kim loại và chất bán dẫn oxit tiếp xúc với nhau.

Trên Fig.12B, chấm đen (●) biểu thị electron. Khi điện thế dương được cấp tới cực máng, electron đi qua hàng rào (h) để được nạp vào chất bán dẫn oxit, và đi tới cực máng. Độ cao của hàng rào (h) phụ thuộc vào điện áp cực cổng (VG). Khi điện áp cực máng dương được cấp tới cực máng, độ cao của hàng rào (h) là thấp hơn so với độ cao của hàng rào trên Fig.12A trong đó điện áp không được cấp, nghĩa là, một nửa khe dải năng lượng (E_g).

Lúc này, như được thể hiện trên Fig.13A, electron di chuyển ở lân cận mặt phân cách giữa lớp cách điện cực cổng và chất bán dẫn oxit tinh lọc mức cao (phần đáy tại đó chất bán dẫn oxit ổn định về năng lượng).

Như được thể hiện trên Fig.13B, trong trường hợp điện thế âm được cấp tới cực cổng (GE1), vì lỗ là phân tử mang thiếu số hầu như không tồn tại, giá trị dòng điện có thể xấp xỉ bằng 0.

Ví dụ, dòng điện tắt nhỏ hơn hoặc bằng $10 \text{ zA}/\mu\text{m}$ ($1 \times 10^{-20} \text{ A}/\mu\text{m}$) hoặc nhỏ hơn hoặc bằng $1 \text{ zA}/\mu\text{m}$ ($1 \times 10^{-21} \text{ A}/\mu\text{m}$) ở nhiệt độ trong phòng (25°C). Kết quả là, có thể thu được tranzito có dao động ngưỡng phụ (giá trị S) bằng 0,1 V/dec.

Theo cách này, chất bán dẫn oxit có độ tinh khiết cao để có tạp chất khác với thành phần chính của chất bán dẫn oxit càng ít càng tốt, nhờ đó hoạt động của tranzito có thể là có lợi.

Ví dụ biến thể

Fig.6, Fig.7A và Fig.7B, Fig.8A và Fig.8B, và Fig.9A và Fig.9B thể hiện các ví dụ biến thể về kết cấu của các thiết bị bán dẫn. Trong từng thiết bị bán dẫn này, tranzito 162 có kết cấu khác với kết cấu như nêu trên sẽ được mô tả dưới đây ở dạng ví dụ biến thể. Nghĩa là, kết cấu của tranzito 160 là giống như nêu trên.

Fig.6 thể hiện một ví dụ về thiết bị bán dẫn có tranzito 162 trong đó cực cổng 136d được bố trí bên dưới lớp bán dẫn oxit 140 và cực nguồn/cực máng 142a và 142b tiếp xúc với mặt dưới của lớp bán dẫn oxit 140. Cần

lưu ý rằng kết cấu phẳng có thể được thay đổi thích hợp sao cho tương ứng với tiết diện ngang; do vậy, chỉ tiết diện ngang được thể hiện ở đây.

Khác biệt lớn giữa kết cấu theo Fig.6 và kết cấu theo Fig.2A là vị trí mà tại đó lớp bán dẫn oxit 140 được nối với cực nguồn/cực máng 142a và 142b. Nghĩa là, mặt trên của lớp bán dẫn oxit 140 tiếp xúc với cực nguồn/cực máng 142a và 142b trong kết cấu theo Fig.2A, trong khi mặt dưới của lớp bán dẫn oxit 140 tiếp xúc với cực nguồn/cực máng 142a và 142b trong kết cấu theo Fig.6. Hơn nữa, khác biệt về vị trí tiếp xúc dẫn đến cách bố trí khác của các điện cực khác, lớp cách điện, và chi tiết tương tự. Chi tiết về từng linh kiện là giống như chi tiết được thể hiện trên Fig.2A và Fig.2B.

Cụ thể là, thiết bị bán dẫn được thể hiện trên Fig.6 có cực cổng 136d được tạo ra trên lớp cách điện xen giữa 128, lớp cách điện cực cổng 138 được tạo ra trên cực cổng 136d, cực nguồn/cực máng 142a và 142b được tạo ra trên lớp cách điện cực cổng 138, và lớp bán dẫn oxit 140 tiếp xúc với mặt trên của cực nguồn/cực máng 142a và 142b.

Ở đây, cực cổng 136d được tạo ra sao cho được nhúng trong lớp cách điện 132 được tạo ra trên lớp cách điện xen giữa 128. Tương tự cực cổng 136d, điện cực 136a, điện cực 136b, và điện cực 136c được tạo ra lần lượt tiếp xúc với cực nguồn/cực máng 130a, cực nguồn/cực máng 130b, và điện cực 130c.

Lớp cách điện bảo vệ 144 được tạo ra trên tranzito 162 để được làm tiếp xúc với một phần của lớp bán dẫn oxit 140. Lớp cách điện xen giữa 146 được tạo ra trên lớp cách điện bảo vệ 144. Các lỗ hở tiến đến cực nguồn/cực máng 142a và cực nguồn/cực máng 142b được tạo ra trong lớp cách điện bảo vệ 144 và lớp cách điện xen giữa 146. Điện cực 150d và điện cực 150e được tạo ra lần lượt tiếp xúc với cực nguồn/cực máng 142a và cực nguồn/cực máng 142b nhờ các lỗ hở tương ứng. Tương tự các điện cực 150d và 150e, các điện cực 150a, 150b, và 150c được tạo ra lần lượt tiếp xúc với các điện cực 136a, 136b, và 136c nhờ các lỗ hở được tạo ra

trên lớp cách điện cực cổng 138, lớp cách điện bảo vệ 144, và lớp cách điện xen giữa 146.

Lớp cách điện 152 được tạo ra trên lớp cách điện xen giữa 146. Các điện cực 154a, 154b, 154c, và 154d được tạo ra sao cho được nhúng trong lớp cách điện 152. Điện cực 154a tiếp xúc với điện cực 150a. Điện cực 154b tiếp xúc với điện cực 150b. Điện cực 154c tiếp xúc với điện cực 150c và điện cực 150d. Điện cực 154d tiếp xúc với điện cực 150e.

Fig.7A và Fig.7B thể hiện một ví dụ về kết cấu của thiết bị bán dẫn trong đó cực cổng 136d được bố trí trên lớp bán dẫn oxit 140. Fig.7A thể hiện một ví dụ về kết cấu trong đó cực nguồn/cực máng 142a và 142b tiếp xúc với mặt dưới của lớp bán dẫn oxit 140. Fig.7B thể hiện một ví dụ về kết cấu trong đó cực nguồn/cực máng 142a và 142b tiếp xúc với mặt trên của lớp bán dẫn oxit 140.

Khác biệt lớn giữa các kết cấu theo Fig.7A và Fig.7B và kết cấu theo Fig.2A và Fig.6 nằm ở chỗ cực cổng 136d được bố trí trên lớp bán dẫn oxit 140. Ngoài ra, khác biệt lớn giữa kết cấu theo Fig.7A và kết cấu theo Fig.7B nằm ở chỗ cực nguồn/cực máng 142a và 142b tiếp xúc với mặt dưới hoặc mặt trên của lớp bán dẫn oxit 140. Hơn nữa, các khác biệt này dẫn đến cách bố trí khác của các điện cực khác, lớp cách điện, và chi tiết tương tự. Chi tiết về từng linh kiện là giống như chi tiết được thể hiện trên Fig.2A và Fig.2B, và hình vẽ tương tự.

Cụ thể là, thiết bị bán dẫn được thể hiện trên Fig.7A có cực nguồn/cực máng 142a và 142b được tạo ra trên lớp cách điện xen giữa 128, lớp bán dẫn oxit 140 tiếp xúc với mặt trên của cực nguồn/cực máng 142a và 142b, lớp cách điện cực cổng 138 được tạo ra trên lớp bán dẫn oxit 140, và cực cổng 136d trên lớp cách điện cực cổng 138 ở vùng chồng với lớp bán dẫn oxit 140.

Thiết bị bán dẫn trên Fig.7B có lớp bán dẫn oxit 140 được tạo ra trên lớp cách điện xen giữa 128, cực nguồn/cực máng 142a và 142b được tạo ra tiếp xúc với mặt trên của lớp bán dẫn oxit 140, lớp cách điện cực cổng 138

được tạo ra trên lớp bán dẫn oxit 140 và cực nguồn/cực máng 142a và 142b, và cực cổng 136d trên lớp cách điện cực cổng 138 ở vùng chồng với lớp bán dẫn oxit 140.

Cần lưu ý rằng trong các kết cấu theo Fig.7A và Fig.7B, một bộ phận (ví dụ, điện cực 150a hoặc điện cực 154a) có thể được loại bỏ ra khỏi kết cấu theo Fig.2A và Fig.2B hoặc kết cấu tương tự trong một số trường hợp. Trong các trường hợp như vậy, có thể thu được hiệu ứng thứ cấp như đơn giản hoá quy trình chế tạo. Đương nhiên là một bộ phận không cơ bản có thể được loại bỏ trong các kết cấu theo Fig.2A và Fig.2B và kết cấu tương tự.

Fig.8A và Fig.8B thể hiện một ví dụ về trường hợp trong đó kích thước của phân tử là tương đối lớn và cực cổng 136d được bố trí bên dưới lớp bán dẫn oxit 140. Trong trường hợp này, yêu cầu về độ phẳng của bề mặt và độ phủ là tương đối vừa phải, vì thế không cần phải tạo ra mạch nối dây, điện cực, và chi tiết tương tự nhúng trong lớp cách điện. Ví dụ, cực cổng 136d và chi tiết tương tự có thể được tạo ra bằng cách bố trí sau khi tạo hình lớp dẫn điện. Cần lưu ý rằng mặc dù không được thể hiện trên hình vẽ, tranzito 160 có thể được tạo ra theo cách tương tự.

Khác biệt lớn giữa kết cấu theo Fig.8A và kết cấu theo Fig.8B nằm ở chỗ cực nguồn/cực máng 142a và 142b tiếp xúc với mặt dưới hoặc mặt trên của lớp bán dẫn oxit 140. Hơn nữa, các khác biệt này dẫn đến các điện cực khác, lớp cách điện, và chi tiết tương tự được bố trí theo cách khác. Chi tiết về từng linh kiện là giống như chi tiết được thể hiện trên Fig.2A và Fig.2B, và chi tiết tương tự.

Cụ thể là, thiết bị bán dẫn trên Fig.8A có cực cổng 136d được tạo ra trên lớp cách điện xen giữa 128, lớp cách điện cực cổng 138 được tạo ra trên cực cổng 136d, cực nguồn/cực máng 142a và 142b được tạo ra trên lớp cách điện cực cổng 138, và lớp bán dẫn oxit 140 tiếp xúc với mặt trên của cực nguồn/cực máng 142a và 142b.

Thiết bị bán dẫn trên Fig.8B có cực cổng 136d được tạo ra trên lớp cách điện xen giữa 128, lớp cách điện cực cổng 138 được tạo ra trên cực cổng 136d, lớp bán dẫn oxit 140 được tạo ra trên lớp cách điện cực cổng 138 ở vùng chồng với cực cổng 136d, và cực nguồn/cực máng 142a và 142b được tạo ra tiếp xúc với mặt trên của lớp bán dẫn oxit 140.

Ngoài ra, cần lưu ý rằng trong các kết cấu theo Fig.8A và Fig.8B, một bộ phận có thể được loại bỏ ra khỏi kết cấu theo Fig.2A và Fig.2B hoặc chi tiết tương tự trong một số trường hợp. Ngoài ra, trong các trường hợp như vậy, có thể thu được hiệu ứng thứ cấp như đơn giản hoá quy trình chế tạo.

Fig.9A và Fig.9B thể hiện một ví dụ về trường hợp trong đó kích thước của phần tử là tương đối lớn và cực cổng 136d được bố trí trên lớp bán dẫn oxit 140. Ngoài ra, trong trường hợp này, yêu cầu về độ phẳng của bề mặt và độ phủ là tương đối vừa phải, vì thế không cần phải tạo ra mạch nối dây, điện cực, và chi tiết tương tự nhúng trong lớp cách điện. Ví dụ, cực cổng 136d và bộ phận tương tự có thể được tạo ra bằng cách bố trí sau khi tạo hình lớp dẫn điện. Cần lưu ý rằng mặc dù không được thể hiện trên hình vẽ, tranzito 160 có thể được tạo ra theo cách tương tự.

Khác biệt lớn giữa kết cấu theo Fig.9A và kết cấu theo Fig.9B nằm ở chỗ cực nguồn/cực máng 142a và 142b tiếp xúc với mặt dưới hoặc mặt trên của lớp bán dẫn oxit 140. Hơn nữa, khác biệt này dẫn đến các điện cực khác, lớp cách điện, và chi tiết tương tự được bố trí theo cách khác. Chi tiết về từng linh kiện là giống như chi tiết được thể hiện trên Fig.2A và Fig.2B, và chi tiết tương tự.

Cụ thể là, thiết bị bán dẫn trên Fig.9A có cực nguồn/cực máng 142a và 142b được tạo ra trên lớp cách điện xen giữa 128, lớp bán dẫn oxit 140 tiếp xúc với mặt trên của cực nguồn/cực máng 142a và 142b, lớp cách điện cực cổng 138 được tạo ra trên cực nguồn/cực máng 142a và 142b và lớp bán dẫn oxit 140, và cực cổng 136d được tạo ra trên lớp cách điện cực cổng 138 ở vùng chồng với lớp bán dẫn oxit 140.

Thiết bị bán dẫn trên Fig.9B có lớp bán dẫn oxit 140 được tạo ra trên lớp cách điện xen giữa 128, cực nguồn/cực máng 142a và 142b được tạo ra tiếp xúc với mặt trên của lớp bán dẫn oxit 140, lớp cách điện cực cổng 138 được tạo ra trên cực nguồn/cực máng 142a và 142b và lớp bán dẫn oxit 140, và cực cổng 136d được tạo ra trên lớp cách điện cực cổng 138 ở vùng chồng với lớp bán dẫn oxit 140.

Ngoài ra, cần lưu ý rằng trong các kết cấu theo Fig.9A và Fig.9B, một bộ phận có thể được loại bỏ ra khỏi kết cấu theo Fig.2A và Fig.2B hoặc chi tiết tương tự trong một số trường hợp. Ngoài ra, trong các trường hợp như vậy, có thể thu được hiệu ứng thứ cấp như đơn giản hoá quy trình chế tạo.

Như nêu trên, thiết bị bán dẫn theo sáng chế có thể được thực hiện theo một phương án của sáng chế. Trong kết cấu theo phương án này, các ví dụ trong đó thiết bị bán dẫn được tạo ra bằng cách xếp chồng tranzito 160 và tranzito 162 được mô tả; tuy nhiên, kết cấu của thiết bị bán dẫn không bị giới hạn là kết cấu này. Hơn nữa, phương án này thể hiện các ví dụ trong đó chiều dài kênh dẫn của tranzito 160 vuông góc với chiều dài của tranzito 162; tuy nhiên, mối tương quan vị trí giữa các tranzito 160 và 162 không bị giới hạn ở ví dụ này. Ngoài ra, tranzito 160 và tranzito 162 có thể được tạo ra sao cho chồng với nhau.

Trong kết cấu theo phương án này, thiết bị bán dẫn có một đơn vị nhớ tối thiểu (một bit) được mô tả để đơn giản hoá; tuy nhiên, kết cấu của thiết bị bán dẫn không bị giới hạn như vậy. Một thiết bị bán dẫn tiên tiến hơn có thể được tạo ra bằng cách nối các thiết bị bán dẫn theo cách thích hợp. Ví dụ, một thiết bị bán dẫn kiểu NAND hoặc kiểu NOR có thể được tạo ra bằng cách sử dụng các thiết bị bán dẫn như nêu trên. Kết cấu mạch nối dây không bị giới hạn như trên Fig.1 và có thể được thay đổi theo cách thích hợp.

Thiết bị bán dẫn theo phương án này có thể lưu giữ dữ liệu trong khoảng thời gian đặc biệt dài vì tranzito 162 có dòng điện tắt thấp. Nghĩa

là, hoạt động làm tươi là cần thiết trong DRAM và bộ nhớ tương tự là không cần thiết, vì thế mức tiêu thụ điện có thể được giảm bớt. Hơn nữa, thiết bị bán dẫn theo phương án này có thể được sử dụng làm thiết bị bán dẫn hầu như không mất dữ liệu.

Vì việc ghi hoặc thao tác tương tự của dữ liệu được thực hiện nhờ hoạt động chuyển mạch của tranzito 162, điện áp cao là không cần thiết và sự suy biến của phân tử có thể được bỏ qua. Ngoài ra, dữ liệu được ghi và xoá phụ thuộc vào trạng thái bật và trạng thái tắt của tranzito, nhờ đó hoạt động tốc độ cao có thể được thực hiện dễ dàng. Ngoài ra, một ưu điểm nữa là không cần thao tác xoá dữ liệu vì dữ liệu có thể được ghi lại trực tiếp bằng cách kiểm soát điện thế sẽ được cấp vào tranzito, đây là yêu cầu là cần thiết trong bộ nhớ tia chớp và bộ nhớ tương tự.

Vì tranzito là vật liệu khác với chất bán dẫn oxit có thể hoạt động ở tốc độ cao hơn so với tranzito chứa chất bán dẫn oxit, dữ liệu lưu giữ có thể được đọc ở tốc độ cao bằng cách sử dụng tranzito.

Các kết cấu và các phương pháp được mô tả theo phương án này có thể được kết hợp thích hợp với các kết cấu và các phương pháp bất kỳ được mô tả theo các phương án khác.

Phương án thứ hai

Kết cấu và phương pháp chế tạo thiết bị bán dẫn theo phương án thứ hai của sáng chế sẽ được mô tả có dựa vào Fig.15A và Fig.15B.

Fig.15A thể hiện một ví dụ về kết cấu mạch của thiết bị bán dẫn. Fig.15A khác với Fig.1 ở chỗ tụ điện 164 được tạo ra. Nghĩa là, trên Fig.15A, một trong số cực nguồn và cực máng của tranzito 162, một trong số các điện cực của tụ điện 164, và cực cổng của tranzito 160 được nối điện với nhau. Đường dẫn thứ nhất (còn được gọi là đường dẫn nguồn BL) và cực nguồn của tranzito 160 được nối điện với nhau, và đường dẫn thứ hai (còn được gọi là đường bit BL) và cực máng của tranzito 160 được nối điện với nhau. Đường dẫn thứ ba (còn được gọi là đường tín hiệu thứ nhất S1) và cực kia trong số cực nguồn và cực máng của tranzito 162 được nối

điện với nhau, và đường dẫn thứ tư (còn được gọi là đường tín hiệu thứ hai S2) và cực cổng của tranzito 162 được nối điện với nhau. Đường dẫn thứ năm (còn được gọi là đường từ WL) và điện cực kia của tranzito 164 được nối điện với nhau. Cần lưu ý rằng trên Fig.15A và Fig.15B, ký hiệu "OS" được ghi bên cạnh tranzito để biểu thị rằng tranzito chứa chất bán dẫn oxit.

Ở đây, tranzito chứa chất bán dẫn oxit, như đã được mô tả trên đây, được sử dụng làm tranzito 162. Tranzito chứa chất bán dẫn oxit có đặc tính là dòng điện tắt nhỏ đáng kể. Do vậy, khi tranzito 162 ở trạng thái tắt, điện thế của cực cổng của tranzito 160 có thể được giữ trong khoảng thời gian rất dài. Việc sử dụng tụ điện 164 tạo điều kiện thuận lợi cho việc duy trì điện tích quy định cho cực cổng của tranzito 160 và việc đọc dữ liệu lưu giữ.

Cần lưu ý rằng không có hạn chế cụ thể về tranzito 160. Liên quan tới việc gia tăng tốc độ đọc dữ liệu, tốt hơn là, ví dụ, sử dụng tranzito có tốc độ chuyển mạch cao như tranzito được tạo ra bằng cách sử dụng silic đơn tinh thể.

Thiết bị bán dẫn trên Fig.15A sử dụng đặc tính trong đó điện thế của cực cổng của tranzito 160 có thể được giữ, nhờ đó ghi, lưu giữ và đọc dữ liệu như sau.

Việc ghi và lưu giữ dữ liệu sẽ được mô tả. Trước hết, điện thế của đường dẫn thứ tư được thiết lập bằng điện thế mà ở đó tranzito 162 được bật, vì thế tranzito 162 được bật. Do đó, điện thế của đường dẫn thứ ba được cấp tới cực cổng của tranzito 160 và tụ điện 164. Nghĩa là, điện tích định trước được quy định cho cực cổng của tranzito 160 (ghi). Ở đây, một trong số các điện tích để cấp hai điện thế khác nhau (sau đây, điện tích để cấp điện thế thấp được gọi là điện tích Q_L và điện tích để cấp điện thế cao được gọi là điện tích Q_H) được quy định cho cực cổng của tranzito 160. Cần lưu ý rằng các điện tích tạo ra ba hoặc nhiều hơn điện thế khác nhau có thể được cấp để cải thiện tụ điện lưu giữ. Sau đó, điện thế của đường dẫn thứ tư được thiết lập bằng điện thế mà ở đó tranzito 162 được tắt, vì

thế tranzito 162 được tắt. Như vậy, điện tích quy định cho cực cổng của tranzito 160 được giữ (nhớ).

Vì dòng điện tắt của tranzito 162 là nhỏ đáng kể, điện tích của cực cổng của tranzito 160 được giữ trong thời gian dài.

Tiếp theo, hoạt động đọc dữ liệu sẽ được mô tả. Bằng cách cấp một điện thế thích hợp (điện thế đọc) tới đường dẫn thứ năm trong khi điện thế định trước (điện thế không đổi) được cấp tới đường dẫn thứ nhất, điện thế của đường dẫn thứ hai thay đổi phụ thuộc vào lượng điện tích được duy trì ở cực cổng của tranzito 160. Sở dĩ như vậy là vì nói chung, khi tranzito 160 là tranzito kênh n, điện áp ngưỡng biểu kiến V_{th_H} trong trường hợp Q_H được quy định cho cực cổng của tranzito 160 là thấp hơn so với điện áp ngưỡng biểu kiến V_{th_L} trong trường hợp Q_L được quy định cho cực cổng của tranzito 160. Ở đây, điện áp ngưỡng biểu kiến là điện thế của đường dẫn thứ năm, là cần thiết để bật tranzito 160. Như vậy, điện thế của đường dẫn thứ năm được thiết lập bằng điện thế V_0 giữa V_{th_H} và V_{th_L} , nhờ đó điện tích quy định cho cực cổng của tranzito 160 có thể được xác định. Ví dụ, trong trường hợp Q_H được quy định khi ghi, khi điện thế của đường dẫn thứ năm được thiết lập là $V_0 (> V_{th_H})$, tranzito 160 được bật. Trong trường hợp Q_L được quy định khi ghi, thậm chí khi điện thế của đường dẫn thứ năm được thiết lập là $V_0 (> V_{th_L})$, tranzito 160 vẫn ở trạng thái tắt. Do vậy, dữ liệu lưu giữ có thể được đọc nhờ điện thế của đường dẫn thứ hai.

Cần lưu ý rằng trong trường hợp các ô nhớ được phân mảng để được sử dụng, chỉ dữ liệu của các ô nhớ mong muốn là cần được đọc. Như vậy, trong trường hợp dữ liệu của các ô nhớ định trước được đọc và dữ liệu của các ô nhớ khác không được đọc, điện thế cho phép tranzito 160 có thể được tắt bất kể trạng thái của cực cổng là điện thế thấp hơn so với V_{th_H} có thể được cấp tới đường dẫn thứ năm của các ô nhớ có dữ liệu không được đọc. Theo cách khác, điện thế cho phép tranzito 160 có thể được bật bất kể

trạng thái của cực cổng là điện thế cao hơn so với V_{th_L} có thể được cấp tới đường dẫn thứ năm.

Tiếp theo, việc ghi lại dữ liệu sẽ được mô tả. Việc ghi lại dữ liệu được thực hiện tương tự với việc ghi hoặc lưu giữ dữ liệu. Nghĩa là, điện thế của đường dẫn thứ tư được thiết lập bằng điện thế cho phép tranzito 162 có thể được bật, nhờ đó tranzito 162 được bật. Do đó, điện thế của đường dẫn thứ ba (điện thế liên quan tới dữ liệu mới) được cấp tới cực cổng của tranzito 160 và tụ điện 164. Sau đó, điện thế của đường dẫn thứ tư được thiết lập bằng điện thế cho phép tranzito 162 có thể được tắt, nhờ đó tranzito 162 được tắt. Do đó, điện tích liên quan tới dữ liệu mới được quy định cho cực cổng của tranzito 160.

Như vậy, trong thiết bị bán dẫn theo sáng chế, dữ liệu có thể được ghi lại trực tiếp bằng cách ghi đè dữ liệu mới. Do vậy, việc lấy điện tích từ cực cổng di động bằng cách sử dụng điện áp cao vốn cần thiết trong bộ nhớ tia chớp hoặc bộ nhớ tương tự là không cần thiết và như vậy, sự suy giảm tốc độ hoạt động, có nguyên nhân do thao tác xóa, có thể được ngăn chặn. Nghĩa là, hoạt động tốc độ cao của thiết bị bán dẫn có thể đạt được.

Cần lưu ý rằng cực nguồn hoặc cực máng của tranzito 162 được nối điện với cực cổng của tranzito 160, vì thế có hiệu quả tương tự với hiệu quả của cực cổng di động của tranzito cực cổng di động được sử dụng cho phân tử bộ nhớ không biến đổi. Do vậy, phân hình vẽ trong đó cực nguồn hoặc cực máng của tranzito 162 được nối điện với cực cổng của tranzito 160 được gọi là phân cực cổng di động FG trong một số trường hợp. Khi tranzito 162 ở trạng thái tắt, phân cực cổng di động FG có thể được xem là được nhúng trong một chi tiết cách điện và vì thế điện tích được giữ ở phân cực cổng di động FG. Trị số dòng điện tắt của tranzito 162 có chất bán dẫn oxit nhỏ hơn hoặc bằng 100000 trị số dòng điện tắt của tranzito có chất bán dẫn silic; như vậy, tổn thất điện tích tập trung ở phân cực cổng di động FG do dòng điện rò của tranzito 162 là không đáng kể. Nghĩa là, với

tranzito 162 có chất bán dẫn oxit, thiết bị bộ nhớ bất khả biến có thể lưu giữ dữ liệu mà không cần cấp điện có thể được thực hiện.

Ví dụ, khi dòng điện tắt của tranzito 162 nhỏ hơn hoặc bằng 10 zA (1 zA (zeptoampe) là 1×10^{-21} A) ở nhiệt độ trong phòng (25°C) và trị số điện dung của tụ điện 164 xấp xỉ bằng 10 fF, dữ liệu có thể được lưu giữ dài hơn hoặc bằng 10^4 giây. Đương nhiên là thời gian lưu giữ phụ thuộc vào các đặc tính tranzito và trị số điện dung.

Hơn nữa, trong trường hợp này, vấn đề suy biến của màng cách điện cực cổng (màng cách điện đường hầm), được chỉ ra trong tranzito cực cổng di động thông thường, không tồn tại. Nghĩa là, sự suy biến của màng cách điện cực cổng do nạp electron vào cực cổng di động, vốn được xem là một vấn đề, có thể được bỏ qua. Điều này nghĩa là nói chung không có giới hạn về số lần ghi. Ngoài ra, điện áp cao cần thiết để ghi hoặc xoá trong tranzito cực cổng di động thông thường trở thành không cần thiết.

Các linh kiện như các tranzito trong thiết bị bán dẫn trên Fig.15A có thể được xem là bao gồm một điện trở và tụ điện như được thể hiện trên Fig.15B. Nghĩa là, trên Fig.15B, tranzito 160 và tụ điện 164 được xem là có điện trở và tụ điện. R1 và C1 lần lượt biểu thị trị số điện trở và trị số điện dung của tụ điện 164. Trị số điện trở R1 tương ứng với trị số điện trở phụ thuộc vào lớp cách điện có trong tụ điện 164. R2 và C2 lần lượt biểu thị trị số điện trở và trị số điện dung của tranzito 160. Trị số điện trở R2 tương ứng với trị số điện trở phụ thuộc vào lớp cách điện cực cổng ở thời điểm tranzito 160 bật. Trị số điện dung C2 tương ứng với trị số điện dung của điện dung cực cổng (điện dung được tạo ra giữa cực cổng và cực nguồn hoặc cực máng và điện dung được tạo ra giữa cực cổng và vùng tạo thành kênh dẫn).

Khoảng thời gian duy trì electron (còn được gọi là khoảng thời gian lưu dữ liệu) được xác định chủ yếu nhờ dòng điện tắt của tranzito 162 với các điều kiện là độ rò cực cổng của tranzito 162 là đủ nhỏ và $R1 \geq ROS$ và $R2 \geq ROS$ được thoả mãn, trong đó trị số điện trở (còn được gọi là điện trở

hiệu dụng) giữa cực nguồn và cực máng trong trường hợp tranzito 162 tắt là ROS.

Mặt khác, khi các điều kiện nêu trên không được thoả mãn, khó có thể đảm bảo đủ khoảng thời gian duy trì thậm chí nếu dòng điện tắt của tranzito 162 đủ nhỏ. Sở dĩ như vậy là vì dòng điện rò khác với dòng điện tắt của tranzito 162 (ví dụ, dòng điện rò được tạo ra giữa cực nguồn và cực cổng) là lớn. Như vậy, có thể nói rằng, thiết bị bán dẫn theo phương án này đáp ứng mối tương quan nêu trên.

Mong muốn là $C1 \geq C2$ được thoả mãn. Nếu $C1$ lớn, thay đổi điện thế của đường dẫn thứ năm có thể được ngăn chặn khi điện thế của phần cực cổng di động FG được kiểm soát nhờ đường dẫn thứ năm (ví dụ, ở thời điểm đọc).

Khi mối tương quan nêu trên được thoả mãn, thiết bị bán dẫn tốt hơn có thể được thực hiện. Cần lưu ý rằng R1 và R2 được kiểm soát nhờ lớp cách điện cực cổng của tranzito 160 và lớp cách điện của tụ điện 164. Cùng mối tương quan này được áp dụng cho $C1$ và $C2$. Do vậy, vật liệu, độ dày, và yếu tố tương tự của lớp cách điện cực cổng được thiết lập một cách thích hợp để thoả mãn mối tương quan nêu trên.

Trong thiết bị bán dẫn theo phương án này, phần cực cổng di động FG có hiệu quả tương tự với cực cổng di động của tranzito cực cổng di động của bộ nhớ tia chớp hoặc bộ nhớ tương tự, nhưng phần cực cổng di động FG theo phương án này có dấu hiệu cơ bản khác với dấu hiệu của cực cổng di động của bộ nhớ tia chớp hoặc bộ nhớ tương tự. Trong trường hợp của bộ nhớ tia chớp, vì điện áp được cấp tới cực cổng điều khiển sẽ cao, cần phải duy trì một khoảng cách thích hợp giữa các ô nhớ để ngăn không cho điện thế ảnh hưởng đến cực cổng di động của ô nhớ liền kề. Đây là một trong số các yếu tố cản trở việc tích hợp mức cao của thiết bị bán dẫn. Yếu tố này là do nguyên lý cơ bản của bộ nhớ tia chớp, trong đó dòng điện đường hầm được dẫn khi cấp một điện trường cao.

Hơn nữa, vì nguyên lý nêu trên của bộ nhớ tia chớp, sự suy biến của màng cách điện sẽ phát triển và vì thế xảy ra một vấn đề khác là giới hạn về số lần ghi lại (xấp xỉ từ 10^4 tới 10^5 lần).

Thiết bị bán dẫn theo sáng chế được vận hành nhờ trạng thái chuyển mạch của tranzito chứa chất bán dẫn oxit và không sử dụng nguyên lý nêu trên liên quan tới trạng thái phun điện tích nhờ dòng điện đường hầm. Nghĩa là, một điện trường cao để phun điện tích là không cần thiết khác với bộ nhớ tia chớp. Do đó, không cần phải xem xét ảnh hưởng của điện trường cao từ cực cổng điều khiển trên ô nhớ liên kề, điều này tạo điều kiện thuận lợi cho việc tích hợp mức cao.

Hơn nữa, trạng thái phun điện tích nhờ dòng điện đường hầm không được sử dụng, điều này nghĩa là không có nguyên nhân gây ra sự suy biến của ô nhớ. Nói cách khác, thiết bị bán dẫn theo sáng chế có độ bền và độ tin cậy cao hơn so với bộ nhớ tia chớp.

Ngoài ra, một điều có lợi nữa là điện trường cao trở thành không cần thiết và một mạch bổ sung lớn (như mạch khuếch đại) trở thành không cần thiết khi so sánh với bộ nhớ tia chớp.

Trong trường hợp hằng số điện môi ϵ_{r1} của lớp cách điện có trong C1 khác với hằng số điện môi ϵ_{r2} của lớp cách điện có trong C2, có thể dễ dàng thỏa mãn yêu cầu $C1 \geq C2$ trong khi $2.S2 \geq S1$ (tốt hơn là, $S2 \geq S1$) được thỏa mãn trong đó $S1$ là diện tích của C1 và $S2$ là diện tích của C2. Cụ thể là, ví dụ, một màng làm bằng vật liệu k mức cao như hafni oxit hoặc cụm xếp chồng của một màng làm bằng vật liệu k mức cao như hafni oxit và một màng được làm bằng chất bán dẫn oxit được sử dụng cho C1 sao cho ϵ_{r1} có thể được thiết lập lớn hơn hoặc bằng 10, tốt hơn là lớn hơn hoặc bằng 15, và silic oxit được sử dụng cho C2 sao cho ϵ_{r2} có thể được thiết lập nằm trong khoảng từ 3 tới 4. Kết hợp của các kết cấu như vậy cho phép độ tích hợp mức cao của thiết bị bán dẫn theo sáng chế.

Cần lưu ý rằng trong phần mô tả nêu trên, tranzito kênh n được sử dụng. Tuy nhiên, đương nhiên là tranzito kênh p có thể được sử dụng để thay cho tranzito kênh n.

Như nêu trên, thiết bị bán dẫn theo một phương án của sáng chế có ô nhớ không biến đổi có tranzito ghi trong đó dòng điện rò (dòng điện tắt) giữa cực nguồn và cực máng là nhỏ ở trạng thái tắt, tranzito đọc được làm bằng vật liệu bán dẫn khác với vật liệu của tranzito ghi, và tụ điện.

Dòng điện tắt của tranzito ghi là nhỏ hơn hoặc bằng 100 zA (1×10^{-19} A), tốt hơn là nhỏ hơn hoặc bằng 10 zA (1×10^{-20} A) ở nhiệt độ trong phòng (ví dụ, 25°C), tốt hơn nữa là, nhỏ hơn hoặc bằng 1 zA (1×10^{-21} A) ở nhiệt độ trong phòng (ví dụ, 25°C). Đối với chất bán dẫn silic thông thường, khó có thể đạt được dòng điện tắt nhỏ như nêu trên. Tuy nhiên, ở tranzito thu được bằng cách xử lý chất bán dẫn oxit ở điều kiện thích hợp, dòng điện tắt nhỏ có thể đạt được. Do vậy, tranzito chứa chất bán dẫn oxit tốt hơn là được sử dụng làm tranzito ghi.

Ngoài ra, tranzito chứa chất bán dẫn oxit có dao động ngưỡng phụ (giá trị S) nhỏ, vì thế tốc độ chuyển mạch có thể đủ cao thậm chí nếu độ linh hoạt tương đối thấp. Do vậy, bằng cách sử dụng tranzito làm tranzito ghi, mức độ gia tăng của xung ghi quy định cho phần cực cổng di động FG có thể là rất đột ngột. Hơn nữa, dòng điện tắt là nhỏ và như vậy, lượng điện tích được duy trì ở phần cực cổng di động FG có thể được làm giảm. Nghĩa là, bằng cách sử dụng tranzito chứa chất bán dẫn oxit, việc ghi lại dữ liệu có thể được thực hiện ở tốc độ cao.

Đối với tranzito đọc, tốt hơn là, sử dụng tranzito hoạt động ở tốc độ cao để gia tăng tốc độ đọc. Ví dụ, tranzito với tốc độ chuyển mạch nhỏ hơn hoặc bằng 1 nano giây tốt hơn là được sử dụng làm tranzito đọc.

Dữ liệu được ghi vào ô nhớ bằng cách bật tranzito ghi sao cho điện thế được cấp tới phần cực cổng di động FG trong đó một trong số cực nguồn và cực máng của tranzito ghi, một trong số các điện cực của tụ điện,

và cực cổng của tranzito đọc được nối điện, và tiếp đó tắt tranzito ghi sao cho lượng định trước của điện tích được giữ ở phân cực cổng di động FG. Ở đây, dòng điện tắt của tranzito ghi là rất nhỏ; như vậy, điện tích được cấp tới phân cực cổng di động FG được giữ trong thời gian dài. Khi dòng điện tắt, ví dụ, gần như bằng 0, hoạt động làm tươi cần thiết cho DRAM thông thường có thể trở thành không cần thiết hoặc tần số của hoạt động làm tươi có thể có giá trị thấp đáng kể (ví dụ, khoảng một lần mỗi tháng hoặc mỗi năm). Do đó, mức tiêu thụ điện của thiết bị bán dẫn có thể được làm giảm đủ thấp.

Hơn nữa, dữ liệu có thể được ghi lại trực tiếp bằng cách ghi đè dữ liệu mới vào ô nhớ. Do vậy, thao tác xóa là cần thiết đối với bộ nhớ tia chớp hoặc bộ nhớ tương tự là không cần thiết, và sự suy giảm tốc độ hoạt động, có nguyên nhân do thao tác xóa, có thể được ngăn chặn. Nói cách khác, hoạt động tốc độ cao của thiết bị bán dẫn có thể được thực hiện. Hơn nữa, điện áp cao cần thiết cho tranzito cực cổng di động thông thường để ghi và xóa dữ liệu trở thành không cần thiết; như vậy, mức tiêu thụ điện của thiết bị bán dẫn có thể được làm giảm hơn nữa. Điện áp cao nhất được cấp tới ô nhớ theo phương án này (khác biệt giữa điện thế cao nhất và điện thế thấp nhất được cấp tới các đầu nối tương ứng của ô nhớ cùng lúc) có thể nhỏ hơn hoặc bằng 5 V hoặc nhỏ hơn hoặc bằng 3 V trong từng ô nhớ trong trường hợp dữ liệu có hai trạng thái (một bit) được ghi.

Ô nhớ được tạo ra trong thiết bị bán dẫn theo sáng chế có thể ít nhất có tranzito ghi và tranzito đọc; do vậy, ví dụ, diện tích của từng ô nhớ có thể là đủ nhỏ khi so sánh với SRAM đòi hỏi sáu tranzito trong từng ô nhớ. Nói cách khác, các ô nhớ có thể được bố trí trong thiết bị bán dẫn với mật độ cao.

Trong tranzito cực cổng di động thông thường, điện tích di chuyển trong màng cách điện cực cổng (màng cách điện đường hầm) trong thao tác ghi, vì thế sự suy biến của màng cách điện cực cổng (màng cách điện đường hầm) không thể được ngăn chặn. Trái lại, trong ô nhớ theo một

phương án của sáng chế, dữ liệu được ghi nhờ hoạt động chuyển mạch của tranzito ghi; do vậy, không có sự suy biến của màng cách điện cực cổng. Điều này nghĩa là không có giới hạn về số lần ghi nói chung và độ bền ghi lại là rất cao. Ví dụ, trong ô nhớ theo một phương án của sáng chế, đường đặc tuyến dòng điện-điện áp không bị suy giảm thậm chí sau khi dữ liệu được ghi 1×10^9 lần hoặc hơn nữa (lớn hơn hoặc bằng 1 tỷ lần).

Hơn nữa, trong trường hợp sử dụng tranzito chứa chất bán dẫn oxit làm tranzito ghi của ô nhớ, đường đặc tuyến dòng điện-điện áp của ô nhớ không bị suy giảm thậm chí, ví dụ, ở nhiệt độ cao là 150°C vì chất bán dẫn oxit nói chung có khe năng lượng rộng (ví dụ, nằm trong khoảng từ 3,0 tới 3,5 eV đối với chất bán dẫn oxit dựa trên In-Ga-Zn-O) và đặc biệt ít phân tử mang bị kích hoạt nhiệt.

Bằng cách sử dụng tranzito có các đặc tính đặc biệt tốt như vậy làm tranzito ghi của ô nhớ, thiết bị bán dẫn có theo sáng chế có thể được tạo ra.

Các phương pháp và các kết cấu theo phương án này có thể được kết hợp thích hợp với các phương pháp và các kết cấu bất kỳ được mô tả theo các phương án khác.

Phương án thứ ba

Trong kết cấu theo phương án này, các ví dụ ứng dụng về thiết bị bán dẫn theo một phương án khác của sáng chế sẽ được mô tả có dựa vào Fig.16, Fig.17A và Fig.17B, các hình vẽ từ Fig.18A tới Fig.18C, Fig.19, Fig.20, và Fig.21.

Fig.16 là hình vẽ sơ lược thể hiện thiết bị bán dẫn theo phương án này.

Fig.16 thể hiện một ví dụ về sơ đồ mạch của thiết bị bán dẫn có các thiết bị bán dẫn (sau đây còn được gọi là các ô nhớ 1200) được thể hiện trên Fig.1 hoặc Fig.15A.

Thiết bị bán dẫn trên Fig.16 có mảng ô nhớ trong đó các ô nhớ 1200 được bố trí thành mảng, mạch kích thích thứ nhất 1211, mạch kích thích thứ hai 1212, mạch kích thích thứ ba 1213, mạch kích thích thứ tư 1214,

các đường dẫn L1 nối điện với mạch kích thích thứ nhất 1211, các đường dẫn L2 nối điện với mạch kích thích thứ hai 1212, các đường dẫn L3 nối điện với mạch kích thích thứ ba 1213, và các đường dẫn L4 nối điện với mạch kích thích thứ tư 1214.

Như được thể hiện trên Fig.16, các đường dẫn L1, L2, L3, và L4 được nối điện với từng ô nhớ 1200. Như vậy, hoạt động của từng ô nhớ 1200 có thể được điều khiển bằng cách sử dụng mạch kích thích thứ nhất 1211, mạch kích thích thứ hai 1212, mạch kích thích thứ ba 1213, và mạch kích thích thứ tư 1214. Các ô nhớ 1200 được bố trí thành mảng và các đường dẫn L1, L2, L3, và L4 được tạo ra theo hướng đi xuống hoặc theo hướng cột theo dạng lưới, nhờ đó thao tác ghi và thao tác đọc của thiết bị bán dẫn có thể được thực hiện theo từng hàng hoặc từng cột của các ô nhớ 1200.

Cần lưu ý rằng một đường dẫn từ từng mạch kích thích thứ nhất 1211 tới mạch kích thích thứ tư 1214 được nối điện với ô nhớ 1200 trên Fig.16; tuy nhiên, sáng chế không bị giới hạn như vậy. Nhiều đường dẫn từ một hoặc một số mạch kích thích bất kỳ có thể được nối điện với ô nhớ 1200. Theo cách khác, kết cấu có thể được sử dụng trong đó một đường dẫn của mạch bất kỳ trong số các mạch kích thích hoặc các đường dẫn của một số mạch kích thích không được nối điện với một hoặc một số ô nhớ bất kỳ trong số các ô nhớ 1200.

Trong thiết bị bán dẫn trên Fig.16, mạch kích thích thứ nhất 1211, mạch kích thích thứ hai 1212, mạch kích thích thứ ba 1213, và mạch kích thích thứ tư 1214 được tạo ra riêng biệt; tuy nhiên, sáng chế không bị giới hạn như vậy. Mạch kích thích có một hoặc một số chức năng có thể được sử dụng theo cách khác. Cần lưu ý rằng mạch kích thích tốt hơn là được tạo ra bằng cách sử dụng một vật liệu bán dẫn đơn tinh thể để đảm bảo tốc độ hoạt động thích hợp. Ví dụ, silic khối (được gọi là mảnh silic) tốt hơn là được sử dụng.

Tiếp theo, các ví dụ cụ thể hơn sẽ được mô tả.

Fig.17A và Fig.17B là các ví dụ về các sơ đồ mạch của các thiết bị bán dẫn, trong đó từng thiết bị này có các thiết bị bán dẫn (sau đây còn được gọi là các ô nhớ 400) được thể hiện trên Fig.15A. Fig.17A thể hiện sơ đồ mạch của thiết bị bán dẫn được gọi là NAND trong đó các ô nhớ 400 được nối nối tiếp, và Fig.17B thể hiện sơ đồ mạch của thiết bị bán dẫn được gọi là NOR trong đó các ô nhớ 400 được nối song song.

Thiết bị bán dẫn trên Fig.17A có đường dẫn nguồn SL, đường bit BL, đường tín hiệu thứ nhất S1, các đường tín hiệu thứ hai S2, các đường từ WL, và các ô nhớ 400. Trên Fig.17A, một đường dẫn nguồn SL và một đường bit BL được tạo ra trong thiết bị bán dẫn; tuy nhiên, một phương án của sáng chế không bị giới hạn như vậy. Các đường dẫn nguồn SL và các đường bit BL có thể được tạo ra.

Trong từng ô nhớ 400, cực cổng của tranzito 160, một trong số cực nguồn và cực máng của tranzito 162, và một trong số các điện cực của tụ điện 164 được nối điện với nhau. Đường tín hiệu thứ nhất S1 và cực kia trong số cực nguồn và cực máng của tranzito 162 được nối điện với nhau, và đường tín hiệu thứ hai S2 và cực cổng của tranzito 162 được nối điện với nhau. Đường từ WL và điện cực kia của tụ điện 164 được nối điện với nhau.

Hơn nữa, cực nguồn của tranzito 160 có trong ô nhớ 400 được nối điện với cực máng của tranzito 160 trong ô nhớ liền kề 400. Cực máng của tranzito 160 có trong ô nhớ 400 được nối điện với cực nguồn của tranzito 160 trong ô nhớ liền kề 400. Cần lưu ý rằng cực máng của tranzito 160 có trong ô nhớ 400 của các ô nhớ nối nối tiếp được tạo ra ở một trong hai đầu được nối điện với đường bit BL. Cực nguồn của tranzito 160 có trong ô nhớ 400 của các ô nhớ nối nối tiếp được tạo ra ở đầu kia được nối điện với đường dẫn nguồn SL.

Trong thiết bị bán dẫn trên Fig.17A, thao tác ghi và thao tác đọc được thực hiện theo từng hàng. Thao tác ghi được thực hiện như sau. Điện thế tại đó tranzito 162 được bật được cấp tới đường tín hiệu thứ hai S2 của

hàng mà thao tác ghi cần được thực hiện, vì thế tranzito 162 của hàng mà thao tác ghi cần được thực hiện được bật. Do đó, điện thế của đường tín hiệu thứ nhất S1 được cấp tới cực cổng của tranzito 160 của hàng nhất định, vì thế điện tích định trước được quy định cho cực cổng. Như vậy, dữ liệu có thể được ghi vào ô nhớ của hàng nhất định.

Hơn nữa, thao tác đọc được thực hiện như sau. Trước hết, điện thế mà ở đó tranzito 160 được bật bất kể điện tích quy định cho cực cổng của nó được cấp tới các đường từ WL của các hàng khác với hàng mà thao tác đọc cần được thực hiện, vì thế các tranzito 160 của các hàng khác với hàng mà thao tác đọc cần được thực hiện được bật. Tiếp đó, điện thế (điện thế đọc) tại đó trạng thái bật hoặc trạng thái tắt của tranzito 160 được xác định phụ thuộc vào điện tích ở cực cổng của tranzito 160 được cấp tới đường từ WL của hàng mà thao tác đọc cần được thực hiện. Sau đó, điện thế không đổi được cấp tới đường dẫn nguồn SL sao cho một mạch đọc (không được thể hiện trên hình vẽ) nối với đường bit BL được vận hành. Ở đây, các tranzito 160 giữa đường dẫn nguồn SL và đường bit BL ở trạng thái bật ngoại trừ các tranzito 160 của hàng mà thao tác đọc cần được thực hiện; do vậy, điện dẫn giữa đường dẫn nguồn SL và đường bit BL được xác định bởi trạng thái (trạng thái bật hoặc trạng thái tắt) của các tranzito 160 của hàng mà thao tác đọc cần được thực hiện. Điện dẫn của các tranzito 160 trên đó thao tác đọc được thực hiện phụ thuộc vào điện tích ở các cực cổng của chúng. Như vậy, điện thế của đường bit BL thay đổi tương ứng. Bằng cách đọc điện thế của đường bit BL nhờ mạch đọc, dữ liệu có thể được đọc từ các ô nhớ của hàng nhất định.

Thiết bị bán dẫn trên Fig.17B có các đường dẫn nguồn SL, các đường bit BL, các đường tín hiệu thứ nhất S1, các đường tín hiệu thứ hai S2, các đường từ WL, và các ô nhớ 400. Cực cổng của tranzito 160, một trong số cực nguồn và cực máng của tranzito 162, và một trong số các điện cực của tụ điện 164 được nối điện với nhau. Đường dẫn nguồn SL và cực nguồn của tranzito 160 được nối điện với nhau. Đường bit BL và cực máng

của tranzito 160 được nối điện với nhau. Đường tín hiệu thứ nhất S1 và cực kia trong số cực nguồn và cực máng của tranzito 162 được nối điện với nhau, và đường tín hiệu thứ hai S2 và cực cổng của tranzito 162 được nối điện với nhau. Đường từ WL và điện cực kia của tụ điện 164 được nối điện với nhau.

Trong thiết bị bán dẫn trên Fig.17B, thao tác ghi và thao tác đọc được thực hiện theo từng hàng. Thao tác ghi được thực hiện theo cách tương tự với thao tác ghi của thiết bị bán dẫn trên Fig.17A. Thao tác đọc được thực hiện như sau. Trước hết, điện thế mà ở đó tranzito 160 được tắt bất kể điện tích quy định cho cực cổng của nó được cấp tới các đường từ WL của các hàng khác với hàng mà thao tác đọc cần được thực hiện, vì thế các tranzito 160 của các hàng khác với hàng mà thao tác đọc cần được thực hiện được tắt. Tiếp đó, điện thế (điện thế đọc) tại đó trạng thái bật hoặc trạng thái tắt của tranzito 160 được xác định phụ thuộc vào điện tích ở cực cổng của nó được cấp tới đường từ WL của hàng mà thao tác đọc cần được thực hiện. Sau đó, điện thế không đổi được cấp tới các đường dẫn nguồn SL sao cho một mạch đọc (không được thể hiện trên hình vẽ) nối với các đường bit BL được vận hành. Ở đây, điện dẫn giữa các đường dẫn nguồn SL và các đường bit BL được xác định bởi trạng thái (trạng thái bật hoặc trạng thái tắt) của các tranzito 160 của hàng mà thao tác đọc cần được thực hiện. Nghĩa là, điện thế của các đường bit BL phụ thuộc vào điện tích ở các cực cổng của các tranzito 160 của hàng mà thao tác đọc cần được thực hiện. Bằng cách đọc điện thế của các đường bit BL nhờ mạch đọc, dữ liệu có thể được đọc từ các ô nhớ của hàng nhất định.

Mặc dù lượng dữ liệu có thể được lưu giữ trong từng ô nhớ 400 là một bit trong phần mô tả nêu trên, kết cấu của thiết bị bộ nhớ theo phương án này không bị giới hạn như vậy. Lượng dữ liệu được lưu giữ trong từng ô nhớ 400 có thể được gia tăng bằng cách chuẩn bị ba hoặc nhiều hơn các điện thế sẽ được cấp tới cực cổng của tranzito 160. Ví dụ, trong trường hợp

số lượng của các điện thế sẽ được cấp tới cực cổng của tranzito 160 là bốn, dữ liệu của hai bit có thể được lưu giữ trong từng ô nhớ.

Tiếp theo, các ví dụ về các mạch đọc có thể được sử dụng cho các thiết bị bán dẫn trên Fig.17A và Fig.17B, hoặc thiết bị tương tự sẽ được mô tả có dựa vào các hình vẽ từ Fig.18A tới Fig.18C.

Fig.18A là hình vẽ sơ lược thể hiện mạch đọc. Mạch đọc này có tranzito và mạch khuếch đại cảm biến.

Ở thời điểm đọc dữ liệu, đầu nối A được nối với đường bit BL mà ô nhớ dữ liệu được đọc từ đó được nối với. Hơn nữa, điện thế Vbias được cấp tới cực cổng của tranzito sao cho điện thế của đầu nối A được điều khiển.

Điện trở của ô nhớ 400 thay đổi phụ thuộc vào dữ liệu lưu giữ. Cụ thể là, khi tranzito 160 của ô nhớ được chọn 400 ở trạng thái bật, ô nhớ 400 có điện trở thấp, trong khi khi tranzito 160 của ô nhớ được chọn 400 ở trạng thái tắt, ô nhớ 400 có điện trở cao.

Khi ô nhớ có điện trở cao, điện thế của đầu nối A là cao hơn so với điện thế chuẩn Vref và mạch khuếch đại cảm biến đưa ra điện thế tương ứng với điện thế của đầu nối A. Mặt khác, khi ô nhớ có điện trở thấp, điện thế của đầu nối A là thấp hơn so với điện thế chuẩn Vref và mạch khuếch đại cảm biến đưa ra điện thế tương ứng với điện thế của đầu nối A.

Như vậy, bằng cách sử dụng mạch đọc, dữ liệu có thể được đọc từ ô nhớ. Cần lưu ý rằng mạch đọc theo phương án này là một trong số các ví dụ. Một mạch khác có thể được sử dụng. Mạch đọc có thể còn có một mạch nạp điện trước. Để thay cho điện thế chuẩn Vref, đường bit chuẩn BL có thể được nối với mạch khuếch đại cảm biến.

Fig.18B thể hiện bộ khuếch đại cảm biến vi sai là một ví dụ về mạch khuếch đại cảm biến. Bộ khuếch đại cảm biến vi sai này có các đầu nối vào Vin (+) và Vin (-) và đầu nối ra Vout và khuếch đại hiệu điện thế giữa Vin (+) và Vin (-). Nếu điện thế của Vin (+) cao hơn so với điện thế của Vin (-), Vout đưa ra tín hiệu Cao, trong khi nếu điện thế của Vin (+) thấp

hơn so với điện thế của $V_{in} (-)$, V_{out} đưa ra tín hiệu Thấp. Trong trường hợp bộ khuếch đại cảm biến vi sai được sử dụng cho mạch đọc, một trong số các đầu nối vào $V_{in} (+)$ và $V_{in} (-)$ được nối với đầu nối A, và điện thế chuẩn V_{ref} được cấp tới đầu nối kia trong số $V_{in} (+)$ và $V_{in} (-)$.

Fig.18C thể hiện bộ khuếch đại cảm biến chốt là một ví dụ về mạch khuếch đại cảm biến. Bộ khuếch đại cảm biến chốt này có đầu vào/các đầu nối ra $V1$ và $V2$ và các đầu cuối đầu vào của các tín hiệu điều khiển S_p và S_n . Trước hết, các tín hiệu điều khiển S_p và S_n lần lượt được thiết lập là tín hiệu Cao và tín hiệu Thấp, và điện thế nguồn điện (V_{dd}) được ngắt. Tiếp đó, các điện thế $V1_{in}$ và $V2_{in}$ để so sánh lần lượt được cấp tới $V1$ và $V2$. Sau đó, các tín hiệu điều khiển S_p và S_n được thiết lập lần lượt là tín hiệu Thấp và tín hiệu Cao, và điện thế nguồn điện (V_{dd}) được cấp. Nếu $V1_{in} > V2_{in}$ được thỏa mãn đối với các điện thế để so sánh $V1_{in}$ và $V2_{in}$, đầu ra từ $V1$ là tín hiệu Cao và đầu ra từ $V2$ là tín hiệu Thấp, trong khi đầu ra từ $V1$ là tín hiệu Thấp và đầu ra từ $V2$ là tín hiệu Cao nếu $V1_{in} < V2_{in}$ được thỏa mãn. Bằng cách sử dụng quan hệ như vậy, khác biệt giữa $V1_{in}$ và $V2_{in}$ có thể được khuếch đại. Trong trường hợp bộ khuếch đại cảm biến chốt được sử dụng cho mạch đọc, một trong số $V1$ và $V2$ được nối với đầu nối A và đầu nối ra qua một chuyển mạch, và điện thế chuẩn V_{ref} được cấp tới đầu nối kia trong số $V1$ và $V2$.

Fig.19 là một ví dụ về sơ đồ mạch của thiết bị bán dẫn có các thiết bị bán dẫn trên Fig.15A. Thiết bị bán dẫn trên Fig.19 có dung lượng nhớ là $m \times n$ bit.

Thiết bị bán dẫn trên Fig.19 có mảng ô nhớ trong đó m đường từ WL, m đường tín hiệu thứ hai $S2$, n đường bit BL, n đường dẫn nguồn SL, n đường tín hiệu thứ nhất $S1$, và các ô nhớ 1100 được bố trí thành mảng bao gồm m (hàng) (theo phương thẳng đứng) $\times n$ (cột) (theo phương nằm ngang) (m và n là các số tự nhiên) và các mạch ngoại vi bao gồm mạch kích thích thứ nhất 1111, mạch kích thích thứ hai 1112, mạch kích thích

thứ ba 1113, và mạch kích thích thứ tư 1114. Ở đây, kết cấu được mô tả trong phương án bất kỳ nêu trên (ví dụ, kết cấu trên Fig.15A) được áp dụng cho ô nhớ 1100.

Nghĩa là, từng ô nhớ 1100 có tranzito thứ nhất 160, tranzito thứ hai 162, và tụ điện 164. Cực cổng của tranzito thứ nhất 160, một trong số cực nguồn và cực máng của tranzito thứ hai 162, và một trong số các điện cực của tụ điện 164 được nối với nhau. Đường dẫn nguồn SL và cực nguồn của tranzito thứ nhất 160 được nối với nhau. Đường bit BL và cực máng của tranzito thứ nhất 160 được nối với nhau. Đường tín hiệu thứ nhất S1 và cực kia trong số cực nguồn và cực máng của tranzito thứ hai 162 được nối với nhau. Đường tín hiệu thứ hai S2 và cực cổng của tranzito thứ hai 162 được nối với nhau. Đường từ WL và điện cực kia của tụ điện 164 được nối với nhau.

Hơn nữa, các ô nhớ 1100 được nối song song giữa đường dẫn nguồn SL và đường bit BL. Ví dụ, ô nhớ 1100 của hàng thứ i và cột thứ j (i, j) (i là một số nguyên lớn hơn hoặc bằng 1 và nhỏ hơn hoặc bằng m , và j là một số nguyên lớn hơn hoặc bằng 1 và nhỏ hơn hoặc bằng n) được nối với các đường dẫn nguồn SL(j), các đường bit BL(j), các đường tín hiệu thứ nhất S1(j), các đường từ WL(i), và các đường tín hiệu thứ hai S2(i).

Các đường dẫn nguồn SL và các đường bit BL được nối với mạch kích thích thứ nhất 1111. Các đường tín hiệu thứ nhất S1 được nối với mạch kích thích thứ hai 1112. Các đường tín hiệu thứ hai S2 được nối với mạch kích thích thứ ba 1113. Các đường từ WL được nối với mạch kích thích thứ tư 1114. Cần lưu ý rằng ở đây, mạch kích thích thứ nhất 1111, mạch kích thích thứ hai 1112, mạch kích thích thứ ba 1113, và mạch kích thích thứ tư 1114 được tạo ra riêng biệt; tuy nhiên, sáng chế không bị giới hạn như vậy. Một bộ giải mã có một hoặc một số chức năng có thể được sử dụng theo cách khác.

Tiếp theo, thao tác ghi và thao tác đọc của thiết bị bán dẫn trên Fig.19 sẽ được mô tả có dựa vào biểu đồ thời gian trên Fig.20.

Mặc dù hoạt động của các thiết bị bán dẫn bao gồm hai hàng và hai cột sẽ được mô tả để đơn giản hoá, sáng chế không bị giới hạn như vậy.

Fig.20 là biểu đồ thời gian thể hiện hoạt động của thiết bị bán dẫn trên Fig.19. Trên Fig.20, S1(1) và S1(2) là các điện thế của đường tín hiệu thứ nhất S1; S2(1) và S2(2) là các điện thế của đường tín hiệu thứ hai S2; BL(1) và BL(2) là các điện thế của đường bit BL; WL(1) và WL(2) là các điện thế của đường từ WL; và SL(1) và SL(2) là các điện thế của đường dẫn nguồn SL.

Trước hết, việc ghi dữ liệu vào ô nhớ (1,1) và ô nhớ (1,2) nằm ở hàng thứ nhất và đọc dữ liệu từ ô nhớ (1,1) và ô nhớ (1,2) ở hàng thứ nhất sẽ được mô tả. Cần lưu ý rằng như được mô tả sau đây, giả sử dữ liệu sẽ được ghi vào ô nhớ (1,1) là "1" và dữ liệu sẽ được ghi vào ô nhớ (1,2) là "0".

Trước hết, thao tác ghi sẽ được mô tả. Trong giai đoạn ghi của hàng thứ nhất, điện thế VH được cấp tới đường tín hiệu thứ hai S2(1) của hàng thứ nhất sao cho các tranzito thứ hai 162 của hàng thứ nhất được bật. Hơn nữa, điện thế bằng 0 V được cấp tới đường tín hiệu thứ hai S2(2) của hàng thứ hai sao cho các tranzito thứ hai 162 của hàng thứ hai được tắt.

Tiếp theo, điện thế V2 và điện thế 0 V lần lượt được cấp tới đường tín hiệu thứ nhất S1(1) của cột thứ nhất và đường tín hiệu thứ nhất S1(2) của cột thứ hai.

Kết quả là, điện thế V2 và điện thế 0 V lần lượt được cấp tới phần cực cổng di động FG của ô nhớ (1,1) và phần cực cổng di động FG của ô nhớ (1,2). Ở đây, điện thế V2 là cao hơn so với điện áp ngưỡng của các tranzito thứ nhất 160. Tiếp đó, điện thế của đường tín hiệu thứ hai S2(1) của hàng thứ nhất được thiết lập là 0 V sao cho các tranzito thứ hai 162 của hàng thứ nhất được tắt. Như vậy, thao tác ghi được hoàn tất.

Cần lưu ý rằng các đường từ WL(1) và WL(2) ở điện thế bằng 0 V. Hơn nữa, trước khi điện thế của đường tín hiệu thứ nhất S1(1) của hàng thứ nhất được thay đổi, điện thế của đường tín hiệu thứ hai S2(1) của hàng thứ

nhất được thiết lập là 0 V. Điện áp ngưỡng của phần tử bộ nhớ mà dữ liệu đã được ghi vào là V_{w0} đối với dữ liệu "0" và V_{w1} đối với dữ liệu "1", giả sử đầu cuối nối với đường từ WL là cực cổng điều khiển, cực nguồn của tranzito thứ nhất 160 là cực nguồn, và cực máng của tranzito thứ hai 162 là cực máng, ở phần tử bộ nhớ. Ở đây, điện áp ngưỡng của ô nhớ nghĩa là điện áp của đầu cuối nối với đường từ WL để thay đổi điện trở giữa cực nguồn và cực máng của tranzito thứ nhất 160. Cần lưu ý rằng mối tương quan $V_{w0} > 0 > V_{w1}$ được thỏa mãn.

Tiếp theo, thao tác đọc sẽ được mô tả. Trong giai đoạn đọc của hàng thứ nhất, điện thế 0 V và điện thế VL lần lượt được cấp tới đường từ WL(1) của hàng thứ nhất và đường từ WL(2) của hàng thứ hai. Điện thế VL là thấp hơn so với điện áp ngưỡng V_{w1} . Khi WL(1) ở điện thế bằng 0 V, trong hàng thứ nhất, tranzito thứ nhất 160 của ô nhớ (1,2) trong đó dữ liệu "0" được lưu giữ ở trạng thái tắt, và tranzito thứ nhất 160 của ô nhớ (1,1) trong đó dữ liệu "1" được lưu giữ ở trạng thái bật. Khi WL(2) ở điện thế VL, trong hàng thứ hai, các tranzito thứ nhất 160 của các ô nhớ (2,1) và (2,2) trong đó dữ liệu "0" hoặc dữ liệu "1" được lưu giữ ở trạng thái tắt.

Tiếp theo, điện thế bằng 0 V được cấp tới đường dẫn nguồn SL(1) của cột thứ nhất và đường dẫn nguồn SL(2) của cột thứ hai.

Kết quả là, tranzito thứ nhất 160 của ô nhớ (1,1) giữa đường bit BL(1) và đường dẫn nguồn SL(1) được bật, nhờ đó có điện trở thấp, và tranzito thứ nhất 160 của ô nhớ (1,2) giữa đường bit BL(2) và đường dẫn nguồn SL(2) được tắt, nhờ đó có điện trở cao. Mạch đọc nối với đường bit BL(1) và đường bit BL(2) có thể đọc dữ liệu dựa trên chênh lệch điện trở giữa các đường bit.

Hơn nữa, điện thế bằng 0 V và điện thế VL lần lượt được cấp tới đường tín hiệu thứ hai S2(1) và đường tín hiệu thứ hai S2(2), vì thế tất cả các tranzito thứ hai 162 được tắt. Điện thế của phần cực cổng di động FG của hàng thứ nhất là 0 V hoặc V_2 ; như vậy, điện thế của đường tín hiệu thứ hai S2(1) được thiết lập là 0 V, nhờ đó tất cả các tranzito thứ hai 162

của hàng thứ nhất có thể được tắt. Mặt khác, điện thế của phân cực cổng di động FG của hàng thứ hai thấp hơn so với điện thế ở thời điểm ngay sau khi ghi dữ liệu nếu điện thế VL được cấp tới đường từ WL(2). Do vậy, để ngăn không cho tranzito thứ hai 162 được bật, điện thế của đường tín hiệu thứ hai S2(2) được thiết lập là thấp tương tự với điện thế của đường từ WL(2). Như vậy, tất cả các tranzito thứ hai 162 có thể được tắt.

Tiếp theo, điện thế đầu ra trong trường hợp mạch trên Fig.21 được sử dụng làm mạch đọc sẽ được mô tả. Vì điện trở giữa đường bit BL(1) và đường dẫn nguồn SL(1) là thấp, điện thế thấp được cấp tới bộ đổi điện đóng và đầu ra D(1) là tín hiệu Cao. Vì điện trở giữa đường bit BL(2) và đường dẫn nguồn SL(2) là cao, điện thế cao được cấp tới bộ đổi điện đóng và đầu ra D(2) là tín hiệu Thấp.

Đối với điện áp hoạt động, ví dụ, có thể giả sử $V_{DD} = 2\text{ V}$, $V_2 = 1,5\text{ V}$, $V_H = 2\text{ V}$, và $V_L = -2\text{ V}$.

Theo phương án này, bằng cách tạo ra các ô nhớ, dung lượng nhớ của thiết bị bán dẫn có thể được gia tăng. Cần lưu ý rằng số lượng và cách bố trí của các ô nhớ, số lượng và cách bố trí của các đường dẫn, số lượng và cách bố trí của các mạch kích thích, và tham số tương tự có thể được thiết kế theo cách thích hợp; do vậy, chúng không bị giới hạn như nêu trên.

Các phương pháp và các kết cấu theo phương án này có thể được kết hợp thích hợp với các phương pháp và kết cấu bất kỳ được mô tả theo các phương án khác.

Phương án thứ tư

Trong kết cấu theo phương án này, kết cấu và phương pháp chế tạo thiết bị bán dẫn theo một phương án khác của sáng chế khác với các phương án thứ nhất và thứ hai sẽ được mô tả có dựa vào Fig.22A và Fig.22B, các hình vẽ từ Fig.23A tới Fig.23D, và các hình vẽ từ Fig.24A tới Fig.24C. Cần lưu ý rằng tranzito 260, tranzito 262, và tụ điện 264 theo

phương án này có thể được sử dụng lần lượt làm tranzito 160, tranzito 162, và tụ điện 164 trong các sơ đồ mạch theo các phương án nêu trên.

Kết cấu tiết diện ngang và kết cấu phẳng của thiết bị bán dẫn

Fig.22A và Fig.22B thể hiện một ví dụ về kết cấu của thiết bị bán dẫn. Fig.22A thể hiện tiết diện ngang của thiết bị bán dẫn, và Fig.22B thể hiện hình chiếu bằng của thiết bị bán dẫn. Ở đây, Fig.22A tương ứng với hình vẽ mặt cắt theo đường C1-C2 và đường D1-D2 trên Fig.22B. Theo hình chiếu bằng trên Fig.22B, một số linh kiện, như cực nguồn/cực máng 254 và đường dẫn 256, được loại bỏ để đơn giản hoá. Thiết bị bán dẫn được thể hiện trên Fig.22A và Fig.22B có tranzito 260 có vật liệu bán dẫn khác với chất bán dẫn oxit ở phần dưới, và tranzito 262 có chất bán dẫn oxit ở phần trên. Tranzito được tạo ra bằng cách sử dụng một vật liệu bán dẫn khác với chất bán dẫn oxit có thể hoạt động ở tốc độ cao dễ dàng. Mặt khác, tranzito chứa chất bán dẫn oxit có thể giữ điện tích trong thời gian dài nhờ các đặc tính của nó.

Mặc dù tất cả các tranzito là các tranzito kênh n trong trường hợp này, đương nhiên là các tranzito kênh p có thể được sử dụng. Vì khía cạnh kỹ thuật theo sáng chế là sử dụng chất bán dẫn oxit ở tranzito 262 sao cho dữ liệu có thể được lưu giữ, không cần phải hạn chế kết cấu cụ thể của thiết bị bán dẫn như kết cấu được mô tả ở đây.

Trong thiết bị bán dẫn trên Fig.22A và Fig.22B, tranzito 262 và tụ điện 264 được tạo ra để chồng với tranzito 260. Bằng cách sử dụng thiết kế phẳng trên Fig.22B, việc tích hợp mức cao có thể thực hiện được. Ví dụ, giả sử kích thước gia công tối thiểu là F, diện tích bị chiếm chỗ bởi ô nhớ có thể nằm trong khoảng từ $15F^2$ tới $25F^2$.

Thiết bị bán dẫn trên Fig.22A và Fig.22B khác với thiết bị bán dẫn theo phương án như đã được mô tả trên đây ở chỗ lớp cách điện thành bên không được tạo ra ở tranzito 260. Nghĩa là, thiết bị bán dẫn trên Fig.22A và Fig.22B không có lớp cách điện thành bên. Vì lớp cách điện thành bên không được tạo ra, vùng tạp chất 114 (ví dụ, xem Fig.2A và Fig.2B) không

được tạo ra. Như vậy, trong trường hợp lớp cách điện thành bên không được tạo ra, việc tích hợp mức cao được thực hiện dễ dàng so với trường hợp trong đó lớp cách điện thành bên được tạo ra. Ngoài ra, quy trình chế tạo có thể được đơn giản hoá khi so sánh với trường hợp lớp cách điện thành bên được tạo ra.

Thiết bị bán dẫn trên Fig.22A và Fig.22B còn khác với thiết bị bán dẫn theo phương án nêu trên trong lớp cách điện xen giữa được tạo ra ở tranzito 260. Nghĩa là, thiết bị bán dẫn trên Fig.22A và Fig.22B có lớp cách điện xen giữa chứa hydro 225 tiếp xúc với vùng hợp chất kim loại 224 của tranzito 260. Bằng cách tạo ra lớp cách điện xen giữa chứa hydro 225 để được làm tiếp xúc với vùng hợp chất kim loại 224, hydro có thể được cấp tới tranzito 260 để cải thiện các đặc tính của tranzito 260. Đối với lớp cách điện xen giữa 225, ví dụ, lớp silic nitrua chứa hydro được tạo ra nhờ phương pháp CVD plasma, được sử dụng. Hơn nữa, bằng cách sử dụng lớp cách điện trong đó nồng độ hydro là thấp liên quan tới lớp cách điện xen giữa 226, hydro có thể có ảnh hưởng bất lợi đến tranzito 262 có thể được ngăn không cho đi vào tranzito 262. Đối với lớp cách điện xen giữa 226, ví dụ, lớp silic nitrua được tạo ra nhờ phương pháp mạ phun khi không có hydro được sử dụng. Khi kết cấu như vậy được sử dụng, các đặc tính của các tranzito 260 và 262 có thể được cải thiện thích hợp. Cần lưu ý rằng trên Fig.22A và Fig.22B, nền 200, lớp cách điện cách ly phần tử 206, lớp cách điện cực cổng 208, cực cổng 210, vùng tạo thành kênh dẫn 216, vùng nồng độ tạp chất cao 220, và vùng hợp chất kim loại 224 lần lượt tương ứng với nền 100, lớp cách điện cách ly phần tử 106, lớp cách điện cực cổng 108, cực cổng 110, vùng tạo thành kênh dẫn 116, vùng nồng độ tạp chất cao 120, và vùng hợp chất kim loại 124 theo phương án thứ nhất.

Thiết bị bán dẫn trên Fig.22A và Fig.22B còn khác với thiết bị bán dẫn theo phương án nêu trên ở chỗ các lớp cách điện 243a và 243b được tạo ra lần lượt giữa lớp bán dẫn oxit 244 và cực nguồn 242a và giữa lớp bán dẫn oxit 244 và cực máng 242b ở tranzito 262. Bằng cách tạo ra các

lớp cách điện 243a và 243b như vậy, điện dung cực cổng được tạo ra nhờ cực cổng 248a và cực nguồn 242a (hoặc cực cổng 248a và cực máng 242b) có thể được làm giảm để gia tăng tốc độ hoạt động của tranzito 262.

Cần lưu ý rằng tương tự phương án thứ nhất, cực nguồn 242a được tạo ra ngay trên cực cổng 210, nhờ đó tranzito 260 ở phần dưới và tranzito 262 ở phần trên được nối điện với nhau. Với kết cấu như vậy, mức độ tích hợp có thể được gia tăng khi so sánh với trường hợp điện cực và một đường dẫn được tạo ra bổ sung. Ngoài ra, quy trình chế tạo có thể được đơn giản hoá.

Mặc dù kết cấu có tất cả các điểm khác biệt được mô tả trong phương án này, kết cấu có một trong số các điểm khác biệt này có thể được sử dụng.

Phương pháp chế tạo thiết bị bán dẫn

Tiếp theo, một ví dụ về phương pháp chế tạo thiết bị bán dẫn như nêu trên sẽ được mô tả. Sau đây, các công đoạn được thực hiện sau khi tạo hình tranzito 260 ở phần dưới và phương pháp chế tạo tranzito 262 ở phần trên sẽ được mô tả có dựa vào các hình vẽ từ Fig.23A tới Fig.23D và các hình vẽ từ Fig.24A tới Fig.24C. Tranzito 260 ở phần dưới có thể được tạo ra nhờ phương pháp tương tự với phương pháp được mô tả theo phương án thứ nhất. Phương án thứ nhất có thể được dựa vào để tham khảo các chi tiết. Cần lưu ý rằng tụ điện 264 được tạo ra trong kết cấu theo phương án này. Ngoài ra, ba lớp cách điện xen giữa 225, 226, và 228 được tạo ra để phủ tranzito 260 trong kết cấu theo phương án này. Cần lưu ý rằng cực nguồn/cực máng 130a và 130b theo phương án thứ nhất không được tạo ra nhờ quy trình chế tạo của tranzito 260 theo phương án này, và thậm chí kết cấu trong đó cực nguồn/cực máng 130a và 130b không được tạo ra được gọi là tranzito 260 cho thuận tiện.

Tranzito 260 ở phần dưới được tạo ra nhờ phương pháp được mô tả theo phương án thứ nhất trước, và tiếp đó, phần phủ trên mặt trên của cực cổng 210 của tranzito 260 được loại bỏ. Đối với công đoạn loại bỏ, việc xử

lý đánh bóng như CMP (đánh bóng bằng cơ khí và hoá chất) có thể được sử dụng. Như vậy, các phần của các lớp cách điện xen giữa 225, 226, và 228 trên mặt trên của cực cổng 210 được loại bỏ. Cần lưu ý rằng bề mặt được đưa vào xử lý đánh bóng như vậy được làm phẳng thích hợp, nhờ đó điện cực, đường dẫn, lớp cách điện, lớp bán dẫn, hoặc chi tiết tương tự có thể được tạo ra thuận lợi trong các công đoạn sau.

Tiếp đó, lớp dẫn điện được tạo ra trên cực cổng 210 và các lớp cách điện xen giữa 225, 226, và 228, và lớp dẫn điện được khắc mòn có lựa chọn, vì thế cực nguồn 242a và cực máng 242b được tạo ra (xem Fig.23A). Ở đây, cực nguồn 242a được tạo ra tiếp xúc trực tiếp với cực cổng 210.

Lớp dẫn điện để tạo ra cực nguồn 242a và cực máng 242b có thể được tạo ra bằng cách sử dụng vật liệu tương tự với vật liệu của cực nguồn/cực máng 142a và 142b được mô tả theo phương án thứ nhất. Hơn nữa, lớp dẫn điện có thể được khắc mòn nhờ phương pháp tương tự với phương pháp được mô tả theo phương án thứ nhất. Phương án thứ nhất có thể được dựa vào để tham khảo các chi tiết.

Tiếp theo, lớp cách điện được tạo ra để phủ cực nguồn 242a và cực máng 242b và được khắc mòn có lựa chọn, vì thế lớp cách điện 243a và 243b được tạo ra lần lượt trên cực nguồn 242a và cực máng 242b (xem Fig.23B).

Bằng cách tạo ra các lớp cách điện 243a và 243b, điện dung ký sinh được tạo ra giữa cực cổng 248a sẽ được tạo ra sau đó và giữa cực nguồn 242a và cực máng 242b có thể được làm giảm.

Sau đó, lớp bán dẫn oxit 244 được tạo ra để phủ cực nguồn 242a và cực máng 242b, và lớp cách điện cực cổng 246 được tạo ra trên lớp bán dẫn oxit 244 (xem Fig.23C).

Lớp bán dẫn oxit 244 có thể được tạo ra bằng cách sử dụng vật liệu và phương pháp của lớp bán dẫn oxit 140 được mô tả theo phương án thứ nhất. Hơn nữa, lớp bán dẫn oxit 244 tốt hơn là được đưa vào công đoạn xử

lý nhiệt (công đoạn xử lý nhiệt thứ nhất). Phương án thứ nhất có thể được dựa vào để tham khảo các chi tiết.

Lớp cách điện cực cổng 246 có thể được tạo ra bằng cách sử dụng vật liệu và phương pháp của lớp cách điện cực cổng 138 được mô tả theo phương án thứ nhất. Hơn nữa, lớp cách điện cực cổng được tạo ra 246 tốt hơn là được đưa vào công đoạn xử lý nhiệt (công đoạn xử lý nhiệt thứ hai) trong môi trường khí trơ hoặc môi trường khí oxy. Phương án thứ nhất có thể được dựa vào để tham khảo các chi tiết.

Tiếp đó, trên lớp cách điện cực cổng 246, cực cổng 248a được tạo ra ở vùng chồng với vùng của tranzito 262, có tác dụng làm vùng tạo thành kênh dẫn, và điện cực 248b được tạo ra ở vùng chồng với cực nguồn 242a (xem Fig.23D).

Cực cổng 248a và điện cực 248b có thể được tạo ra theo cách sao cho lớp dẫn điện được tạo ra trên lớp cách điện cực cổng 246 và sau đó được khắc mòn có lựa chọn. Lớp dẫn điện sẽ là cực cổng 248a và điện cực 248b có thể được tạo ra nhờ phương pháp PVD, ví dụ nhờ phương pháp mạ phun hoặc phương pháp CVD như phương pháp CVD plasma. Các chi tiết là tương tự với các chi tiết của cực nguồn 242a hoặc bộ phận tương tự; như vậy, phần mô tả sẽ không được nhắc lại.

Tiếp theo, các lớp cách điện xen giữa 250 và 252 được tạo ra trên lớp cách điện cực cổng 246, cực cổng 248a, và điện cực 248b (xem Fig.24A). Các lớp cách điện xen giữa 250 và 252 có thể được tạo ra bằng cách sử dụng vật liệu và các phương pháp của lớp cách điện bảo vệ 144 và lớp cách điện xen giữa 146 được mô tả theo phương án thứ nhất. Phương án thứ nhất có thể được dựa vào để tham khảo các chi tiết.

Cần lưu ý rằng lớp cách điện xen giữa 252 tốt hơn là được tạo ra sao cho có bề mặt được làm phẳng. Sở dĩ như vậy là vì điện cực, đường dẫn, hoặc chi tiết tương tự có thể được tạo ra thuận lợi trên lớp cách điện xen giữa 252 thậm chí trong trường hợp thiết bị bán dẫn được thu nhỏ kích

thuốc. Lớp cách điện xen giữa 252 có thể được làm phẳng bằng cách sử dụng phương pháp như CMP (đánh bóng bằng cơ khí và hoá chất).

Sau đó, các lớp cách điện xen giữa 225, 226, và 228, lớp bán dẫn oxit 244, lớp cách điện cực cổng 246, và các lớp cách điện xen giữa 250 và 252 được khắc mòn có lựa chọn sao cho một lỗ hở tiến đến vùng hợp chất kim loại 224 của tranzito 260 được tạo ra (xem Fig.24B). Liên quan tới công đoạn khắc mòn, công đoạn khắc mòn khô hoặc công đoạn khắc mòn ướt có thể được sử dụng; liên quan tới việc vi chế tạo, công đoạn khắc mòn khô tốt hơn là được thực hiện.

Cực nguồn/cực máng 254 được tạo ra sao cho được nhúng trong lỗ hở. Tiếp đó, đường dẫn 256 được tạo ra sao cho được nối với cực nguồn/cực máng 254 (xem Fig.24C).

Cực nguồn/cực máng 254 có thể được tạo ra theo cách sao cho lớp dẫn điện được tạo ra ở vùng có lỗ hở nhờ phương pháp PVD, phương pháp CVD, hoặc phương pháp tương tự và tiếp đó một phần của lớp dẫn điện được loại bỏ bằng cách khắc mòn, quy trình CMP, hoặc quy trình tương tự. Cụ thể là, có thể sử dụng phương pháp, ví dụ, trong đó một màng titan mỏng được tạo ra ở vùng có lỗ hở nhờ phương pháp PVD và màng titan nitrua mỏng được tạo ra nhờ phương pháp CVD, và tiếp đó, màng vonfram được tạo ra sao cho được nhúng trong lỗ hở này. Ở đây, màng titan được tạo ra nhờ phương pháp PVD có chức năng thu nhỏ màng oxit (ví dụ, màng oxit tự nhiên) được tạo ra trên bề mặt mà màng titan được tạo ra trên đó, để làm giảm điện trở tiếp xúc với các điện cực dưới (ví dụ, vùng hợp chất kim loại 224). Màng titan nitrua được tạo ra sau khi tạo thành màng titan có chức năng chắn để ngăn ngừa hiện tượng khuếch tán của vật liệu dẫn điện. Màng đồng có thể được tạo ra nhờ phương pháp mạ sau khi tạo thành màng chắn bằng titan, titan nitrua, hoặc vật liệu tương tự.

Đường dẫn 256 có thể được tạo ra theo cách sao cho lớp dẫn điện được tạo ra tiếp xúc với cực nguồn/cực máng 254 và sau đó được khắc mòn có lựa chọn. Lớp dẫn điện có thể được tạo ra nhờ phương pháp PVD,

ví dụ nhờ phương pháp mạ phun hoặc phương pháp CVD như phương pháp CVD plasma. Các chi tiết là tương tự với các chi tiết của cực nguồn 242a hoặc bộ phận tương tự.

Như vậy, thiết bị bán dẫn có tranzito 260, tranzito 262, và tụ điện 264 được hoàn tất.

Trong thiết bị bán dẫn theo phương án này, ví dụ, tranzito 262 và tụ điện 264 chồng với tranzito 260, tranzito 260 không có lớp cách điện thành bên, cực nguồn 242a được tạo ra ngay trên cực cổng 210; do vậy, việc tích hợp mức cao có thể thực hiện được. Hơn nữa, quy trình chế tạo được đơn giản hoá.

Hơn nữa, trong thiết bị bán dẫn theo phương án này, lớp cách điện chứa hydro và lớp cách điện với nồng độ hydro thấp được sử dụng lần lượt làm các lớp cách điện xen giữa 225 và 226; như vậy, các đặc tính của các tranzito 260 và 262 được cải thiện. Nhờ các lớp cách điện 243a và 243b, điện dung cực cổng được làm giảm và như vậy, tốc độ hoạt động của tranzito 262 được gia tăng.

Các dấu hiệu như nêu trên theo phương án này cho phép tạo ra thiết bị bán dẫn có các đặc tính đặc biệt tốt.

Các phương pháp và các kết cấu theo phương án này có thể được kết hợp thích hợp với các phương pháp và các kết cấu được mô tả theo các phương án khác.

Phương án thứ năm

Phương án này mô tả, có dựa vào các hình vẽ từ Fig.10A tới Fig.10F, các ví dụ về thiết bị điện tử trong đó thiết bị bán dẫn thu được theo phương án bất kỳ trong số các phương án nêu trên được gắn. Thiết bị bán dẫn thu được theo phương án bất kỳ trong số các phương án nêu trên có thể lưu giữ dữ liệu thậm chí khi nguồn điện không được cấp. Hơn nữa, sự suy giảm chất lượng của thao tác ghi và xoá dữ liệu không được tạo ra. Ngoài ra, hoạt động ghi và xoá dữ liệu cũng có tốc độ cao. Vì lý do này, có thể tạo ra thiết bị điện tử có kết cấu mới bằng cách sử dụng thiết bị bán

dẫn như nêu trên. Cần lưu ý rằng thiết bị bán dẫn theo phương án bất kỳ trong số các phương án nêu trên được gắn trên bảng mạch tích hợp và mạch tương tự, và được gắn bên trong mỗi thiết bị điện tử.

Fig.10A là hình vẽ phối cảnh thể hiện một máy tính cá nhân kiểu xách tay có thiết bị bán dẫn theo phương án bất kỳ trong số các phương án nêu trên, và được tạo ra thân 301, thân 302, bộ phận hiển thị 303, bàn phím 304, và chi tiết tương tự.

Fig.10B là hình vẽ phối cảnh thể hiện một thiết bị trợ giúp cá nhân số (PDA) có thiết bị bán dẫn theo phương án bất kỳ trong số các phương án nêu trên, và thiết bị này có thân 311, bộ phận hiển thị 313, giao diện ngoài 315, các nút điều khiển 314, và chi tiết tương tự. Ngoài ra, thiết bị có bút 312 là một bộ phận điều khiển phụ trợ.

Theo một ví dụ về giấy điện tử, Fig.10C thể hiện thiết bị đọc sách điện tử 320 có thiết bị bán dẫn theo phương án bất kỳ trong số các phương án nêu trên. Thiết bị đọc sách điện tử 320 có hai thân là thân 321 và thân 323. Các thân 321 và 323 được gắn với nhau nhờ bản lề 337 sao cho thiết bị đọc sách điện tử 320 có thể được mở và được đóng dọc theo bản lề 337. Với kết cấu như vậy, thiết bị đọc sách điện tử 320 có thể được sử dụng tương tự sách giấy truyền thống.

Bộ phận hiển thị 325 được kết hợp trong thân 321, và bộ phận hiển thị 327 được kết hợp trong thân 323. bộ phận hiển thị 325 và bộ phận hiển thị 327 có thể hiển thị một ảnh hoặc các ảnh khác nhau. Trong trường hợp bộ phận hiển thị 325 và bộ phận hiển thị 327 hiển thị các ảnh khác nhau, ví dụ, bộ phận hiển thị ở bên phải (bộ phận hiển thị 325 trên Fig.10C) có thể hiển thị văn bản và bộ phận hiển thị ở bên trái (bộ phận hiển thị 327 trên Fig.10C) có thể hiển thị đồ họa.

Fig.10C thể hiện một ví dụ trong đó thân 321 có phần thao tác và chi tiết tương tự. Ví dụ, thân 321 có nguồn điện 331, các phím thao tác 333, loa 335, và chi tiết tương tự. Các trang có thể được lật nhờ các phím thao tác 333. Cần lưu ý rằng bàn phím, thiết bị trỏ, hoặc bộ phận tương tự

cũng có thể được tạo ra trên bề mặt của thân trên đó bộ phận hiển thị được tạo ra. Ngoài ra, một đầu cuối nối ngoài (đầu nối tai nghe, cổng USB, đầu cuối có thể được nối với các cáp nối khác nhau như bộ đổi điện AC và cáp USB, hoặc cáp tương tự), bộ phận lắp phương tiện ghi, và chi tiết tương tự có thể được tạo ra trên mặt sau hoặc mặt bên của thân. Ngoài ra, thiết bị đọc sách điện tử 320 có thể có chức năng của một từ điển điện tử.

Hơn nữa, thiết bị đọc sách điện tử 320 có thể gửi và nhận dữ liệu không dây. Nhờ truyền thông không dây, dữ liệu sách mong muốn hoặc dữ liệu tương tự có thể được mua và tải xuống từ một server sách điện tử.

Cần lưu ý rằng giấy điện tử có thể được áp dụng cho các thiết bị thuộc lĩnh vực bất kỳ miễn là chúng có thể hiển thị dữ liệu. Ví dụ, khác với thiết bị đọc sách điện tử, giấy điện tử có thể được sử dụng cho tranh cỡ lớn, quảng cáo trên phương tiện giao thông như tàu hỏa, hiển thị trên nhiều loại thẻ khác nhau như thẻ tín dụng, và v.v..

Fig.10D là hình vẽ phối cảnh thể hiện một điện thoại di động có thiết bị bán dẫn theo phương án bất kỳ trong số các phương án nêu trên. Điện thoại di động này có hai thân là thân 340 và thân 341. Thân 341 có màn hiển thị 342, loa 343, micrô 344, thiết bị trở 346, ống kính camera 347, đầu cuối nối ngoài 348, và chi tiết tương tự. Hơn nữa, thân 341 có bộ pin dùng năng lượng mặt trời 349 để nạp điện điện thoại di động, khe bộ nhớ ngoài 350, và chi tiết tương tự. Ngoài ra, một anten được kết hợp trong thân 341.

Màn hiển thị 342 thực hiện chức năng làm màn hình xúc giác, và được thể hiện bằng các đường gạch trên Fig.10D, các phím thao tác 345 được hiển thị ở dạng ảnh. Cần lưu ý rằng điện thoại di động có gắn một mạch tăng áp để gia tăng đầu ra điện áp của bộ pin dùng năng lượng mặt trời 349 thành điện áp cần thiết cho từng mạch. Hơn nữa, ngoài kết cấu nêu trên, điện thoại di động có thể có kết hợp một chip IC không tiếp xúc, một thiết bị bộ nhớ nhỏ, hoặc linh kiện tương tự.

Trên màn hiển thị 342, trạng thái định hướng hiển thị có thể được thay đổi thích hợp theo dạng sử dụng. Hơn nữa, vì ống kính camera 347 được tạo ra trên cùng bề mặt với màn hiển thị 342, điện thoại di động có thể được sử dụng làm điện thoại video. Loa 343 và micrô 344 có thể được sử dụng không những nhằm ngang cuộc gọi giọng nói, mà còn cho các cuộc gọi điện thoại video, ghi, phát lại âm thanh, và chức năng tương tự. Hơn nữa, các thân 340 và 341 được phát triển như được thể hiện trên Fig.10D có thể được trượt sao cho thân này chồng lên thân kia; do vậy, kích thước của điện thoại di động có thể được làm giảm, điều này cho phép điện thoại di động được mang đi thuận tiện.

Đầu cuối nối ngoài 348 có thể được nối với các cáp nối khác nhau như bộ đổi điện AC hoặc cáp USB, nhờ đó điện thoại di động có thể được nạp điện hoặc có thể thực hiện truyền thông dữ liệu hoặc chức năng tương tự. Hơn nữa, bằng cách cắm một phương tiện ghi vào khe bộ nhớ ngoài 350, điện thoại di động có thể kiểm soát bộ nhớ và truyền lượng lớn dữ liệu. Hơn nữa, ngoài các chức năng nêu trên, chức năng truyền thông hồng ngoại, chức năng thu truyền hình, hoặc chức năng tương tự có thể được tạo ra.

Fig.10E là hình vẽ phối cảnh thể hiện một camera số có thiết bị bán dẫn theo phương án bất kỳ trong số các phương án nêu trên. Camera số này có thân chính 361, bộ phận hiển thị A 367, lỗ ngấm 363, công tắc điều khiển 364, bộ phận hiển thị B 365, bộ pin 366, và chi tiết tương tự.

Fig.10F là hình vẽ phối cảnh thể hiện một máy thu hình có thiết bị bán dẫn theo phương án bất kỳ trong số các phương án nêu trên. Máy thu hình 370 này có bộ phận hiển thị 373 được kết hợp trong thân 371. Các ảnh có thể được hiển thị trên bộ phận hiển thị 373. Cần lưu ý rằng ở đây, thân 371 được đỡ nhờ giá đỡ 375.

Máy thu hình 370 có thể được vận hành nhờ công tắc điều khiển của thân 371 hoặc bộ điều khiển từ xa riêng biệt 380. Các kênh và âm lượng có thể được điều khiển nhờ các phím thao tác 379 của bộ điều khiển từ xa

380, vì thế một ảnh được hiển thị trên bộ phận hiển thị 373 có thể được điều chỉnh. Hơn nữa, bộ điều khiển từ xa 380 có thể có bộ phận hiển thị 377 trong đó đầu ra thông tin từ bộ điều khiển từ xa 380 được hiển thị.

Cần lưu ý rằng máy thu hình 370 tốt hơn là có bộ thu, modem, và bộ phận tương tự. Bằng cách sử dụng bộ thu, chương trình phát hình thông thường có thể được tiếp nhận. Ngoài ra, khi thiết bị hiển thị được nối với mạng truyền thông bằng hữu tuyến hoặc không dây qua modem, việc truyền thông dữ liệu một chiều (từ một bộ phát tới bộ thu) hoặc hai chiều (giữa bộ phát và bộ thu hoặc giữa các bộ thu) có thể được thực hiện.

Các kết cấu, các phương pháp, và chi tiết tương tự theo phương án này có thể được kết hợp thích hợp với các kết cấu, các phương pháp, và các chi tiết tương tự được mô tả theo các phương án khác.

Ví dụ thực hiện sáng chế

Ví dụ 1

Theo ví dụ này, các kết quả thu được bằng cách đo dòng điện tắt của tranzito chứa chất bán dẫn oxit có độ tinh khiết cao sẽ được mô tả.

Trước hết, tranzito có độ rộng kênh dẫn W bằng 1 μm , kích thước này là đủ rộng, được tạo ra có xét đến dòng điện tắt rất nhỏ của tranzito chứa chất bán dẫn oxit có độ tinh khiết cao, và dòng điện tắt này được đo. Fig.25 thể hiện các kết quả thu được bằng cách đo dòng điện tắt của tranzito có độ rộng kênh dẫn W bằng 1 μm . Trên Fig.25, trục hoành thể hiện điện áp cực cổng V_G và trục tung thể hiện điện cực máng I_D . Trong trường hợp điện áp cực máng V_D là +1 V hoặc +10 V và điện áp cực cổng V_G nằm trong khoảng từ -5 V tới -20 V, dòng điện tắt của tranzito được thấy là nhỏ hơn hoặc bằng 1×10^{-13} A là ngưỡng phát hiện. Hơn nữa, đã thấy là dòng điện tắt của tranzito (theo độ rộng kênh dẫn đơn vị (1 μm)) nhỏ hơn hoặc bằng 1 aA/ μm (1×10^{-18} A/ μm).

Tiếp theo sẽ mô tả các kết quả thu được bằng cách đo dòng điện tắt của tranzito chứa chất bán dẫn oxit có độ tinh khiết cao theo cách chính

xác hơn. Như nêu trên, dòng điện tắt của tranzito chứa chất bán dẫn oxit có độ tinh khiết cao được thấy là nhỏ hơn hoặc bằng $1 \times 1 \times 10^{-13}$ A là ngưỡng đo của thiết bị đo. Ở đây sẽ mô tả các kết quả thu được cho phép đo dòng điện tắt chính xác hơn (giá trị này nhỏ hơn hoặc bằng ngưỡng phát hiện của thiết bị đo trong phép đo nêu trên), bằng cách sử dụng một phân tử để đánh giá đặc tính.

Trước hết, phân tử để đánh giá đặc tính sẽ được mô tả có dựa vào Fig.26.

Trong phân tử để đánh giá đặc tính trên Fig.26, ba hệ thống đo 800 được nối song song. Hệ thống đo 800 có tụ điện 802, tranzito 804, tranzito 805, tranzito 806, và tranzito 808. Tranzito chứa chất bán dẫn oxit có độ tinh khiết cao được sử dụng làm từng tranzito 804, 805, và 806.

Trong hệ thống đo 800, một trong số cực nguồn và cực máng của tranzito 804, một trong số các đầu nối của tụ điện 802, và một trong số cực nguồn và cực máng của tranzito 805 được nối với nguồn điện (để cấp V2). Cực kia trong số cực nguồn và cực máng của tranzito 804, một trong số cực nguồn và cực máng của tranzito 808, đầu nối kia trong số các đầu nối của tụ điện 802, và cực cổng của tranzito 805 được nối với nhau. Cực kia trong số cực nguồn và cực máng của tranzito 808, một trong số cực nguồn và cực máng của tranzito 806, và cực cổng của tranzito 806 được nối với nguồn điện (để cấp V1). Cực kia trong số cực nguồn và cực máng của tranzito 805, cực kia trong số cực nguồn và cực máng của tranzito 806 được nối với nhau. Ngoài ra, một đầu nối ra được tạo ra.

Điện thế Vext_b2 để kiểm soát trạng thái bật và trạng thái tắt của tranzito 804 được cấp tới cực cổng của tranzito 804. Điện thế Vext_b1 để kiểm soát trạng thái bật và trạng thái tắt của tranzito 808 được cấp tới cực cổng của tranzito 808. Điện thế Vout là đầu ra từ đầu nối ra.

Tiếp theo, phương pháp để đo dòng điện bằng cách sử dụng phân tử để đánh giá đặc tính sẽ được mô tả.

Trước hết, giai đoạn đầu trong đó hiệu điện thế được cấp để đo dòng điện tắt sẽ được mô tả tóm tắt. Trong giai đoạn đầu, điện thế V_{ext_b1} để bật tranzito 808 là đầu vào tới cực cổng của tranzito 808, và điện thế V_1 được cấp tới nút A là nút nối với cực kia trong số cực nguồn và cực máng của tranzito 804 (nghĩa là, nút nối với một trong số cực nguồn và cực máng của tranzito 808, đầu nối kia trong số các đầu nối của tụ điện 802, và cực cổng của tranzito 805). Ở đây, ví dụ, điện thế V_1 là điện thế cao. Tranzito 804 ở trạng thái tắt.

Sau đó, điện thế V_{ext_b1} để bật tranzito 808 là đầu vào tới cực cổng của tranzito 808 sao cho tranzito 808 được tắt. Sau khi tranzito 808 được tắt, điện thế V_1 được thiết lập mức thấp. Tranzito 804 vẫn ở trạng thái tắt. Điện thế V_2 bằng điện thế V_1 . Như vậy, giai đoạn đầu được hoàn tất. Ở trạng thái trong đó giai đoạn đầu được hoàn tất, hiệu điện thế được tạo ra giữa nút A và một trong số cực nguồn và cực máng của tranzito 804, và ngoài ra, hiệu điện thế được tạo ra giữa nút A và cực kia trong số cực nguồn và cực máng của tranzito 808. Do vậy, điện tích di chuyển một chút qua tranzito 804 và tranzito 808. Nói cách khác, dòng điện tắt được tạo ra.

Tiếp theo, giai đoạn đo dòng điện tắt sẽ được mô tả tóm tắt. Trong giai đoạn đo, điện thế (nghĩa là, V_2) của một trong số cực nguồn và cực máng của tranzito 804 và điện thế (nghĩa là, V_1) của cực kia trong số cực nguồn và cực máng của tranzito 808 được thiết lập ở mức thấp và cố định. Mặt khác, điện thế của nút A không cố định (nút A ở trạng thái động) trong giai đoạn đo. Do đó, điện tích đi qua tranzito 804 và lượng điện tích được duy trì ở nút A được thay đổi theo thời gian. Hơn nữa, khi lượng điện tích được duy trì ở nút A được thay đổi, điện thế của nút A thay đổi. Nghĩa là, điện thế đầu ra V_{out} của đầu nối ra cũng thay đổi.

Fig.27 là biểu đồ thời gian thể hiện các chi tiết về mối tương quan giữa các điện thế trong giai đoạn đầu trong đó hiệu điện thế được cấp và trong giai đoạn đo tiếp theo.

Trong giai đoạn đầu, trước hết, điện thế V_{ext_b2} được thiết lập bằng điện thế (điện thế cao) tại đó tranzito 804 được bật. Như vậy, điện thế của nút A trở thành V_2 , nghĩa là, điện thế thấp (VSS). Sau đó, điện thế V_{ext_b2} được thiết lập bằng điện thế (điện thế thấp) tại đó tranzito 804 được tắt, nhờ đó tranzito 804 được tắt. Tiếp đó, điện thế V_{ext_b1} được thiết lập bằng điện thế (điện thế cao) tại đó tranzito 808 được bật. Như vậy, điện thế của nút A trở thành V_1 , nghĩa là, điện thế cao (VDD). Sau đó, điện thế V_{ext_b1} được thiết lập bằng điện thế mà ở đó tranzito 808 được tắt. Do đó, nút A được đưa vào trạng thái động và giai đoạn đầu được hoàn tất.

Trong giai đoạn đo tiếp theo, điện thế V_1 và điện thế V_2 được thiết lập riêng biệt ở các điện thế mà ở đó điện tích đi tới hoặc đi ra từ nút A. Ở đây, điện thế V_1 và điện thế V_2 là các điện thế thấp (VSS). Cần lưu ý rằng ở thời điểm đo điện thế đầu ra V_{out} , cần phải vận hành mạch đầu ra; như vậy, V_1 được thiết lập là điện thế cao (VDD) tạm thời trong một số trường hợp. Giai đoạn trong đó V_1 là điện thế cao (VDD) được thiết lập ngắn sao cho phép đo không bị ảnh hưởng.

Khi hiệu điện thế được cấp như nêu trên để bắt đầu giai đoạn đo, lượng điện tích được duy trì ở nút A được thay đổi theo thời gian và do đó, điện thế của nút A thay đổi. Điều này nghĩa là điện thế của cực cổng của tranzito 805 thay đổi và như vậy, điện thế đầu ra V_{out} của đầu nối ra cũng thay đổi theo thời gian.

Tiếp theo sẽ mô tả phương pháp tính toán dòng điện tắt dựa trên điện thế đầu ra V_{out} thu được.

Mối tương quan giữa điện thế V_A của nút A và điện thế đầu ra V_{out} thu được trước khi dòng điện tắt được tính toán. Như vậy, điện thế V_A của nút A có thể thu được dựa trên điện thế đầu ra V_{out} . Từ mối tương quan như nêu trên, điện thế V_A của nút A có thể biểu diễn bằng công thức dưới đây ở dạng hàm của điện thế đầu ra V_{out} .

Công thức 1

$$V_A = F(V_{out})$$

Điện tích Q_A của nút A được biểu diễn bằng công thức sau bằng cách sử dụng điện thế V_A của nút A, điện dung C_A nối với nút A, và một hằng số (const). Ở đây, điện dung C_A nối với nút A là tổng điện dung của tụ điện 802 và điện dung khác.

Công thức 2

$$Q_A = C_A V_A + const$$

Vì dòng điện I_A của nút A thu được bằng cách lấy đạo hàm điện tích đi tới nút A (hoặc điện tích đi từ nút A) theo thời gian, dòng điện I_A của nút A được biểu diễn bằng công thức sau.

Công thức 3

$$I_A \equiv \frac{\Delta Q_A}{\Delta t} = \frac{C_A \cdot \Delta F(V_{out})}{\Delta t}$$

Như vậy, dòng điện I_A của nút A có thể thu được dựa trên điện dung C_A nối với nút A và điện thế đầu ra V_{out} của đầu nối ra.

Nhờ phương pháp như nêu trên, dòng điện rò (dòng điện tắt) đi giữa cực nguồn và cực máng của tranzito ở trạng thái tắt có thể được tính toán.

Theo ví dụ này, tranzito 804, tranzito 805, tranzito 806, và tranzito 808 được chế tạo bằng cách sử dụng chất bán dẫn oxit có độ tinh khiết cao có độ dài kênh dẫn L là 10 μm và độ rộng kênh dẫn W là 50 μm . Trong mỗi hệ thống đo 800 được bố trí song song, trị số điện dung của các tụ điện 802a, 802b, và 802c lần lượt là 100 fF, 1pF, và 3pF.

Cần lưu ý rằng phép đo theo ví dụ này được thực hiện với giả thiết $V_{DD} = 5 \text{ V}$ và $V_{SS} = 0 \text{ V}$. Trong giai đoạn đo, điện thế V_1 cơ bản được thiết lập là V_{SS} và được thiết lập là V_{DD} chỉ trong thời khoảng 100 mili giây mỗi giai đoạn nằm trong khoảng từ 10 tới 300 giây, và V_{out} được đo. Hơn nữa, Δt được sử dụng khi dòng điện I đi qua một phân tử bằng khoảng 30000 giây.

Fig.28 thể hiện mối tương quan giữa điện thế đầu ra V_{out} và thời gian trong phép đo dòng điện. Theo Fig.28, điện thế thay đổi theo thời gian.

Fig.29 thể hiện dòng điện tắt ở nhiệt độ trong phòng (25°C) được tính toán dựa trên phép đo dòng điện nêu trên. Cần lưu ý rằng Fig.29 thể hiện mối tương quan giữa điện áp cực nguồn-cực máng V và dòng điện tắt I . Theo Fig.29, dòng điện tắt bằng khoảng $40 \text{ zA}/\mu\text{m}$, trong đó điện áp cực nguồn-cực máng là 4 V . Khi điện áp cực nguồn-cực máng là $3,1 \text{ V}$, dòng điện tắt nhỏ hơn hoặc bằng $10 \text{ zA}/\mu\text{m}$. Cần lưu ý rằng 1 zA tương đương với 10^{-21} A .

Hơn nữa, Fig.30 thể hiện dòng điện tắt trong môi trường ở nhiệt độ là 85°C được tính toán dựa trên phép đo dòng điện nêu trên. Fig.30 thể hiện mối tương quan giữa điện áp cực nguồn-cực máng V và dòng điện tắt I ở nhiệt độ 85°C . Theo Fig.30, dòng điện tắt bằng khoảng $100 \text{ zA}/\mu\text{m}$ khi điện áp cực nguồn-cực máng là $3,1 \text{ V}$.

Theo ví dụ này, có thể khẳng định rằng dòng điện tắt có thể là đủ nhỏ ở tranzito chứa chất bán dẫn oxit có độ tinh khiết cao.

Ví dụ 2

Số lần mà thiết bị bán dẫn theo một phương án của sáng chế có thể ghi lại dữ liệu được kiểm tra. Theo ví dụ này, các kết quả kiểm tra sẽ được mô tả có dựa vào Fig.31.

Thiết bị bán dẫn được sử dụng để kiểm tra là thiết bị bán dẫn có kết cấu mạch trên Fig.15A. Ở đây, chất bán dẫn oxit được sử dụng cho tranzito tương ứng với tranzito 162, và tụ điện với trị số điện dung là $0,33 \text{ pF}$ được sử dụng làm tụ điện tương ứng với tụ điện 164.

Việc kiểm tra được thực hiện bằng cách so sánh độ rộng cửa sổ bộ nhớ ban đầu và độ rộng cửa sổ bộ nhớ ở thời điểm sau khi việc lưu giữ và ghi lại dữ liệu được lặp lại một số lần định trước. Dữ liệu được lưu giữ và được ghi bằng cách cấp 0 V hoặc 5 V vào đường dẫn tương ứng với đường

dẫn thứ ba trên Fig.15A và cấp 0 V hoặc 5 V vào đường dẫn tương ứng với đường dẫn thứ tư trên Fig.15A. Khi điện thế của đường dẫn tương ứng với đường dẫn thứ tư là 0 V, tranzito (tranzito ghi) tương ứng với tranzito 162 ở trạng thái tắt; như vậy, điện thế được cấp tới nút FG được duy trì. Khi điện thế của đường dẫn tương ứng với đường dẫn thứ tư là 5 V, tranzito (tranzito ghi) tương ứng với tranzito 162 ở trạng thái bật; như vậy, điện thế của đường dẫn tương ứng với đường dẫn thứ ba được cấp tới nút FG.

Độ rộng cửa sổ bộ nhớ là một trong số các dấu hiệu chỉ báo về các đặc tính của một thiết bị bộ nhớ. Ở đây, độ rộng cửa sổ bộ nhớ biểu thị lượng dịch chuyển ΔV_{cg} trên các đường đồ thị (các đường đồ thị $V_{cg}-I_d$) giữa các trạng thái nhớ khác nhau, trong đó thể hiện mối tương quan giữa điện thế V_{cg} của đường dẫn tương ứng với đường dẫn thứ năm và dòng điện cực máng I_d của tranzito (tranzito đọc) tương ứng với tranzito 160. Các trạng thái nhớ khác nhau nghĩa là trạng thái trong đó 0 V được cấp tới nút FG (sau đây được gọi là trạng thái thấp) và trạng thái trong đó 5 V được cấp tới nút FG (sau đây được gọi là trạng thái cao). Nghĩa là, độ rộng cửa sổ bộ nhớ có thể được kiểm tra bằng cách quét điện thế V_{cg} ở trạng thái thấp và ở trạng thái cao.

Fig.31 thể hiện các kết quả kiểm tra của độ rộng cửa sổ bộ nhớ ở thời điểm sau khi thao tác ghi được thực hiện 1×10^9 lần. Cần lưu ý rằng trên Fig.31, trục hoành thể hiện V_{cg} (V) và trục tung thể hiện dòng điện cực máng I_d (A). Theo Fig.31, độ rộng cửa sổ bộ nhớ không bị thay đổi sau khi dữ liệu được ghi 1×10^9 lần, điều này nghĩa là ít nhất trong giai đoạn sau khi dữ liệu được ghi 1×10^9 lần, thiết bị bán dẫn không bị hỏng.

Như nêu trên, trong thiết bị bán dẫn theo một phương án của sáng chế, các đặc tính không bị thay đổi thậm chí sau khi dữ liệu được lưu giữ và được ghi 1×10^9 lần và độ bền đối với hoạt động ghi lại là rất cao. Nghĩa là, có thể nói rằng, theo một phương án của sáng chế, có thể thực hiện thiết bị bán dẫn có độ tin cậy cao.

Bản mô tả của sáng chế dựa trên đơn yêu cầu cấp patent Nhật Bản số 2009-249330 được nộp tại Cơ quan patent Nhật Bản ngày 29 tháng 10 năm 2009, toàn bộ nội dung của đơn này được kết hợp ở đây bằng cách viện dẫn.

Mặc dù sáng chế đã được mô tả chi tiết liên quan tới các phương án ưu tiên của nó, chuyên gia trong lĩnh vực kỹ thuật này cần phải hiểu rằng các thay đổi khác nhau có thể được thực hiện mà không nằm ngoài phạm vi của sáng chế.

Yêu cầu bảo hộ

1. Thiết bị bán dẫn có ô nhớ, ô nhớ này bao gồm:

tranzito thứ nhất có cực cổng thứ nhất, cực cổng thứ nhất này được tạo ra trên một nền; và

tranzito thứ hai trên nền này, tranzito thứ hai này có cực nguồn thứ hai và cực máng thứ hai,

trong đó tranzito thứ hai có lớp bán dẫn oxit,

trong đó cực cổng thứ nhất và một trong số cực nguồn thứ hai và cực máng thứ hai được nối điện với nhau, và

lớp cách điện liên lớp trên tranzito thứ nhất, trong đó tranzito thứ hai nằm trên lớp cách điện liên lớp này.

2. Thiết bị bán dẫn theo điểm 1,

trong đó tranzito thứ hai còn bao gồm cực cổng thứ hai và lớp cách điện cổng nằm trên cực cổng thứ hai này,

trong đó lớp bán dẫn oxit nằm trên lớp cách điện cổng; và

trong đó cực nguồn thứ hai và cực máng thứ hai nằm trên lớp bán dẫn oxit.

3. Thiết bị bán dẫn theo điểm 1,

trong đó lớp bán dẫn oxit nằm trên lớp cách điện liên lớp,

trong đó tranzito thứ hai còn bao gồm lớp cách điện cổng và cực cổng thứ hai,

trong đó lớp cách điện cổng nằm trên lớp bán dẫn oxit,

trong đó cực cổng thứ hai nằm trên lớp cách điện cổng, và

trong đó cực nguồn thứ hai và cực máng thứ hai nằm trên lớp cách điện liên lớp.

4. Thiết bị bán dẫn theo điểm 1, trong đó nền chứa vật liệu bán dẫn.

5. Thiết bị bán dẫn theo điểm 1, trong đó độ dày của lớp bán dẫn oxit nằm trong khoảng từ 5 nm đến 30 nm bao gồm cả hai giá trị đầu mút của khoảng.

6. Thiết bị bán dẫn theo điểm 1, trong đó tranzito thứ nhất có vùng tạo thành kênh dẫn chứa silic.
7. Thiết bị bán dẫn theo điểm 1, trong đó thiết bị này còn có một tụ điện nối điện với cực cổng thứ nhất.
8. Thiết bị bán dẫn theo điểm 1, trong đó thiết bị này còn có lớp cách điện bảo vệ nằm trên và tiếp xúc với lớp bán dẫn oxit.
9. Thiết bị bán dẫn theo điểm 3, trong đó cực nguồn thứ hai và cực máng thứ hai được bố trí nằm giữa lớp cách điện liên lớp và lớp bán dẫn oxit.
10. Thiết bị bán dẫn theo điểm 1, trong đó mặt trên của lớp bán dẫn oxit tiếp xúc với cực nguồn thứ hai và cực máng thứ hai.
11. Thiết bị bán dẫn theo điểm 1, trong đó mặt dưới của lớp bán dẫn oxit tiếp xúc với cực nguồn thứ hai và cực máng thứ hai.
12. Thiết bị bán dẫn theo điểm 1, trong đó dòng tắt của tranzito thứ hai là 1×10^{-20} A hoặc nhỏ hơn.
13. Thiết bị bán dẫn theo điểm 1, trong đó hàm lượng hydro trong lớp bán dẫn oxit bằng hoặc nhỏ hơn 5×10^{-19} nguyên tử/cm³.
14. Thiết bị điện tử bao gồm thiết bị bán dẫn theo điểm 1.

FIG. 1

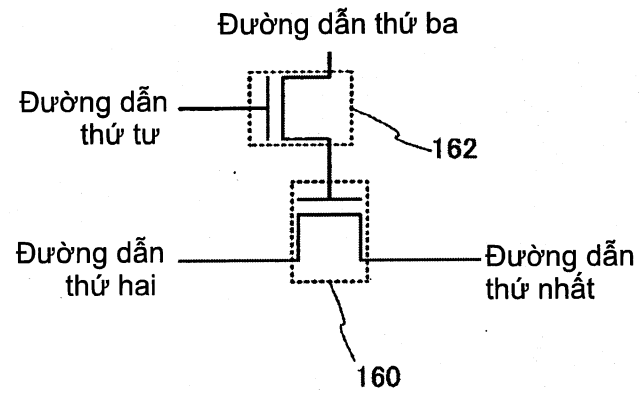


FIG. 2A

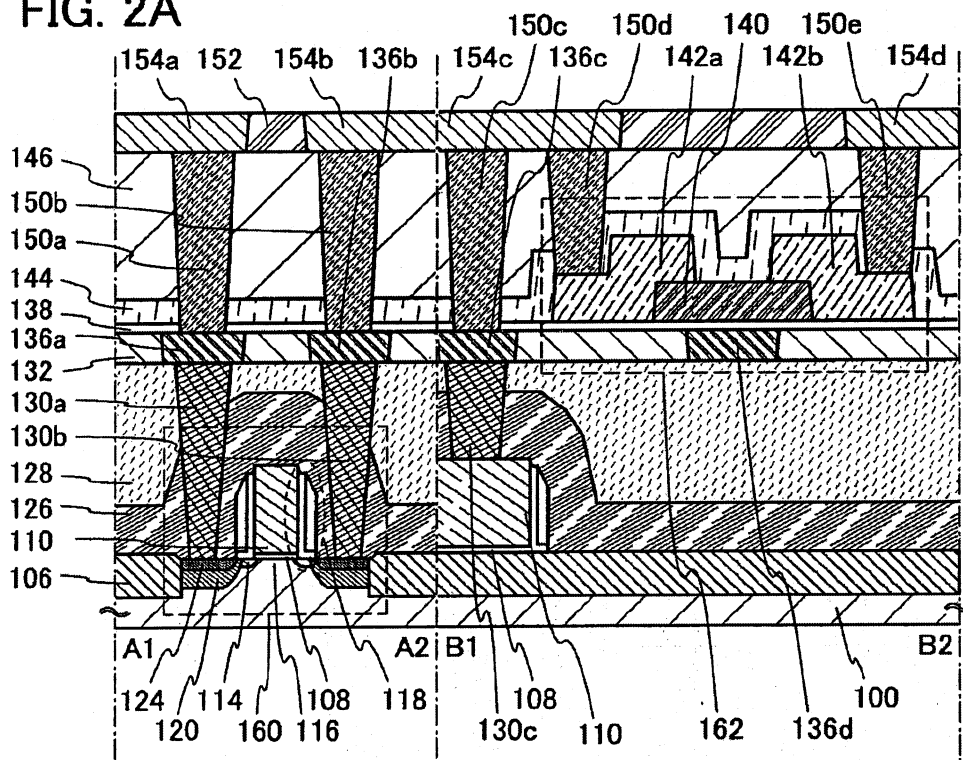


FIG. 2B

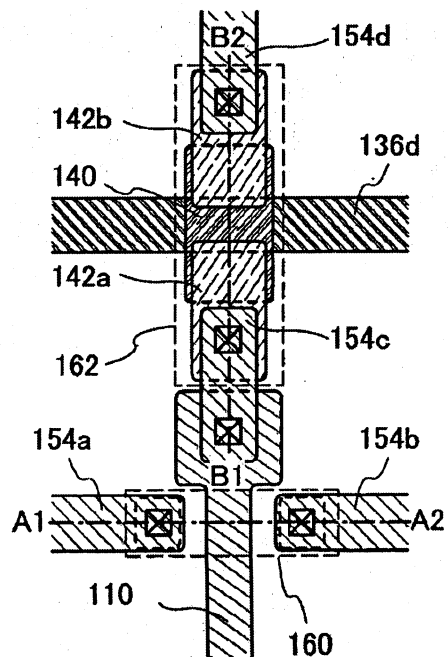


FIG. 3A

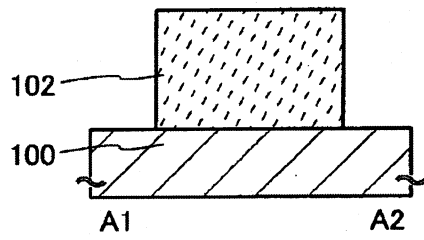


FIG. 3E

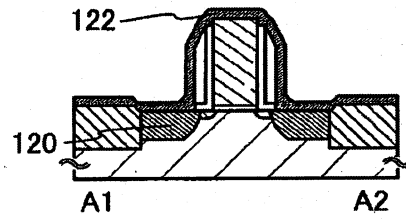


FIG. 3B

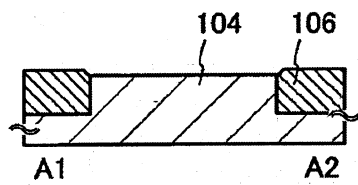


FIG. 3F

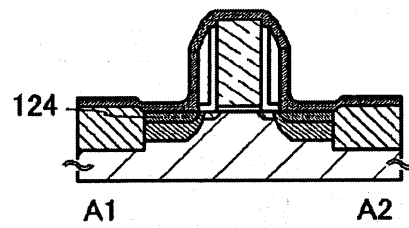


FIG. 3C

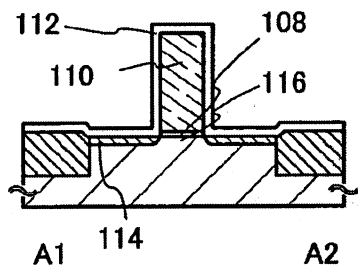


FIG. 3G

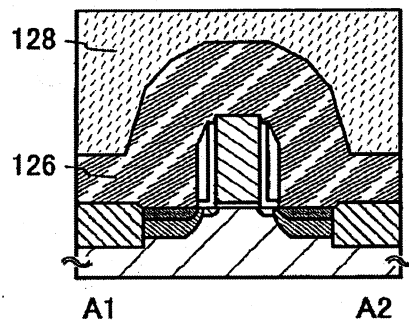


FIG. 3D

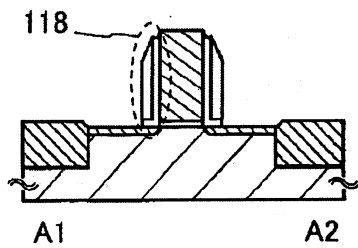


FIG. 3H

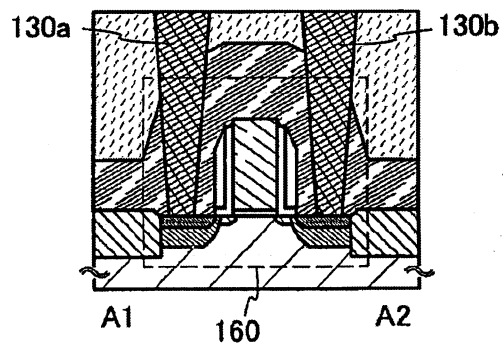


FIG. 4A

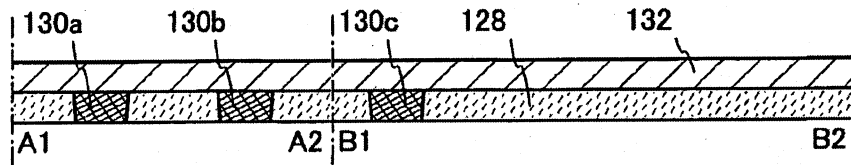


FIG. 4B

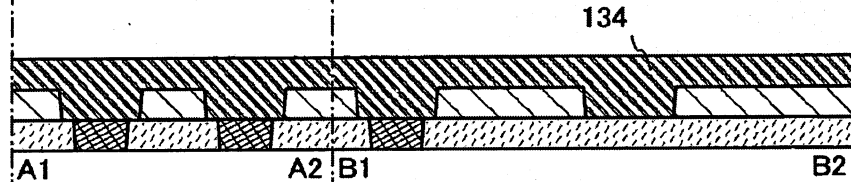


FIG. 4C

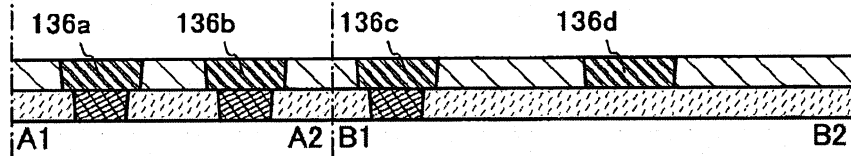


FIG. 4D

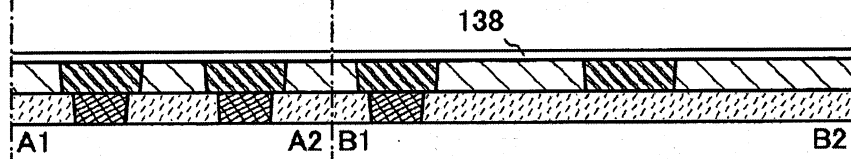


FIG. 4E

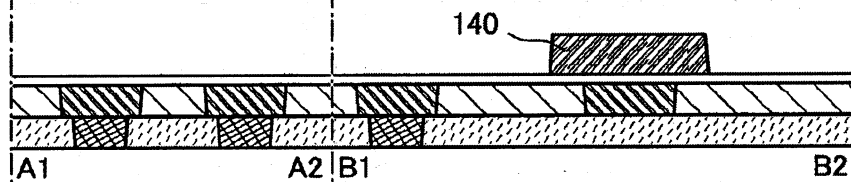


FIG. 4F

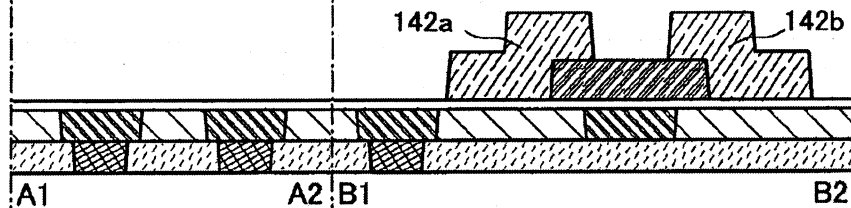


FIG. 4G

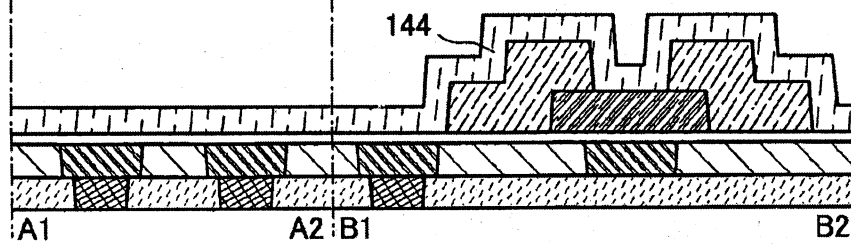


FIG. 5A

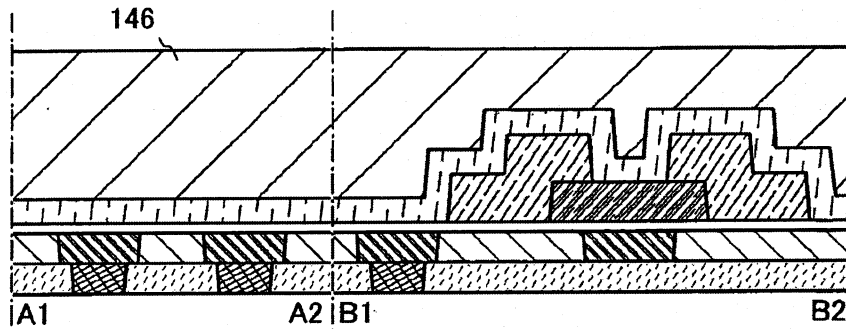


FIG. 5B

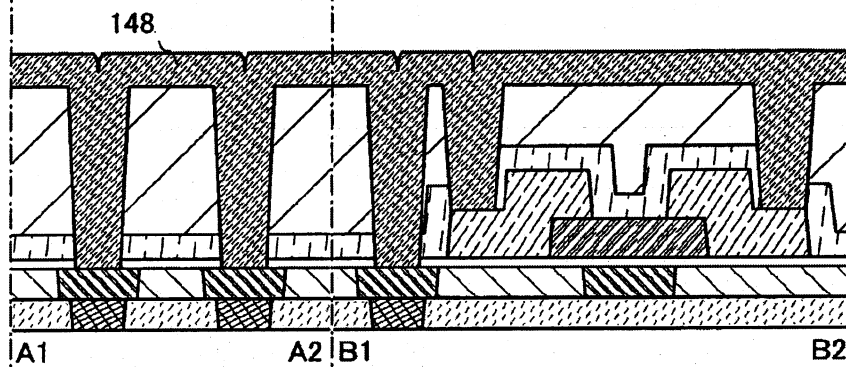


FIG. 5C

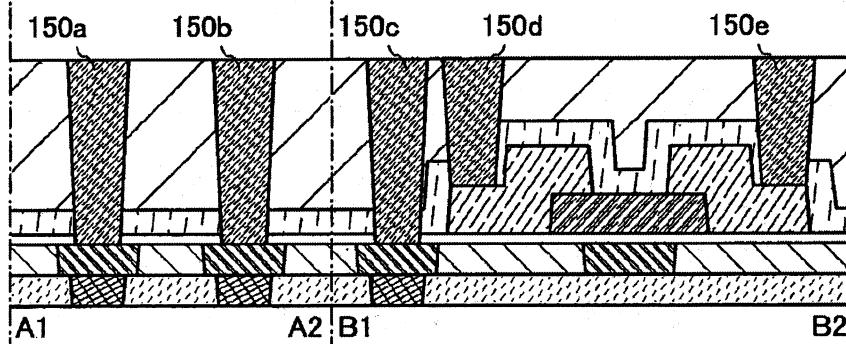


FIG. 5D

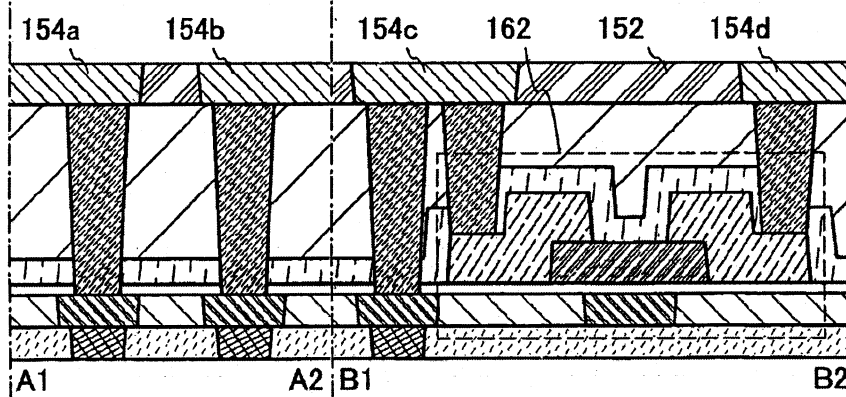


FIG. 6

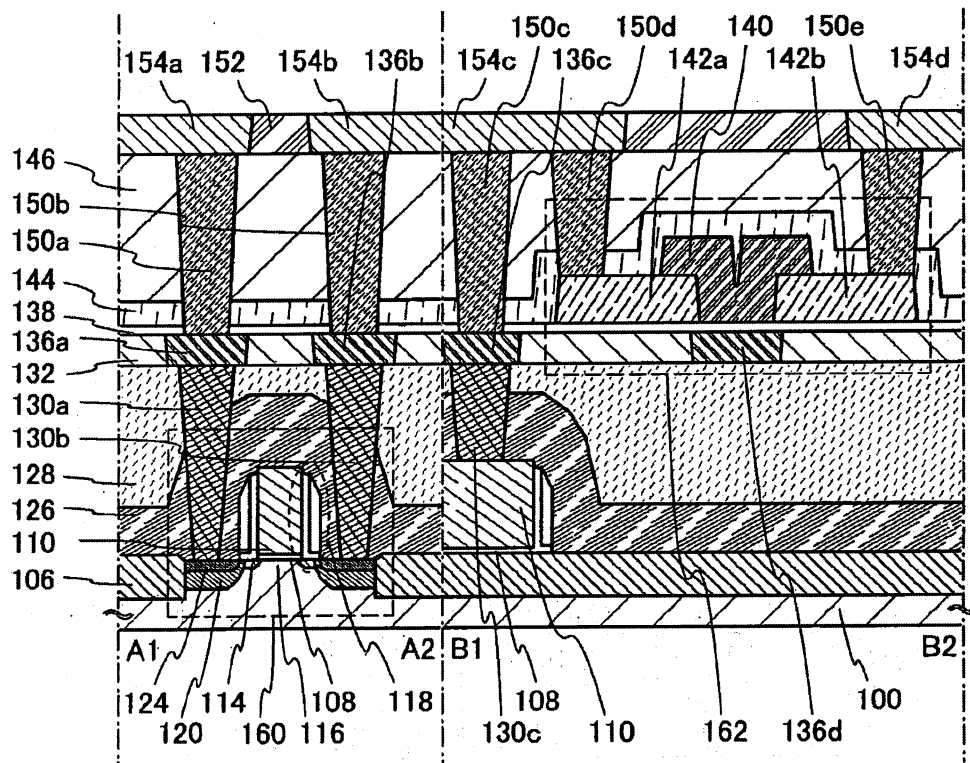


FIG. 7A

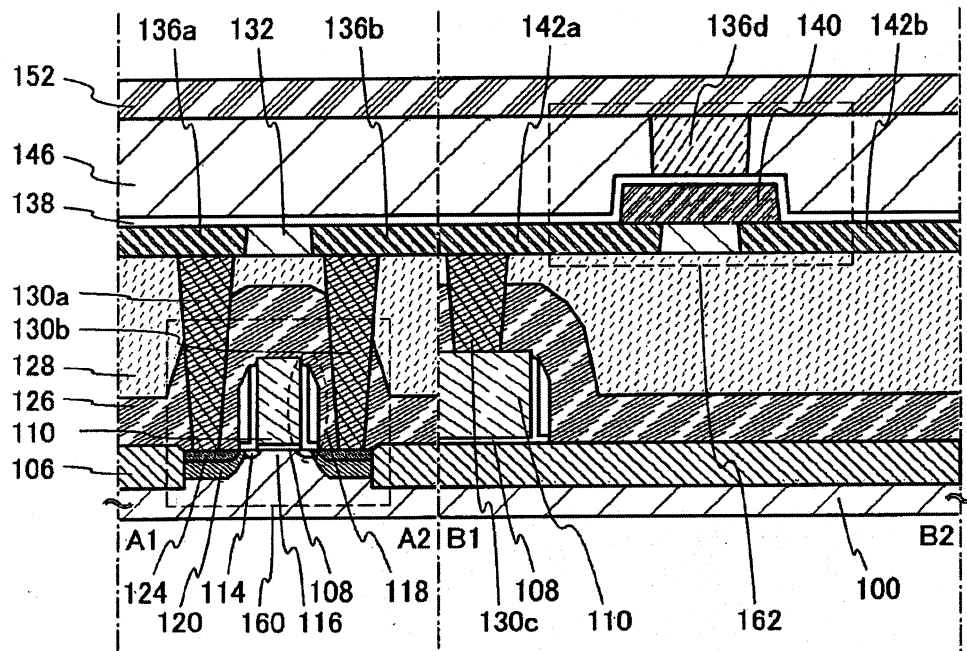


FIG. 7B

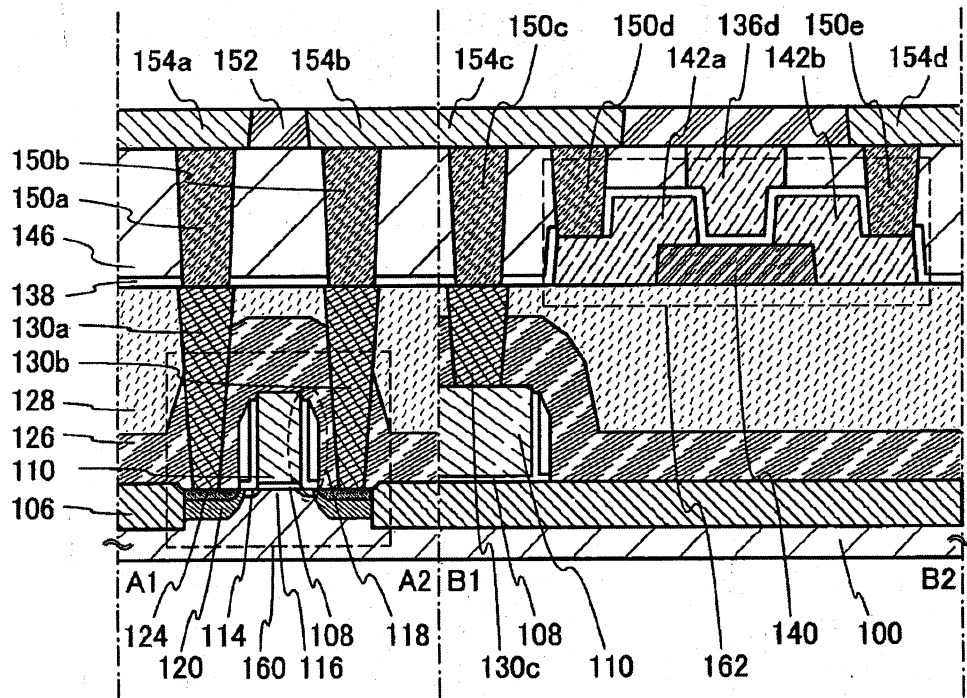


FIG. 8A

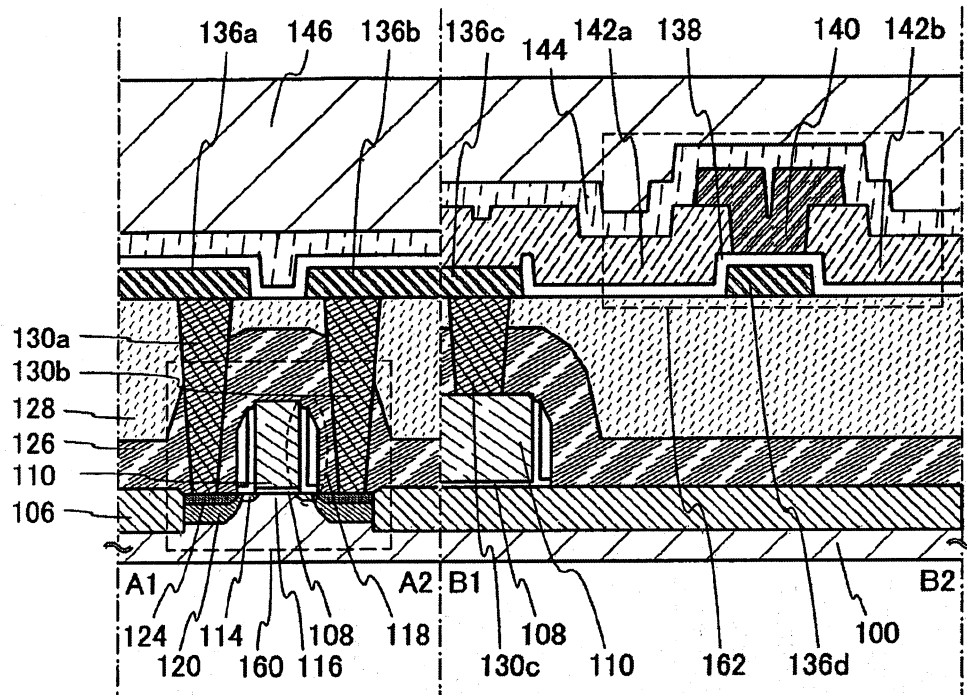


FIG. 8B

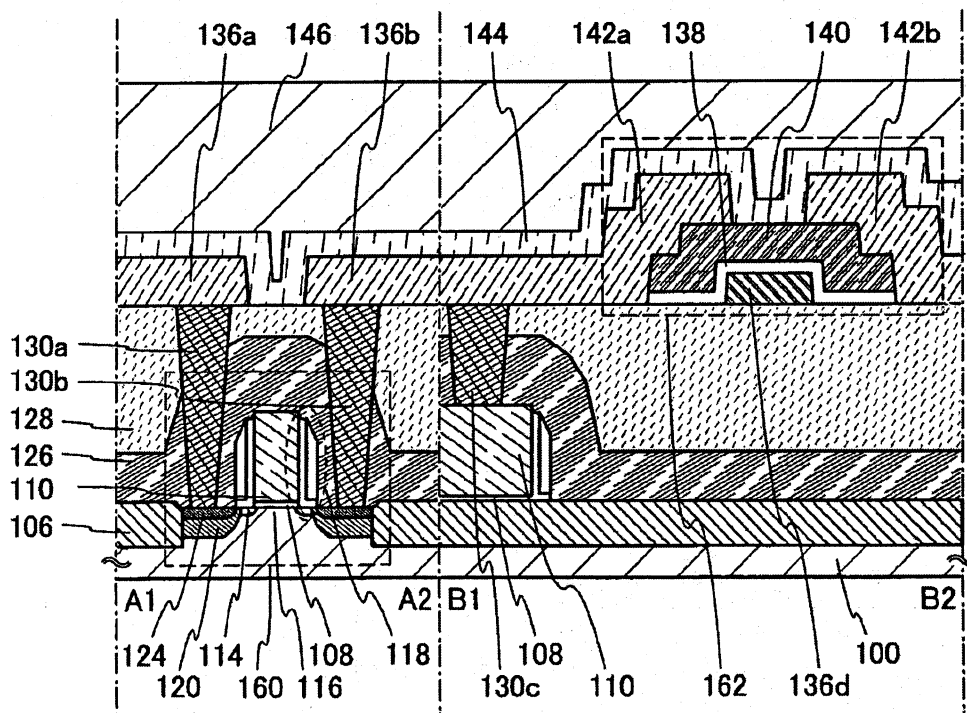


FIG. 9A

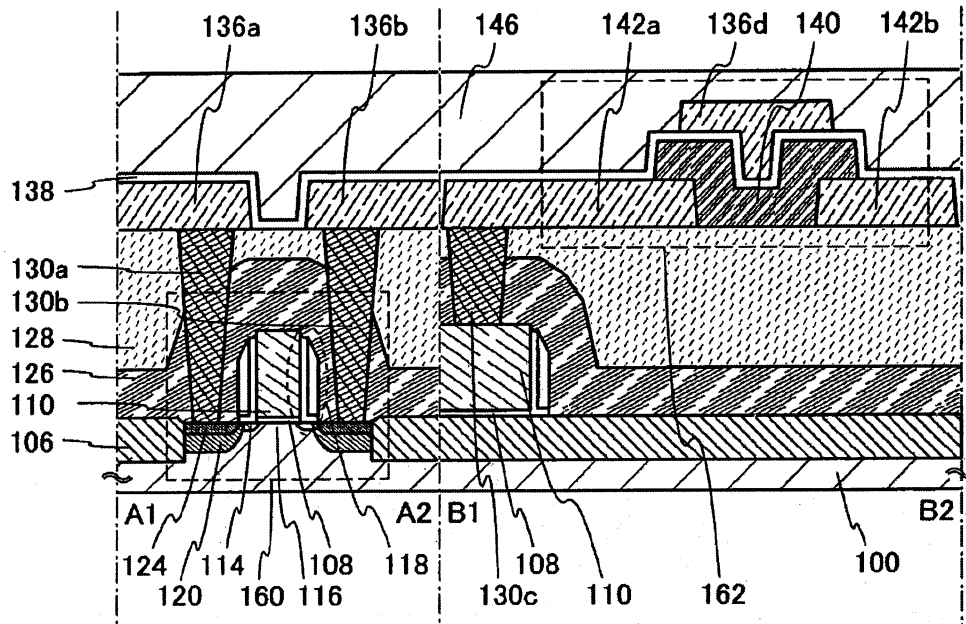


FIG. 9B

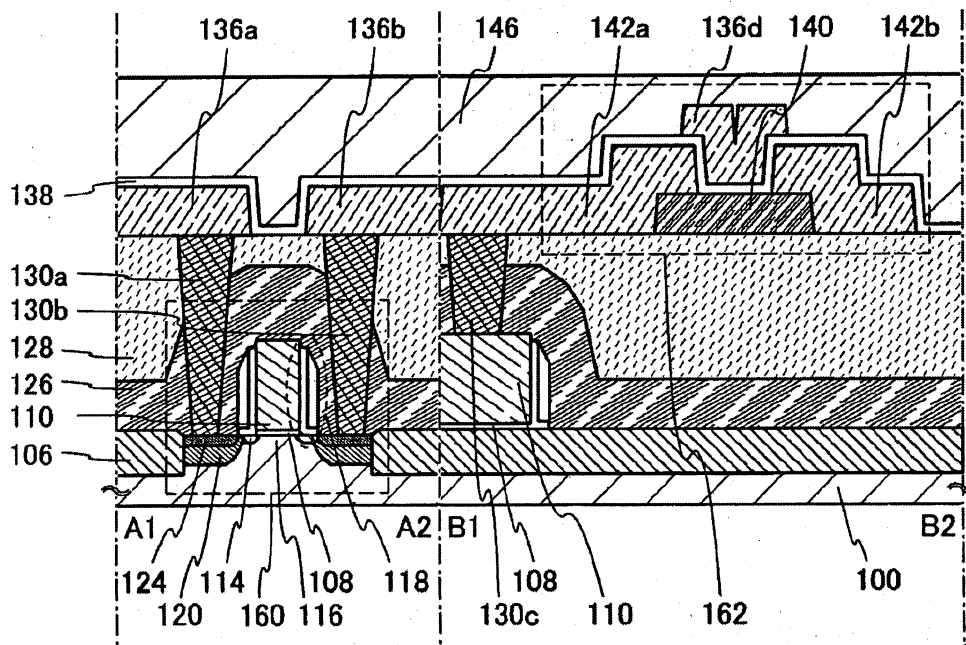


FIG. 10A

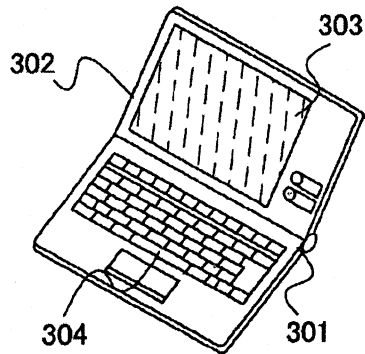


FIG. 10D

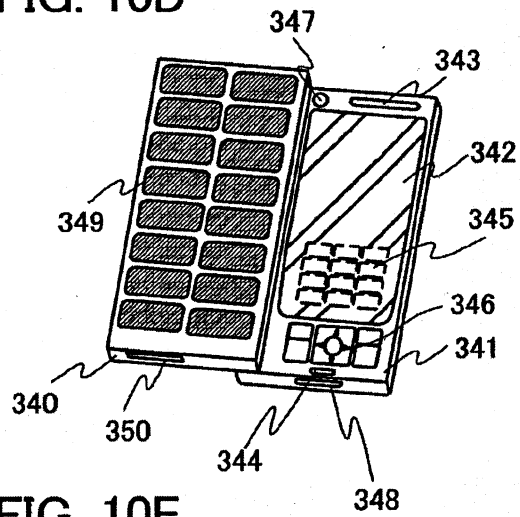


FIG. 10B

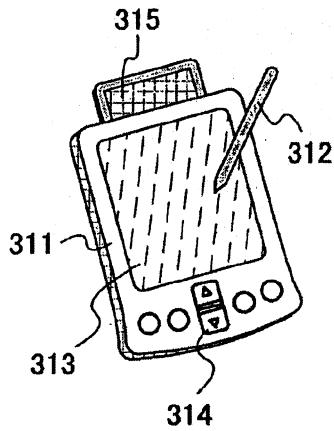


FIG. 10E

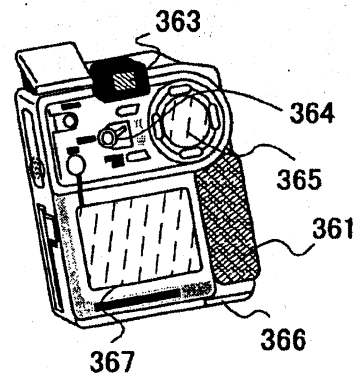


FIG. 10C

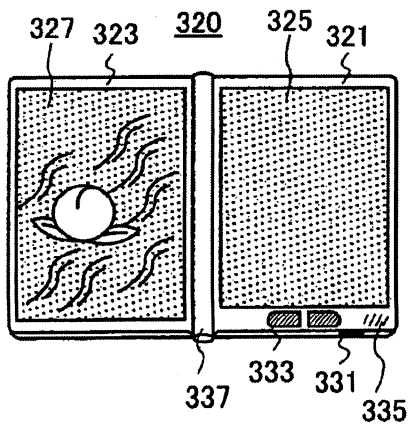


FIG. 10F

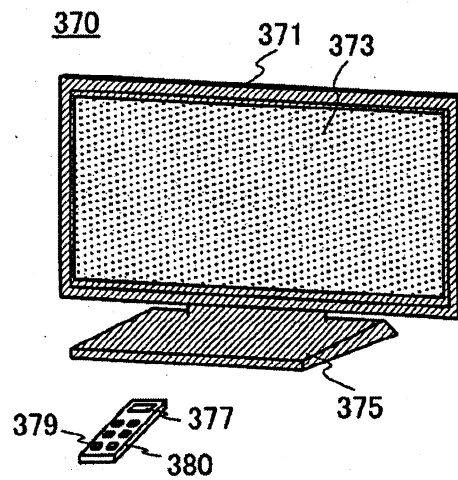


FIG. 11

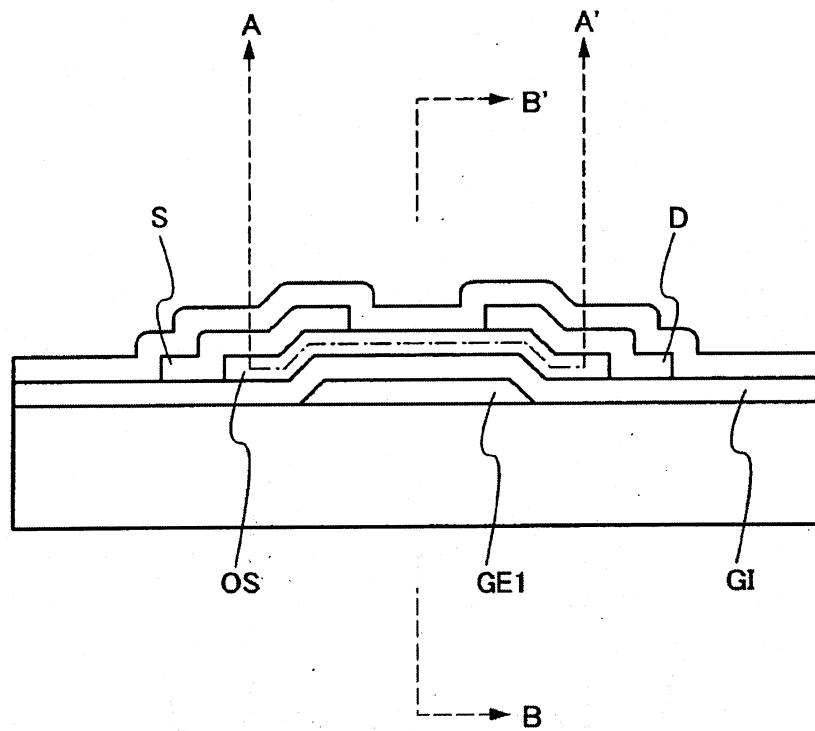


FIG. 12A

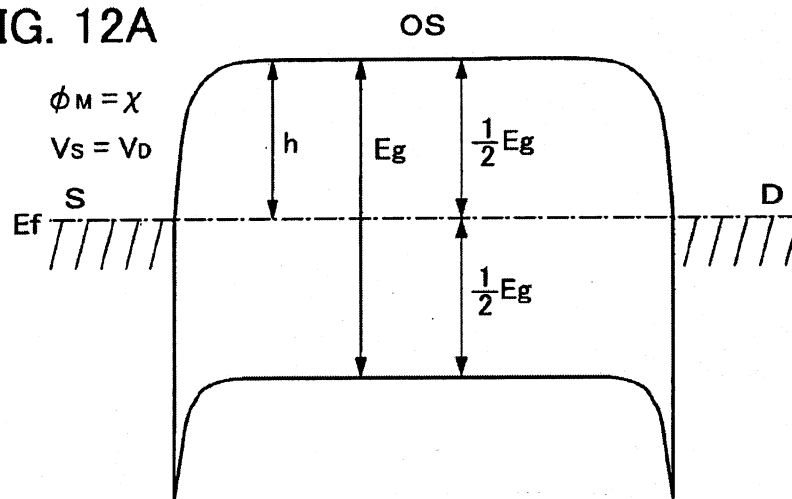


FIG. 12B

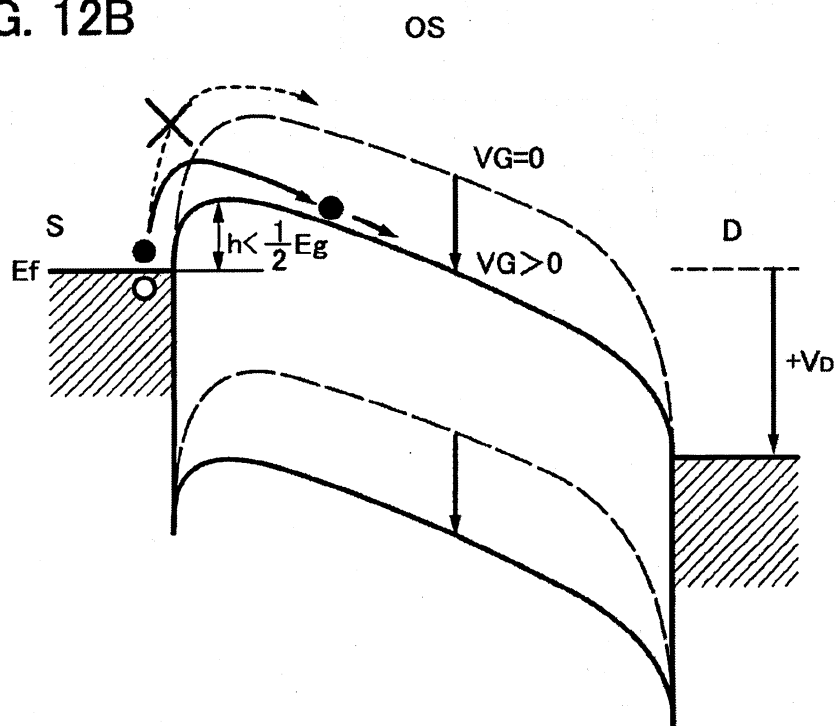


FIG. 13A

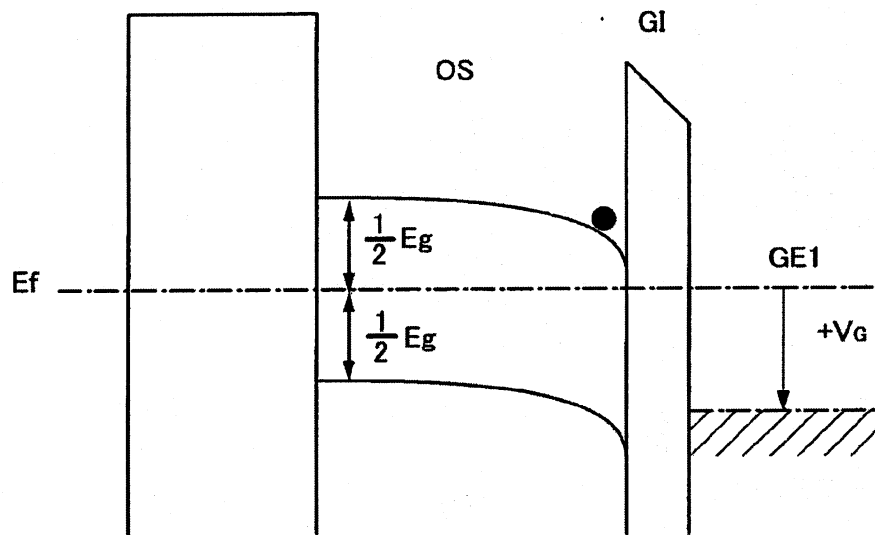


FIG. 13B

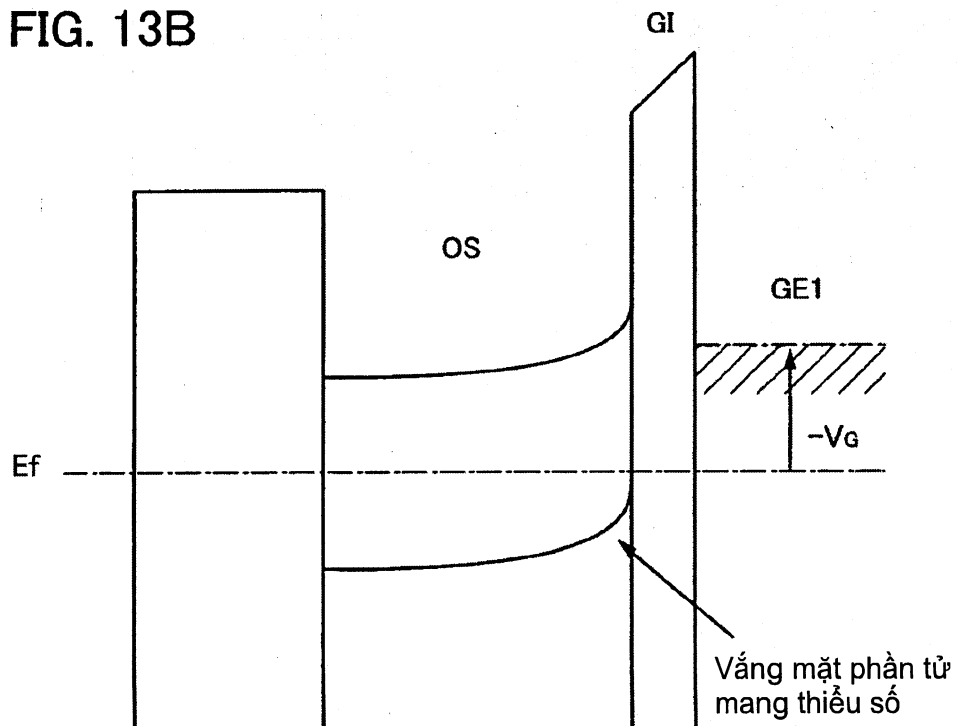


FIG. 14

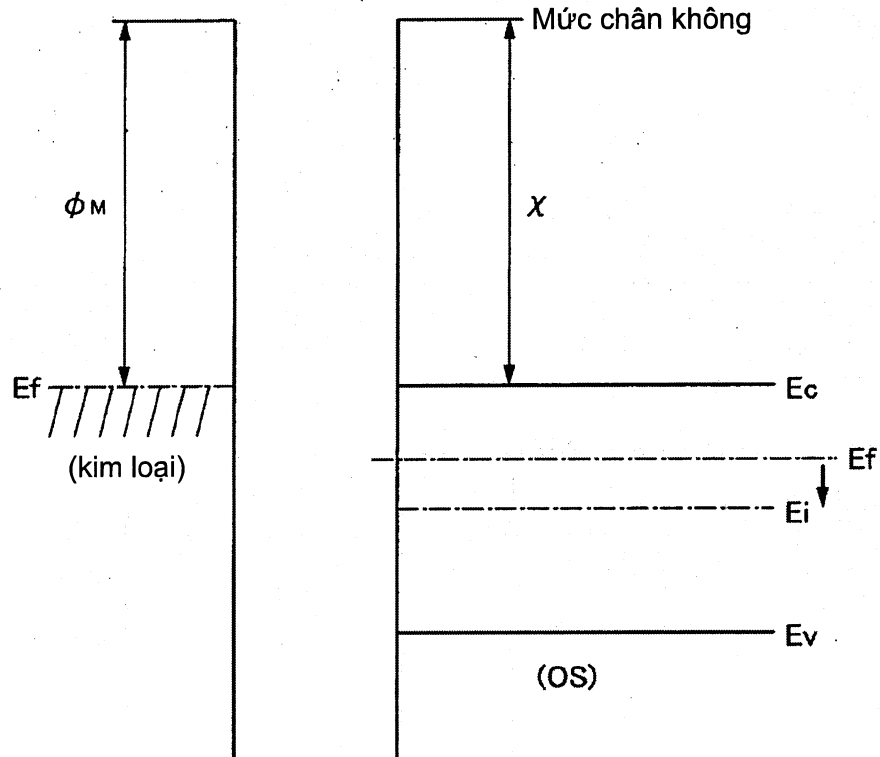


FIG. 15A

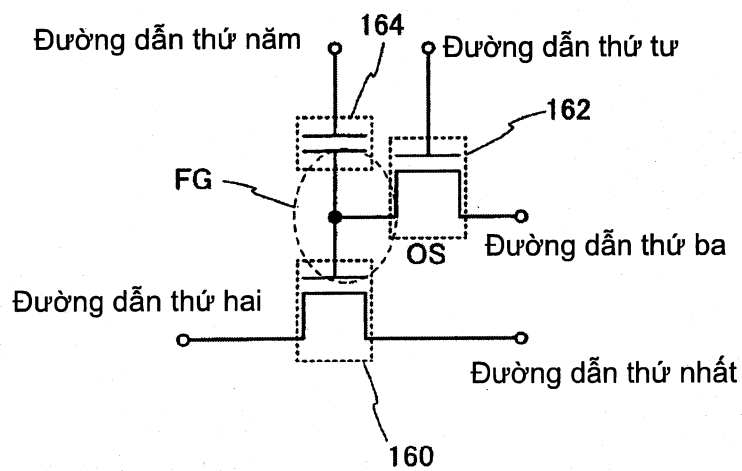


FIG. 15B

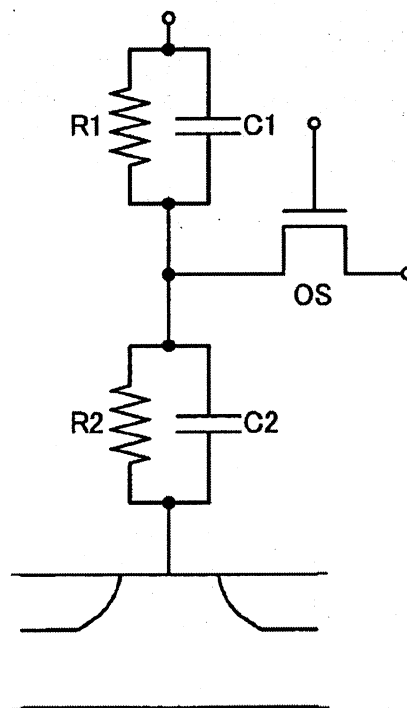


FIG. 16

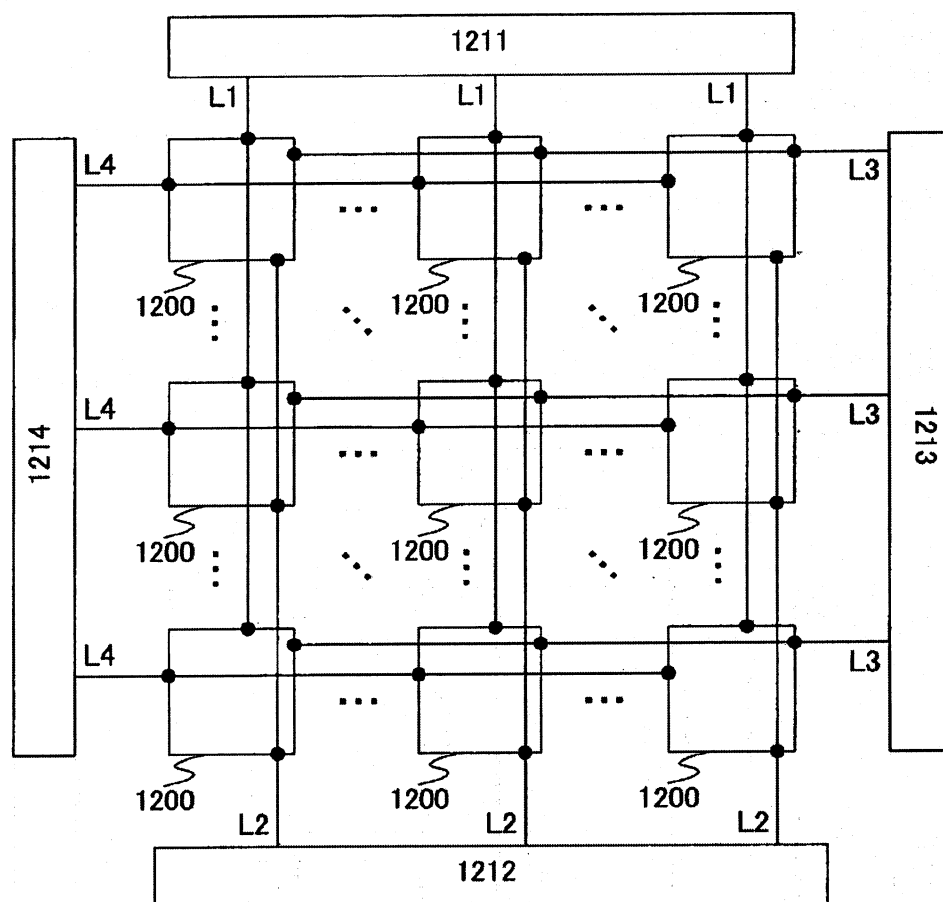


FIG. 17A

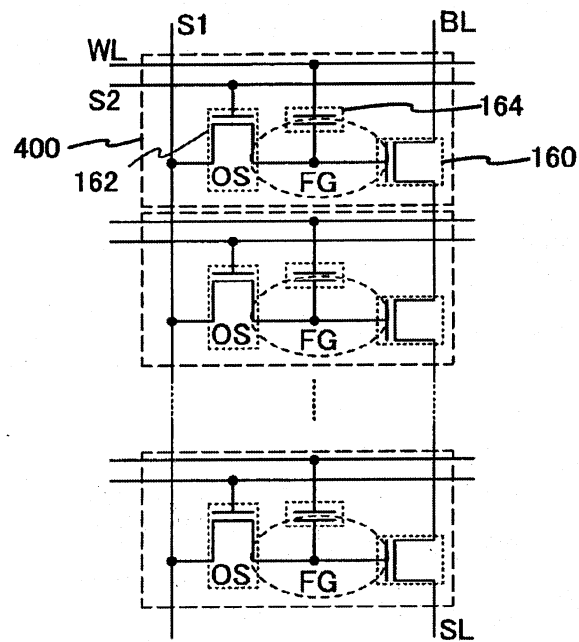


FIG. 17B

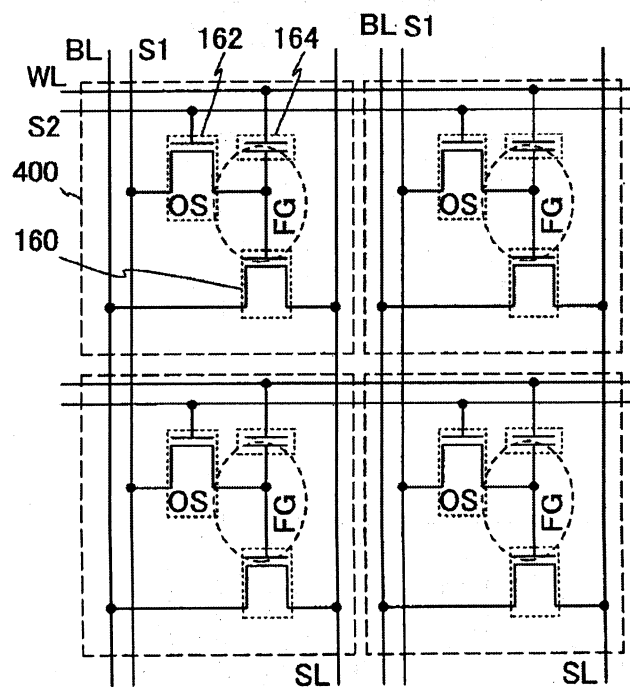


FIG. 18A

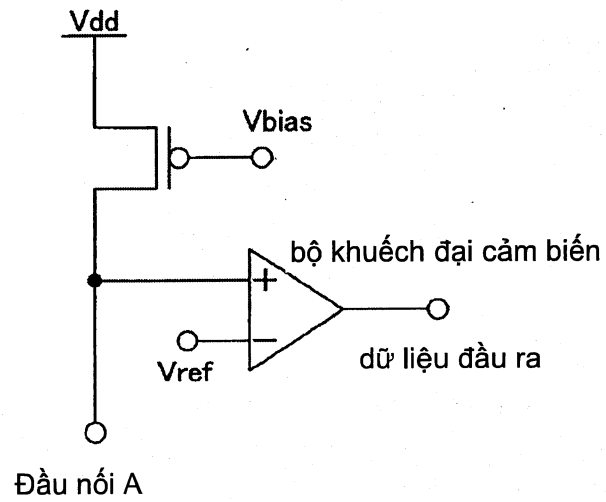


FIG. 18B

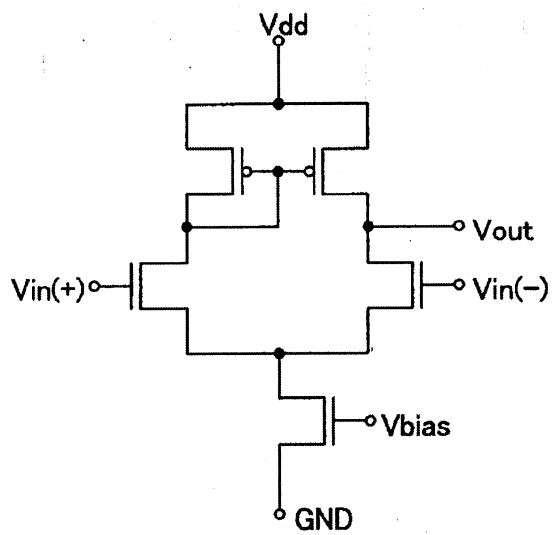


FIG. 18C

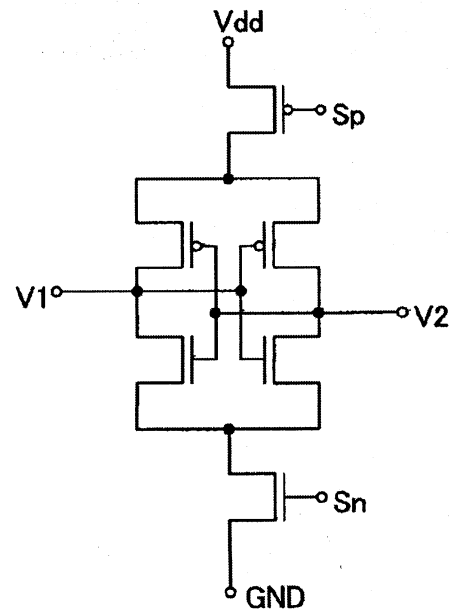


FIG. 19

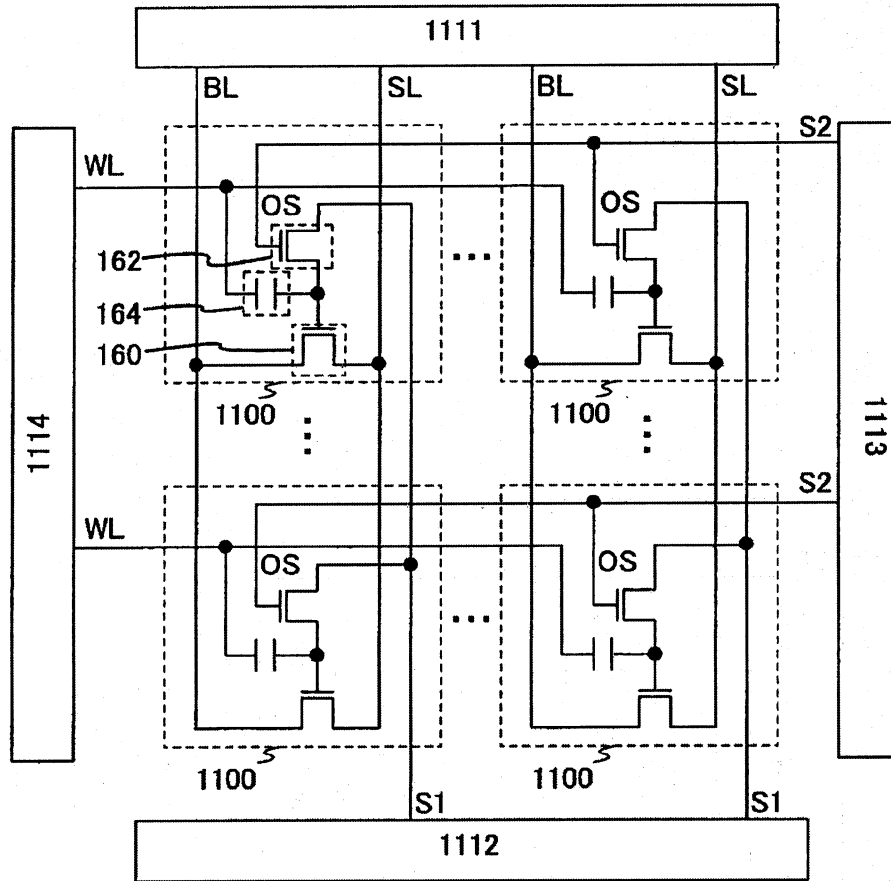


FIG. 20

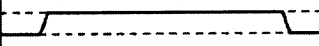
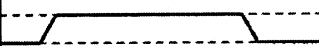
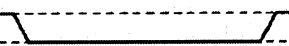
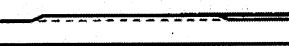
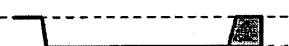
		ghi hàng thứ nhất (1,1) = 1, (1, 2) = 0	đọc hàng thứ nhất (1,1) = 1, (1, 2) = 0
S1(1)	V2 0V		
S1(2)	V1 0V		
S2(1)	VH 0V VL		
S2(2)	VH 0V VL		
BL(1)	V1 0V		
BL(2)	V1 0V		
WL(1)	VH 0V VL		
WL(2)	VH 0V VL		
SL(1),SL(2)	V1 0V		
D(1)	V1 0V	trở kháng cao	
D(2)	V1 0V	trở kháng cao	

FIG. 21

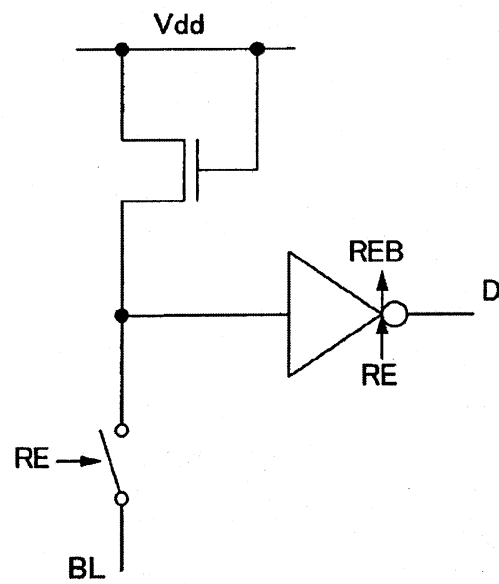


FIG. 22A

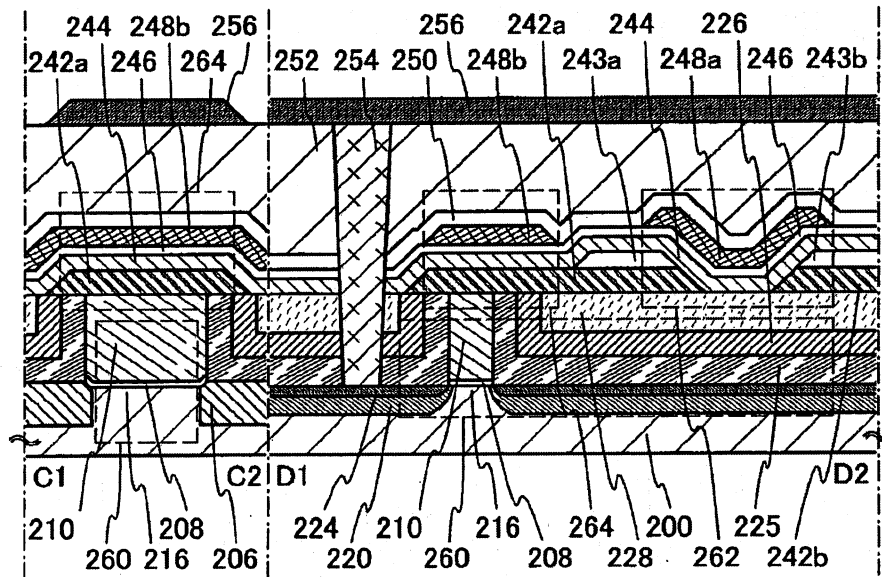


FIG. 22B

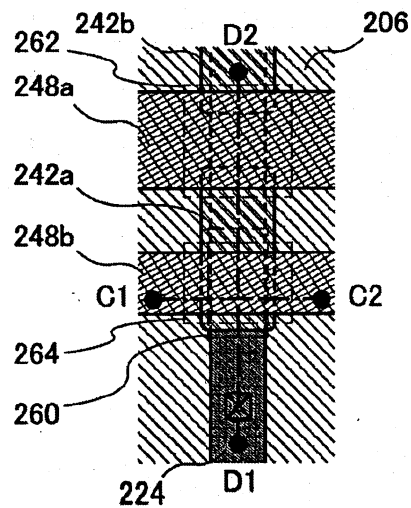


FIG. 23A

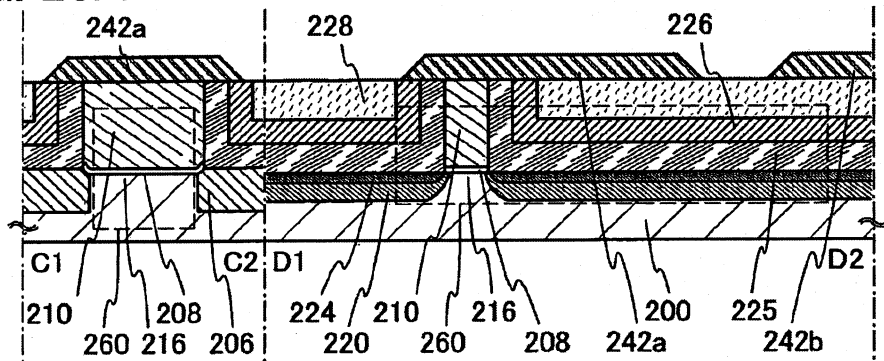


FIG. 23B

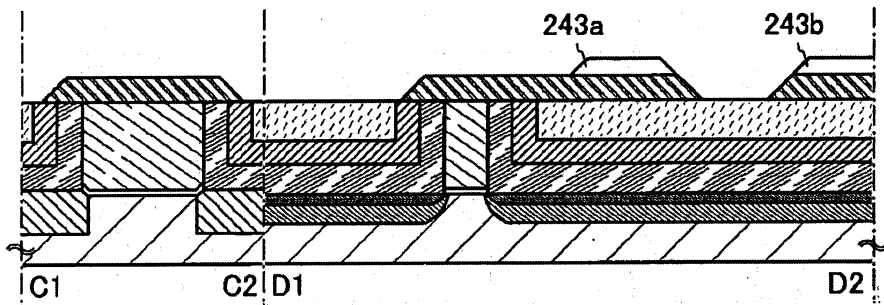


FIG. 23C

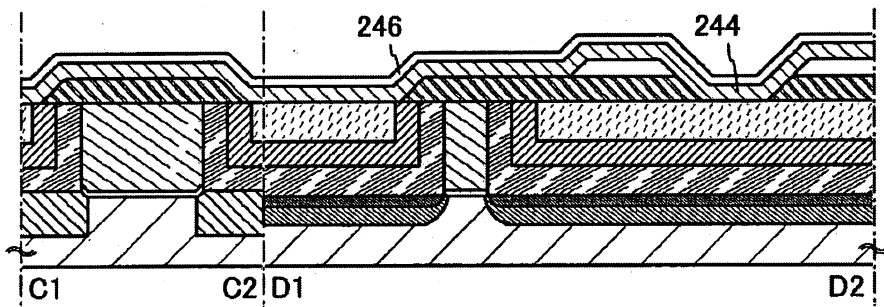


FIG. 23D

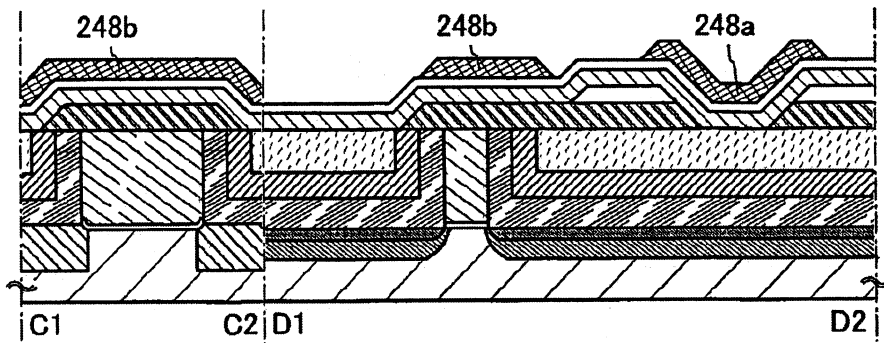


FIG. 24A

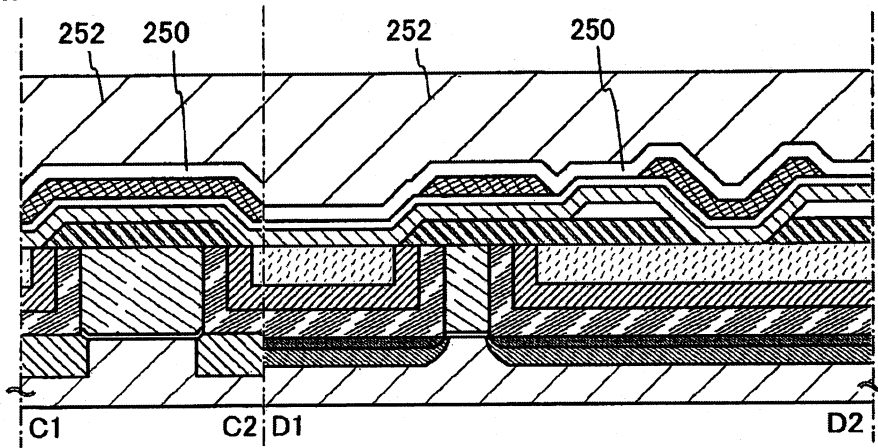


FIG. 24B

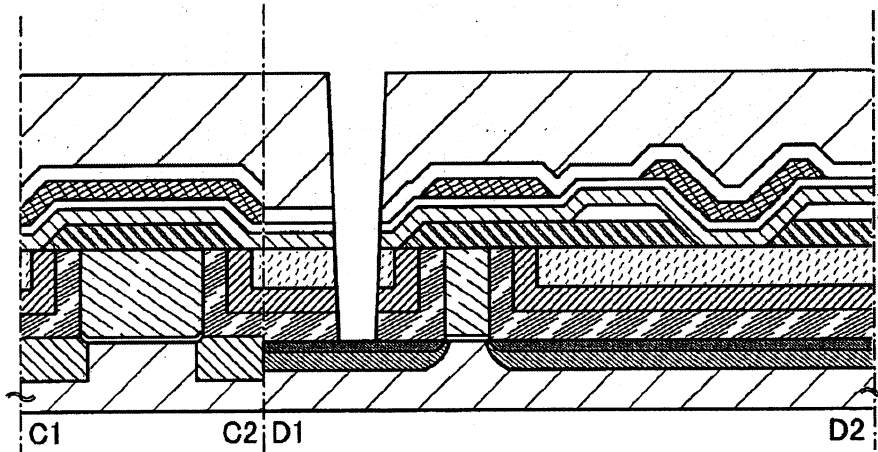


FIG. 24C

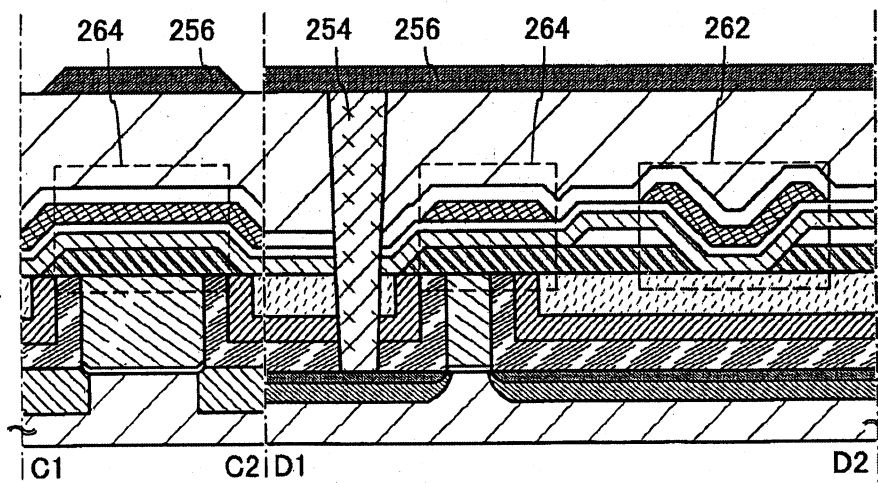


FIG. 25

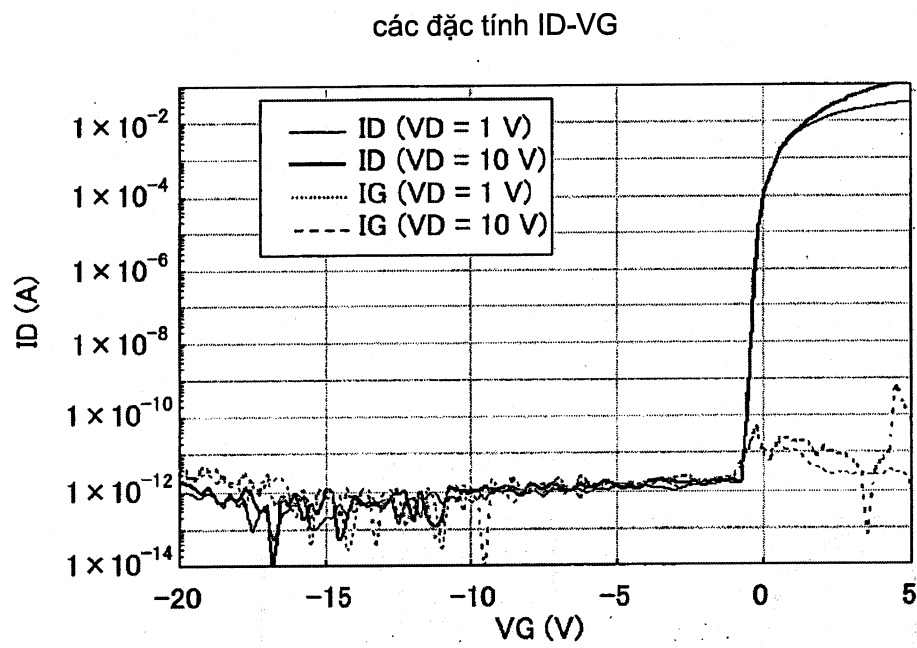


FIG. 26

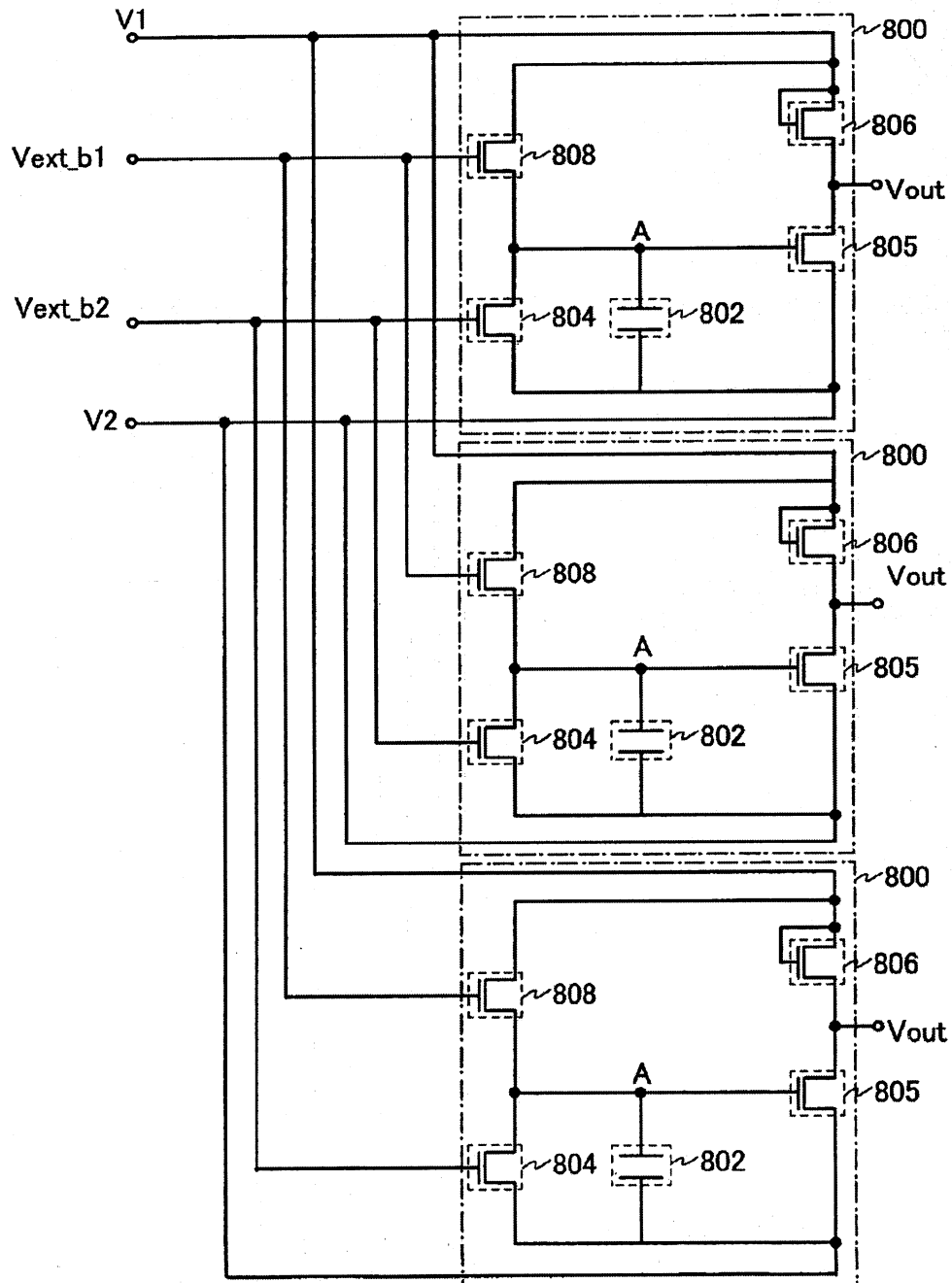


FIG. 27

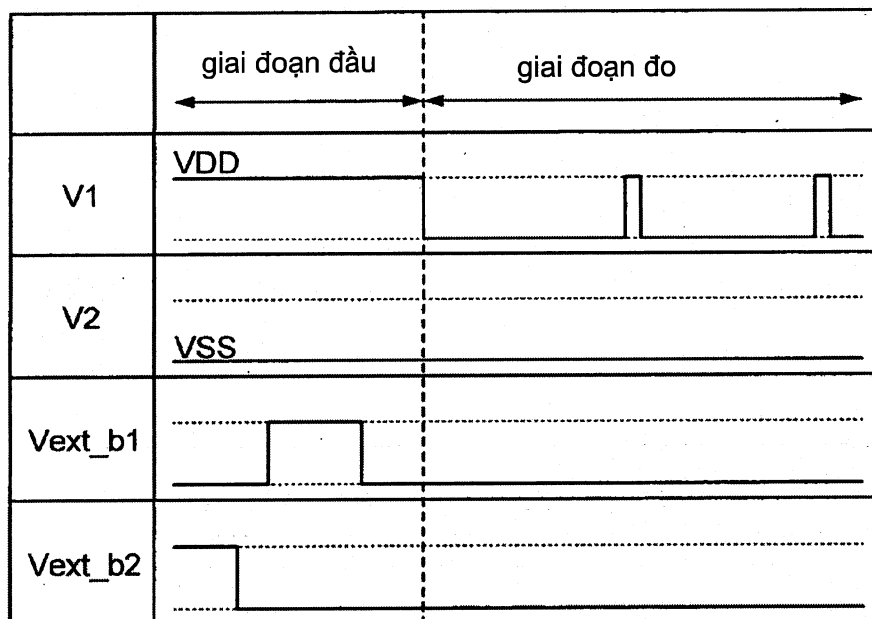


FIG. 28

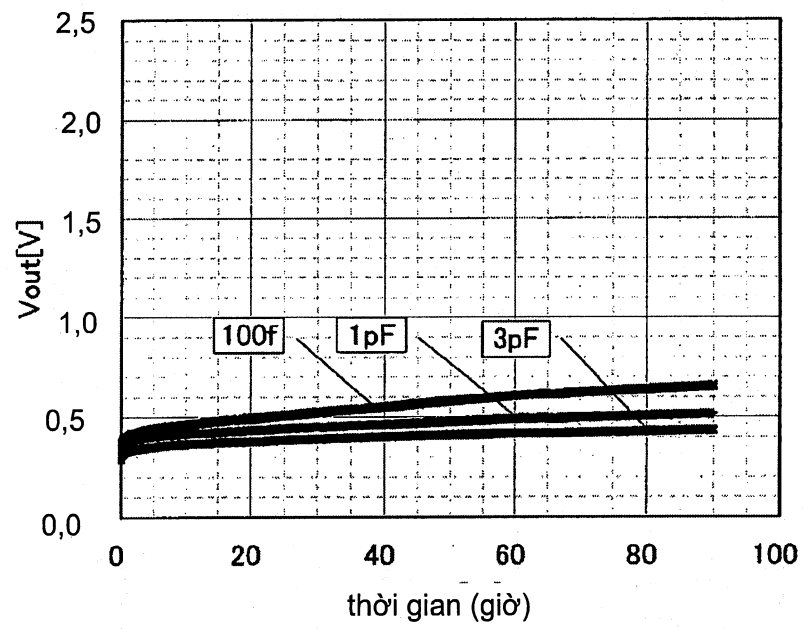


FIG. 29

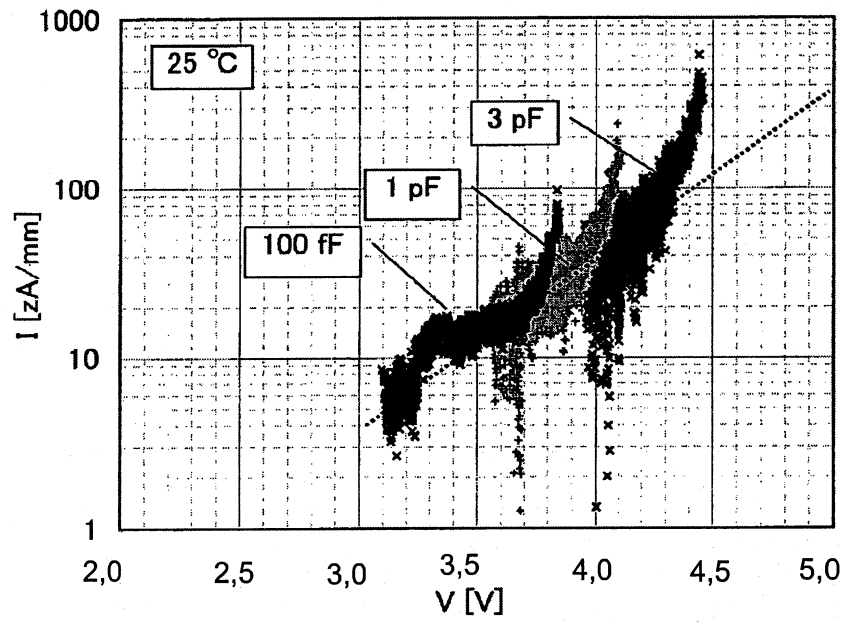


FIG. 30

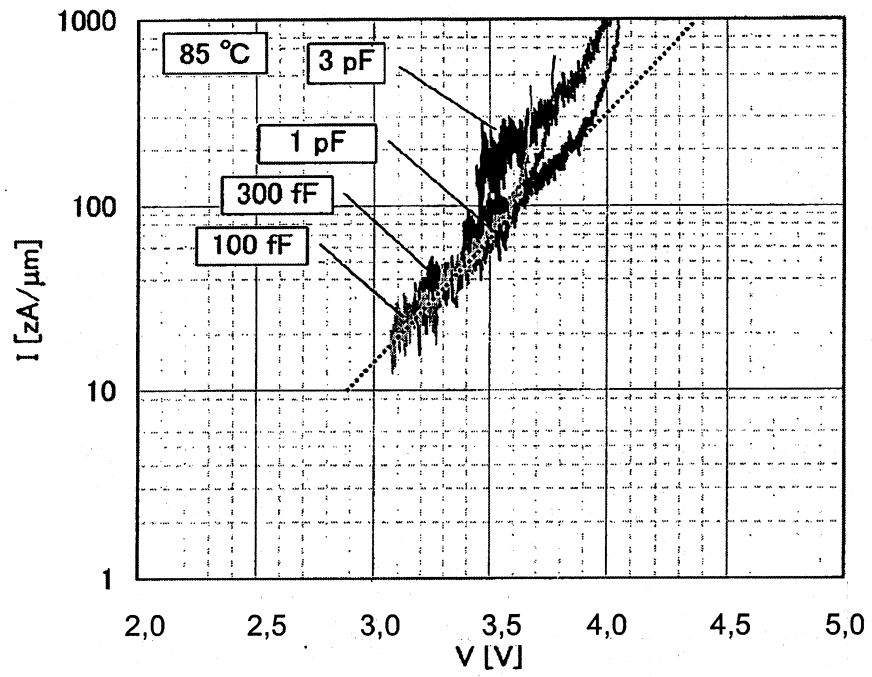


FIG. 31

