



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0025468

(51)⁷ H03M 13/19; H03M 13/27

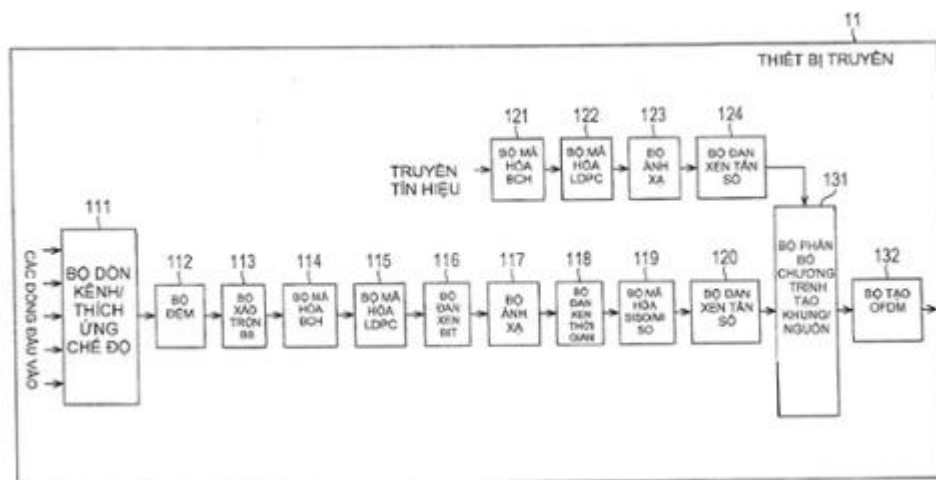
(13) B

- (21) 1-2015-00391 (22) 03/06/2014
(86) PCT/JP2014/064672 03/06/2014 (87) WO 2014/199865 A1 18/12/2014
(30) 2013-124187 12/06/2013 JP
(45) 25/09/2020 390 (43) 25/05/2015 326A
(73) SONY CORPORATION (JP)
1-7-1 Konan Minato-ku, Tokyo 108-0075, Japan
(72) SHINOHARA Yuji (JP); YAMAMOTO Makiko (JP).
(74) Công ty TNHH một thành viên Sở hữu trí tuệ VCCI (VCCI-IP CO.,LTD)

(54) THIẾT BỊ TRUYỀN VÀ PHƯƠNG PHÁP ĐỂ TẠO RA TÍN HIỆU PHÁT RỘNG TRUYỀN HÌNH SỐ, THIẾT BỊ THU VÀ PHƯƠNG PHÁP ĐỂ SỬ DỤNG BỞI THIẾT BỊ THU

(57) Sáng chế đề cập đến thiết bị xử lý dữ liệu và phương pháp xử lý dữ liệu có thể tạo ra mã LDPC với tỷ lệ lỗi tốt.

Bộ mã hóa LDPC thực hiện việc mã hóa bởi mã LDPC có độ dài mã là 16200 bit và tỷ lệ mã là 12/15. Mã LDPC có bit thông tin và bit chẵn lẻ, và ma trận kiểm tra chẵn lẻ H được cấu hình với phần ma trận thông tin tương ứng với bit thông tin của mã LDPC và phần ma trận chẵn lẻ tương ứng với bit chẵn lẻ. Phần ma trận thông tin của ma trận kiểm tra chẵn lẻ H được thể hiện bởi bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ thể hiện các vị trí của phần tử 1 trong phần ma trận thông tin tại khoảng 360 cột. Sáng chế có thể được áp dụng cho trường hợp thực hiện việc giải mã LDPC và việc mã hóa LDPC.



Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập đến thiết bị xử lý dữ liệu, phương pháp xử lý dữ liệu, và cụ thể hơn là đến thiết bị xử lý dữ liệu và phương pháp xử lý dữ liệu có thể đảm bảo chất lượng truyền thông tốt trong việc truyền dữ liệu nhờ sử dụng, ví dụ, mã LDPC.

Tình trạng kỹ thuật của sáng chế

Mã kiểm tra chẵn lẻ mật độ thấp (LDPC - Low density parity check) có khả năng sửa lỗi cao, và đã được áp dụng rộng rãi trong hệ thống truyền bao gồm phát rộng kỹ thuật số như, ví dụ, phát rộng video kỹ thuật số châu Âu (DVB - digital video broadcasting) DVB-S.2, DVB-T.2, và DVB-C.2 trong những năm gần đây (ví dụ, tham khảo NPL 1).

Các nghiên cứu gần đây thấy rằng mã LDPC có hiệu suất gần với giới hạn Shannon, giống các mã turbo hoặc tương tự, với sự tăng lên về độ dài mã. Ngoài ra, do mã LDPC có các đặc tính về khoảng cách tối thiểu tỷ lệ với độ dài mã, nên mã LDPC có ưu điểm trong đó đặc điểm xác suất lỗi khối tốt và hiện tượng gọi là tầng lỗi như vậy được quan sát là đặc tính giải mã của mã turbo hoặc tương tự hầu như không xảy ra, như các thuộc tính.

Danh mục tài liệu trích dẫn

Tài liệu không phải sáng chế

NPL 1: DVB-S.2: ETSI EN 302 307 v1.2.1 (2009-08)

Vấn đề cần được giải quyết bởi sáng chế

Trong việc truyền dữ liệu nhờ sử dụng mã LDPC, ví dụ, mã LDPC được tạo nên thành ký hiệu của điều biến cầu phương (điều biến kỹ thuật số) như khóa dịch

pha cầu phương (QPSK - quadrature phase shift keying) (được ký hiệu), và ký hiệu được truyền bằng cách được ánh xạ vào điểm tín hiệu của điều biến cầu phương.

Việc truyền dữ liệu nhờ sử dụng mã LDPC như vậy trở nên phổ biến trên toàn thế giới, và việc đảm bảo chất lượng truyền thông tốt đã được yêu cầu.

Bản chất kỹ thuật của sáng chế

Sáng chế đã được thực hiện trong các bối cảnh như vậy, và mục đích của sáng chế là đảm bảo chất lượng truyền thông tốt trong việc truyền dữ liệu nhờ sử dụng mã LDPC.

Cách thức giải quyết vấn đề

Thiết bị xử lý dữ liệu/phương pháp xử lý dữ liệu thứ nhất của sáng chế bao gồm bộ/bước mã hóa để mã hóa bit thông tin thành mã LDPC có độ dài mã là 16200 bit và tỷ lệ mã là 12/15, dựa vào ma trận kiểm tra chẵn lẻ của mã kiểm tra chẵn lẻ mật độ thấp (LDPC - Low density parity check), trong đó mã LDPC có bit thông tin và bit chẵn lẻ, ma trận kiểm tra chẵn lẻ bao gồm phần ma trận thông tin tương ứng với bit thông tin và phần ma trận chẵn lẻ tương ứng với bit chẵn lẻ, phần ma trận thông tin được thể hiện bởi bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ, bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ là bảng thể hiện các vị trí của các phần tử 1 trong phần ma trận thông tin ở khoảng cách là 360 cột, và là

3 394 1014 1214 1361 1477 1534 1660 1856 2745 2987 2991 3124 3155

59 136 528 781 803 928 1293 1489 1944 2041 2200 2613 2690 2847

155 245 311 621 1114 1269 1281 1783 1995 2047 2672 2803 2885 3014

79 870 974 1326 1449 1531 2077 2317 2467 2627 2811 3083 3101 3132

4 582 660 902 1048 1482 1697 1744 1928 2628 2699 2728 3045 3104

175 395 429 1027 1061 1068 1154 1168 1175 2147 2359 2376 2613 2682

1388 2241 3118 3148

143 506 2067 3148

1594 2217 2705

398 988 2551

1149 2588 2654

678 2844 3115

1508 1547 1954

1199 1267 1710

2589 3163 3207

1 2583 2974

2766 2897 3166

929 1823 2742

1113 3007 3239

1753 2478 3127

0 509 1811

1672 2646 2984

965 1462 3230

3 1077 2917

1183 1316 1662

968 1593 3239

64 1996 2226

1442 2058 3181

513 973 1058

1263 3185 3229

681 1394 3017

419 2853 3217

3 2404 3175

2417 2792 2854

1879 2940 3235

647 1704 3060.

Trong thiết bị xử lý dữ liệu/phương pháp xử lý dữ liệu thứ nhất, bit thông tin được mã hóa thành mã LDPC có độ dài mã là 16200 bit và tỷ lệ mã là 12/15, dựa vào ma trận kiểm tra chẵn lẻ của mã kiểm tra chẵn lẻ mật độ thấp (LDPC). Mã LDPC bao gồm bit thông tin và bit chẵn lẻ, ma trận kiểm tra chẵn lẻ bao gồm phần ma trận thông tin tương ứng với bit thông tin và phần ma trận chẵn lẻ tương ứng với bit chẵn lẻ, phần ma trận thông tin được thể hiện bởi bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ, bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ là bảng thể hiện các vị trí của các phần tử 1 trong phần ma trận thông tin ở khoảng cách là 360 cột, và là

3 394 1014 1214 1361 1477 1534 1660 1856 2745 2987 2991 3124 3155

59 136 528 781 803 928 1293 1489 1944 2041 2200 2613 2690 2847

155 245 311 621 1114 1269 1281 1783 1995 2047 2672 2803 2885 3014

79 870 974 1326 1449 1531 2077 2317 2467 2627 2811 3083 3101 3132

4 582 660 902 1048 1482 1697 1744 1928 2628 2699 2728 3045 3104

175 395 429 1027 1061 1068 1154 1168 1175 2147 2359 2376 2613 2682

1388 2241 3118 3148

143 506 2067 3148

1594 2217 2705

398 988 2551

1149 2588 2654

678 2844 3115

1508 1547 1954

1199 1267 1710

2589 3163 3207

1 2583 2974

2766 2897 3166

929 1823 2742

1113 3007 3239

1753 2478 3127

0 509 1811

1672 2646 2984

965 1462 3230

3 1077 2917

1183 1316 1662

968 1593 3239

64 1996 2226

1442 2058 3181

513 973 1058

1263 3185 3229

681 1394 3017

419 2853 3217

3 2404 3175

2417 2792 2854

1879 2940 3235

647 1704 3060.

Trong thiết bị xử lý dữ liệu/phương pháp xử lý dữ liệu thứ hai của sáng chế bao gồm bộ/bước giải mã để giải mã mã LDPC thu được từ dữ liệu được truyền từ thiết bị truyền bao gồm bộ mã hóa để mã hóa bit thông tin thành mã LDPC có độ dài mã là 16200 bit và tỷ lệ mã là 12/15, dựa vào ma trận kiểm tra chẵn lẻ của mã kiểm tra chẵn lẻ mật độ thấp (LDPC) trong đó mã LDPC bao gồm bit thông tin và bit chẵn lẻ, ma trận kiểm tra chẵn lẻ bao gồm phần ma trận thông tin tương ứng với bit thông tin và phần ma trận chẵn lẻ tương ứng với bit chẵn lẻ, phần ma trận thông tin được thể hiện bởi bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ, bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ là bảng thể hiện các vị trí của các phần tử 1 trong phần ma trận thông tin ở khoảng cách là 360 cột, và là

3 394 1014 1214 1361 1477 1534 1660 1856 2745 2987 2991 3124 3155
 59 136 528 781 803 928 1293 1489 1944 2041 2200 2613 2690 2847
 155 245 311 621 1114 1269 1281 1783 1995 2047 2672 2803 2885 3014
 79 870 974 1326 1449 1531 2077 2317 2467 2627 2811 3083 3101 3132
 4 582 660 902 1048 1482 1697 1744 1928 2628 2699 2728 3045 3104
 175 395 429 1027 1061 1068 1154 1168 1175 2147 2359 2376 2613 2682
 1388 2241 3118 3148
 143 506 2067 3148
 1594 2217 2705
 398 988 2551
 1149 2588 2654
 678 2844 3115
 1508 1547 1954
 1199 1267 1710
 2589 3163 3207
 1 2583 2974

2766 2897 3166

929 1823 2742

1113 3007 3239

1753 2478 3127

0 509 1811

1672 2646 2984

965 1462 3230

3 1077 2917

1183 1316 1662

968 1593 3239

64 1996 2226

1442 2058 3181

513 973 1058

1263 3185 3229

681 1394 3017

419 2853 3217

3 2404 3175

2417 2792 2854

1879 2940 3235

647 1704 3060.

Trong thiết bị xử lý dữ liệu/phương pháp xử lý dữ liệu thứ hai, mã LDPC thu được từ dữ liệu được truyền từ thiết bị truyền được giải mã, trong đó thiết bị truyền bao gồm bộ/bước mã hóa để mã hóa bit thông tin thành mã LDPC có độ dài mã là 16200 bit và tỷ lệ mã là 12/15, dựa vào ma trận kiểm tra chẵn lẻ của mã kiểm tra chẵn lẻ mật độ thấp (LDPC) trong đó mã LDPC bao gồm bit thông tin và bit

chẵn lẻ, ma trận kiểm tra chẵn lẻ bao gồm phần ma trận thông tin tương ứng với bit thông tin và phần ma trận chẵn lẻ tương ứng với bit chẵn lẻ, phần ma trận thông tin được thể hiện bởi bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ, bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ là bảng thể hiện các vị trí của các phần tử 1 trong phần ma trận thông tin ở khoảng cách là 360 cột, và là

3 394 1014 1214 1361 1477 1534 1660 1856 2745 2987 2991 3124 3155

59 136 528 781 803 928 1293 1489 1944 2041 2200 2613 2690 2847

155 245 311 621 1114 1269 1281 1783 1995 2047 2672 2803 2885 3014

79 870 974 1326 1449 1531 2077 2317 2467 2627 2811 3083 3101 3132

4 582 660 902 1048 1482 1697 1744 1928 2628 2699 2728 3045 3104

175 395 429 1027 1061 1068 1154 1168 1175 2147 2359 2376 2613 2682

1388 2241 3118 3148

143 506 2067 3148

1594 2217 2705

398 988 2551

1149 2588 2654

678 2844 3115

1508 1547 1954

1199 1267 1710

2589 3163 3207

1 2583 2974

2766 2897 3166

929 1823 2742

1113 3007 3239

1753 2478 3127

0 509 1811

1672 2646 2984

965 1462 3230

3 1077 2917

1183 1316 1662

968 1593 3239

64 1996 2226

1442 2058 3181

513 973 1058

1263 3185 3229

681 1394 3017

419 2853 3217

3 2404 3175

2417 2792 2854

1879 2940 3235

647 1704 3060.

Thiết bị xử lý dữ liệu/phương pháp xử lý dữ liệu thứ ba của sáng chế bao gồm bộ giải mã để giải mã mã LDPC có độ dài mã là 16200 bit và tỷ lệ mã là 12/15, dựa vào ma trận kiểm tra chẵn lẻ của mã kiểm tra chẵn lẻ mật độ thấp (LDPC) trong đó mã LDPC bao gồm bit thông tin và bit chẵn lẻ, ma trận kiểm tra chẵn lẻ bao gồm phần ma trận thông tin tương ứng với bit thông tin và phần ma trận chẵn lẻ tương ứng với bit chẵn lẻ, phần ma trận thông tin được thể hiện bởi bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ, bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ là bảng thể hiện các vị trí của các phần tử 1 trong phần ma trận thông tin ở khoảng cách là 360 cột, và là

3 394 1014 1214 1361 1477 1534 1660 1856 2745 2987 2991 3124 3155
59 136 528 781 803 928 1293 1489 1944 2041 2200 2613 2690 2847
155 245 311 621 1114 1269 1281 1783 1995 2047 2672 2803 2885 3014
79 870 974 1326 1449 1531 2077 2317 2467 2627 2811 3083 3101 3132
4 582 660 902 1048 1482 1697 1744 1928 2628 2699 2728 3045 3104
175 395 429 1027 1061 1068 1154 1168 1175 2147 2359 2376 2613 2682
1388 2241 3118 3148
143 506 2067 3148
1594 2217 2705
398 988 2551
1149 2588 2654
678 2844 3115
1508 1547 1954
1199 1267 1710
2589 3163 3207
1 2583 2974
2766 2897 3166
929 1823 2742
1113 3007 3239
1753 2478 3127
0 509 1811
1672 2646 2984
965 1462 3230
3 1077 2917

1183 1316 1662

968 1593 3239

64 1996 2226

1442 2058 3181

513 973 1058

1263 3185 3229

681 1394 3017

419 2853 3217

3 2404 3175

2417 2792 2854

1879 2940 3235

647 1704 3060.

Trong thiết bị xử lý dữ liệu, mã LDPC có độ dài mã là 16200 bit và tỷ lệ mã là 12/15, dựa vào ma trận kiểm tra chẵn lẻ của mã kiểm tra chẵn lẻ mật độ thấp (LDPC). Mã LDPC bao gồm bit thông tin và bit chẵn lẻ, ma trận kiểm tra chẵn lẻ bao gồm phần ma trận thông tin tương ứng với bit thông tin và phần ma trận chẵn lẻ tương ứng với bit chẵn lẻ, phần ma trận thông tin được thể hiện bởi bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ, bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ là bảng thể hiện các vị trí của các phần tử 1 trong phần ma trận thông tin ở khoảng cách là 360 cột, và là

3 394 1014 1214 1361 1477 1534 1660 1856 2745 2987 2991 3124 3155

59 136 528 781 803 928 1293 1489 1944 2041 2200 2613 2690 2847

155 245 311 621 1114 1269 1281 1783 1995 2047 2672 2803 2885 3014

79 870 974 1326 1449 1531 2077 2317 2467 2627 2811 3083 3101 3132

4 582 660 902 1048 1482 1697 1744 1928 2628 2699 2728 3045 3104

175 395 429 1027 1061 1068 1154 1168 1175 2147 2359 2376 2613 2682
1388 2241 3118 3148
143 506 2067 3148
1594 2217 2705
398 988 2551
1149 2588 2654
678 2844 3115
1508 1547 1954
1199 1267 1710
2589 3163 3207
1 2583 2974
2766 2897 3166
929 1823 2742
1113 3007 3239
1753 2478 3127
0 509 1811
1672 2646 2984
965 1462 3230
3 1077 2917
1183 1316 1662
968 1593 3239
64 1996 2226
1442 2058 3181
513 973 1058

1263 3185 3229

681 1394 3017

419 2853 3217

3 2404 3175

2417 2792 2854

1879 2940 3235

647 1704 3060.

Ngoài ra, thiết bị xử lý dữ liệu có thể là thiết bị độc lập hoặc có thể là khối bên trong cấu hình một thiết bị.

Hiệu quả của sáng chế

Theo sáng chế, có thể đảm bảo chất lượng truyền thông tốt trong việc truyền dữ liệu nhờ sử dụng mã LDPC.

Ngoài ra, các tác dụng được mô tả ở đây chỉ là minh họa, các tác dụng của sáng chế không có ý định bị giới hạn ở các tác dụng được mô tả ở đây, và có thể có các tác dụng bổ sung.

Mô tả vắn tắt các hình vẽ

Fig.1 là sơ đồ mô tả ma trận kiểm tra chẵn lẻ H của mã LDPC.

Fig.2 là lưu đồ minh họa quy trình giải mã của mã LDPC.

Fig.3 là sơ đồ minh họa ví dụ về ma trận kiểm tra chẵn lẻ của mã LDPC.

Fig.4 là sơ đồ minh họa đồ thị Tanner của ma trận kiểm tra chẵn lẻ.

Fig.5 là sơ đồ minh họa nút thay đổi.

Fig.6 là sơ đồ minh họa nút kiểm tra.

Fig.7 là sơ đồ minh họa ví dụ về cấu hình theo một phương án của hệ thống truyền mà sáng chế được áp dụng.

Fig.8 là sơ đồ minh họa ví dụ về cấu hình thiết bị truyền 11.

Fig.9 là sơ đồ khối minh họa ví dụ về cấu hình bộ đan xen bit 116.

Fig.10 là sơ đồ minh họa ma trận kiểm tra chẵn lẻ.

Fig.11 là sơ đồ minh họa ma trận chẵn lẻ.

Fig.12 là sơ đồ minh họa ma trận kiểm tra chẵn lẻ của mã LDPC được định rõ theo tiêu chuẩn DVB-S.2.

Fig.13 là sơ đồ mô tả ma trận kiểm tra chẵn lẻ của mã LDPC được định rõ theo tiêu chuẩn DVB-S.2.

Fig.14 là sơ đồ minh họa sự bố trí điểm tín hiệu của 16QAM.

Fig.15 là sơ đồ minh họa sự bố trí điểm tín hiệu của 64QAM.

Fig.16 là sơ đồ minh họa sự bố trí điểm tín hiệu của 64QAM.

Fig.17 là sơ đồ minh họa sự bố trí điểm tín hiệu của 64QAM.

Fig.18 là sơ đồ minh họa sự bố trí điểm tín hiệu được định rõ theo tiêu chuẩn DVB-S.2.

Fig.19 là sơ đồ minh họa sự bố trí điểm tín hiệu được định rõ theo tiêu chuẩn DVB-S.2.

Fig.20 là sơ đồ minh họa sự bố trí điểm tín hiệu được định rõ theo tiêu chuẩn DVB-S.2.

Fig.21 là sơ đồ minh họa sự bố trí điểm tín hiệu được định rõ theo tiêu chuẩn DVB-S.2.

Fig.22 là sơ đồ mô tả quy trình xử lý của bộ tách kênh 25.

Fig.23 là sơ đồ mô tả quy trình xử lý của bộ tách kênh 25.

Fig.24 là sơ đồ minh họa đồ thị Tanner để giải mã mã LDPC.

Fig.25 là sơ đồ minh họa ma trận chẵn lẻ H_T có cấu trúc bậc thang và đồ thị Tanner tương ứng với ma trận chẵn lẻ H_T .

Fig.26 là sơ đồ minh họa ma trận chẵn lẻ H_T của ma trận kiểm tra chẵn lẻ H tương ứng với mã LDPC sau khi đan xen chẵn lẻ.

Fig.27 là sơ đồ minh họa ma trận kiểm tra chẵn lẻ chuyển đổi.

Fig.28 là sơ đồ mô tả quy trình xử lý của bộ đan xen xoắn cột 24.

Fig.29 là sơ đồ minh họa số lượng cột và địa chỉ của vị trí bắt đầu ghi của bộ nhớ 31 được yêu cầu cho bước đan xen xoắn cột.

Fig.30 là sơ đồ minh họa số lượng cột và địa chỉ của vị trí bắt đầu ghi của bộ nhớ 31 được yêu cầu cho bước đan xen xoắn cột.

Fig.31 là sơ đồ minh họa quy trình xử lý được thực hiện trong bộ đan xen bit 116 và bộ ánh xạ 117.

Fig.32 là sơ đồ minh họa mô hình đường truyền thông được ứng dụng trong việc mô phỏng.

Fig.33 là sơ đồ minh họa mối quan hệ giữa tỷ lệ lỗi thu được bằng cách mô phỏng và tần số Doppler f_d của méo rung.

Fig.34 là sơ đồ minh họa mối quan hệ giữa tỷ lệ lỗi thu được bằng cách mô phỏng và tần số Doppler f_d của méo rung.

Fig.35 là sơ đồ khối minh họa ví dụ về cấu hình của bộ mã hóa LDPC 115.

Fig.36 là sơ đồ minh họa quy trình xử lý của bộ mã hóa LDPC 115.

Fig.37 là lưu đồ minh họa ví dụ của bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ, trong đó tỷ lệ mã là $1/4$ và độ dài mã là 16200.

Fig.38 là sơ đồ mô tả phương pháp thu được ma trận kiểm tra chẵn lẻ H từ bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ.

Fig.39 là sơ đồ minh họa ví dụ về bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ của mã 16k với $r = 12/15$.

Fig.40 là sơ đồ minh họa ví dụ về đồ thị Tanner của tập hợp chuỗi bậc trong đó trọng số cột là 3 và trọng số hàng là 6.

Fig.41 là sơ đồ minh họa ví dụ về đồ thị Tanner của tập hợp loại đa cạnh.

Fig.42 là sơ đồ minh họa độ dài chu kỳ tối thiểu và ngưỡng hiệu suất của ma trận kiểm tra chẵn lẻ của mã 16k với $r = 12/15$.

Fig.43 là sơ đồ mô tả ma trận kiểm tra chẵn lẻ của mã 16k với $r = 12/15$.

Fig.44 là sơ đồ mô tả ma trận kiểm tra chẵn lẻ của mã 16k với $r = 12/15$.

Fig.45 là sơ đồ minh họa kết quả mô phỏng của việc mô phỏng để đo BER/FER.

Fig. 46 là sơ đồ khối minh họa ví dụ về cấu hình của thiết bị thu 12.

Fig.47 là sơ đồ khối minh họa ví dụ về cấu hình của bộ giải đan xen bit 165.

Fig.48 là sơ đồ minh họa về quy trình xử lý được thực hiện bởi bộ giải ánh xạ 164, bộ giải đan xen bit 165, và bộ giải mã LDPC 166.

Fig.49 là sơ đồ minh họa ví dụ về ma trận kiểm tra chẵn lẻ của mã LDPC.

Fig.50 là sơ đồ minh họa ma trận (ma trận kiểm tra chẵn lẻ chuyển đổi) thu được bằng cách thực hiện phép hoán vị cột và phép hoán vị dòng trên ma trận kiểm tra chẵn lẻ.

Fig.51 là sơ đồ minh họa ma trận kiểm tra chẵn lẻ chuyển đổi được chia thành các bộ 5x5.

Fig.52 là sơ đồ khối minh họa ví dụ về cấu hình của thiết bị giải mã thực hiện việc tính nút trong các nhóm của P.

Fig.53 là sơ đồ khối minh họa ví dụ về cấu hình của bộ giải mã LDPC 166.

Fig.54 là sơ đồ mô tả quy trình xử lý của bộ dồn kênh 54 cấu hình bộ giải đan xen bit 165.

Fig.55 là sơ đồ mô tả quy trình xử lý của bộ giải đan xen xoắn cột 55.

Fig.56 là sơ đồ khối minh họa ví dụ về cấu hình của bộ giải đan xen bit 165.

Fig.57 là sơ đồ khối minh họa ví dụ về cấu hình thứ nhất của hệ thống thu mà thiết bị thu 12 có thể lắp đặt được.

Fig.58 là sơ đồ khối minh họa ví dụ về cấu hình thứ hai của hệ thống thu mà thiết bị thu 12 có thể lắp đặt được.

Fig.59 là sơ đồ khối minh họa ví dụ về cấu hình thứ ba của hệ thống thu mà thiết bị thu 12 có thể lắp đặt được.

Fig.60 là sơ đồ khối minh họa ví dụ cấu hình về một phương án của máy tính mà sáng chế được áp dụng.

Mô tả chi tiết sáng chế

Dưới đây, mã LDPC sẽ được mô tả trước phần mô tả các phương án của sáng chế.

Mã LDPC

Ngoài ra, mã LDPC là mã tuyến tính, và không cần phải là nhị phân, nhưng ở đây, phần mô tả sẽ được giả sử rằng mã LDPC là nhị phân.

Đặc điểm quan trọng nhất của mã LDPC là ma trận kiểm tra chẵn lẻ định rõ mã LDPC là ma trận thưa. Ở đây, ma trận thưa là ma trận trong đó số các phần tử "1" của ma trận là rất nhỏ (hầu hết các phần tử trong ma trận là 0).

Fig.1 là sơ đồ minh họa ma trận kiểm tra chẵn lẻ H của mã LDPC.

Trong ma trận kiểm tra chẵn lẻ H trên Fig.1, trọng số của mỗi cột (trọng số cột) (số "1") (trọng số) được thiết lập là "3", và trọng số của mỗi hàng (trọng số hàng) được thiết lập là "6".

Trong việc mã hóa nhờ sử dụng mã LDPC (mã hóa LDPC), ví dụ, ma trận sinh G được tạo ra dựa vào ma trận kiểm tra chẵn lẻ H, và từ mã (mã LDPC) được tạo ra bằng cách nhân ma trận sinh G với bit thông tin nhị phân.

Cụ thể là, thiết bị mã hóa thực hiện việc mã hóa LDPC thứ nhất tính toán ma trận sinh G trong đó phương trình $GH^T=0$ được thiết lập giữa ma trận kiểm tra chẵn

lẻ H và ma trận dịch chuyển H^T của nó. Ở đây, khi ma trận sinh G là ma trận $K \times N$, thiết bị mã hóa sẽ nhân chuỗi bit (vector u) của bit thông tin được tạo nên từ các bit K với ma trận sinh G để tạo nên từ mã $c (=uG)$ được tạo nên từ các bit N . Từ mã (mã LDPC) được tạo ra bởi thiết bị mã hóa thu được ở phía thu qua đường truyền thông định trước.

Việc giải mã của mã LDPC là thuật toán được đề xuất và được đề cập là việc giải mã xác suất bởi Gallager, và thuật toán có thể được thực hiện bằng thuật toán truyền thông điệp bằng cách lan truyền độ tin cậy trên đồ thị được gọi là Tanner được cấu hình với nút thay đổi (cũng được gọi là nút thông điệp) và nút kiểm tra. Ở đây, dưới đây, khi thích hợp, nút thay đổi và nút kiểm tra được gọi đơn giản là nút.

Fig.2 là lưu đồ minh họa quy trình giải mã của mã LDPC.

Ngoài ra, dưới đây, khi thích hợp, số thực (LLR thu được), thu được bằng cách thể hiện khả năng "0" của giá trị bit mã thứ i của mã LDPC (1 từ mã) thu được ở phía thu tỷ số hợp lý lôga, được gọi là giá trị u_{0i} thu được. Ngoài ra, thông điệp được đưa ra từ nút kiểm tra được giả sử là u_j , và thông điệp được đưa ra từ nút thay đổi được giả sử là v_i .

Thứ nhất, trong việc giải mã LDPC, như được minh họa trên Fig.2, ở bước S11, mã LDPC thu được, thông điệp (thông điệp nút kiểm tra) u_j được khởi tạo là "0", biến k là số nguyên khi bộ đếm của quy trình xử lý tương tác được khởi tạo là "0", và quy trình xử lý chuyển đến bước S12. Ở bước S12, thông điệp (thông điệp nút thay đổi) v_i thu được bằng cách thực hiện phép tính (phép tính nút thay đổi) được thể hiện trong phương trình (1) dựa vào giá trị u_{0i} thu được bằng cách thu mã LDPC, và thông điệp u_j thu được bằng cách thực hiện phép tính (phép tính nút kiểm tra) được thể hiện trong phương trình (2), dựa vào thông điệp v_i .

[Biểu thức toán học 1]

$$v_i = u_{0i} + \sum_{j=1}^{d_v-1} u_j \quad \dots(1)$$

[Biểu thức toán học 2]

$$\tanh\left(\frac{u_j}{2}\right) = \prod_{i=1}^{d_c-1} \tanh\left(\frac{v_i}{2}\right) \dots(2)$$

Ở đây, d_v và d_c trong phương trình (1) và phương trình (2) lần lượt là thông số chỉ báo số "1" theo chiều thẳng đứng (cột) và chiều ngang (hàng) của ma trận kiểm tra chẵn lẻ H , có thể được lựa chọn tùy ý. Ví dụ, trong trường hợp mã LDPC được thể hiện trên Fig.1 trong đó trọng số cột là 3 và trọng số hàng là 6 ((3, 6) mã LDPC), thì nó được thiết lập là $d_v = 3$ và $d_c = 6$.

Ngoài ra, trong phép tính nút thay đổi của phương trình (1) và phép tính nút kiểm tra của phương trình (2), thông điệp được đưa vào từ cạnh (đường kết nối nút thay đổi và nút kiểm tra) mà từ đó thông điệp được đưa ra không được sử dụng là mục tiêu của phép tính, và do đó phạm vi tính là 1 đến d_v-1 hoặc 1 đến d_c-1 . Ngoài ra, phép tính nút kiểm tra của phương trình (2) được thực hiện thực tế bằng cách tạo ra trước đó bảng của hàm $R(v_1, v_2)$ được thể hiện trong phương trình (3) được định rõ là một đầu ra dùng cho hai đầu vào v_1 và v_2 và liên tục (đệ quy) sử dụng bảng như được thể hiện trong phương trình (4).

[Biểu thức toán học 3]

$$x = 2 \tanh^{-1} \{ \tanh(v_1/2) \tanh(v_2/2) \} = R(v_1, v_2) \dots(3)$$

[Biểu thức toán học 4]

$$u_j = R(v_1, R(v_2, R(v_3, \dots R(v_{d_c-2}, v_{d_c-1})))) \dots(4)$$

Ở bước S12, biến k được tăng lên "1", và quy trình xử lý chuyển đến bước S13. Ở bước S13, được xác định xem biến k lớn hơn số giải mã tương tác định trước C hay không. Ở bước S13, nếu biến k được xác định không lớn hơn C , quy trình xử lý quay về bước S12, và quy trình xử lý được lặp lại.

Ngoài ra, ở bước S13, nếu biến k được định rõ là lớn hơn C , quy trình xử lý chuyển đến bước S14, thông điệp v_i là kết quả giải mã cuối cùng được đưa ra thu được và được đưa ra bằng cách thực hiện phép tính được thể hiện trong phương trình (5), và quy trình giải mã LDPC kết thúc.

[Biểu thức toán học 5]

$$v_i = u_{0i} + \sum_{j=1}^{d_v} u_j \dots (5)$$

Ở đây, phép tính của phương trình (5) khác với phép tính nút thay đổi của phương trình (1), và được thực hiện nhờ sử dụng thông điệp u_i từ tất cả các cạnh được nối với nút thay đổi.

Fig.3 là sơ đồ minh họa ví dụ của ma trận kiểm tra chẵn lẻ H của mã LDPC (3, 6) (tỷ lệ mã là 1/2, độ dài mã là 12).

Trong ma trận kiểm tra chẵn lẻ H trên Fig.3, trọng số cột được thiết lập là 3 và trọng số hàng được thiết lập là 6, tương tự như Fig.1.

Fig.4 là sơ đồ minh họa đồ thị Tanner của ma trận kiểm tra chẵn lẻ H trên Fig.3.

Ở đây, trên Fig.4, các nút kiểm tra được chỉ báo bởi dấu cộng "+", và các nút thay đổi được chỉ báo bởi dấu bằng "=". Các nút kiểm tra và các nút thay đổi lần lượt tương ứng với các hàng và các cột của ma trận kiểm tra chẵn lẻ H . Các đường kết nối giữa các nút kiểm tra và các nút thay đổi là các cạnh, và các cạnh tương ứng với các phần tử "1" trong ma trận kiểm tra chẵn lẻ.

Nói cách khác, nếu phần tử ở hàng thứ j và cột thứ i của ma trận kiểm tra chẵn lẻ là 1, ở Fig.4, nút thay đổi thứ i (nút "=") từ đầu và thứ j và nút kiểm tra (nút "+") từ đầu được kết nối bởi cạnh. Cạnh thể hiện rằng bit mã tương ứng với nút thay đổi có các ràng buộc tương ứng với các nút kiểm tra.

Trong thuật toán tổng tích là phương pháp giải mã của mã LDPC, phép tính nút thay đổi và phép tính nút kiểm tra được thực hiện nhiều lần.

Fig.5 là sơ đồ minh họa phép tính nút thay đổi được thực hiện tại nút thay đổi.

Trong nút thay đổi, thông điệp v_i tương ứng với cạnh được tính thu được bằng phép tính nút thay đổi của phương trình (1) nhờ sử dụng thông điệp u_1 và u_2 từ các cạnh còn lại được kết nối với nút thay đổi và giá trị u_{0i} thu được. Thông điệp tương ứng với cạnh khác thu được dưới dạng tương tự.

Fig.6 là sơ đồ minh họa phép tính nút kiểm tra được thực hiện tại nút kiểm tra.

Ở đây, phép tính nút kiểm của phương trình (2) có thể được viết lại thành phương trình (6) nhờ sử dụng mối quan hệ của phương trình $axb = \exp\{\ln(|a|) + \ln(|b|)\} \times \text{sign}(a) \times \text{sign}(b)$. Ở đây, $\text{sign}(x)$ là 1 khi $x \geq 0$, và $\text{sign}(x)$ là -1 khi $x < 0$.

[Biểu thức toán học 6]

$$\begin{aligned}
 u_j &= 2 \tanh^{-1} \left(\prod_{i=1}^{d_c-1} \tanh \left(\frac{v_i}{2} \right) \right) \\
 &= 2 \tanh^{-1} \left[\exp \left\{ \sum_{i=1}^{d_c-1} \ln \left(\left| \tanh \left(\frac{v_i}{2} \right) \right| \right) \right\} \times \prod_{i=1}^{d_c-1} \text{sign} \left(\tanh \left(\frac{v_i}{2} \right) \right) \right] \\
 &= 2 \tanh^{-1} \left[\exp \left\{ - \left(\sum_{i=1}^{d_c-1} - \ln \left(\tanh \left(\frac{|v_i|}{2} \right) \right) \right) \right\} \times \prod_{i=1}^{d_c-1} \text{sign}(v_i) \right] \dots (6)
 \end{aligned}$$

Khi $x \geq 0$, nếu hàm $\phi(x)$ được định rõ là phương trình $\phi(x) = \text{Ln}(\tanh(x/2))$, thì nó được thiết lập là phương trình $\phi^{-1}(x) = 2 \tanh^{-1}(e^{-x})$, sao cho phương trình (6) có thể được biến đổi thành phương trình (7).

[Biểu thức toán học 7]

$$u_j = \phi^{-1} \left(\sum_{i=1}^{d_c-1} \phi(|v_i|) \right) \times \prod_{i=1}^{d_c-1} \text{sign}(v_i) \dots (7)$$

Trong nút kiểm tra, phép tính nút kiểm của phương trình (2) được thực hiện theo phương trình (7).

Nói cách khác, trong nút kiểm tra, như được minh họa trên Fig.6, thông điệp U_j tương ứng với cạnh được tính thu được bằng phép tính nút kiểm tra của phương trình (7) nhờ sử dụng các thông điệp v_1, v_2, v_3, v_4 và v_5 từ các cạnh còn lại được kết nối với nút kiểm tra. Các thông điệp tương ứng với cạnh khác thu được dưới dạng tương tự.

Ngoài ra, hàm $\varphi(x)$ của phương trình (7) có thể được thể hiện như phương trình $\varphi(x)=\ln((e^x+1)/(e^x-1))$, khi $x>0$, $\varphi(x)=\varphi^{-1}(x)$. Khi các hàm $\varphi(x)$ và $\varphi^{-1}(x)$ được thực hiện trong phần cứng, các hàm có thể được thực hiện nhờ sử dụng các bảng tìm kiếm (LUTs - Look up tables) trong một số trường hợp, nhưng các LUT đều giống nhau.

Ví dụ về cấu hình của hệ thống truyền mà sáng chế được áp dụng.

Fig.7 là sơ đồ minh họa ví dụ về cấu hình theo một phương án về hệ thống truyền mà sáng chế được áp dụng (hệ thống đề cập đến các hệ thống trong đó các thiết bị được lắp đặt một cách hợp lý, và nó không quan trọng xem các thiết bị thành phần ở cùng hệ thống hay không).

Trên Fig.7, hệ thống truyền bao gồm thiết bị truyền 11 và thiết bị thu 12.

Thiết bị truyền 11 thực hiện việc truyền (truyền thông) (gửi), ví dụ, các chương trình và tương tự của phát rộng truyền hình. Nói cách khác, thiết bị truyền 11 mã hóa, ví dụ, dữ liệu mục tiêu là mục tiêu của việc truyền như dữ liệu hình ảnh và dữ liệu audio như chương trình thành mã LDPC, và truyền dữ liệu mục tiêu được mã hóa qua đường truyền thông 13 như, ví dụ, các đường vệ tinh, các sóng mặt đất, cáp (các đường dây điện).

Thiết bị thu 12 thu mã LDPC được truyền từ thiết bị truyền 11 qua đường truyền thông 13, giải mã LDPC thành dữ liệu mục tiêu, và đưa ra dữ liệu.

Ở đây, được biết rằng mã LDPC được sử dụng trong hệ thống truyền trên Fig.7 sử dụng dung lượng cao một cách đáng kể trong đường truyền thông tạp âm Gausse trắng cộng sinh (AWGN - Additive white gaussian noise).

Trong khi đó, đường truyền thông 13 có thể tạo ra lỗi chùm hoặc lỗi xóa. Ví dụ, cụ thể là, khi đường truyền thông 13 là các sóng mặt đất, trong hệ thống đa hợp phân chia theo tần số trực giao (OFDM - Orthogonal Frequency Division Multiplexing), trong môi trường nhiều đường trong đó tỷ số mong muốn trên không mong muốn (D/U-Desired/Undesired) là 0 dB (Công suất không mong muốn = tiếng vang bằng công suất của mong muốn = đường chính), công suất của ký hiệu nhất định trở thành 0 (lỗi xóa) theo độ trễ của tiếng vang (đường khác ngoài đường chính).

Ngoài ra, ngay cả trong méo rung (đường truyền thông trong đó độ trễ là 0 và tiếng vang do tần số doppler được bổ sung), nếu D/U là 0 dB, công suất của tất cả các ký hiệu OFDM tại thời điểm cụ thể có thể trở thành 0 (xóa) do tần số Doppler.

Ngoài ra, lỗi chùm có thể xảy ra do tình trạng của dây điện từ bộ thu (không được thể hiện) như anten thu các tín hiệu từ thiết bị truyền 11 trên thiết bị thu 12, và sự bất ổn của công suất của thiết bị thu 12.

Trong khi đó, việc giải mã LDPC, trong cột của ma trận kiểm tra chẵn lẻ H và nút thay đổi tương ứng với bit mã của mã LDPC, như được minh họa trên Fig.5, do phép tính nút thay đổi của phương trình (1) với việc bổ sung bit mã (giá trị u_{0i} thu được ở đó) của mã LDPC được thực hiện, nếu lỗi xảy ra trong bit mã được sử dụng trong phép tính nút thay đổi, độ chính xác của thông điệp bị giảm xuống.

Tiếp theo, trong việc giải mã LDPC, do phép tính nút kiểm tra của phương trình (7) trong nút kiểm tra được thực hiện nhờ sử dụng thông điệp thu được trong nút thay đổi được kết nối với nút kiểm tra, nếu số các nút kiểm tra, trong đó các nút thay đổi được kết nối ở đó (bit mã của mã LDPC tương ứng ở đó) đồng thời trở

thành trạng thái lỗi (bao gồm lỗi xóa), được tăng lên, hiệu suất của việc giải mã bị giảm xuống.

Nói cách khác, ví dụ, nếu nhiều hơn hai nút thay đổi được kết nối với các nút kiểm tra đồng thời bị xóa, nút kiểm tra gửi trả thông điệp trong đó xác suất có giá trị 0 và xác suất có giá trị 1 là như nhau trong tất cả các nút thay đổi. Trong trường hợp này, nút kiểm tra trả về thông điệp của xác suất bằng nhau không đóng góp vào quy trình giải mã (tập hợp phép tính nút thay đổi và phép tính nút kiểm tra), do đó, nhiều lần lặp lại của quy trình giải mã được yêu cầu, hiệu suất giải mã bị giảm xuống, và việc tiêu thụ điện năng của máy thu 12 để giải mã mã LDPC tăng lên.

Như vậy, hệ thống truyền trên Fig.7 cho phép nâng cao khả năng chống lỗi chùm và lỗi xóa trong khi duy trì hiệu suất tại đường truyền thông AWGN (kênh AWGN).

Ví dụ về cấu hình của thiết bị truyền 11

Fig.8 là sơ đồ khối minh họa ví dụ về cấu hình của thiết bị truyền 11 trên Fig.7.

Trong thiết bị truyền 11, các dòng đầu vào của một hoặc nhiều dữ liệu mục tiêu được cung cấp tới khối bộ dồn kênh/thích ứng chế độ 111.

Bộ dồn kênh/thích ứng chế độ 111 thực hiện quy trình xử lý như việc lựa chọn chế độ và đa hợp của một hoặc nhiều dòng đầu vào được cung cấp ở đó, khi cần, và cung cấp dữ liệu nhận được tới bộ đệm 112.

Bộ đệm 112 thực hiện việc đệm không cần thiết (chèn số không) trên dữ liệu từ bộ dồn kênh/thích ứng chế độ 111, và cung cấp dữ liệu nhận được tới bộ xáo trộn BB 113.

Bộ xáo trộn BB 113 thực hiện việc xáo trộn dải cơ bản (xáo trộn BB) trên dữ liệu từ bộ đệm 112, và cung cấp dữ liệu nhận được đến bộ giải mã BCH 114.

Bộ giải mã BCH 114 thực hiện việc mã hóa BCH trên dữ liệu từ bộ xáo trộn BB 113, và cung cấp dữ liệu nhận được khi dữ liệu mục tiêu LDPC là mục tiêu của việc mã hóa LDPC, đến bộ mã hóa LDPC 115.

Bộ mã hóa LDPC 115 thực hiện việc mã hóa LDPC theo ma trận kiểm tra chẵn lẻ trong đó ma trận chẵn lẻ là phần tương ứng với các bit chẵn lẻ của mã LDPC có cấu trúc bậc thang, trên dữ liệu mục tiêu LDPC từ bộ mã hóa BCH 114, và đưa ra mã LDPC với dữ liệu mục tiêu LDPC như bit thông tin.

Nói cách khác, bộ mã hóa LDPC 115 thực hiện việc mã hóa LDPC để mã hóa dữ liệu mục tiêu LDPC thành mã LDPC (tương ứng với ma trận kiểm tra chẵn lẻ) được định rõ trong các tiêu chuẩn định trước như, ví dụ, DVB-S.2, DVB-T.2, và DVB-C.2, hoặc mã LDPC (tương ứng với ma trận kiểm tra chẵn lẻ) được xác định trước, và đưa ra mã LDPC kết quả.

Ở đây, mã LDPC được định rõ trong các tiêu chuẩn như DVB-S.2, DVB-T.2, và DVB-C.2 là mã tích lũy lặp lại không đều (IRA-Irregular Repeat accumulate), và ma trận chẵn lẻ trong ma trận kiểm tra chẵn lẻ của mã LDPC có cấu trúc bậc thang. Ma trận chẵn lẻ và cấu trúc bậc thang sẽ được mô tả dưới đây. Ngoài ra, mã IRA được mô tả trong, ví dụ, "các mã tích lũy lặp lại không đều," H. Jin, A. Khandekar, và RJ McEliece, trong kỷ yếu của hội thảo quốc tế lần thứ 2 về các mã turbo và các chủ đề liên quan, trang 1-8, tháng 9 năm 2000.

Mã LDPC được đưa ra từ bộ mã hóa LDPC 115 được cung cấp tới bộ đan xen bit 116.

Bộ đan xen bit 116 thực hiện đan xen bit sẽ được mô tả dưới đây, trên mã LDPC từ bộ mã hóa LDPC 115, và cung cấp mã LDPC sau khi đan xen bit đến bộ ánh xạ 117.

Bộ ánh xạ 117 thực hiện điều biến cầu phương (điều biến đa cấp) bằng cách ánh xạ mã LDPC từ bộ đan xen bit 116 đến điểm tín hiệu thể hiện ký hiệu của điều biến cầu phương, trong bộ bit mã của một hoặc nhiều bit của mã LDPC (bộ ký hiệu).

Nói cách khác, bộ ánh xạ 117 thực hiện điều biến cầu phương bằng cách ánh xạ mã LDPC từ bộ đan xen bit 116 đến các điểm tín hiệu được xác định trong hệ thống điều biến để thực hiện điều biến cầu phương của mã LDPC, trên mặt phẳng IQ (chòm sao IQ) được định rõ như trục I thể hiện thành phần I đồng pha với sóng mang và trục Q thể hiện thành phần Q trực giao với sóng mang.

Ở đây, ví dụ về hệ thống điều biến của điều biến cầu phương được thực hiện trong bộ ánh xạ 117 bao gồm ví dụ, hệ thống điều biến được định rõ trong các tiêu chuẩn như DVB-S.2, DVB-T.2, và DVB-C.2, các hệ thống điều biến khác, nói cách khác, ví dụ, khóa dịch pha nhị phân (BPSK - binary phase-shift keying), khóa dịch pha cầu phương (QPSK - quadrature phase-shift keying), khóa dịch pha 8 (PSK - phase-shift keying), khóa dịch pha biên độ 16 (APSK - amplitude phase-shift keying), 32 APSK, điều biến biên độ cầu phương 16 (QAM - quadrature amplitude modulation), 64 QAM, 256 QAM, 1024QAM, 4096 QAM, và điều biến biên độ xung 4 (PAM - pulse amplitude modulation). Trong bộ ánh xạ 117, hệ thống điều biến theo đó điều biến cầu phương được thực hiện được thiết lập trước, ví dụ, theo thao tác của người vận hành thiết bị truyền 11.

Dữ liệu thu được bởi quy trình xử lý trong bộ ánh xạ 117 (kết quả ánh xạ thu được bằng cách ánh xạ ký hiệu vào điểm tín hiệu) được cung cấp tới bộ đan xen thời gian 118.

Bộ đan xen thời gian 118 thực hiện bước đan xen thời gian (đan xen theo hướng thời gian) trong bộ ký hiệu, trên dữ liệu từ bộ ánh xạ 117, và cung cấp dữ liệu nhận được tới bộ mã hóa một đầu vào một đầu ra/nhiều đầu vào một đầu ra 119 (SISO/MISO - Single Input Single Output/Multiple Input Single Output).

Bộ mã hóa SISO/MISO 119 thực hiện việc mã hóa không gian-thời gian trên dữ liệu từ bộ đan xen thời gian 118, và cung cấp dữ liệu nhận được tới bộ đan xen tần số 120.

Bộ đan xen tần số 120 thực hiện bước đan xen tần số (đan xen theo hướng tần số) trong bộ ký hiệu, trên dữ liệu từ bộ mã hóa SISO/MISO 119, và cung cấp dữ liệu nhận được tới bộ phân bố nguồn/trình tạo khung 131.

Trong khi đó, ví dụ, dữ liệu điều khiển để điều khiển truyền như báo hiệu dải cơ bản (báo hiệu BB) (BB Header – đoạn đầu) được cung cấp tới bộ giải mã BCH 121.

Bộ mã hóa BCH 121, tương tự như bộ mã hóa BCH 114, thực hiện việc mã hóa BCH trên dữ liệu điều khiển được cung cấp ở đó, và cung cấp dữ liệu nhận được tới bộ mã hóa LDPC 122.

Bộ mã hóa LDPC 122, tương tự như bộ mã hóa LDPC 115, thực hiện việc mã hóa LDPC trên dữ liệu từ bộ mã hóa BCH 121 như dữ liệu mục tiêu LDPC, và cung cấp mã LDPC kết quả tới bộ ánh xạ 123.

Bộ ánh xạ 123, tương tự như bộ ánh xạ 117, thực hiện điều biến cầu phương bằng cách ánh xạ mã LDPC từ bộ mã hóa LDPC 122 đến điểm tín hiệu thể hiện ký hiệu của điều biến cầu phương, trong bộ bit mã của một hoặc nhiều mã LDPC (bộ ký hiệu), và cung cấp dữ liệu nhận được tới bộ đan xen tần số 124.

Bộ đan xen tần số 124, tương tự như bộ đan xen tần số 120, thực hiện bước đan xen tần số trong bộ ký hiệu trên dữ liệu từ bộ ánh xạ 123, và cung cấp dữ liệu nhận được tới bộ phân bố nguồn/trình tạo khung 131.

Bộ phân bố nguồn/trình tạo khung 131 chèn ký hiệu điều khiển ở vị trí dữ liệu cần thiết (ký hiệu) từ bộ đan xen tần số 120 và bộ đan xen tần số 124, làm cho khung được tạo nên từ các ký hiệu của số định trước (ví dụ, khung lớp vật lý (PL - Physical layer), khung T2, khung C2, và tương tự) từ dữ liệu nhận được (ký hiệu), và cung cấp khung tới bộ tạo OFDM 132.

Bộ tạo OFDM 132 tạo ra tín hiệu OFDM tương ứng với khung, từ khung từ bộ phân bố nguồn/trình tạo khung 131, và truyền tín hiệu OFDM qua đường truyền thông 13 (Fig.7).

Ngoài ra, thiết bị truyền 11 có thể được cấu hình mà không bố trí một số các khối được thể hiện trên Fig.8 như, ví dụ, bộ đan xen thời gian 118, bộ mã hóa SISO/MISO 119, bộ đan xen tần số 120, và bộ đan xen tần số 124.

Fig.9 minh họa ví dụ về cấu hình của bộ đan xen bit 116 trên Fig.8.

Bộ đan xen bit 116 có chức năng đan xen dữ liệu, và được cấu hình với bộ đan xen chẵn lẻ 23, bộ đan xen xoắn cột 24, và bộ tách kênh (DEMUX) 25. Ngoài ra, bộ đan xen bit 116 có thể được cấu hình mà không cần bố trí một hoặc cả hai bộ đan xen chẵn lẻ 23 và bộ đan xen xoắn cột 24.

Bộ đan xen chẵn lẻ 23 thực hiện bước đan xen chẵn lẻ để đan xen bit chẵn lẻ của mã LDPC từ bộ mã hóa LDPC 115 ở vị trí của bit chẵn lẻ khác, và cung cấp mã LDPC sau khi đan xen chẵn lẻ tới bộ đan xen xoắn cột 24.

Bộ đan xen xoắn cột 24 thực hiện bước đan xen xoắn cột trên mã LDPC từ bộ đan xen chẵn lẻ 23, và cung cấp mã LDPC sau khi đan xen xoắn cột tới bộ tách kênh 25.

Nói cách khác, mã LDPC được truyền đi trong khi các bit mã của một hoặc nhiều bit của mã LDPC được ánh xạ tới điểm tín hiệu thể hiện ký hiệu của điều biến cầu phương bởi bộ ánh xạ 117 trên Fig.8.

Trong bộ đan xen xoắn cột 24, ví dụ, bước đan xen cột xoắn sẽ được mô tả dưới đây, được thực hiện khi quy trình bố trí lại để bố trí lại các bit mã của mã LDPC từ bộ đan xen chẵn lẻ 23 sao cho các bit mã của mã LDPC tương ứng với bất kỳ phần tử 1 nào trong bất kỳ một hàng nào của ma trận kiểm tra chẵn lẻ được sử dụng trong bộ mã hóa LDPC 115 không được bao gồm trong một ký hiệu.

Bộ tách kênh 25 thu mã LDPC có độ kháng nâng cao đối với AWGN và tương tự bằng cách thực hiện quy trình thay thế để thay thế vị trí của nhiều hơn hai bit mã của mã LDPC là ký hiệu, trên mã LDPC từ bộ đan xen xoắn cột 24. Tiếp theo, bộ tách kênh 25 cung cấp nhiều hơn hai bit mã của mã LDPC thu được bằng quy trình thay thế, như ký hiệu, đến bộ ánh xạ 117 (Fig.8).

Fig.10 là sơ đồ minh họa ma trận kiểm tra chẵn lẻ H được sử dụng trong việc mã hóa LDPC trong bộ mã hóa LDPC 115 trên Fig.8.

Ma trận kiểm tra chẵn lẻ H có cấu trúc ma trận sinh mật độ thấp (LDGM - Low density generation matrix), và có thể được thể hiện bởi phương trình $H=[H_A|H_T]$ (ma trận trong đó các phần tử của ma trận thông tin H_A là các phần tử bên trái và các phần tử của ma trận chẵn lẻ H_T là các phần tử bên phải) bởi ma trận thông tin H_A của các phần tử tương ứng với bit thông tin và ma trận chẵn lẻ H_T của các phần tử tương ứng với bit chẵn lẻ, trong các bit mã của mã LDPC.

Ở đây, số các bit của bit thông tin và số các bit của bit chẵn lẻ trong các bit mã của một mã LDPC (1 từ mã) tương ứng được gọi là độ dài thông tin K và độ dài chẵn lẻ M , và số các bit mã của một mã LDPC được gọi là độ dài mã N ($=K+M$).

Độ dài thông tin K và độ dài chẵn lẻ M của mã LDPC có độ dài mã nhất định N được xác định bằng tỷ lệ mã. Ngoài ra, ma trận kiểm tra chẵn lẻ H là ma trận của hàng x cột $M \times N$. Tiếp theo, ma trận thông tin H_A là ma trận của $M \times K$, và ma trận chẵn lẻ H_T là ma trận của $M \times M$.

Fig.11 thể hiện ma trận chẵn lẻ H_T của ma trận kiểm tra chẵn lẻ H của mã LDPC được định rõ theo tiêu chuẩn DVB-S.2, DVB-T.2, và DVB-C.2.

Như được minh họa trên Fig.11, ma trận chẵn lẻ H_T của ma trận kiểm tra chẵn lẻ H của mã LDPC được định rõ theo tiêu chuẩn như DVB-T.2 là ma trận của cấu trúc bậc thang trong đó các phần tử 1 được bố trí theo hình bậc thang (ma trận hai đường chéo thấp hơn). Trọng số hàng của ma trận chẵn lẻ H_T là 1 ở hàng thứ nhất, và là 2 ở tất cả các hàng còn lại. Ngoài ra, trọng số cột là 1 ở cột cuối cùng, và là 2 ở tất cả các cột còn lại.

Như được nêu trên, có thể dễ dàng tạo ra mã LDPC của ma trận kiểm tra chẵn lẻ H trong đó ma trận chẵn lẻ H_T có cấu trúc bậc thang, nhờ sử dụng ma trận kiểm tra chẵn lẻ H .

Nói cách khác, mã LDPC (một từ mã) được thể hiện bởi vector hàng c , và vector cột thu được bằng cách chuyển vector hàng được thể hiện bởi c^T . Ngoài ra, phần bit thông tin được thể hiện bởi vector hàng c , và phần bit chẵn lẻ được thể hiện bởi vector hàng T , ở vector hàng c là mã LDPC.

Trong trường hợp này, vector hàng c được thể hiện bởi phương trình $c=[A|T]$ (vector hàng trong đó các phần tử của vector hàng A là các phần tử bên trái và các phần tử của vector hàng T là các phần tử bên phải) nhờ sử dụng vector hàng A là bit thông tin và hàng vector T là bit chẵn lẻ.

Cần phải để ma trận kiểm tra chẵn lẻ H và vector hàng $c=[A|T]$ như mã LDPC thỏa mãn phương trình $Hc^T=0$, và nếu ma trận chẵn lẻ H_T ma trận kiểm tra chẵn lẻ $H=[H_A|H_T]$ có cấu trúc bậc thang được thể hiện trên Fig.11, vector hàng T như các bit chẵn lẻ cấu hình vector hàng $c=[A|T]$ thỏa mãn phương trình $Hc^T=0$ có thể thu được liên tiếp (theo thứ tự) bằng cách làm cho phần tử của mỗi hàng 0 từ phần tử của hàng thứ nhất của vector cột Hc^T theo thứ tự trong phương trình $Hc^T=0$.

Fig.12 là sơ đồ mô tả ma trận kiểm tra chẵn lẻ H của mã LDPC được định rõ theo tiêu chuẩn DVB-T.2.

Trong ma trận kiểm tra chẵn lẻ H của mã LDPC được định rõ theo tiêu chuẩn của DVB-T.2, trọng số cột X được đưa tới cột thứ nhất đến cột thứ KX , và trọng số cột 3 được đưa tới các cột $K3$ tiếp theo, trọng số cột 2 được đưa tới các cột $M-1$ tiếp theo, và trọng số cột 1 được đưa tới cột cuối cùng.

Ở đây, $KX + K3 + M - 1 + 1$ bằng độ dài mã N .

Fig.13 là sơ đồ minh họa số lượng cột KX , $K3$, và M , và trọng số cột X cho mỗi tỷ lệ mã của mã LDPC được định rõ trong các tiêu chuẩn của DVB-T.2 và tương tự.

Theo các tiêu chuẩn của DVB-T.2 và tương tự, các mã LDPC có độ dài mã N là 64800 bit và 16200 bit được định rõ.

Tiếp theo, 11 tỷ lệ mã (tỷ lệ danh nghĩa) $1/4, 1/3, 2/5, 1/2, 3/5, 2/3, 3/4, 4/5, 5/6, 8/9$, và $9/10$ được định rõ cho mã LDPC có độ dài mã N là 64800 bit, và 10 tỷ lệ mã $1/4, 1/3, 2/5, 1/2, 3/5, 2/3, 3/4, 4/5, 5/6$, và $8/9$ được định rõ cho mã LDPC có độ dài mã N là 16200 bit.

Ở đây, độ dài mã N 64800 bit được gọi là 64 kbit và độ dài mã N của 16200 bit được gọi là 16 kbit.

Đối với mã LDPC, bit mã tương ứng với cột có trọng số cột lớn của ma trận kiểm tra chẵn lẻ H có thể có tỷ lệ lỗi thấp.

Trong ma trận kiểm tra chẵn lẻ H được định rõ trong các tiêu chuẩn của DVB-T.2 và tương tự được thể hiện trên Fig.12 và Fig.13, gần hơn bên thứ nhất (bên trái) của cột là, trọng số cột lớn hơn có thể là, do đó, cho mã LDPC tương ứng với ma trận kiểm tra chẵn lẻ H , bit mã ở phía đầu có thể mạnh về lỗi (có độ kháng lỗi), và bit mã ở phía cuối có thể yếu về lỗi.

Fig.14 minh họa ví dụ sự bố trí của 16 ký hiệu (điểm tín hiệu tương ứng ở đây) trên mặt phẳng IQ khi 16QAM được thực hiện bởi bộ ánh xạ 117 trên Fig.8.

Nói cách khác, A trên Fig.14 thể hiện các ký hiệu (điểm tín hiệu tương ứng ở đây) của 16QAM của DVB-T.2.

Trong 16QAM, một ký hiệu được thể hiện bởi bốn bit, và có $16(=2^4)$ ký hiệu. Tiếp theo, 16 ký hiệu được bố trí để tạo thành hình vuông 4×4 theo hướng I x hướng Q, có gốc của mặt phẳng IQ làm trung tâm.

Bây giờ, nếu bit thứ $(i+1)$ từ bit quan trọng nhất trong chuỗi bit được thể hiện bởi một ký hiệu được thể hiện là bit y_i , bốn bit thể hiện một bit của 16QAM có thể được thể hiện là các bit y_0, y_1, y_2 , và y_3 từ bit quan trọng nhất theo thứ tự. Nếu hệ thống điều biến là 16QAM, bốn bit của các bit mã của mã LDPC trở thành (được ký hiệu thành) ký hiệu (các giá trị ký hiệu) của bốn bit từ y_0 đến y_3 .

B trên Fig.14 thể hiện các ranh giới bit cho bit ký hiệu y_i bốn bit (dưới đây được gọi tắt là bit ký hiệu) từ y_0 đến y_3 được thể hiện bởi các ký hiệu của 16QAM.

Ở đây, ranh giới bit cho bit ký hiệu y_i (trên Fig.14, $i = 0, 1, 2$, và 3) nghĩa là ranh giới giữa ký hiệu trong đó bit ký hiệu y_i là 0 và ký hiệu trong đó bit ký hiệu y_i là 1.

Như được minh họa trên Fig.14, đối với bit ký hiệu đầu y_0 trong bốn bit ký hiệu từ y_0 đến y_3 được thể hiện bởi các ký hiệu của 16QAM, một vị trí trên trục Q trong mặt phẳng IQ là ranh giới bit, và đối với ký hiệu bit thứ hai (thứ hai từ các bit quan trọng nhất) y_1 , chỉ có một vị trí trên trục I trong mặt phẳng IQ là ranh giới bit.

Ngoài ra, đối với bit ký hiệu thứ ba y_2 , các ranh giới bit được nằm giữa cột thứ nhất và cột thứ hai và giữa cột thứ ba và cột thứ tư từ bên trái, trong 4x4 ký hiệu.

Ngoài ra, đối với bit ký hiệu thứ tư y_3 , các ranh giới bit được nằm giữa hàng thứ nhất và hàng thứ hai và giữa hàng thứ ba và hàng thứ tư từ đầu, trong 4x4 ký hiệu.

Đối với bit ký hiệu y_i được thể hiện bởi các ký hiệu, càng nhiều ký hiệu xa ranh giới bit, càng ít lỗi xảy ra (xác suất lỗi thấp), và càng nhiều ký hiệu gần ranh giới bit ký hiệu, càng nhiều lỗi xảy ra (xác suất lỗi cao).

Bây giờ, nếu bit trong đó lỗi hầu như không xảy ra (mạnh về lỗi) được gọi là "bit mạnh", và bit trong đó lỗi dễ dàng xảy ra (yếu về lỗi) được gọi là "bit yếu", đối với bốn bit ký hiệu từ y_0 đến y_3 của ký hiệu của 16QAM, bit ký hiệu đầu y_0 và bit ký hiệu thứ hai y_1 là các bit mạnh, và bit ký hiệu thứ ba y_2 và bit ký hiệu thứ tư y_3 là các bit yếu.

Các hình từ Fig.15 đến Fig.17 minh họa ví dụ về sự bố trí của 64 ký hiệu (các điểm tín hiệu tương ứng ở đây), nói cách khác, ký hiệu của 16QAM của DVB-T.2 trên mặt phẳng IQ khi 64QAM được thực hiện bởi bộ ánh xạ 117 trên Fig.8.

Trong 64QAM, một ký hiệu được thể hiện bởi sáu bit, và có $64(=2^6)$ ký hiệu. Tiếp theo, 64 ký hiệu được bố trí để tạo thành hình vuông 8x8 theo chiều I x chiều Q, có gốc của mặt phẳng IQ làm trung tâm.

Các bit ký hiệu của một ký hiệu của 64QAM có thể được thể hiện là các bit y_0, y_1, y_2, y_3, y_4 , và y_5 từ bit quan trọng nhất theo thứ tự. Nếu hệ thống điều biến là 64QAM, sáu bit của các bit mã của mã LDPC là ký hiệu của các bit ký hiệu từ y_0 đến y_5 của sáu bit.

Ở đây, Fig.15 minh họa ranh giới bit cho mỗi bit ký hiệu đầu y_0 và bit ký hiệu thứ 2 y_1 , Fig.16 minh họa ranh giới bit cho mỗi bit ký hiệu thứ ba y_2 và bit ký hiệu thứ tư y_3 , và Fig.17 minh họa ranh giới bit cho mỗi bit ký hiệu thứ năm y_4 và bit ký hiệu thứ sáu y_5 , trong số các bit ký hiệu từ y_0 đến y_5 của ký hiệu của 64QAM.

Như được thể hiện trên Fig.15, số các ranh giới bit cho mỗi bit ký hiệu đầu y_0 và bit ký hiệu thứ hai y_1 là một. Ngoài ra, như được thể hiện trên Fig.16, số các ranh giới bit cho mỗi bit ký hiệu thứ ba y_2 và bit ký hiệu thứ tư y_3 là hai, và như được thể hiện trên Fig.17, số các ranh giới bit cho mỗi bit ký hiệu thứ năm y_4 và bit ký hiệu thứ sáu y_5 là bốn.

Do đó, đối với các bit ký hiệu từ y_0 đến y_5 của ký hiệu của 64QAM, bit ký hiệu đầu y_0 và bit ký hiệu thứ hai y_1 là các bit mạnh nhất và bit ký hiệu thứ ba y_2 và bit ký hiệu thứ tư y_3 là các bit mạnh thứ hai. Tiếp theo, bit ký hiệu thứ năm y_4 và bit ký hiệu thứ sáu y_5 là các bit yếu.

Có thể được nhìn từ Fig.14, và Fig.15 đến Fig.17 rằng bit trên có thể là bit mạnh và bit thấp hơn có thể là bit yếu, đối với các bit ký hiệu của ký hiệu của điều biến cầu phương.

Fig.18 minh họa ví dụ về sự bố trí của bốn ký hiệu (các điểm tín hiệu tương ứng ở đây) trên mặt phẳng IQ, nói cách khác, ví dụ, sự bố trí điểm tín hiệu của QPSK của DVB-S.2, khi đường vệ tinh được sử dụng như đường truyền thông 13 (Fig.7) và QPSK được thực hiện bởi bộ ánh xạ 117 trên Fig.8.

Trong QPSK của DVB-S.2, ký hiệu được ánh xạ tới một trong bốn điểm tín hiệu trên chu vi của vòng tròn có bán kính ρ của 1 có gốc của mặt phẳng IQ làm trung tâm.

Fig.19 minh họa ví dụ sự bố trí của 8 ký hiệu trên mặt phẳng IQ, nói cách khác, ví dụ, sự bố trí điểm tín hiệu của 8PSK của DVB-S.2, khi đường vệ tinh được sử dụng như đường truyền thông 13 (Fig.7) và 8PSK được thực hiện bởi bộ ánh xạ 117 trên Fig.8.

Trong 8PSK của DVB-S.2, ký hiệu được ánh xạ tới một trong tám điểm tín hiệu trên chu vi của vòng tròn có bán kính ρ của 1 có gốc của mặt phẳng IQ làm trung tâm.

Fig.20 minh họa ví dụ về sự bố trí của 16 ký hiệu trên mặt phẳng IQ, nói cách khác, ví dụ, sự bố trí điểm tín hiệu của 16APSK của DVB-S.2, khi đường vệ tinh được sử dụng như đường truyền thông 13 (Fig.7) và 16APSK được thực hiện bởi bộ ánh xạ 117 trên Fig.8.

A trên Fig.20 thể hiện chòm sao 16APSK của DVB-S.2.

Trong 16APSK của DVB-S.2, ký hiệu được ánh xạ tới một trong số 16 điểm tín hiệu bao gồm bốn điểm tín hiệu trên chu vi của vòng tròn có bán kính R_1 và 12 điểm tín hiệu trên chu vi của vòng tròn có bán kính R_2 ($>R_1$), có gốc của mặt phẳng IQ làm trung tâm.

B trên Fig.20 thể hiện tỷ số $\gamma=R_2/R_1$ của bán kính R_2 với bán kính R_1 trong chòm sao 16APSK của DVB-S.2.

Tỷ số γ của bán kính R_2 với bán kính R_1 thay đổi phụ thuộc vào tỷ lệ mã, trong chòm sao 16APSK của DVB-S.2.

Fig.21 minh họa ví dụ sự bố trí của 32 ký hiệu trên mặt phẳng IQ, nói cách khác, ví dụ, sự bố trí điểm tín hiệu của 32APSK của DVB-S.2, khi đường vệ tinh được sử dụng như đường truyền thông 13 (Fig.7) và 32APSK được thực hiện bởi bộ ánh xạ 117 trên Fig.8.

A trên Fig.21 thể hiện chòm sao 32APSK của DVB-S.2.

Trong 32APSK của DVB-S.2, ký hiệu được ánh xạ tới một trong tổng số 32 điểm tín hiệu bao gồm bốn điểm tín hiệu trên chu vi của vòng tròn có bán kính R_1 ,

12 điểm tín hiệu trên chu vi của vòng tròn có bán kính R_2 ($>R_1$), và 16 điểm tín hiệu trên chu vi của vòng tròn có bán kính R_3 ($>R_2$), có gốc của mặt phẳng IQ làm trung tâm.

B trên Fig.21 thể hiện tỷ số $\gamma_1=R_2/R_1$ của bán kính R_2 với bán kính R_1 và tỷ số $\gamma_2=R_3/R_1$ của bán kính R_3 với bán kính R_1 , trong chòm sao 32APSK của DVB-S.2.

Tỷ số γ_1 của bán kính R_2 trên bán kính R_1 và tỷ số γ_2 của bán kính R_3 trên bán kính R_1 thay đổi phụ thuộc vào tỷ lệ mã, trong chòm sao 32APSK của DVB-S.2.

Có các bit mạnh và bit yếu ngay cả đối với các bit ký hiệu của các ký hiệu của các loại điều biến cầu phương tương ứng (QPSK, 8PSK, 16APSK và 32APSK) của DVB-S.2 trong đó các chòm sao được thể hiện trên Fig.18 đến Fig.21, tương tự như trường hợp trên Fig.14 đến Fig.17.

Ở đây, như được minh họa trên Fig.12 và Fig.13, có các bit mã mà yếu về lỗi và các bit mã mà mạnh về lỗi, đối với mã LDPC mà bộ mã hóa LDPC 115 (Fig.8) đưa ra.

Ngoài ra, như được minh họa trên Fig.14 đến Fig.21, có các bit mạnh và các bit yếu đối với các bit ký hiệu của ký hiệu của điều biến cầu phương được thực hiện bởi bộ ánh xạ 117.

Do đó, nếu bit mã mà yếu về lỗi của mã LDPC được phân bổ cho bit ký hiệu yếu của ký hiệu điều biến cầu phương, thì toàn bộ, độ kháng lỗi được giảm xuống.

Do đó, với xu hướng của việc phân bổ các bit mã yếu về lỗi, của mã LDPC đến bit mạnh (bit ký hiệu) của ký hiệu điều biến cầu phương, bộ đan xen để đan xen bit mã của mã LDPC được đề xuất.

Bộ giải đan xen 25 trên Fig. 9 có thể thực hiện quy trình xử lý của bộ đan xen.

Fig.22 là sơ đồ mô tả quy trình xử lý của bộ giải đan xen 25 trên Fig.9.

Nói cách khác, A trên Fig.22 thể hiện ví dụ về cấu hình chức năng của bộ giải đan xen 25.

Bộ giải đan xen 25 được cấu hình với bộ nhớ 31 và bộ thay thế 32.

Mã LDPC từ bộ mã hóa LDPC 115 được cung cấp tới bộ nhớ 31.

Bộ nhớ 31 có dung lượng lưu trữ để lưu trữ mb bit theo chiều hàng (ngang) và $N/(mb)$ bit theo chiều cột (dọc), và cung cấp tới bộ thay thế 32 với bit mã của mã LDPC được cung cấp ở đây, bằng cách ghi bit mã theo chiều cột và đọc bit mã theo chiều hàng.

Ở đây, N ($=$ độ dài thông tin K + độ dài chẵn lẻ M) thể hiện độ dài mã của mã LDPC, như được nêu trên.

Ngoài ra, m thể hiện số các bit của bit mã của mã LDPC là một ký hiệu, b thể hiện số nguyên dương định trước, và m là bội số được sử dụng cho việc nhân số nguyên. Bộ giải đan xen 25 tạo (ký hiệu hóa) bit mã của mã LDPC thành ký hiệu, trong bộ số định trước của các bit m , và bội số b thể hiện số các ký hiệu thu được bởi một thời điểm ký hiệu hóa bởi bộ giải đan xen 25.

A trên Fig.22 minh họa ví dụ về cấu hình của bộ giải đan xen 25 trong đó hệ thống điều biến 64QAM ánh xạ ký hiệu cho bất kỳ điểm nào của 64 điểm tín hiệu, và do đó, số m của các bit của bit mã của mã LDPC là một ký hiệu là sáu bit.

Ngoài ra, trong A trên Fig.22, bội số b là 1, do đó, bộ nhớ 31 có dung lượng lưu trữ các bit N (6×1) $\times$ (6×1) theo chiều cột $\times$ chiều hàng.

Ở đây, vùng lưu trữ của bộ nhớ 31 có một bit theo chiều hàng và mở rộng theo chiều cột, dưới đây, khi thích hợp, được gọi là cột. Ở A trên Fig.22, bộ nhớ 31 được cấu hình với các cột 6 ($= 6 \times 1$).

Trong bộ giải đan xen 25, việc ghi bit mã của mã LDPC theo chiều từ đầu đến cuối của các cột (theo chiều cột) cấu hình bộ nhớ 31 được thực hiện đối với cột theo chiều từ trái sang phải.

Tiếp theo, nếu việc ghi bit mã được kết thúc ở cột cuối cùng ngoài cùng bên phải, các bit mã được đọc, từ cột thứ nhất của tất cả các cột cấu hình bộ nhớ 31, theo chiều hàng, trong bộ sáu bit (mb bit) và cung cấp tới bộ thay thế 32.

Bộ thay thế 32 thực hiện quy trình thay thế để thay thế các vị trí của các bit mã của sáu bit từ bộ nhớ 31, và đưa ra sáu bit kết quả là sáu bit ký hiệu y_0, y_1, y_2, y_3, y_4 , và y_5 thể hiện một ký hiệu của 64QAM.

Nói cách khác, các bit mã của mb bit (ở đây là sáu bit) được đọc từ bộ nhớ 31 theo chiều hàng, nhưng nếu bit thứ i ($i = 0, 1, \dots, mb-1$) từ bit quan trọng của các bit mã của mb bit được đọc từ bộ nhớ 31 được thể hiện là bit b_i , các bit mã của sáu bit được đọc từ bộ nhớ 31 theo chiều hàng có thể được thể hiện là các bit b_0, b_1, b_2, b_3, b_4 , và b_5 từ bit quan trọng nhất theo thứ tự.

Từ mối quan hệ của các trọng số cột được mô tả trên Fig.2 và Fig.13, bit mã nằm theo hướng của bit b_0 là bit mã mạnh về lỗi, và bit mã nằm theo hướng của bit b_5 là bit mã yếu về lỗi.

Bộ thay thế 32 có thể thực hiện quy trình thay thế để thay thế các vị trí của các bit mã từ b_0 đến b_5 của sáu bit từ bộ nhớ 31 sao cho bit mã yếu về lỗi ở giữa các bit mã từ b_0 đến b_5 của sáu bit từ bộ nhớ 31 được phân bố cho các bit mạnh ở giữa các bit ký hiệu từ y_0 đến y_5 của một ký hiệu của 64QAM.

Ở đây, các phương pháp thay thế khác nhau để thay thế các bit mã từ b_0 đến b_5 của sáu bit từ bộ nhớ 31 và phân bố chúng cho mỗi trong sáu bit ký hiệu từ y_0 đến y_5 thể hiện một ký hiệu của 64QAM đã được đề xuất từ nhiều công ty.

B trên Fig.22, C trên Fig.22, và D trên Fig.22 lần lượt thể hiện phương pháp thay thế thứ nhất, phương pháp thay thế thứ hai, và phương pháp thay thế thứ ba.

Trên B trên Fig.22 đến D trên Fig.22 (tương tự trên Fig.23 sẽ được mô tả sau), đường kết nối bit b_i và y_i có nghĩa là phân bố bit b_i cho bit ký hiệu y_i của ký hiệu (thay thế nó ở vị trí của bit ký hiệu y_i).

Với phương pháp thay thế thứ nhất của B trên Fig.22, việc áp dụng bất kỳ một trong ba loại của các phương pháp thay thế đã được đề xuất, và với phương pháp thay thế thứ hai của C trên Fig.22, việc áp dụng bất kỳ một trong hai loại của các phương pháp thay thế đã được đề xuất.

Với phương pháp thay thế thứ ba của D trên Fig.22, việc lựa chọn và sử dụng sáu loại phương pháp thay thế theo thứ tự đã được đề xuất.

Fig.23 minh họa ví dụ về cấu hình của bộ giải đan xen 25 trong đó hệ thống điều biến 64QAM ánh xạ ký hiệu tới bất kỳ 64 điểm tín hiệu, (do đó, số m các bit của bit mã của mã LDPC được ánh xạ tới một ký hiệu là sáu bit, tương tự như Fig.22), và bội số b là 2, và phương pháp thay thế thứ tư.

Khi bội số b là 2, bộ nhớ 31 bao gồm dung lượng lưu trữ của $N/(6 \times 2) \times (6 \times 2)$ bit theo chiều cột x chiều hàng, và được cấu hình với các cột 12 ($= 6 \times 2$).

A trên Fig.23 minh họa thứ tự ghi mã LDPC vào bộ nhớ 31.

Trong bộ giải đan xen 25, như được mô tả trên Fig.22, việc ghi bit mã của mã LDPC theo hướng từ đầu đến cuối của các cột (theo chiều cột) cấu hình bộ nhớ 31 được thực hiện đối với cột theo chiều từ trái sang phải.

Tiếp theo, nếu việc ghi bit mã được kết thúc ở đáy của cột ngoài cùng bên phải (khi việc ghi một từ mã được kết thúc), các bit mã được đọc, từ cột thứ nhất của tất cả các cột cấu hình bộ nhớ 31, theo chiều hàng, trong bộ 12 bit (mb bit) và cung cấp tới bộ thay thế 32.

Bộ thay thế 32 thực hiện quy trình thay thế để thay thế các vị trí các bit mã của 12 bit từ bộ nhớ 31 nhờ sử dụng phương pháp thay thế thứ tư và đưa ra 12 bit kết quả như là 12 bit ký hiệu thể hiện hai ký hiệu (các ký hiệu b) của 64QAM, nói cách khác, sáu bit ký hiệu y_0, y_1, y_2, y_3, y_4 , và y_5 thể hiện một ký hiệu của 64QAM, và sáu bit ký hiệu y_0, y_1, y_2, y_3, y_4 , và y_5 thể hiện một ký hiệu tiếp theo.

Ở đây, B trên Fig.23 minh họa phương pháp thay thế thứ tư của quy trình thay thế bởi bộ thay thế 32 của A trên Fig.23.

Ngoài ra, khi bội số b là 2 (tương tự áp dụng trong trường hợp nhiều hơn 3), trong quy trình thay thế, các bit mã của mb bit được phân bố cho các bit ký hiệu của mb bit của các ký hiệu kế tiếp b . Bao gồm Fig.23, trong phần dưới đây, để tiện giải thích, bit thứ $(i+1)$ từ bit quan trọng nhất của bit ký hiệu trong mb bit của các ký hiệu kế tiếp b được thể hiện là bit (ký hiệu bit) y_i .

Phương pháp thay thế bit mã nào là thích hợp, nói cách khác, nâng cao thêm tỷ lệ lỗi trong đường truyền thông AWGN, và tương tự phụ thuộc vào tỷ lệ mã và độ dài mã của mã LDPC, hệ thống điều biến và tương tự.

Bước đan xen chẵn lẻ

Tiếp theo, bước đan xen chẵn lẻ bởi bộ đan xen chẵn lẻ 23 trên Fig.9 sẽ được mô tả dựa vào các hình vẽ từ Fig.24 đến Fig.26.

Fig.24 minh họa đồ thị Tanner (một phần của nó) của ma trận kiểm tra chẵn lẻ của mã LDPC.

Như được minh họa trên Fig.24, nếu các (2 hoặc tương tự) nút thay đổi (bit mã tương ứng ở đây) được kết nối với các nút kiểm tra đồng thời trở thành các nút báo lỗi như lỗi xóa, các nút kiểm tra gửi lại thông điệp trong đó xác suất có giá trị 0 và xác suất có giá trị 1 là bằng nhau, đến tất cả các nút thay đổi được kết nối với các nút kiểm tra. Do đó, nếu các nút thay đổi được kết nối với cùng nút kiểm tra đồng thời trở thành các lỗi xóa, hiệu suất giải mã bị giảm xuống.

Ở đây, mã LDPC được định rõ theo tiêu chuẩn DVB-S.2 và được đưa ra bởi bộ mã hóa LDPC 115 trên Fig.8 là mã IRA, và ma trận chẵn lẻ HT của ma trận kiểm tra chẵn lẻ H có cấu trúc bậc thang, như được minh họa trên Fig.11.

Fig.25 là sơ đồ minh họa ma trận chẵn lẻ HT có cấu trúc bậc thang và đồ thị Tanner tương ứng với ma trận chẵn lẻ HT.

Nói cách khác, A trên Fig.25 thể hiện ma trận chẵn lẻ HT có cấu trúc bậc thang, và B trên Fig.25 thể hiện đồ thị Tanner tương ứng với ma trận chẵn lẻ HT của A trên Fig.25.

Trong ma trận chẵn lẻ HT có cấu trúc bậc thang, các phần tử 1 liên kề trong mỗi hàng (ngoại trừ hàng thứ nhất). Do đó, trong đồ thị Tanner của ma trận chẵn lẻ HT, hai nút thay đổi liên kề tương ứng với các cột của hai phần tử liên kề, trong đó các giá trị trong ma trận chẵn lẻ HT là 1, được kết nối với cùng nút kiểm tra.

Do đó, nếu các bit chẵn lẻ tương ứng với hai nút thay đổi liên kề được nêu trên trở thành các bit lỗi đồng thời do lỗi chùm hoặc lỗi xoá, nút kiểm tra được kết nối với hai nút thay đổi (các nút thay đổi để thu thông điệp nhờ sử dụng bit chẵn lẻ) tương ứng với hai bit chẵn lẻ mà trở thành hai bit lỗi trả thông điệp trong đó xác suất có giá trị 0 và xác suất có giá trị 1 là bằng nhau, về nút thay đổi được kết nối với nút kiểm tra, sao cho hiệu suất giải mã bị giảm xuống. Tiếp theo, nếu độ dài truyền loạt (số bit của các bit chẵn lẻ trở thành các bit lỗi trong chuỗi) được tăng lên, số các nút kiểm tra trả về thông điệp chỉ báo các xác suất bằng nhau được tăng lên và hiệu suất giải mã tiếp tục bị giảm xuống.

Vì vậy, để ngăn ngừa việc suy giảm hiệu suất giải mã được nêu trên, bộ đan xen chẵn lẻ 23 (Fig.9) thực hiện bước đan xen để đan xen bit chẵn lẻ của mã LDPC từ bộ mã hóa LDPC 115 đến vị trí của bit chẵn lẻ khác.

Fig.26 là sơ đồ minh họa ma trận chẵn lẻ H_T của ma trận kiểm tra chẵn lẻ H tương ứng với mã LDPC sau khi đan xen chẵn lẻ được thực hiện bởi bộ đan xen chẵn lẻ 23 trên Fig.9.

Ở đây, ma trận thông tin H_A của ma trận kiểm tra chẵn lẻ H tương ứng với mã LDPC được đưa ra bởi bộ mã hóa LDPC 115, và được định rõ theo tiêu chuẩn DVB-S.2 có cấu trúc tuần hoàn.

Cấu trúc tuần hoàn đề cập đến cấu trúc trong đó cột xác định thu được bằng cách thay đổi cột khác tuần hoàn, và bao gồm ví dụ, cấu trúc trong đó mọi cột P, vị trí của 1 trong mỗi hàng của cột P là vị trí xuất phát từ việc thay đổi tuần hoàn cột thứ nhất của cột P, bởi giá trị tương xứng với giá trị q thu được bằng cách chia độ dài chẵn lẻ M, theo chiều cột. Dưới đây, khi thích hợp, cột P trong cấu trúc tuần hoàn được gọi là số lượng cột của bộ cấu trúc tuần hoàn.

Ví dụ về mã LDPC được định rõ theo tiêu chuẩn DVB-S.2 bao gồm hai loại mã LDPC trong đó độ dài mã N là 64800 bit và 16200 bit, như được mô tả trên Fig.12 và Fig.13, cho cả hai loại mã LDPC, số lượng P cột của bộ cấu trúc tuần hoàn được định rõ là 360 mà là một trong những ước số ngoại trừ 1 và M trong số các ước số có độ dài chẵn lẻ M .

Ngoài ra, độ dài chẵn lẻ M là giá trị khác ngoài số nguyên tố được thể hiện bởi phương trình $M = qxP = qx360$, nhờ sử dụng giá trị q thay đổi phụ thuộc vào tỷ lệ mã. Do đó, giá trị q cũng, tương tự số lượng P cột của bộ cấu trúc tuần hoàn, là một trong những ước số ngoại trừ 1 và M trong số các ước số với độ dài chẵn lẻ M , và thu được bằng cách chia độ dài chẵn lẻ M bởi số lượng P cột của bộ cấu trúc tuần hoàn (sản phẩm của P và q , đó là các ước số của độ dài chẵn lẻ M , là độ dài chẵn lẻ M).

Như được nêu trên, khi độ dài thông tin là K và x là số nguyên của 0 hoặc xấp xỉ P , nếu y là số nguyên của 0 hoặc xấp xỉ q , bộ đan xen chẵn lẻ 23 đan xen bit mã thứ $(K+qx+y+1)$ trong các bit mã của mã LDPC của các bit N ở vị trí của bit mã $(K+Py+x+1)$ -th, như bước đan xen chẵn lẻ.

Do cả hai bit mã thứ $(K+qx+y+1)$ và bit mã thứ $(K+Py+x+1)$ là bit mã thứ $(K+1)$ và các bit mã theo sau, theo bước đan xen chẵn lẻ, vị trí của các bit chẵn lẻ của mã LDPC được di chuyển.

Theo đan xen chẵn lẻ như vậy, các nút thay đổi (bit chẵn lẻ tương ứng ở đây) được kết nối với cùng nút kiểm tra được tách ra bởi số lượng P các cột của bộ cấu trúc tuần hoàn, nói cách khác, ở đây, 360 bit, sao cho khi độ dài chùm ít hơn 360 bit, có thể tránh được trạng thái trong đó các nút thay đổi được kết nối với cùng nút kiểm tra đồng thời trở thành các nút báo lỗi, và do đó nâng cao độ kháng lỗi chùm.

Ngoài ra, mã LDPC sau khi đan xen chẵn lẻ để đan xen bit mã thứ $(K+qx++1)$ với vị trí của bit mã thứ $(K+Py+x+1)$ trùng với mã LDPC của ma trận kiểm tra chẵn lẻ (dưới đây gọi tắt là ma trận kiểm tra chẵn lẻ chuyển đổi) thu được

bằng cách hoán vị cột thay thế cột thứ $(K+qx+y+1)$ của ma trận kiểm tra chẵn lẻ gốc H với cột thứ $(K+Py+x+1)$.

Ngoài ra, cấu trúc tựa tuần hoàn với các cột P (trên Fig.26, 360 cột) là đơn vị được thể hiện trong ma trận chẵn lẻ của mã trận chẵn lẻ chuyển đổi, như được minh họa trên Fig.26.

Ở đây, cấu trúc tựa tuần hoàn nghĩa là cấu trúc trong đó một số phần, ngoại trừ các phần khác, có cấu trúc tuần hoàn. Trong ma trận kiểm tra chẵn lẻ chuyển đổi thu được bằng cách thực hiện hoán vị cột tương ứng với bước đan xen chẵn lẻ, trên ma trận kiểm tra chẵn lẻ của mã LDPC được định rõ theo tiêu chuẩn DVB-S.2, không có phần tử 1 (trở thành phần tử 0) trong phần của 360 hàng x 360 cột ở phần góc bên phải (ma trận dịch chuyển đó sẽ được mô tả dưới đây), và từ thời điểm này, ma trận kiểm tra chẵn lẻ không có cấu trúc tuần hoàn (đầy đủ), mà được gọi là cấu trúc tựa tuần hoàn.

Ngoài ra, ma trận kiểm tra chẵn lẻ chuyển đổi trên Fig.26 là ma trận thu được bằng cách thực hiện hoán vị các hàng (hoán vị hàng) để cấu hình ma trận cấu hình sẽ được mô tả sau dưới đây, cũng như hoán vị cột tương ứng với đan xen chẵn lẻ, ma trận kiểm tra chẵn lẻ gốc H.

Đan xen xoắn cột

Tiếp theo, dựa vào các hình vẽ từ Fig.27 đến Fig.30, đan xen xoắn cột như quy trình bố trí lại bởi bộ đan xen xoắn cột 24 trên Fig.9 sẽ được mô tả.

Thiết bị truyền 11 trên Fig.8 truyền một bit hoặc nhiều bit mã của mã LDPC như là một ký hiệu. Nói cách khác, ví dụ, khi hai bit của bit mã là một ký hiệu, ví dụ, QPSK được sử dụng làm hệ thống điều biến, và khi bốn bit của bit mã là một ký hiệu, ví dụ, 16APSK hoặc 16QAM được sử dụng làm hệ thống điều biến.

Khi nhiều hơn hai bit của bit mã được truyền là một ký hiệu, nếu việc xóa và tương tự xảy ra trong bất kỳ ký hiệu nào, tất cả các bit mã của ký hiệu trở thành các lỗi xóa.

Vì vậy, cần tránh nút thay đổi tương ứng với các bit mã của một ký hiệu đang được kết nối với cùng nút kiểm tra để giảm xác suất mà các nút thay đổi được kết nối với cùng nút kiểm tra (bit mã tương ứng ở đây) trở thành các lỗi xóa đồng thời, để nâng cao hiệu suất giải mã.

Trong khi đó, như được nêu trên, trong ma trận kiểm tra chẵn lẻ H của mã LDPC được đưa ra bởi bộ mã hóa LDPC 115, và được định rõ theo tiêu chuẩn DVB-S.2, ma trận thông tin H_A có cấu trúc tuần hoàn, và ma trận chẵn lẻ H_T có cấu trúc bậc thang. Tiếp theo, như được mô tả trên Fig.26, trong ma trận kiểm tra chẵn lẻ chuyển đổi là ma trận kiểm tra chẵn lẻ của mã LDPC sau khi đan xen chẵn lẻ, cấu trúc tuần hoàn (chính xác là, như được nêu trên, cấu trúc tựa tuần hoàn) được thể hiện trong ma trận chẵn lẻ.

Fig.27 minh họa ma trận kiểm tra chẵn lẻ chuyển đổi.

Nói cách khác, A trên Fig.27 minh họa ma trận kiểm tra chẵn lẻ chuyển đổi của ma trận kiểm tra chẵn lẻ H của mã LDPC trong đó độ dài mã N là 64800 bit và tỷ lệ mã (r) là $3/4$.

Ở A trên Fig.27, trong ma trận kiểm tra chẵn lẻ chuyển đổi, các vị trí của các phần tử trong đó các giá trị được thiết lập đến 1 được thể hiện bởi các điểm (.).

B trên Fig.27 minh họa quy trình xử lý được thực hiện bởi bộ giải đan xen 25 (Fig.9), với mã LDPC của ma trận kiểm tra chẵn lẻ chuyển đổi A trên Fig.27, nói cách khác, mã LDPC sau khi đan xen chẵn lẻ là mục tiêu.

Ở B trên Fig.27, với hệ thống điều biến như hệ thống của ánh xạ ký hiệu vào 16 điểm tín hiệu, như 16APSK hoặc 16QAM, các bit mã của mã LDPC sau khi đan xen chẵn lẻ được ghi vào bốn cột cấu hình bộ nhớ 31 của bộ đan xen chẵn lẻ 25, theo chiều cột.

Các bit mã, được ghi trong bốn cột cấu hình bộ nhớ 31, theo chiều cột, được đọc trong bộ bốn bit, theo chiều hàng, để là một ký hiệu.

Trong trường hợp này, các bit mã B0, B1, B2 và B3 của bốn bit là một ký hiệu có thể là các bit mã tương ứng với 1 trong bất kỳ một hàng nào của ma trận kiểm tra chẵn lẻ chuyển đổi của A trên Fig.27, và trong trường hợp này, các nút thay đổi lần lượt tương ứng với các bit mã B0, B1, B2 và B3 được kết nối với cùng nút kiểm tra.

Do đó, khi các bit mã B0, B1, B2 và B3 của bốn bit của một ký hiệu là các bit mã tương ứng với 1 trong bất kỳ một hàng nào của ma trận kiểm tra chẵn lẻ chuyển đổi, nếu việc xóa xảy ra trong ký hiệu, thì không thể thu được thông điệp thích hợp từ cùng nút kiểm tra được kết nối tới các nút thay đổi lần lượt tương ứng với các bit mã B0, B1, B2 và B3, và do đó hiệu suất giải mã bị giảm xuống.

Ngay cả trong tỷ lệ mã khác ngoài tỷ lệ mã 3/4, tương tự như vậy, các bit mã tương ứng với các nút thay đổi được kết nối với cùng nút kiểm tra có thể là một ký hiệu của 16APSK hoặc 16QAM.

Như vậy, bộ đan xen xoắn cột 24 thực hiện đan xen xoắn cột để đan xen bit mã của mã LDPC sau khi đan xen chẵn lẻ từ bộ đan xen chẵn lẻ 23 sao cho các bit mã tương ứng với 1 trong bất kỳ một hàng nào của ma trận kiểm tra chẵn lẻ chuyển đổi không được bao gồm trong một ký hiệu.

Fig.28 là sơ đồ mô tả đan xen xoắn cột.

Nói cách khác, Fig.28 minh họa bộ nhớ 31 (Fig.22 và Fig.23) của bộ giải đan xen 25.

Như được mô tả trên Fig.22, bộ nhớ 31 có dung lượng lưu trữ để lưu trữ mb bit theo chiều cột (dọc) và $N/(mb)$ bit theo chiều hàng (ngang) và được tạo cấu hình với mb cột. Tiếp theo, bộ đan xen xoắn cột 24 thực hiện đan xen cột bằng cách điều khiển vị trí bắt đầu ghi cho bộ nhớ 31, khi ghi bit mã của mã LDPC theo chiều cột và đọc bit mã theo chiều hàng.

Nói cách khác, bộ đan xen xoắn cột 24 thay đổi một cách thích hợp vị trí bắt đầu ghi mà tại đó việc ghi bit mã được bắt đầu, với mỗi cột, sao cho các bit mã cấu hình một ký hiệu được đọc theo chiều hàng không trở thành các bit mã tương ứng

với 1 được nằm một hàng nhất định của ma trận kiểm tra chẵn lẻ chuyển đổi (các bit mã của mã LDPC được bố trí lại sao cho các bit mã tương ứng với 1 nằm trong một hàng nhất định của ma trận kiểm tra chẵn lẻ không được bao gồm trong cùng một ký hiệu).

Ở đây, Fig. 28 minh họa ví dụ về cấu hình của bộ nhớ 31 khi hệ thống điều biến là 16APSK hoặc 16QAM, và bội số b được mô tả trên Fig.22 là 1. Do đó, số lượng m bit của bit mã của mã LDPC được cấu hình trong một ký hiệu là bốn bit, và bộ nhớ 31 được cấu hình với bốn ($=mb$) cột.

Bộ đan xen xoắn cột 24 (thay bộ giải đan xen 25 trên Fig.22) thực hiện việc ghi bit mã của mã LDPC theo hướng từ đầu đến cuối của bốn cột (theo chiều cột) cấu hình bộ nhớ 31, đối với cột theo chiều từ trái sang phải.

Tiếp theo, nếu việc ghi bit mã được kết thúc ở cột ngoài cùng bên phải, bộ đan xen xoắn cột 24 đọc bit mã từ hàng thứ nhất của tất cả các cột cấu hình bộ nhớ 31, theo chiều hàng, trong bộ bốn bit (mb bit), và đưa ra bit mã như mã LDPC sau khi đan xen xoắn cột, đến bộ thay thế 32 (Fig.22 và Fig.23) của bộ giải đan xen 25.

Tuy nhiên, nếu được giả sử rằng địa chỉ của vị trí thứ nhất (vị trí đầu) của mỗi cột là 0 và địa chỉ của mỗi vị trí theo chiều cột được thể hiện bởi các số nguyên theo thứ tự tăng dần, trong bộ đan xen xoắn cột 24, được giả sử rằng vị trí bắt đầu ghi của cột ngoài cùng bên trái là vị trí của địa chỉ 0, vị trí bắt đầu ghi của cột thứ hai (từ trái) là vị trí của địa chỉ 2, vị trí bắt đầu ghi của cột thứ ba là vị trí của địa chỉ 4, và vị trí bắt đầu ghi của cột thứ tư là vị trí của địa chỉ 7.

Ngoài ra, đối với các cột trong đó các vị trí bắt đầu ghi khác ngoài vị trí của địa chỉ 0, sau khi các bit mã được ghi đến các vị trí cuối, quay lại đầu (vị trí của địa chỉ 0), các bit mã được ghi đến vị trí ngay trước vị trí bắt đầu ghi. Tiếp theo, việc ghi cột tiếp theo (phải) được thực hiện.

Bằng cách thực hiện đan xen xoắn cột được nêu trên, có thể tránh các bit mã tương ứng với các nút thay đổi được kết nối với cùng nút kiểm tra được tạo thành một ký hiệu của 16APSK hoặc 16QAM (được bao gồm trong cùng ký hiệu), với

mã LDPC được định rõ theo tiêu chuẩn của DVB-T.2, do đó, có thể nâng cao hiệu suất giải mã tại đường truyền thông với lỗi xóa.

Fig.29 minh họa số lượng cột yêu cầu của bộ nhớ 31 cho bước đan xen xoắn cột và địa chỉ của vị trí bắt đầu ghi, cho mỗi hệ thống điều biến, cho các mã LDPC tương ứng của độ dài mã N là 64800 và 11 tỷ lệ mã được định rõ theo tiêu chuẩn của DVB-T.2.

Nếu bội số b là 1 và số lượng m bit của một ký hiệu là hai bit nhờ sử dụng, ví dụ, QPSK làm hệ thống điều biến, theo Fig.29, bộ nhớ 31 có hai cột lưu trữ 2×1 ($= mb$) bit theo chiều hàng và lưu trữ $64800/(2 \times 1)$ bit theo chiều cột.

Tiếp theo, trong hai cột của bộ nhớ 31, được giả sử rằng vị trí bắt đầu ghi của cột thứ nhất là vị trí của địa chỉ 0, và vị trí bắt đầu ghi của cột thứ hai là vị trí của địa chỉ 2.

Ngoài ra, ví dụ, khi một trong bất kỳ phương pháp thay thế nào từ phương pháp thay thế thứ nhất đến thứ ba trên Fig.22 được áp dụng là phương pháp thay thế trong quy trình thay thế của bộ giải đan xen 25 (Fig.9), bội số b là 1.

Nếu bội số b là 2 và số lượng m bit của một ký hiệu là hai bit nhờ sử dụng, ví dụ, QPSK là hệ thống điều biến, theo Fig.29, bộ nhớ 31 có bốn cột lưu trữ 2×2 bit theo chiều hàng và lưu trữ $64800/(2 \times 2)$ bit theo chiều cột.

Tiếp theo, trong bốn cột của bộ nhớ 31, được giả sử rằng vị trí bắt đầu ghi của cột thứ nhất là vị trí của địa chỉ 0, vị trí bắt đầu ghi của cột thứ hai là vị trí của địa chỉ 2, vị trí bắt đầu ghi của cột thứ ba là vị trí của địa chỉ 4, và vị trí bắt đầu ghi của cột thứ tư là vị trí của địa chỉ 7.

Ngoài ra, ví dụ, khi phương pháp thay thế thứ tư trên Fig. 23 được áp dụng là phương pháp thay thế trong quy trình thay thế của bộ giải đan xen 25 (Fig.9), bội số b là 2.

Nếu bội số b là 1 và số lượng m bit của một ký hiệu là bốn bit nhờ sử dụng, ví dụ, 16QAM là hệ thống điều biến, theo Fig.29, bộ nhớ 31 có bốn cột lưu trữ 4×1 bit theo chiều hàng và $64800/(4 \times 1)$ bit theo chiều cột.

Tiếp theo, trong bốn cột của bộ nhớ 31, được giả sử rằng vị trí bắt đầu ghi của cột thứ nhất là vị trí của địa chỉ 0, vị trí bắt đầu ghi của cột thứ hai là vị trí của địa chỉ 2, vị trí bắt đầu ghi của cột thứ ba là vị trí của địa chỉ 4, và vị trí bắt đầu ghi của cột thứ tư là vị trí của địa chỉ 7.

Nếu bội số b là 2 và số lượng m bit của một ký hiệu là bốn bit nhờ sử dụng, ví dụ, 16QAM là hệ thống điều biến, theo Fig.29, bộ nhớ 31 có tám cột lưu trữ 4×2 bit theo chiều hàng và lưu trữ $64800/(4 \times 2)$ bit theo chiều cột.

Tiếp theo, trong tám cột của bộ nhớ 31, được giả sử rằng vị trí bắt đầu ghi của cột thứ nhất là vị trí của địa chỉ 0, vị trí bắt đầu ghi của cột thứ hai là vị trí của địa chỉ 0, các vị trí bắt đầu ghi của cột thứ ba là vị trí của địa chỉ 2, vị trí bắt đầu ghi của cột thứ tư là vị trí của địa chỉ 4, vị trí bắt đầu ghi của cột thứ năm là vị trí của địa chỉ 4, vị trí bắt đầu ghi của cột thứ sáu là vị trí của địa chỉ 5, vị trí bắt đầu ghi của cột thứ bảy là vị trí của địa chỉ 7, và vị trí bắt đầu ghi của cột thứ tám là vị trí của địa chỉ 7.

Nếu bội số b là 1 và số lượng m bit của một ký hiệu là sáu bit nhờ sử dụng, ví dụ, 64QAM là hệ thống điều biến, theo Fig.29, bộ nhớ 31 có sáu cột lưu trữ 6×1 bit theo chiều hàng và lưu trữ $64800/(6 \times 1)$ bit theo chiều cột.

Tiếp theo, trong sáu cột của bộ nhớ 31, được giả sử rằng vị trí bắt đầu ghi của cột thứ nhất là vị trí của địa chỉ 0, vị trí bắt đầu ghi của cột thứ hai là vị trí của địa chỉ 2, vị trí bắt đầu ghi của cột thứ ba là vị trí của địa chỉ 5, vị trí bắt đầu ghi của cột thứ tư là vị trí của địa chỉ 9, vị trí bắt đầu ghi của cột thứ năm là vị trí của địa chỉ 10, và vị trí bắt đầu ghi của cột thứ sáu là vị trí của địa chỉ 13.

Nếu bội số b là 2 và số lượng m bit của một ký hiệu là sáu bit nhờ sử dụng, ví dụ, 64QAM là hệ thống điều biến, theo Fig.29, bộ nhớ 31 có 12 cột lưu trữ 6×2 bit theo chiều hàng và lưu trữ $64800/(6 \times 2)$ bit theo chiều cột.

Tiếp theo, trong 12 cột của bộ nhớ 31, được giả sử rằng vị trí bắt đầu ghi của cột thứ nhất là vị trí của địa chỉ 0, vị trí bắt đầu ghi của cột thứ hai là vị trí của địa chỉ 0, vị trí bắt đầu ghi của cột thứ ba là vị trí của địa chỉ 2, vị trí bắt đầu ghi của cột thứ tư là vị trí của địa chỉ 2, vị trí bắt đầu ghi của cột thứ năm là vị trí của địa chỉ 3, vị trí bắt đầu ghi của cột thứ sáu là vị trí của địa chỉ 4, vị trí bắt đầu ghi của cột thứ bảy là vị trí của địa chỉ 4, vị trí bắt đầu ghi của cột thứ tám là vị trí của địa chỉ 5, vị trí bắt đầu ghi của cột thứ chín là vị trí của địa chỉ 5, vị trí bắt đầu ghi của cột thứ mười là vị trí của địa chỉ 7, vị trí bắt đầu ghi của cột thứ 11 là vị trí của địa chỉ 8, và vị trí bắt đầu ghi của cột thứ 12 là vị trí của địa chỉ 9.

Nếu bội số b là 1 và số lượng m bit của một ký hiệu là 8 bit nhờ sử dụng, ví dụ, 256QAM là hệ thống điều biến, theo Fig.29, bộ nhớ 31 có 8 cột lưu trữ 8×1 bit theo chiều hàng và lưu trữ $64800/(8 \times 1)$ bit theo chiều cột.

Tiếp theo, trong số 8 cột của bộ nhớ 31, được giả sử rằng vị trí bắt đầu ghi của cột thứ nhất là vị trí của địa chỉ 0, vị trí bắt đầu ghi của cột thứ hai là vị trí của địa chỉ 0, các vị trí bắt đầu ghi của cột thứ ba là vị trí của địa chỉ 2, vị trí bắt đầu ghi của cột thứ tư là vị trí của địa chỉ 4, vị trí bắt đầu ghi của cột thứ năm là vị trí của địa chỉ 4, vị trí bắt đầu ghi của cột thứ sáu là vị trí của địa chỉ 5, vị trí bắt đầu ghi của cột thứ bảy là vị trí của địa chỉ 7, vị trí bắt đầu ghi của cột thứ tám là vị trí của địa chỉ 7.

Nếu bội số b là 2 và số lượng m bit của một ký hiệu là 8 bit nhờ sử dụng, ví dụ, 256QAM là hệ thống điều biến, theo Fig.29, bộ nhớ 31 có 16 cột lưu trữ 8×2 bit theo chiều hàng và lưu trữ $64800/(8 \times 2)$ bit theo chiều cột.

Tiếp theo, trong 16 cột của bộ nhớ 31, được giả sử rằng vị trí bắt đầu ghi của cột thứ nhất là vị trí của địa chỉ 0, vị trí bắt đầu ghi của cột thứ hai là vị trí của địa chỉ 2, vị trí bắt đầu ghi của cột thứ ba là vị trí của địa chỉ 2, vị trí bắt đầu ghi của cột thứ tư là vị trí của địa chỉ 2, vị trí bắt đầu ghi của cột thứ năm là vị trí của địa chỉ 2, vị trí bắt đầu ghi của cột thứ sáu là vị trí của địa chỉ 3, vị trí bắt đầu ghi của cột thứ bảy là vị trí của địa chỉ 7, vị trí bắt đầu ghi của cột thứ tám là vị trí của địa

chỉ 15, vị trí bắt đầu ghi của cột thứ chín là vị trí của địa chỉ 16, vị trí bắt đầu ghi của cột thứ mười là vị trí của địa chỉ 20, vị trí bắt đầu ghi của cột thứ 11 là vị trí của địa chỉ 22, vị trí bắt đầu ghi của cột thứ 12 là vị trí của địa chỉ 22, vị trí bắt đầu ghi của cột thứ 13 là vị trí của địa chỉ 27, vị trí bắt đầu ghi của cột thứ 14 là vị trí của địa chỉ 27, vị trí bắt đầu ghi của cột thứ 15 là vị trí của địa chỉ 28, và vị trí bắt đầu ghi của cột thứ 16 là vị trí của địa chỉ 32.

Nếu bội số b là 1 và số lượng m bit của một ký hiệu là 10 bit nhờ sử dụng, ví dụ, 1024QAM là hệ thống điều biến, theo Fig.29, bộ nhớ 31 có 10 cột lưu trữ 10×1 bit theo chiều hàng và lưu trữ $64800/(10 \times 1)$ bit theo chiều cột.

Tiếp theo, trong 10 cột của bộ nhớ 31, được giả sử rằng vị trí bắt đầu ghi của cột thứ nhất là vị trí của địa chỉ 0, vị trí bắt đầu ghi của cột thứ hai là vị trí của địa chỉ 3, các vị trí bắt đầu ghi của cột thứ ba là vị trí của địa chỉ 6, vị trí bắt đầu ghi của cột thứ tư là vị trí của địa chỉ 8, vị trí bắt đầu ghi của cột thứ năm là vị trí của địa chỉ 11, vị trí bắt đầu ghi của cột thứ sáu là vị trí của địa chỉ 13, vị trí bắt đầu ghi của cột thứ bảy là vị trí của địa chỉ 15, vị trí bắt đầu ghi của cột thứ tám là vị trí của địa chỉ 17, vị trí bắt đầu ghi của cột thứ chín là vị trí của địa chỉ 18, và vị trí bắt đầu ghi của cột thứ mười là vị trí của địa chỉ 20.

Nếu bội số b là 2 và số lượng m bit của một ký hiệu là 10 bit nhờ sử dụng, ví dụ, 1024QAM là hệ thống điều biến, theo Fig.29, bộ nhớ 31 có 20 cột lưu trữ 10×2 bit theo chiều hàng và lưu trữ $64800/(10 \times 2)$ bit theo chiều cột.

Tiếp theo, trong 20 cột của bộ nhớ 31, được giả sử rằng vị trí bắt đầu ghi của cột thứ nhất là vị trí của địa chỉ 0, vị trí bắt đầu ghi của cột thứ hai là vị trí của địa chỉ 1, vị trí bắt đầu ghi của cột thứ ba là vị trí của địa chỉ 3, vị trí bắt đầu ghi của cột thứ tư là vị trí của địa chỉ 4, vị trí bắt đầu ghi của cột thứ năm là vị trí của địa chỉ 5, vị trí bắt đầu ghi của cột thứ sáu là vị trí của địa chỉ 6, vị trí bắt đầu ghi của cột thứ bảy là vị trí của địa chỉ 6, vị trí bắt đầu ghi của cột thứ tám là vị trí của địa chỉ 9, vị trí bắt đầu ghi của cột thứ chín là vị trí của địa chỉ 13, vị trí bắt đầu ghi của cột thứ mười là vị trí của địa chỉ 14, vị trí bắt đầu ghi của cột thứ 11 là vị trí

của địa chỉ 14, vị trí bắt đầu ghi của cột thứ 12 là vị trí của địa chỉ 16, vị trí bắt đầu ghi của cột thứ 13 là vị trí của địa chỉ 21, vị trí bắt đầu ghi của cột thứ 14 là vị trí của địa chỉ 21, vị trí bắt đầu ghi của cột thứ 15 là vị trí của địa chỉ 23, vị trí bắt đầu ghi của cột thứ 16 là vị trí của địa chỉ 25, vị trí bắt đầu ghi của cột thứ 17 là vị trí của địa chỉ 25, vị trí bắt đầu ghi của cột thứ 18 là vị trí của địa chỉ 26, vị trí bắt đầu ghi của cột thứ 19 là vị trí của địa chỉ 28, và vị trí bắt đầu ghi của cột 20 là vị trí của địa chỉ 30.

Nếu bội số b là 1 và số lượng m bit của một ký hiệu là 12 bit nhờ sử dụng, ví dụ, 4096QAM là hệ thống điều biến, theo Fig.29, bộ nhớ 31 có 12 cột lưu trữ 12×1 bit theo chiều hàng và lưu trữ $64800/(12 \times 1)$ bit theo chiều cột.

Tiếp theo, trong 12 cột của bộ nhớ 31, được giả sử rằng vị trí bắt đầu ghi của cột thứ nhất là vị trí của địa chỉ 0, vị trí bắt đầu ghi của cột thứ hai là vị trí của địa chỉ 0, vị trí bắt đầu ghi của cột thứ ba là vị trí của địa chỉ 2, vị trí bắt đầu ghi của cột thứ tư là vị trí của địa chỉ 2, vị trí bắt đầu ghi của cột thứ năm là vị trí của địa chỉ 3, vị trí bắt đầu ghi của cột thứ sáu là vị trí của địa chỉ 4, vị trí bắt đầu ghi của cột thứ bảy là vị trí của địa chỉ 4, vị trí bắt đầu ghi của cột thứ tám là vị trí của địa chỉ 5, vị trí bắt đầu ghi của cột thứ chín là vị trí của địa chỉ 5, vị trí bắt đầu ghi của cột thứ mười là vị trí của địa chỉ 7, vị trí bắt đầu ghi của cột thứ 11 là vị trí của địa chỉ 8, và vị trí bắt đầu ghi của cột thứ 12 là vị trí của địa chỉ 9.

Nếu bội số b là 2 và số lượng m bit của một ký hiệu là 12 bit nhờ sử dụng, ví dụ, 4096QAM là hệ thống điều biến, theo Fig.29, bộ nhớ 31 có 24 cột lưu trữ 12×2 bit theo chiều hàng và lưu trữ $64800/(12 \times 2)$ bit theo chiều cột.

Tiếp theo, trong 24 cột của bộ nhớ 31, được giả sử rằng vị trí bắt đầu ghi của cột thứ nhất là vị trí của địa chỉ 0, vị trí bắt đầu ghi của cột thứ hai là vị trí của địa chỉ 5, vị trí bắt đầu ghi của cột thứ ba là vị trí của địa chỉ 8, vị trí bắt đầu ghi của cột thứ tư là vị trí của địa chỉ 8, vị trí bắt đầu ghi của cột thứ năm là vị trí của địa chỉ 8, vị trí bắt đầu ghi của cột thứ sáu là vị trí của địa chỉ 8, vị trí bắt đầu ghi của cột thứ bảy là vị trí của địa chỉ 10, vị trí bắt đầu ghi của cột thứ tám là vị trí của địa

chỉ 10, vị trí bắt đầu ghi của cột thứ chín là vị trí của địa chỉ 10, vị trí bắt đầu ghi của cột thứ mười là vị trí của địa chỉ 12, vị trí bắt đầu ghi của cột thứ 11 là vị trí của địa chỉ 13, vị trí bắt đầu ghi của cột thứ 12 là vị trí của địa chỉ 16, vị trí bắt đầu ghi của cột thứ 13 là vị trí của địa chỉ 17, vị trí bắt đầu ghi của cột thứ 14 là vị trí của địa chỉ 19, vị trí bắt đầu ghi của cột thứ 15 là vị trí của địa chỉ 21, vị trí bắt đầu ghi của cột thứ 16 là vị trí của địa chỉ 22, vị trí bắt đầu ghi của cột thứ 17 là vị trí của địa chỉ 23, vị trí bắt đầu ghi của cột thứ 18 là vị trí của địa chỉ 26, vị trí bắt đầu ghi của cột thứ 19 là vị trí của địa chỉ 37, vị trí bắt đầu ghi của cột thứ 20 là vị trí của địa chỉ 39, vị trí bắt đầu ghi của cột 21 là vị trí của địa chỉ 40, viết các vị trí bắt đầu của cột thứ 22 là vị trí của địa chỉ 41, vị trí bắt đầu ghi của cột thứ 23 là vị trí của địa chỉ 41, và vị trí bắt đầu ghi của cột 24 là vị trí của địa chỉ 41.

Fig.30 minh họa số lượng cột yêu cầu của bộ nhớ 31 cho đan xen xoắn cột và địa chỉ của vị trí bắt đầu ghi, cho mỗi hệ thống điều biến, cho mã LDPC tương ứng của độ dài mã N là 16200 và 10 tỷ lệ mã được định rõ theo tiêu chuẩn của DVB-T.2.

Nếu bội số b là 1 và số lượng m bit của một ký hiệu là 2 bit nhờ sử dụng, ví dụ, QPSK là hệ thống điều biến, theo Fig.30, bộ nhớ 31 có hai cột lưu trữ 2×1 bit theo chiều hàng và lưu trữ $16200/(2 \times 1)$ bit theo chiều cột.

Tiếp theo, trong hai cột của bộ nhớ 31, được giả sử rằng vị trí bắt đầu ghi của cột thứ nhất là vị trí của địa chỉ 0, và vị trí bắt đầu ghi của cột thứ hai là vị trí của địa chỉ 0.

Nếu bội số b là 2 và số lượng m bit của một ký hiệu là 2 bit nhờ sử dụng, ví dụ, QPSK là hệ thống điều biến, theo Fig.30, bộ nhớ 31 có 4 cột lưu trữ 2×2 bit theo chiều hàng và lưu trữ $16200/(2 \times 2)$ bit theo chiều cột.

Tiếp theo, trong bốn cột của bộ nhớ 31, được giả sử rằng vị trí bắt đầu ghi của cột thứ nhất là vị trí của địa chỉ 0, vị trí bắt đầu ghi của cột thứ hai là vị trí của địa chỉ 2, vị trí bắt đầu ghi của cột thứ ba là vị trí của địa chỉ 3, và vị trí bắt đầu ghi của cột thứ tư là vị trí của địa chỉ 3.

Nếu bội số b là 1 và số lượng m bit của một ký hiệu là 4 bit nhờ sử dụng, ví dụ, 16QAM là hệ thống điều biến, theo Fig.30, bộ nhớ 31 có 4 cột lưu trữ 4×1 bit theo chiều hàng và lưu trữ $16200/(4 \times 1)$ bit theo chiều cột.

Tiếp theo, trong bốn cột của bộ nhớ 31, được giả sử rằng vị trí bắt đầu ghi của cột thứ nhất là vị trí của địa chỉ 0, vị trí bắt đầu ghi của cột thứ hai là vị trí của địa chỉ 2, vị trí bắt đầu ghi của cột thứ ba là vị trí của địa chỉ 3, và vị trí bắt đầu ghi của cột thứ tư là vị trí của địa chỉ 3.

Nếu bội số b là 2 và số lượng m bit của một ký hiệu là 4 bit nhờ sử dụng, ví dụ, 16QAM là hệ thống điều biến, theo Fig.30, bộ nhớ 31 có 8 cột lưu trữ 4×2 bit theo chiều hàng và lưu trữ $16200/(4 \times 2)$ bit theo chiều cột.

Tiếp theo, trong tám cột của bộ nhớ 31, được giả sử rằng vị trí bắt đầu ghi của cột thứ nhất là vị trí của địa chỉ 0, vị trí bắt đầu ghi của cột thứ hai là vị trí của địa chỉ 0, vị trí bắt đầu ghi của cột thứ ba là vị trí của địa chỉ 0, vị trí bắt đầu ghi của cột thứ tư là vị trí của địa chỉ 1, vị trí bắt đầu ghi của cột thứ năm là vị trí của địa chỉ 7, vị trí bắt đầu ghi của cột thứ sáu là vị trí của địa chỉ 20, vị trí bắt đầu ghi của cột thứ bảy là vị trí của địa chỉ 20, và vị trí bắt đầu ghi của cột thứ tám là vị trí của địa chỉ 21.

Nếu bội số b là 1 và số lượng m bit của một ký hiệu là 6 bit nhờ sử dụng, ví dụ, 64QAM là hệ thống điều biến, theo Fig.30, bộ nhớ 31 có 6 cột lưu trữ 6×1 bit theo chiều hàng và lưu trữ $16200/(6 \times 1)$ bit theo chiều cột.

Tiếp theo, trong sáu cột của bộ nhớ 31, được giả sử rằng vị trí bắt đầu ghi của cột thứ nhất là vị trí của địa chỉ 0, vị trí bắt đầu ghi của cột thứ hai là vị trí của địa chỉ 0, vị trí bắt đầu ghi của cột thứ ba là vị trí của địa chỉ 2, vị trí bắt đầu ghi của cột thứ tư là vị trí của địa chỉ 3, vị trí bắt đầu ghi của cột thứ năm là vị trí của địa chỉ 7, và vị trí bắt đầu ghi của cột thứ sáu là vị trí của địa chỉ 7.

Nếu bội số b là 2 và số lượng m bit của một ký hiệu là 6 bit nhờ sử dụng, ví dụ, 64QAM là hệ thống điều biến, theo Fig.30, bộ nhớ 31 có 12 cột lưu trữ 6×2 bit theo chiều hàng và lưu trữ $16200/(6 \times 2)$ bit theo chiều cột.

Tiếp theo, trong 12 cột của bộ nhớ 31, được giả sử rằng vị trí bắt đầu ghi của cột thứ nhất là vị trí của địa chỉ 0, vị trí bắt đầu ghi của cột thứ hai là vị trí của địa chỉ 0, vị trí bắt đầu ghi của cột thứ ba là vị trí của địa chỉ 0, vị trí bắt đầu ghi của cột thứ tư là vị trí của địa chỉ 2, vị trí bắt đầu ghi của cột thứ năm là vị trí của địa chỉ 2, vị trí bắt đầu ghi của cột thứ sáu là vị trí của địa chỉ 2, vị trí bắt đầu ghi của cột thứ bảy là vị trí của địa chỉ 3, vị trí bắt đầu ghi của cột thứ tám là vị trí của địa chỉ 3, vị trí bắt đầu ghi của cột thứ chín là vị trí của địa chỉ 3, vị trí bắt đầu ghi của cột thứ mười là vị trí của địa chỉ 6, vị trí bắt đầu ghi của cột thứ 11 là vị trí của địa chỉ 7, và vị trí bắt đầu ghi của cột thứ 12 là vị trí của địa chỉ 7.

Nếu bội số b là 1 và số lượng m bit của một ký hiệu là 8 bit nhờ sử dụng, ví dụ, 256QAM là hệ thống điều biến, theo Fig.30, bộ nhớ 31 có 8 cột lưu trữ 8×1 bit theo chiều hàng và lưu trữ $16200/(8 \times 1)$ bit theo chiều cột.

Tiếp theo, trong tám cột của bộ nhớ 31, được giả sử rằng vị trí bắt đầu ghi của cột thứ nhất là vị trí của địa chỉ 0, vị trí bắt đầu ghi của cột thứ hai là vị trí của địa chỉ 0, vị trí bắt đầu ghi của cột thứ ba là vị trí của địa chỉ 0, vị trí bắt đầu ghi của cột thứ tư là vị trí của địa chỉ 1, vị trí bắt đầu ghi của cột thứ năm là vị trí của địa chỉ 7, vị trí bắt đầu ghi của cột thứ sáu là vị trí của địa chỉ 20, vị trí bắt đầu ghi của cột thứ bảy là vị trí của địa chỉ 20, và vị trí bắt đầu ghi của cột thứ tám là vị trí của địa chỉ 21.

Nếu bội số b là 1 và số lượng m bit của một ký hiệu là 10 bit nhờ sử dụng, ví dụ, 1024QAM là hệ thống điều biến, theo Fig.30, bộ nhớ 31 có 10 cột lưu trữ 10×1 bit theo chiều hàng và lưu trữ $16200/(10 \times 1)$ bit theo chiều cột.

Tiếp theo, trong số mười cột của bộ nhớ 31, được giả sử rằng vị trí bắt đầu ghi của cột thứ nhất là vị trí của địa chỉ 0, vị trí bắt đầu ghi của cột thứ hai là vị trí của địa chỉ 1, vị trí bắt đầu ghi của cột thứ ba là vị trí của địa chỉ 2, vị trí bắt đầu ghi của cột thứ tư là vị trí của địa chỉ 2, vị trí bắt đầu ghi của cột thứ năm là vị trí của địa chỉ 3, vị trí bắt đầu ghi của cột thứ sáu là vị trí của địa chỉ 3, vị trí bắt đầu ghi của cột thứ bảy là vị trí của địa chỉ 4, vị trí bắt đầu ghi của cột thứ tám là vị trí

của địa chỉ 4, vị trí bắt đầu ghi của cột thứ chín là vị trí của địa chỉ 5, và vị trí bắt đầu ghi của cột thứ mười là vị trí của địa chỉ 7.

Nếu bội số b là 2 và số lượng m bit của một ký hiệu là 10 bit nhờ sử dụng, ví dụ, 1024QAM là hệ thống điều biến, theo Fig.30, bộ nhớ 31 có 20 cột lưu trữ 10×2 bit theo chiều hàng và lưu trữ $16200/(10 \times 2)$ bit theo chiều cột.

Tiếp theo, trong 20 cột của bộ nhớ 31, được giả sử rằng vị trí bắt đầu ghi của cột thứ nhất là vị trí của địa chỉ 0, vị trí bắt đầu ghi của cột thứ hai là vị trí của địa chỉ 0, vị trí bắt đầu ghi của cột thứ ba là vị trí của địa chỉ 0, vị trí bắt đầu ghi của cột thứ tư là vị trí của địa chỉ 2, vị trí bắt đầu ghi của cột thứ năm là vị trí của địa chỉ 2, vị trí bắt đầu ghi của cột thứ sáu là vị trí của địa chỉ 2, vị trí bắt đầu ghi của cột thứ bảy là vị trí của địa chỉ 2, vị trí bắt đầu ghi của cột thứ tám là vị trí của địa chỉ 2, vị trí bắt đầu ghi của cột thứ chín là vị trí của địa chỉ 5, vị trí bắt đầu ghi của cột thứ mười là vị trí của địa chỉ 5, vị trí bắt đầu ghi của cột thứ 11 là vị trí của địa chỉ 5, vị trí bắt đầu ghi của cột thứ 12 là vị trí của địa chỉ 5, vị trí bắt đầu ghi của cột thứ 13 là vị trí của địa chỉ 5, vị trí bắt đầu ghi của cột thứ 14 là vị trí của địa chỉ 7, vị trí bắt đầu ghi của cột thứ 15 là vị trí của địa chỉ 7, vị trí bắt đầu ghi của cột thứ 16 là vị trí của địa chỉ 7, vị trí bắt đầu ghi của cột thứ 17 là vị trí của địa chỉ 7, vị trí bắt đầu ghi của cột thứ 18 là vị trí của địa chỉ 8, vị trí bắt đầu ghi của cột thứ 19 là vị trí của địa chỉ 8, và vị trí bắt đầu ghi của cột thứ 20 là vị trí của địa chỉ 10.

Nếu bội số b là 1 và số lượng m bit của một ký hiệu là 12 bit nhờ sử dụng, ví dụ, 4096QAM là hệ thống điều biến, theo Fig.30, bộ nhớ 31 có 12 cột lưu trữ 12×1 bit theo chiều hàng và lưu trữ $16200/(12 \times 1)$ bit theo chiều cột.

Tiếp theo, trong số 12 cột của bộ nhớ 31, được giả sử rằng vị trí bắt đầu ghi của cột thứ nhất là vị trí của địa chỉ 0, vị trí bắt đầu ghi của cột thứ hai là vị trí của địa chỉ 0, vị trí bắt đầu ghi của cột thứ ba là vị trí của địa chỉ 0, vị trí bắt đầu ghi của cột thứ tư là vị trí của địa chỉ 2, vị trí bắt đầu ghi của cột thứ năm là vị trí của địa chỉ 2, vị trí bắt đầu ghi của cột thứ sáu là vị trí của địa chỉ 2, vị trí bắt đầu ghi của cột thứ bảy là vị trí của địa chỉ 3, vị trí bắt đầu ghi của cột thứ tám là vị trí của

địa chỉ 3, vị trí bắt đầu ghi của cột thứ chín là vị trí của địa chỉ 3, vị trí bắt đầu ghi của cột thứ mười là vị trí của địa chỉ 6, vị trí bắt đầu ghi của cột thứ 11 là vị trí của địa chỉ 7, và vị trí bắt đầu ghi của cột thứ 12 là vị trí của địa chỉ 7.

Nếu bội số b là 2 và số lượng m bit của một ký hiệu là 12 bit nhờ sử dụng, ví dụ, 4096QAM là hệ thống điều biến, theo Fig.30, bộ nhớ 31 có 24 cột lưu trữ 12×2 bit theo chiều hàng và lưu trữ $16200/(12 \times 2)$ bit theo chiều cột.

Tiếp theo, trong số 24 cột của bộ nhớ 31, được giả sử rằng vị trí bắt đầu ghi của cột thứ nhất là vị trí của địa chỉ 0, vị trí bắt đầu ghi của cột thứ hai là vị trí của địa chỉ 0, vị trí bắt đầu ghi của cột thứ ba là vị trí của địa chỉ 0, vị trí bắt đầu ghi của cột thứ tư là vị trí của địa chỉ 0, vị trí bắt đầu ghi của cột thứ năm là vị trí của địa chỉ 0, vị trí bắt đầu ghi của cột thứ sáu là vị trí của địa chỉ 0, vị trí bắt đầu ghi của cột thứ bảy là vị trí của địa chỉ 0, vị trí bắt đầu ghi của cột thứ tám là vị trí của địa chỉ 1, vị trí bắt đầu ghi của cột thứ chín là vị trí của địa chỉ 1, vị trí bắt đầu ghi của cột thứ mười là vị trí của địa chỉ 1, vị trí bắt đầu ghi của cột thứ 11 là vị trí của địa chỉ 2, vị trí bắt đầu ghi của cột thứ 12 là vị trí của địa chỉ 2, vị trí bắt đầu ghi của cột thứ 13 là vị trí của địa chỉ 2, vị trí bắt đầu ghi của cột thứ 14 là vị trí của địa chỉ 3, vị trí bắt đầu ghi của cột thứ 15 là vị trí của địa chỉ 7, vị trí bắt đầu ghi của cột thứ 16 là vị trí của địa chỉ 9, vị trí bắt đầu ghi của cột thứ 17 là vị trí của địa chỉ 9, vị trí bắt đầu ghi của cột thứ 18 là vị trí của địa chỉ 9, vị trí bắt đầu ghi của cột thứ 19 là vị trí của địa chỉ 10, vị trí bắt đầu ghi của cột thứ 20 là vị trí của địa chỉ 10, vị trí bắt đầu ghi của cột 21 là vị trí của địa chỉ 10, vị trí bắt đầu ghi của cột thứ 22 là vị trí của địa chỉ 10, vị trí bắt đầu ghi của cột thứ 23 là vị trí của địa chỉ 10, và vị trí bắt đầu ghi của cột thứ 24 là vị trí của địa chỉ 11.

Fig.31 là sơ đồ minh họa quy trình xử lý được thực hiện bởi bộ mã hóa LDPC 115, bộ đan xen bit 116, và bộ ánh xạ 117 trên Fig.8.

Bộ mã hóa LDPC 115 thu dữ liệu mục tiêu LDPC được cung cấp từ bộ mã hóa BCH 114, bộ mã hóa LDPC mã hóa dữ liệu mục tiêu thành mã LDPC ở bước

S101, cung cấp mã LDPC tới bộ đan xen bit 116, và quy trình xử lý chuyển đến bước S102.

Bộ đan xen bit 116, ở bước S102, thực hiện bước đan xen bit xen kẽ trên mã LDPC từ bộ mã hóa LDPC 115, cung cấp ký hiệu thu được bởi mã LDPC sau khi đan xen bit tới bộ ánh xạ 117, và quy trình xử lý chuyển đến bước S103.

Nói cách khác, ở bước S102, trong bộ đan xen bit 116 (Fig.9), bộ đan xen chẵn lẻ 23 thực hiện đan xen chẵn lẻ trên mã LDPC từ bộ mã hóa LDPC 115, và cung cấp mã LDPC sau khi đan xen chẵn lẻ tới bộ đan xen xoắn cột 24.

Bộ đan xen xoắn cột 24 thực hiện đan xen xoắn cột trên mã LDPC từ bộ đan xen chẵn lẻ 23, và cung cấp nó tới bộ giải đan xen 25.

Bộ giải đan xen 25 thực hiện quy trình thay thế để thay thế bit mã của mã LDPC sau đan xen xoắn cột bởi bộ đan xen xoắn cột 24, và thiết lập bit mã sau khi việc thay thế làm bit ký hiệu của ký hiệu (bit thể hiện ký hiệu) .

Ở đây, quy trình thay thế bởi bộ giải đan xen 25 có thể được thực hiện theo các phương pháp thay thế từ thứ nhất đến thứ tư được minh họa trên Fig.22 và Fig.23, và có thể được thực hiện theo một phương pháp thay thế khác.

Ký hiệu thu được bằng quy trình thay thế bởi bộ giải đan xen 25 được cung cấp tới bộ ánh xạ 117 từ bộ giải đan xen 25.

Ở bước S103, bộ ánh xạ 117 ánh xạ ký hiệu từ bộ giải đan xen 25 đến điểm tín hiệu được xác định bởi hệ thống của điều biến điều biến cầu phương được thực hiện bởi bộ ánh xạ 117 để thực hiện điều biến cầu phương, và cung cấp dữ liệu nhận được tới bộ đan xen thời gian 118.

Có thể nâng cao độ kháng xóa hoặc nhóm sai số khi truyền các bit mã của mã LDPC là một ký hiệu, bằng cách thực hiện và đan xen chẵn lẻ và đan xen xoắn cột, như được nêu trên.

Ở đây, trên Fig.9, để thuận tiện cho việc mô tả, bộ đan xen chẵn lẻ 23 là khối thực hiện đan xen chẵn lẻ và bộ đan xen xoắn cột 24 là khối thực hiện đan xen

xoắn cột được cấu hình một cách riêng biệt, nhưng bộ đan xen chẵn lẻ 23 và bộ đan xen xoắn cột 24 có thể được cấu hình đơn nhất.

Nói cách khác, cả đan xen chẵn lẻ và đan xen xoắn cột có thể được thực hiện bằng cách đọc và ghi các bit mã vào bộ nhớ, và có thể được thể hiện bởi một ma trận chuyển đổi địa chỉ để ghi các bit mã (ghi địa chỉ) vào địa chỉ để đọc các bit mã (đọc địa chỉ).

Do đó, nếu ma trận thể hiện đan xen chẵn lẻ và ma trận thể hiện đan xen xoắn cột được nhân lên để thu ma trận và bit mã được chuyển đổi nhờ sử dụng ma trận, thì có thể thu được mã LDPC kết quả bằng cách thực hiện đan xen chẵn lẻ trên mã LDPC và thực hiện đan xen xoắn cột trên mã LDPC đã phụ thuộc vào đan xen chẵn lẻ.

Ngoài ra, có thể cấu hình chung là bộ giải đan xen 25, ngoài bộ đan xen chẵn lẻ 23 và bộ đan xen xoắn cột 24.

Nói cách khác, có thể thể hiện quy trình thay thế được thực hiện trong bộ giải đan xen 25 bởi ma trận thu được bằng cách chuyển đổi địa chỉ ghi của bộ nhớ 31 lưu trữ mã LDPC thành địa chỉ đọc.

Vì vậy, nếu ma trận thu được bằng cách kết hợp ma trận thể hiện đan xen chẵn lẻ, ma trận thể hiện đan xen xoắn cột, và ma trận thể hiện quy trình thay thế, thì có thể thực hiện chung đan xen chẵn lẻ, đan xen xoắn cột, và quy trình thay thế nhờ sử dụng ma trận.

Ngoài ra, có thể thực hiện chỉ có một hoặc không đan xen chẵn lẻ và đan xen xoắn cột. Ví dụ, khi đường truyền thông 13 (Fig.7) là đường vệ tinh hoặc tương tự trong đó nhóm sai số và méo rung không cần được xem xét, và tương tự, khác ngoài AWGN, như DVB-S.2, đan xen chẵn lẻ và đan xen xoắn cột không được thực hiện.

Tiếp theo, sự mô phỏng để đo tỷ lệ lỗi (tỷ lệ lỗi bit) được thực hiện cho thiết bị truyền 11 trên Fig.8 sẽ được mô tả dựa vào hình vẽ từ Fig.32 đến Fig.34.

Sự mô phỏng được thực hiện nhờ sử dụng đường truyền thông có méo rung D/U của 0 dB.

Fig.32 là sơ đồ minh họa mô hình đường truyền thông được sử dụng trong việc mô phỏng.

Nói cách khác, A trên Fig.32 minh họa mô hình của méo rung được sử dụng trong việc mô phỏng.

Ngoài ra, B trên Fig.32 minh họa mô hình của đường truyền thông có méo rung được thể hiện bởi mô hình của A trên Fig.32.

Ngoài ra, ở B trên Fig.32, H là mô hình của méo rung trên Fig.32. Ngoài ra, ở B trên Fig.32, N thể hiện giao thoa liên sóng mang (ICI - Inter Carrier Interference), và theo sự mô phỏng, giá trị mong muốn $E[N^2]$ của công suất được xấp xỉ với AWGN.

Fig.33 và Fig.34 thể hiện mối quan hệ giữa tỷ lệ lỗi thu được bởi sự mô phỏng và tần số Doppler f_d của méo rung.

Ngoài ra, Fig.33 thể hiện mối quan hệ giữa tỷ lệ lỗi và tần số Doppler f_d , khi hệ thống điều biến là 16QAM và tỷ lệ mã (r) là (3/4), và phương pháp thay thế là phương pháp thay thế thứ nhất. Ngoài ra, Fig.34 thể hiện mối quan hệ giữa tỷ lệ lỗi và tần số Doppler f_d , khi hệ thống điều biến là 64QAM và tỷ lệ mã (r) là (5/6), và phương pháp thay thế là phương pháp thay thế thứ nhất.

Ngoài ra, trên Fig.33 và Fig.34, đường đậm thể hiện mối quan hệ giữa tỷ lệ lỗi và tần số Doppler f_d trong trường hợp thực hiện tất cả đan xen chẵn lẻ, đan xen xoắn cột, và quy trình thay thế, và đường mờ thể hiện mối quan hệ giữa tỷ lệ lỗi và tần số Doppler f_d trong trường hợp thực hiện chỉ quy trình thay thế trong đan xen chẵn lẻ, đan xen xoắn cột, và quy trình thay thế.

Trên Fig.33 hoặc Fig.34, được xác định rằng tỷ lệ lỗi được nâng cao (được giảm) hơn trong trường hợp thực hiện tất cả đan xen chẵn lẻ, đan xen xoắn cột, và quy trình thay thế so với trong trường hợp thực hiện chỉ quy trình thay thế.

Ví dụ về cấu hình của bộ mã hóa LDPC 115

Fig.35 là sơ đồ khối minh họa ví dụ về cấu hình của bộ mã hóa LDPC 115 trên Fig.8.

Ngoài ra, bộ mã hóa LDPC 122 trên Fig.8 được cấu hình tương tự.

Như được mô tả trên Fig.12 và Fig.13, trong các tiêu chuẩn của DVB-S.2 và tương tự, mã LDPC của hai loại độ dài mã N 64800 bit và 16200 bit được định rõ.

11 tỷ lệ mã $1/4, 1/3, 2/5, 1/2, 3/5, 2/3, 3/4, 4/5, 5/6, 8/9$ và $9/10$ được định rõ cho mã LDPC có độ dài mã N 64800 bit, và 10 tỷ lệ mã $1/4, 1/3, 2/5, 1/2, 3/5, 2/3, 3/4, 4/5, 5/6$, và $8/9$ được định rõ cho mã LDPC có độ dài mã N 16200 bit (Fig.12 và Fig.13).

Bộ mã hóa LDPC 115 có thể thực hiện việc mã hóa (mã hóa sửa lỗi) bởi mã LDPC của mỗi tỷ lệ mã có độ dài N 64800 bit và 16200 bit, với mỗi độ dài mã N , theo ma trận kiểm tra chẵn lẻ H được chuẩn bị cho mỗi tỷ lệ mã.

Bộ mã hóa LDPC 115 được cấu hình với bộ xử lý mã hóa 601 và bộ lưu trữ 602.

Bộ xử lý mã hóa 601 được cấu hình với bộ thiết lập tỷ lệ mã 611, bộ đọc bảng giá trị ban đầu 612, bộ tạo ma trận kiểm tra chẵn lẻ 613, bộ đọc bit thông tin 614, bộ tính chẵn lẻ mã hóa 615, và bộ điều khiển 616, thực hiện việc mã hóa LDPC trên dữ liệu mục tiêu LDPC được cung cấp tới bộ mã hóa LDPC 115, và cung cấp mã LDPC kết quả tới bộ đan xen bit 116 (Fig.8).

Nói cách khác, bộ thiết lập tỷ lệ mã 611 thiết lập độ dài mã N và tỷ lệ mã của mã LDPC tương ứng, ví dụ, các thao tác của người thao tác, hoặc tương tự.

Bộ đọc bảng giá trị ban đầu 612 đọc bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ sẽ được mô tả dưới đây, tương ứng với độ dài mã N và tỷ lệ mã được thiết lập bởi bộ thiết lập tỷ lệ mã 611, từ bộ lưu trữ 602.

Bộ tạo ma trận kiểm tra chẵn lẻ 613 tạo ra ma trận kiểm tra chẵn lẻ H và lưu trữ ma trận H trong bộ lưu trữ 602, bằng cách bố trí các phần tử 1 trong ma trận

thông tin H_A tương ứng với độ dài thông tin K (= độ dài mã N -độ dài chẵn lẻ M) theo độ dài mã N và tỷ lệ mã được thiết lập bởi bộ thiết lập tỷ lệ mã 611, dựa vào bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ được bộ đọc bảng giá trị ban đầu 612, theo chiều cột, trong khoảng 360 cột (số lượng p các cột của bộ cấu trúc tuần hoàn).

Bộ đọc bit thông tin 614 đọc (trích) bit thông tin của độ dài thông tin K , từ dữ liệu mục tiêu LDPC được cung cấp tới bộ mã hóa LDPC 115.

Bộ tính chẵn lẻ mã hóa 615 tạo ra từ mã (mã LDPC) bằng cách đọc ma trận kiểm tra chẵn lẻ H được tạo ra bởi bộ tạo ma trận kiểm tra chẵn lẻ 613 từ bộ lưu trữ 602, và việc tính toán bit chẵn lẻ với bit thông tin được đọc bởi bộ đọc bit thông tin 614 dựa vào phương trình định trước, nhờ sử dụng ma trận kiểm tra chẵn lẻ H .

Bộ điều khiển 616 điều khiển các khối tương ứng cấu hình bộ xử lý mã hóa 601.

Bộ lưu trữ 602 lưu trữ, ví dụ, các bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ tương ứng với mỗi tỷ lệ mã được thể hiện trên Fig.12 và Fig.13, với mỗi mã độ dài N 64800 bit và 16200 bit. Ngoài ra, bộ lưu trữ 602 tạm thời lưu trữ dữ liệu được yêu cầu cho quy trình xử lý của bộ xử lý mã hóa 601.

Fig.36 là sơ đồ minh họa quy trình xử lý của bộ mã hóa LDPC 115 trên Fig.35.

Ở bước S201, bộ thiết lập tỷ lệ mã 611 xác định (thiết lập) độ dài mã N và tỷ lệ mã r để thực hiện việc mã hóa LDPC.

Ở bước S202, bộ đọc bảng giá trị ban đầu 612 đọc bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ được thiết lập trước, tương ứng với độ dài mã N và tỷ lệ mã r được xác định bởi bộ thiết lập tỷ lệ mã 611, từ bộ lưu trữ 602.

Ở bước S203, bộ tạo ma trận kiểm tra chẵn lẻ 613 thu (tạo ra) ma trận kiểm tra chẵn lẻ H của mã LDPC của độ dài mã N và tỷ lệ mã r được xác định bởi bộ thiết lập tỷ lệ mã 611, nhờ sử dụng bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ

được đọc từ bộ lưu trữ 602 bởi bộ đọc bảng giá trị ban đầu 612, và cung cấp và lưu trữ ma trận kiểm tra chẵn lẻ H trong bộ lưu trữ 602.

Ở bước S204, bộ đọc bit thông tin 614 đọc bit thông tin của độ dài thông tin $K (= Nxr)$ tương ứng với độ dài mã N và tỷ lệ mã r được xác định bởi bộ thiết lập tỷ lệ mã 611 từ dữ liệu mục tiêu LDPC được cung cấp tới bộ mã hóa LDPC 115, đọc ma trận kiểm tra chẵn lẻ H thu được bởi bộ tạo ma trận kiểm tra chẵn lẻ 613 từ bộ lưu trữ 602, và cung cấp bit thông tin và ma trận kiểm tra chẵn lẻ H cho bộ tính chẵn lẻ mã hóa 615.

Ở bước S205, bộ tính chẵn lẻ mã hóa 615 lần lượt tính bit chẵn lẻ của từ mã c thỏa mãn phương trình (8), nhờ sử dụng bit thông tin và ma trận kiểm tra chẵn lẻ H từ bộ đọc bit thông tin 614.

$$Hc^T=0...(8)$$

Trong phương trình (8), c thể hiện vector hàng như từ mã (mã LDPC), và c^T thể hiện vector thu được bằng cách vận chuyển vector hàng c .

Ở đây, như được nêu trên, khi phần bit thông tin được thể hiện bởi vector hàng A , và phần bit chẵn lẻ được thể hiện bởi vector hàng T , ở vector hàng c là mã LDPC (1 từ mã), vector hàng c có thể được thể hiện bởi phương trình $c=[A|T]$, bởi vector hàng A là bit thông tin và vector hàng T là bit chẵn lẻ.

Ma trận kiểm tra chẵn lẻ H và vector hàng $c=[A|T]$ là mã LDPC cần phải thỏa mãn phương trình $Hc^T=0$, và khi ma trận chẵn lẻ H_T của ma trận kiểm tra chẵn lẻ $H=[H_A|H_T]$ có cấu trúc bậc thang được thể hiện trên Fig.11, vector hàng T là bit chẵn lẻ cấu hình vector hàng $c=[A|T]$ thỏa mãn phương trình $Hc^T=0$ có thể thu được lần lượt, bằng cách làm cho các phần tử của mỗi hàng 0, theo thứ tự từ phần tử ở hàng thứ nhất của cột vector Hc^T trong phương trình $Hc^T=0$.

Bộ tính chẵn lẻ mã hóa 615 thu bit chẵn lẻ T với bit thông tin A từ bộ đọc bit thông tin 614, và đưa ra từ mã $c=[A|T]$ được thể hiện bởi bit thông tin A và bit chẵn lẻ T , như kết quả mã hóa LDPC của bit thông tin A .

Tiếp theo, ở bước S206, bộ điều khiển 616 xác định xem mã LDPC được kết thúc hay không. Ở bước S206, khi được xác định là mã LDPC không được hoàn thành, nói cách khác, ví dụ, khi vẫn còn dữ liệu mục tiêu LDPC phụ thuộc vào việc mã hóa LDPC, quy trình xử lý quay lại bước S201 (hoặc bước S204), và sau đó, quy trình xử lý từ bước S201 (hoặc bước S204) đến S206 được lặp lại.

Ngoài ra, ở bước S206, khi được xác định là mã LDPC được kết thúc, nói cách khác, ví dụ, khi không có dữ liệu mục tiêu LDPC phụ thuộc vào việc mã hóa LDPC, bộ mã hóa LDPC 115 kết thúc quy trình xử lý.

Như được nêu trên, bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ tương ứng với mỗi độ dài mã N và mỗi tỷ lệ mã r được chuẩn bị, bộ mã hóa LDPC 115 thực hiện việc mã hóa LDPC của tỷ lệ mã r định trước của độ dài mã N định trước, nhờ sử dụng ma trận kiểm tra chẵn lẻ H được tạo ra từ bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ tương ứng với độ dài mã N định trước và tỷ lệ mã r định trước.

Ví dụ về bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ.

Bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ là bảng thể hiện các vị trí của các phần tử 1 của ma trận thông tin H_A (Fig.10) tương ứng với độ dài thông tin K tương ứng với độ dài mã N và tỷ lệ mã r của mã LDPC của ma trận kiểm tra chẵn lẻ H (mã LDPC được định rõ bởi ma trận kiểm tra chẵn lẻ H) tại khoảng 360 cột (số cột P trong bộ cấu trúc tuần hoàn), và được tạo ra trước cho mỗi ma trận kiểm tra chẵn lẻ H của mỗi độ dài mã N và mỗi tỷ lệ mã r .

Fig.37 là sơ đồ minh họa ví dụ về bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ.

Nói cách khác, Fig.37 thể hiện bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ với ma trận kiểm tra chẵn lẻ H được định rõ theo tiêu chuẩn của DVB-T.2 và trong đó độ dài mã N là 16200bit và tỷ lệ mã r (tỷ lệ mã trên sự thể hiện của DVB-T. 2) là $1/4$.

Bộ tạo ma trận kiểm tra chẵn lẻ 613 (Fig.35) thu ma trận kiểm tra chẵn lẻ H nhờ sử dụng bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ theo hình thức dưới đây.

Fig.38 là sơ đồ mô tả phương pháp thu được ma trận kiểm tra chẵn lẻ H từ bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ.

Nói cách khác, Fig.38 thể hiện bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ cho với ma trận kiểm tra chẵn lẻ H được định rõ theo tiêu chuẩn của DVB-T.2 và trong đó độ dài mã N là 16200 bit và tỷ lệ mã r là $2/3$.

Như được nêu trên, bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ bảng thể hiện các vị trí của các phần tử 1 của ma trận thông tin H_A (Fig.10) tương ứng với độ dài thông tin K tương ứng với độ dài mã N và tỷ lệ mã r của mã LDPC tại khoảng 360 cột (số lượng P các cột trong bộ cấu trúc tuần hoàn), các số hàng (các số hàng giả sử rằng số hàng của hàng thứ nhất của ma trận kiểm tra chẵn lẻ H là 0) của các phần tử 1 trong cột thứ $(1+360 \times (i-1))$ của ma trận kiểm tra chẵn lẻ H được bố trí bởi số trọng số cột của cột thứ $(1+360 \times (i-1))$, trong hàng thứ i .

Ở đây, do ma trận chẵn lẻ H_T (Fig.10) tương ứng với độ dài chẵn lẻ M , của ma trận kiểm tra chẵn lẻ H được xác định như được minh họa trên Fig.25, theo bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ, ma trận thông tin H_A (Fig.10) tương ứng với độ dài thông tin K , của ma trận kiểm tra chẵn lẻ H thu được.

Số $k+1$ của các hàng của bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ thay đổi phụ thuộc vào độ dài thông tin K .

Mối quan hệ của phương trình (9) được thiết lập giữa độ dài thông tin K và số $k+1$ của các hàng của bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ.

$$K = (k+1) \times 360 \dots (9)$$

Ở đây, 360 trong phương trình (9) là số lượng P các cột của bộ cấu trúc tuần hoàn được mô tả trên Fig.26.

Trong bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ trên Fig.38, 13 số được bố trí từ hàng thứ nhất đến hàng thứ ba, và ba số được bố trí từ hàng thứ tư đến hàng thứ $(k+1)$ (trên Fig.38, lên đến hàng thứ 30).

Do đó, trọng số cột của ma trận kiểm tra chẵn lẻ H thu được từ bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ trên Fig.38 là 13 từ hàng thứ nhất đến hàng thứ $\{1 + 360x(3-1)-1\}$, và là 3 từ hàng thứ $(1+360x(3-1))$ đến hàng thứ K .

0, 2084, 1613, 1548, 1286, 1460, 3196, 4297, 2481, 3369, 3451, 4620, và 2622 là ở hàng thứ nhất của bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ trên Fig.38, thể hiện rằng các phần tử của các hàng của các số hàng 0, 2084, 1613, 1548, 1286, 1460, 3196, 4297, 2481, 3369, 3451, 4620, và 2622 ở cột thứ nhất của ma trận kiểm tra chẵn lẻ H là 1 (các phần tử khác là 0).

Ngoài ra, 1, 122, 1516, 3448, 2880, 1407, 1847, 3799, 3529, 373, 971, 4358, và 3108 ở hàng thứ hai của bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ trên Fig.38, thể hiện rằng các phần tử của các hàng của các số hàng 1, 122, 1516, 3448, 2880, 1407, 1847, 3799, 3529, 373, 971, 4358, và 3108 trong cột thứ 361 $(=1+360x(2-1))$ của ma trận kiểm tra chẵn lẻ H là 1.

Như được nêu trên, bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ thể hiện các vị trí của các phần tử 1 trong ma trận thông tin H_A của ma trận kiểm tra chẵn lẻ H tại khoảng 360 cột.

Các cột khác ngoài các cột thứ $(1+360x(i-1))$ trong ma trận kiểm tra chẵn lẻ H , nói cách khác, các cột tương ứng từ cột thứ $(2+360x(i-1))$ đến cột thứ $(360xi)$ được bố trí định kỳ tuần hoàn thay đổi các phần tử 1 trong cột thứ $(1+360x(i-1))$ được xác định bởi bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ, theo độ dài M , theo chiều xuống (chiều xuống của cột).

Nói cách khác, ví dụ, cột thứ $(2+360x(i-1))$ thu được bằng cách thay đổi tuần hoàn cột thứ $(1+360x(i-1))$ bởi $M/360(=q)$ theo chiều xuống, và cột thứ $(3+360x(i-1))$ thu được bằng cách thay đổi tuần hoàn cột thứ $(2+360x(i-1))$ thu được bằng cách thay đổi tuần hoàn cột thứ $(1+360x(i-1))$ bởi $2xM/360(=2xq)$ theo chiều xuống, bởi $M/360(=q)$ theo chiều xuống.

Ở đây, nếu được giả sử rằng giá trị số của cột thứ j (j từ bên trái) ở hàng thứ i (i từ đầu) của bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ được thể hiện bởi $H_{w-j,i}$,

và số hàng của phần tử thứ j của 1 trong cột thứ w của ma trận kiểm tra chẵn lẻ H được thể hiện bởi H_{w-j} , số hàng H_{w-j} của phần tử 1 trong cột thứ w là cột khác ngoài cột thứ $(1+360x(i-1))$ của ma trận kiểm tra chẵn lẻ H có thể thu được bởi phương trình (10).

$$H_{w-j} = \text{mod}\{h_{i,j} + \text{mod}((w-1), P) \times q, M\} \dots (10)$$

Ở đây, $\text{mod}(x, y)$ nghĩa là số dư khi chia x bởi y .

Ngoài ra, P là số lượng P các cột của cấu trúc tuần hoàn được nêu trên, và là 360, ví dụ, trong các tiêu chuẩn của DVB-S.2, DVB-T.2, và DVB-C.2, như được nêu trên. Ngoài ra, q là giá trị $M/360$ thu được bằng cách chia độ dài chẵn lẻ M bởi số $P (= 360)$ của các cột của cấu trúc tuần hoàn.

Bộ tạo ma trận kiểm tra chẵn lẻ 613 (Fig.35) định rõ số dòng của phần tử 1 trong cột thứ $(1+360x(i-1))$ của ma trận kiểm tra chẵn lẻ H bởi bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ.

Ngoài ra, bộ tạo ma trận kiểm tra chẵn lẻ 613 (Fig.35) thu số hàng H_{w-j} của phần tử 1 ở cột thứ w là cột khác ngoài cột thứ $(1+360x(i-1))$ của ma trận kiểm tra chẵn lẻ H bởi phương trình (10), và tạo ra ma trận kiểm tra chẵn lẻ H trong đó phần tử của số hàng thu được như được nêu trên là 1.

Mã LDPC mới

Trong khi đó, được mong muốn rằng nhu cầu truyền dữ liệu có dung lượng lớn như hình ảnh có độ phân giải cao sẽ được tăng lên trong tương lai. Trong việc truyền dữ liệu có dung lượng lớn, mã LDPC có tỷ lệ mã cao (dự phòng thấp) được yêu cầu, nhưng ngay cả khi sử dụng mã LDPC với tỷ lệ mã cao, được mong muốn đảm bảo chất lượng truyền thông tốt.

Do đó, với mã LDPC có tỷ lệ mã cao trong đó chất lượng truyền thông tốt có thể được đảm bảo, ví dụ, mã LDPC (dưới đây gọi tắt là mã LDPC mới) trong đó tỷ lệ mã r là 12/15, và độ dài mã N là 16 kbit sẽ được mô tả.

Ngoài ra, đối với mã LDPC mới, ma trận chẵn lẻ H_T của ma trận kiểm tra chẵn lẻ H có cấu trúc bậc thang (Fig.11) tương tự như mã LDPC được định rõ trong DVB-S.2, và tương tự, từ quan điểm duy trì mối quan hệ (tính tương thích) với mã LDPC của các tiêu chuẩn hiện nay như DVB-S.2 càng nhiều càng tốt.

Ngoài ra, đối với mã LDPC mới, ma trận thông tin H_A của ma trận kiểm tra chẵn lẻ H có cấu trúc tuần hoàn, và số lượng P các cột của bộ cấu trúc tuần hoàn là 360 tương tự như mã LDPC được định rõ trong DVB-S.2, và tương tự.

Fig.39 là sơ đồ minh họa ví dụ về bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ của mã LDPC mới.

Bộ mã hóa LDPC 115 (Fig.8, Fig.35) thực hiện việc mã hóa LDPC với mã LDPC mới, nhờ sử dụng ma trận kiểm tra chẵn lẻ H thu được từ bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ được thể hiện trên Fig.39.

Trong trường hợp này, bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ được thể hiện trên Fig.39 được lưu trữ trong bộ lưu trữ 602 của bộ mã hoá LDPC 115 (Fig.8).

Mã LDPC mới thu được nhờ sử dụng ma trận kiểm tra chẵn lẻ H thu được từ bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ được thể hiện trên Fig.39 là mã LDPC-hiệu suất cao.

Ở đây, mã LDPC-hiệu suất cao là mã LDPC thu được từ ma trận kiểm tra chẵn lẻ thích hợp H .

Ngoài ra, ma trận kiểm tra chẵn lẻ thích hợp H là ma trận kiểm tra chẵn lẻ H thỏa mãn điều kiện định trước trong đó khi mã LDPC thu được từ ma trận kiểm tra chẵn lẻ H được truyền với E_s/N_0 , hoặc E_b/N_0 thấp (tỷ số công suất tín hiệu trên công suất nhiễu mỗi một bit), BER (và FER) được giảm xuống).

Ma trận kiểm tra chẵn lẻ thích hợp H có thể thu được bằng cách thực hiện mô phỏng để đo BER khi ví dụ, mã LDPC thu được từ các ma trận kiểm tra khác nhau thỏa mãn điều kiện định trước được truyền với E_s/N_0 thấp.

Điều kiện định trước để được thỏa mãn bởi ma trận kiểm tra chẵn lẻ thích hợp H là kết quả phân tích thu được bởi phương pháp phân tích hiệu suất mã được gọi là sự tiến triển mật độ là tốt và không có vòng lặp của các phần tử 1, được gọi là chu kỳ 4.

Ở đây, trong ma trận thông tin H_A , nếu các phần tử 1 là dày đặc như chu kỳ 4, được biết rằng hiệu suất giải mã của mã LDPC bị giảm xuống, do đó, được yêu cầu rằng không có chu kỳ 4 là điều kiện định trước được thỏa mãn bởi ma trận kiểm tra chẵn lẻ thích hợp H .

Ngoài ra, có thể xác định điều kiện định trước thích hợp được thỏa mãn bởi ma trận kiểm tra chẵn lẻ thích hợp H , từ quan điểm nâng cao hiệu suất giải mã của mã LDPC, và việc tạo điều kiện thuận lợi (đơn giản hóa) của quy trình giải mã của mã LDPC.

Fig.40 và Fig.41 là sơ đồ mô tả sự tiến triển mật độ theo đó kết quả phân tích thu được theo điều kiện định trước để được thỏa mãn bởi ma trận kiểm tra chẵn lẻ thích hợp H .

Sự tiến triển mật độ là phương pháp phân tích mã để tính giá trị xác suất lỗi mong muốn cho toàn bộ mã LDPC (tập hợp) trong đó độ dài mã N được ký hiệu bởi chuỗi bậc được mô tả dưới đây là ∞ .

Ví dụ, giá trị xác suất lỗi mong muốn của tập hợp nhất định là 0 trước hết trên kênh AWGN, nhưng nếu phương sai nhiễu được tăng lên dần từ 0 và phương sai nhiễu đi tới một hoặc nhiều ngưỡng nhất định, giá trị mong muốn không phải là 0.

Theo sự tiến triển mật độ, có thể xác định chất lượng hiệu suất của tập hợp (sự phù hợp của ma trận kiểm tra chẵn lẻ) bằng cách so sánh ngưỡng của phương sai nhiễu trong đó giá trị mong muốn của xác suất lỗi không phải là 0 (dưới đây cũng được gọi là ngưỡng hiệu suất).

Ngoài ra, nếu tập hợp trong đó mã LDPC cụ thể thuộc về được xác định cho mã LDPC và sự tiến triển mật độ được thực hiện cho tập hợp, thì có thể dự đoán hiệu suất xấp xỉ của mã LDPC.

Do đó, nếu tập hợp-hiệu suất cao được nhận thấy, mã LDPC hiệu suất cao có thể được nhận thấy trong số các mã LDPC thuộc tập hợp.

Ở đây, chuỗi bậc được mô tả trên đây thể hiện phần trăm trong đó nút thay đổi và nút kiểm tra với mỗi trọng số có mặt, với độ dài mã N của mã LDPC.

Ví dụ, mã LDPC (3, 6) thông thường trong đó tỷ lệ mã là $1/2$ thuộc về tập hợp được ký hiệu bởi chuỗi cấp trong đó trọng số (trọng số cột) của tất cả các nút thay đổi là 3 và trọng số (trọng số hàng) của tất cả các nút kiểm tra là 6.

Fig.40 minh họa đồ thị Tanner của tập hợp như vậy.

Trong đồ thị Tanner trên Fig.40, số các nút thay đổi được ký hiệu bằng các dấu tròn (dấu O) là N tương đương với độ dài mã N , và số các nút kiểm tra được ký hiệu bằng các dấu vuông (dấu $\square$) là $N/2$ thu được bằng cách nhân độ dài mã N với tỷ lệ mã $1/2$.

Ba cạnh có trọng số cột tương đương được nối với mỗi nút thay đổi, do đó, tổng cộng, chỉ các cạnh $3N$ được nối với các nút thay đổi N .

Sáu cạnh có trọng số cột tương đương được nối với mỗi nút kiểm tra, do đó, tổng cộng, chỉ các cạnh $3N$ được nối với các nút kiểm tra $N/2$.

Ngoài ra, trong đồ thị Tanner trên Fig.40, bộ đan xen tồn tại.

Bộ đan xen bố trí lại một cách ngẫu nhiên các cạnh $3N$ được nối với các nút thay đổi N , và kết nối mỗi cạnh được bố trí lại cho bất kỳ các cạnh $3N$ nào được nối cùng với các nút kiểm tra $N/2$.

Trong bộ đan xen, mô hình bố trí lại để bố trí lại các cạnh $3N$ được nối với các nút thay đổi N là như $(3N)!(= (3N) \times (3N-1) \times \dots \times 1)$. Do đó, tập hợp được ký hiệu bởi bởi chuỗi cấp trong đó trọng số của tất cả các nút thay đổi là 3 và trọng số của tất cả các nút kiểm tra là 6 là tập hợp của $(3N)!$ các mã LDPC.

Trong mô phỏng về việc thu mã LDPC hiệu suất cao (ma trận kiểm tra chẵn lẻ thích hợp), tập hợp loại đa cạnh được sử dụng trong tiến triển mật độ.

Trong loại đa cạnh, bộ đan xen, qua đó cạnh được nối với nút thay đổi và cạnh được nối với nút kiểm tra đi qua, được chia thành nhiều cạnh, sao cho ký hiệu tập hợp được thực hiện chặt chẽ hơn.

Fig.41 minh họa ví dụ về đồ thị Tanner của tập hợp loại đa cạnh.

Trong đồ thị Tanner trên Fig.41, hai bộ đan xen của bộ đan xen thứ nhất và bộ đan xen thứ hai tồn tại.

Ngoài ra, trong đồ thị Tanner trên Fig.41, chỉ các nút thay đổi v_1 tồn tại trong đó số các cạnh được kết nối với bộ đan xen thứ nhất là 1 và số các cạnh được kết nối với bộ đan xen thứ hai là 0, chỉ các nút thay đổi v_2 tồn tại trong đó số các cạnh được kết nối với bộ đan xen thứ nhất là 1 và số các cạnh được kết nối với bộ đan xen thứ hai là 2, và chỉ các nút thay đổi v_3 tồn tại trong đó số các cạnh kết nối với bộ đan xen thứ nhất là 0 và số các cạnh được kết nối với bộ đan xen thứ hai là 2.

Ngoài ra, trong đồ thị Tanner trên Fig.41, chỉ các nút kiểm tra c_1 tồn tại trong đó số các cạnh được kết nối với bộ đan xen thứ nhất là 2 và số các cạnh được kết nối với bộ đan xen thứ hai là 0, chỉ các nút kiểm tra c_2 tồn tại trong đó số các cạnh được kết nối với bộ đan xen thứ nhất là 2 và số các cạnh được kết nối với bộ đan xen thứ hai là 2, và chỉ các nút kiểm tra c_3 tồn tại trong đó số các cạnh được kết nối với bộ đan xen thứ nhất là 0 và số các cạnh được kết nối với bộ đan xen thứ hai là 3.

Ở đây, sự tiến triển mật độ và việc thực hiện của nó được mô tả trong, ví dụ, "Thiết kế các mã kiểm tra chẵn lẻ mật độ thấp trong 0,0045 dB của giới hạn Shannon (On the Design of Low-Density Parity-Check Codes within 0.0045 dB of the Shannon Limit)", S.Y.Chung, G.D.Forney, T.J.Richardson, R.Urbanke, IEEE truyền thông Letters, tập 5, số 2, tháng 2 năm 2001.

Trong mô phỏng về việc thu mã LDPC mới (bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ ở đây), tập hợp được nhận thấy trong đó ngưỡng hiệu suất là giá trị định trước hoặc ít hơn nhờ sử dụng tiến triển mật độ của loại đa cạnh, và mã

LDPC trong đó BER được giảm xuống trong trường hợp sử dụng nhiều hơn một điều biến cầu phương như QPSK trong các mã LDPC thuộc tập hợp được lựa chọn là mã LDPC-hiệu suất cao, ở đây, ngưỡng hiệu suất là E_b/N_0 (tỷ số công suất tín hiệu trên công suất nhiễu mỗi một bit) mà tại đó BER bắt đầu giảm (trở nên nhỏ hơn).

Bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ của mã LDPC mới được nêu trên là bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ của mã LDPC mới trong đó độ dài mã N là 16 kbit và tỷ lệ mã r là 12/15.

Do đó, theo mã LDPC mới thu được từ bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ, có thể đảm bảo chất lượng truyền thông tốt trong việc truyền dữ liệu.

Fig.42 là sơ đồ minh họa độ dài chu kỳ tối thiểu và ngưỡng hiệu suất của ma trận kiểm tra chẵn lẻ H thu được từ bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ của mã LDPC mới trên Fig.39.

Ở đây, độ dài chu kỳ tối thiểu (chu vi) nghĩa là giá trị độ dài tối thiểu (độ dài vòng lặp) của vòng lặp được cấu hình với các phân tử 1.

Đối với ma trận kiểm tra chẵn lẻ H thu được từ bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ của mã LDPC mới, độ dài chu kỳ tối thiểu là 6, và chu kỳ 4 (vòng lặp được cấu hình với các phân tử 1, có độ dài vòng lặp 4) không tồn tại.

Ngoài ra, ngưỡng hiệu suất của mã LDPC mới là 4,269922.

Fig.43 là sơ đồ mô tả ma trận kiểm tra chẵn lẻ H (ma trận kiểm tra chẵn lẻ H của mã LDPC mới) (thu được từ bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ) trên Fig.39.

Trong kiểm tra chẵn lẻ ma trận H của mã LDPC mới, trọng số cột X được đưa tới cột thứ nhất tới cột KX , và trọng số cột $Y1$ được đưa tới các cột $KY1$ tiếp theo, trọng số cột $Y2$ được đưa tới các cột $KY2$ tiếp theo, trọng số cột 2 được đưa tới các cột $M-1$ tiếp theo, và trọng số cột 1 được đưa tới một cột cuối cùng.

Ở đây, $KX+KY1+KY2+M-1+1$ bằng với độ dài mã $N = 16200$ bit.

Fig.44 là sơ đồ minh họa các số của các cột KX, KY1, KY2, và M trên Fig.43, và trọng số cột X, Y1, và Y2, đối với ma trận kiểm tra chẵn lẻ H của mã LDPC mới.

Trong ma trận kiểm tra chẵn lẻ H của mã LDPC mới, tương tự như ma trận kiểm tra chẵn lẻ được mô tả trên Fig.12 và Fig.13, cột càng gần bên thứ nhất (bên trái), trọng số cột có thể càng lớn, do đó, bit mã ở phía bắt đầu của mã LDPC mới có thể là mạnh về lỗi (có độ kháng lỗi).

Fig.45 là sơ đồ minh họa kết quả mô phỏng BER/FER của mã LDPC mới trên Fig.39.

Trong mô phỏng, đường truyền thông (kênh) được giả sử là AWGN, QPSK được thích ứng như hệ thống điều biến, và 50 được áp dụng làm số lần giải mã tương tác.

Trên Fig.45, trục ngang thể hiện E_s/N_0 , và trục thẳng thể hiện BER/FER. Ngoài ra, đường liền thể hiện BER, và đường chấm thể hiện FER.

Theo Fig.45, BER/FER tốt thu được cho mã LDPC mới, do đó, có thể kiểm tra chất lượng truyền thông tốt được đảm bảo trong việc truyền tải dữ liệu mới nhờ sử dụng mã LDPC.

Ví dụ về cấu hình của thiết bị thu 12

Fig.46 là sơ đồ khối minh họa ví dụ về cấu hình của thiết bị thu 12 trên Fig.7.

Bộ xử lý OFDM (hệ điều hành OFDM) 151 thu tín hiệu OFDM từ thiết bị truyền 11 (Fig.7), và thực hiện quy trình xử lý tín hiệu trên tín hiệu OFDM. Dữ liệu của bộ xử lý OFDM 151 thực hiện quy trình xử lý tín hiệu được cung cấp đến bộ quản lý khung 152.

Bộ quản lý khung 152 thực hiện quy trình xử lý (phân tích khung) trên khung được cấu hình với dữ liệu được cung cấp từ bộ xử lý OFDM 151, và cung

cấp tín hiệu dữ liệu mục tiêu kết quả và tín hiệu dữ liệu điều khiển lần lượt đến các bộ giải đan xen tần số 161 và 153.

Bộ giải đan xen tần số 153 thực hiện giải đan xen tần số trong bộ ký hiệu trên dữ liệu từ bộ quản lý khung 152, và cung cấp dữ liệu nhận được đến bộ giải ánh xạ 154.

Bộ giải ánh xạ 154 thực hiện việc giải ánh xạ (giải mã bố trí điểm tín hiệu) và giải điều biến cầu phương dữ liệu (dữ liệu trên chòm sao) từ bộ đan xen tần số 153, dựa vào sự sắp xếp (chòm sao) của điểm tín hiệu được định rõ bởi điều biến cầu phương để được thực hiện bên phía thiết bị truyền 11, và cung cấp dữ liệu nhận được (mã LDPC (khả năng)) đến bộ giải mã LDPC 155.

Bộ giải mã LDPC 155 thực hiện việc giải mã LDPC trên mã LDPC từ bộ giải ánh xạ 154, và cung cấp dữ liệu mục tiêu LDPC kết quả (ở đây là mã BCH) đến bộ giải mã BCH (bộ giải mã BCH) 156.

Bộ giải mã BCH 156 thực hiện việc giải mã BCH của dữ liệu mục tiêu LDPC từ bộ giải mã LDPC 155, và đưa ra dữ liệu điều khiển kết quả (báo hiệu).

Trong khi đó, bộ giải đan xen tần số 161 thực hiện giải đan xen tần số trong các bộ ký hiệu trên dữ liệu từ bộ quản lý khung 152, và cung cấp dữ liệu nhận được đến bộ giải mã SISO/MISO 162.

Bộ giải mã SISO/MISO 162 thực hiện việc giải mã không gian-thời gian của dữ liệu từ bộ giải đan xen tần số 161, và cung cấp dữ liệu nhận được đến bộ giải đan xen thời gian 163.

Bộ giải đan xen thời gian 163 thực hiện giải đan xen thời gian trong bộ ký hiệu trên dữ liệu từ bộ giải mã SISO/MISO 162, và cung cấp dữ liệu nhận được đến bộ giải ánh xạ 164.

Bộ giải ánh xạ 164 thực hiện việc giải ánh xạ (giải mã bố trí điểm tín hiệu) và giải điều biến cầu phương của dữ liệu (dữ liệu trên chòm sao) từ bộ giải đan xen thời gian 163, dựa vào sự bố trí (chòm sao) của điểm tín hiệu được định rõ trong

điều biến cầu phương để được thực hiện bên phía thiết bị truyền 11, và cung cấp dữ liệu nhận được đến bộ giải đan xen bit 165.

Bộ giải đan xen bit 165 thực hiện giải đan xen bit của dữ liệu từ bộ giải ánh xạ 164, và cung cấp mã LDPC (khả năng) là dữ liệu phụ thuộc vào đan xen chẵn lẻ bit, và cung cấp dữ liệu nhận được đến bộ giải mã LDPC 166.

Bộ giải mã LDPC 166 thực hiện việc giải mã LDPC trên mã LDPC từ bộ giải đan xen bit 165, và cung cấp dữ liệu mục tiêu LDPC kết quả (ở đây, mã BCH) đến bộ giải mã BCH 167.

Bộ giải mã BCH 167 thực hiện việc giải mã BCH của dữ liệu mục tiêu LDPC từ bộ giải mã LDPC 166, và đưa ra dữ liệu nhận được đến bộ giải xáo trộn BB 168.

Bộ giải xáo trộn BB 168 thực hiện việc giải xáo trộn BB trên dữ liệu từ bộ giải mã BCH 167, và cung cấp dữ liệu nhận được đến bộ xóa số không (xóa số không) 169.

Bộ xóa số không 169 xóa số không được chèn vào bởi bộ đệm 112 trên Fig.8, từ dữ liệu từ bộ giải xáo trộn BB 168, và cung cấp kết quả đến bộ tách kênh 170.

[0440]

Bộ tách kênh 170 tách một hoặc nhiều dòng (dữ liệu đối tượng) thu được bằng cách đa hợp dữ liệu từ bộ xóa số không 169 vào mỗi dòng, thực hiện các quy trình xử lý cần thiết ở đó, và đưa ra kết quả là dòng đầu ra.

Ngoài ra, thiết bị thu 12 có thể được cấu hình mà không bố trí một số khối được thể hiện trên Fig.46. Nói cách khác, ví dụ, nếu thiết bị truyền 11 (Fig.8) được cấu hình không có bộ đan xen thời gian 118, bộ giải mã SISO/MISO 119, bộ đan xen tần số 120, và bộ đan xen tần số 124 được bố trí, thiết bị thu 12 có thể được cấu hình mà không bố trí bộ đan xen thời gian 163, bộ giải mã SISO/MISO 162, bộ đan xen tần số 161, và bộ đan xen tần số 153 lần lượt tương ứng với bộ đan xen

thời gian 118, bộ giải mã SISO/MISO 119, bộ đan xen tần số 120, và bộ đan xen tần số 124 của thiết bị truyền 11.

Fig.47 là sơ đồ khối minh họa ví dụ về cấu hình bộ giải đan xen bit 165 trên Fig.46.

Bộ giải đan xen bit 165 được cấu hình với bộ dồn kênh (MUX) 54 và bộ giải đan xen xoắn cột 55, và thực hiện giải đan xen (bit) trên bit ký hiệu của ký hiệu là dữ liệu từ bộ giải ánh xạ 164 (Fig.46).

Nói cách khác, bộ dồn kênh 54 thực hiện quy trình thay thế ngược (quy trình ngược với quy trình thay thế) tương ứng với quy trình thay thế được thực hiện bởi bộ tách kênh 25 trên Fig.9 trên bit ký hiệu của ký hiệu từ bộ giải ánh xạ 164, nói cách khác, quy trình thay thế ngược quay lại vị trí của bit mã (khả năng) của mã LDPC được thay thế bởi quy trình thay thế về vị trí gốc của nó, và cung cấp mã LDPC kết quả đến bộ giải đan xen xoắn cột 55.

Bộ giải đan xen xoắn cột 55 thực hiện giải đan xen xoắn cột (quy trình ngược với đan xen cột xoắn cột) tương ứng với đan xen xoắn cột như quy trình bố trí lại được thực hiện bởi bộ đan xen xoắn cột 24 trên Fig.9 trên mã LDPC từ bộ dồn kênh 54, nói cách khác, ví dụ, giải đan xen xoắn cột là quy trình thay thế ngược quay lại bit mã của mã LDPC trong đó chuỗi được thay đổi bởi đan xen xoắn cột như quy trình thay thế về chuỗi gốc của nó.

Cụ thể, bộ giải đan xen xoắn cột 55 thực hiện giải đan xen xoắn cột bằng cách ghi và đọc bit mã của mã LDPC vào bộ nhớ giải đan xen được cấu hình tương tự bộ nhớ 31 được thể hiện trên Fig.28.

Ở đây, trong bộ giải đan xen xoắn cột 55, việc ghi bit mã được thực hiện theo chiều hàng của bộ nhớ giải đan xen nhờ sử dụng địa chỉ đọc trong khi đọc bit mã từ bộ nhớ 31 là địa chỉ ghi. Ngoài ra, việc đọc bit mã được thực hiện nhờ sử dụng địa chỉ ghi trong khi ghi bit mã vào bộ nhớ 31 là địa chỉ đọc.

Mã LDPC thu được từ giải đan xen xoắn cột được cung cấp từ bộ giải đan xen xoắn cột 55 đến bộ giải mã LDPC 166.

Ở đây, khi đan xen chẵn lẻ, đan xen xoắn cột, và quy trình thay thế được thực hiện trên mã LDPC được cung cấp từ bộ giải ánh xạ 164 đến bộ giải đan xen bit 165, trong bộ giải đan xen bit 165, có thể thực hiện giải đan xen chẵn lẻ tương ứng với đan xen chẵn lẻ (quy trình ngược với đan xen chẵn lẻ, nói cách khác, giải đan xen chẵn lẻ quay lại bit mã của mã LDPC trong đó chuỗi được thay đổi bởi đan xen chẵn lẻ về chuỗi gốc của nó), quy trình thay thế ngược tương ứng với quy trình thay thế, và giải đan xen xoắn cột tương ứng với đan xen xoắn cột.

Tuy nhiên, trong bộ giải đan xen bit 165 trên Fig.47, bộ dồn kênh 54 thực hiện quy trình thay thế ngược tương ứng với quy trình thay thế, và bộ giải đan xen xoắn cột 55 thực hiện bước giải đan xen xoắn cột tương ứng với bước đan xen xoắn cột được tạo ra, nhưng khối thực hiện bước giải đan xen chẵn lẻ tương ứng với bước đan xen chẵn lẻ không được bố trí và bước giải đan xen chẵn lẻ không được thực hiện.

Do đó, bộ giải đan xen bit 165 (bộ giải đan xen xoắn cột 55 ở đây) thực hiện quy trình thay thế ngược và bước giải đan xen xoắn cột trên bộ giải mã LDPC 166, và cung cấp mã LDPC không phụ thuộc vào bước giải đan xen chẵn lẻ, đến bộ giải mã LDPC 166.

Bộ giải mã LDPC 166 thực hiện việc giải mã LDPC trên mã LDPC từ bộ giải đan xen bit 165 nhờ sử dụng ma trận kiểm tra chẵn lẻ chuyển đổi thu được bằng cách thực hiện ít nhất việc thay thế cột tương ứng với bước đan xen chẵn lẻ trên ma trận kiểm tra chẵn lẻ H được sử dụng cho việc mã hóa LDPC bởi bộ mã hóa LDPC 115 trên Fig.8, và đưa ra dữ liệu nhận được là kết quả giải mã của dữ liệu mục tiêu LDPC.

Fig.48 là sơ đồ minh họa quy trình xử lý được thực hiện bởi bộ giải ánh xạ 164, bộ giải đan xen bit 165, và bộ giải mã LDPC 166 trên Fig.47.

Ở bước S111, bộ giải ánh xạ 164 thực hiện việc giải ánh xạ và giải điều biến cầu phương trên dữ liệu (dữ liệu trên chòm sao được ánh xạ tới điểm tín hiệu) từ

bộ giải đan xen thời gian 163, và cung cấp kết quả đến bộ giải đan xen bit 165, và quy trình xử lý chuyển đến bước S112.

Bộ giải đan xen bit 165 thực hiện bước giải đan xen (bước giải đan xen bit) trên dữ liệu từ bộ giải ánh xạ 164 ở bước S112, và quy trình xử lý chuyển đến bước S113.

Nói cách khác, ở bước S112, bộ dồn kênh 54 trong bộ giải đan xen bit 165 thực hiện quy trình thay thế ngược trên dữ liệu (tương ứng với bit ký hiệu của ký hiệu) từ bộ giải ánh xạ 164, và cung cấp bit mã của mã LDPC kết quả đến bộ giải đan xen xoắn cột 55.

Bộ giải đan xen xoắn cột 55 thực hiện bước giải đan xen xoắn cột trên mã LDPC từ bộ dồn kênh 54, và cung cấp mã LDPC kết quả (khả năng) đến bộ giải mã LDPC 166.

Ở bước S113, bộ giải mã LDPC 166 thực hiện việc giải mã LDPC trên mã LDPC từ bộ giải đan xen xoắn cột 55 nhờ sử dụng ma trận kiểm tra chẵn lẻ H được sử dụng cho việc mã hóa LDPC bởi bộ mã hóa LDPC 115 trên Fig.8, nói cách khác, nhờ sử dụng ma trận kiểm tra chẵn lẻ chuyển đổi H thu được bằng cách thực hiện ít nhất việc thay thế cột tương ứng với bước đan xen chẵn lẻ trên ma trận kiểm tra chẵn lẻ H, và đưa ra dữ liệu nhận được là kết quả giải mã của dữ liệu mục tiêu LDPC tới bộ giải mã BCH 167.

Ngoài ra, ngay cả trên Fig.47, tương tự như trường hợp trên Fig.9, để thuận tiện cho việc mô tả, bộ dồn kênh 54, thực hiện quy trình thay thế ngược và bộ giải đan xen xoắn cột 55, thực hiện bước giải đan xen xoắn cột được cấu hình tách biệt, nhưng bộ dồn kênh 54 và bộ giải đan xen xoắn cột 55 có thể được cấu hình tích hợp.

Ngoài ra, khi bộ đan xen bit 116 trên Fig.9 không thực hiện bước đan xen xoắn cột, bộ giải đan xen xoắn cột 55 không cần phải được bố trí trong bộ giải đan xen bit 165 trên Fig.47.

Tiếp theo, việc giải mã LDPC được thực hiện bởi bộ giải mã LDPC 166 trên Fig.46 sẽ được mô tả thêm.

Bộ giải mã LDPC 166 trên Fig.46 thực hiện việc giải mã LDPC trên mã LDPC từ bộ giải đan xen xoắn cột 55 trong đó quy trình thay thế ngược và bước giải đan xen xoắn cột được thực hiện và bước giải đan xen chẵn lẻ không được thực hiện, như được nêu trên, trên ma trận kiểm tra chẵn lẻ H được sử dụng cho việc mã hóa LDPC bởi bộ mã hóa LDPC 115 trên Fig.8 nhờ sử dụng ma trận kiểm tra chẵn lẻ chuyển đổi thu được bằng cách thực hiện ít nhất việc thay thế cột tương ứng với bước đan xen chẵn lẻ.

Ở đây, việc giải mã LDPC đã được đề xuất trước đó có thể giảm thiểu tần số hoạt động tới phạm vi khả thi một cách đầy đủ trong khi giảm thiểu kích cỡ mạch bởi thực hiện việc giải mã LDPC nhờ sử dụng ma trận kiểm tra chẵn lẻ chuyển đổi (ví dụ, tham khảo bằng độc quyền sáng chế Nhật số 4224777) .

Do đó, thứ nhất, việc giải mã LDPC nhờ sử dụng ma trận kiểm tra chẵn lẻ chuyển đổi đã được đề xuất trước đó sẽ được mô tả dựa vào Fig.49 và Fig.52.

Fig.49 minh họa ví dụ về ma trận kiểm tra chẵn lẻ H của mã LDPC trong đó độ dài mã N là 90 và tỷ lệ mã là 2/3.

Ngoài ra, trên Fig.49 (cũng trên Fig.50 và Fig.51 sẽ được mô tả dưới đây), 0 được thể hiện là dấu chấm (.).

Trong ma trận kiểm tra chẵn lẻ H trên Fig.49, ma trận chẵn lẻ có cấu trúc bậc thang.

Fig.50 minh họa ma trận kiểm tra chẵn lẻ H' thu được bằng cách thực hiện phép hoán vị hàng của phương trình (11) và phép hoán vị cột của phương trình (12) trên ma trận kiểm tra chẵn lẻ H trên Fig.49.

Hoán vị hàng: hàng thứ $6s+t+1 \rightarrow$ hàng thứ $5t+s+1 \dots$ (11)

Hoán vị cột: cột thứ $6x+y+61 \rightarrow$ cột thứ $5y+x+61 \dots$ (12)

Ở đây, trong phương trình (11) và phương trình (12), s , t , x , và y là các số nguyên trong các khoảng tương ứng $0 \leq s < 5$, $0 \leq t < 6$, $0 \leq x < 5$, và $0 \leq t < 6$.

Theo hoán vị hàng của phương trình (11), phép hoán vị được thực hiện sao cho các hàng thứ nhất, thứ bảy, thứ 13, thứ 19, thứ 25 có các số dư là 1 khi chia các hàng này cho 6 được thay thế bởi hàng thứ nhất, thứ hai, thứ ba, thứ tư, và hàng thứ năm, và các hàng thứ hai, thứ tám, thứ 14, thứ 20, và thứ 26 có các số dư là 2 khi chia các hàng này cho 6 được thay thế bởi các hàng thứ sáu, thứ bảy, thứ tám, thứ chín, và thứ mười.

Ngoài ra, theo hoán vị cột của phương trình (12), phép hoán vị được thực hiện sao cho các cột thứ 61, 67, 73, 79, và 85 sau khi cột thứ 61 (ma trận chẵn lẻ) có các số dư là 1 khi chia các cột này cho 6 được thay thế bởi cột thứ 61, 62, 63, 64, và 65, và các cột thứ 62, 68, 74, 80, và 86 có các số dư là 2 khi chia các cột này cho 6 được thay thế bởi các cột thứ 66, 67, 68, 69, và 70.

Do đó, ma trận thu được bằng cách thực hiện phép hoán vị hàng và hoán vị cột trên ma trận kiểm tra chẵn lẻ H trên Fig.49 là ma trận kiểm tra chẵn lẻ H' trên Fig.50.

Ở đây, ngay cả khi phép hoán vị hàng được thực hiện trên ma trận kiểm tra chẵn lẻ H , thì nó không ảnh hưởng đến chuỗi bit mã của mã LDPC.

Ngoài ra, phép hoán vị cột của phương trình (12) tương ứng với bước đan xen chẵn lẻ đan xen bit mã thứ $(K+qx+y+1)$ được nêu trên ở vị trí của bit mã thứ $(K+Py+x+1)$ khi lần lượt thiết lập độ dài thông tin K đến 60, số lượng P các cột của bộ cấu trúc tuần hoàn đến 5, và ước số $q (=M/P)$ của độ dài chẵn lẻ M (ở đây, 30) đến 6.

Do đó, ma trận kiểm tra chẵn lẻ H' trên Fig.50 là ma trận kiểm tra chẵn lẻ chuyển đổi thu được bằng cách thực hiện ít nhất phép hoán vị cột thay thế cột thứ $(K+qx+y+1)$ của ma trận kiểm tra chẵn lẻ trên Fig.49 (dưới đây, khi thích hợp, được gọi là ma trận kiểm tra chẵn lẻ gốc) H với cột thứ $(K+qx+x+1)$.

Nếu mã LDPC của ma trận kiểm tra chẵn lẻ gốc H trên Fig.49 được thay thế tương tự như phương trình (12) và được nhân với ma trận kiểm tra chẵn lẻ chuyển đổi H' trên Fig.50, vector 0 được đưa ra. Nói cách khác, nếu vector hàng c thu được bằng cách thực hiện hoán vị cột của phương trình (12) trên vector hàng c như mã LDPC (1 từ mã) của ma trận kiểm tra chẵn lẻ gốc H được thể hiện như c' , Hc^T trở thành vector 0 do đặc tính của ma trận kiểm tra chẵn lẻ H, và do đó $H'c'^T$ chắc chắn trở thành vector 0.

Từ những điều trên, ma trận kiểm tra chẵn lẻ chuyển đổi H' trên Fig.50 là ma trận kiểm tra chẵn lẻ của mã LDPC c' thu được bằng cách thực hiện hoán vị cột của phương trình (12) trên mã LDPC c của ma trận kiểm tra chẵn lẻ gốc H.

Vì vậy, có thể thu kết quả giải mã tương tự như trường hợp giải mã LDPC c của ma trận kiểm tra chẵn lẻ gốc H nhờ sử dụng ma trận kiểm tra chẵn lẻ H, bằng cách giải mã (giải mã LDPC) mã LDPC c' phụ thuộc vào phép hoán vị của phương trình (12) trên mã LDPC của ma trận kiểm tra chẵn lẻ gốc H nhờ sử dụng ma trận kiểm tra chẵn lẻ chuyển đổi H' trên Fig.50, và bằng cách thực hiện hoán vị ngược với hoán vị cột của phương trình (12) trên kết quả giải mã.

Fig.51 minh họa ma trận kiểm tra chẵn lẻ chuyển đổi H' trên Fig.50 nhờ được đặt khoảng cách trong đơn vị ma trận 5x5.

Trên Fig.51, ma trận kiểm tra chẵn lẻ chuyển đổi H' được thể hiện bằng cách kết hợp ma trận đơn vị 5x5 ($= P \times P$), ma trận có 0 cho một hoặc nhiều phần tử 1 trong ma trận đơn vị (dưới đây, khi thích hợp, gọi là ma trận tựa đơn vị), hoặc ma trận thu được bằng cách chuyển tuần hoàn ma trận đơn vị hoặc ma trận tựa đơn vị (dưới đây, khi thích hợp, gọi là ma trận chuyển đổi), tổng của hai hay nhiều ma trận trong ma trận đơn vị, ma trận tựa đơn vị, và ma trận chuyển đổi (dưới đây, khi thích hợp, được gọi là ma trận tổng), và ma trận không 5x5.

Ma trận kiểm tra chẵn lẻ chuyển đổi H' trên Fig.51 có thể được cấu hình với ma trận đơn vị 5x5, ma trận tựa đơn vị, ma trận chuyển đổi, ma trận tổng, và ma trận không. Do đó, các ma trận 5x5 (ma trận đơn vị, ma trận tựa đơn vị, ma trận

chuyển đổi, ma trận tổng, và ma trận không) cấu hình ma trận kiểm tra chẵn lẻ chuyển đổi H' được gọi là, dưới đây, khi thích hợp, các ma trận cấu hình.

Có thể sử dụng kiến trúc đồng thời thực hiện các phép toán nút kiểm tra và các phép toán nút thay đổi số lượng P lần, để giải mã mã LDPC của ma trận kiểm tra chẵn lẻ được thể hiện bởi các ma trận cấu hình $P \times P$.

Fig.52 là sơ đồ khối minh họa ví dụ về cấu hình của thiết bị giải mã thực hiện việc giải mã như vậy.

Nói cách khác, Fig.52 minh họa ví dụ về cấu hình của thiết bị giải mã thực hiện giải mã LDPC nhờ sử dụng ma trận kiểm tra chẵn lẻ chuyển đổi H' trên Fig.51 thu được bởi thực hiện ít nhất hoán vị cột của phương trình (12) trên ma trận kiểm tra chẵn lẻ gốc H trên Fig.49.

Thiết bị giải mã trên Fig.52 được cấu hình với bộ nhớ lưu trữ dữ liệu cạnh 300 được cấu hình với sáu FIFO từ 300₁ đến 300₆, bộ chọn 301 chọn các FIFO từ 300₁ đến 300₆, bộ tính nút kiểm tra 302, mạch dịch chuyển tuần hoàn 303 và mạch dịch chuyển tuần hoàn 308, bộ nhớ lưu trữ dữ liệu cạnh 304 được cấu hình với 18 FIFO từ 304₁ đến 304₁₈, bộ chọn 305 chọn các FIFO từ 304₁ đến 304₁₈, bộ nhớ dữ liệu thu 306 lưu trữ dữ liệu thu, bộ tính nút thay đổi 307, bộ tính từ giải mã 309, bộ bố trí lại dữ liệu thu 310, và bộ bố trí lại dữ liệu giải mã 311.

Thứ nhất, phương pháp lưu trữ dữ liệu vào bộ nhớ lưu trữ dữ liệu cạnh 300 và bộ nhớ lưu trữ dữ liệu cạnh 304 sẽ được mô tả.

Bộ nhớ lưu trữ dữ liệu cạnh 300 được cấu hình với sáu FIFO từ 300₁ đến 300₆, ở đây, sáu là số thu được bằng cách chia số 30 của các hàng của ma trận kiểm tra chẵn lẻ chuyển đổi H' trên Fig.51 cho số 5 của các hàng của ma trận cấu hình (số lượng P các cột của bộ cấu trúc tuần hoàn). FIFO 300 _{y} ($y = 1, 2, \dots, 6$) được cấu hình với các vùng lưu trữ của các số của các giai đoạn, và có thể đồng thời đọc và ghi thông điệp tương ứng với năm cạnh, ở đây, năm là số hàng và số cột của ma trận cấu hình (số lượng P các cột trong bộ cấu trúc tuần hoàn), đến vùng lưu trữ của mỗi giai đoạn. Ngoài ra, số các giai đoạn của vùng lưu trữ của

FIFO 300_y là 9 là số tối đa của 1 (trọng số Hamming) theo chiều hàng của ma trận kiểm tra chẵn lẻ chuyển đổi trên Fig.51.

Các đoạn dữ liệu (thông điệp v_i từ nút thay đổi) tương ứng với các vị trí của 1 ở hàng thứ nhất đến hàng thứ năm của ma trận kiểm tra chẵn lẻ chuyển đổi H' trên Fig.51 được lưu trữ trong FIFO 300₁ dưới dạng đệm mỗi hàng theo chiều ngang (theo dạng bỏ qua 0). Nói cách khác, nếu hàng thứ j và cột thứ i được thể hiện như (j, i) , các đoạn dữ liệu tương ứng với các vị trí của 1 trong ma trận đơn vị 5×5 của $(1, 1)$ đến $(5, 5)$ của ma trận kiểm tra chẵn lẻ chuyển đổi H' được lưu trữ trong vùng lưu trữ của giai đoạn thứ nhất của FIFO 300₁. Đoạn dữ liệu tương ứng với vị trí của 1 trong ma trận dịch chuyển (ma trận dịch chuyển tuần hoàn thu được bằng cách dịch chuyển ma trận đơn vị 5×5 thêm ba theo chiều bên phải) của $(1, 21)$ $(5, 25)$ của ma trận kiểm tra chẵn lẻ chuyển đổi H' được lưu trữ trong vùng lưu trữ của giai đoạn thứ hai. Tương tự như vậy, dữ liệu được lưu trữ trong vùng lưu trữ của giai đoạn thứ ba đến thứ tám liên quan đến ma trận kiểm tra chẵn lẻ chuyển đổi H' . Tiếp theo, các đoạn dữ liệu tương ứng với các vị trí của 1 trong ma trận dịch chuyển (ma trận dịch chuyển thu được bởi 1 ở hàng thứ nhất của ma trận đơn vị 5×5 được thay thế bởi 0 và được dịch chuyển tuần hoàn theo chiều bên trái) của $(1, 86)$ $(5, 90)$ của ma trận kiểm tra chẵn lẻ chuyển đổi H' được lưu trữ trong vùng lưu trữ của giai đoạn thứ chín.

Đoạn dữ liệu tương ứng với vị trí của 1 ở hàng thứ sáu đến hàng thứ mười của ma trận kiểm tra chẵn lẻ chuyển đổi H' trên Fig.51 được lưu trữ trong FIFO 300₂. Nói cách khác, các đoạn dữ liệu tương ứng với các vị trí của 1 trong ma trận dịch chuyển thứ nhất cấu hình ma trận tổng (ma trận tổng là tổng của một ma trận dịch chuyển thứ nhất và ma trận dịch chuyển thứ hai thu được bằng cách lần lượt dịch chuyển tuần hoàn ma trận đơn vị 5×5 thêm một và hai theo hướng bên phải) từ $(6, 1)$ đến $(10, 5)$ của ma trận kiểm tra chẵn lẻ chuyển đổi H' được lưu trữ trong vùng lưu trữ của giai đoạn thứ nhất của FIFO 300₂. Đoạn dữ liệu tương ứng với các vị trí của 1 trong ma trận dịch chuyển hình thứ hai cấu hình ma trận tổng của

(6, 1) đến (10, 5) của ma trận kiểm tra chẵn lẻ chuyển đổi H' được lưu trữ trong vùng lưu trữ của giai đoạn thứ hai của FIFO 300₂.

Nói cách khác, đối với ma trận cấu hình có trọng số trên 2, khi ma trận cấu hình được thể hiện dưới dạng tổng của các ma trận ra trong ma trận đơn vị $P \times P$ có trọng số 1, ma trận tựa đơn vị có 0 với một hoặc nhiều phần tử 1 trong ma trận đơn vị, hoặc ma trận dịch chuyển thu được bởi việc dịch chuyển tuần hoàn ma trận đơn vị hoặc ma trận tựa đơn vị, các đoạn dữ liệu tương ứng với các vị trí của 1 trong ma trận đơn vị có trọng số 1, ma trận tựa đơn vị, hoặc ma trận dịch chuyển (các thông điệp tương ứng với các cạnh thuộc ma trận đơn vị, ma trận tựa đơn vị, hoặc ma trận dịch chuyển) được lưu trữ trong cùng địa chỉ (FIFO giống nhau trong các FIFO từ 300₁ đến 300₆).

Dưới đây, dữ liệu được lưu trữ liên quan đến ma trận kiểm tra chẵn lẻ chuyển đổi H' , ngay cả trong các vùng lưu trữ của các giai đoạn từ thứ ba đến thứ chín.

Tương tự như các FIFO từ 300₁ đến 300₆, dữ liệu được lưu trữ liên quan đến ma trận kiểm tra chẵn lẻ chuyển đổi H' .

Bộ nhớ lưu trữ dữ liệu cạnh 304 được cấu hình với 18 FIFO từ 304₁ đến 304₁₈, ở đây, 18 thu được bằng cách chia số 90 của các cột của ma trận kiểm tra chẵn lẻ chuyển đổi H' cho 5 cột của ma trận cấu hình (số lượng P các cột trong bộ cấu trúc tuần hoàn). Các FIFO 304 _{x} ($x = 1, 2, \dots, 18$) được cấu hình với các vùng lưu trữ của số các giai đoạn, và có thể đồng thời đọc và ghi thông điệp tương ứng với năm cạnh, ở đây, năm là số hàng và số cột của ma trận cấu hình (số lượng P các cột trong bộ cấu trúc tuần hoàn), đến vùng lưu trữ của mỗi giai đoạn.

Đoạn dữ liệu (thông điệp u_j từ nút kiểm tra) tương ứng với vị trí của 1 trong cột thứ nhất đến cột thứ năm của ma trận kiểm tra chẵn lẻ chuyển đổi H' trên Fig.51 được lưu trữ trong FIFO 304₁ dưới dạng đệm mỗi cột theo chiều thẳng đứng (dưới dạng bỏ qua 0). Nói cách khác, các đoạn dữ liệu tương ứng với các vị trí của 1 trong ma trận đơn vị 5×5 của (1, 1) đến (5, 5) của ma trận kiểm tra chẵn lẻ

chuyển đổi H' được lưu trữ trong các vùng lưu trữ của giai đoạn thứ nhất của FIFO 304₁. Đoạn dữ liệu tương ứng với các vị trí của 1 trong ma trận dịch chuyển thứ nhất cấu hình ma trận tổng (ma trận tổng là tổng của một ma trận dịch chuyển thứ nhất và ma trận dịch chuyển thứ hai thu được bằng cách lần lượt dịch chuyển tuần hoàn ma trận đơn vị 5x5 thêm một và hai theo hướng bên phải) từ (6, 1) đến (10, 5) của ma trận kiểm tra chẵn lẻ chuyển đổi H' được lưu trữ trong vùng lưu trữ của giai đoạn thứ hai. Đoạn dữ liệu tương ứng với các vị trí của 1 trong ma trận dịch chuyển hình thứ hai cấu hình ma trận tổng của (6, 1) đến (10, 5) của ma trận kiểm tra chẵn lẻ chuyển đổi H' được lưu trữ trong vùng lưu trữ của giai đoạn thứ ba.

Nói cách khác, đối với ma trận cấu hình có trọng số trên 2, khi ma trận cấu hình được thể hiện dưới dạng tổng của các ma trận ra trong ma trận đơn vị $P \times P$ có trọng số 1, ma trận tựa đơn vị có 0 với một hoặc nhiều phần tử 1 trong ma trận đơn vị, hoặc ma trận dịch chuyển thu được bởi việc dịch chuyển tuần hoàn ma trận đơn vị hoặc ma trận tựa đơn vị, các đoạn dữ liệu tương ứng với các vị trí của 1 trong ma trận đơn vị có trọng số 1, ma trận tựa đơn vị, hoặc ma trận dịch chuyển (các thông điệp tương ứng với các cạnh thuộc ma trận đơn vị, ma trận tựa đơn vị, hoặc ma trận dịch chuyển) được lưu trữ trong cùng địa chỉ (FIFO giống nhau trong các FIFO từ 304₁ đến 304₁₈).

Dưới đây, dữ liệu được lưu trữ liên quan đến ma trận kiểm tra chẵn lẻ chuyển đổi H' , ngay cả trong các vùng lưu trữ của các giai đoạn thứ tư và thứ năm. Số các giai đoạn của vùng lưu trữ FIFO 304₁ là 5 là số tối đa của 1 (trọng số Hamming) theo chiều hàng trong cột thứ nhất đến cột thứ năm của ma trận kiểm tra chẵn lẻ chuyển đổi H' .

Dữ liệu được lưu trữ liên quan đến ma trận kiểm tra chẵn lẻ chuyển đổi H' ngay cả trong các FIFO từ 304₂ đến 304₃, mỗi độ dài (số các giai đoạn) là 5. Tương tự như vậy, dữ liệu được lưu trữ liên quan đến ma trận kiểm tra chẵn lẻ chuyển đổi H' ngay cả trong các FIFO từ 304₄ đến 304₁₂, mỗi độ dài là 3. Tương tự như vậy, dữ liệu được lưu trữ cùng với ma trận kiểm tra chẵn lẻ chuyển đổi H' ngay cả trong các FIFO từ 304₃ đến 304₁₈, mỗi độ dài là 2.

Tiếp theo, hoạt động của thiết bị giải mã trên Fig.52 sẽ được mô tả.

Bộ nhớ lưu trữ dữ liệu cạnh 300 được cấu hình với sáu FIFO từ 300_1 đến 300_6 , và chọn FIFO lưu trữ dữ liệu từ FIFO 300_1 đến 300_6 , theo thông tin (dữ liệu ma trận) D312 liên quan đến hàng nào của ma trận kiểm tra chẵn lẻ chuyển đổi H' trên Fig.51 năm thông điệp D311 được cung cấp từ mạch dịch chuyển tuần hoàn 308 trong giai đoạn trước đó thuộc về, và lưu trữ các thông điệp D311 trong các nhóm năm thông điệp trong FIFO được chọn theo thứ tự. Ngoài ra, trong khi đọc dữ liệu, bộ nhớ lưu trữ dữ liệu cạnh 300 đọc năm thông điệp D300₁ theo thứ tự từ FIFO 300_1 , và cung cấp chúng đến bộ chọn 301 ở giai đoạn tiếp theo. Sau khi đọc các thông điệp từ FIFO 300_1 được kết thúc, bộ nhớ lưu trữ dữ liệu cạnh 300 đọc các thông điệp theo thứ tự từ các FIFO từ 300_1 đến 300_6 , và cung cấp các thông điệp đến bộ chọn 301.

Bộ chọn 301 chọn năm thông điệp từ FIFO mà từ đó dữ liệu được đọc hiện tại, trong các FIFO từ 300_1 đến 300_6 , để đáp ứng tín hiệu chọn D301, và cung cấp thông điệp như thông điệp D302 đến bộ tính nút kiểm tra 302.

Bộ tính nút kiểm tra 302 được cấu hình với năm máy tính nút kiểm tra từ 302_1 đến 302_5 , thực hiện phép tính nút kiểm tra theo phương trình (7), nhờ sử dụng thông điệp D302 được cung cấp từ bộ chọn 301 (D302₁ đến D302₅) (thông điệp v_j trong phương trình (7)), và cung cấp năm thông điệp D303 (D303₁ đến D303₅) (thông điệp U_j trong phương trình (7)) thu được từ phép tính nút kiểm tra đến mạch dịch chuyển tuần hoàn 303.

Mạch dịch chuyển tuần hoàn 303 dịch chuyển tuần hoàn năm thông điệp từ D303₁ đến D303₅ thu được bởi bộ tính nút kiểm tra 302, dựa vào thông tin (dữ liệu ma trận) D305 liên quan đến số lần dịch chuyển tuần hoàn của ma trận đơn vị (hoặc ma trận tựa đơn vị) là cơ sở trong ma trận kiểm tra chẵn lẻ chuyển đổi H' được thực hiện trên cạnh tương ứng, và cung cấp kết quả như thông điệp D304, đến bộ nhớ lưu trữ dữ liệu cạnh 304.

Bộ nhớ lưu trữ dữ liệu cạnh 304 được cấu hình với 18 FIFO từ 304_1 đến 304_{18} , và chọn FIFO lưu trữ dữ liệu từ FIFO 304_1 đến 304_{18} , theo thông tin D305 liên quan đến hàng nào của ma trận kiểm tra chẵn lẻ chuyển đổi H' năm thông điệp D304 được cung cấp từ mạch dịch chuyển tuần hoàn 303 ở giai đoạn trước đó thuộc về, và bố trí và lưu trữ các thông điệp D304 trong các nhóm năm thông điệp trong FIFO được chọn theo thứ tự. Ngoài ra, trong khi đọc dữ liệu, bộ nhớ lưu trữ dữ liệu cạnh 304 đọc năm thông điệp D306₁ theo thứ tự từ FIFO 304_1 , và cung cấp nó đến bộ chọn 305 ở giai đoạn tiếp theo. Sau khi đọc dữ liệu từ FIFO 304_1 được kết thúc, bộ nhớ lưu trữ dữ liệu cạnh 304 đọc thông điệp theo thứ tự từ FIFO 304_2 đến 304_{18} , và cung cấp các thông điệp đến bộ chọn 305.

Bộ chọn 305 chọn năm thông điệp từ FIFO mà từ đó dữ liệu được đọc hiện tại, trong các FIFO từ 304_1 đến 304_{18} , để đáp ứng với tín hiệu chọn D307, và cung cấp thông điệp như thông điệp D308 đến bộ tính nút thay đổi 307 và bộ tính từ giải mã 309.

Trong khi đó, bộ bố trí lại dữ liệu thu 310 bố trí lại mã LDPC D313 tương ứng với ma trận kiểm tra chẵn lẻ H trên Fig.49, thu được qua đường truyền thông 13 bằng cách thực hiện phép hoán vị cột của phương trình (12), và cung cấp mã LDPC được bố trí lại như dữ liệu thu D314, đến bộ nhớ dữ liệu thu 306. Bộ nhớ dữ liệu thu 306 tính toán và lưu trữ tỷ số khả năng lôga thu (LLR - log likelihood ratio) từ dữ liệu thu D314 được cung cấp từ bộ bố trí lại dữ liệu thu 310, và cung cấp LLR thu trong các nhóm năm, như D309 giá trị thu được, đến bộ tính nút thay đổi 307 và bộ tính từ giải mã 309.

Bộ tính nút thay đổi 307 được cấu hình với năm máy tính nút thay đổi 307_1 đến 307_5 , thực hiện phép tính nút thay đổi theo phương trình (1), nhờ sử dụng thông điệp D308 (D308₁ đến D308₅) (thông điệp u_j của phương trình (1)) cung cấp qua bộ chọn 305 và năm giá trị thu được D309 (giá trị u_{0i} thu được của phương trình (1)) được cung cấp từ bộ nhớ dữ liệu thu 306, và cung cấp thông điệp D310 (D310₁ đến D310₅) (thông điệp v_i của phương trình (1)) thu được bởi phép tính đến mạch dịch chuyển tuần hoàn 308.

Mạch dịch chuyển tuần hoàn 308 dịch chuyển tuần hoàn năm thông điệp $D310_1$ đến $D310_5$ thu được bởi bộ tính nút thay đổi 307, dựa vào thông tin về số lần dịch chuyển tuần hoàn của ma trận đơn vị (hoặc ma trận tựa đơn vị) là cơ sở trong ma trận kiểm tra chẵn lẻ chuyển đổi H' được thực hiện trên cạnh tương ứng, và cung cấp kết quả như thông điệp $D311$, đến bộ nhớ lưu trữ dữ liệu cạnh 300.

Bằng cách thực hiện một vòng các thao tác trên, có thể thực hiện một việc giải mã của các mã LDPC (phép tính nút thay đổi và phép tính nút kiểm tra). Sau khi thiết bị giải mã trên Fig.52 giải mã LDPC theo số lần định trước, và cung cấp kết quả giải mã cuối cùng thu được đến bộ tính từ giải mã 309 và bộ bố trí lại dữ liệu giải mã 311.

Nói cách khác, bộ tính từ giải mã 309 được cấu hình với năm máy tính từ giải mã từ 309_1 đến 309_5 , tính toán kết quả giải mã (từ giải mã) dựa vào phương trình (5) nhờ sử dụng năm thông điệp $D308$ ($D308_1$ đến $D308_5$) (thông điệp u_j của phương trình (5)) được đưa ra bởi bộ chọn 305 và năm giá trị thu được $D309$ (giá trị u_{0i} thu được của phương trình (5)) được cung cấp từ bộ nhớ dữ liệu thu 306, như giai đoạn cuối cùng của nhiều lần giải mã, và cung cấp dữ liệu giải mã kết quả $D315$ đến bộ bố trí lại dữ liệu giải mã 311.

Bộ bố trí lại dữ liệu giải mã 311 bố trí lại và đưa ra thứ tự là kết quả giải mã cuối cùng $D316$, bằng cách thực hiện phép hoán vị ngược với phép hoán vị cột của phương trình (12) trên dữ liệu giải mã $D315$ được cung cấp từ bộ tính từ giải mã 309.

Ma trận kiểm tra chẵn lẻ được chuyển đổi thành ma trận kiểm tra chẵn lẻ (ma trận kiểm tra chẵn lẻ chuyển đổi) có thể được thể hiện bởi sự kết hợp của ma trận đơn vị $P \times P$, ma trận tựa đơn vị có 0 đối với một hoặc nhiều phần tử 1, hoặc ma trận dịch chuyển thu được bởi dịch chuyển tuần hoàn ma trận đơn vị hoặc ma trận tựa đơn vị, ma trận tổng là tổng các ma trận của ma trận đơn vị, ma trận tựa đơn vị, hoặc ma trận dịch chuyển, ma trận không $P \times P$, nói cách khác, sự kết hợp của các ma trận cấu hình bằng cách thực hiện một hoặc cả hai phép hoán vị hàng và phép

hoán vị cột trên ma trận kiểm tra chẵn lẻ (ma trận kiểm tra chẵn lẻ gốc) như được nêu trên, sao cho có thể áp dụng kiến trúc thực hiện đồng thời các phép tính nút kiểm tra và các phép tính nút thay đổi số lần P , ở đây, P là số nhỏ hơn số hàng và số cột của ma trận kiểm tra chẵn lẻ, cho việc giải mã của mã LDPC. Trong trường hợp áp dụng kiến trúc thực hiện đồng thời các phép tính nút (phép tính nút kiểm tra và phép tính nút thay đổi) số lần P , ở đây, P là số nhỏ hơn số hàng và số cột của ma trận kiểm tra chẵn lẻ, có thể giảm thiểu tần số hoạt động trong phạm vi khả thi và thực hiện nhiều việc giải mã tương tác, so với trường hợp thực hiện đồng thời các phép tính nút số lần bằng với số hàng và số cột của ma trận kiểm tra chẵn lẻ.

Được giả sử rằng bộ giải mã LDPC 166 cấu hình thiết bị thu 12 trên Fig.46 thực hiện việc giải mã LDPC bằng cách thực hiện đồng thời các phép tính nút kiểm tra và các phép tính nút thay đổi P lần, tương tự như, ví dụ, thiết bị giải mã trên Fig.52.

Nói cách khác, để đơn giản hóa việc giải thích, được giả sử rằng ma trận kiểm tra chẵn lẻ của mã LDPC được đưa ra bởi bộ mã hóa LDPC 115 cấu hình thiết bị truyền 11 trên Fig.8 là, ví dụ, ma trận kiểm tra chẵn lẻ H trong đó ma trận chẵn lẻ có cấu trúc bậc thang, được minh họa trên Fig.49, trong bộ đan xen chẵn lẻ 23 của thiết bị truyền 11, đan xen chẵn lẻ đan xen bit mã thứ $(K+qx+y+1)$ ở vị trí của bit mã thứ $(K+Py+x+1)$ được thực hiện bằng cách thiết lập độ dài thông tin K đến 60, số lượng p các cột của bộ cấu trúc tuần hoàn đến 5, và ước số q của độ dài mã $M (=M/P)$ đến 6.

Do đan xen chẵn lẻ, như được nêu trên, tương ứng với phép hoán vị cột của phương trình (12), không cần bộ giải mã LDPC 166 thực hiện phép hoán vị cột của phương trình (12).

Vì lý do này, trong thiết bị thu 12 trên Fig.46, như được nêu trên, mã LDPC không phụ thuộc vào đan xen chẵn lẻ, nói cách khác, mã LDPC ở trạng thái của phép hoán vị cột của phương trình (12) đang được thực hiện được cung cấp đến bộ giải mã LDPC 166 từ bộ hủy đan xen xoắn cột 55, và bộ giải mã LDPC 166 thực

hiện quy trình xử lý tương tự như thiết bị giải mã trên Fig.52 ngoại trừ việc không thực hiện phép hoán vị cột của phương trình (12).

Nói cách khác, Fig.53 minh họa ví dụ về cấu hình của bộ giải mã LDPC 166 trên Fig.46.

Trên Fig.53, do bộ giải mã LDPC 166 được cấu hình tương tự như thiết bị giải mã trên Fig.52 ngoại trừ bộ bố trí lại dữ liệu thu 310 trên Fig.52 không được bố trí, và thực hiện quy trình xử lý tương tự như quy trình của thiết bị giải mã trên Fig.52 ngoại trừ phép hoán vị cột trong phương trình (12) không được thực hiện, phần mô tả của nó sẽ được bỏ qua.

Như được nêu trên, bộ giải mã LDPC 166 có thể được cấu hình mà không bố trí bộ bố trí lại dữ liệu thu 310, sao cho có thể giảm kích thước hơn kích thước của thiết bị giải mã Fig.52.

Ngoài ra, trên các hình vẽ từ Fig.49 đến Fig.53, để đơn giản hóa việc giải thích, được giả sử rằng độ dài mã N của mã LDPC là 90, độ dài thông tin K là 60, số lượng p các cột của bộ cấu trúc tuần hoàn (số các hàng và số lượng cột của ma trận cấu hình) là 5, và ước số q của độ dài chẵn lẻ M ($=M/P$) là 6, nhưng độ dài mã N , độ dài thông tin K , số lượng p các cột của bộ cấu trúc tuần hoàn, và ước số q ($=M/P$) lần lượt không bị giới hạn ở các giá trị trên.

Nói cách khác, trong thiết bị truyền 11 trên Fig.8, bộ mã hóa LDPC 115 đưa ra, ví dụ, mã LDPC trong đó độ dài mã N là 64800, 16200, hoặc tương tự, độ dài thông tin K là $N-PQ$ ($=N-M$), số lượng p các cột của bộ cấu trúc tuần hoàn là 360, và ước số q là M/P , nhưng bộ giải mã LDPC 166 trên Fig.53 thực hiện đồng thời các phép tính nút kiểm tra và các phép tính nút thay đổi số lần P trên mã LDPC, và do đó nó có thể phù hợp với trường hợp thực hiện giải mã LDPC.

Fig.54 là sơ đồ mô tả quy trình xử lý của bộ dồn kênh 54 của bộ giải đan xen bit 165 trên Fig.47.

Nói cách khác, A trên Fig. 54 minh họa ví dụ về cấu hình chức năng của bộ dồn kênh 54.

Bộ dồn kênh 54 được cấu hình với bộ thay thế ngược 1001 và bộ nhớ 1002.

Bộ dồn kênh 54 thực hiện quy trình thay thế ngược (quy trình xử lý ngược với quy trình thay thế) tương ứng với quy trình thay thế được thực hiện bởi bộ tách kênh 25 của thiết bị truyền 11 trên bit ký hiệu của ký hiệu từ bộ giải ánh xạ 164 ở giai đoạn trước, nói cách khác, quy trình thay thế ngược quay lại vị trí của bit mã (bit ký hiệu) của mã LDPC được thay thế bởi quy trình thay thế về vị trí gốc của nó, và cung cấp mã LDPC kết quả đến bộ giải đan xen xoắn cột 55 ở giai đoạn tiếp theo.

Nói cách khác, các bit ký hiệu $y_0, y_1, \dots, y_{mb-1}$ của mb bit trong các ký hiệu b , trong đơn vị (kế tiếp) các ký hiệu b được cung cấp đến bộ thay thế ngược 1001, trong bộ dồn kênh 54.

Bộ thay thế ngược 1001 thực hiện việc thay thế ngược để quay lại chuỗi các bit ký hiệu từ y_0 , đến y_{mb-1} của mb bit để bố trí các bit mã gốc $b_0, b_1, \dots, b_{mb-1}$ của các bit m (chuỗi các bit mã b_0 , đến b_{mb-1} trước khi việc thay thế được thực hiện bởi thiết bị thay thế 32 cấu hình bộ tách kênh 25 của thiết bị truyền 11), đưa ra các bit mã kết quả từ b_0 , đến b_{mb-1} của mb bit.

Bộ nhớ 1002 có dung lượng lưu trữ để lưu trữ mb bit theo chiều hàng (ngang) và $N/(mb)$ bit theo chiều cột (dọc), tương tự như bộ nhớ 31 cấu hình bộ tách kênh 25 bên phía thiết bị truyền 11. Nói cách khác, bộ nhớ 1002 được cấu hình với mb cột để lưu trữ $N/(mb)$ bit.

Ở đây, việc ghi bit mã của mã LDPC được đưa ra bởi bộ thay thế ngược 1001 đến bộ nhớ 1002 được thực hiện theo hướng đọc bit mã từ bộ nhớ 31 của bộ tách kênh 25 của thiết bị truyền 11, và đọc bit mã được ghi vào bộ nhớ 1002 được thực hiện theo hướng ghi bit mã vào bộ nhớ 31.

Nói cách khác, như được minh họa trên A trên Fig.54, bộ dồn kênh 54 của thiết bị thu 12 thực hiện liên tiếp việc ghi bit mã của mã LDPC được đưa ra bởi thiết bị thay thế ngược 1001 tới hàng cuối cùng từ hàng thứ nhất của bộ nhớ 1002.

Tiếp theo, nếu việc ghi bit mã của độ dài mã được kết thúc, bộ dồn kênh 54 đọc bit mã theo chiều cột từ bộ nhớ 1002 và cung cấp nó đến bộ giải đan xen xoắn cột 55 ở giai đoạn tiếp theo.

Ở đây, B trên Fig. 54 là sơ đồ minh họa việc đọc mã từ bộ nhớ 1002.

Trong bộ dồn kênh 54, việc đọc bit mã của mã LDPC theo chiều từ trên xuống dưới của các cột (theo chiều cột) cấu hình bộ nhớ 1002 được thực hiện đối với các cột theo hướng từ trái sang phải .

Fig.55 là sơ đồ mô tả quy trình xử lý của bộ giải đan xen xoắn cột 55 cấu hình bộ giải đan xen bit 165 trên Fig.47.

Nói cách khác, Fig.55 minh họa ví dụ về cấu hình của bộ nhớ 1002 của bộ dồn kênh 54.

Bộ nhớ 1002 có dung lượng lưu trữ để lưu trữ mb bit theo chiều cột (đọc) và $N/(mb)$ bit theo chiều hàng (ngang), và được cấu hình với mb cột.

Bộ giải đan xen xoắn cột 55 thực hiện giải đan xen xoắn cột bằng cách điều khiển vị trí bắt đầu đọc khi ghi bit mã của mã LDPC theo chiều hàng vào bộ nhớ 1002 và đọc bit mã theo chiều cột từ bộ nhớ 1002.

Nói cách khác, bộ giải đan xen xoắn cột 55 thực hiện quy trình bố trí lại ngược để quay lại chuỗi bit mã được bố trí lại bởi đan xen xoắn cột về chuỗi gốc, bằng cách thay đổi thích hợp vị trí bắt đầu đọc trong đó việc đọc bit mã được bắt đầu, với mỗi cột.

Ở đây, Fig.55 minh họa ví dụ về cấu hình của bộ nhớ 1002 khi hệ thống điều biến được mô tả trên Fig.28 là 16APSK, 16QAM, hoặc tương tự, và bội số b là 1. Trong trường hợp này, số lượng m bit của một ký hiệu là bốn, và bộ nhớ 1002 được cấu hình với 4 cột (=mb).

Bộ giải đan xen xoắn cột 55 thực hiện liên tiếp việc ghi bit mã của mã LDPC được đưa ra bởi thiết bị thay thế 1001, thay bộ dồn kênh 54, đối với hàng cuối cùng từ hàng thứ nhất của bộ nhớ 1002.

Tiếp theo, nếu việc ghi bit mã của độ dài mã được kết thúc, bộ giải đan xen xoắn cột 55 thực hiện việc đọc bit mã theo hướng từ trên xuống dưới (theo chiều cột) của bộ nhớ 1002 đối với cột theo hướng từ trái sang phải.

Ở đây, bộ giải đan xen xoắn cột 55 thực hiện việc đọc bit mã từ bộ nhớ 1002, nhờ sử dụng vị trí bắt đầu ghi trong đó bộ đan xen xoắn cột 24 của thiết bị truyền 11 ghi bit mã là vị trí bắt đầu đọc của bit mã.

Nói cách khác, nếu được giả sử rằng địa chỉ của vị trí thứ nhất (đầu) của mỗi cột là 0 và địa chỉ của mỗi vị trí theo chiều cột được thể hiện bởi các số nguyên theo thứ tự tăng dần, khi hệ thống điều biến là 16APSK hoặc 16QAM, và bội số b là 1, trong bộ giải đan xen xoắn cột 55, vị trí bắt đầu đọc của cột ngoài cùng bên trái là vị trí của địa chỉ 0, vị trí bắt đầu đọc của cột thứ hai (từ trái sang) là vị trí của địa chỉ 2, vị trí bắt đầu đọc của cột thứ ba là vị trí của địa chỉ 4, và vị trí bắt đầu đọc của cột thứ tư là vị trí của địa chỉ 7.

Ngoài ra, đối với các cột trong đó các vị trí bắt đầu đọc khác ngoài vị trí của địa chỉ 0, sau khi các bit mã được đọc đến vị trí cuối cùng, quay lại đầu (vị trí của địa chỉ 0), các bit mã được đọc đến vị trí ngay trước vị trí bắt đầu đọc. Tiếp theo, việc đọc từ cột tiếp theo (bên phải) được thực hiện.

Bằng cách thực hiện việc giải đan xen xoắn cột như được nêu trên, chuỗi bit mã được bố trí lại bởi bước đan xen xoắn cột được quay lại chuỗi gốc.

Fig.56 là sơ đồ khối minh họa ví dụ về cấu hình của bộ giải đan xen bit 165 trên Fig.46.

Ngoài ra, trên hình vẽ, các phần tương ứng các phần trên Fig.47 được thể hiện bằng các số chỉ dẫn giống nhau, và phần mô tả của nó sẽ được bỏ qua khi thích hợp.

Nói cách khác, bộ giải đan xen bit 165 trên Fig.56 được cấu hình tương tự như trường hợp trên Fig.47 ngoại trừ bộ giải đan xen xoắn cột 1011 mới được bố trí.

Trên Fig.56, bộ giải đan xen bit 165 được cấu hình với bộ dồn kênh (MUX) 54, bộ giải đan xen xoắn cột 55, và bộ giải đan xen chẵn lẻ 1011, và thực hiện việc giải đan xen bit trên bit mã của mã LDPC từ bộ giải ánh xạ 164.

Nói cách khác, bộ dồn kênh 54 thực hiện quy trình thay thế ngược (quy trình ngược với quy trình thay thế) tương ứng với quy trình thay thế được thực hiện bởi bộ tách kênh 25 của thiết bị truyền 11, nói cách khác, quy trình thay thế ngược quay lại vị trí của bit mã được thay thế bởi quy trình thay thế về vị trí gốc, trên mã LDPC từ bộ giải ánh xạ 164, và cung cấp mã LDPC kết quả đến bộ giải đan xen xoắn cột 55.

Bộ giải đan xen xoắn cột 55 thực hiện việc giải đan xen xoắn cột tương ứng với bước đan xen xoắn cột là quy trình bố trí lại được thực hiện bởi bộ đan xen xoắn cột 24 của thiết bị truyền 11 trên mã LDPC từ bộ dồn kênh 54.

Mã LDPC thu được bởi việc giải đan xen xoắn cột được cung cấp từ bộ giải đan xen xoắn cột 55 đến bộ giải đan xen chẵn lẻ 1011.

Bộ giải đan xen chẵn lẻ 1011 thực hiện việc giải đan xen chẵn lẻ (quy trình ngược với bước đan xen chẵn lẻ) tương ứng với bước đan xen chẵn lẻ được thực hiện bởi bộ đan xen chẵn lẻ 23 của thiết bị truyền 11, nói cách khác, quy trình giải đan xen chẵn lẻ trả lại bit mã của mã LDPC trong đó chuỗi được thay đổi bởi bước đan xen chẵn lẻ về chuỗi gốc của nó, trên bit mã phụ thuộc vào quy trình giải đan xen xoắn cột bởi bộ giải đan xen xoắn cột 55.

Mã LDPC thu được bởi quy trình giải đan xen chẵn lẻ được cung cấp từ bộ giải đan xen chẵn lẻ 1011 đến bộ giải mã LDPC 166.

Do đó, trong bộ giải đan xen bit 165 trên Fig.56, mã LDPC phụ thuộc vào quy trình thay thế ngược, quy trình giải đan xen cột xoắn, và quy trình giải đan xen chẵn lẻ, nói cách khác, mã LDPC thu được bởi việc mã hóa LDPC ma trận kiểm tra chẵn lẻ H được cung cấp đến bộ giải mã LDPC 166.

Bộ giải mã LDPC 166 thực hiện việc giải mã LDPC của mã LDPC từ bộ giải đan xen bit 165 nhờ sử dụng ma trận kiểm tra chẵn lẻ H được sử dụng trong

việc mã hóa LDPC bởi bộ mã hóa LDPC 115 của thiết bị truyền 11. Nói cách khác, bộ giải mã LDPC 166 thực hiện việc giải mã LDPC của mã LDPC từ bộ giải đan xen bit 165 nhờ sử dụng ma trận kiểm tra chẵn lẻ H được sử dụng trong việc mã hóa LDPC bởi bộ mã hóa LDPC 115 của thiết bị truyền 11, hoặc nhờ sử dụng ma trận kiểm tra chẵn lẻ chuyển đổi thu được bằng cách thực hiện ít nhất phép hoán vị cột tương ứng với bước đan xen chẵn lẻ trên ma trận kiểm tra chẵn lẻ H.

Ở đây, trên Fig.56, vì mã LDPC thu được bởi việc mã hóa LDPC theo ma trận kiểm tra chẵn lẻ H được cung cấp từ bộ giải đan xen bit 165 (bộ giải đan xen chẵn lẻ 1011 ở đây) đến bộ giải mã LDPC 166, khi bộ mã hóa LDPC 115 của thiết bị truyền 11 thực hiện việc giải mã LDPC của mã LDPC nhờ sử dụng ma trận kiểm tra chẵn lẻ H được sử dụng trong việc mã hóa LDPC, bộ giải mã LDPC 166 có thể là, ví dụ, thiết bị giải mã để thực hiện việc giải mã LDPC theo hệ thống giải mã tuần tự đầy đủ để thực hiện liên tiếp việc tính toán thông điệp (thông điệp nút kiểm tra, thông điệp nút thay đổi) từng nút một hoặc thiết bị giải mã thực hiện việc giải mã LDPC theo hệ thống giải mã song song đầy đủ để thực hiện đồng thời (song song) việc tính toán thông điệp cho tất cả các nút.

Ngoài ra, khi bộ giải mã LDPC 166 thực hiện việc giải mã LDPC của mã LDPC trên ma trận kiểm tra chẵn lẻ H được sử dụng trong việc mã hóa LDPC bởi bộ mã hóa LDPC 115 của thiết bị truyền 11, nhờ sử dụng ma trận kiểm tra chẵn lẻ chuyển đổi thu được bởi thực hiện ít nhất phép hoán vị cột tương ứng với bước đan xen chẵn lẻ, bộ giải mã LDPC 166 là thiết bị giải mã của kiến trúc thực hiện đồng thời các phép tính nút kiểm tra và các phép tính nút thay đổi P (hoặc ước số P, ước số khác ngoài 1) số lần, và được cấu hình bởi thiết bị giải mã (Fig.52) bao gồm bộ bố trí lại dữ liệu thu 310 để bố trí lại bit mã của mã LDPC, bằng cách thực hiện phép hoán vị cột tương tự như phép hoán vị cột để thu ma trận kiểm tra chẵn lẻ chuyển đổi trên mã LDPC.

Ngoài ra, trên Fig.56, để thuận tiện cho việc mô tả, bộ dồn kênh 54 thực hiện quy trình thay thế ngược, bộ giải đan xen xoắn cột 55 thực hiện quy trình giải đan xen xoắn cột, và bộ giải đan xen chẵn lẻ 1011 thực hiện quy trình giải đan xen

chẵn lẻ được cấu hình lần lượt và riêng biệt, nhưng hơn hai bộ dồn kênh 54, bộ giải đan xen xoắn cột 55, và bộ giải đan xen chẵn lẻ 1011 có thể được cấu hình đơn nhất, tương tự như bộ đan xen chẵn lẻ 23, bộ đan xen xoắn cột 24, và bộ tách kênh 25 của thiết bị truyền 11.

Ngoài ra, khi bộ đan xen bit 116 (Fig.8) của thiết bị truyền 11 được cấu hình mà không bố trí bộ đan xen chẵn lẻ 23 và bộ đan xen xoắn cột 24, trên Fig.56, bộ giải đan xen bit 165 có thể được cấu hình mà không tạo ra bộ giải đan xen xoắn cột 55 và bộ giải đan xen chẵn lẻ 1011.

Ngay cả trong trường hợp này, bộ giải mã LDPC 166 có thể được cấu hình với thiết bị giải mã của hệ thống giải mã tuần tự đầy đủ để thực hiện việc giải mã LDPC nhờ sử dụng ma trận kiểm tra chẵn lẻ H, thiết bị giải mã của hệ thống giải mã song song đầy đủ để thực hiện việc giải mã LDPC bởi ma trận kiểm tra chẵn lẻ H, hoặc thiết bị giải mã (Fig.52) bao gồm bộ bố trí lại dữ liệu thu 310 thực hiện việc giải mã LDPC bởi P các phép tính nút kiểm tra và các phép tính nút thay đổi đồng thời P nhờ sử dụng ma trận kiểm tra chẵn lẻ chuyển đổi H'.

Ví dụ về cấu hình hệ thống thu.

Fig.57 là sơ đồ khối minh họa ví dụ về cấu hình thứ nhất của hệ thống thu mà thiết bị thu 12 có thể lắp đặt.

Trên Fig.57, hệ thống thu được cấu hình với bộ thu nhận 1101, bộ xử lý giải mã kênh 1102, và bộ xử lý giải mã nguồn thông tin 1103.

Bộ thu nhận 1101 thu các tín hiệu bao gồm mã LDPC thu được bởi ít nhất việc giải mã LDPC của dữ liệu mục tiêu LDPC như dữ liệu hình ảnh và dữ liệu audio của chương trình, qua ví dụ, kênh (đường truyền thông), không được thể hiện, như truyền hình số mặt đất, phát rộng kỹ thuật số vệ tinh, mạng CATV, Internet, và các mạng khác, và cung cấp các tín hiệu đến bộ xử lý giải mã kênh 1102.

Ở đây, khi tín hiệu thu được bởi bộ thu nhận 1101 được phát sóng, ví dụ, từ trạm phát sóng qua các sóng mặt đất, các sóng vệ tinh, các mạng truyền hình cáp

(CATV), và tương tự, bộ thu nhận 1101 được cấu hình với bộ thu, thiết bị mã hóa-giải mã (STB), hoặc tương tự. Ngoài ra, khi tín hiệu thu được bởi bộ thu nhận 1101 là từ một hoặc nhiều điểm đến tập hợp các điểm khác (multicast), ví dụ, từ máy chủ web, như truyền hình giao thức Internet (IPTV - Internet Protocol Television), bộ thu nhận 1101 được cấu hình với, ví dụ, giao diện mạng (IF - network interface) như thẻ giao diện mạng (NIC - Network interface card).

Bộ xử lý giải mã kênh 1102 tương ứng với thiết bị thu 12. Bộ xử lý giải mã kênh 1102 thực hiện quy trình giải mã kênh bao gồm ít nhất quy trình sửa lỗi xảy ra ở kênh, trên các tín hiệu thu được bởi bộ thu nhận 1101 qua kênh, và cung cấp tín hiệu thu được đến bộ xử lý giải mã nguồn thông tin 1103.

Nói cách khác, các tín hiệu thu được bởi bộ thu nhận 1101 qua kênh là các tín hiệu thu được bằng cách thực hiện ít nhất việc mã hóa sửa lỗi để sửa các lỗi xảy ra ở kênh, và bộ xử lý giải mã kênh 1102 thực hiện ví dụ, quy trình giải mã kênh như quy trình sửa lỗi trên các tín hiệu như vậy.

Ở đây, các ví dụ về việc giải mã sửa lỗi LDPC bao gồm việc mã hóa và việc mã hóa BCH. Ở đây, ít nhất, việc mã hóa LDPC được thực hiện như việc mã hóa sửa lỗi.

Ngoài ra, quy trình giải mã kênh bao gồm việc giải điều biến tín hiệu điều biến, và tương tự.

Bộ xử lý giải mã nguồn thông tin 1103 thực hiện quy trình giải mã nguồn thông tin bao gồm ít nhất quy trình giải nén thông tin được nén với thông tin gốc về tín hiệu phụ thuộc vào quy trình giải mã kênh.

Nói cách khác, các tín hiệu thu được bởi bộ thu nhận 1101 qua kênh có thể phụ thuộc việc mã hóa nén để nén thông tin, nhằm giảm lượng dữ liệu như hình ảnh và âm thanh như thông tin, trong trường hợp này, bộ xử lý mã hóa nguồn thông tin 1103 thực hiện quy trình giải mã nguồn thông tin như quy trình giải nén (quy trình giải nén) thông tin được nén với thông tin gốc trên tín hiệu phụ thuộc vào quy trình giải mã kênh.

Ngoài ra, khi các tín hiệu thu được bởi bộ thu nhận 1101 qua kênh không phụ thuộc việc mã hóa nén, bộ xử lý mã hóa nguồn thông tin 1103 không thực hiện quy trình giải nén thông tin được nén với thông tin gốc.

Ở đây, ví dụ về quy trình giải nén bao gồm việc giải mã MPEG. Ngoài ra, quy trình giải mã kênh có thể bao gồm việc giải xóa trộn và tương tự, ngoài quy trình giải nén.

Trong hệ thống thu được cấu hình như được nêu trên, bộ thu nhận 1101 thu, ví dụ, tín hiệu thu được bằng cách thực hiện việc nén mã hóa như việc mã hóa MPEG và việc mã hóa sửa lỗi như việc mã hóa LDPC trên dữ liệu như hình ảnh và âm thanh, qua kênh, và cung cấp nó đến bộ xử lý giải mã kênh 1102.

Trong bộ xử lý giải mã kênh 1102, ví dụ, quy trình tương tự như quy trình được thực hiện bởi thiết bị thu 12 được thực hiện như quy trình giải mã kênh trên tín hiệu từ bộ thu nhận 1101, và tín hiệu kết quả được cung cấp đến bộ xử lý mã hóa nguồn thông tin 1103.

Trong bộ xử lý mã hóa nguồn thông tin 1103, quy trình giải mã nguồn thông tin như việc giải mã MPEG được thực hiện trên tín hiệu từ bộ xử lý giải mã kênh 1102, và âm thanh hoặc hình ảnh kết quả được đưa ra.

Hệ thống thu trên Fig.57 mô tả trên đây có thể được lắp đặt, ví dụ, bộ thu truyền hình thu sóng truyền hình như phát rộng kỹ thuật số.

[0580]

Ngoài ra, bộ thu nhận 1101, bộ xử lý giải mã kênh 1102, và bộ xử lý mã hóa nguồn thông tin 1103 có thể được cấu hình lần lượt như thiết bị độc lập (phần cứng (mạch tích hợp (IC- Integrated Circuit), hoặc tương tự), hoặc môđun phần mềm) .

Ngoài ra, đối với bộ thu nhận 1101, bộ xử lý giải mã kênh 1102, và bộ xử lý mã hóa nguồn thông tin 1103, tập hợp của bộ thu nhận 1101 và bộ xử lý giải mã kênh 1102, tập hợp của bộ xử lý giải mã kênh 1102 và bộ xử lý mã hóa nguồn thông tin 1103, và tập hợp của bộ thu nhận 1101, bộ xử lý giải mã kênh 1102, và

bộ xử lý mã hóa nguồn thông tin 1103 được cấu hình tương ứng như một thiết bị độc lập.

Fig.58 là sơ đồ khối minh họa ví dụ về cấu hình thứ hai của hệ thống thu mà thiết bị thu 12 có thể được ứng dụng.

Ngoài ra, các phần trên hình vẽ tương ứng các phần trên Fig.57 được thể hiện bằng các số chỉ dẫn giống nhau, và do đó, phần mô tả của nó sẽ được bỏ qua dưới đây khi thích hợp.

Hệ thống thu trên Fig.58 giống với trường hợp trên Fig.57 trong việc có bộ thu nhận 1101, bộ xử lý giải mã kênh 1102, và bộ xử lý mã hóa nguồn thông tin 1103, và khác trường hợp trên Fig.57 trong đó bộ đầu ra 1111 mới được bố trí.

Ví dụ, bộ đầu ra 1111 là thiết bị hiển thị để hiển thị hình ảnh hoặc loa đưa ra âm thanh, và đưa ra hình ảnh và âm thanh hoặc loại tương tự như tín hiệu được đưa ra từ bộ xử lý mã hóa nguồn thông tin 1103. Nói cách khác, bộ đầu ra 1111 hiển thị hình ảnh hoặc đưa ra âm thanh.

Hệ thống thu trên Fig.58 được nêu trên có thể được lắp đặt cho ví dụ, máy thu hình (TV - television receiver) thu sóng truyền hình dưới dạng phát rộng kỹ thuật số, máy thu thanh thu phát rộng radio, hoặc tương tự.

Ngoài ra, khi việc mã hóa nén không được lắp đặt cho tín hiệu thu được từ bộ thu nhận 1101, tín hiệu được đưa ra bởi bộ xử lý giải mã kênh 1102 được cung cấp đến bộ đầu ra 1111.

Fig.59 là sơ đồ khối minh họa ví dụ về cấu hình thứ ba của hệ thống thu mà máy thu 12 có thể được ứng dụng.

Ngoài ra, các phần trên hình vẽ tương ứng các phần trên Fig.57 được thể hiện bằng các số chỉ dẫn giống nhau, và do đó, phần mô tả của nó sẽ được bỏ qua dưới đây khi thích hợp.

Hệ thống thu trên Fig.59 giống với trường hợp trên Fig.58 trong việc có bộ thu nhận 1101, bộ xử lý giải mã kênh 1102.

Tuy nhiên, hệ thống thu trên Fig.59 khác với trường hợp trên Fig.57 trong đó bộ xử lý mã hóa nguồn thông tin 1103 không được bố trí và bộ ghi 1121 mới được bố trí.

Bộ thu 1121 ghi (lưu trữ) các tín hiệu (ví dụ, các bó TS của TS của MPEG) được đưa ra bởi bộ xử lý giải mã kênh 1102 trên thiết bị ghi (lưu trữ) như đĩa quang, đĩa cứng (đĩa từ), và bộ nhớ nhanh.

Hệ thống thu trên Fig.59 như được nêu trên có thể được áp dụng vào bộ ghi ghi phát rộng truyền hình.

Ngoài ra, trên Fig.59, hệ thống thu được cấu hình bằng cách bố trí bộ xử lý mã hóa nguồn thông tin 1103, và có thể ghi tín hiệu trải qua quy trình giải mã nguồn thông tin bởi bộ xử lý mã hóa nguồn thông tin 1103, nói cách khác, hình ảnh và âm thanh từ việc giải mã trong bộ thu 1121.

Phương án về máy tính.

Tiếp theo, một loạt các quy trình xử lý được nêu trên có thể được thực hiện bởi phần cứng hoặc phần mềm. Khi một loạt các quy trình xử lý được thực hiện bởi phần mềm, chương trình cấu thành phần mềm được lắp đặt trong máy tính có mục đích chung hoặc tương tự.

Do đó, Fig.60 minh họa ví dụ về cấu hình của một phương án của máy tính trong đó chương trình thực hiện một loạt các quy trình xử lý được nêu trên được lắp đặt.

Chương trình này có thể được ghi trước trên đĩa cứng 705 hoặc ROM 703 như thiết bị ghi được thiết lập trong máy tính.

Ngoài ra, có thể lưu trữ tạm thời hoặc vĩnh viễn (ghi) chương trình trong vật ghi di động 711 như đĩa mềm, bộ nhớ chỉ đọc đĩa compact (CD-ROM - Compact Disc Read Only Memory), đĩa từ quang (MO - Magneto optical), đĩa đa năng kỹ thuật số (DVD- Digital Versatile Disc), đĩa từ, và bộ nhớ bán dẫn. Vật ghi di động 711 như vậy có thể được bố trí như được gọi là phần mềm bó.

Ngoài ra, ngoài việc được cài đặt vào máy tính từ vật ghi di động 711 được nêu trên, chương trình có thể được truyền không dây đến máy tính từ trang web tải về qua vệ tinh nhân tạo để phát sóng vệ tinh kỹ thuật số hoặc truyền đến máy tính dưới dạng có dây qua mạng như mạng vùng cục bộ (LAN - Local Area Network) hoặc mạng Internet, và máy tính có thể thu được chương trình được truyền như được nêu trên bởi bộ truyền thông 708, và lắp đặt chương trình trên đĩa cứng cài sẵn 705.

Máy tính có bộ xử lý trung tâm lắp sẵn (CPU - Central Processing Unit) 702. giao diện vào và ra 710 được kết nối với CPU 702 qua bus 701, và khi lệnh được đưa vào bởi bộ đầu vào 707 như bàn phím, chuột, micrô hoặc tương tự đang được thao tác bởi người sử dụng, qua giao diện vào và ra 710, CPU 702 thực hiện chương trình được lưu trữ trong bộ nhớ chỉ đọc (ROM- Read only memory) 703 tương ứng với lệnh. Ngoài ra, CPU 702 tải chương trình được lưu trữ trong ổ cứng 705, chương trình được truyền từ vệ tinh hoặc mạng, bộ truyền thông 708, và được lắp đặt trong đĩa cứng 705, hay chương trình được đọc từ thiết bị ghi âm di động 711 được lắp trên ổ đĩa 709 và được lắp đặt trên đĩa cứng 705, trong bộ nhớ truy cập ngẫu nhiên (RAM - Random access memory) 704, và thực hiện chương trình. Như vậy, CPU 702 thực hiện quy trình xử lý theo lưu đồ được nêu trên hoặc quy trình xử lý được thực hiện bởi cấu hình của sơ đồ khối được nêu trên. Tiếp theo, CPU 702 làm cho kết quả xử lý, theo yêu cầu, ví dụ, qua giao diện vào và ra 710, được đưa ra từ bộ đầu ra 706 được cấu hình với màn hình hiển thị tinh thể lỏng (LCD - Liquid crystal display), loa và tương tự, hoặc được truyền từ bộ truyền thông 708, hoặc được ghi vào đĩa cứng 705.

Ở đây, theo đặc điểm kỹ thuật này, các bước xử lý mô tả chương trình làm cho máy tính thực hiện các quy trình xử lý khác nhau không cần phải được xử lý theo chuỗi thời gian theo thứ tự được mô tả trên lưu đồ, và các bước của quy trình xử lý bao gồm các quy trình xử lý được xử lý song song hoặc riêng biệt (ví dụ, quy trình xử lý song song hoặc quy trình xử lý sử dụng các đối tượng).

Ngoài ra, chương trình có thể được xử lý bởi máy tính đơn, hoặc có thể được phân bố và được xử lý bởi các máy tính. Ngoài ra, chương trình có thể được truyền đến máy tính từ xa và được thực hiện.

Ngoài ra, theo đặc điểm kỹ thuật, hệ thống nghĩa là tập hợp các thành phần (các thiết bị, các môđun (các sản phẩm), và tương tự), và không quan trọng xem tất cả các thành phần ở cùng vị trí hay không. Do đó, cả hai thiết bị được đặt trong thiết bị riêng biệt và được kết nối qua mạng, và thiết bị đơn, trong đó các môđun được đặt trong hộp chứa đơn là các hệ thống.

Ngoài ra, các phương án theo công nghệ hiện nay không chỉ giới hạn ở những phương án được mô tả ở trên, và sửa đổi khác nhau có thể được thực hiện mà không trệch khỏi phạm vi của công nghệ hiện nay.

Ví dụ, công nghệ hiện nay có thể sử dụng cấu hình điện toán đám mây trong đó một chức năng được chia sẻ và được xử lý chung bởi các thiết bị thông qua mạng.

Ngoài ra, mỗi bước được mô tả trên lưu đồ được nêu trên được thực hiện bởi thiết bị đơn, và có thể được thực hiện bằng cách được chia sẻ bởi các thiết bị.

Ngoài ra, nếu các quy trình xử lý được bao gồm trong bước duy nhất, các quy trình xử lý được bao gồm trong một bước được thực hiện bởi thiết bị đơn, và có thể được thực hiện bằng cách được chia sẻ bởi các thiết bị.

Ngoài ra, ví dụ, đối với mã LDPC mới được nêu trên (bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ của nó), có thể sử dụng các đường vệ tinh, các sóng mặt đất, các cáp (các đường dây), và các thiết bị khác như đường truyền thông 13 (Fig.7). Ngoài ra, có thể sử dụng mã LDPC mới dùng cho việc truyền dữ liệu khác ngoài phát rộng kỹ thuật số.

Danh mục các số chỉ dẫn

11 thiết bị truyền

12 thiết bị thu

- 23 bộ đan xen chẵn lẻ
- 24 bộ đan xen xoắn cột
- 25 bộ tách kênh
- 31 bộ nhớ
- 32 bộ thay thế
- 54 bộ dồn kênh
- 55 bộ đan xen xoắn cột
- 111 bộ dồn kênh/thích ứng chế độ
- 112 bộ đệm
- 113 bộ xáo trộn BB
- 114 bộ mã hóa BCH
- 115 bộ mã hóa LDPC
- 116 bộ đan xen bit
- 117 bộ ánh xạ
- 118 bộ đan xen thời gian
- 119 bộ mã hóa SISO/MISO
- 120 bộ đan xen tần số
- 121 bộ mã hóa BCH
- 122 bộ mã hóa LDPC
- 123 bộ ánh xạ
- 124 bộ đan xen tần số
- 131 bộ phân bố nguồn/trình tạo khung
- 132 bộ tạo OFDM
- 151 bộ xử lý OFDM

- 152 bộ quản lý khung
- 153 bộ giải đan xen tần số
- 154 bộ giải ánh xạ
- 155 bộ giải mã LDPC
- 156 bộ giải mã BCH
- 161 bộ giải đan xen tần số
- 162 bộ giải mã SISO/MISO
- 163 bộ giải đan xen thời gian
- 164 bộ giải ánh xạ
- 165 bộ giải đan xen bit
- 166 bộ giải mã LDPC
- 167 bộ giải mã BCH
- 168 bộ hủy xáo trộn BB
- 169 bộ xóa số không
- 170 bộ tách kênh
- 210 bộ Tx
- 211 bộ FEC
- 212 bộ ánh xạ
- 213 bộ lấy mẫu lên
- 214 bộ lọc Nyquist
- 220 bộ Rx
- 221 bộ AGC
- 222 bộ nhân
- 223 bộ lọc cuộn cắt

224 bộ lấy mẫu xuống

225 bộ CSI

226 bộ giải ánh xạ

227 bộ FEC

230 bộ kênh

231 bộ IBO

232 bộ dồn kênh

233 bộ TWT

234 bộ AWGN

235 bộ cộng

300 bộ nhớ lưu trữ dữ liệu cạnh

301 bộ chọn

302 bộ tính nút kiểm tra

303 mạch dịch chuyển tuần hoàn

304 bộ nhớ lưu trữ dữ liệu cạnh

305 bộ chọn

306 bộ nhớ dữ liệu thu

307 bộ tính nút thay đổi

308 mạch dịch chuyển tuần hoàn

309 bộ tính từ giải mã

310 bộ bố trí lại dữ liệu thu

311 bộ bố trí lại dữ liệu giải mã

601 bộ xử lý mã hóa

602 bộ lưu trữ

- 611 bộ thiết lập tỷ lệ mã
- 612 bộ đọc bảng giá trị ban đầu
- 613 bộ tạo ma trận kiểm tra chẵn lẻ
- 614 bộ đọc bit thông tin
- 615 bộ tính chẵn lẻ mã hóa
- 616 bộ điều khiển
- 701 bus
- 702 CPU
- 703 ROM
- 704 RAM
- 705 đĩa cứng
- 706 bộ đầu ra
- 707 bộ đầu vào
- 708 bộ truyền thông
- 709 ổ đĩa
- 710 giao diện vào và ra
- 711 vật ghi di động
- 1001 bộ thay thế ngược
- 1002 bộ nhớ
- 1011 bộ giải đan xen chẵn lẻ
- 1101 bộ thu nhận
- 1101 bộ xử lý giải mã kênh
- 1103 bộ xử lý giải mã nguồn thông tin
- 1111 bộ đầu ra
- 1121 bộ ghi

YÊU CẦU BẢO HỘ

1. Thiết bị truyền để tạo ra tín hiệu phát rộng truyền hình số và để làm giảm tỷ số công suất tín hiệu trên nhiễu của tín hiệu phát rộng truyền hình số được tạo ra, thiết bị truyền bao gồm:

hệ mạch được tạo cấu hình để:

thu dữ liệu được truyền trong tín hiệu phát rộng truyền hình số;

thực hiện việc mã hóa kiểm tra chẵn lẻ mật độ thấp (low density parity check - LDPC) trên các bit đầu vào của dữ liệu thu được theo ma trận kiểm tra chẵn lẻ của mã LDPC có độ dài mã là 16200 bit và tỷ lệ mã là 12/15 để tạo ra từ mã LDPC, mã LDPC cho phép quy trình xử lý hiệu chỉnh lỗi để hiệu chỉnh các lỗi được tạo ra trong đường dẫn truyền của tín hiệu phát rộng truyền hình số,

trong đó mã LDPC bao gồm các bit thông tin và các bit chẵn lẻ, các bit chẵn lẻ được xử lý bởi thiết bị thu để khôi phục các bit thông tin bị hư hỏng bởi các lỗi đường dẫn truyền,

trong đó ma trận kiểm tra chẵn lẻ bao gồm phần ma trận thông tin tương ứng với các bit thông tin và phần ma trận chẵn lẻ tương ứng với các bit chẵn lẻ,

trong đó phần ma trận thông tin được biểu diễn bởi bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ, và

trong đó bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ, có mỗi hàng chỉ báo các vị trí của các phần tử '1' trong 360 cột tương ứng của phần ma trận thông tin tương ứng với tập con của các bit thông tin được sử dụng trong việc tính toán các bit chẵn lẻ trong quá trình mã hóa LDPC, là như sau:

3 394 1014 1214 1361 1477 1534 1660 1856 2745 2987 2991 3124 3155

59 136 528 781 803 928 1293 1489 1944 2041 2200 2613 2690 2847

155 245 311 621 1114 1269 1281 1783 1995 2047 2672 2803 2885 3014

79 870 974 1326 1449 1531 2077 2317 2467 2627 2811 3083 3101 3132

4 582 660 902 1048 1482 1697 1744 1928 2628 2699 2728 3045 3104

175 395 429 1027 1061 1068 1154 1168 1175 2147 2359 2376 2613 2682

1388 2241 3118 3148

143 506 2067 3148

1594 2217 2705

398 988 2551

1149 2588 2654

678 2844 3115

1508 1547 1954

1199 1267 1710

2589 3163 3207

1 2583 2974

2766 2897 3166

929 1823 2742

1113 3007 3239

1753 2478 3127

0 509 1811

1672 2646 2984

965 1462 3230

3 1077 2917

1183 1316 1662

968 1593 3239

64 1996 2226

1442 2058 3181

513 973 1058

1263 3185 3229

681 1394 3017

419 2853 3217

3 2404 3175

2417 2792 2854

1879 2940 3235

647 1704 3060, và

truyền tín hiệu phát rộng truyền hình số bao gồm từ mã LDPC.

2. Thiết bị truyền theo điểm 1, trong đó:

hàng của bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ được biểu thị bởi i và độ dài của các bit chẵn lẻ của từ mã LDPC được biểu thị bởi M , cột thứ $2+360 \times (i-1)$ của ma trận kiểm tra chẵn lẻ thu được bởi sự dịch chuyển tuần hoàn của cột thứ $1+360 \times (i-1)$ của ma trận kiểm tra chẵn lẻ chỉ báo vị trí của phần tử 1 trong bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ xuống phía dưới bởi $q=M/360$.

3. Thiết bị truyền theo điểm 2, trong đó:

đối với cột thứ $1+360 \times (i-1)$ của ma trận kiểm tra chẵn lẻ, hàng thứ i của bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ biểu thị số hàng của phần tử 1 của cột thứ $1+360 \times (i-1)$ của ma trận kiểm tra chẵn lẻ, và

đối với mỗi cột từ cột thứ $2+360 \times (i-1)$ đến cột thứ $360 \times i$ là cột khác với cột thứ $1+360 \times (i-1)$ của ma trận kiểm tra chẵn lẻ,

giá trị hàng thứ i và cột thứ j của bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ được biểu thị là $h_{i,j}$ và số hàng của phần tử thứ j 1 của cột thứ w của ma trận kiểm tra chẵn lẻ H được biểu thị là H_{w-j} ,

số hàng H_{w-j} của phần tử 1 của cột thứ w là cột khác với cột thứ $1+360 \times (i-1)$ của ma trận kiểm tra chẵn lẻ được biểu thị bởi phương trình

$$H_{w-j} = \text{mod}(h_{i,j} + \text{mod}((w-1), 360 \times M/360, M).$$

4. Thiết bị truyền theo điểm 1, trong đó ma trận kiểm tra chẵn lẻ không có chu kỳ 4.

5. Thiết bị truyền theo điểm 1, trong đó:

ma trận kiểm tra chẵn lẻ của mã LDPC thuộc về tập hợp trong đó ngưỡng hiệu suất là tỷ số của công suất tín hiệu trên công suất nhiễu mà ở đó tỷ lệ lỗi bit bắt đầu giảm xuống là trị số được định trước hoặc nhỏ hơn được nhận ra bởi sự phát triển mật độ loại đa mép.

6. Phương pháp để tạo ra tín hiệu phát rộng truyền hình số và để làm giảm tỷ số công suất tín hiệu trên nhiễu của tín hiệu phát rộng truyền hình số được tạo ra, phương pháp này bao gồm các bước:

thu dữ liệu được truyền trong tín hiệu phát rộng truyền hình số;

thực hiện việc mã hóa kiểm tra chẵn lẻ mật độ thấp (LDPC), trong hệ mạch mã hóa LDPC, trên các bit đầu vào của dữ liệu thu được theo ma trận kiểm tra chẵn lẻ của mã LDPC có độ dài mã là 16200 bit và tỷ lệ mã là 12/15 để tạo ra từ mã LDPC, mã LDPC cho phép quy trình xử lý hiệu chỉnh lỗi để hiệu chỉnh các lỗi được tạo ra trong đường dẫn truyền của tín hiệu phát rộng truyền hình số;

trong đó từ mã LDPC bao gồm các bit thông tin và các bit chẵn lẻ, các bit chẵn lẻ được xử lý bởi thiết bị thu để khôi phục các bit thông tin bị hỏng bởi các lỗi đường dẫn truyền,

ma trận kiểm tra chẵn lẻ bao gồm phần ma trận thông tin tương ứng với các bit thông tin và phần ma trận chẵn lẻ tương ứng với các bit chẵn lẻ,

phần ma trận thông tin được biểu thị bởi bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ, và

bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ, có mỗi hàng chỉ báo các vị trí của các phần tử '1' trong 360 cột tương ứng của phần ma trận thông tin tương ứng

với tập con của các bit thông tin được sử dụng trong việc tính toán các bit chẵn lẻ trong việc mã hóa LDPC, là như sau:

3 394 1014 1214 1361 1477 1534 1660 1856 2745 2987 2991 3124 3155
 59 136 528 781 803 928 1293 1489 1944 2041 2200 2613 2690 2847
 155 245 311 621 1114 1269 1281 1783 1995 2047 2672 2803 2885 3014
 79 870 974 1326 1449 1531 2077 2317 2467 2627 2811 3083 3101 3132
 4 582 660 902 1048 1482 1697 1744 1928 2628 2699 2728 3045 3104
 175 395 429 1027 1061 1068 1154 1168 1175 2147 2359 2376 2613 2682
 1388 2241 3118 3148
 143 506 2067 3148
 1594 2217 2705
 398 988 2551
 1149 2588 2654
 678 2844 3115
 1508 1547 1954
 1199 1267 1710
 2589 3163 3207
 1 2583 2974
 2766 2897 3166
 929 1823 2742
 1113 3007 3239
 1753 2478 3127
 0 509 1811
 1672 2646 2984

965 1462 3230

3 1077 2917

1183 1316 1662

968 1593 3239

64 1996 2226

1442 2058 3181

513 973 1058

1263 3185 3229

681 1394 3017

419 2853 3217

3 2404 3175

2417 2792 2854

1879 2940 3235

647 1704 3060; và

truyền, bởi bộ truyền phát rộng, tín hiệu phát rộng truyền hình số bao gồm từ mã LDPC.

7. Thiết bị thu để sử dụng trong môi trường trong đó tỷ số công suất tín hiệu trên nhiễu của tín hiệu phát rộng truyền hình số đã được thu có thể được giảm, thiết bị thu bao gồm:

bộ thu được tạo cấu hình để thu tín hiệu phát rộng truyền hình số bao gồm từ mã kiểm tra chẵn lẻ mật độ thấp (LDPC); và

hệ mạch được tạo cấu hình để:

giải mã từ mã LDPC; và

xử lý từ mã LDPC được giải mã đối với việc trình diễn tín hiệu phát rộng truyền hình số, trong đó:

các bit đầu vào của dữ liệu được truyền trong tín hiệu phát rộng truyền hình số là LDPC được mã hóa theo bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ của mã LDPC có độ dài mã của 16200 bit và tỷ lệ mã của 12/15 để tạo ra từ mã LDPC, mã LDPC cho phép quy trình xử lý hiệu chỉnh lỗi để hiệu chỉnh các lỗi được tạo ra trong đường dẫn truyền của tín hiệu phát rộng truyền hình số,

từ mã LDPC bao gồm các bit thông tin và các bit chẵn lẻ, các bit chẵn lẻ được xử lý bởi thiết bị thu để phục hồi các bit thông tin bị hỏng bởi các lỗi đường dẫn truyền,

trong đó bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ của mã LDPC theo đó các bit đầu vào được mã hóa LDPC là như sau,

3 394 1014 1214 1361 1477 1534 1660 1856 2745 2987 2991 3124 3155
 59 136 528 781 803 928 1293 1489 1944 2041 2200 2613 2690 2847
 155 245 311 621 1114 1269 1281 1783 1995 2047 2672 2803 2885 3014
 79 870 974 1326 1449 1531 2077 2317 2467 2627 2811 3083 3101 3132
 4 582 660 902 1048 1482 1697 1744 1928 2628 2699 2728 3045 3104
 175 395 429 1027 1061 1068 1154 1168 1175 2147 2359 2376 2613 2682
 1388 2241 3118 3148
 143 506 2067 3148
 1594 2217 2705
 398 988 2551
 1149 2588 2654
 678 2844 3115
 1508 1547 1954
 1199 1267 1710
 2589 3163 3207

1 2583 2974

2766 2897 3166

929 1823 2742

1113 3007 3239

1753 2478 3127

0 509 1811

1672 2646 2984

965 1462 3230

3 1077 2917

1183 1316 1662

968 1593 3239

64 1996 2226

1442 2058 3181

513 973 1058

1263 3185 3229

681 1394 3017

419 2853 3217

3 2404 3175

2417 2792 2854 1879 2940 3235 647 1704 3060.

8. Thiết bị thu theo điểm 7, trong đó:

từ mã LDPC được mã hóa dựa trên ma trận kiểm tra chẵn lẻ của mã LDPC,

ma trận kiểm tra chẵn lẻ bao gồm phần ma trận thông tin tương ứng với các bit thông tin và phần ma trận chẵn lẻ tương ứng với các bit chẵn lẻ,

phần ma trận thông tin được biểu thị bởi bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ, và

mỗi hàng của bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ chỉ báo các vị trí của các phần tử "1" trong 360 cột tương ứng của phần ma trận thông tin tương ứng với tập con của các bit thông tin được sử dụng trong việc tính toán các bit chẵn lẻ trong việc mã hóa LDPC.

9. Thiết bị thu theo điểm 8, trong đó:

hàng của bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ được biểu thị bởi i và độ dài của các bit chẵn lẻ của từ mã LDPC được biểu thị bởi M , cột thứ $2+360 \times (i-1)$ của ma trận kiểm tra chẵn lẻ thu được bởi sự dịch chuyển tuần hoàn của cột thứ $1+360 \times (i-1)$ của ma trận kiểm tra chẵn lẻ chỉ báo vị trí của phần tử 1 trong bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ xuống phía dưới bởi $q=M/360$.

10. Thiết bị thu theo điểm 9, trong đó:

đối với cột thứ $1+360 \times (i-1)$ của ma trận kiểm tra chẵn lẻ, hàng thứ i của bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ biểu thị số hàng của phần tử 1 của cột thứ $1+360 \times (i-1)$ của ma trận kiểm tra chẵn lẻ, và

đối với mỗi cột từ cột thứ $2+360 \times (i-1)$ đến cột thứ $360 \times i$ là cột khác với cột thứ $1+360 \times (i-1)$ của ma trận kiểm tra chẵn lẻ,

giá trị hàng thứ i và cột thứ j của bảng giá trị ma trận kiểm tra chẵn lẻ được biểu thị là $h_{i,j}$ và số hàng của phần tử thứ j 1 của cột thứ w của ma trận kiểm tra chẵn lẻ H được biểu thị là $H_{w,j}$,

số hàng $H_{w,j}$ của phần tử 1 của cột thứ w là cột khác với cột thứ $1+360 \times (i-1)$ của ma trận kiểm tra chẵn lẻ được biểu thị bởi phương trình

$$H_{w,j} = \text{mod}(h_{i,j} + \text{mod}((w-1), 360) \times M/360, M).$$

11. Thiết bị thu theo điểm 7, trong đó hệ mạch còn được tạo cấu hình để:

đan xen chỉ các bit chẵn lẻ của từ mã LDPC.

12. Thiết bị thu theo điểm 7, trong đó ma trận kiểm tra chẵn lẻ không có chu kỳ 4.

13. Thiết bị thu theo điểm 7, trong đó:

ma trận kiểm tra chẵn lẻ của mã LDPC thuộc về tập hợp trong đó ngưỡng hiệu suất là tỷ số của công suất tín hiệu trên công suất nhiễu mà ở đó tỷ lệ lỗi bit bắt đầu giảm xuống là giá trị được định trước hoặc nhỏ hơn được nhận ra bởi sự phát triển mật độ loại đa mép.

14. Phương pháp để sử dụng bởi thiết bị thu trong môi trường mà tỷ số công suất tín hiệu trên nhiễu của tín hiệu phát rộng truyền hình số có thể được giảm xuống, phương pháp bao gồm các bước:

thu tín hiệu phát rộng truyền hình số bao gồm từ mã LDPC (kiểm tra chẵn lẻ mật độ thấp);

giải mã, bởi hệ mạch giải mã, từ mã LDPC; và

xử lý từ mã LDPC được giải mã đối với sự trình diễn của tín hiệu phát rộng truyền hình số, trong đó:

các bit đầu vào của dữ liệu được truyền trong tín hiệu phát rộng truyền hình số được mã hóa LDPC theo bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ của mã LDPC có độ dài mã N của 16200 bit và tỷ lệ mã r là 12/15 để tạo ra từ mã LDPC, mã LDPC cho phép quy trình xử lý hiệu chỉnh lỗi để hiệu chỉnh các lỗi được tạo ra trong đường dẫn truyền của tín hiệu phát rộng truyền hình số,

từ mã LDPC bao gồm các bit thông tin và các bit chẵn lẻ, các bit chẵn lẻ được xử lý bởi thiết bị thu để phục hồi các bit thông tin bị hỏng bởi các lỗi đường dẫn truyền,

bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ của mã LDPC theo đó các bit đầu vào được mã hóa LDPC là như sau,

3 394 1014 1214 1361 1477 1534 1660 1856 2745 2987 2991 3124 3155

59 136 528 781 803 928 1293 1489 1944 2041 2200 2613 2690 2847

155 245 311 621 1114 1269 1281 1783 1995 2047 2672 2803 2885 3014
 79 870 974 1326 1449 1531 2077 2317 2467 2627 2811 3083 3101 3132
 4 582 660 902 1048 1482 1697 1744 1928 2628 2699 2728 3045 3104
 175 395 429 1027 1061 1068 1154 1168 1175 2147 2359 2376 2613 2682
 1388 2241 3118 3148
 143 506 2067 3148
 1594 2217 2705
 398 988 2551
 1149 2588 2654
 678 2844 3115
 1508 1547 1954
 1199 1267 1710
 2589 3163 3207
 1 2583 2974
 2766 2897 3166
 929 1823 2742
 1113 3007 3239
 1753 2478 3127
 0 509 1811
 1672 2646 2984
 965 1462 3230
 3 1077 2917
 1183 1316 1662
 968 1593 3239

64 1996 2226

1442 2058 3181

513 973 1058

1263 3185 3229

681 1394 3017

419 2853 3217

3 2404 3175

2417 2792 2854

1879 2940 3235

647 1704 3060.

15. Phương pháp theo điểm 14, trong đó:

từ mã LDPC được mã hóa dựa trên ma trận kiểm tra chẵn lẻ của mã LDPC,

ma trận kiểm tra chẵn lẻ bao gồm phần ma trận thông tin tương ứng với các bit thông tin và phần ma trận chẵn lẻ tương ứng với các bit chẵn lẻ,

phần ma trận thông tin được biểu thị bởi bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ, và

mỗi hàng của bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ chỉ báo các vị trí của các phần tử "1" trong 360 cột tương ứng của phần ma trận thông tin tương ứng với tập con của các bit thông tin được sử dụng trong việc tính toán các bit chẵn lẻ trong quá trình mã hóa LDPC.

16. Phương pháp theo điểm 15, trong đó:

hàng của bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ được biểu thị bởi i và độ dài của các bit chẵn lẻ của từ mã LDPC được biểu thị bởi M , cột thứ $2+360 \times (i-1)$ của ma trận kiểm tra chẵn lẻ thu được bởi sự dịch chuyển tuần hoàn của cột thứ

$1+360 \times (i-1)$ của ma trận kiểm tra chẵn lẻ chỉ báo vị trí của phần tử 1 trong bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ xuống phía dưới bởi $q=M/360$.

17. Phương pháp theo điểm 16, trong đó:

đối với cột thứ $1+360 \times (i-1)$ của ma trận kiểm tra chẵn lẻ, hàng thứ i của bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ biểu thị số hàng của phần tử 1 của cột thứ $1+360 \times (i-1)$ của ma trận kiểm tra chẵn lẻ, và

đối với mỗi cột từ cột thứ $2+360 \times (i-1)$ đến cột thứ $360 \times i$ là cột khác với cột thứ $1+360 \times (i-1)$ của ma trận kiểm tra chẵn lẻ,

giá trị hàng thứ i và cột thứ j của bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ được biểu thị là $h_{i,j}$ và số hàng của phần tử thứ j 1 của cột thứ w của ma trận kiểm tra chẵn lẻ H được biểu thị là H_{w-j} ,

số hàng H_{w-j} của phần tử 1 của cột thứ w là cột khác với cột thứ $1+360 \times (i-1)$ của ma trận kiểm tra chẵn lẻ được biểu thị bởi phương trình

$$H_{w-j} = \text{mod}(h_{i,j} + \text{mod}((w-1), 360) \times M/360, M).$$

18. Phương pháp theo điểm 14, trong đó ma trận kiểm tra chẵn lẻ không có chu kỳ 4.

19. Phương pháp theo điểm 14, trong đó:

ma trận kiểm tra chẵn lẻ của mã LDPC thuộc về tập hợp trong đó ngưỡng hiệu suất là công suất tín hiệu/công suất nhiễu mà ở đó tỷ lệ lỗi bit bắt đầu giảm xuống là giá trị được định trước hoặc nhỏ hơn được nhận ra bởi sự phát triển mật độ loại đa mép.

FIG. 1

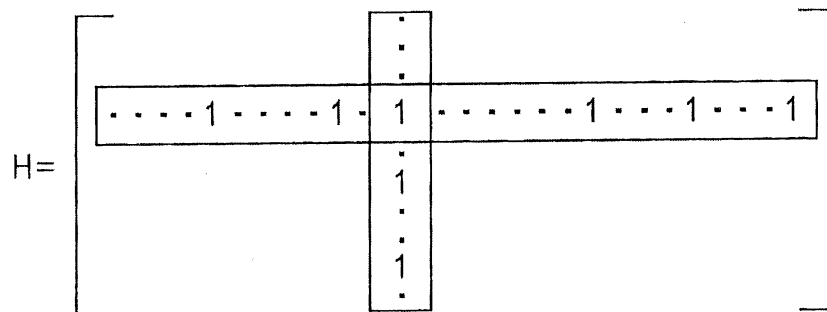


FIG. 2

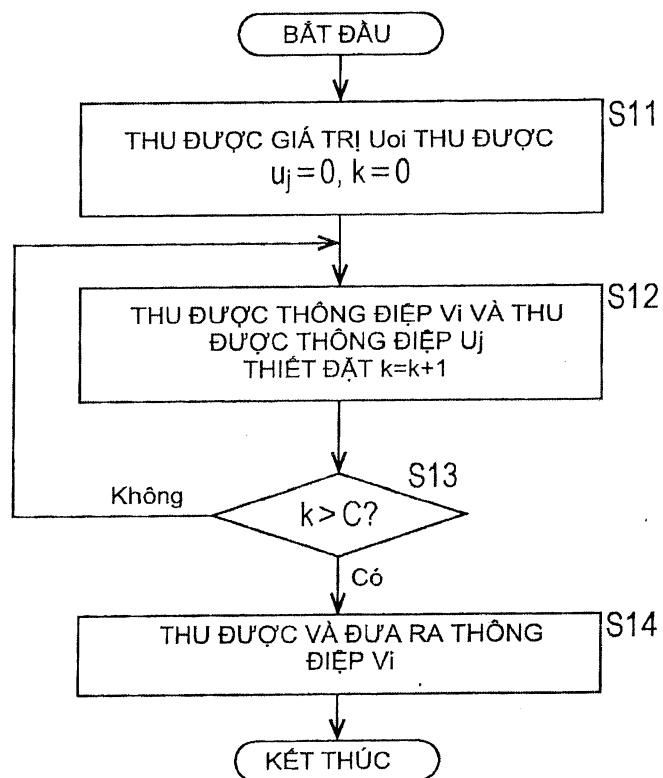


FIG. 3

$$H = \begin{bmatrix} 1 & 1 & 1 & 0 & 0 & 0 & 1 & 0 & 1 & 1 & 0 & 0 \\ 1 & 1 & 0 & 1 & 1 & 0 & 0 & 0 & 0 & 0 & 1 & 1 \\ 0 & 0 & 1 & 1 & 1 & 1 & 1 & 0 & 0 & 1 & 0 & 0 \\ 0 & 0 & 0 & 1 & 1 & 1 & 0 & 1 & 1 & 0 & 0 & 1 \\ 1 & 1 & 0 & 0 & 0 & 1 & 0 & 1 & 0 & 1 & 1 & 0 \\ 0 & 0 & 1 & 0 & 0 & 0 & 1 & 1 & 1 & 0 & 1 & 1 \end{bmatrix}$$

FIG. 4

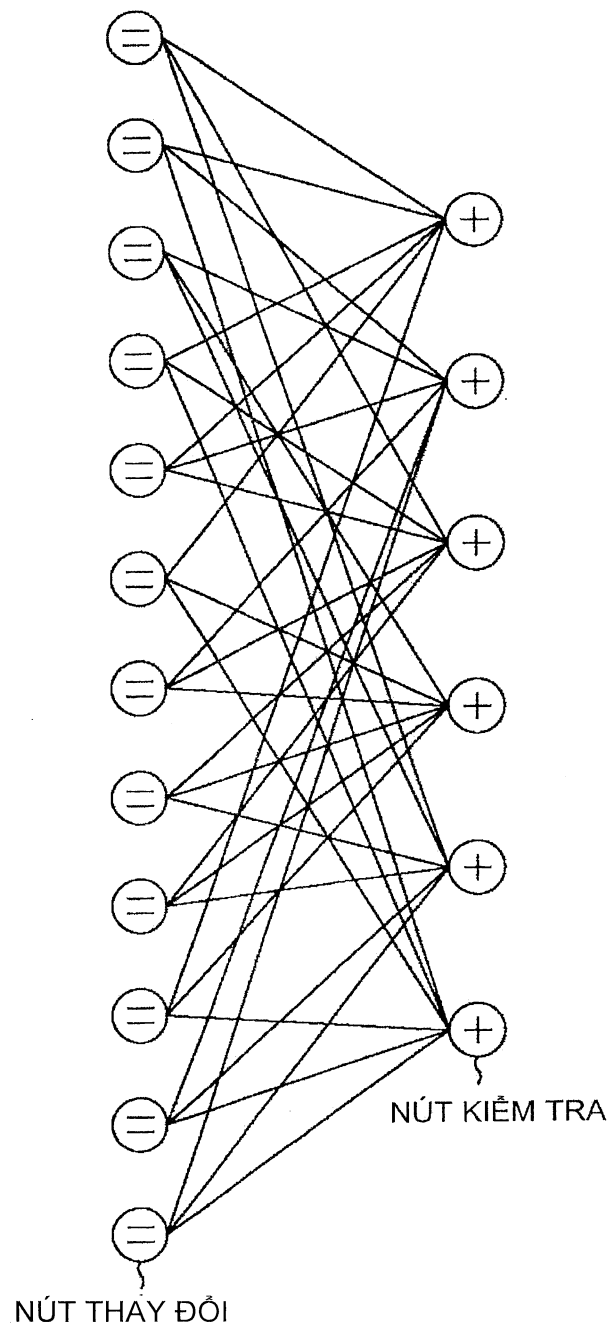


FIG. 5

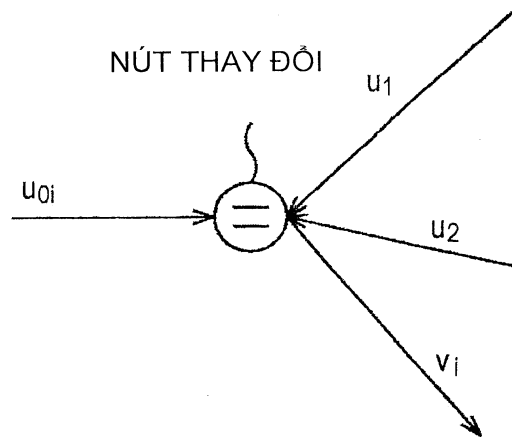


FIG. 6

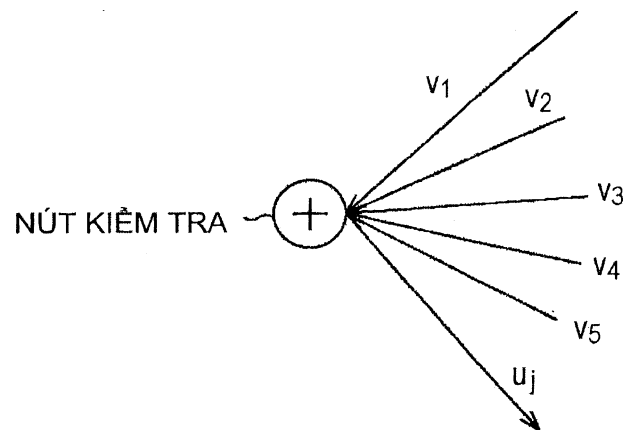


FIG. 7

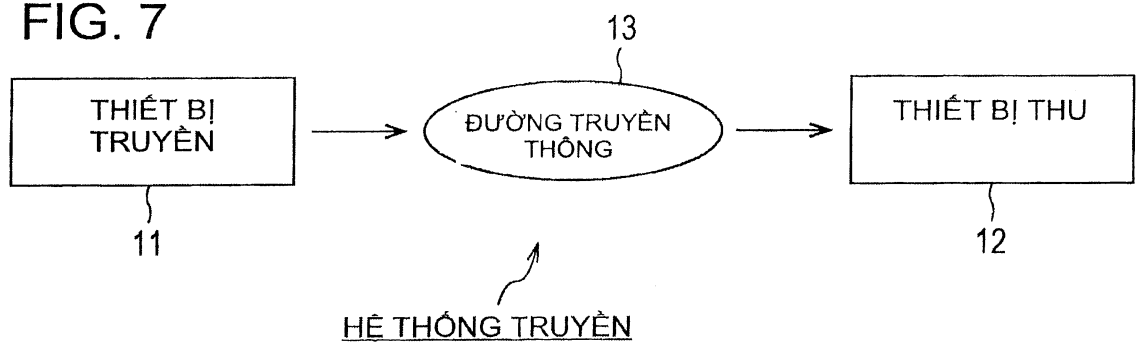


FIG. 8

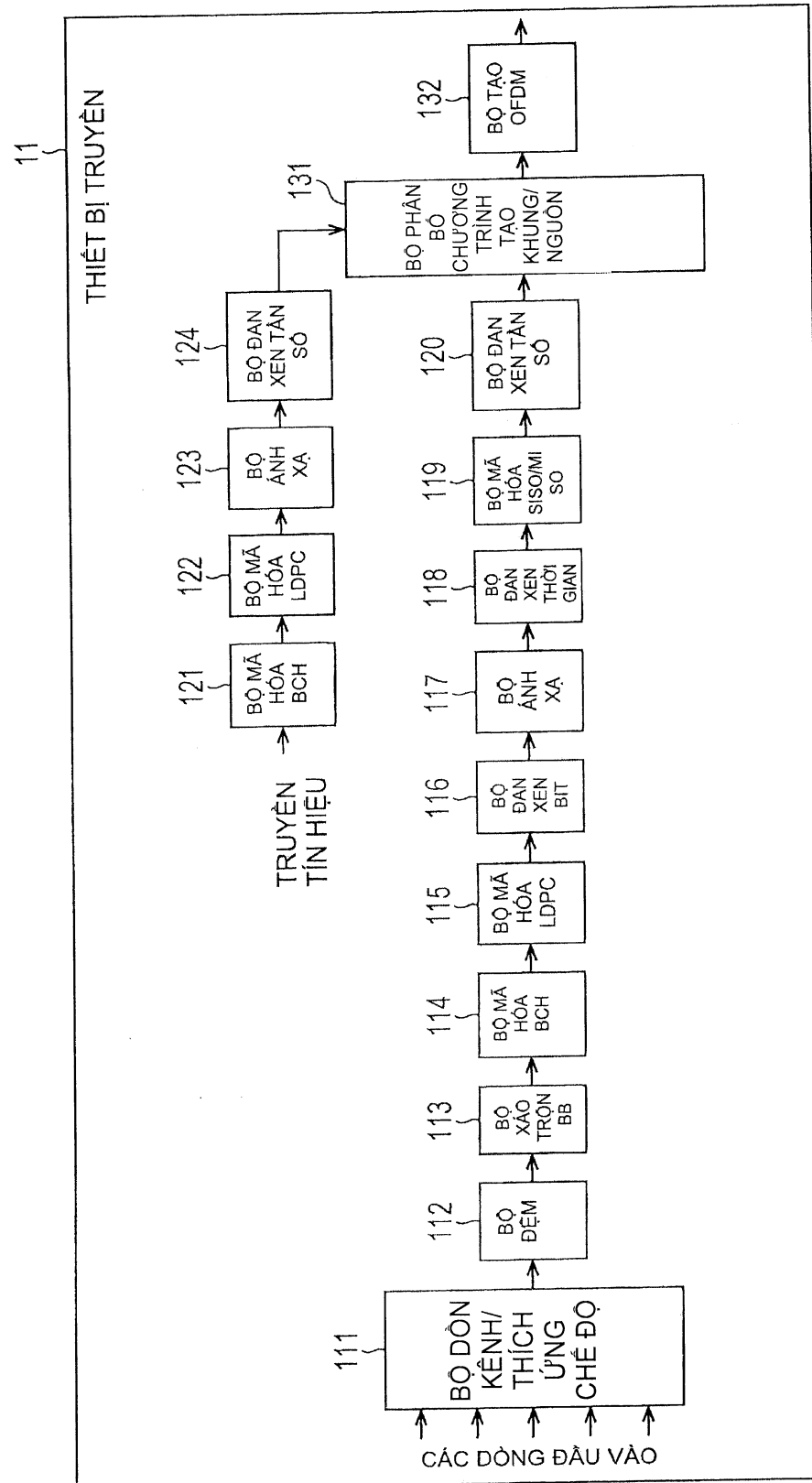


FIG. 9

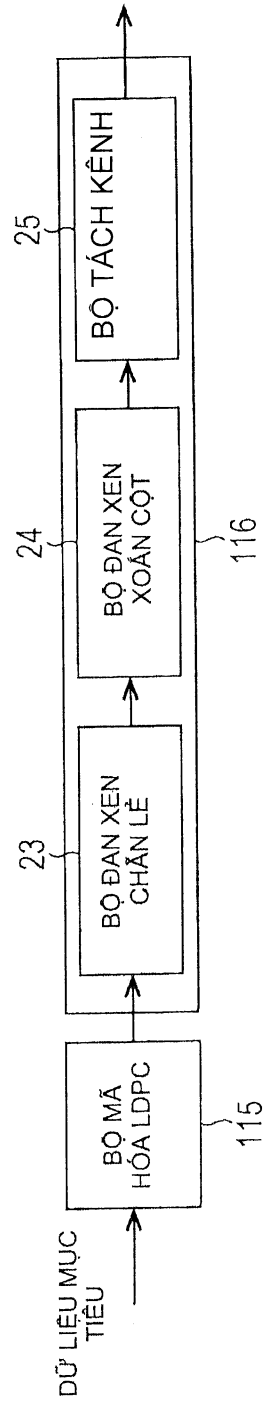


FIG. 10

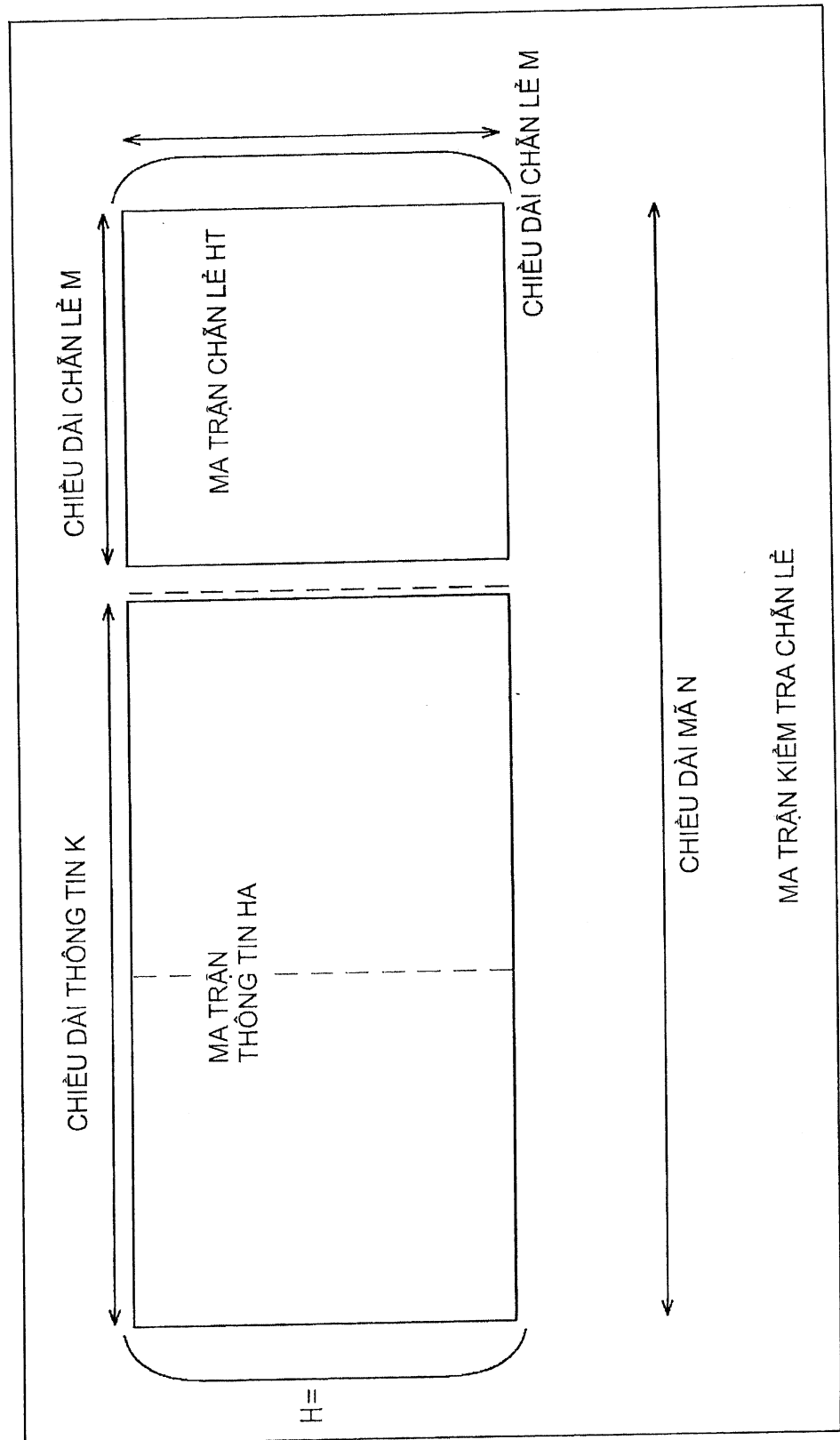


FIG. 11

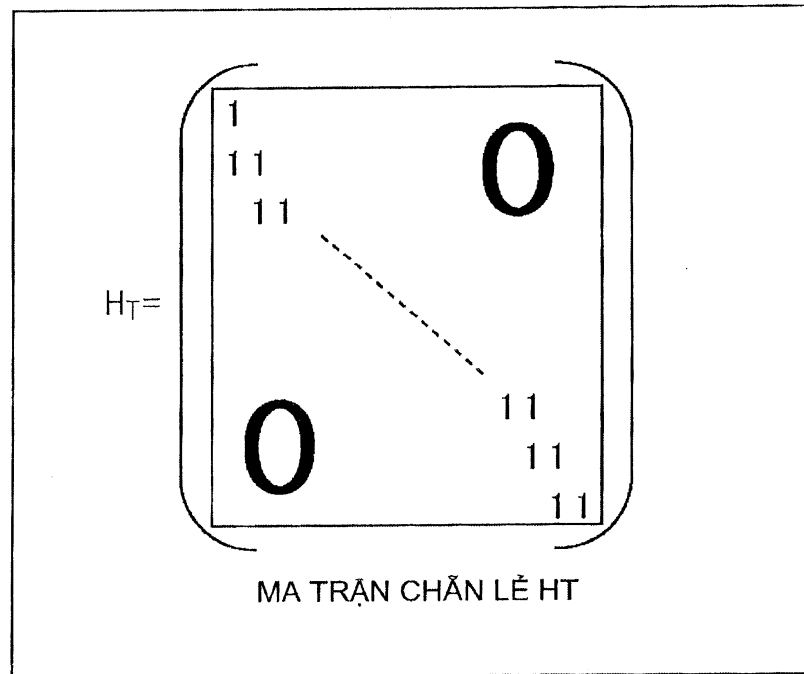


FIG. 12

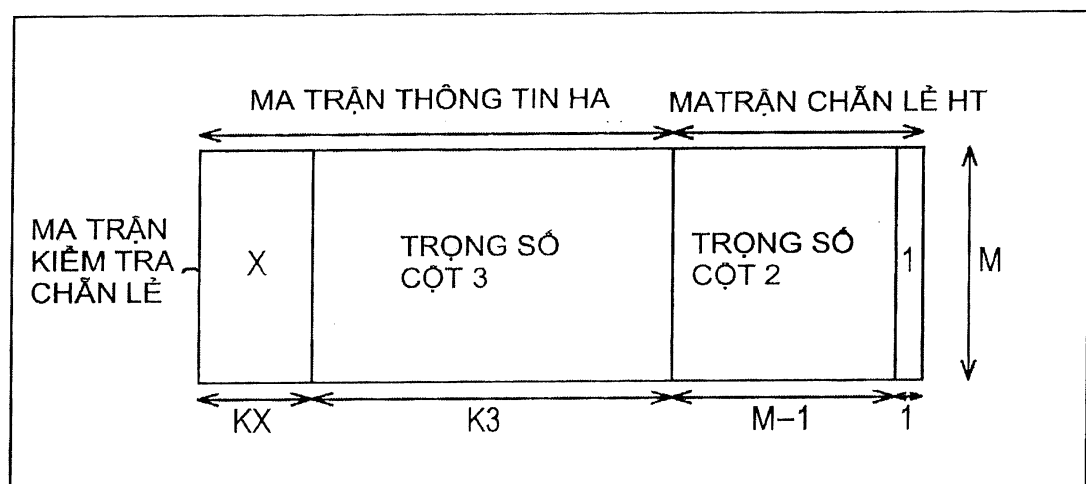


FIG. 13

TỶ LỆ MÃ HÓA danh nghĩa	N=64800				N=16200			
	X	KX	K3	M	X	KX	K3	M
1/4	12	5400	10800	48600	12	1440	1800	12960
1/3	12	7200	14400	43200	12	1800	3600	10800
2/5	12	8640	17280	38880	12	2160	4320	9720
1/2	8	12960	19440	32400	8	1800	5400	9000
3/5	12	12960	25920	25920	12	3240	6480	6480
2/3	13	4320	38880	21600	13	1080	9720	5400
3/4	12	5400	43200	16200	12	360	11520	4320
4/5	11	6480	45360	12960	-	0	12600	3600
5/6	13	5400	48600	10800	13	360	12960	2880
8/9	4	7200	50400	7200	4	1800	12600	1800
9/10	4	6480	51840	6480	---	---	---	---

SỐ LƯỢNG CỘT
ĐỐI VỚI MỖI
TRỌNG SỐ CỘT

FIG. 14

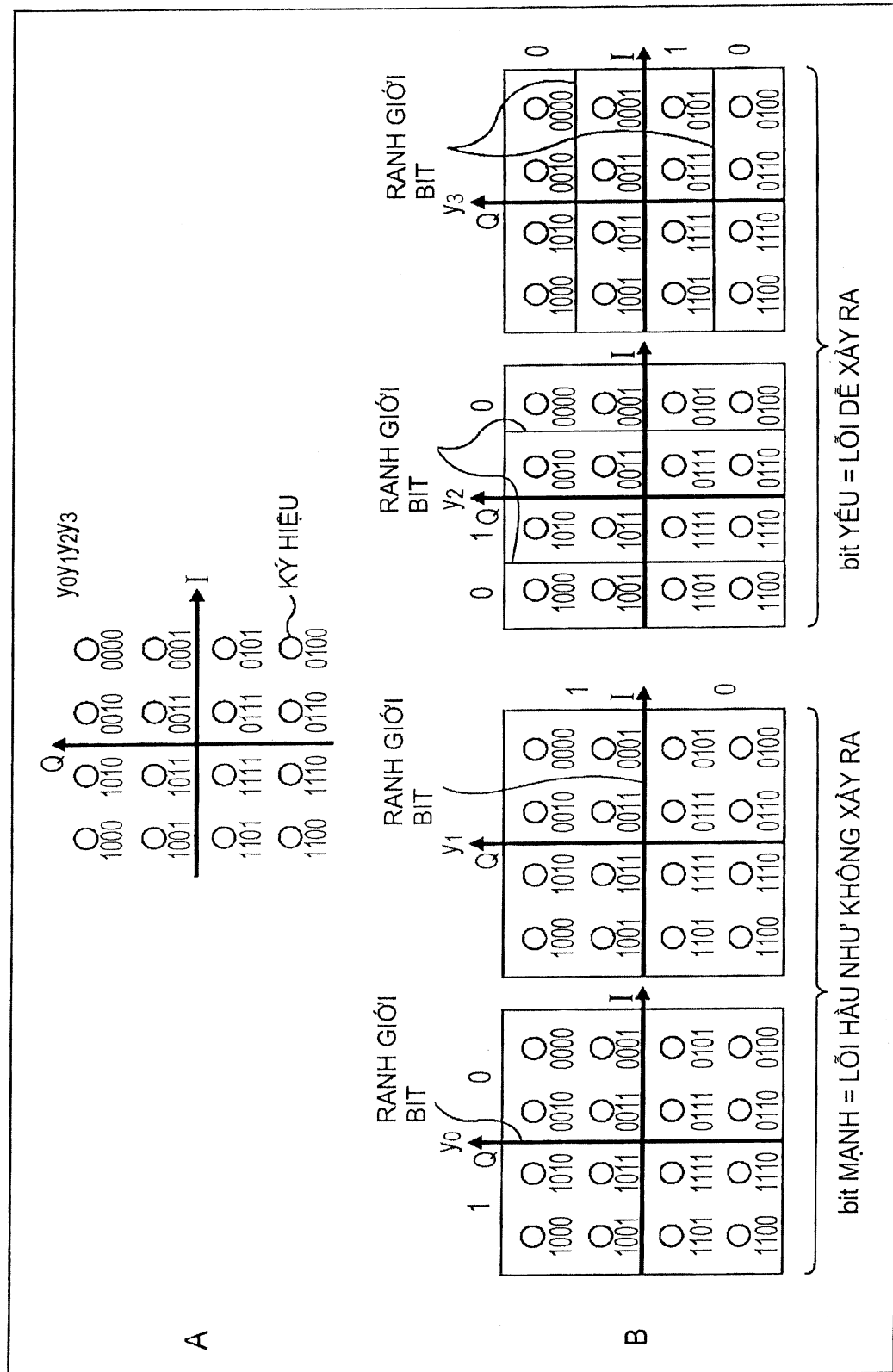


FIG. 15

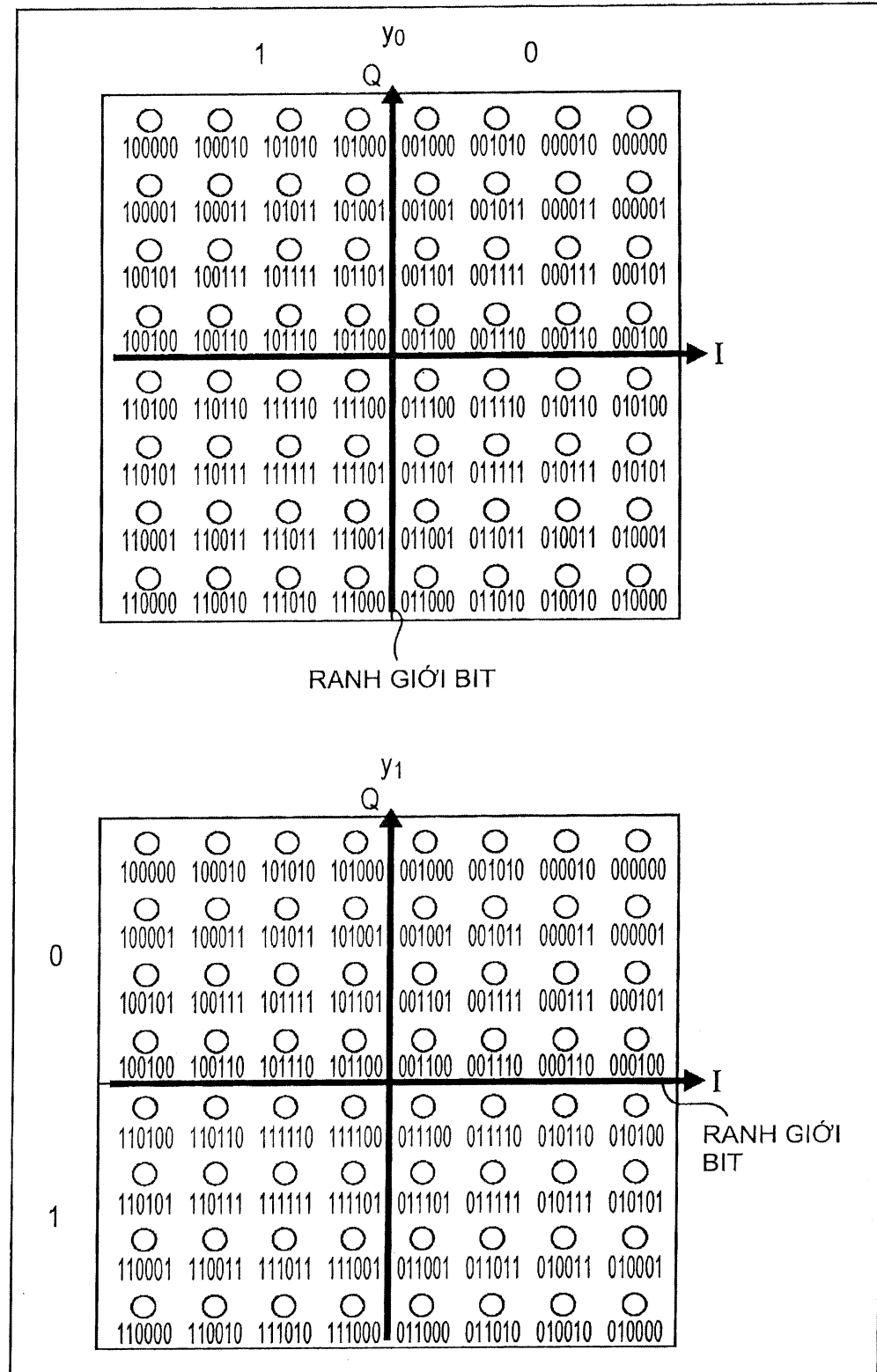


FIG. 16

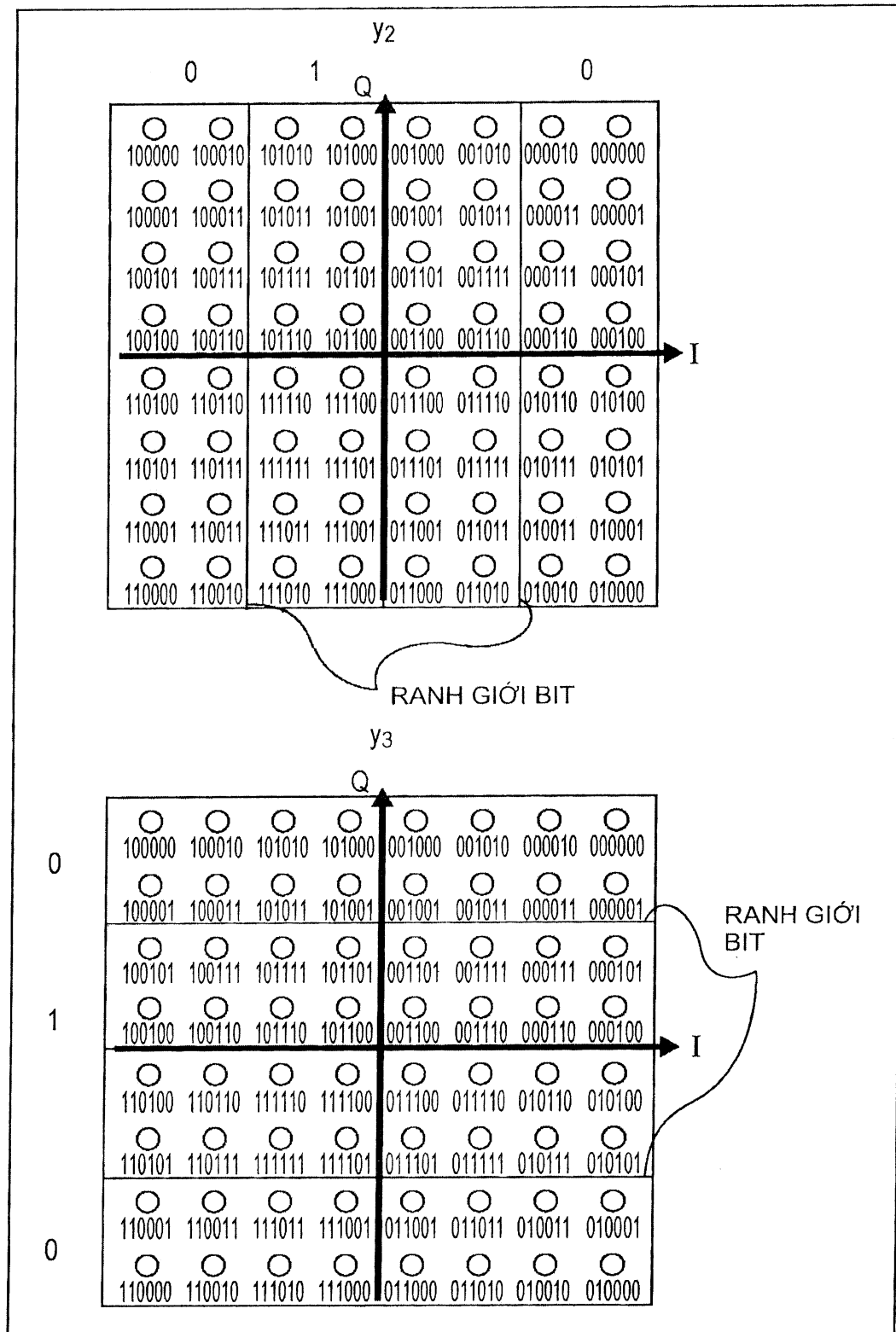


FIG. 17

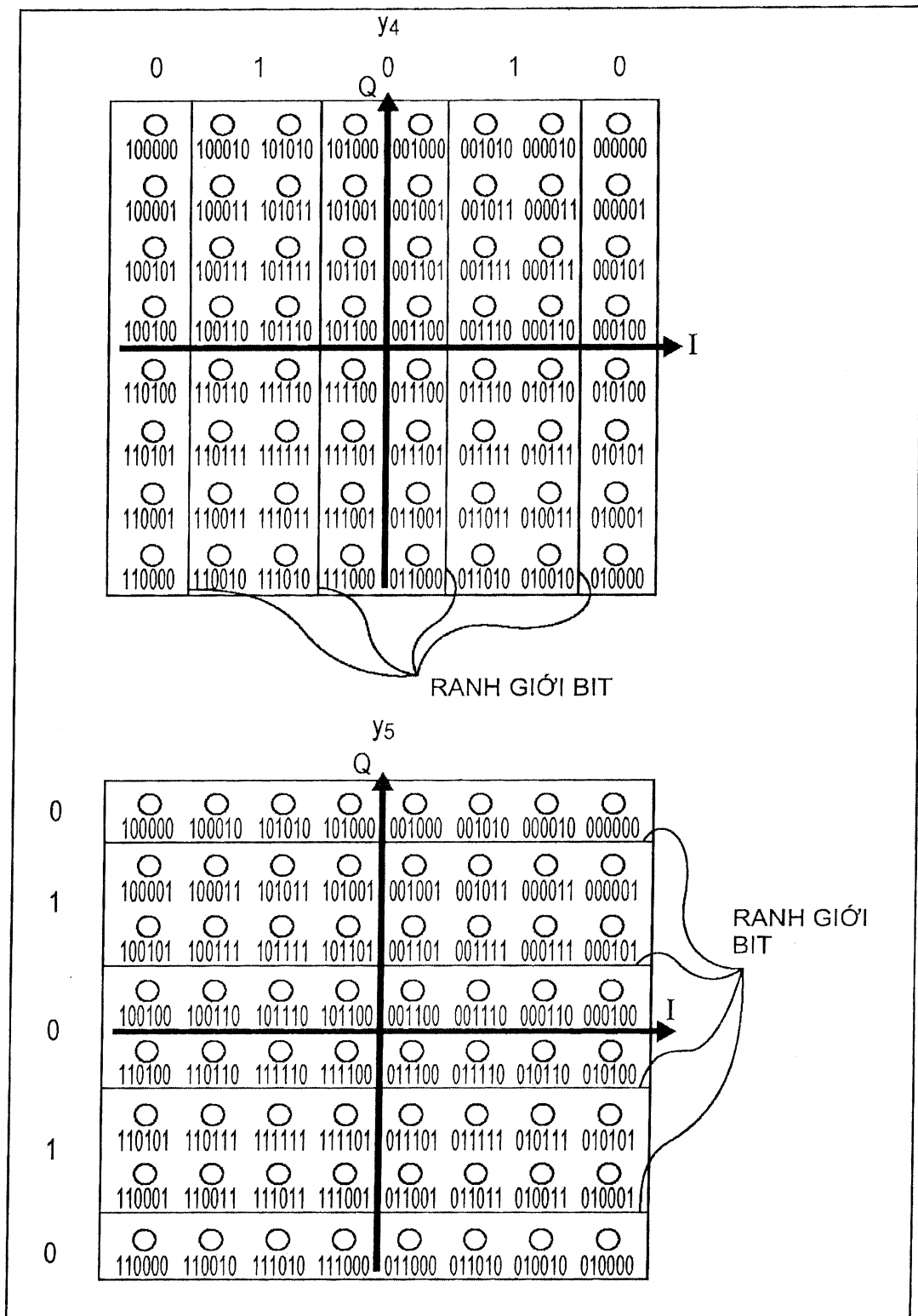


FIG. 18

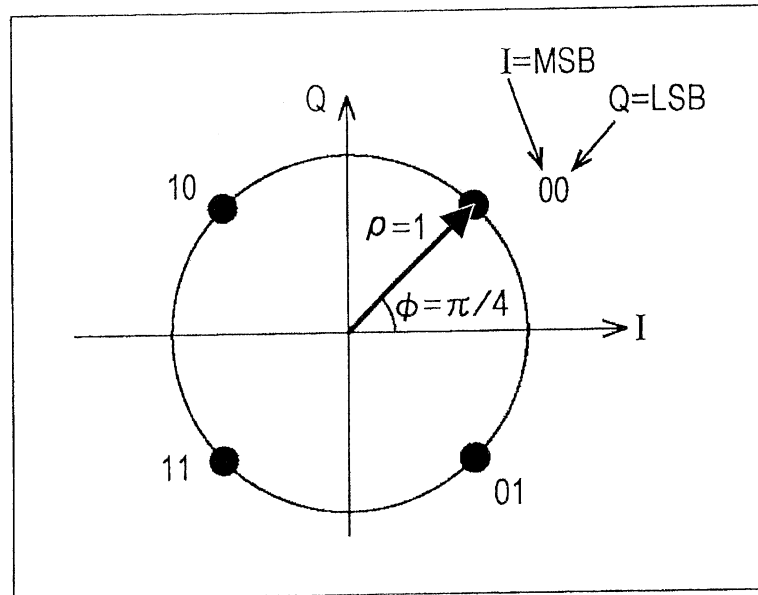


FIG. 19

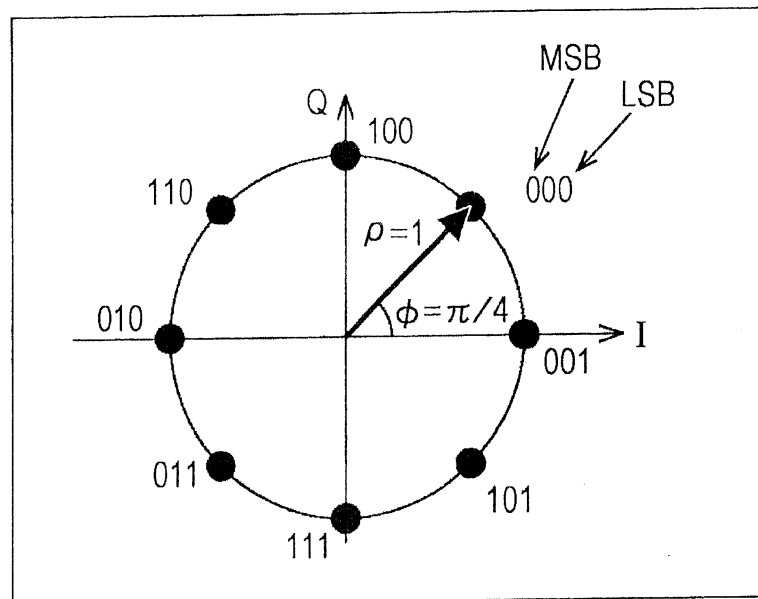


FIG. 20

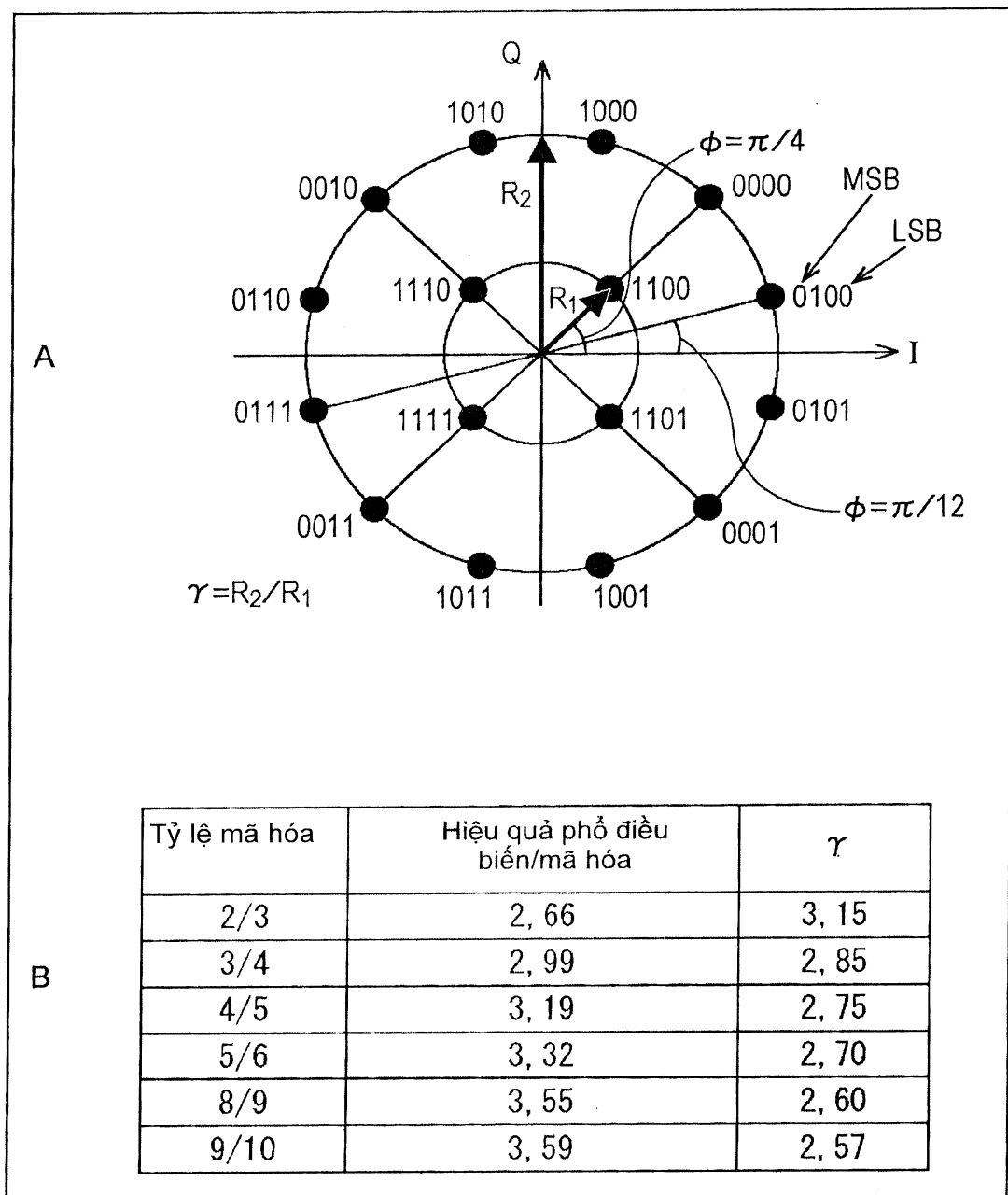


FIG. 21

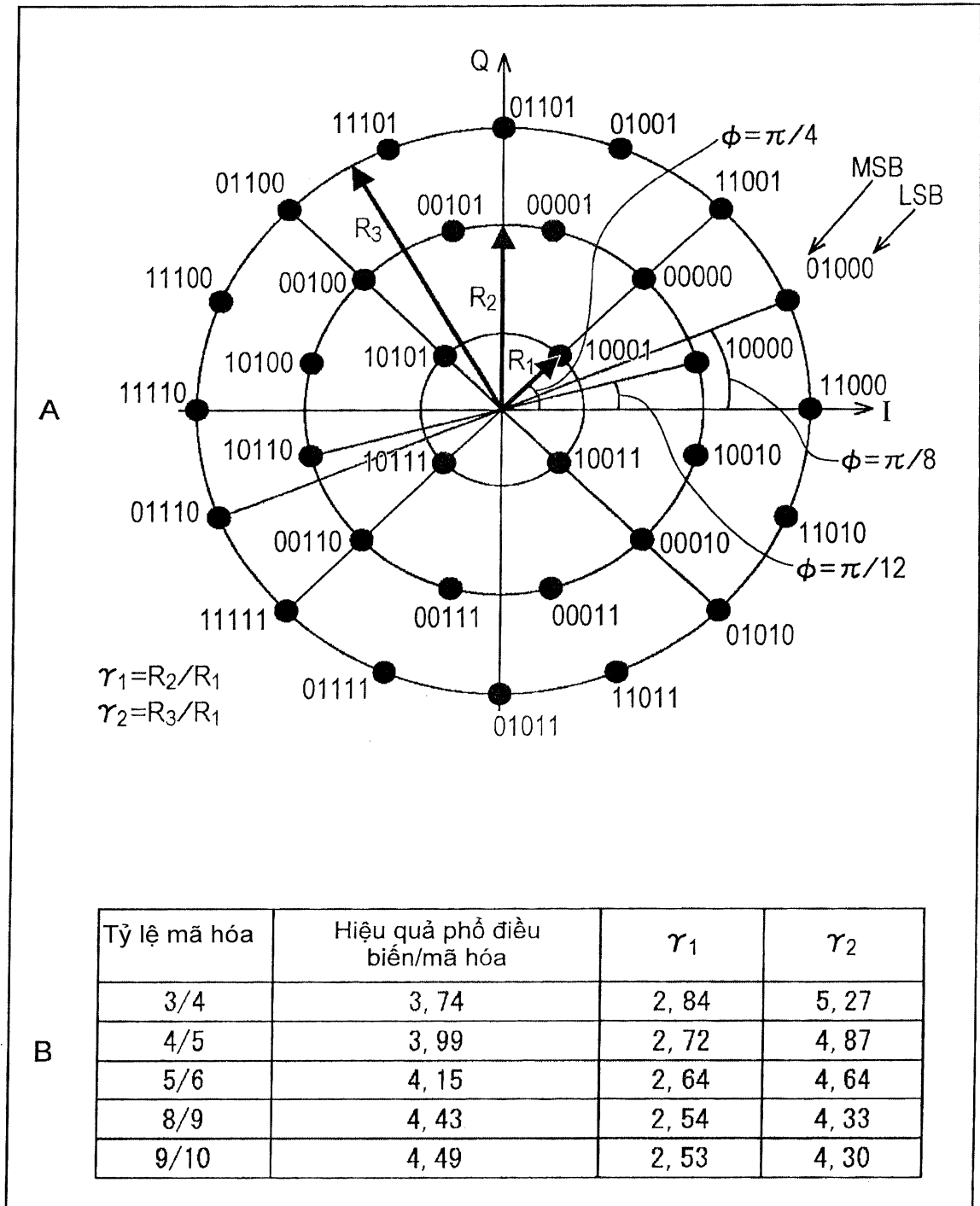


FIG. 23

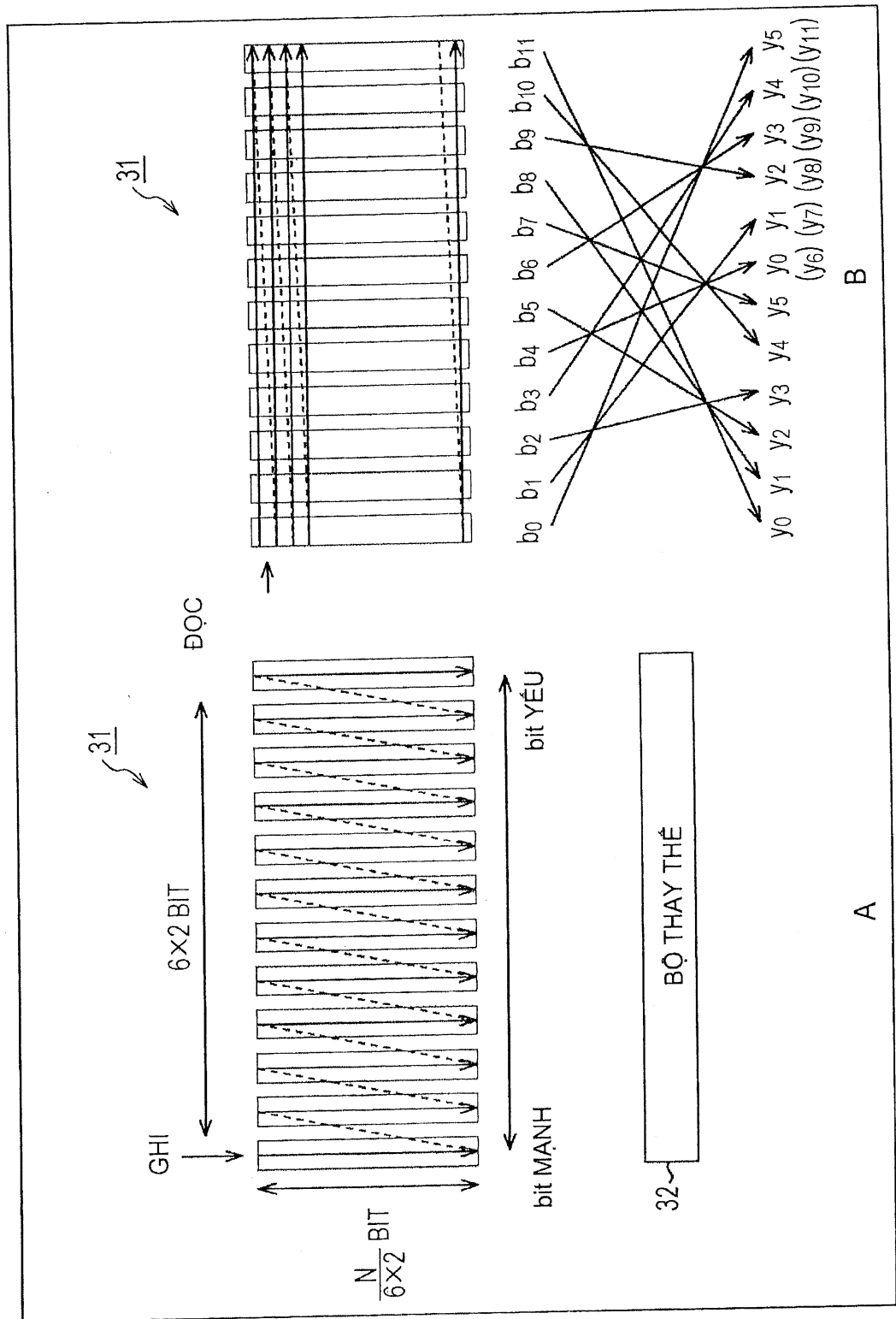


FIG. 24

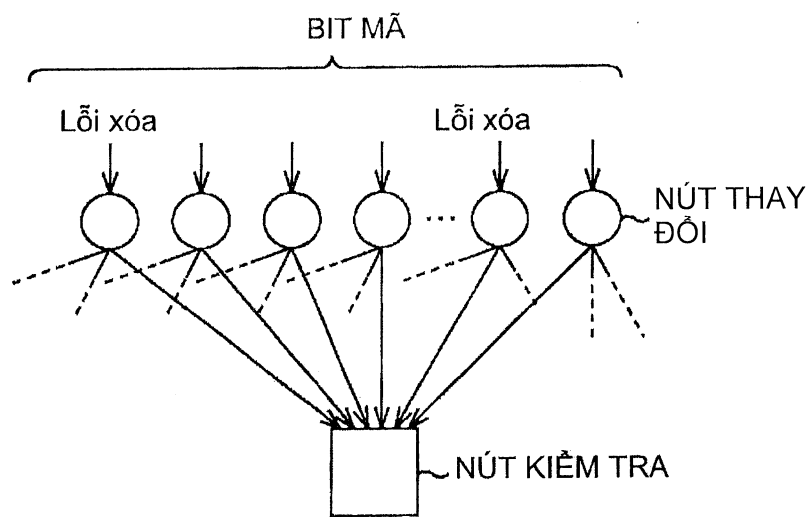
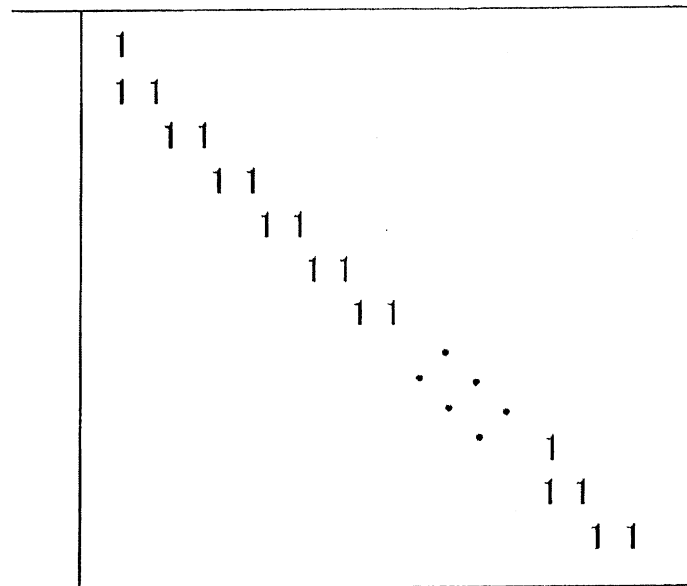
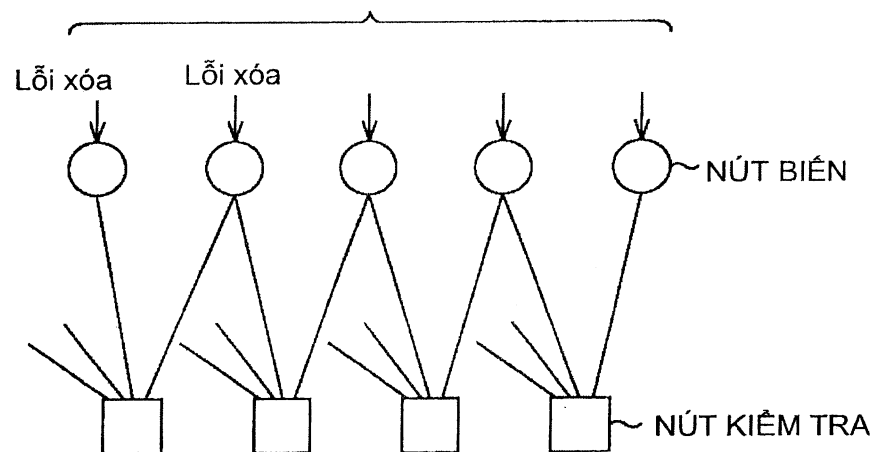


FIG. 25



CẤU TRÚC CẦU THANG CỦA MA TRẬN CHẴN LẺ

A



CÁC PHẦN CẤU TRÚC CẦU THANG CỦA Đồ thị Tanner

B

FIG. 26

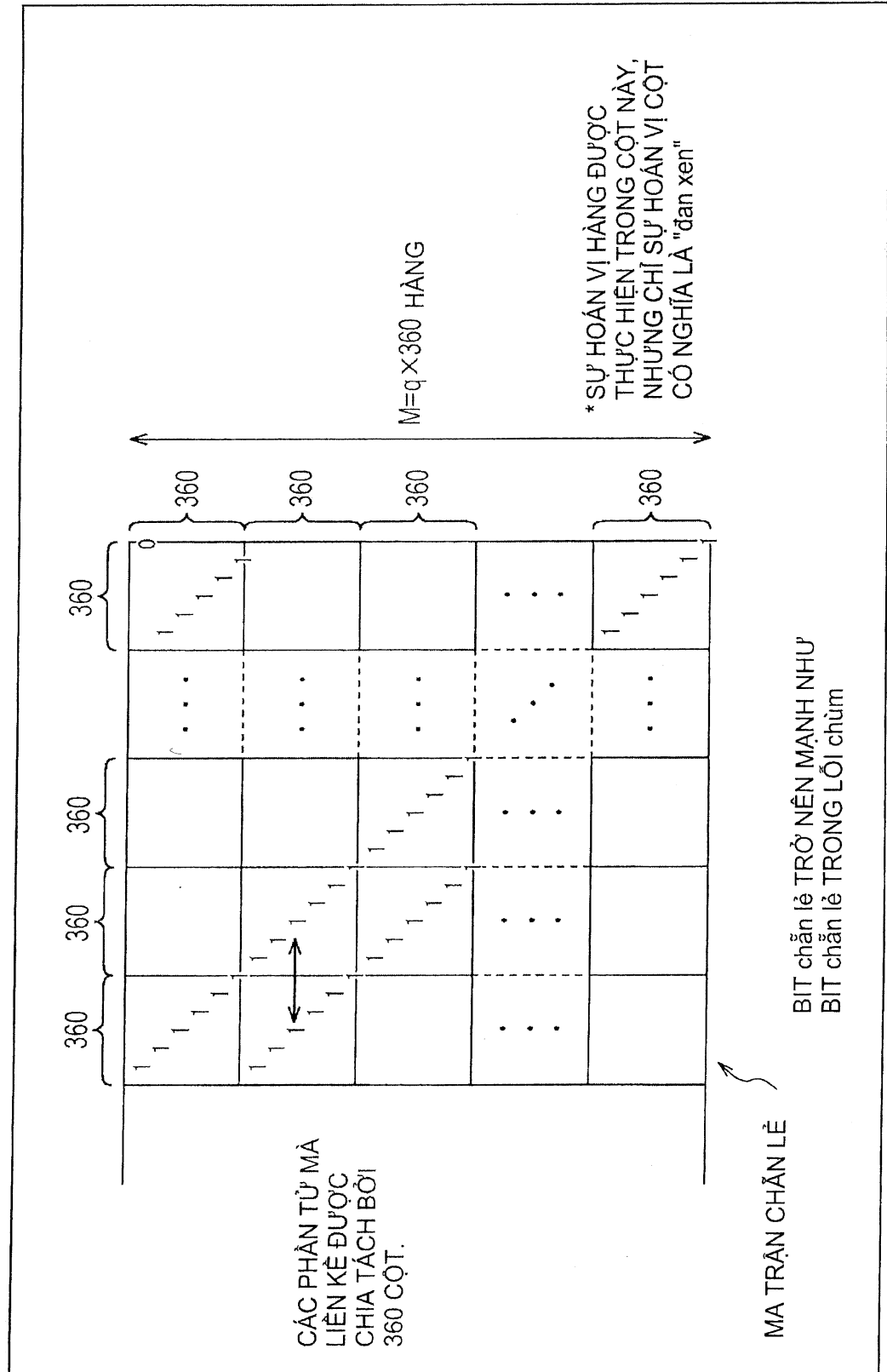


FIG. 28

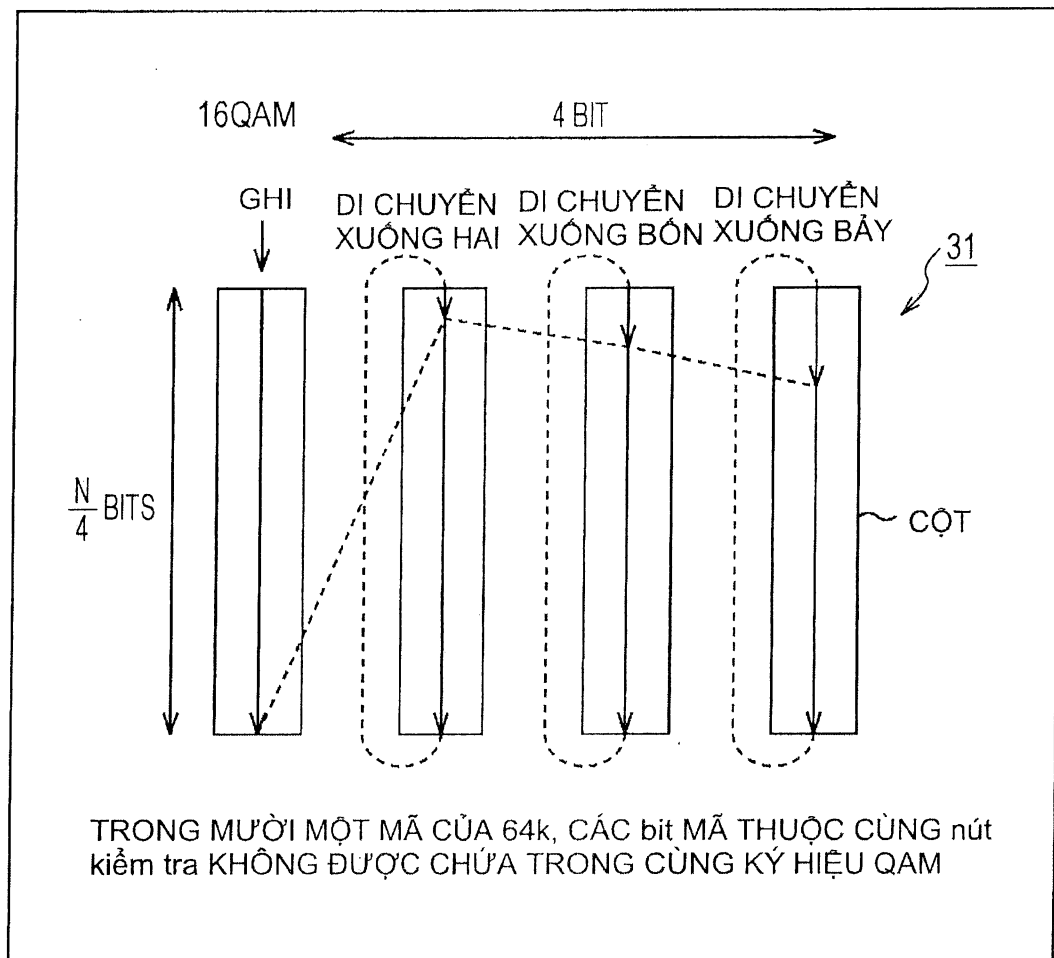


FIG. 29

SỐ LƯỢNG mb CÁN THIỆT CỦA CÁC CỘT NHỚ	b = 1 (CÁC PHƯƠNG PHÁP THAY THẾ THỨ NHẤT ĐẾN THỨ BA)	b = 2 (PHƯƠNG PHÁP THAY THẾ THỨ TƯ)	GHI VỊ TRÍ BẮT ĐẦU CỦA CÁC mb CỘT TƯƠNG ỨNG																									
			1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24		
2	QPSK		0	2																								
4	16QAM	QPSK	0	2	4	7																						
6	64QAM		0	2	5	9	10	13																				
8	256QAM	16QAM	0	0	2	4	4	5	7	7																		
10	1024QAM		0	3	6	8	11	13	15	17	18	20																
12	4096QAM	64QAM	0	0	2	2	3	4	4	5	5	7	8	9														
16		256QAM	0	2	2	2	2	3	7	15	16	20	22	22	27	27	28	32										
20		1024QAM	0	1	3	4	5	6	6	9	13	14	14	16	21	21	23	25	25	26	28	30						
24		4096QAM	0	5	8	8	8	8	10	10	10	12	13	16	17	19	21	22	23	26	37	39	40	41	41	41		

FIG. 30

GHI VỊ TRÍ BẮT ĐẦU CỦA CÁC mb CỘT TƯƠNG ỨNG																											
SỐ LƯỢNG mb CẦN THIỆT CỦA CÁC CỘT NHỎ	$h=1$ $\left(\begin{array}{c} \text{CÁC PHƯƠNG} \\ \text{PHÁP THAY} \\ \text{THẾ THỨ NHẤT} \\ \text{ĐẾN THỨ BA} \end{array} \right)$	$b=2$ $\left(\begin{array}{c} \text{PHƯƠNG} \\ \text{PHÁP} \\ \text{THAY THẾ} \\ \text{THỨ TƯ} \end{array} \right)$																									
			1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	
2	QPSK		0	0																							
4	16QAM	QPSK	0	2	3	3																					
6	64QAM		0	0	2	3	7	7																			
8	256QAM	16QAM	0	0	0	1	7	20	20	21																	
10	1024QAM		0	1	2	2	3	3	4	4	5	7															
12	4096QAM	64QAM	0	0	0	2	2	2	3	3	3	6	7	7													
20		1024QAM	0	0	0	2	2	2	2	2	5	5	5	5	5	7	7	7	7	8	8	10					
24		4096QAM	0	0	0	0	0	0	0	1	1	1	2	2	2	3	7	9	9	9	10	10	10	10	11	11	

FIG. 31

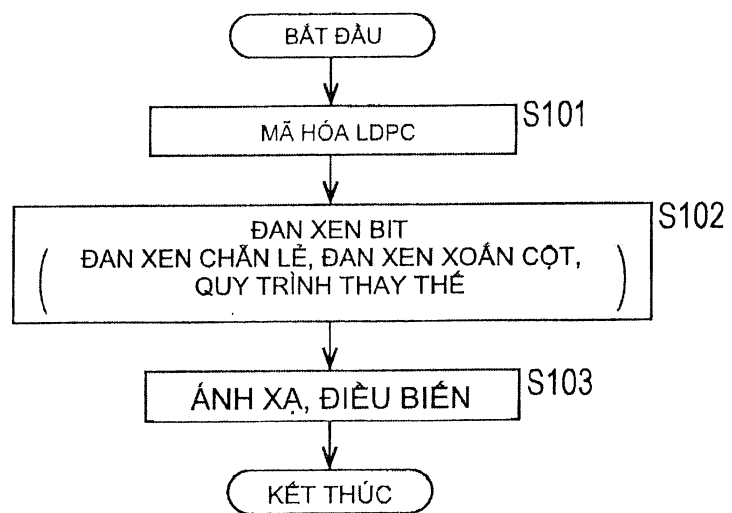
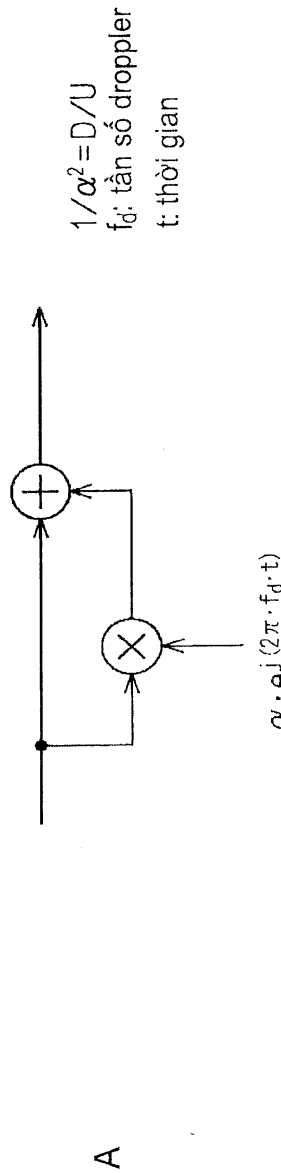
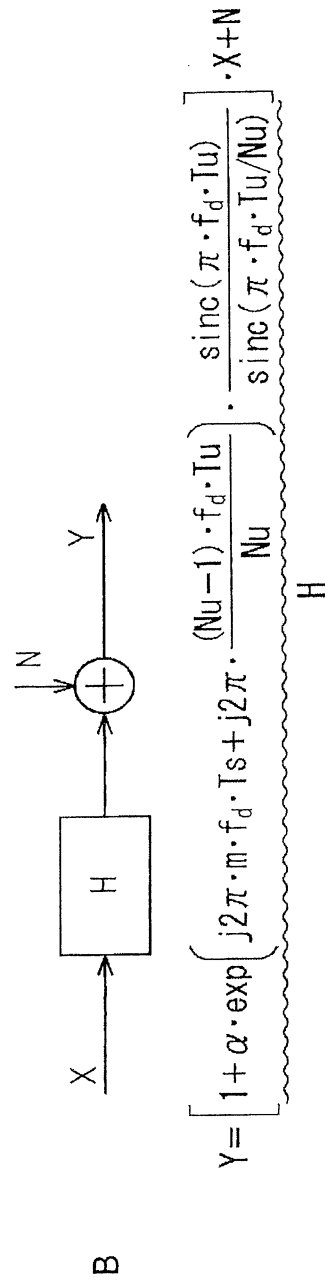


FIG. 32

MẪU GIẢM TƯƠNG ĐƯƠNG CỦA MÉO RUNG



CÁC KÝ HIỆU OFDM ĐƯỢC TRUYỀN TRONG KÊNH NÀY,
VÀ PHÍA THU THỰC HIỆN mô phỏng NHƯ MÔ HÌNH THU
ĐƯỢC BẰNG CÁCH TRÍCH MỘT SÓNG MANG SAU FFT.



$$E[N^2] = \alpha^2 \cdot \left[1 - \left| \frac{\text{sinc}(\pi \cdot f_d \cdot T_u)}{\text{sinc}(\pi \cdot f_d \cdot T_u / Nu)} \right|^2 \right]$$

CÔNG SUẤT CỦA $|C|$ XẤP XỈ VỚI AWGN

m : số ký hiệu
 T_s : chiều dài ký hiệu (giây)
 T_u : chiều dài ký hiệu hiệu quả (giây)
 Nu : số lượng các sóng mang OFDM

FIG. 33

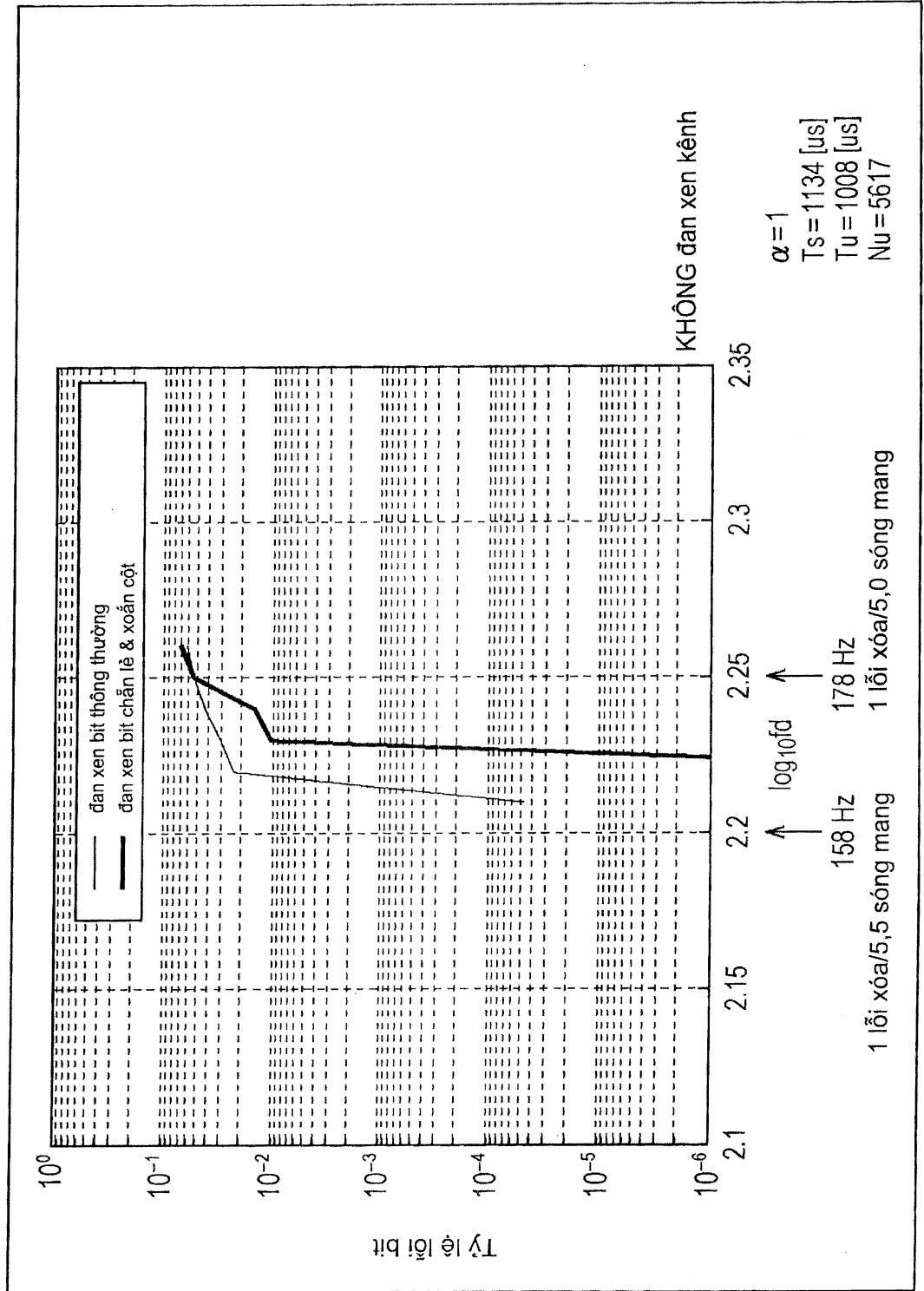


FIG. 34

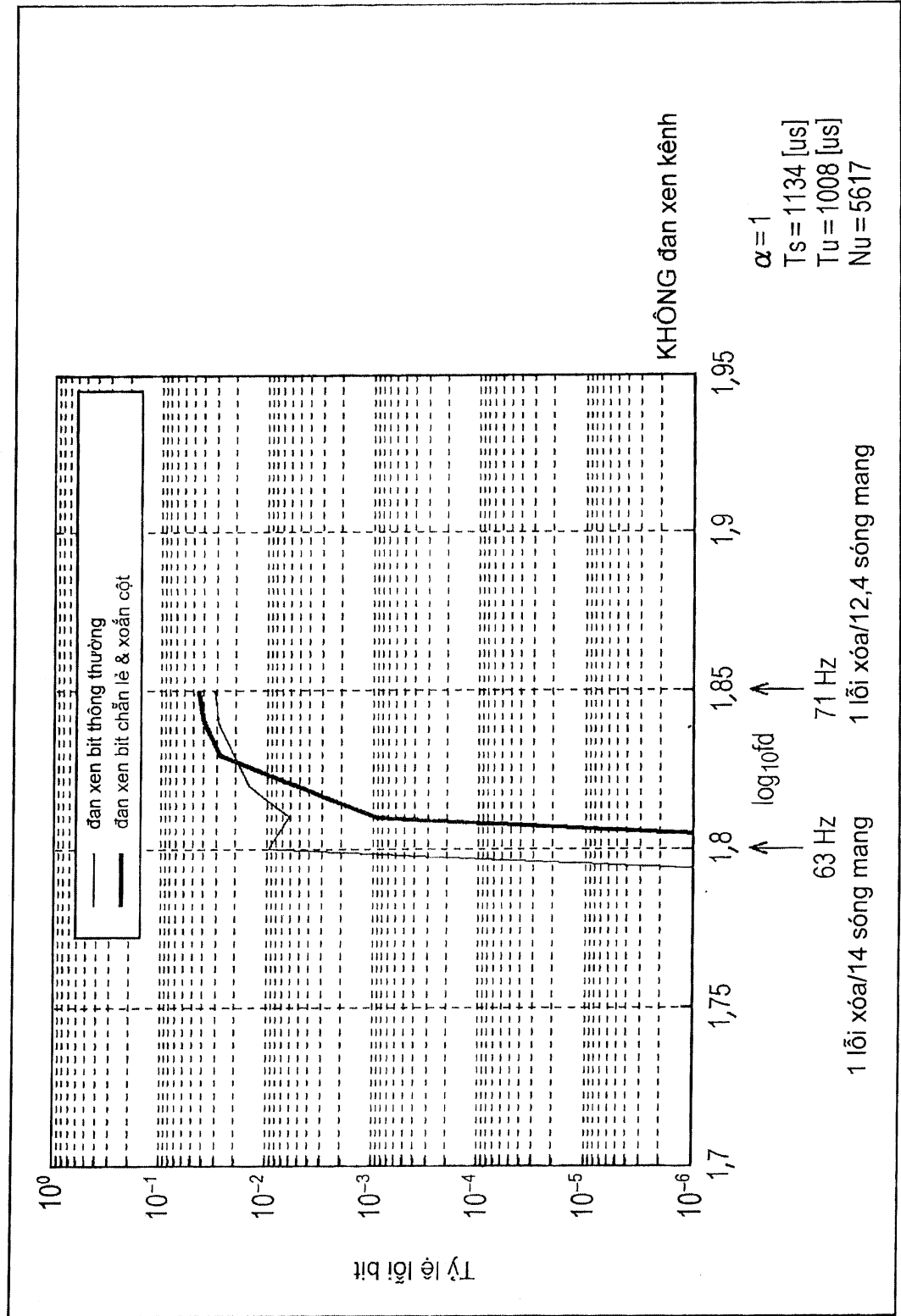


FIG. 35

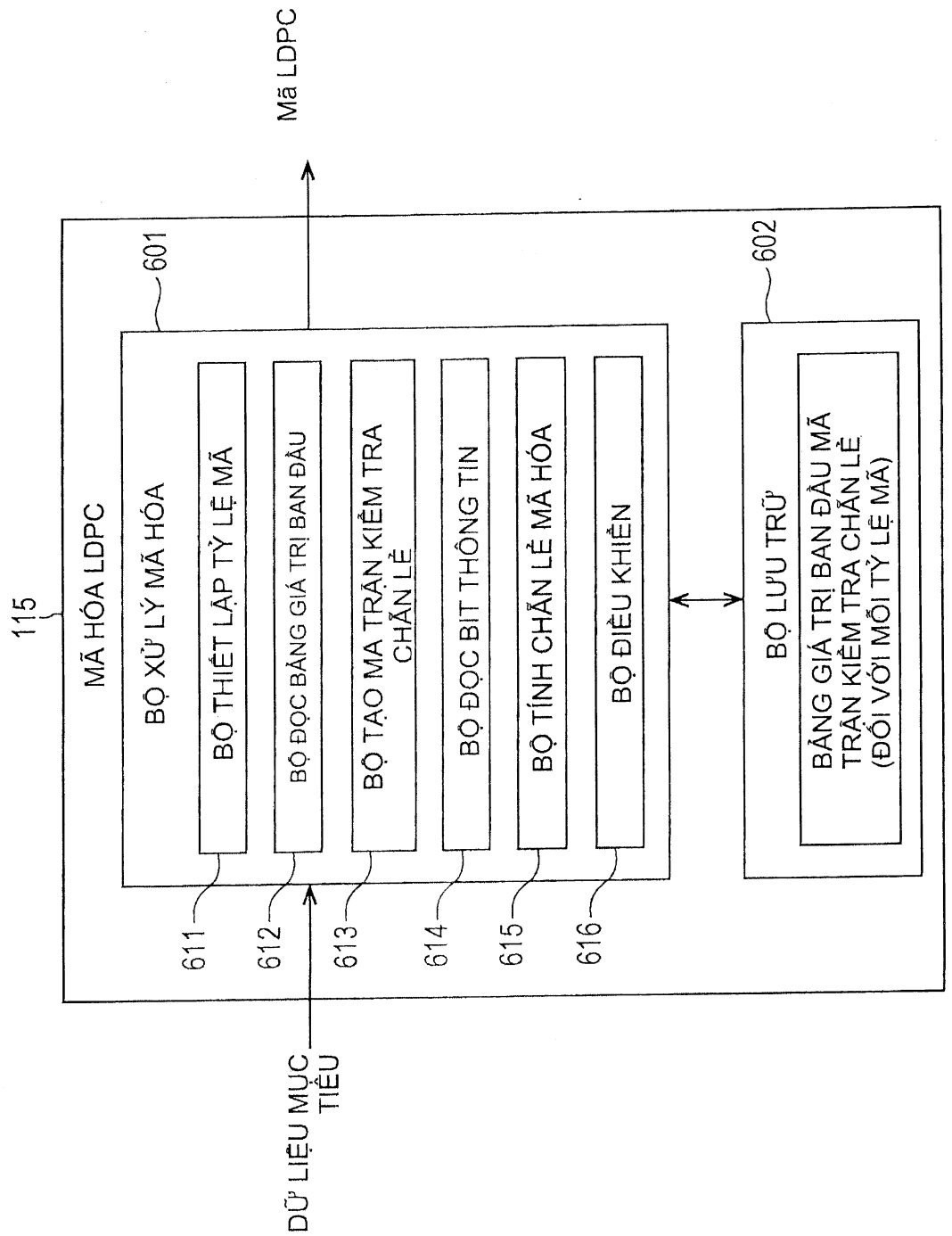


FIG. 36

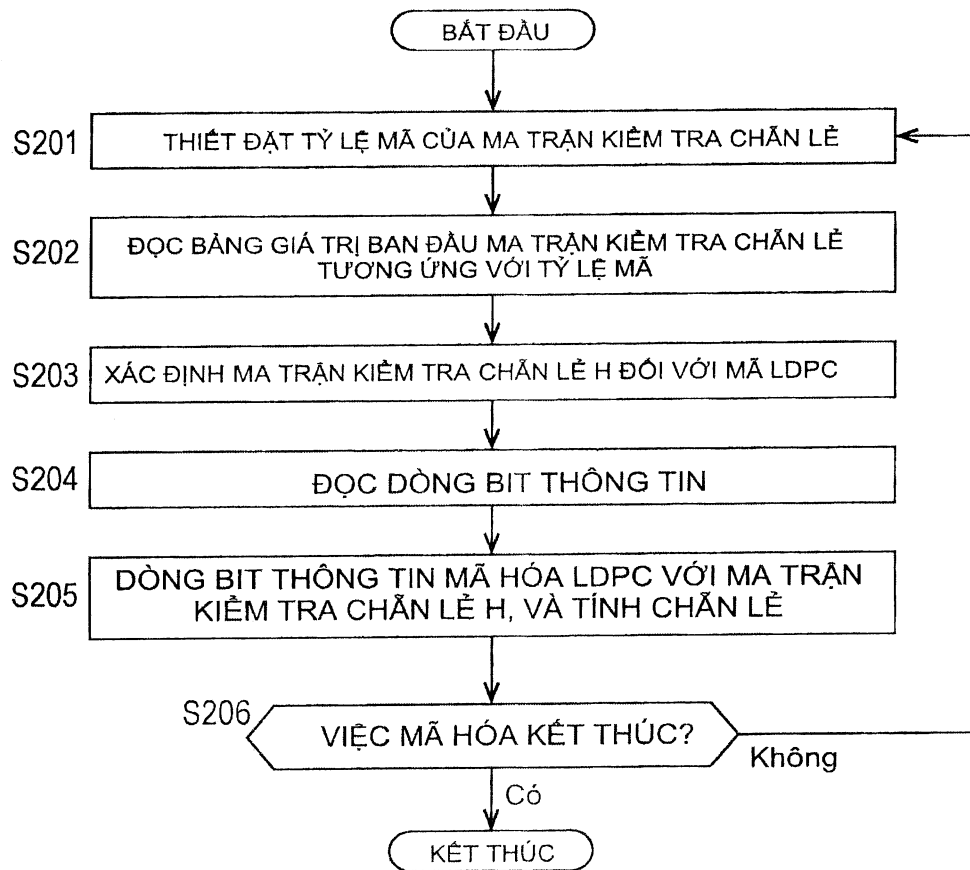


FIG. 37

r1/4 16k

6295	9626	304	7695	4839	4936	1660	144	11203	5567	6347	12557
10691	4988	3859	3734	3071	3494	7687	10313	5964	8069	8296	11090
10774	3613	5208	11177	7676	3549	8746	6583	7239	12265	2674	4292
11869	3708	5981	8718	4908	10650	6805	3334	2627	10461	9285	11120
7844	3079	10773									
3385	10854	5747									
1360	12010	12202									
6189	4241	2343									
9840	12726	4977									

FIG. 38

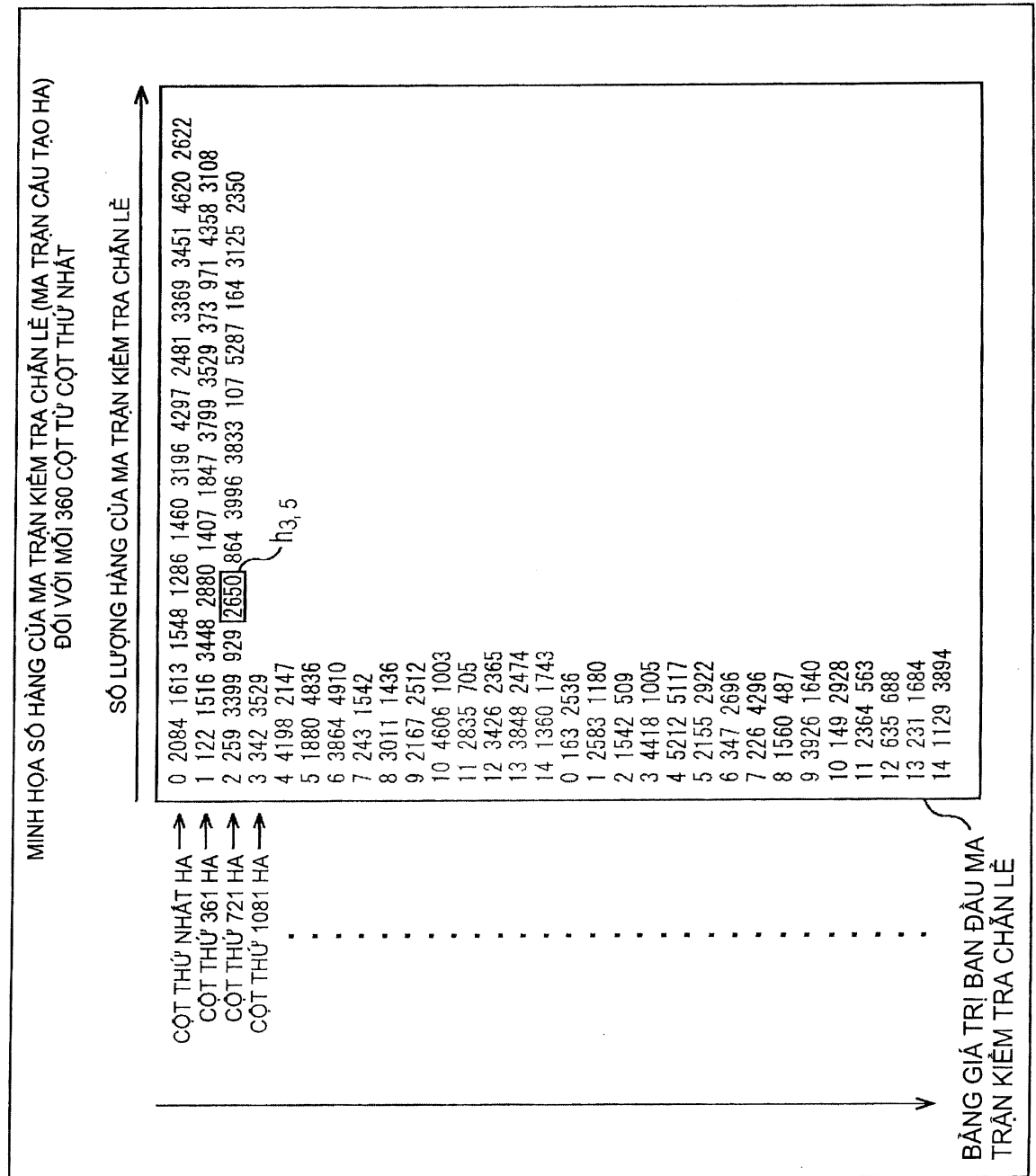


FIG. 39

BẢNG GIÁ TRỊ BAN ĐẦU MA TRẬN KIỂM TRA CHẶN LỀ CỦA

N=16200 VÀ $r=12/15$

3 394 1014 1214 1361 1477 1534 1660 1856 2745 2987 2991 3124 3155
 59 136 528 781 803 928 1293 1489 1944 2041 2200 2613 2690 2847
 155 245 311 621 1114 1269 1281 1783 1995 2047 2672 2803 2885 3014
 79 870 974 1326 1449 1531 2077 2317 2467 2627 2811 3083 3101 3132
 4 582 660 902 1048 1482 1697 1744 1928 2628 2699 2728 3045 3104
 175 395 429 1027 1061 1068 1154 1168 1175 2147 2359 2376 2613 2682
 1388 2241 3118 3148
 143 506 2067 3148
 1594 2217 2705
 398 988 2551
 1149 2588 2654
 678 2844 3115
 1508 1547 1954
 1199 1267 1710
 2589 3163 3207
 1 2583 2974
 2766 2897 3166
 929 1823 2742
 1113 3007 3239
 1753 2478 3127
 0 509 1811
 1672 2646 2984
 965 1462 3230
 3 1077 2917
 1183 1316 1662
 968 1593 3239
 64 1996 2226
 1442 2058 3181
 513 973 1058
 1263 3185 3229
 681 1394 3017
 419 2853 3217
 3 2404 3175
 2417 2792 2854
 1879 2940 3235
 647 1704 3060

FIG. 40

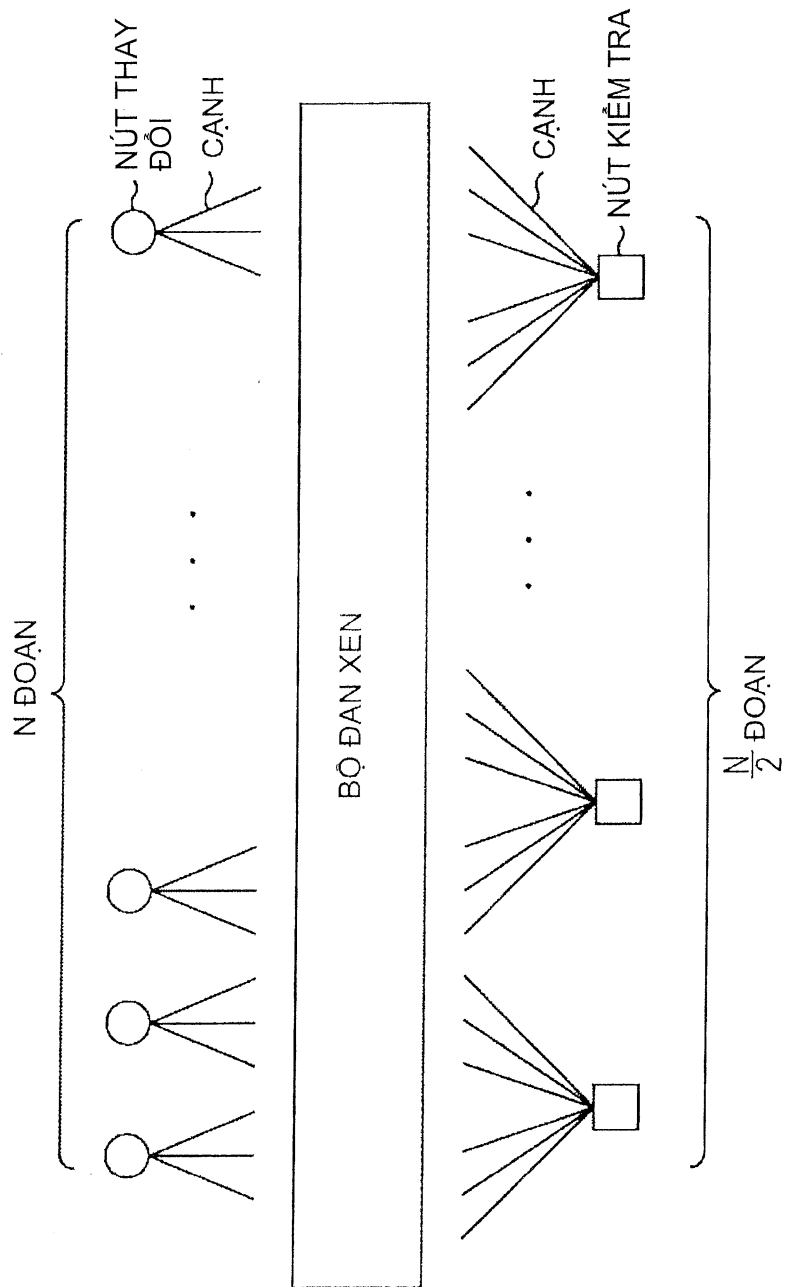


FIG. 41

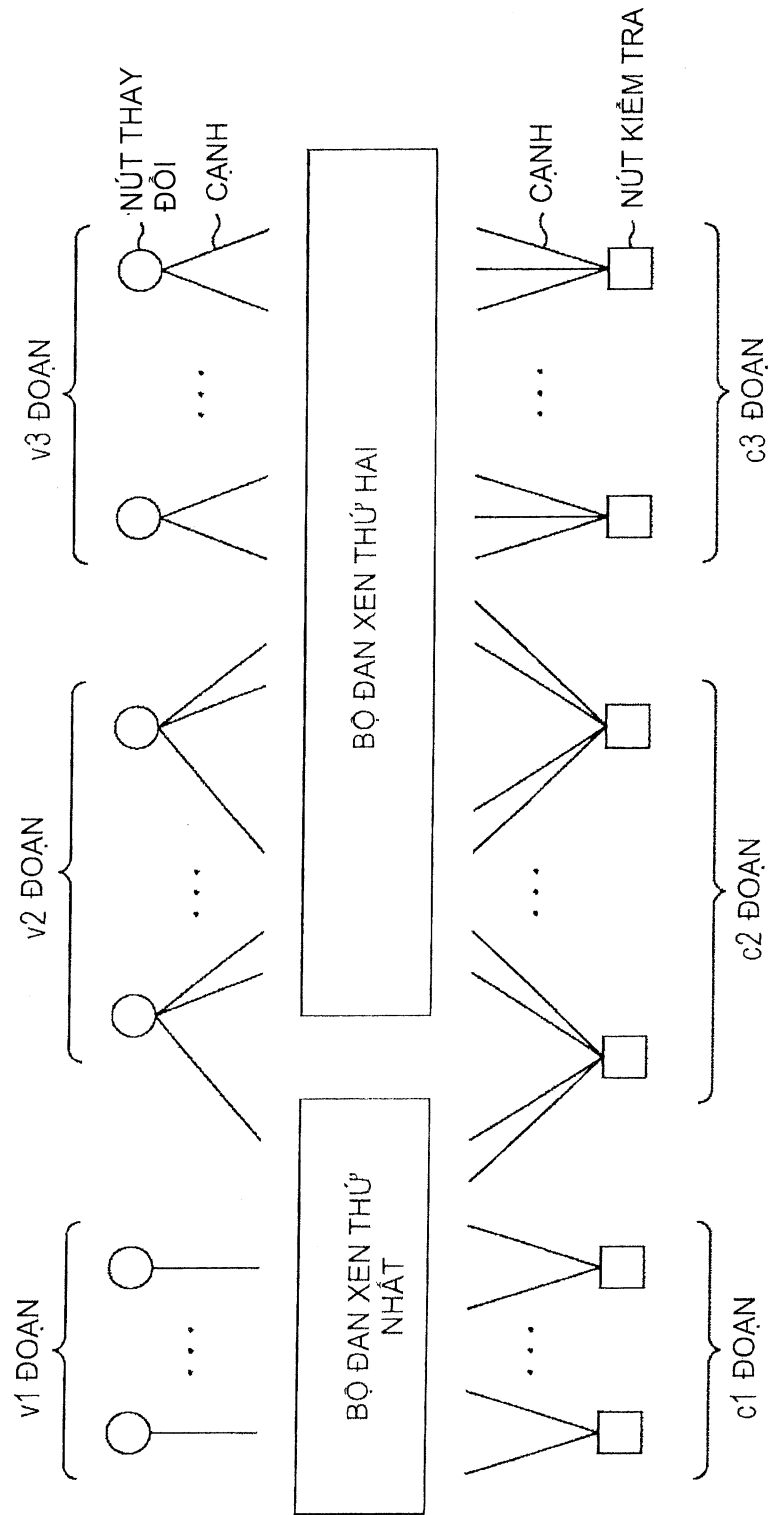


FIG. 42

TỶ LỆ MÃ	ĐỘ DÀI CHU KỲ NHỎ NHẤT	NGƯỠNG HIỆU SUẤT (E_b/N_o)
12/15	6	4,269922

FIG. 43

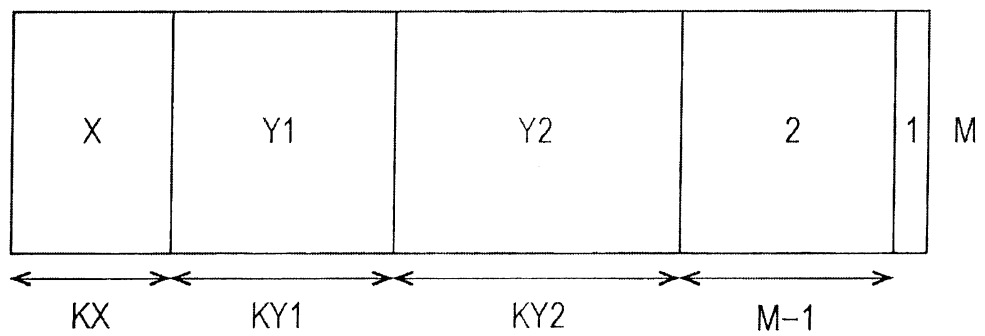


FIG. 44

tỷ lệ	X	KX	Y1	KY1	Y2	KY2	M
12/15	14	2160	4	720	3	10080	3240

FIG. 45

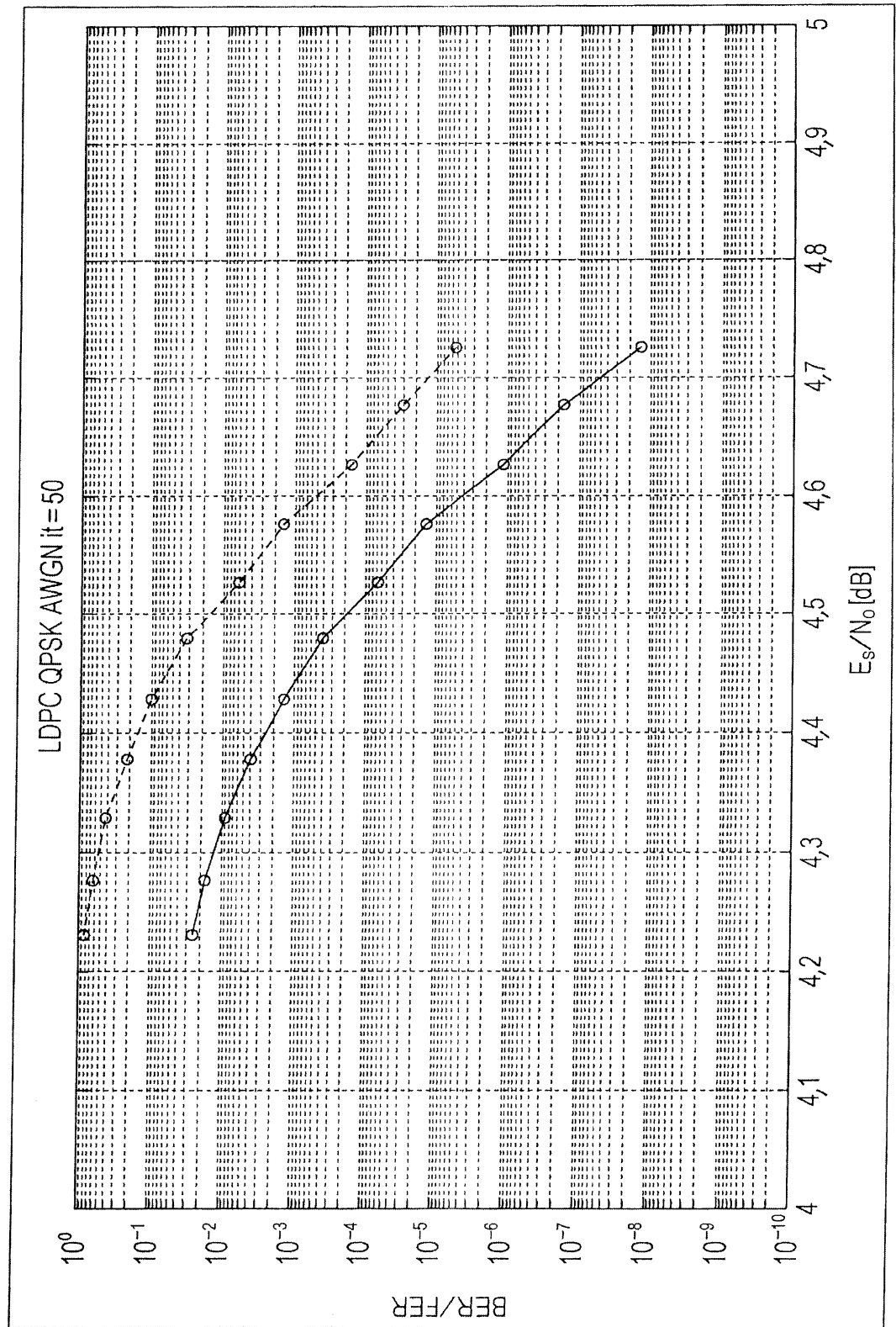


FIG. 46

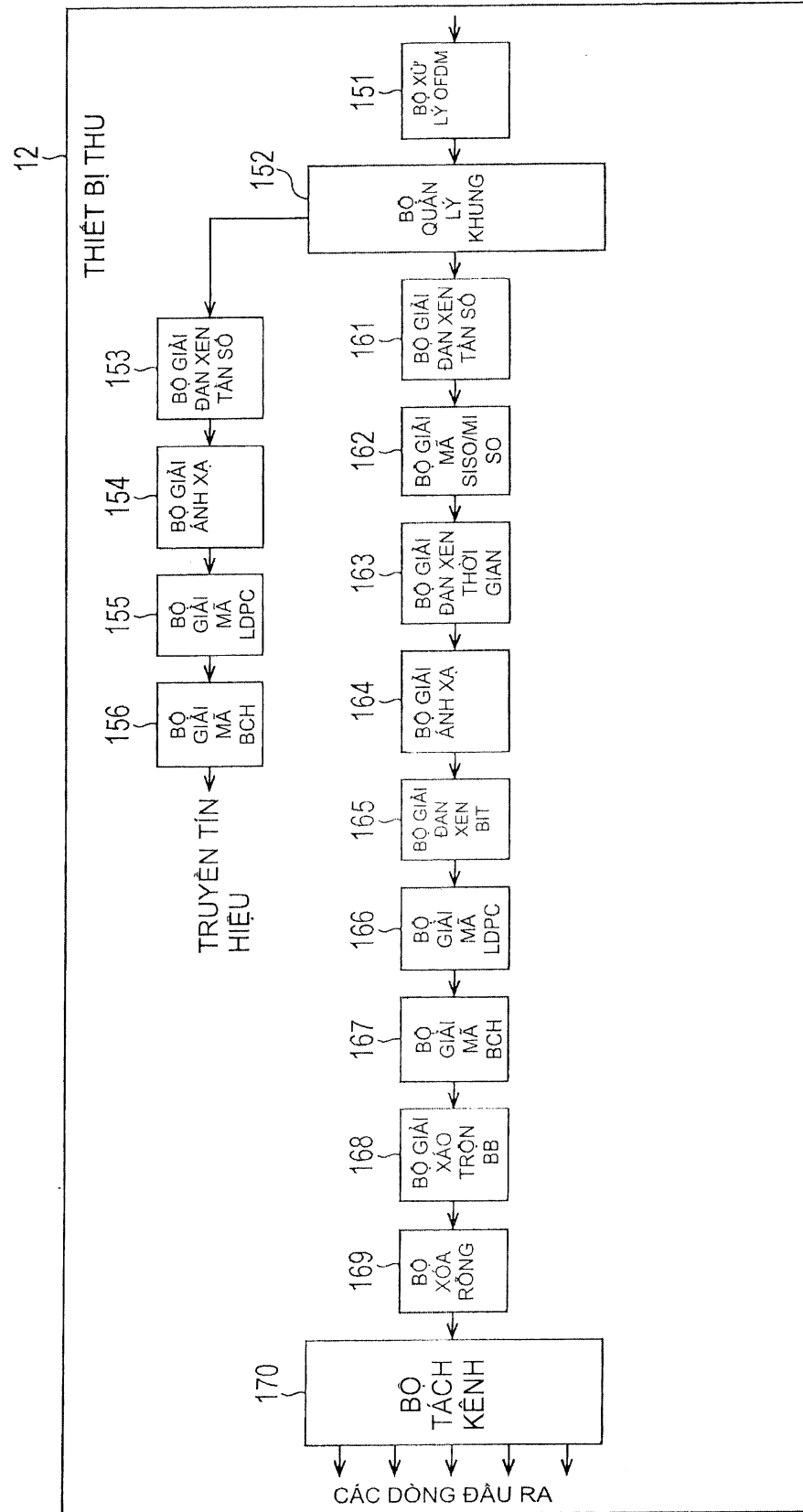


FIG. 47

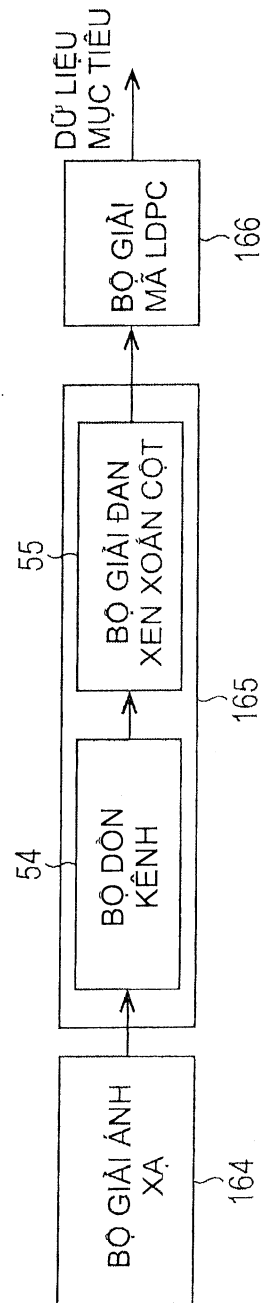


FIG. 48

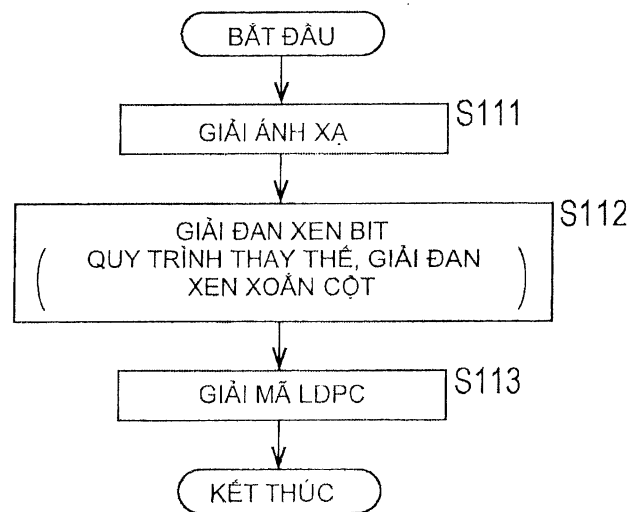


FIG. 49

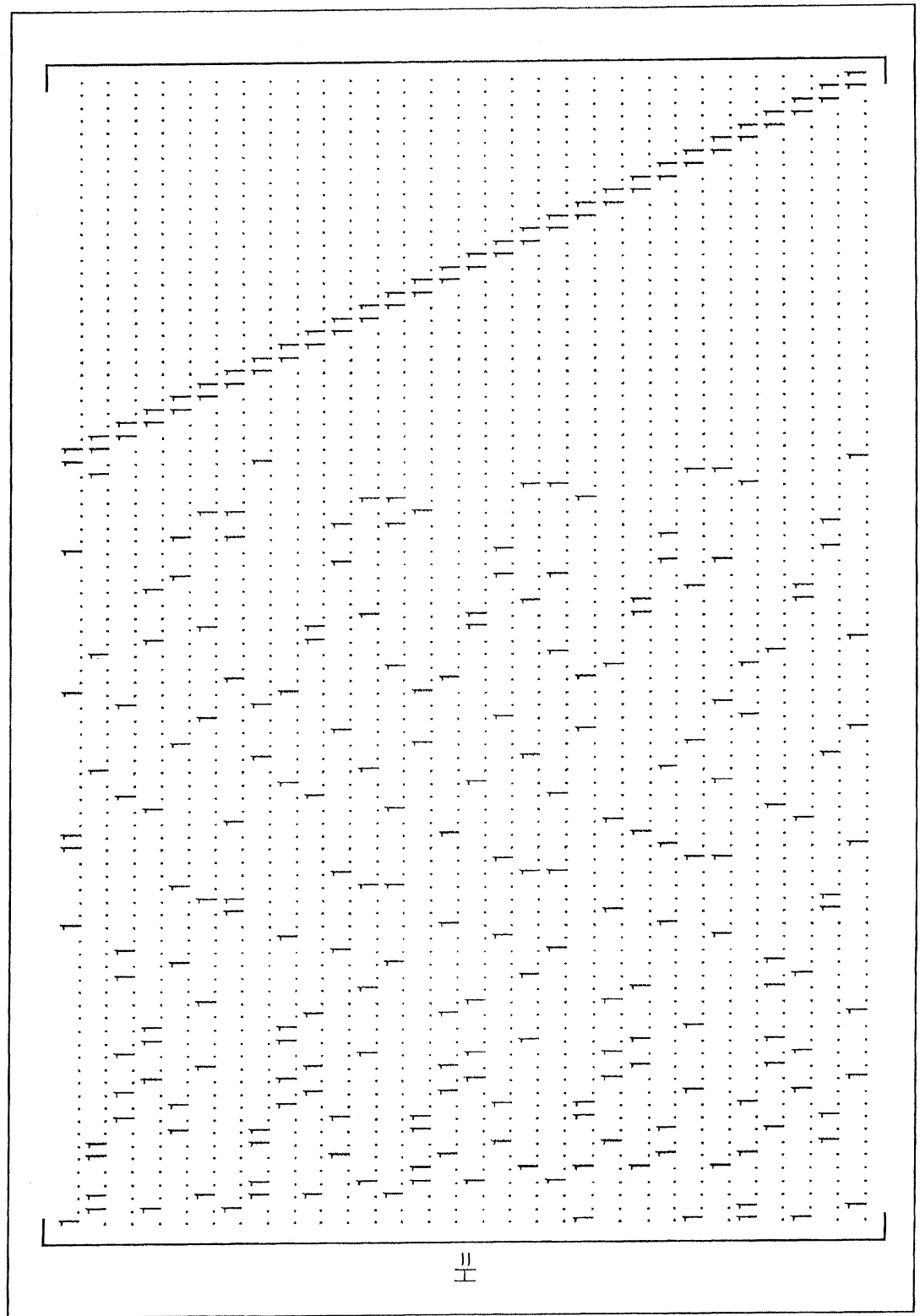


FIG. 50

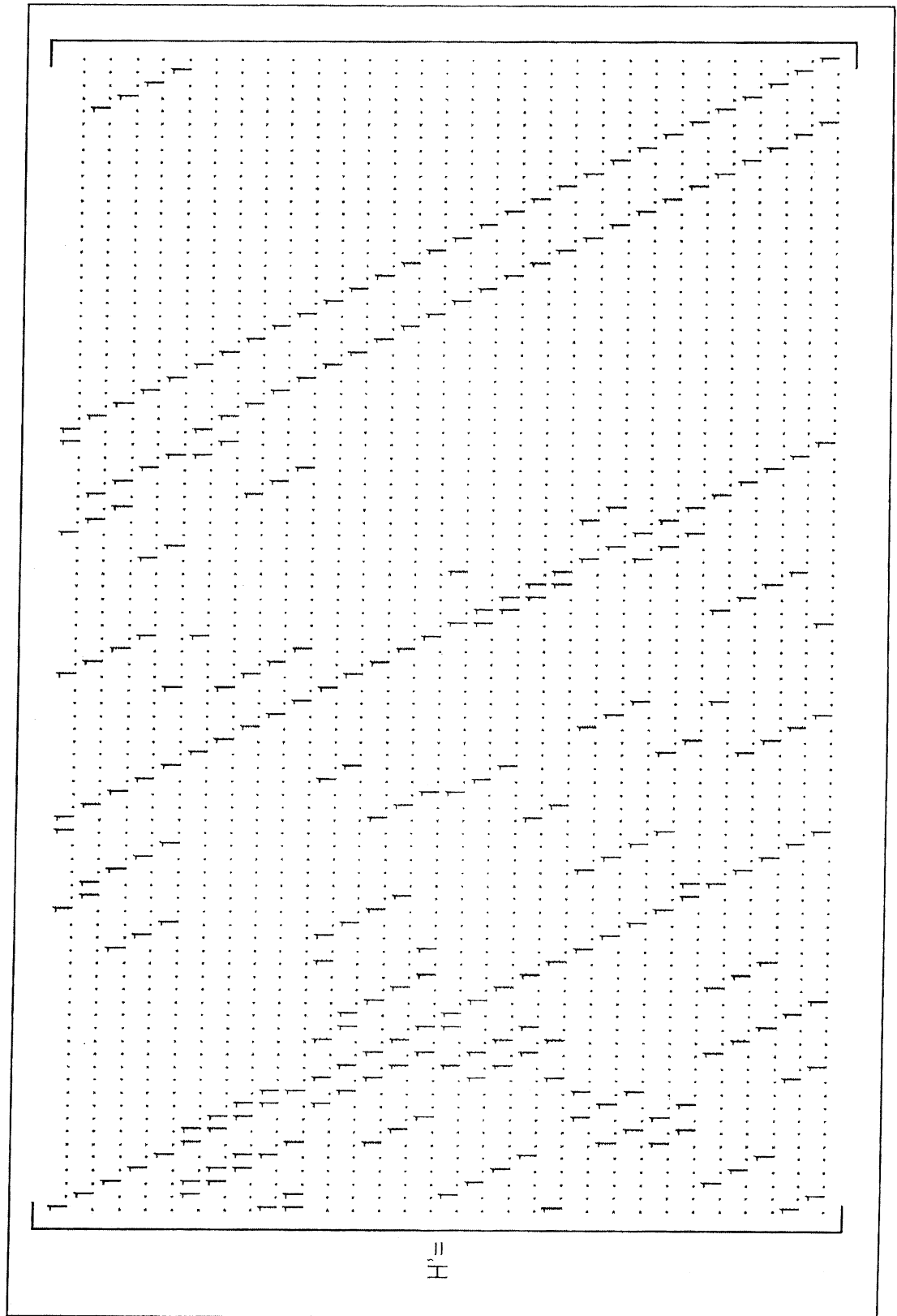


FIG. 51

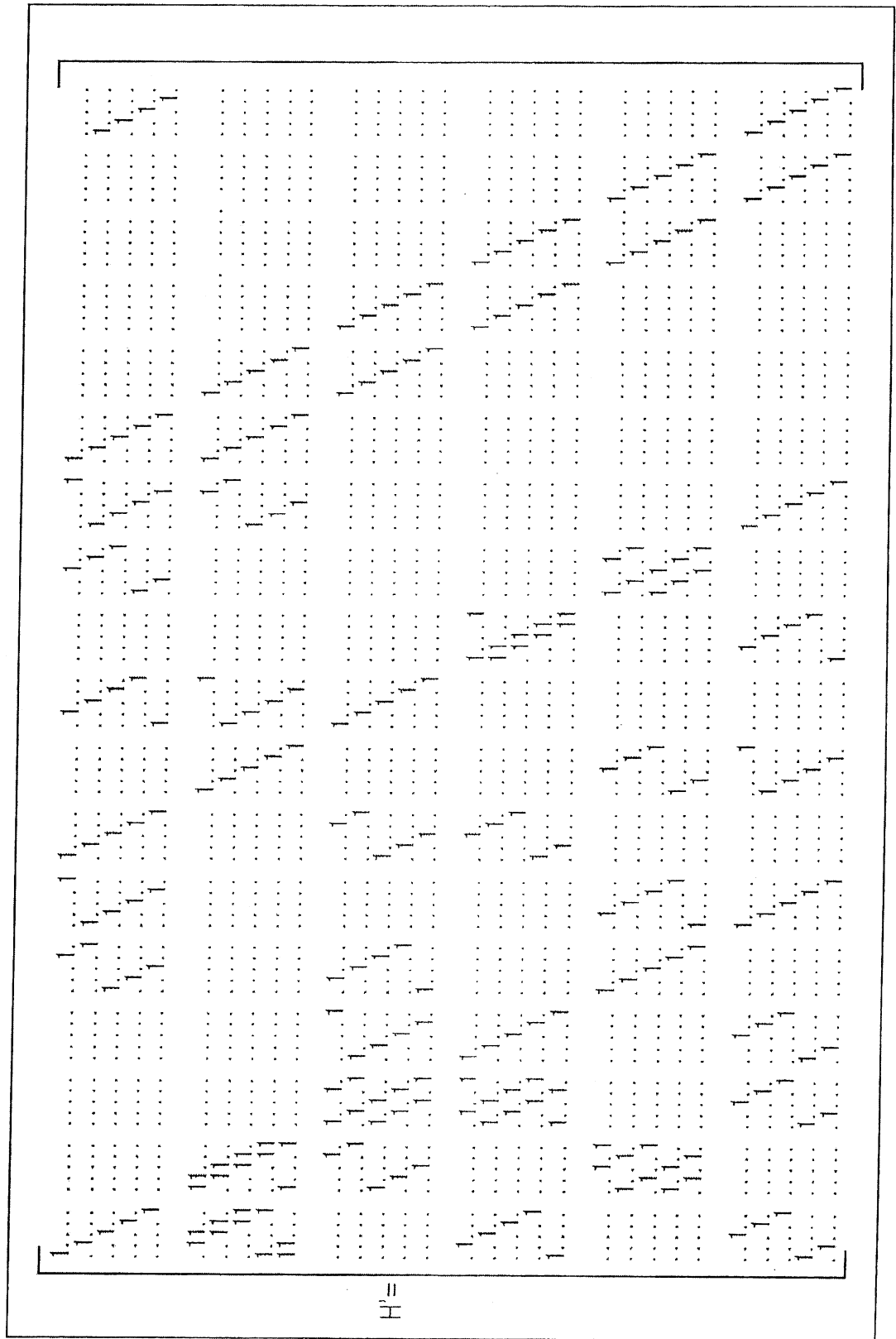


FIG. 52

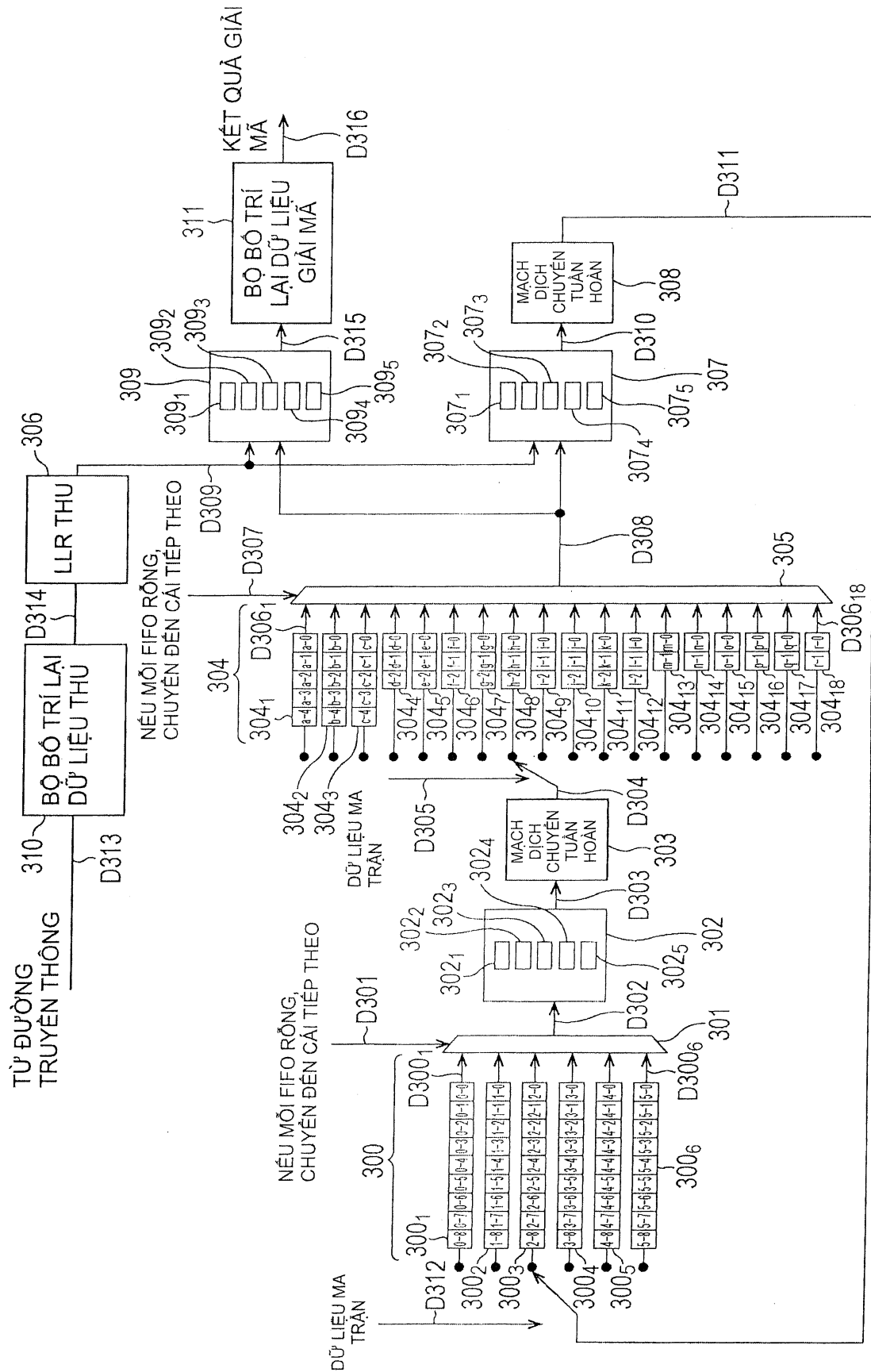


FIG. 53

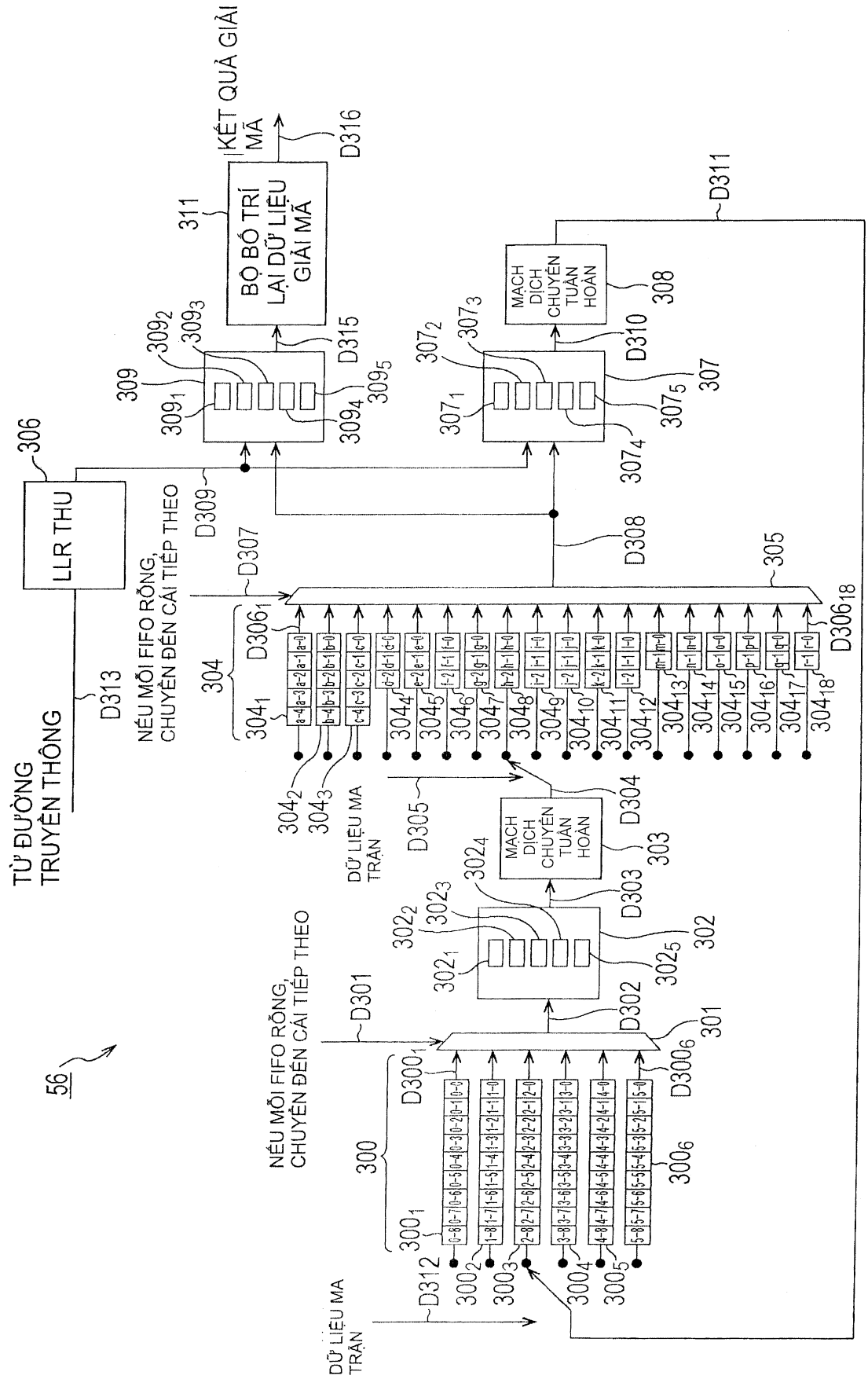


FIG. 54

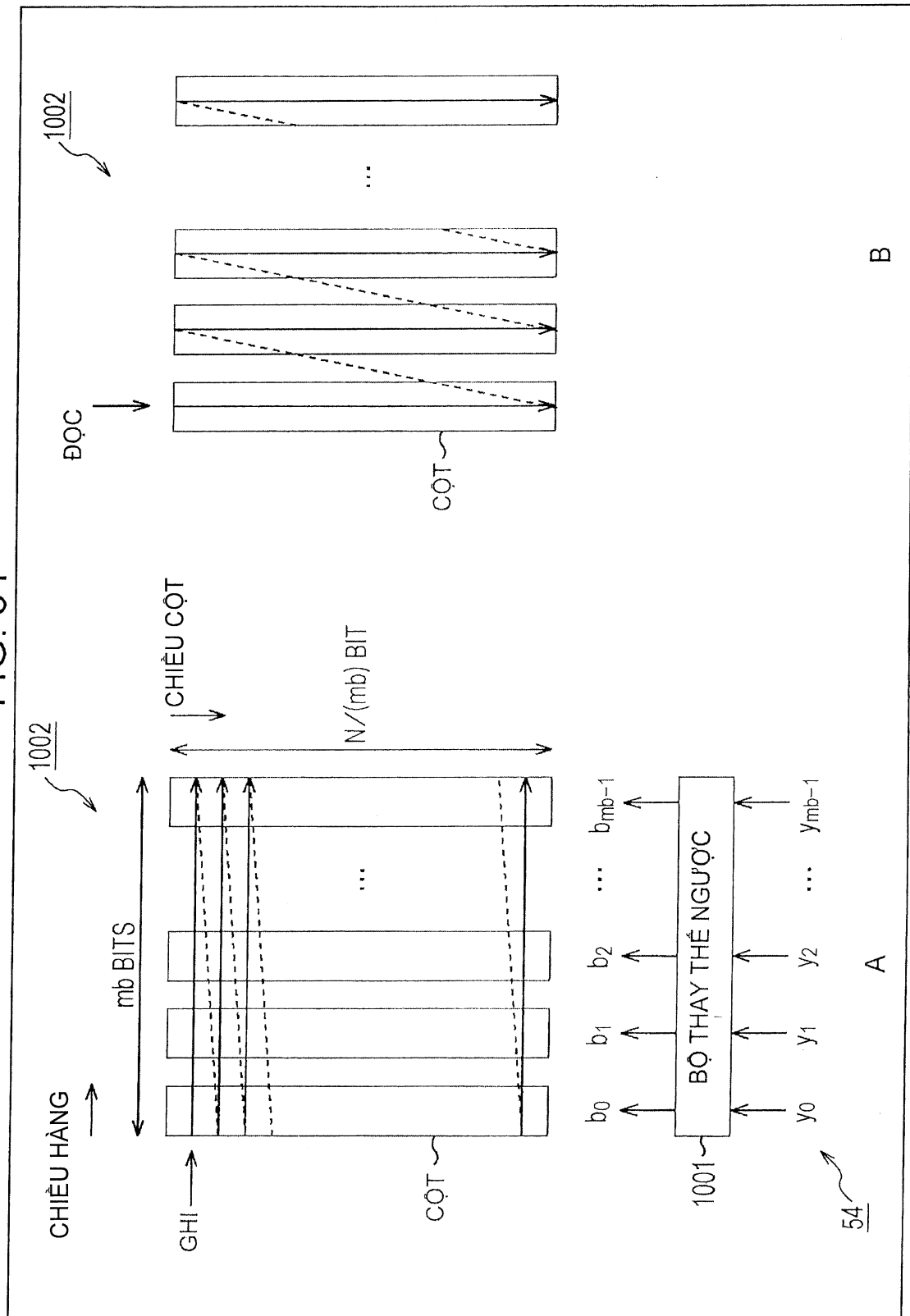


FIG. 55

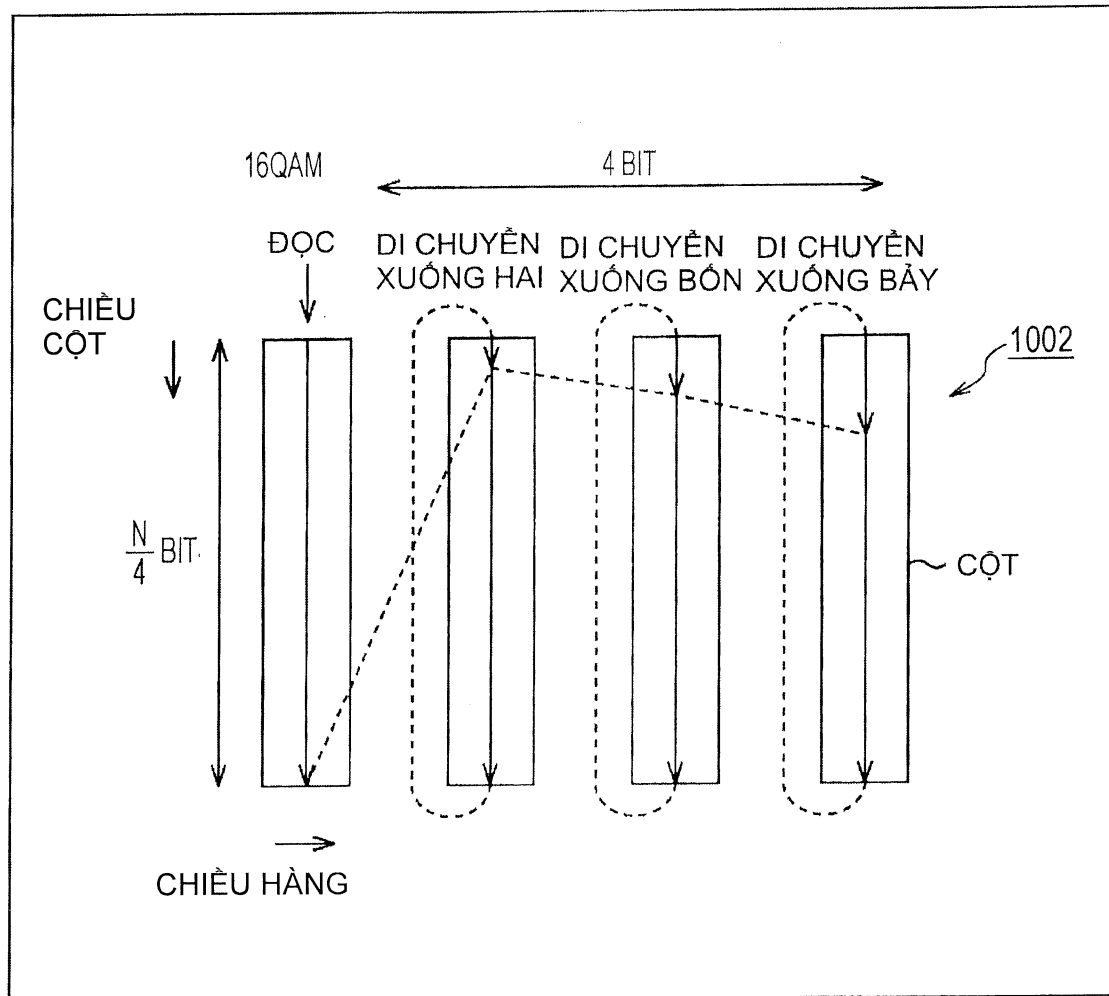


FIG. 56

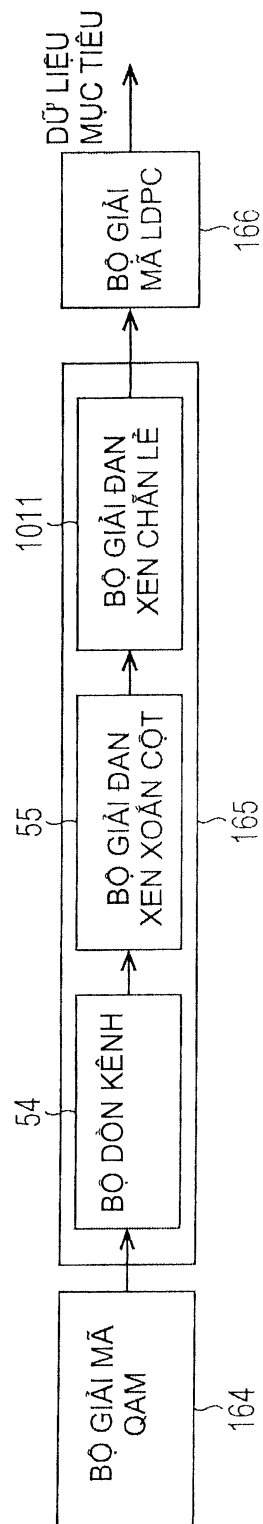


FIG. 57

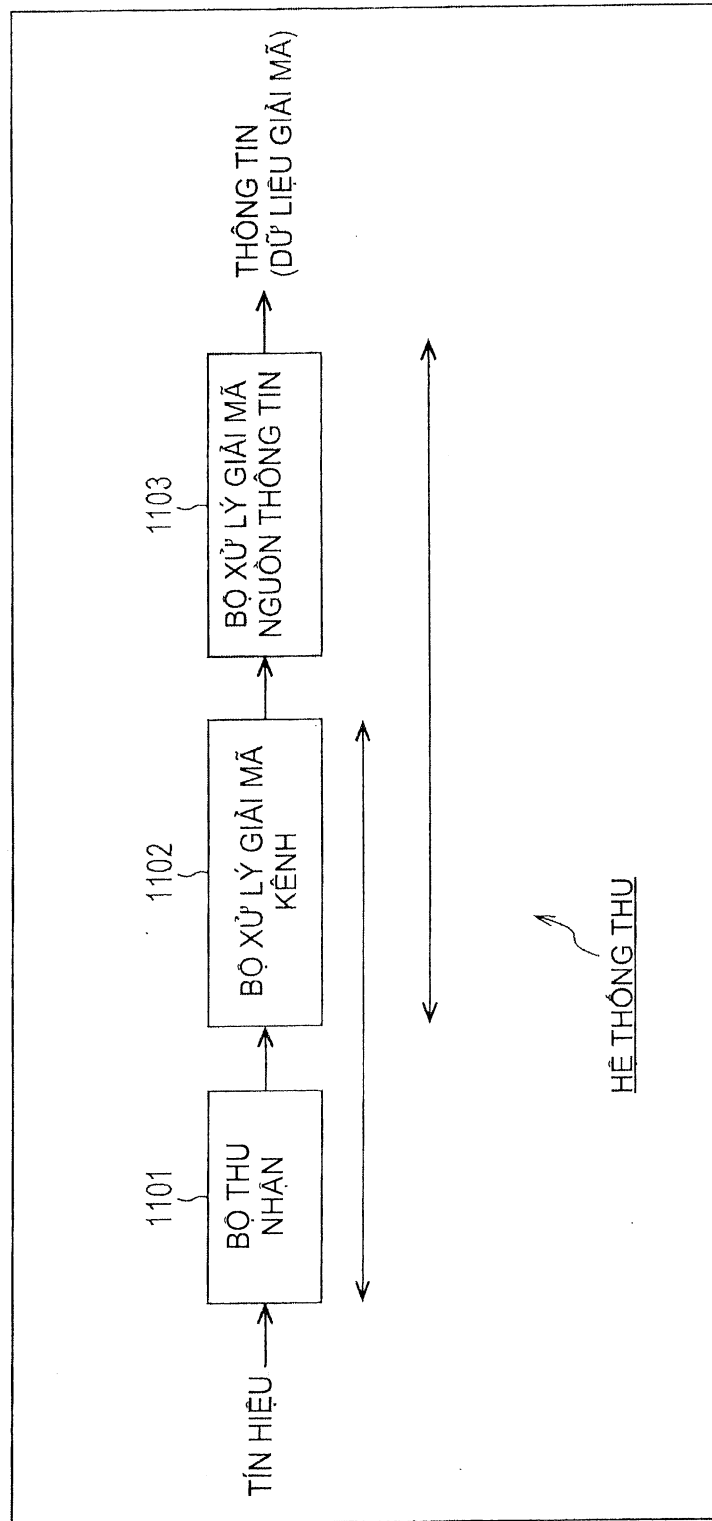


FIG. 58

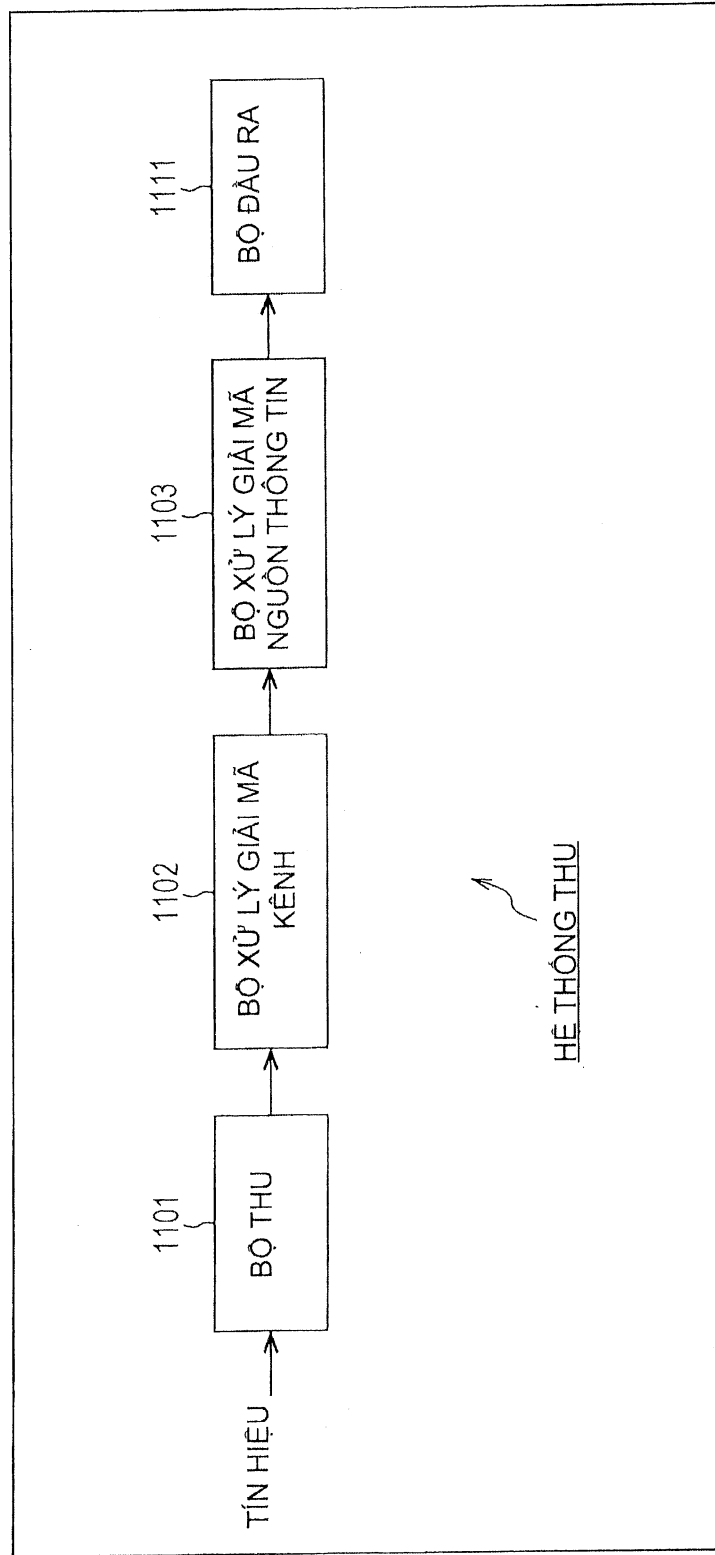


FIG. 59

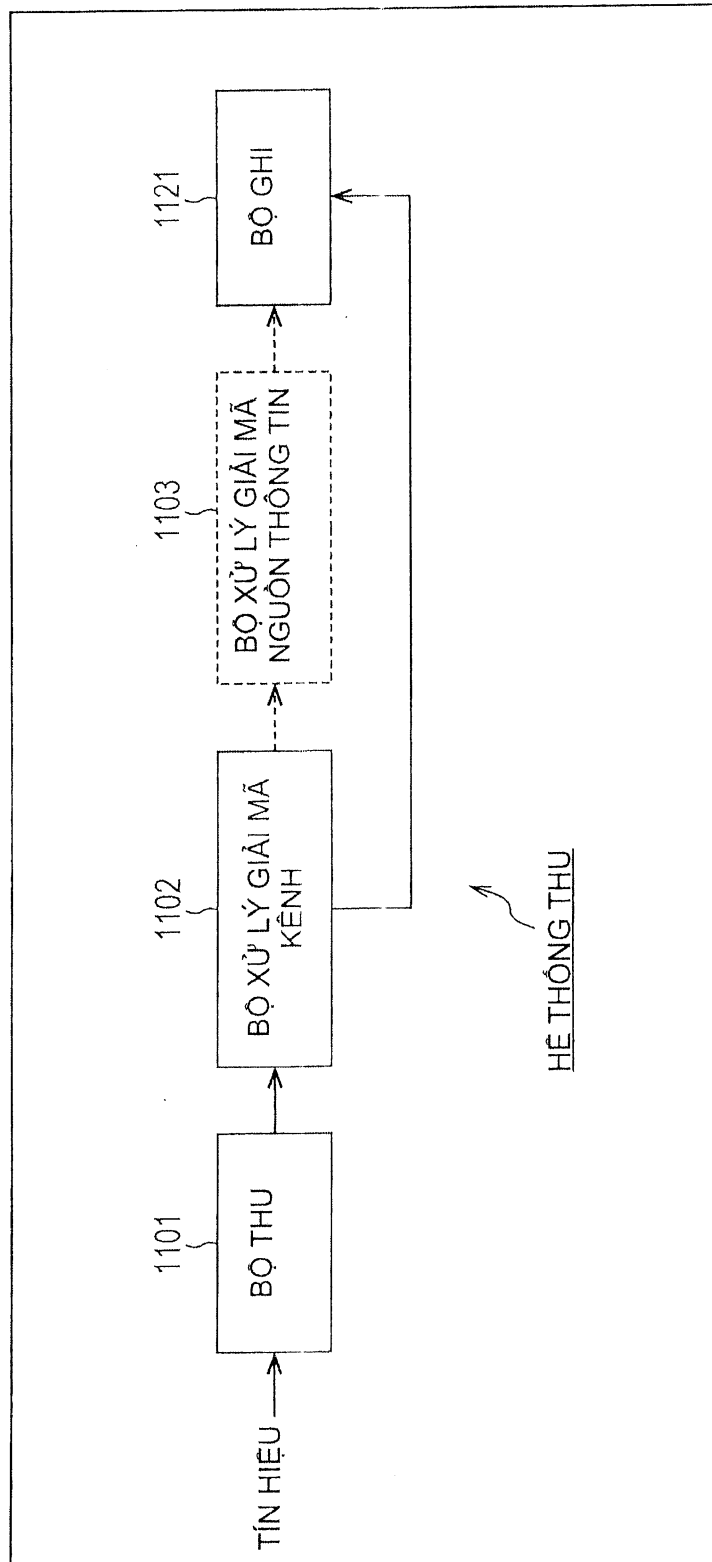


FIG. 60

