



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0025251

(51)⁷ G05B 9/03

(13) B

(21) 1-2014-04120

(22) 10/05/2012

(86) PCT/JP2012/062003 10/05/2012

(87) WO 2013/168258 A1 14/11/2013

(45) 25/08/2020 389

(43) 25/03/2015 324A

(73) Mitsubishi Electric Corporation (JP)

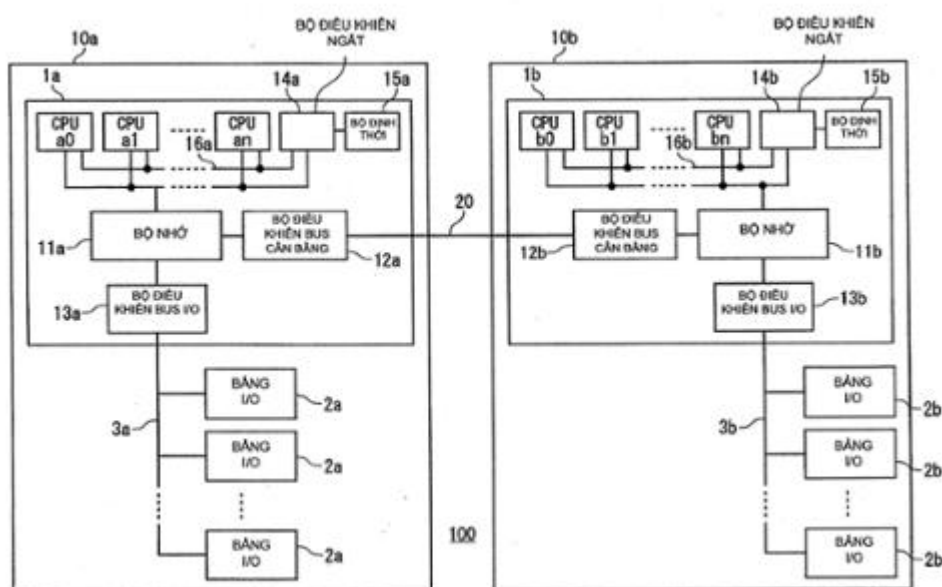
7-3, Marunouchi 2-chome, Chiyoda-ku, Tokyo 100-8310 Japan

(72) NOMURA Akihiro (JP).

(74) Công ty TNHH một thành viên Sở hữu trí tuệ VCCI (VCCI-IP CO.,LTD)

(54) HỆ THỐNG DỰ PHÒNG KÉP CHẾ ĐỘ CHỜ

(57) Sáng chế đề cập đến hệ thống dự phòng kép chế độ chờ (100) bao gồm hai bộ điều khiển (10a, 10b) có các bộ điều khiển bus cân bằng (12a, 12b) để truyền dữ liệu cân bằng được sử dụng để cân bằng các trạng thái thiết bị của bộ điều khiển phía hoạt động (1a) và bộ điều khiển phía chờ (10b), từ bộ điều khiển phía hoạt động (10a) đến bộ điều khiển phía chờ (10b) qua bus dữ liệu cân bằng (20), các bộ điều khiển bus cân bằng độc lập với các bộ điều khiển bus I/O (13a, 13b).



Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập đến hệ thống dự phòng kép chế độ chờ với các bộ điều khiển kép đều có nhiều bộ xử lý trung tâm (CPU- Central processing unit) để thực hiện các tính toán khác nhau bởi các CPU tương ứng theo chu kỳ không đổi.

Tình trạng kỹ thuật của sáng chế

Thông thường, với bộ điều khiển cân bằng dùng cho dữ liệu trong trường hợp sử dụng nhiều CPU, các CPU có các bộ điều khiển bus hệ thống tương ứng, và mỗi CPU được kết nối với bus hệ thống qua bộ điều khiển bus hệ thống. Với ví dụ về các cấu hình như vậy, hệ thống dự phòng kép chế độ chờ như được thể hiện trong tài liệu sáng chế 1 được đề xuất.

Trong hệ thống này, dữ liệu cân bằng được truyền từ CPU phía hoạt động đến CPU phía chờ nhờ sử dụng bộ điều khiển bus hệ thống, do đó thực hiện việc cân bằng dữ liệu giữa hai bộ điều khiển.

Danh mục tài liệu trích dẫn

Tài liệu sáng chế

Tài liệu sáng chế 1: Công bố đơn sáng chế Nhật Bản số 2002-149212 (các đoạn từ [0020] đến [0022], Fig.1, Fig.3)

Bản chất kỹ thuật của sáng chế

Vấn đề cần được giải quyết bởi sáng chế

Trong hệ thống dự phòng kép chế độ chờ có nhiều CPU mà mỗi CPU thực hiện sự tính toán khác nhau theo chu kỳ không đổi, bus được bố trí để truyền dữ liệu được cân bằng từ CPU phía hoạt động đến CPU phía chờ. Trong bộ điều khiển cân bằng được thể hiện trong tài liệu sáng chế 1, do mỗi CPU đều có bộ điều khiển bus để cân bằng dữ liệu, nếu số lượng các CPU tăng lên, thì số lượng các bộ điều khiển bus tương tự như các CPU được yêu cầu tăng lên.

Vì vậy, vẫn còn nhược điểm là kích cỡ mạch là lớn.

Ngoài ra, việc truyền/thu dữ liệu cân bằng và việc truyền/thu dữ liệu với bảng đầu vào/đầu ra (I/O – Input/Output) sử dụng cùng bus hệ thống. Vì vậy, việc truyền/thu dữ liệu cân bằng và việc truyền/thu với bảng I/O không thể được thực hiện đồng thời, và do đó vẫn còn nhược điểm là sự đáp ứng truyền dữ liệu không thể được nâng cao.

Sáng chế được tạo ra để giải quyết các vấn đề trên, và mục đích của sáng chế là tạo ra hệ thống dự phòng kép chế độ chờ có thể ngăn ngừa việc mạch không tăng số lượng các bộ điều khiển bus ngay cả khi số lượng các CPU tăng lên, và cho phép thực hiện đồng thời việc truyền/thu dữ liệu cân bằng giữa các bộ điều khiển và việc truyền/thu dữ liệu giữa bảng I/O và CPU.

Cách thức giải quyết vấn đề

Hệ thống dự phòng kép chế độ chờ theo sáng chế bao gồm hai bộ điều khiển sao cho, khi một trong các bộ điều khiển hoạt động là bộ điều khiển phía hoạt động, thì bộ điều khiển còn lại hoạt động là bộ điều khiển phía chờ, mỗi bộ điều khiển đều bao gồm: các CPU; bộ nhớ; bảng I/O; bộ điều khiển bus I/O để thực hiện việc truyền và thu dữ liệu giữa các CPU, bộ nhớ, và bảng I/O; và bộ điều khiển bus cân bằng để truyền dữ liệu cân bằng được sử dụng để cân bằng các trạng thái thiết bị của bộ điều khiển phía hoạt động và bộ điều khiển phía chờ, từ bộ điều khiển phía hoạt động đến bộ điều khiển phía chờ qua bus dữ liệu cân bằng, bộ điều khiển bus cân bằng độc lập với bộ điều khiển bus I/O.

Hiệu quả của sáng chế

Trong hệ thống dự phòng kép chế độ chờ theo sáng chế, mỗi bộ điều khiển đều bao gồm: các CPU; bộ nhớ; bảng I/O; bộ điều khiển bus I/O để thực hiện việc truyền và thu dữ liệu giữa các CPU, bộ nhớ, và bảng I/O; và bộ điều khiển bus cân bằng để truyền dữ liệu cân bằng được sử dụng để cân bằng các trạng thái thiết bị của bộ điều khiển phía hoạt động và bộ điều khiển phía chờ, từ bộ điều khiển phía hoạt động đến bộ điều khiển phía chờ qua bus dữ liệu cân bằng, bộ điều khiển bus cân bằng độc lập với bộ điều khiển bus I/O.

Do đó, không cần bố trí bộ điều khiển bus cho mỗi CPU trong việc xử lý cân bằng dữ liệu được xử lý bởi các CPU.

Ngoài ra, do các bus dữ liệu cân bằng và các bus I/O được kết cấu là các bus độc lập, và các bộ điều khiển bus tương ứng của chúng cũng độc lập với nhau, nên có thể thực hiện việc truyền/thu dữ liệu cân bằng và việc truyền/thu với bảng I/O đồng thời, do đó thực hiện được việc xử lý tốc độ cao.

Mô tả vắn tắt các hình vẽ

Fig.1 là sơ đồ thể hiện cấu hình của hệ thống dự phòng kép chế độ chờ theo phương án thứ nhất của sáng chế.

Fig.2 là sơ đồ thể hiện cấu hình của bộ điều khiển ngắt trong hệ thống dự phòng kép chế độ chờ theo phương án thứ nhất của sáng chế.

Fig.3 là sơ đồ thể hiện cấu hình của bộ nhớ trong hệ thống dự phòng kép chế độ chờ theo phương án thứ nhất của sáng chế.

Fig.4 là sơ đồ thể hiện cấu hình của dữ liệu truyền dữ liệu cân bằng trong hệ thống dự phòng kép chế độ chờ theo phương án thứ nhất của sáng chế.

Fig.5 là lưu đồ thể hiện hoạt động của CPU a0 của bộ điều khiển phía hoạt động trong hệ thống dự phòng kép chế độ chờ theo phương án thứ nhất của sáng chế.

Fig.6 là lưu đồ thể hiện hoạt động của CPU a1 của bộ điều khiển phía hoạt động trong hệ thống dự phòng kép chế độ chờ theo phương án thứ nhất của sáng chế.

Fig.7 là lưu đồ thể hiện hoạt động của CPU b0 của bộ điều khiển phía hoạt động trong hệ thống dự phòng kép chế độ chờ theo phương án thứ nhất của sáng chế.

Fig.8 là lưu đồ thể hiện hoạt động của CPU b1 của bộ điều khiển phía hoạt động trong hệ thống dự phòng kép chế độ chờ theo phương án thứ nhất của sáng chế.

Fig.9 là biểu đồ thời gian thể hiện hoạt động của hệ thống dự phòng kép chế độ chờ theo phương án thứ nhất của sáng chế.

Fig.10 là biểu đồ thời gian thể hiện hoạt động của hệ thống dự phòng kép chế độ chờ theo phương án thứ nhất của sáng chế.

Fig.11 là lưu đồ thể hiện hoạt động của CPU a0 của bộ điều khiển phía

hoạt động trong hệ thống dự phòng kép chế độ chờ theo phương án thứ hai của sáng chế.

Fig.12 là lưu đồ thể hiện hoạt động của CPU a1 của bộ điều khiển phía hoạt động trong hệ thống dự phòng kép chế độ chờ theo phương án thứ hai của sáng chế.

Fig.13 là sơ đồ thể hiện cấu hình của bộ nhớ trong hệ thống dự phòng kép chế độ chờ theo phương án thứ ba của sáng chế.

Fig.14 là biểu đồ thời gian thể hiện hoạt động của hệ thống dự phòng kép chế độ chờ theo phương án thứ ba của sáng chế.

Fig.15 là biểu đồ thời gian thể hiện hoạt động của hệ thống dự phòng kép chế độ chờ theo phương án thứ ba của sáng chế.

Fig.16 là sơ đồ thể hiện cấu hình của bộ nhớ trong hệ thống dự phòng kép chế độ chờ theo phương án thứ tư của sáng chế.

Fig.17 là sơ đồ thể hiện cấu hình của bộ nhớ trong hệ thống dự phòng kép chế độ chờ theo phương án thứ năm của sáng chế.

Fig.18 là sơ đồ thể hiện cấu hình của hệ thống dự phòng kép chế độ chờ theo phương án thứ sáu của sáng chế.

Fig.19 là sơ đồ thể hiện cấu hình của dữ liệu truyền dữ liệu cân bằng trong hệ thống dự phòng kép chế độ chờ theo phương án thứ sáu của sáng chế.

Fig.20 là sơ đồ thể hiện cấu hình của hệ thống dự phòng kép chế độ chờ theo phương án thứ bảy của sáng chế.

Fig.21 là sơ đồ thể hiện các cấu hình của các bộ nhớ chung trong hệ thống dự phòng kép chế độ chờ theo phương án thứ bảy của sáng chế.

Fig.22 là sơ đồ thể hiện các cấu hình của các bộ nhớ riêng trong hệ thống dự phòng kép chế độ chờ theo phương án thứ bảy của sáng chế.

Fig.23 là sơ đồ thể hiện cấu hình của dữ liệu truyền dữ liệu cân bằng trong hệ thống dự phòng kép chế độ chờ theo phương án thứ tám của sáng chế.

Mô tả chi tiết sáng chế

Phương án thứ nhất

Dưới đây, phương án thứ nhất của sáng chế sẽ được mô tả dựa vào các

hình vẽ.

Fig.1 là sơ đồ thể hiện cấu hình của hệ thống dự phòng kép chế độ chờ 100 (dưới đây gọi tắt là hệ thống 100).

Trên Fig.1, hệ thống 100 bao gồm bộ điều khiển phía hoạt động 10a, bộ điều khiển phía chờ 10b, và bus dữ liệu cân bằng 20.

Kết quả tính toán của bộ điều khiển phía hoạt động 10a được gửi đến bộ điều khiển phía chờ 10b qua bus dữ liệu cân bằng 20.

Bộ điều khiển phía chờ 10b có cấu hình giống bộ điều khiển phía hoạt động 10a. Do đó, cấu hình của mỗi bộ điều khiển sẽ được mô tả chủ yếu dựa vào bộ điều khiển phía hoạt động 10a.

Ở đây, trường hợp ở đó hai bộ điều khiển được cố định là bộ điều khiển phía hoạt động 10a và bộ điều khiển phía chờ 10b sẽ được mô tả. Tuy nhiên, trong thực tế, do bộ điều khiển phía hoạt động 10a và bộ điều khiển phía chờ 10b có cấu hình giống nhau, nên các vai trò của chúng có thể được thay thế lẫn nhau.

Bộ điều khiển phía hoạt động 10a bao gồm bảng CPU 1a, các bảng I/O 2a, và bus I/O 3a. Dữ liệu đầu vào cần thiết cho đoạn chương trình tính toán của bảng CPU 1a thu được nhờ được đọc từ bảng I/O 2a qua bus I/O 3a.

Ngoài ra, dữ liệu đầu ra là kết quả tính toán của đoạn chương trình tính toán của bảng CPU 1a được ghi vào bảng I/O 2a qua bus I/O 3a.

Đầu ra của dữ liệu đến thiết bị được điều khiển bởi hệ thống 100 được thực hiện bởi bảng I/O 2a trong bộ điều khiển phía hoạt động 10a.

Ngay cả khi dữ liệu đầu ra được ghi trên phía bảng I/O 2b trong bộ điều khiển phía chờ 10b, thì dữ liệu được đưa tới thiết bị được cắt trong bảng I/O 2b, để dữ liệu đầu ra không được truyền từ bộ điều khiển phía chờ 10b đến thiết bị.

Bảng CPU 1a bao gồm các CPU từ CPU a0 đến CPU an, bộ nhớ 11a, bộ điều khiển bus cân bằng 12a, bộ điều khiển bus I/O 13a, bộ điều khiển ngắt 14a tương ứng với bộ phận điều khiển thực hiện trong các điểm yêu cầu bảo hộ kèm theo, và bộ định thời 15a.

Các CPU từ CPU a0 đến CPU an thực hiện các tính toán khác nhau tương ứng.

Trong bộ nhớ 11a, dữ liệu được sử dụng trong tính toán bởi mỗi CPU được đặt vào.

Bộ điều khiển bus I/O 13a thực hiện việc truyền dữ liệu giữa bộ nhớ 11a và các bảng I/O 2a qua bus I/O 3a theo lệnh đọc hoặc lệnh ghi đối với dữ liệu được sử dụng bởi mỗi CPU.

Bộ điều khiển bus cân bằng 12a của bộ điều khiển phía hoạt động 10a truyền kết quả tính toán được thực hiện bởi mỗi CPU của bộ điều khiển phía hoạt động 10a, hoặc tương tự, đến bộ điều khiển bus cân bằng 12b của bộ điều khiển phía chờ 10b qua bus dữ liệu cân bằng 20.

Bộ điều khiển bus cân bằng 12b của bộ điều khiển phía chờ 10b lưu trữ dữ liệu thu được vào bộ nhớ 11b của bộ điều khiển phía chờ 10b.

Ngoài ra, bộ điều khiển ngắt 14a thông báo tới mỗi CPU từ a0 đến an việc ngắt, nhờ sử dụng tín hiệu ngắt 16a.

Ngoài ra, bộ định thời 15a được kết nối với bộ điều khiển ngắt 14a, theo đó CPU định trước có thể được thông báo về việc ngắt tại các khoảng thời gian bằng nhau.

Fig.2 là sơ đồ thể hiện cấu hình của bộ điều khiển ngắt 14a.

Bộ điều khiển ngắt 14a được bố trí các thanh ghi thông báo ngắt tương ứng với các CPU từ a0 đến an. Ví dụ, khi dữ liệu được đặt trong thanh ghi thông báo ngắt đối với CPU a0, tín hiệu ngắt 17a0 đến CPU a0 được bật, theo đó CPU a0 được thông báo về việc ngắt.

Các thanh ghi thông báo ngắt và các tín hiệu ngắt từ 17a0 đến 17an được bố trí cho các CPU tương ứng.

Các thanh ghi thông báo ngắt đối với các CPU từ a0 đến an có thể truy cập từ CPU của nhau, và mỗi CPU có thể thông báo đến CPU khác về việc ngắt.

Fig.3 là sơ đồ thể hiện cấu hình dữ liệu được lưu trữ trong bộ nhớ 11a và bộ nhớ 11b.

Bộ nhớ 11a và bộ nhớ 11b có cấu hình giống nhau. Do đó, bộ nhớ 11a sẽ được mô tả dưới đây.

Dữ liệu đầu vào 11A1 là dữ liệu thu được nhờ được đọc từ bảng I/O 2a.

Dữ liệu đầu ra 11a2 là dữ liệu được ghi vào bảng I/O 2a.

Dữ liệu đầu vào 11A1 và dữ liệu đầu ra 11a2 được lưu trữ theo định dạng được sử dụng trong việc truyền và thu giữa bảng I/O 2a và thiết bị đích điều khiển.

Ngoài ra, trong bộ nhớ 11a, các đoạn chương trình tính toán từ p_0 đến p_n được lưu trữ để lần lượt được thực hiện bởi các CPU từ a_0 đến a_n .

Trên thực tế, các đoạn chương trình tính toán từ p_0 đến p_n mỗi đoạn bao gồm việc xử lý (phép toán 1) biến đổi, từ dữ liệu đầu vào 11A1, dữ liệu được sử dụng trong tính toán bởi mỗi CPU thành định dạng thích hợp cho việc tính toán, việc xử lý (phép toán 2) thực sự thực hiện việc tính toán, và việc xử lý (phép toán 3) biến đổi kết quả tính toán thành dữ liệu theo định dạng thích hợp cho đầu ra từ bảng I/O 2a.

Ngoài ra, trong bộ nhớ 11a, dữ liệu để tính toán được sử dụng trong các đoạn chương trình tính toán từ p_0 đến p_n được thực hiện bởi CPU từ a_0 đến a_n được sắp xếp theo thứ tự từ dữ liệu tính toán pd_0 đến dữ liệu tính toán pd_n cho các CPU tương ứng.

Các nội dung cụ thể của các dữ liệu tính toán sẽ được mô tả dựa vào dữ liệu tính toán pd_0 được sử dụng bởi CPU a_0 .

Dữ liệu tính toán pd_0 thực tế được bao gồm các dữ liệu.

Các dữ liệu này được phân loại thành ba loại dữ liệu.

Loại dữ liệu thứ nhất là dữ liệu thu được bằng cách thu thập dữ liệu được sử dụng trong đoạn chương trình tính toán p_0 đối với CPU a_0 từ dữ liệu đầu vào 11A1 và sau đó biến đổi dữ liệu thành định dạng thích hợp đối với phép toán 2 nhờ phép toán 1 trong đoạn chương trình tính toán p_0 .

Loại dữ liệu thứ hai bao gồm dữ liệu thu được nhờ phép toán 2 trong đoạn chương trình tính toán p_0 và nhóm dữ liệu được tích lũy dữ liệu như vậy trước đó.

Loại dữ liệu thứ ba là dữ liệu thu được bằng cách biến đổi dữ liệu kết quả của phép toán 2 trong đoạn chương trình tính toán p_0 thành định dạng của dữ liệu đầu ra đến bảng I/O 2a nhờ phép toán 3 trong đoạn chương trình tính toán p_0 .

Ngoài ra, bộ nhớ 11a có vùng đệm truyền dữ liệu cân bằng 11A3, vùng

đệm thu nhận dữ liệu cân bằng 11a4, và vùng đệm thu nhận dữ liệu cân bằng 11a5.

Vùng đệm truyền dữ liệu cân bằng 11a3 được sử dụng khi bộ điều khiển hoạt động là bộ điều khiển phía hoạt động 10a.

Bộ điều khiển bus cân bằng 12a của bộ điều khiển phía hoạt động 10a truyền nội dung của vùng đệm truyền dữ liệu cân bằng 11A3 đến bộ điều khiển bus cân bằng 12b của bộ điều khiển phía chờ 10b.

Ngoài ra, ở bước truyền, bộ điều khiển bus cân bằng 12a bổ sung kiểm tra tổng được sử dụng để xác nhận tính hợp lệ của dữ liệu được truyền.

Vùng đệm thu nhận dữ liệu cân bằng 11a4 và vùng đệm thu nhận dữ liệu cân bằng 11a5 được sử dụng khi bộ điều khiển hoạt động là bộ điều khiển phía chờ.

Điểm này sẽ được mô tả dưới đây dựa vào hoạt động của bộ điều khiển phía chờ 10b.

Bộ điều khiển bus cân bằng 12b của bộ điều khiển phía chờ 10b xác nhận dữ liệu thu được từ bộ điều khiển phía chờ 10a nhờ sử dụng kiểm tra tổng.

Sau đó, nếu dữ liệu thu được được xác nhận là hợp lệ, dữ liệu thu được được lưu trữ luân phiên vào vùng đệm thu nhận dữ liệu cân bằng 11b4 hoặc vùng đệm thu nhận dữ liệu cân bằng 11b5. Nếu dữ liệu thu được được xác nhận là không hợp lệ, dữ liệu thu được bị loại bỏ.

Tại thời điểm này, vùng đệm thu nhận khác mà không được sử dụng cho việc nhận dữ liệu bằng bộ điều khiển bus cân bằng 12b về phía chờ được sử dụng để xử lý dữ liệu bởi CPU về phía chờ.

Ở đây, phần mô tả quay lại bộ điều khiển phía hoạt động 10a.

Trong bộ nhớ 11a của bộ điều khiển phía hoạt động 10a, số các lần các đoạn chương trình tính toán từ p_0 đến p_n tương ứng được thực hiện bởi các CPU từ a_0 đến a_n được lưu trữ là các phép tính thực hiện từ pc_0 đến pc_n .

Ngay cả trong trường hợp tràn trên, các giá trị phép tính này cũng không trở nên bất thường nhưng được tính lại từ 0.

Fig.4 là sơ đồ thể hiện cấu hình của dữ liệu truyền được lưu trữ trong vùng đệm truyền dữ liệu cân bằng 11A3.

Ba loại dữ liệu, ví dụ, số nhận dạng của mỗi CPU, kích thước dữ liệu tính toán cần thiết để lưu trữ kết quả của đoạn chương trình tính toán đối với mỗi CPU, và dữ liệu tính toán, được lưu thành một bộ, và các bộ dữ liệu của đoạn chương trình tính toán tương ứng p_0 đối với CPU a_0 tới đoạn chương trình tính toán p_n đối với CPU a_n được nối với nhau.

Dưới đây, hoạt động của bộ điều khiển phía hoạt động 10a sẽ được mô tả.

Fig.5 là lưu đồ thể hiện hoạt động của bộ điều khiển phía hoạt động 10a.

Bộ định thời 15a và bộ điều khiển ngắt 14a của bộ điều khiển phía hoạt động 10a được đặt trước để thông báo cho CPU a_0 việc ngắt tại các khoảng thời gian của chu kỳ T.

Đầu tiên, dựa vào thông báo ngắt, CPU a_0 của bộ điều khiển phía hoạt động 10a bắt đầu việc xử lý.

Đầu tiên, ở bước ST1010, thông báo từ bộ định thời 15a chỉ báo rằng chu kỳ T đã trôi qua được thiết lập lại.

Việc thiết lập lại này được thực hiện để đợi thông báo tiếp theo của chu kỳ T từ bộ định thời 15a.

Dưới đây, ở bước ST1020, dữ liệu được đưa vào từ bảng I/O 2a.

CPU a_0 yêu cầu bộ điều khiển bus I/O 13a đọc dữ liệu đầu vào từ bảng I/O 2a.

Để đáp ứng yêu cầu đọc, bộ điều khiển bus I/O 13a đọc dữ liệu từ các bảng I/O 2a qua bus I/O 3a, và lưu trữ dữ liệu đọc được dưới dạng dữ liệu đầu vào 11A1 trong bộ nhớ 11a.

Dưới đây, ở bước ST1030, CPU a_0 thông báo cho các CPU khác bắt đầu xử lý. Các giá trị định trước được ghi vào các thanh ghi thông báo ngắt tương ứng với các CPU từ a_1 đến a_n trong bộ điều khiển ngắt 14a.

Sau đó, bộ điều khiển ngắt 14a bật các tín hiệu ngắt từ 17a1 đến 17an, để cung cấp thông báo rằng việc ngắt xảy ra tại các CPU từ a_1 đến a_n .

Dưới đây, ở bước ST1040, CPU a_0 thực hiện việc tính toán đoạn chương trình tính toán p_0 .

Như được nêu trên, đoạn chương trình tính toán p_0 bao gồm việc xử lý (phép toán 1) biến đổi dữ liệu được sử dụng trong việc tính toán của CPU a_0

thành định dạng thích hợp cho việc tính toán, việc xử lý (phép toán 2) thực hiện thực sự việc tính toán và việc xử lý (phép toán 3) biến đổi kết quả tính toán thành định dạng dữ liệu thích hợp cho đầu ra từ bảng I/O 2a.

Thứ nhất, dữ liệu trong dữ liệu đầu vào 11a1, được sử dụng trong việc tính toán bởi CPU a0, được biến đổi thành định dạng phù hợp cho việc tính toán của đoạn chương trình tính toán p0, và sau đó được lưu trữ dưới dạng dữ liệu tính toán pd0 (phép toán 1).

Tiếp theo, việc xử lý chính bởi phép toán 2 được thực hiện, kết quả tính toán được lưu trữ để được bổ sung vào dữ liệu tính toán pd0 (phép toán 2).

Ngoài ra, việc xử lý (phép toán 3) biến đổi kết quả tính toán nhờ phép toán 2 thành định dạng phù hợp với bảng I/O 2a được thực hiện, và dữ liệu được biến đổi được lưu trữ trong dữ liệu đầu ra 11a2.

Tiếp theo, ở bước ST1050, giá trị của số đếm thực hiện pc0 trong bộ nhớ 11a, chỉ báo số các lần đoạn chương trình tính toán p0 đã được thực hiện, được tăng thêm một.

Dưới đây, ở bước ST1060, việc hoàn thành tất cả các quy trình xử lý của các CPU a1 được nêu mô tả.

Tiếp theo, ở bước ST1070, sau khi tất cả các quy trình xử lý của các CPU từ a1 đến an đã được hoàn thành, thông báo hoàn thành xử lý từ mỗi CPU được thiết lập lại, và vì vậy thông báo hoàn thành xử lý trong chu kỳ tiếp theo được chờ.

Tiếp theo, ở bước ST1080, dữ liệu kết quả của phép toán 1 và dữ liệu kết quả của phép toán 2 (sau đây gọi tắt là “dữ liệu tính toán p0”) trong dữ liệu tính toán từ pd0 đến pdn được nối với nhau, và dữ liệu truyền được thể hiện trên Fig.4 được lưu trữ vào vùng đệm truyền dữ liệu cân bằng 11A3.

Tiếp theo, ở bước ST1090, CPU a0 lệnh bộ điều khiển bus cân bằng 12a truyền dữ liệu truyền trong vùng đệm truyền dữ liệu cân bằng 11A3 đến bộ điều khiển phía chờ 10b.

Để đáp ứng lệnh từ CPU a0, bộ điều khiển bus cân bằng 12a truyền dữ liệu trong vùng đệm truyền dữ liệu cân bằng 11A3 đến bộ điều khiển phía chờ 10b.

Tiếp theo, CPU a0 phát lệnh thực hiện việc xử lý của ST1100 mà không cần chờ hoàn thành việc truyền của bộ điều khiển bus cân bằng 12a ở bước ST1090.

Ở bước ST1100, việc xử lý đưa ra dữ liệu tới bảng I/O 2a được thực hiện.

CPU a0 yêu cầu bộ điều khiển bus I/O 13a thực hiện việc ghi từ dữ liệu đầu ra 11a2 của bộ nhớ 11a vào bảng I/O 2a.

Để đáp ứng yêu cầu ghi, bộ điều khiển bus I/O 13a ghi dữ liệu vào bảng I/O 2a qua bus I/O 3a.

Fig.6 là lưu đồ thể hiện hoạt động của CPU a1 (đến CPU an) của bộ điều khiển phía hoạt động 10a.

Dưới đây, các hoạt động của các CPU từ a1 đến an sẽ được mô tả dựa vào Fig.6.

Do các hoạt động của các CPU từ a1 đến an giống nhau, trên Fig.6, nên hoạt động của CPU a1 sẽ được mô tả.

Thứ nhất, khi CPU a1 đã bắt đầu xử lý để đáp ứng thông báo bắt đầu xử lý dựa vào lệnh từ CPU a0, ở bước ST1110, thông báo bắt đầu xử lý từ CPU a0 được thiết lập lại.

Việc thiết lập lại này được thực hiện để chờ thông báo tiếp theo.

Tiếp theo, ở bước ST1120, việc tính toán đoạn chương trình tính toán p1 của CPU a1 được thực hiện. Như được nêu trên, đoạn chương trình tính toán p1 bao gồm việc xử lý (phép toán 1) biến đổi dữ liệu được sử dụng trong việc tính toán của CPU a1 thành định dạng thích hợp cho việc tính toán, việc xử lý (phép toán 2) thực hiện thực sự việc tính toán và việc xử lý (phép toán 3) biến đổi kết quả tính toán thành định dạng dữ liệu thích hợp cho đầu ra từ bảng I/O 2a.

Thứ nhất, dữ liệu đầu vào trong dữ liệu đầu vào 11A1, được sử dụng trong việc tính toán của CPU a1, được biến đổi thành định dạng phù hợp với việc tính toán trong đoạn chương trình tính toán p1, và sau đó được lưu trữ là dữ liệu tính toán pd1 (phép toán 1).

Tiếp theo, việc xử lý chính của phép toán 2 được thực hiện, và kết quả tính toán được lưu trữ để được bổ sung vào dữ liệu tính toán pd1.

Ngoài ra, việc xử lý (phép toán 3) biến đổi kết quả tính toán của phép toán

2 thành định dạng phù hợp với bảng I/O 2a được thực hiện, và dữ liệu được biến đổi được lưu trữ trong dữ liệu đầu ra 11a2.

Tiếp theo, ở bước ST1030, giá trị của phép tính thực hiện pc1 trong bộ nhớ 11a, chỉ báo số lần đoạn chương trình tính toán p1 đã được thực hiện, được tăng thêm một.

Tiếp theo, ở bước ST1140, CPU a0 được thông báo hoàn thành xử lý.

Thông báo về việc hoàn thành xử lý có thể được thực hiện qua bộ điều khiển ngắt 14a hoặc có thể được tạo ra qua bộ nhớ 11a.

Dưới đây, hoạt động của bộ điều khiển phía chờ 10b sẽ được mô tả. Bộ định thời 15b và bộ điều khiển ngắt 14b của bộ điều khiển phía chờ 10b cũng được thiết lập trước để thông báo cho CPU b0 việc ngắt tại các khoảng thời gian của chu kỳ T, như trong bộ điều khiển phía hoạt động 10a.

Cần lưu ý rằng bộ điều khiển phía hoạt động 10a và bộ điều khiển phía chờ 10b không được cấu tạo để đồng bộ hóa các định thời của chúng, nhưng hoạt động thiếu đồng bộ.

Fig.7 là lưu đồ thể hiện hoạt động của CPU b0 của bộ điều khiển phía chờ 10b.

Việc xử lý được thực hiện bởi CPU b0 của bộ điều khiển phía chờ 10b dựa vào thông báo ngắt từ bộ điều khiển ngắt 14b sẽ được mô tả dựa vào Fig.7.

Việc xử lý trong các bước từ ST2010 đến ST2030 giống với việc xử lý trong các bước từ ST1010 đến ST1030 trên Fig.5 được thực hiện bởi CPU a0 của bộ điều khiển phía hoạt động 10a.

Vì vậy, như trong trường hợp của CPU a0 của bộ điều khiển phía hoạt động 10a, CPU b0 thu dữ liệu từ bảng I/O 2b, lưu trữ dữ liệu là dữ liệu đầu vào 11b1 trong bộ nhớ 11b, thực hiện xử lý dữ liệu của chính nó, và sau đó lệnh cho các CPU khác thực hiện việc xử lý tương tự.

Ở bước ST2035, CPU b0 xác nhận nội dung của vùng đệm dữ liệu cân bằng khác với vùng dữ liệu mà bộ điều khiển bus cân bằng 12b nhận dữ liệu cân bằng hiện tại, và thu được kích thước dữ liệu từ phần mà số nhận dạng dữ liệu CPU là 0.

Tiếp theo, dữ liệu tính toán tương ứng với kích thước được thu và sau đó

được mở rộng trong dữ liệu tính toán pd0 trong bộ nhớ 11b.

Tại thời điểm này, phần chung với dữ liệu cân bằng (phần tương ứng với dữ liệu kết quả của phép toán 1 và dữ liệu kết quả của phép toán 2 được nêu trên) được ghi đè bằng dữ liệu cân bằng.

Cần lưu ý rằng các dữ liệu tương ứng với kết quả của việc phép toán 2 còn được ghi đè bằng việc tính toán ở bước ST2040 tiếp theo.

Việc xử lý ở các bước từ ST2040 đến ST2070 và bước ST2100 giống việc xử lý ở các bước từ ST1040 đến ST1070 và bước ST1100 được thực hiện bởi CPU a0 của bộ điều khiển phía hoạt động 10a trên Fig.5.

Theo bảng I/O 2b của bộ điều khiển phía chờ 10b, trong giai đoạn trong đó bộ điều khiển này hoạt động là bộ điều khiển phía chờ, việc kết nối với thiết bị đích điều khiển được cắt trong bảng I/O 2b, và do đó dữ liệu đầu ra không được truyền đến thiết bị.

Fig.8 lưu đồ thể hiện hoạt động của CPU b1 (đến CPU bn) của bộ điều khiển phía chờ.

Dưới đây, các hoạt động của các CPU từ b1 đến bn khác ngoài CPU b0 sẽ được mô tả dựa vào Fig.8.

Do các hoạt động của các CPU từ b1 đến bn giống nhau, trên Fig.8, nên hoạt động của CPU b1 sẽ được mô tả.

Việc xử lý ở các bước ST2110 và ST2120 đến bước ST2140 giống với việc xử lý ở các bước ST1110 và ST1120 đến bước ST1140 trên Fig.6 được thực hiện bởi CPU a1 của bộ điều khiển phía hoạt động 10a.

Khác với Fig.6 là việc xử lý của bước ST2115 được bổ sung vào sau bước ST2110.

Ở bước ST2115, như ở bước ST2035 trên Fig.7, CPU b1 xác nhận nội dung vùng đệm thu nhận dữ liệu cân bằng khác với vùng đệm mà bộ điều khiển bus cân bằng 12b nhận dữ liệu cân bằng hiện tại, và thu nhận kích thước dữ liệu từ phần ở đó số nhận dạng dữ liệu CPU là 1.

Sau đó, dữ liệu tính toán tương ứng với kích thước được thu và sau đó được mở rộng trong dữ liệu tính toán pd1 trong bộ nhớ 11b.

Tại thời điểm này, phần chung với dữ liệu cân bằng (phần tương ứng với

dữ liệu kết quả của phép toán 1 và dữ liệu kết quả của phép toán 2 được nêu trên) được ghi đè với dữ liệu cân bằng.

Cần lưu ý rằng dữ liệu tương ứng với kết quả của phép toán 2 còn được ghi đè với việc tính toán ở bước ST2120 tiếp theo.

Fig.9 và Fig.10 là các biểu đồ thời gian thể hiện tóm tắt hoạt động của hệ thống 100 đến đây được mô tả .

Mũi tên trong mỗi biểu đồ chỉ báo việc truyền tín hiệu hoặc dữ liệu.

Mũi tên A1 và mũi tên A2 trên Fig.9 được liên kết với mũi tên A1 và mũi tên A2 trên Fig.10.

So sánh hai biểu đồ cạnh nhau, các định thời của bộ điều khiển phía hoạt động 10a và bộ điều khiển phía chờ 10b có thể được hiểu một cách trực quan.

Hệ thống dự phòng kép chế độ chờ 100 theo phương án thứ nhất của sáng chế khiến không cần thiết để bố trí bộ điều khiển bus đối với mỗi CPU trong việc xử lý cân bằng đối với dữ liệu được xử lý bởi các CPU.

Ngoài ra, bộ điều khiển bus cân bằng 20 và các bus I/O 3a và 3b được cấu tạo như các bus độc lập, và các bộ điều khiển bus I/O tương ứng cũng độc lập với nhau, nó có thể thực hiện việc truyền/thu dữ liệu cân bằng và việc truyền/thu với mỗi bảng I/O đồng thời, do đó thực hiện được xử lý tốc độ cao.

Phương án thứ 2

Dưới đây, phương án thứ 2 của sáng chế sẽ được mô tả tập trung vào sự khác biệt với phương án thứ nhất dựa vào các hình vẽ.

Theo phương án thứ nhất, bộ điều khiển ngắt 14a và bộ điều khiển ngắt 14b được sử dụng để thông báo cho mỗi CPU bắt đầu xử lý.

Theo phương án này, thay vì sử dụng việc ngắt, cờ được bố trí cho bộ định thời, và BẬT/TẮT của cờ được sử dụng làm tín hiệu thông báo việc ngắt.

Fig.11 là lưu đồ thể hiện hoạt động của CPU a0 của bộ điều khiển phía hoạt động theo phương án của sáng chế.

Sự khác biệt giữa Fig.5 thể hiện hoạt động của CPU a0 theo phương án thứ 1 và Fig.11 thể hiện hoạt động của CPU a0 theo phương án này là: thứ nhất, trên Fig.5, việc xử lý bắt đầu sau khi việc ngắt để bắt đầu xử lý xảy ra.

Thứ hai, trên Fig.11, cờ bắt đầu xử lý được giám sát bởi vòng lặp của

bước ST1005.

Theo phương án này, do CPU a0 giám sát cờ, nên bộ điều khiển ngắt độc lập là không cần thiết.

Ở bước ST1005, khi CPU a0 xác nhận rằng cờ chỉ báo bắt đầu xử lý được bật, thì cờ được thiết lập lại ở bước ST1010, và sau đó việc xử lý đầu vào dữ liệu từ bảng I/O được thực hiện ở bước ST1020.

Tiếp theo, ở bước ST1030, mỗi cờ hướng dẫn các CPU khác bắt đầu xử lý, được bố trí trong bộ định thời hoặc trong khu vực bộ nhớ, được bật.

Việc xử lý khác giống như trong phương án thứ nhất.

Fig.12 là lưu đồ thể hiện hoạt động của CPU a1 (đến an) của bộ điều khiển phía hoạt động theo phương án của sáng chế.

Sự khác biệt giữa Fig.6 thể hiện hoạt động của CPU a1 theo phương án thứ nhất và Fig.12 thể hiện hoạt động của CPU a1 theo phương án này đó là: thứ nhất, trên Fig.6, việc xử lý bắt đầu sau khi ngắt để bắt đầu xử lý xảy ra.

Thứ hai, trên Fig.12, cờ bắt đầu xử lý được giám sát bởi vòng lặp của bước ST1105.

Theo phương án này, do CPU a1 giám sát cờ, nên bộ điều khiển ngắt độc lập là không cần thiết.

Ở bước ST1105, khi CPU a1 xác nhận rằng cờ chỉ báo bắt đầu việc xử lý được bật, cờ được thiết lập lại ở bước ST1110, và sau đó việc tính toán p1 được thực hiện ở bước ST1120.

Việc xử lý khác giống như ở phương án thứ nhất.

Mặc dù bộ điều khiển phía chờ 10b không thể hiện cụ thể, nhưng việc xử lý có thể được thực hiện nhờ sử dụng cờ theo cách tương tự.

Hệ thống dự phòng kép chế độ chờ theo phương án thứ 2 của sáng chế sử dụng BẬT/TẮT của cờ được bố trí trong hệ thống thay thế cho tín hiệu thông báo ngắt, qua đó bố trí hệ thống dự phòng kép chế độ chờ không cần bộ điều khiển ngắt đặc biệt.

Phương án thứ 3

Dưới đây, phương án thứ 3 của sáng chế sẽ được mô tả tập trung vào sự khác biệt với phương án thứ 2 dựa vào các hình vẽ.

Fig.13 là sơ đồ thể hiện cấu hình của dữ liệu được lưu trữ trong bộ nhớ 311a của bộ điều khiển phía hoạt động theo phương án của sáng chế.

Theo phương án này, nhiều dữ liệu hơn và nhiều đoạn chương trình tính toán hơn số các CPU được đề xuất.

Các đoạn chương trình tính toán được chỉ định cho mỗi CPU.

Trên Fig.13, ký tự số sau “p” chỉ báo số lượng mỗi CPU thực hiện đoạn chương trình tính toán tương ứng, và ký tự số sau dấu gạch ngang chỉ báo số sêri của mỗi đoạn chương trình tính toán được chỉ định cho CPU có số trên.

Fig.14 và Fig.15 biểu đồ thời gian thể hiện các trạng thái hoạt động của các bộ điều khiển tương ứng của hệ thống dự phòng kép chế độ chờ theo phương án của sáng chế.

Mũi tên ở mỗi biểu đồ chỉ báo việc truyền tín hiệu hoặc dữ liệu.

Mũi tên A1 và mũi tên A2 trên Fig.14 được liên kết với mũi tên A1 và mũi tên A2 trên Fig.15.

So sánh hai biểu đồ cạnh nhau, định thời của bộ điều khiển phía hoạt động và bộ điều khiển phía chờ có thể được hiểu trực quan.

Theo cấu hình của bộ nhớ 311a, như trên Fig.14 và Fig.15, các việc tính toán của các đoạn chương trình tính toán từ p0-1 đến p0-x có thể được thực hiện bởi CPU a0 của bộ điều khiển phía hoạt động, và tương tự như vậy, các việc tính toán của các đoạn chương trình tính toán từ p1-1 đến pn-z có thể được thực hiện bởi các CPU từ a1 đến an.

Trong hệ thống dự phòng kép chế độ chờ theo phương án của sáng chế, bộ nhớ 311a được cấu tạo để có dữ liệu thuộc tính chỉ báo mỗi CPU để thực hiện đoạn chương trình tính toán, theo đó mỗi CPU có thể được chỉ định trước các đoạn chương trình tính toán để thực hiện các việc tính toán trong môi trường nhiều CPU.

Phương án thứ 4

Dưới đây, phương án thứ 4 của sáng chế sẽ được mô tả tập trung vào sự khác biệt với phương án thứ 3 dựa vào các hình vẽ.

Fig.16 là sơ đồ thể hiện phần cấu hình của dữ liệu được lưu trữ trong bộ nhớ 411a của bộ điều khiển phía hoạt động.

Đối với đoạn chương trình tính toán, các mục thiết lập của số CPU thực hiện, thiết lập chu kỳ thực hiện, thiết lập dịch vị thực hiện, phép tính thực hiện, và phép tính truyền được bố trí là dữ liệu thuộc tính.

Bằng cách sử dụng mục thiết lập chu kỳ thực hiện, có thể thực hiện đoạn chương trình tính toán mà được thực hiện trong chu kỳ của nhiều chu kỳ T.

Ngoài ra, dịch vị thực hiện có thể được thiết lập đối với các đoạn chương trình tính toán mà được thực hiện trong chu kỳ của nhiều chu kỳ T.

Trong thiết lập dịch vị thực hiện, định thời để thực hiện đoạn chương trình tính toán được thiết lập bởi số thập phân với chu kỳ T được định rõ là 1.

Ví dụ, trong trường hợp ở đó dịch vị thực hiện được thiết lập tại 0,25 đối với các đoạn chương trình tính toán mà được thực hiện trong chu kỳ gấp bốn lần chu kỳ T, đoạn chương trình tính toán được thực hiện trong chu kỳ gấp bốn lần chu kỳ T và với độ trễ $1/4$ chu kỳ T so với bộ định thời.

Theo phương án này, đoạn chương trình tính toán hoạt động trong chu kỳ của nhiều chu kỳ T tồn tại như được nêu trên. Nghĩa là, các đoạn chương trình tính toán bao gồm các đoạn chương trình hoạt động trong các chu kỳ khác nhau.

Mặt khác, dữ liệu cân bằng được truyền trong chu kỳ T. Vì vậy, không cần phải truyền dữ liệu của đoạn chương trình tính toán mà không hoạt động trên cơ sở chu kỳ T.

Vì vậy, để tránh truyền lại dữ liệu của các đoạn chương trình như vậy, phép tính thực hiện và phép tính truyền được bổ sung trong bộ nhớ 411a và được sử dụng.

Khi dữ liệu truyền cân bằng được tạo ra bởi CPU a0 của bộ điều khiển phía hoạt động, phép tính truyền được so sánh với phép tính hoạt động, và nếu giá trị của hai phép tính khác nhau, thì dữ liệu tính toán của đoạn chương trình tính toán tương ứng được xác định được truyền như dữ liệu cân bằng, và được truyền đến vùng đệm truyền.

Do đó khi so sánh giữa phép tính truyền và phép tính thực hiện, nếu chúng trùng khớp với nhau, thì được xác định rằng dữ liệu đã được truyền rồi và đoạn chương trình tính toán tương ứng đã không được thực hiện mới, và dữ liệu không được truyền tới vùng đệm truyền.

Cần lưu ý rằng phép tính truyền được ghi lại vào giá trị của phép tính thực hiện, sau khi việc xử lý truyền đến vùng đệm truyền được hoàn thành.

Hệ thống dự phòng kép chế độ chờ theo phương án của sáng chế bố trí thiết lập chu kỳ thực hiện và thiết lập dịch vị thực hiện trong bộ nhớ 411a, do đó thực hiện việc tính toán theo chu kỳ của nhiều chu kỳ T, và ngoài ra, khi cần, với thiết lập dịch vị thực hiện đối với mỗi đoạn chương trình tính toán.

Ngoài ra, bằng cách bố trí phép tính truyền và so sánh phép tính truyền với phép tính thực hiện, việc truyền dữ liệu cân bằng không cần thiết được giảm xuống, trong đó thời gian được dùng để truyền và thu dữ liệu cân bằng có thể được rút ngắn.

Phương án thứ 5

Dưới đây, phương án thứ 5 của sáng chế sẽ được mô tả tập trung vào sự khác biệt với phương án thứ 4 dựa vào các hình vẽ.

Fig.17 là sơ đồ thể hiện phần cấu hình của dữ liệu được lưu trữ trong bộ nhớ 511A của bộ điều khiển phía hoạt động.

Thiết lập cho phép tiếp tục thực hiện được bổ sung vào đoạn chương trình tính toán để được thực hiện bởi mỗi CPU.

Cơ chế được bổ sung trong đó, trong trường hợp ở đó thiết lập cho phép tiếp tục thực hiện được thiết lập tại “được cho phép”, thậm chí việc tính toán chưa được hoàn thành trong chu kỳ được thiết lập T, việc xử lý tính toán được giữ tạm thời, để thực hiện đầu vào và đầu ra của dữ liệu, và sau đó việc xử lý tính toán được bắt đầu lại và được tiếp tục ở chu kỳ tiếp theo.

Do việc bổ sung thiết lập cho phép tiếp tục thực hiện, đầu vào và đầu ra của dữ liệu được thực hiện ở giữa đoạn chương trình tính toán mà việc xử lý tính toán được giữ. Tuy nhiên, miễn là hoạt động đầu vào và đầu ra không tạo ra bất kỳ vấn đề gì, đoạn chương trình tính toán hoạt động trong chu kỳ T và đoạn chương trình tính toán không hoạt động trong chu kỳ T có thể cùng tồn tại.

Hệ thống dự phòng kép chế độ chờ theo phương án của sáng chế có thể bố trí hệ thống dự phòng kép chế độ chờ mà không ảnh hưởng đến việc xử lý tổng thể, ngay cả khi một số đoạn chương trình xử lý có số lần xử lý khác nhau lớn.

Phương án thứ 6

Dưới đây, phương án thứ 6 của sáng chế sẽ được mô tả tập trung vào sự khác biệt với phương án thứ 1 dựa vào các hình vẽ.

Fig.18 là sơ đồ thể hiện cấu hình của hệ thống dự phòng kép chế độ chờ 600 (sau đây gọi tắt là hệ thống 600).

Trong bảng CPU 601a của bộ điều khiển phía hoạt động 610a, bộ điều khiển bus cân bằng 12a1 và bộ điều khiển bus cân bằng 12b2 được bố trí.

Ngoài ra, trong bảng CPU 601b của bộ điều khiển phía chờ 610b, bộ điều khiển bus cân bằng 12b1 và bộ điều khiển bus cân bằng 12b2 được bố trí.

Bộ điều khiển bus cân bằng 12A1 và bộ điều khiển bus cân bằng 12b1 được kết nối qua bus dữ liệu cân bằng 20, và bộ điều khiển bus cân bằng 12a2 và bộ điều khiển bus cân bằng 12b2 được kết nối qua bus cân bằng dữ liệu 21.

Bằng cách bố trí các bộ điều khiển bus cân bằng kép và bus dữ liệu cân bằng kép 20 và bus dữ liệu cân bằng kép 21, độ tin cậy của hệ thống 600 được tăng cường.

Dưới đây, phương pháp truyền và thu dữ liệu truyền nhờ sử dụng các bus dữ liệu cân bằng kép trong hệ thống 600 sẽ được mô tả.

Fig.19 là sơ đồ thể hiện phần cấu hình của dữ liệu truyền cân bằng được truyền từ bộ điều khiển động phía hoạt động 610a đến bộ điều khiển phía chờ 610b.

Trong dữ liệu truyền, các phép tính thực hiện từ pc0 đến pcn đối với các đoạn chương trình tính toán tương ứng được bố trí là các số sêri.

Để bắt đầu truyền dữ liệu cân bằng ở bước ST1090 trên Fig.5, CPU a0 của bộ điều khiển phía hoạt động truyền dữ liệu truyền được thể hiện trên Fig.19 đến hai bộ điều khiển của bộ điều khiển bus cân bằng 12A1 và bộ điều khiển bus cân bằng 12a2.

Tại phần mở rộng của dữ liệu nhận cân bằng ở bước ST2035 trên Fig.7 hoặc ở bước ST2115 trên Fig.8, mỗi CPU của bộ điều khiển phía chờ so sánh phép tính thực hiện của dữ liệu nhận cân bằng được nhận bởi bộ điều khiển bus cân bằng 12b2 qua bộ điều khiển bus cân bằng 12A1 với phép tính thực hiện của dữ liệu nhận cân bằng bởi bộ điều khiển bus cân bằng 12b2 qua bộ điều khiển bus cân bằng 12a2, và mở rộng một trong các dữ liệu tính toán này có giá trị tính

toán lớn hơn trong bộ nhớ 11b.

Hệ thống dự phòng kép chế độ chờ 600 theo phương án thứ 6 của sáng chế có các bộ điều khiển bus cân bằng kép và các bus dữ liệu cân bằng kép và bố trí các phép tính đối với dữ liệu được truyền và được nhận, theo đó, ngay cả khi lỗi xảy ra trên đoạn chương trình nào, thì việc cân bằng dữ liệu có thể được thực hiện nhờ sử dụng đoạn chương trình còn lại.

Phương án thứ 7

Dưới đây, phương án thứ 7 của sáng chế sẽ được mô tả tập trung vào sự khác biệt với phương án thứ 1 dựa vào các hình vẽ.

Fig.20 là sơ đồ thể hiện cấu hình của hệ thống dự phòng kép chế độ chờ 700 (sau đây gọi tắt là hệ thống 700).

Đối với các CPU từ a0 đến an trên bảng CPU 701a, các bộ nhớ riêng từ a0 đến an được bố trí tương ứng.

Tương tự như vậy, đối với các CPU từ b0 đến bn trên bảng CPU 701b, các bộ nhớ riêng từ b0 đến bn được bố trí tương ứng.

Fig.21 là sơ đồ thể hiện các cấu hình dữ liệu trong bộ nhớ 711a và bộ nhớ 711b mà thường được sử dụng bởi các CPU trong trường hợp này.

Trong bộ nhớ 711a, dữ liệu thường được sử dụng bởi các CPU từ a0 đến an được đặt vào.

Tương tự như vậy, trong bộ nhớ 711b, dữ liệu thường được sử dụng bởi các CPU từ b0 đến bn được đặt vào.

Fig.22 là sơ đồ thể hiện các cấu hình của các bộ nhớ từ a0 đến an và các bộ nhớ từ b0 đến bn được bổ sung riêng vào các CPU tương ứng.

Chỉ có dữ liệu được sử dụng riêng bởi các CPU từ a0 đến an và các CPU từ b0 đến bn được đặt vào trong đó.

Theo hệ thống dự phòng kép chế độ chờ 700 theo phương án thứ 7 của sáng chế, bộ nhớ 711a hoặc bộ nhớ 711b chỉ lưu trữ dữ liệu thường được sử dụng, sao cho tần số truy cập vào bộ nhớ 711a hoặc bộ nhớ 711b có thể được ngăn ngừa.

Như vậy, tần số ngừng tính toán do sự tập trung truy cập từ các CPU khác được giảm xuống, nhờ đó hiệu suất tính toán của hệ thống 700 có thể được nâng

cao.

Phương án thứ 8

Dưới đây, phương án thứ 8 của sáng chế sẽ được mô tả tập trung vào sự khác biệt với phương án thứ 1 dựa vào các hình vẽ.

Fig.23 là sơ đồ thể hiện cấu hình của dữ liệu truyền cân bằng theo phương án thứ 8.

Trong dữ liệu truyền, mã nhận dạng và mã phiên bản của mỗi đoạn chương trình tính được bổ sung.

Tại phần mở rộng của dữ liệu cân bằng ở bước ST2035 trên Fig.7 hoặc ở bước ST2115 trên Fig.8, mỗi CPU của bộ điều khiển phía chờ so sánh mã nhận dạng và mã phiên bản của mỗi đoạn chương trình tính toán trong dữ liệu cân bằng nhận được với mã nhận dạng và mã phiên bản của mỗi đoạn chương trình tính toán mà bộ điều khiển phía chờ có.

Trong trường hợp các mã số này không trùng khớp với nhau, việc xử lý mở rộng đối với dữ liệu không được thực hiện và người sử dụng bộ điều khiển được thông báo về sự bất thường.

Trong các hệ thống dự phòng kép chế độ chờ theo phương án thứ 8 của sáng chế, ngay cả khi các đoạn chương trình tính toán của bộ điều khiển phía hoạt động và bộ điều khiển phía chờ trở nên khác nhau, thì toàn bộ hệ thống có thể được ngăn ngừa khỏi bị cân bằng dữ liệu sai, do đó nâng cao được độ tin cậy của hệ thống dự phòng kép chế độ chờ.

Cần lưu ý rằng, trong phạm vi của sáng chế này, các phương án nêu trên có thể được kết hợp tự do với nhau, hoặc mỗi phương án nêu trên có thể được sửa đổi hoặc được rút gọn một cách thích hợp.

YÊU CẦU BẢO HỘ

1. Hệ thống dự phòng kép chế độ chờ bao gồm hai bộ điều khiển, trong đó, khi một bộ điều khiển trong số các bộ điều khiển được làm thích ứng để hoạt động như bộ điều khiển phía hoạt động, và bộ điều khiển còn lại được làm thích ứng để hoạt động như bộ điều khiển phía chờ, mỗi bộ điều khiển (10a, 10b) bao gồm trong đó:

các CPU;

bộ nhớ (11a, 11b), bộ nhớ lưu trữ các đoạn chương trình tính toán mà lần lượt được thực hiện bởi các CPU và được chỉ định cho CPU;

bảng I/O (2a, 2b);

bộ điều khiển bus I/O (13a, 13b) để thực hiện việc truyền và thu dữ liệu giữa các CPU, bộ nhớ (11a, 11b), và bảng I/O (2a, 2b); và

bộ điều khiển bus cân bằng (12a) để truyền dữ liệu cân bằng được sử dụng để cân bằng các trạng thái thiết bị của bộ điều khiển phía hoạt động (10a) và bộ điều khiển phía chờ (10b), từ bộ điều khiển phía hoạt động (10a) tới bộ điều khiển phía chờ (10b) thông qua bus dữ liệu cân bằng (20), bộ điều khiển bus cân bằng (12a) độc lập với bộ điều khiển bus I/O (13a),

trong đó dữ liệu cân bằng có mã nhận dạng và mã phiên bản của mỗi đoạn chương trình tính toán, và

mỗi CPU của bộ điều khiển phía chờ (10b) được làm thích ứng để xác nhận, bằng cách so sánh mã nhận dạng và mã phiên bản trong dữ liệu cân bằng nêu trên với mã nhận dạng và mã phiên bản của mỗi đoạn chương trình tính toán mà bộ điều khiển phía chờ có, mã nhận dạng và mã phiên bản trong dữ liệu cân bằng nêu trên, để thực hiện các phép tính của các đoạn chương trình tính toán tương ứng được chỉ định cho các CPU tương ứng của bộ điều khiển phía chờ dựa trên dữ liệu cân bằng nêu trên.

2. Hệ thống theo điểm 1, trong đó mỗi bộ điều khiển (10a, 10b) còn bao gồm:

bộ định thời (15a, 15b); và

bộ phận điều khiển thực hiện để thông báo cho mỗi CPU bắt đầu xử lý theo chu kỳ không đối tượng ứng với bộ định thời,

trong đó một CPU trong số các CPU của bộ điều khiển phía hoạt động (10a), mà đã được thông báo bởi bộ phận điều khiển thực hiện của bộ điều khiển phía hoạt động (10a), được làm thích ứng để thu nhận dữ liệu được sử dụng để tính toán bởi mỗi CPU của bộ điều khiển phía hoạt động (10a) từ bảng I/O (2a), để đưa dữ liệu tới bộ nhớ (11a) thông qua bộ điều khiển bus I/O (13a), và sau đó đưa ra lệnh để thực hiện các phép tính được chỉ định cho các CPU tương ứng của bộ điều khiển phía hoạt động (10a), và

sau khi tất cả các phép tính bởi các CPU đã hoàn thành, một CPU được làm thích ứng để thu thập tất cả các kết quả của các phép tính bởi các CPU để tạo ra dữ liệu cân bằng cần được truyền tới bộ điều khiển phía chờ (10b).

3. Hệ thống theo điểm 2, trong đó bộ nhớ (11a, 11b) chứa trong đó:

dữ liệu đầu vào (11a1, 11b1) để lưu trữ chung dữ liệu được đưa vào từ bảng I/O (2a, 2b),

đoạn chương trình tính toán (pn) để lưu trữ đoạn chương trình tính toán cần được thực hiện bởi mỗi CPU,

dữ liệu tính toán (pnd) để lưu trữ dữ liệu đầu vào (11a1, 11b1) mà được sử dụng trong mỗi đoạn chương trình tính toán (pn), kết quả tính toán thu được bằng cách thực hiện đoạn chương trình tính toán (pn) sử dụng dữ liệu đầu vào (11a1, 11b1), và kết quả tính toán trước,

dữ liệu đầu ra (11a2, 11b2) để lưu trữ chung dữ liệu cần được đưa ra tới bảng I/O (2a, 2b),

vùng đệm truyền dữ liệu cân bằng (11a3) để lưu trữ chung dữ liệu cân bằng cần được truyền tới bộ điều khiển phía chờ (10b) khi mỗi bộ điều khiển hoạt động như bộ điều khiển phía hoạt động (10a), và

hai vùng đệm thu nhận dữ liệu cân bằng (11b4, 11b5) để nhận lần lượt dữ liệu cân bằng từ bộ điều khiển phía hoạt động (10a) khi mỗi bộ điều khiển hoạt động như bộ điều khiển phía chờ (10b).

4. Hệ thống theo điểm 3, trong đó:

bộ điều khiển phía chờ (10b) được làm thích ứng để hoạt động không đồng bộ với bộ điều khiển phía hoạt động (10a) và trong chu kỳ không đối giống như bộ điều khiển phía hoạt động (10a),

một CPU trong số các CPU của bộ điều khiển phía chờ (10b), mà đã được thông báo để bắt đầu xử lý bởi bộ phận điều khiển thực hiện của bộ điều khiển phía chờ (10b), được làm thích ứng để thu nhận dữ liệu được sử dụng để tính toán bởi mỗi CPU của bộ điều khiển phía chờ (10b) từ bảng I/O (2b) của bộ điều khiển phía chờ (10b), để đưa dữ liệu tới bộ nhớ (11b) của bộ điều khiển phía chờ (10b) thông qua bộ điều khiển bus I/O (13b) của bộ điều khiển phía chờ (10b), và sau đó mở rộng dữ liệu cân bằng thu được từ bộ điều khiển phía hoạt động (10a) trong bộ nhớ (11b) của bộ điều khiển phía chờ (10b), để ghi đè lên dữ liệu được thu nhận từ bảng I/O (2b) của bộ điều khiển phía chờ (10b), và

một CPU được làm thích ứng để đưa ra lệnh để thực hiện các phép tính được chỉ định cho các CPU tương ứng của bộ điều khiển phía chờ (10b).

5. Hệ thống theo điểm 4, trong đó:

bộ nhớ (11a, 11b) có dữ liệu thuộc tính của mỗi đoạn chương trình tính toán (pn), và

dữ liệu thuộc tính của mỗi đoạn chương trình tính toán (pn) có ít nhất một trong số:

thông tin CPU để xác định số lượng CPU mà thực hiện mỗi đoạn chương trình tính toán (pn);

thông tin chu kỳ thực hiện để thực hiện mỗi đoạn chương trình tính toán (pn) trong chu kỳ của nhiều chu kỳ của bộ định thời (15a, 15b);

thông tin dịch vị để thực hiện mỗi đoạn chương trình tính toán với dịch vị định trước được cung cấp dựa vào nhiều chu kỳ của bộ định thời (15a, 15b);

thông tin số lần thực hiện chỉ báo số lần mỗi đoạn chương trình tính toán (pn) đã được thực hiện;

thông tin số lần truyền chỉ báo số lần dữ liệu cân bằng đã được truyền tới bộ điều khiển phía chờ (10b), và

thông tin cho phép xử lý liên tục chỉ báo phương pháp xử lý tiếp theo trong trường hợp mà mỗi đoạn chương trình tính toán (pn) chưa được hoàn thành trong chu kỳ của bộ định thời (15a, 15b).

6. Hệ thống theo điểm 5, trong đó:

dữ liệu thuộc tính được lưu trữ trong bộ nhớ (11a) của bộ điều khiển phía hoạt động (10a) có thông tin số lần thực hiện và thông tin số lần truyền, và

cấu hình dữ liệu của dữ liệu cân bằng được xác định dựa trên sự so sánh giữa thông tin số lần thực hiện và thông tin số lần truyền.

7. Hệ thống theo điểm 5, trong đó:

dữ liệu cân bằng có thông tin số lần truyền, và

bộ điều khiển phía chờ (10b) được làm thích ứng để thực hiện các phép tính được chỉ định cho các CPU tương ứng, sử dụng một của dữ liệu cân bằng trong hai vùng đệm thu nhận dữ liệu cân bằng (11b4, 11b5), mà thông tin số lần truyền của chúng chỉ báo số lần truyền lớn.

8. Hệ thống theo điểm 5, trong đó bộ nhớ bao gồm:

bộ nhớ CPU để lưu trữ dữ liệu được sử dụng riêng bởi mỗi CPU, và

bộ nhớ chung (711a, 711b) để lưu trữ dữ liệu được sử dụng chung bởi các CPU.

9. Hệ thống theo điểm 1, trong đó mỗi trong số bộ điều khiển bus cân bằng và bus dữ liệu cân bằng được bố trí theo các bộ kép.

10. Hệ thống theo điểm bất kỳ trong số các điểm từ 2 đến 9, trong đó một CPU được làm thích ứng để thông báo mỗi CPU để bắt đầu các phép tính được chỉ định cho các CPU tương ứng, bằng bộ điều khiển ngắt hoặc dựa trên sự nhận dạng trạng thái cờ được tạo ra trong bộ nhớ.

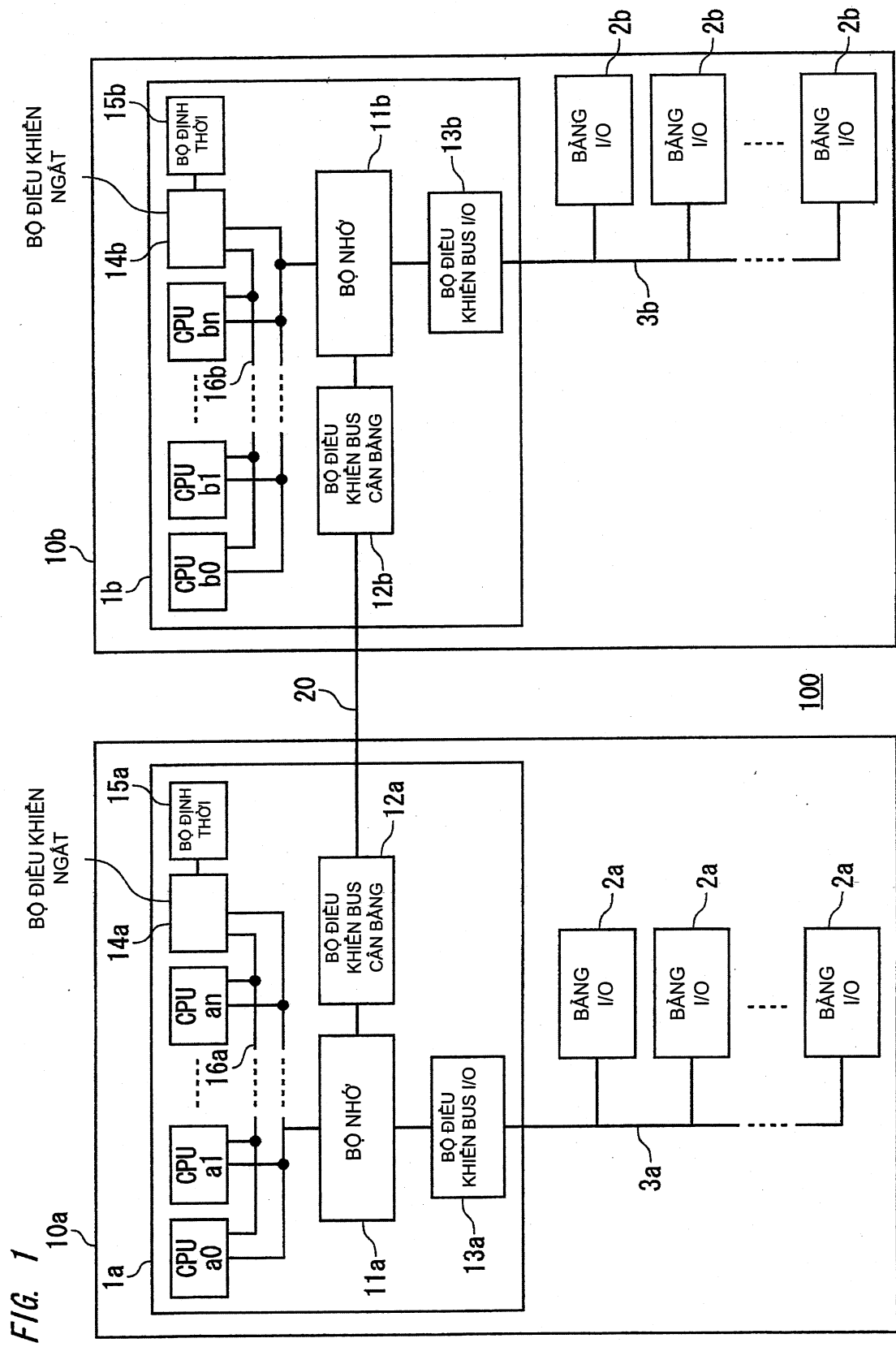


FIG. 2

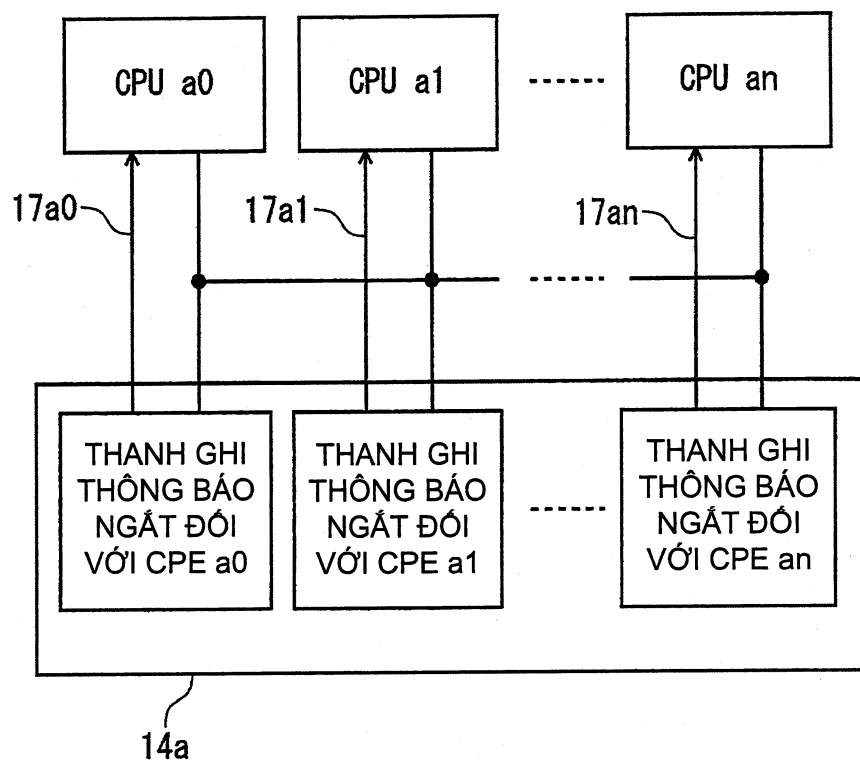


FIG. 3

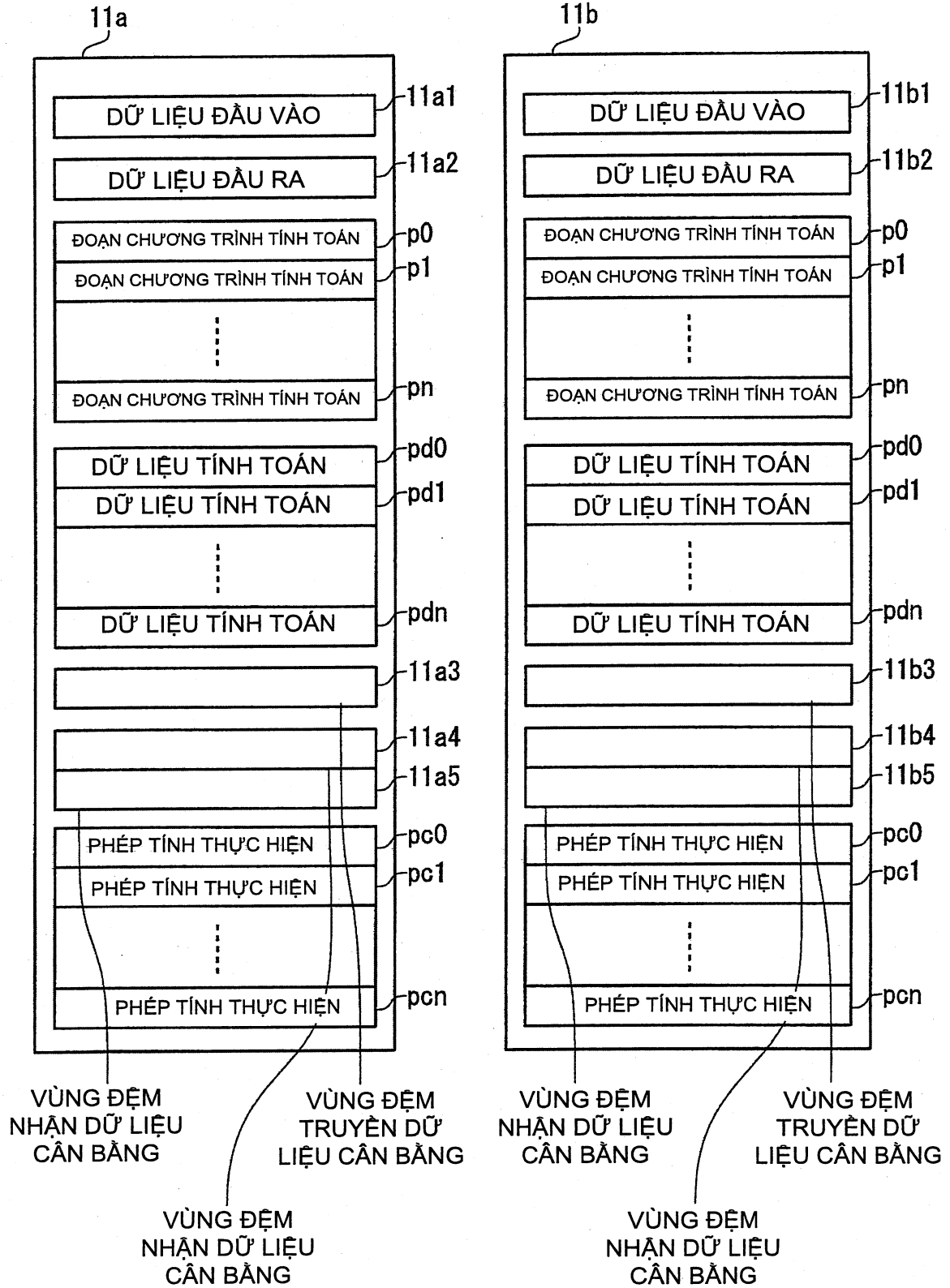


FIG. 4

SỐ NHẬN DẠNG CPU = 0
KÍCH CỠ DỮ LIỆU TÍNH TOÁN p0
DỮ LIỆU TÍNH TOÁN p0
SỐ NHẬN DẠNG CPU = 1
KÍCH CỠ DỮ LIỆU TÍNH TOÁN p1
DỮ LIỆU TÍNH TOÁN p1
⋮
SỐ NHẬN DẠNG CPU = n
KÍCH CỠ DỮ LIỆU TÍNH TOÁN pn
DỮ LIỆU TÍNH TOÁN pn

FIG. 5

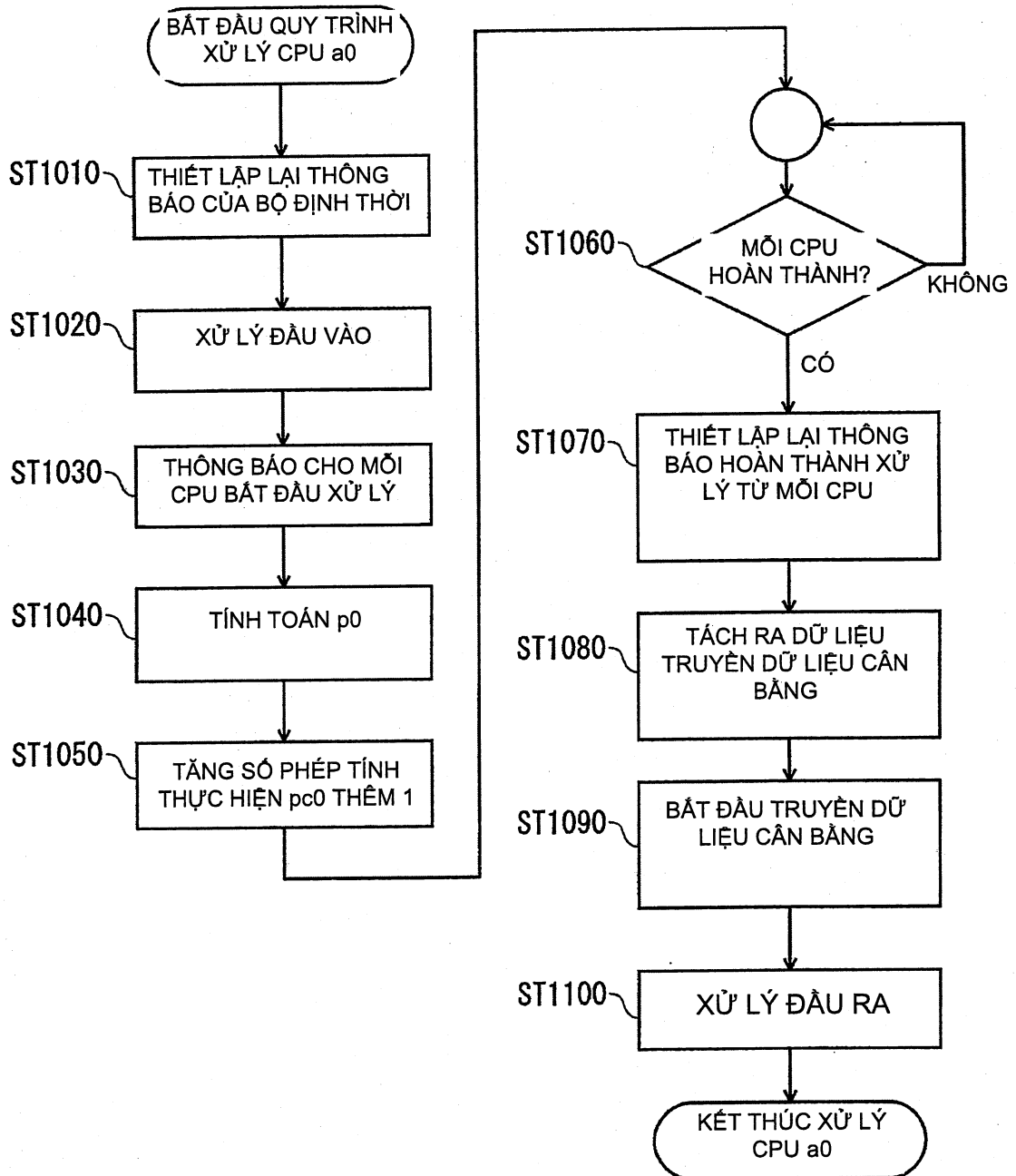


FIG. 6

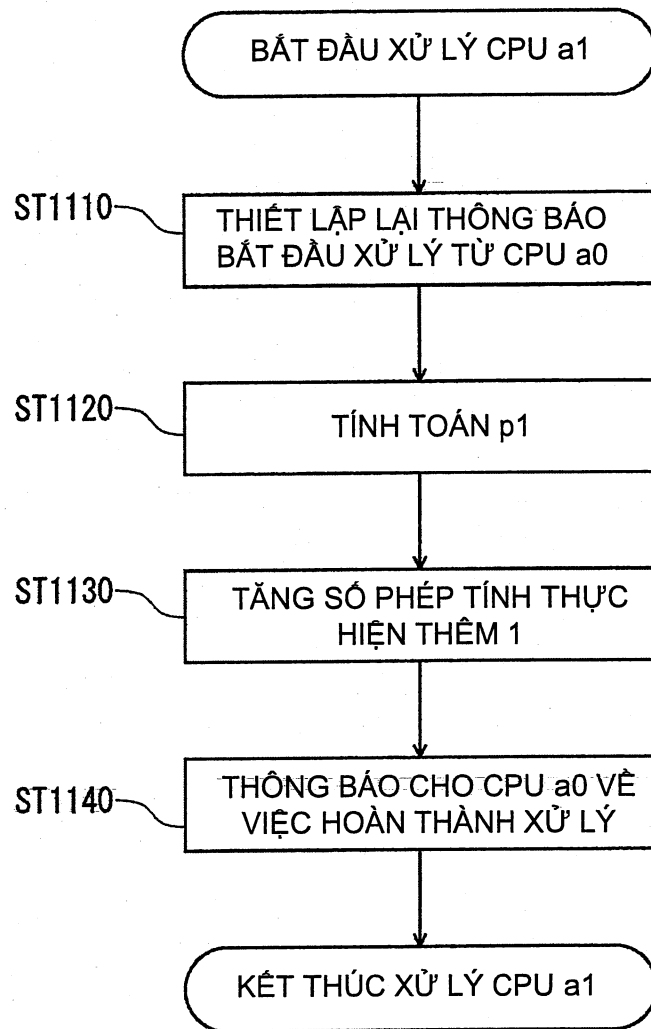


FIG. 7

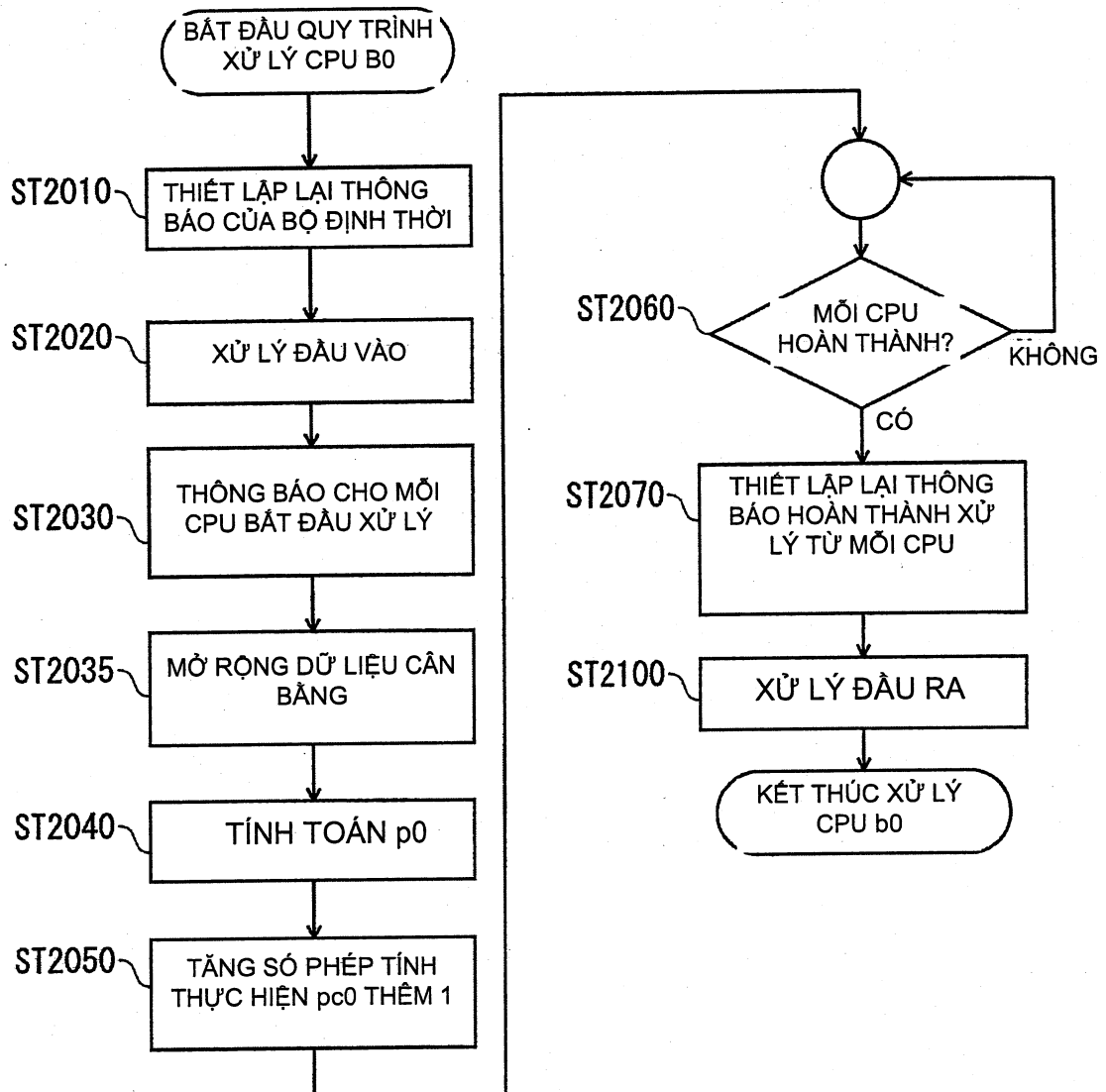


FIG. 8

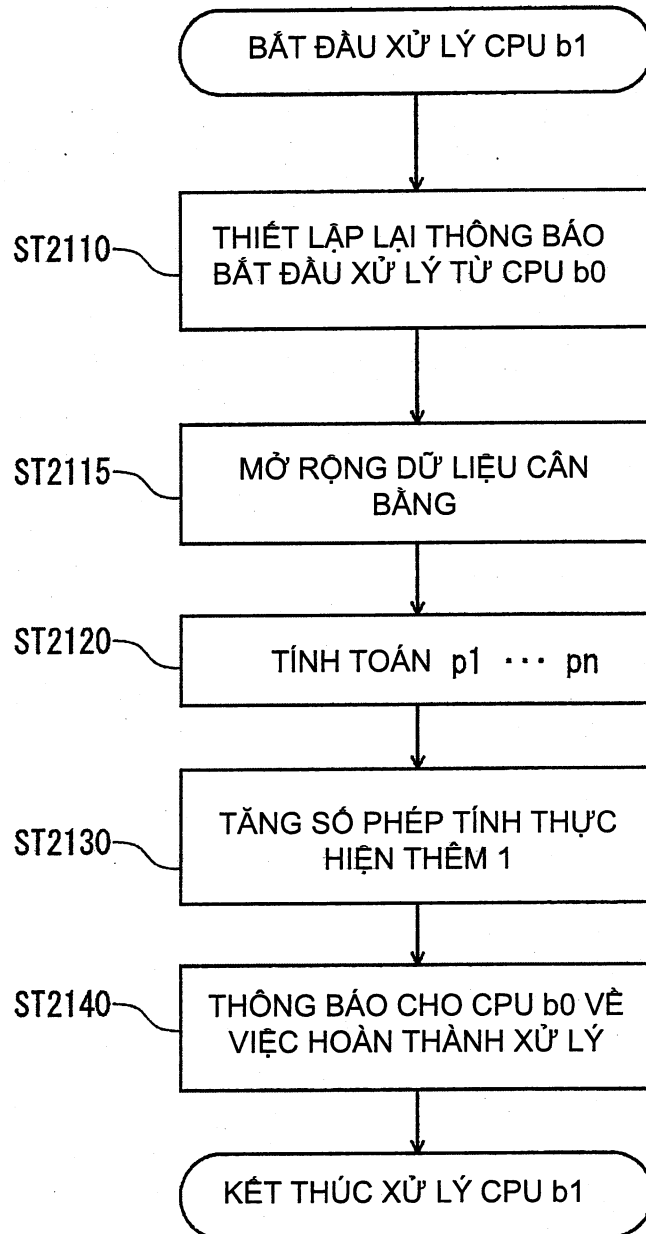


FIG. 9

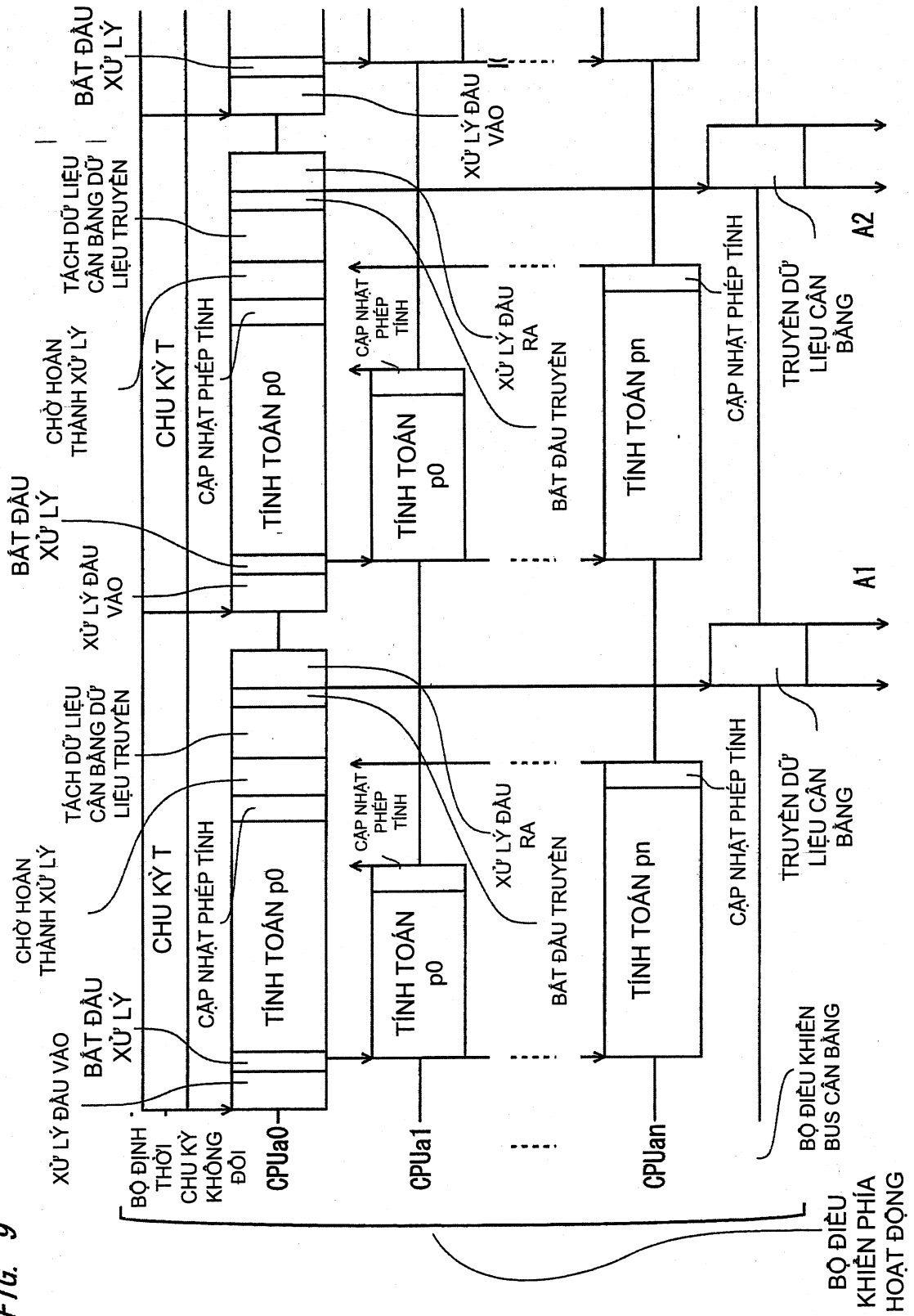


FIG. 10

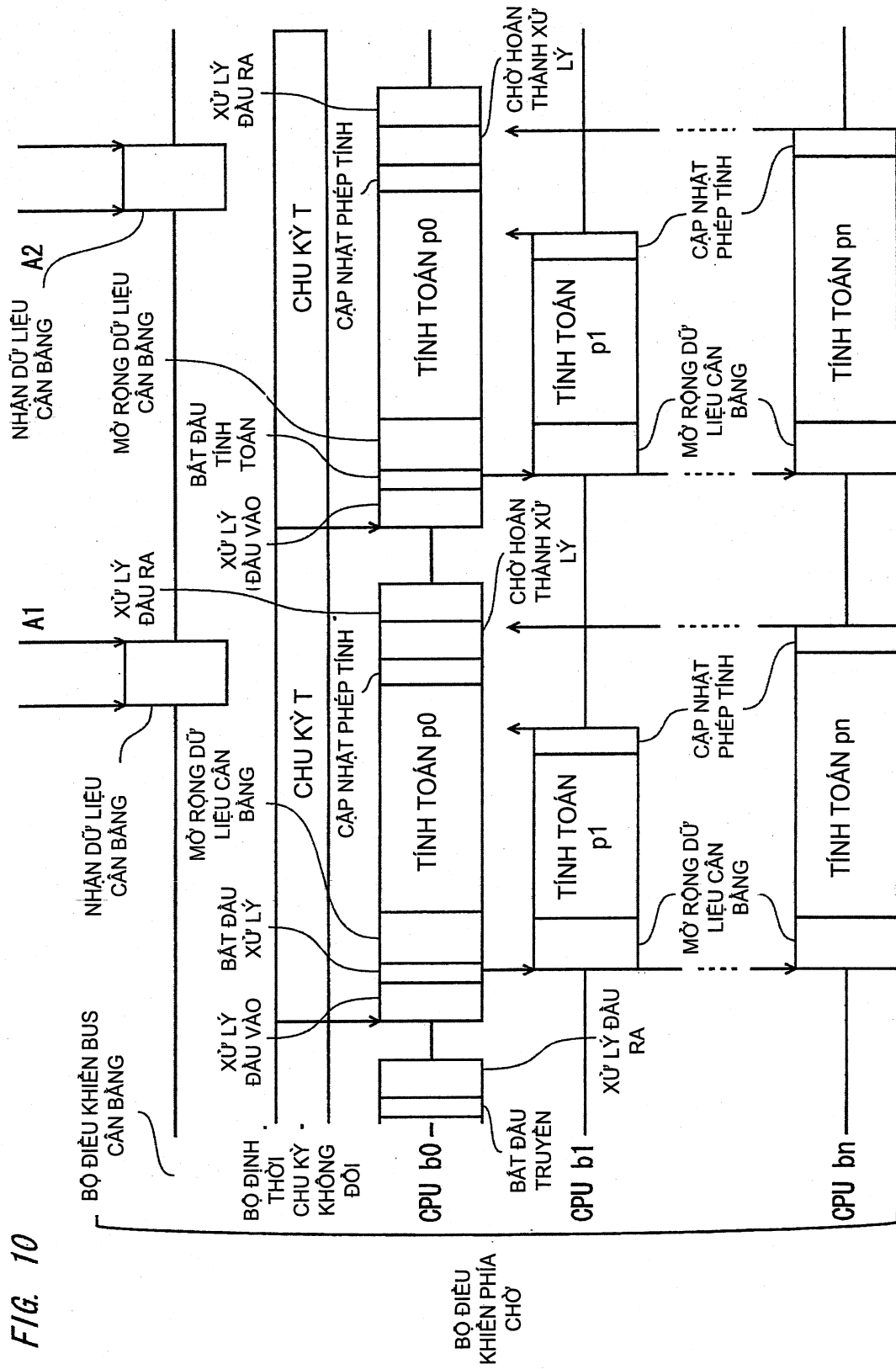


FIG. 11

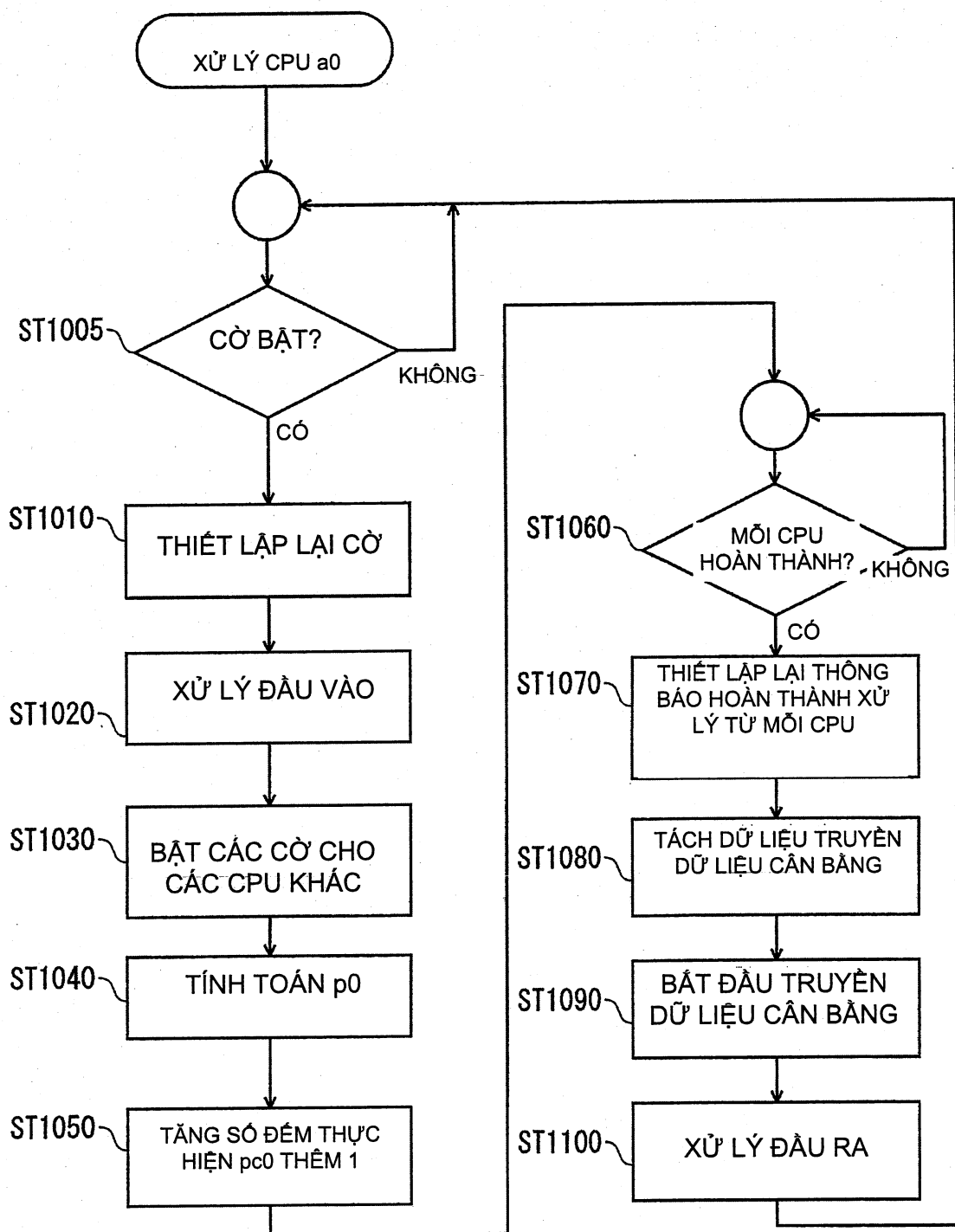


FIG. 12

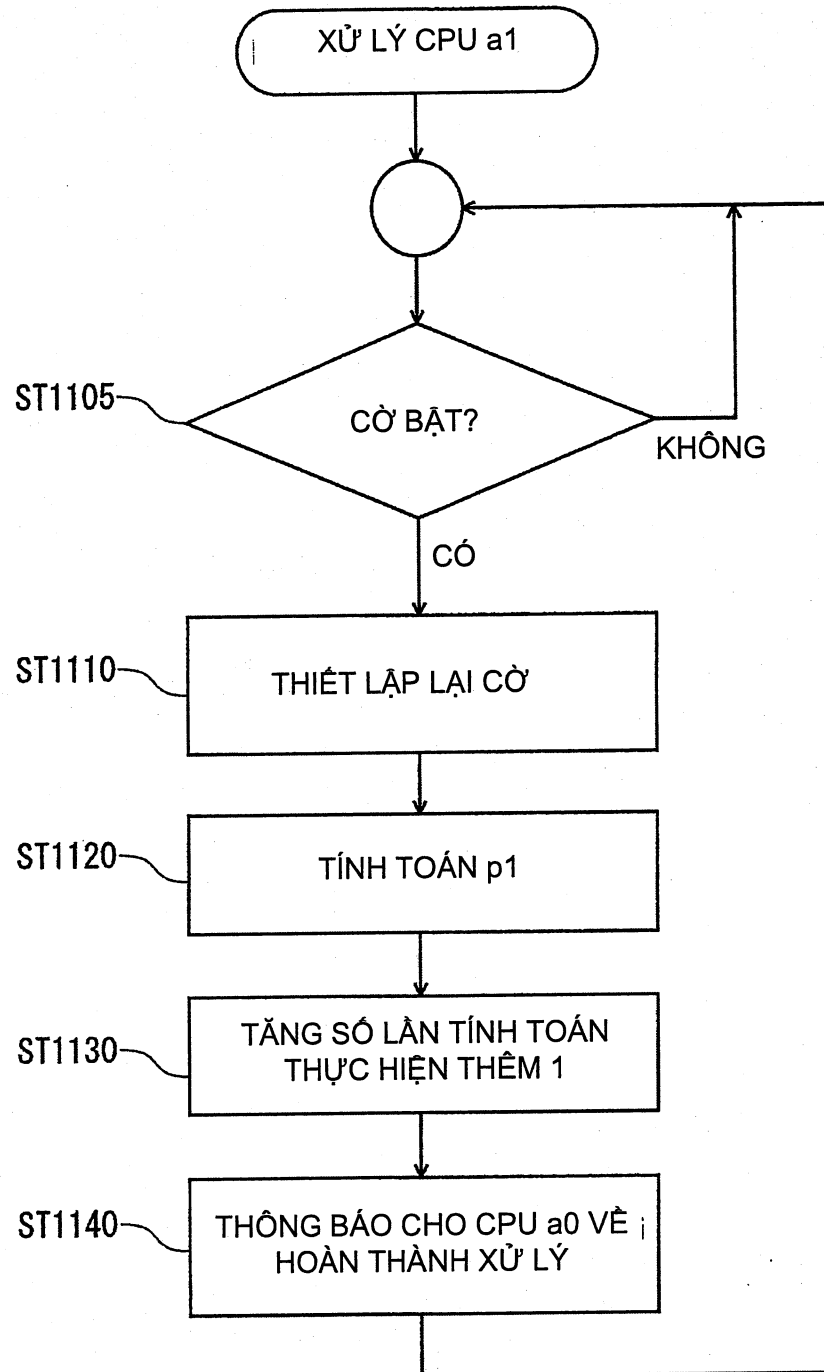
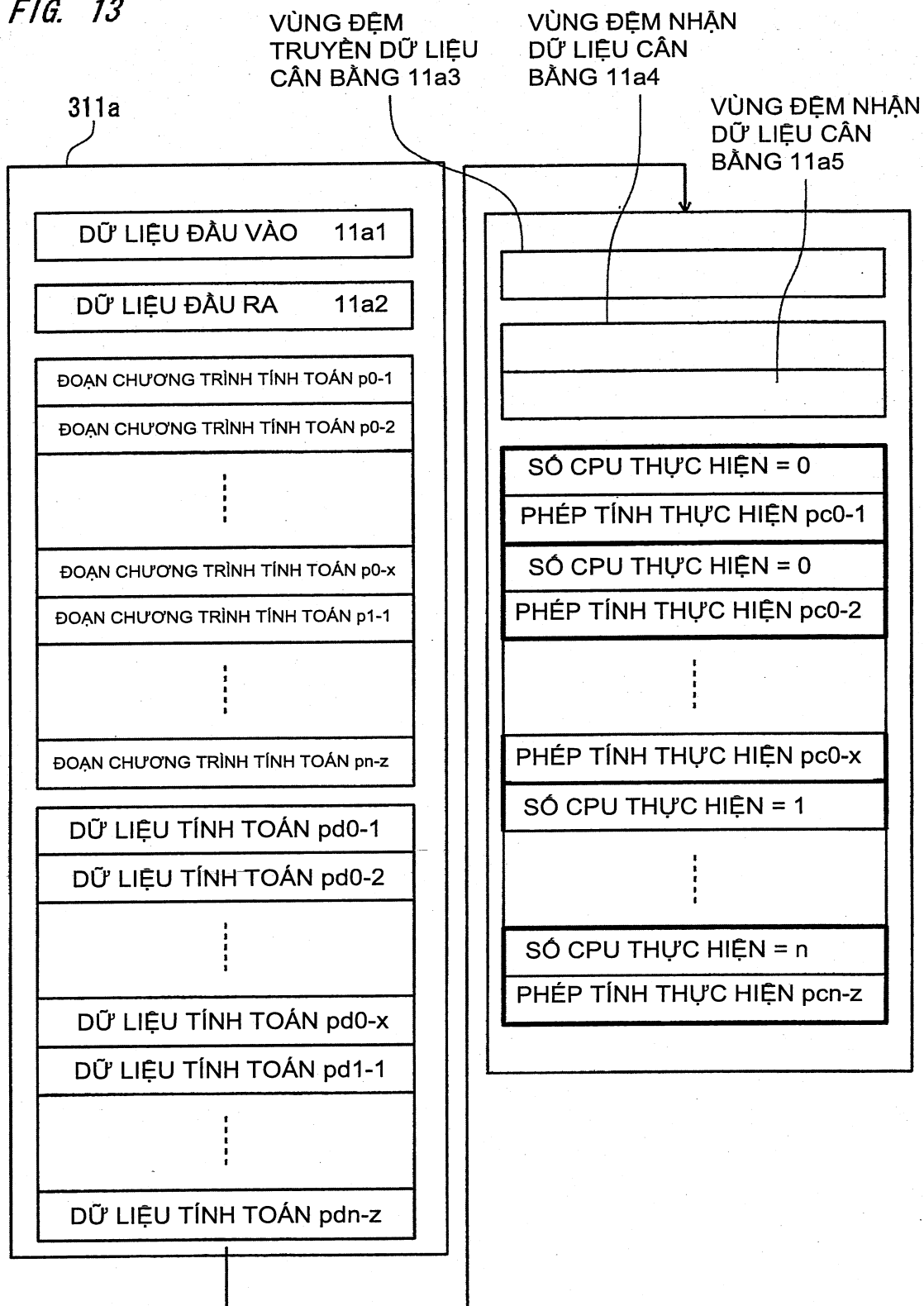


FIG. 13



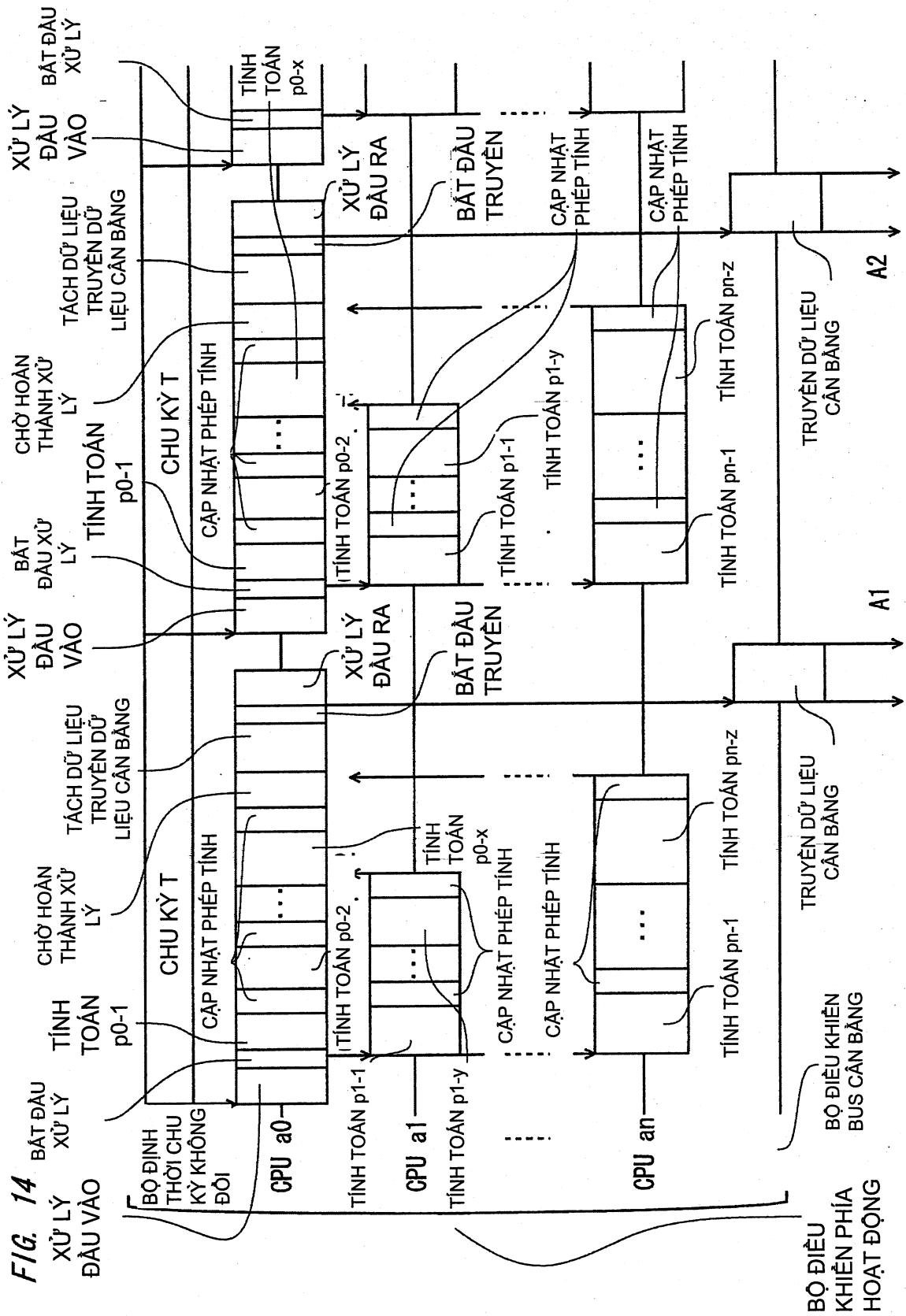


FIG. 15

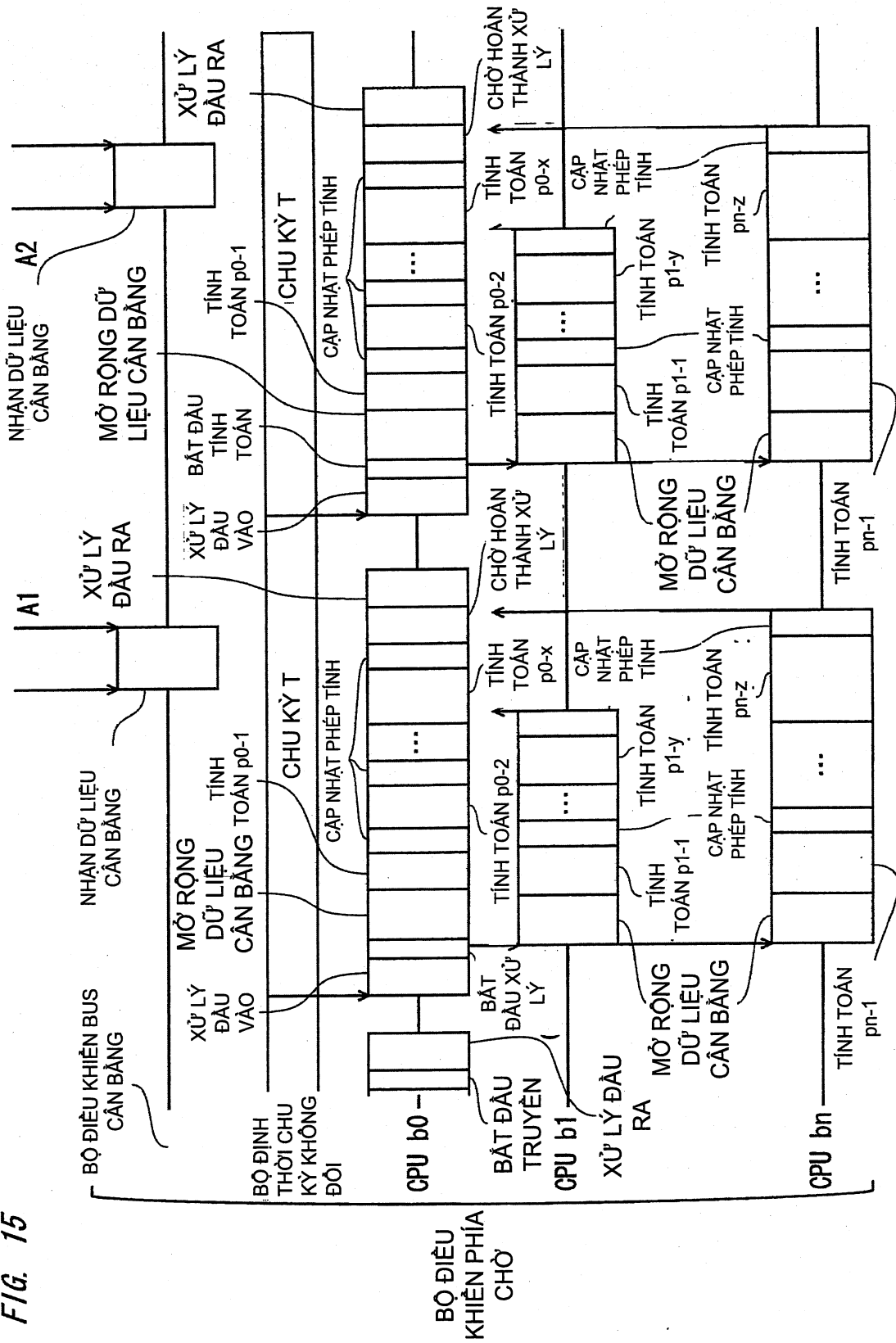


FIG. 16

411a

...	...
SỐ CPU THỰC HIỆN ĐỐI VỚI p0-1 =0	p0-x PHÉP TÍNH THỰC HIỆN pc0-x
THIẾT ĐẶT CHU KỲ THỰC HIỆN ĐỐI VỚI p0-1 = 1-FOLD	p0-x PHÉP TÍNH TRUYỀN t0-x
THIẾT ĐẶT DỊCH VỊ THỰC HIỆN ĐỐI VỚI p0-1 = 0	SỐ CPU THỰC HIỆN ĐỐI VỚI p1-1 =1
p0-1 PHÉP TÍNH THỰC HIỆN pc0-1	...
p0-0 PHÉP TÍNH TRUYỀN t0-1	SỐ CPU THỰC HIỆN ĐỐI VỚI pn-z = n
SỐ CPU THỰC HIỆN ĐỐI VỚI p0-2 =0	THIẾT ĐẶT CHU KỲ THỰC HIỆN ĐỐI VỚI pn-z = 4-FOLD
THIẾT ĐẶT CHU KỲ THỰC HIỆN ĐỐI VỚI p0-2 = 2-FOLD	THIẾT ĐẶT DỊCH VỊ THỰC HIỆN ĐỐI VỚI pn-z = 0,25
THIẾT ĐẶT DỊCH VỊ THỰC HIỆN ĐỐI VỚI p0-2 = 0,25	pn-z PHÉP TÍNH THỰC HIỆN pcn-z
p0-2 PHÉP TÍNH THỰC HIỆN pc0-2	pn+z PHÉP TÍNH TRUYỀN tn-z
p0-2 PHÉP TÍNH TRUYỀN t0-2	
...	

FIG. 17

511a

SỐ CPU THỰC HIỆN ĐỐI VỚI p_{0-1} =0	
THIẾT ĐẶT CHU KỲ THỰC HIỆN ĐỐI VỚI $p_{0-1} = 1\text{-FOLD}$	
THIẾT ĐẶT DỊCH VỊ THỰC HIỆN ĐỐI VỚI $p_{0-1} = 0$	p_{0-x} PHÉP TÍNH THỰC HIỆN pc_{0-x}
THIẾT ĐẶT CHO PHÉP TIẾP TỤC THỰC HIỆN ĐỐI VỚI p_{0-1}	p_{0-x} PHÉP TÍNH TRUYỀN t_{0-x}
p_{0-1} PHÉP TÍNH THỰC HIỆN pc_{0-1}	SỐ CPU THỰC HIỆN ĐỐI VỚI p_{1-1} =1
p_{0-0} PHÉP TÍNH TRUYỀN t_{0-1}	
SỐ CPU THỰC HIỆN ĐỐI VỚI p_{0-2} =0	SỐ CPU THỰC HIỆN ĐỐI VỚI p_{n-z} = n
THIẾT ĐẶT CHU KỲ THỰC HIỆN ĐỐI VỚI $p_{0-2} = 2$	THIẾT ĐẶT CHU KỲ THỰC HIỆN ĐỐI VỚI $p_{n-z} = 2$
THIẾT ĐẶT DỊCH VỊ THỰC HIỆN ĐỐI VỚI $p_{0-2} = 1$	THIẾT ĐẶT DỊCH VỊ THỰC HIỆN ĐỐI VỚI $p_{n-z} = 0$
THIẾT ĐẶT CHO PHÉP TIẾP TỤC THỰC HIỆN ĐỐI VỚI p_{0-2}	THIẾT ĐẶT CHO PHÉP TIẾP TỤC THỰC HIỆN ĐỐI VỚI p_{n-z}
p_{0-2} PHÉP TÍNH THỰC HIỆN pc_{0-2}	p_{n-z} PHÉP TÍNH THỰC HIỆN pc_{n-z}
p_{0-2} PHÉP TÍNH TRUYỀN t_{0-2}	p_{0-z} PHÉP TÍNH TRUYỀN t_{n-z}

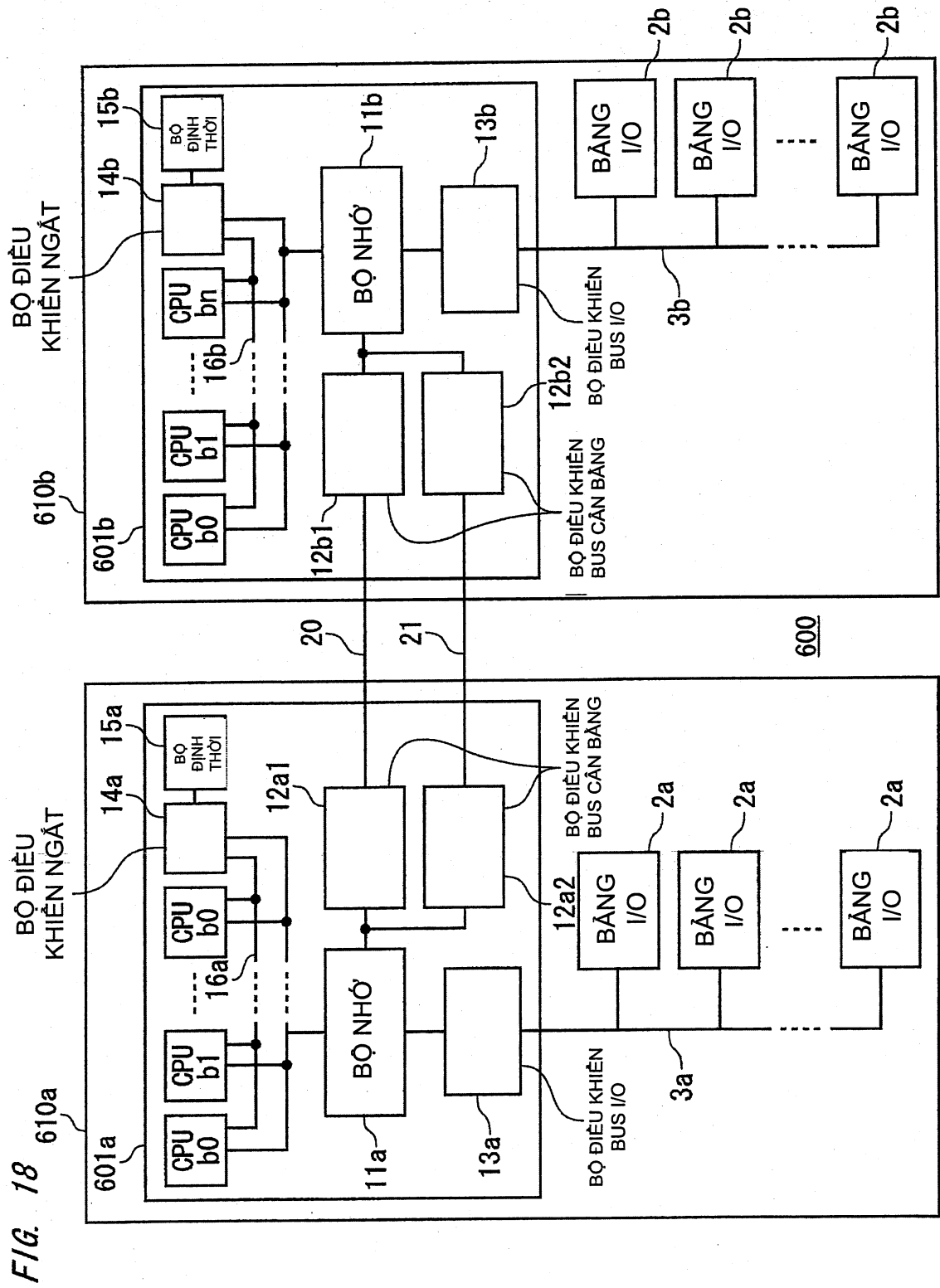
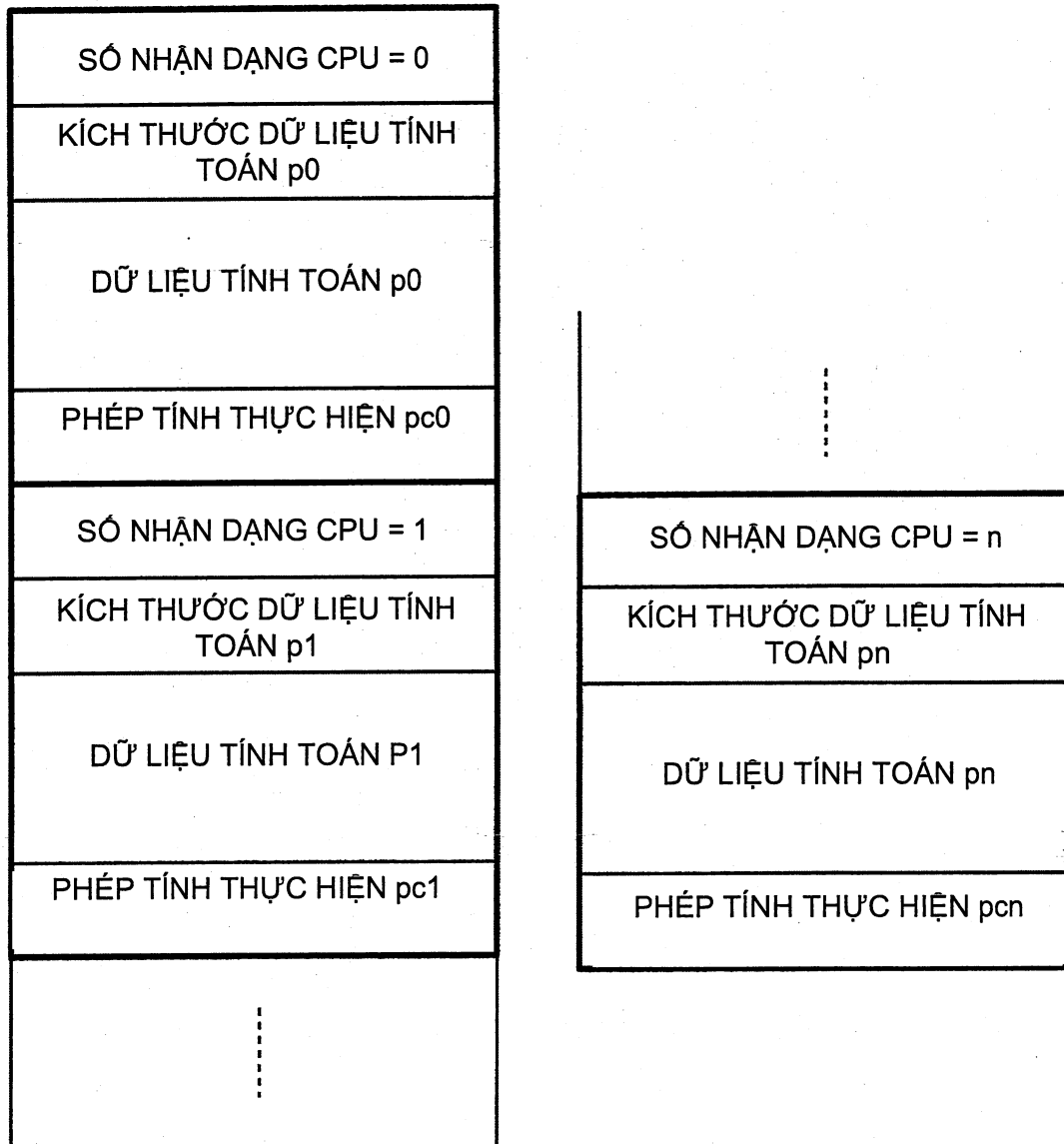


FIG. 19



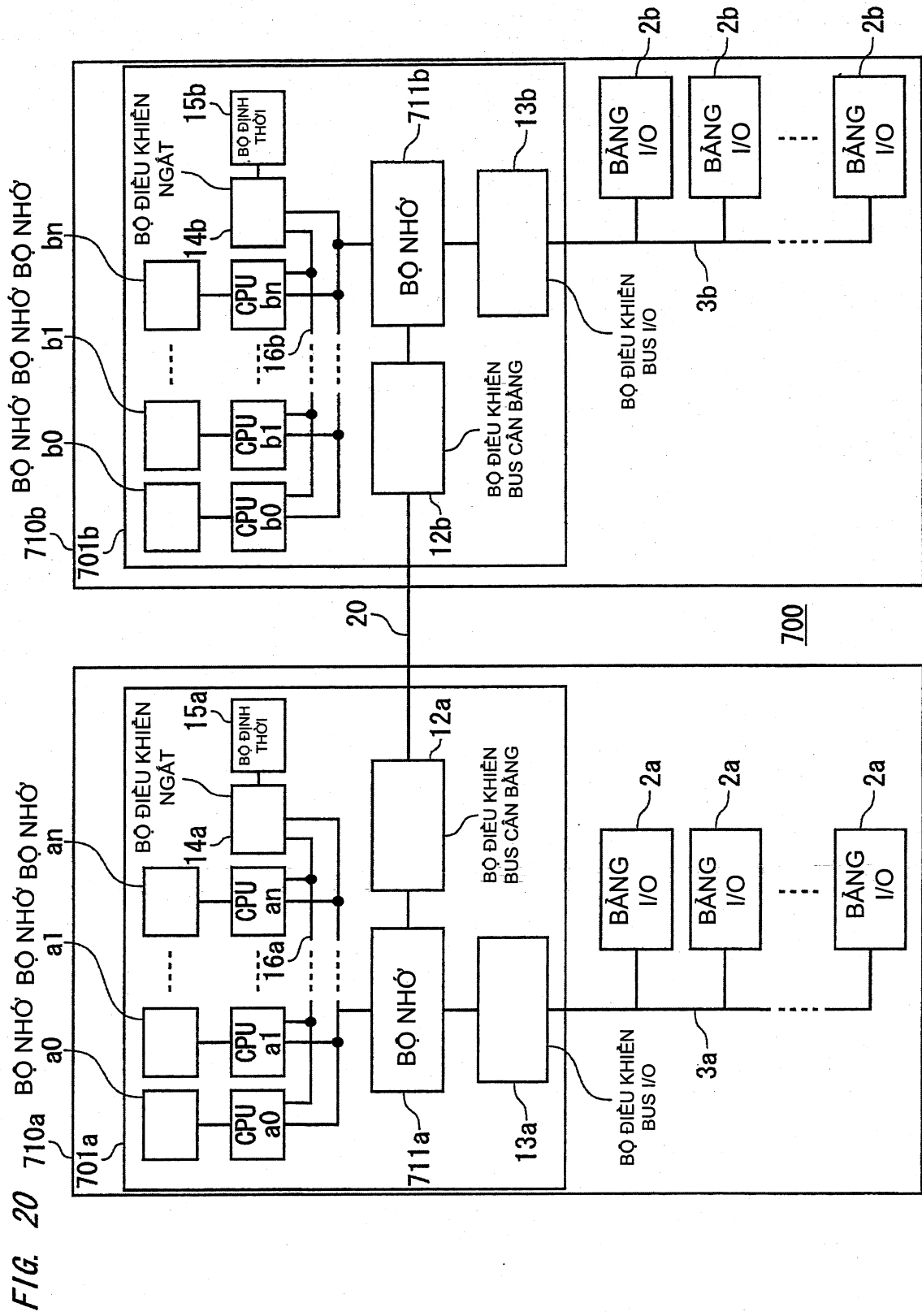


FIG. 21

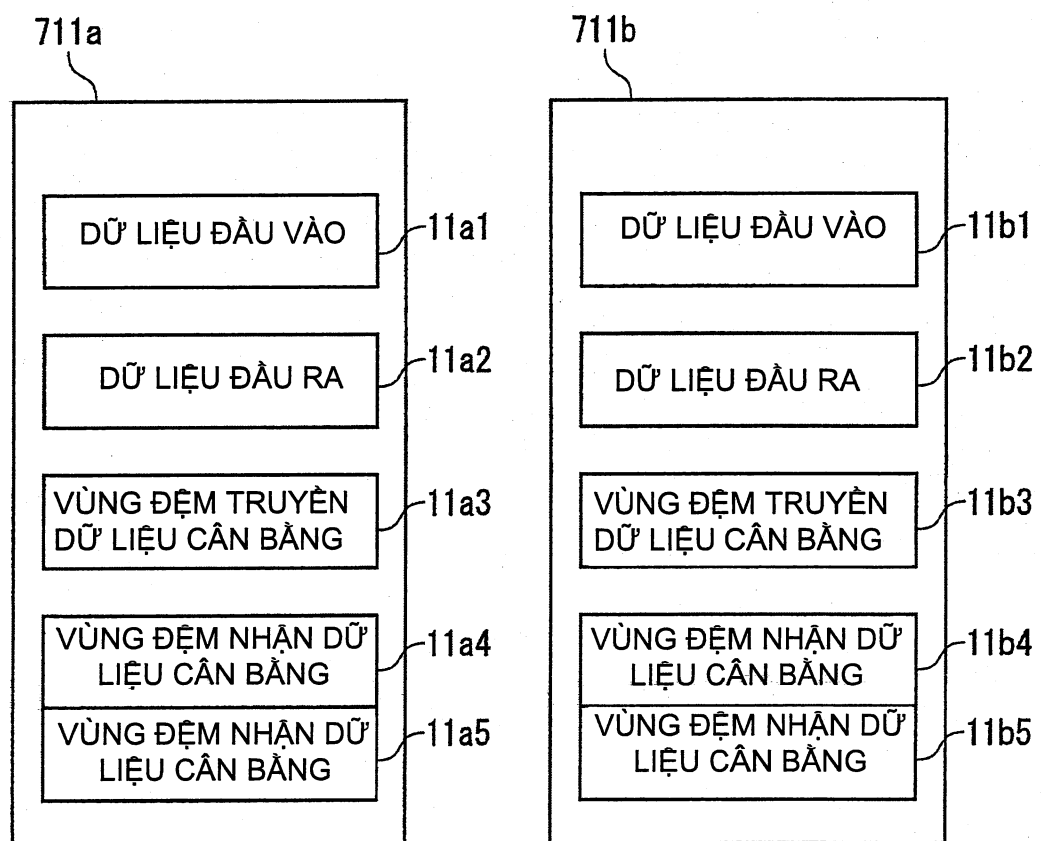


FIG. 22

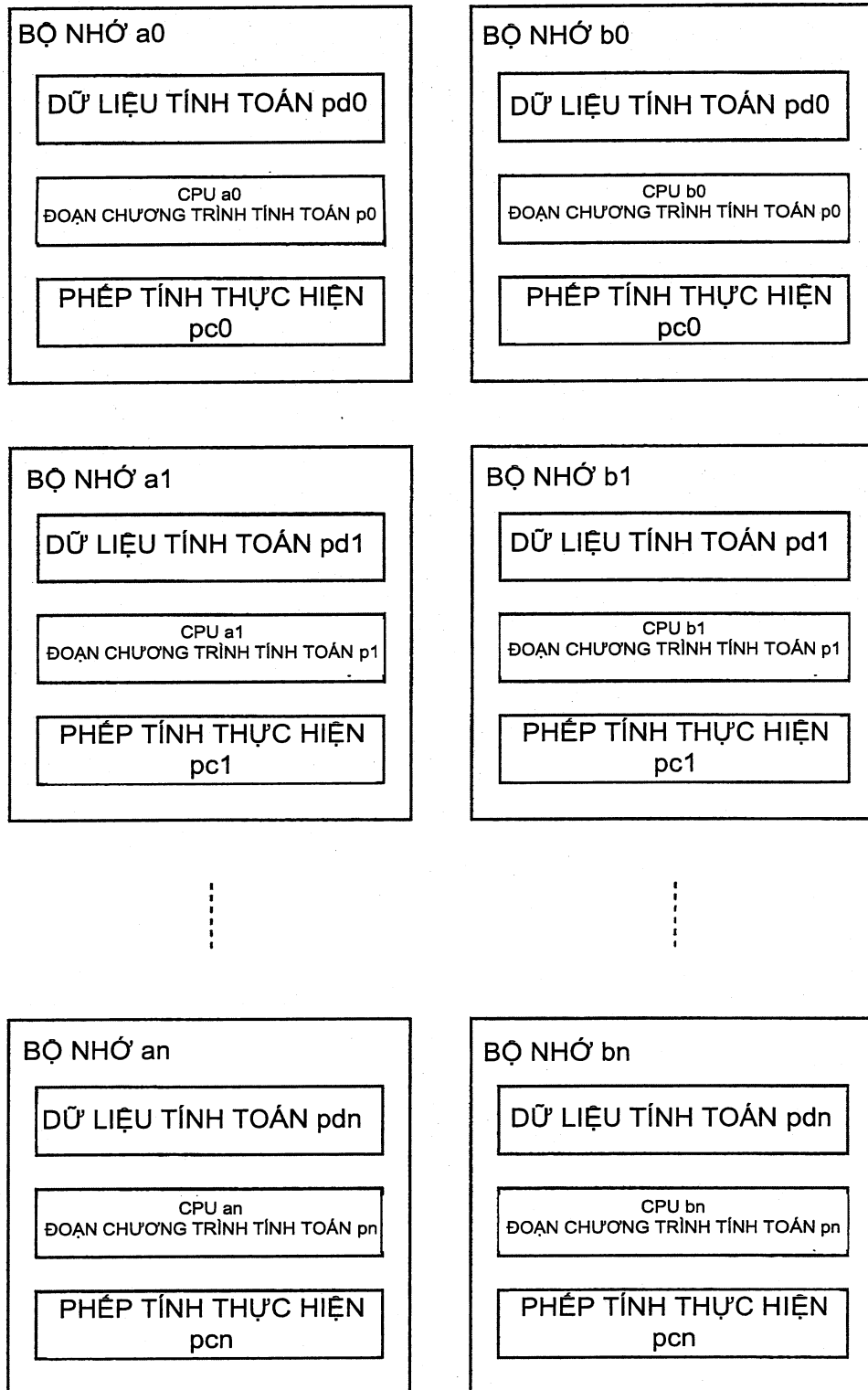


FIG. 23

SỐ NHẬN DẠNG CPU = 0
MÃ NHẬN DẠNG ĐOẠN CHƯƠNG TRÌNH TÍNH TOÁN
MÃ PHIÊN BẢN ĐOẠN CHƯƠNG TRÌNH TÍNH TOÁN
KÍCH THƯỚC DỮ LIỆU TÍNH TOÁN p0
DỮ LIỆU TÍNH TOÁN p0
PHÉP TÍNH THỰC HIỆN pc0
SỐ NHẬN DẠNG CPU = 1
MÃ NHẬN DẠNG ĐOẠN CHƯƠNG TRÌNH TÍNH TOÁN
MÃ PHIÊN BẢN ĐOẠN CHƯƠNG TRÌNH TÍNH TOÁN
KÍCH THƯỚC DỮ LIỆU TÍNH TOÁN p1
DỮ LIỆU TÍNH TOÁN p1
PHÉP TÍNH THỰC HIỆN pc1
⋮

⋮
SỐ NHẬN DẠNG CPU = n
MÃ NHẬN DẠNG ĐOẠN CHƯƠNG TRÌNH TÍNH TOÁN
MÃ PHIÊN BẢN ĐOẠN CHƯƠNG TRÌNH TÍNH TOÁN
KÍCH THƯỚC DỮ LIỆU TÍNH TOÁN pn
DỮ LIỆU TÍNH TOÁN pn
PHÉP TÍNH THỰC HIỆN pcn