



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0025242

(51)⁸ H03G 3/20; H03F 3/00

(13) B

(21) 1-2018-02601

(22) 15/06/2018

(45) 25/08/2020 389

(43) 25/09/2018 366A

(73) TẬP ĐOÀN CÔNG NGHIỆP - VIỄN THÔNG QUÂN ĐỘI (VIETTEL) (VN)

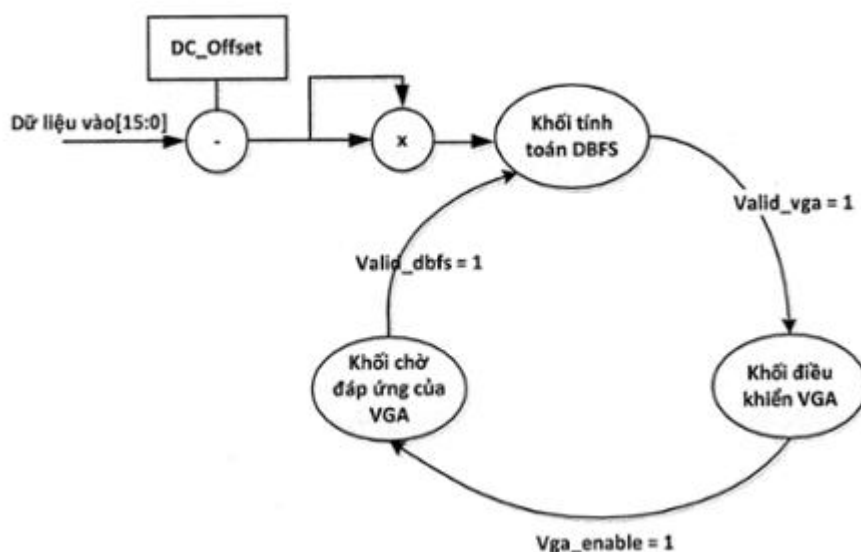
Số 1 Trần Hữu Dực, Mỹ Đình 2, Nam Từ Liêm, Hà Nội

(72) Nguyễn Tiến Sáng (VN); Đỗ Trọng Toàn (VN); Lê Ngọc Quý (VN); Hoàng Đình Hải Truyền (VN); Phan Thanh Trung (VN).

(74) Công ty Luật TNHH quốc tế BMVN (BMVN INTERNATIONAL LLC)

(54) PHƯƠNG PHÁP KHUẾCH ĐẠI HỆ SỐ TỰ ĐỘNG ĐIỀU CHỈNH TRONG CÁC THIẾT BỊ THU PHÁT SÓNG VÔ TUYẾN

(57) Sáng chế đề xuất phương pháp khuếch đại hệ số tự động điều chỉnh trong các thiết bị thu phát sóng vô tuyến (Remote Radio Head - RRH) bằng cách sử dụng kết hợp bộ khuếch đại có hệ số điều chỉnh được (Variable Gain Amplifier - VGA) và vi mạch số khả trình (Field-Programmable Gate Array - FPGA), bao gồm: i) tính hệ số công suất tín hiệu một chiều (Direct current - DC) (khối tính toán DC_Offset); ii) tính công suất trong miền số (khối tính toán DBFS) bao gồm bước thu thập lượng dữ liệu cần thiết phục vụ tính toán và tính mức công suất số trung bình; và iii) điều chỉnh hệ số của bộ VGA (khối điều khiển VGA) căn cứ vào mức công suất đo được ở bước ii), trong đó, các mức ngưỡng và hệ số điều chỉnh đều có thể được lựa chọn tùy ý nhờ vào khả năng lập trình lại được của FPGA.



Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập đến phương pháp khuếch đại hệ số tự động điều chỉnh bằng cách sử dụng kết hợp bộ khuếch đại có hệ số điều chỉnh được (Variable Gain Amplifier - VGA) và vi mạch số khả trình (Field-Programmable Gate Array – FPGA) để thực hiện chức năng của bộ khuếch đại hệ số tự động điều chỉnh (Auto Gain Control – AGC), được triển khai trên tuyến thu của thiết bị thu phát sóng vô tuyến nhằm thay thế cho AGC, trong đó, các mức ngưỡng và hệ số điều chỉnh đều có thể được lựa chọn tùy ý nhờ vào khả năng lập trình lại được của FPGA mà không phải tác động đến phần cứng.

Tình trạng kỹ thuật của sáng chế

Bộ khuếch đại hệ số tự động điều chỉnh AGC đóng vai trò quan trọng trên tuyến thu của các thiết bị thu phát sóng vô tuyến (Remote Radio Head – RRH). AGC sẽ quyết định dải làm việc của tuyến thu, vừa đảm bảo cho tuyến thu không bị bão hòa khi công suất nhận được từ các thiết bị người dùng quá lớn, đồng thời cũng không được quá nhỏ để đảm bảo chỉ số tín hiệu trên nhiễu ở mức tối ưu cho việc giải mã tín hiệu thu. Do có vai trò quan trọng như vậy, nên thông thường AGC cần phải có chất lượng tốt và hoạt động ổn định. Trên thực tế, AGC chiếm tỷ trọng tương đối lớn trong giá thành của phần cứng thiết bị thu phát.

Trong các hệ thống RRH, AGC thường được bố trí ngay tại đầu vào của bộ chuyển đổi tương tự - số (Analog to Digital Converter - ADC) nhằm đảm bảo tín hiệu tuyến thu luôn nằm trong dải hoạt động tốt của bộ ADC này (mức tín hiệu đủ lớn để thực hiện chuyển đổi từ tương tự sang miền số, đảm bảo tỉ lệ tối đa giữa tín hiệu và nhiễu). Với mỗi loại ADC khác nhau (số lượng bit ADC, hãng sản xuất, dòng sản phẩm), dải hoạt động tối ưu của mỗi ADC này là khác nhau. Việc thiết kế phần cứng để đáp ứng cho từng loại ADC phụ thuộc vào nhiều yếu tố. Sau khi hoàn thành việc chế tạo phần cứng, việc thay đổi và điều chỉnh phần cứng, ngưỡng hoạt động của AGC và ADC là khá khó khăn và mất nhiều thời gian, đặc biệt là khi số lượng RRH lớn.

Mặt khác, trong các thiết bị thu phát RRH, đều có các mạch FPGA để thực hiện xử lý tín hiệu số trung gian giữa khối xử lý băng gốc và phần mạch tương tự. Do đó, tận dụng khả năng lập trình được của các FPGA này kết hợp với khối VGA (có giá thành thấp hơn AGC) để thay cho bộ AGC (hiện nay đang được sử dụng phổ biến) sẽ giúp nâng cao tính linh động của thiết kế phần cứng đồng thời làm giảm giá thành sản phẩm.

Bản chất kỹ thuật của sáng chế

Để giải quyết được vấn đề nêu trên, các tác giả sáng chế đề xuất phương pháp sử dụng kết hợp FPGA và VGA để thay thế cho AGC, gọi tắt là phương pháp FAGC (FPGA based Auto Gain Control). Nguyên lý chủ yếu là thực hiện đo giá trị công suất trong miền số, tùy thuộc vào khoảng giá trị của công suất đo được mà thực hiện điều chỉnh hệ số khuếch đại tương ứng của VGA. Theo nguyên lý này, mức công suất đưa vào FPGA được điều chỉnh tự động và duy trì ở mức công suất hợp lý (không bị bão hòa nhưng vẫn duy trì được tỷ số tín hiệu trên nhiễu ở mức tối ưu). Điểm đáng chú ý là toàn bộ thao tác đo công suất, điều chỉnh mức công suất đều được triển khai trên FPGA, do đó, đạt được tốc độ điều chỉnh nhanh nhưng các mức ngưỡng đều có thể được điều chỉnh một cách linh động, phù hợp với các thiết kế phần cứng khác nhau.

Sáng chế đề xuất phương pháp khuếch đại hệ số tự động điều chỉnh trong các thiết bị thu phát sóng vô tuyến (Remote Radio Head – RRH) sử dụng bộ khuếch đại có hệ số điều chỉnh được (Variable Gain Amplifier - VGA) và vi mạch số khả trình (Field-Programmable Gate Array – FPGA) hay còn gọi là "phương pháp FAGC", bao gồm các bước sau:

(i) tính hệ số công suất tín hiệu một chiều theo công thức sau:

$$DC_offset = \frac{1}{N} \sum_{i=1}^N x_i$$

trong đó:

- DC_offset là hệ số công suất tín hiệu một chiều (Direct Current – DC) không mong muốn của tín hiệu;
- N là số lượng mẫu dữ liệu được sử dụng để tính toán (phụ thuộc vào yêu cầu của mỗi hệ thống); và
- x_i là dữ liệu thứ i được sử dụng để tính toán.

(ii) tính công suất trong miền số bằng cách: trước tiên, thu thập đủ số lượng mẫu tín hiệu trên FPGA và sau đó tính công suất trong miền số theo công thức sau:

$$dBFSval(i) = 20 \times \log_{10} \left(\frac{std(X)}{2^{15}} \right)$$

trong đó, std(X) là độ lệch chuẩn (standard deviation) của mảng X (X gồm N mẫu dữ liệu) và được tính theo công thức:

$$std(X) = \sqrt{\frac{1}{N-1} \sum_{i=1}^N (x_i - \frac{1}{N} \sum_{i=1}^N x_i)^2}$$

(iii) điều khiển bộ VGA tương ứng với mỗi mức công suất số đo được

$$VGA(i) = \begin{cases} VGAtemp(i) & \text{khi } G_{\min} < VGAtemp(i) < G_{\max} \\ G_{\min} & \text{khi } VGAtemp(i) \leq G_{\min} \\ G_{\max} & \text{khi } VGAtemp(i) \geq G_{\max} \end{cases}$$

trong đó,

$$VGAtemp(i) = VGA(i-1) + (dBFSval(i) - dBFS_{des})$$

- $dBFS_{des}$ là giá trị công suất ngưỡng thiết lập tham chiếu cho bộ VGA;
- $G_{\max}$ là hệ số khuếch đại tối đa của VGA;
- $G_{\min}$ là hệ số khuếch đại tối thiểu của VGA;
- $VGA(i)$ là hệ số suy hao của bộ VGA tại thời điểm hiện tại;
- $VGA(i-1)$ là hệ số suy hao của bộ VGA tại thời điểm trước liền kề;
- $VGAtemp(i)$ là giá trị suy hao tính toán tại thời điểm hiện tại; và
- $dBFSval(i)$ là giá trị công suất số (dBFS) tính toán được tại thời điểm hiện tại.

Tại thời điểm khởi tạo ban đầu, khi chưa có dữ liệu đầu vào, hệ số suy hao $VGA(0) = G_{\max}$ (hệ thống thực hiện khuếch đại tối đa); các thông số $dBFS_{des}$, $G_{\max}$, $G_{\min}$ đều có thể được lựa chọn linh động thông qua phần mềm quản lý trên vi xử lý (Advanced RISC Machine - ARM) sao cho công suất đầu ra luôn ổn định.

Thực hiện các bước nêu trên, giúp cho hệ thống linh động để thay đổi theo thiết kế phần cứng khác nhau. Ngoài ra, việc sử dụng FPGA sẵn có kết hợp với khối VGA rẻ tiền hơn so với AGC sẽ giúp giảm giá thành sản phẩm. Phương pháp FAGC theo sáng chế sẽ được trình bày chi tiết dưới đây.

Mô tả vắn tắt các hình vẽ

Hình 1 là hình vẽ dạng sơ đồ khối mô tả phương pháp FAGC theo sáng chế.

Hình 2 là hình vẽ dạng sơ đồ khối mô tả cách tính độ lệch chuẩn DC_Offset trong phương pháp FAGC theo sáng chế.

Hình 3 là hình vẽ dạng sơ đồ khối mô tả hoạt động của khối tính toán công suất số dBFS trong phương pháp FAGC theo sáng chế.

Hình 4 là hình vẽ thể hiện kết quả khảo sát công suất trung bình trên băng thông 20MHz sử dụng phương pháp FAGC theo sáng chế.

Hình 5 là hình vẽ dạng sơ đồ khối mô tả hoạt động của khối tinh chỉnh giá trị VGA sử dụng phương pháp FAGC theo sáng chế.

Hình 6 là sơ đồ thể hiện hệ thống RRH có tích hợp khối VGA_Ctrl triển khai trên FPGA áp dụng phương pháp FAGC theo sáng chế.

Hình 7 là hình vẽ thể hiện sự biến đổi của giá trị DBFS theo công suất đầu vào trên hệ thống RRH được triển khai trên thực tế có sử dụng phương pháp FAGC theo sáng chế.

Hình 8 là hình vẽ thể hiện kết quả so sánh chất lượng hoạt động giữa phương pháp FAGC và phương pháp đã biết trong lĩnh vực kỹ thuật này.

Mô tả chi tiết sáng chế

Phần sau đây sẽ mô tả chi tiết các bước thực hiện phương pháp FAGC có sơ đồ thực hiện chung được thể hiện trên Hình 1. Hình 1 là hình vẽ mô tả phương pháp FAGC theo sáng chế gồm 4 bước:

Bước 1: Tính hệ số công suất tín hiệu một chiều (Direct current - DC) (khởi tính toán DC_Offset).

Bước 2: Tính công suất trong miền số (khởi tính toán DBFS).

Bước 3: Điều khiển bộ VGA tương ứng với mỗi mức công suất số đo được (khởi điều khiển VGA).

Bước 4: Chờ chip tương tự VGA đáp ứng theo giá trị điều khiển của bộ điều khiển VGA.

Cụ thể các bước của phương pháp FAGC theo sáng chế là như sau:

Bước 1: tính hệ số công suất tín hiệu một chiều

Hình 2 mô tả cách thức tính hệ số công suất tín hiệu một chiều (Direct current - DC). Thông thường, dữ liệu vô tuyến trong hệ thống viễn thông có giá trị trung bình bằng 0. Tuy nhiên, khi thiết kế hệ thống phần cứng, luôn có mức nhiễu nền cố định của hệ thống mạch tương tự, do đó luôn có mức công suất DC tự nhiên của hệ thống. Muốn tính chính xác mức công suất thu được từ thiết bị người dùng gửi lên, đòi hỏi hệ thống cần phải có giải pháp khử đi phần sai số này. Công thức tính hệ số công suất tín hiệu một chiều như sau:

$$DC_offset = \frac{1}{N} \sum_{i=1}^N x_i \quad (1)$$

Trong đó, số lượng mẫu tính giá trị DC_Offset hiện tại là 4096 mẫu. Theo khảo sát thực tế, việc tính giá trị DBFS trên 2048 mẫu cho độ sai số $\pm 0,5\text{dB}$. Việc tăng số lượng mẫu tính toán từ 2048 lên 4096 nhằm cải thiện độ chính xác của thuật toán. Quá trình tính toán DC_Offset chỉ cần thực hiện một lần duy nhất khi vận hành hệ thống. Giá trị DC_Offset này, sau khi hệ thống được khởi động tại thời điểm đầu tiên, sẽ được lưu vào bộ nhớ cố định đặc trưng cho mỗi RRH. Hệ thống sẽ tự động đọc giá trị DC_Offset này và gửi vào khối tính toán DBFS nhằm mục đích tính giá trị DBFS ở các bước sau.

Bước 2: tính công suất trong miền số

Trong bước này, trước tiên cần thu thập được số lượng mẫu tín hiệu vừa đủ để thực hiện tính toán ở các bước sau (xem Hình 3). Dữ liệu thực tế được thu thập trực tiếp trên FPGA, ngay tại đầu ra của bộ biến đổi ADC. Thường chọn số lượng mẫu tương đương với một tổ hợp sóng mang trực giao (tức là khoảng 13.000 mẫu với tốc độ mẫu đầu ra của ADC là 184,32 Msps), với số lượng mẫu này thì độ chính xác của tính toán đạt khoảng $\Delta = \pm 0,5\text{dB}$. Hình 4 thể hiện kết quả khảo sát độ chính xác của bước tính công suất trong miền số tương ứng độ dài mẫu khác nhau: 2048, 4096, 8192, 16384, tại các thời điểm khác nhau.

Tiếp theo, tiến hành tính công suất trong miền số. Công suất số trung bình (dBFS) của một mảng dữ liệu X gồm N mẫu dữ liệu được tính theo công thức sau:

$$dBFS_{val}(i) = 20 \times \log_{10} \left(\frac{std(X)}{2^{15}} \right) \quad (2)$$

trong đó, $std(X)$ là độ lệch chuẩn (standard deviation) của mảng X (X gồm N mẫu dữ liệu) và được tính theo công thức:

$$std(X) = \sqrt{\frac{1}{N-1} \sum_{i=1}^N (x_i - \frac{1}{N} \sum_{i=1}^N x_i)^2} \quad (3)$$

Dựa theo đặc tính đối xứng qua DC trên miền thời gian của dữ liệu LTE, với dữ liệu LTE chuẩn ta sẽ có giá trị trung bình của dữ liệu là:

$$\frac{1}{N} \sum_{i=0}^N x_i = 0 \quad (4)$$

với dữ liệu tuyến thu RRH hiện đang tồn tại giá trị DC_Offset, việc tính và khử giá trị DC_Offset sẽ được thực hiện trước khi tính công suất số (dBFS). Với hệ thống này, việc khảo sát giá trị DC_Offset được thực hiện bằng cách thu thập dữ liệu thực tế trong FPGA và tính giá trị trung bình của dữ liệu như đã mô tả ở các bước trên.

Bước 3: điều khiển bộ VGA tương ứng với mỗi mức công suất số đo được

Hình 5 mô tả cách thức điều khiển bộ VGA. Mục tiêu của bước này là đảm bảo mức công suất thu được trong FPGA đạt mức công suất số mong muốn (ví dụ -21 dBFS). Tuy nhiên, với 2 mức ngưỡng trên và dưới của dải làm việc thông thường, thì FPGA sẽ đạt mức khuếch đại ở mức thấp nhất hoặc mức cao nhất tương ứng. Công thức sau sẽ mô tả hoạt động của khối điều khiển này:

$$VGA(i) = \begin{cases} VGAtemp(i) & \text{khi } G_{\min} < VGAtemp(i) < G_{\max} \\ G_{\min} & \text{khi } VGAtemp(i) \leq G_{\min} \\ G_{\max} & \text{khi } VGAtemp(i) \geq G_{\max} \end{cases} \quad (5)$$

trong đó,

$$VGAtemp(i) = VGA(i-1) + (dBFS_{val}(i) - dBFS_{des}) \quad (6)$$

- $dBFS_{des}$ là giá trị công suất ngưỡng thiết lập tham chiếu cho bộ VGA (ví dụ -21dBFS), giá trị công suất ngưỡng thiết lập này hoàn toàn có thể được cấu hình động và tức thời bằng ARM.
- G_{max} là hệ số khuếch đại tối đa của VGA.
- G_{min} là hệ số khuếch đại tối thiểu của VGA.
- $VGA(i)$ là hệ số suy hao của bộ VGA tại thời điểm hiện tại.
- $VGA(i-1)$ là hệ số suy hao của bộ VGA tại thời điểm trước liền kề.
- $VGAtemp(i)$ là giá trị suy hao tính toán tại thời điểm hiện tại.
- $dBFS_{val}(i)$ là giá trị công suất số (dBFS) tính toán được tại thời điểm hiện tại.
- Tại thời điểm khởi tạo ban đầu, khi chưa có dữ liệu đầu vào, hệ số suy hao $VGA(0) = G_{max}$ (hệ thống thực hiện khuếch đại tối đa).

Trong đó, các thông số $dBFS_{des}$, G_{max} , G_{min} đều có thể được lựa chọn linh động thông qua phần mềm quản lý trên ARM sao cho công suất đầu ra luôn ổn định. Các mức ngưỡng có thể được điều chỉnh, cấu hình động nhằm đảm bảo tính linh động của thiết kế như mục tiêu đã đề ra của sáng chế này. Khi công suất đầu vào quá lớn, xuất hiện hiện tượng bão hòa công suất dữ liệu.

Bước 4: chờ trạng thái của chip tương tự VGA đáp ứng theo giá trị điều khiển của bộ điều khiển VGA.

Sau khi bộ điều khiển VGA đã tính toán và cho ra kết quả của giá trị cần điều khiển chip tương tự VGA, hệ thống cần một khoảng thời gian để truyền giá trị cần điều khiển tới chip tương tự VGA, thời gian chờ chip tương tự VGA đáp ứng theo giá trị đó và thời gian truyền dữ liệu từ chip tương tự VGA tới khối FAGC.

Đối với mỗi hệ thống khác nhau, thời gian truyền dữ liệu từ chip tương tự VGA tới khối FAGC là khác nhau.

Ví dụ thực hiện sáng chế

Hình 6 thể hiện sơ đồ thực tế triển khai phương pháp FAGC trên RRH. Trong sơ đồ này, bên cạnh phần xử lý thông thường của FPGA, thì khối điều khiển VGA được phát triển bổ sung (*VGA_Ctrl*) để thực hiện chức năng điều chỉnh hệ số khuếch đại của bộ VGA tương tự bên ngoài FPGA (*LMH6521*). Các bước tính toán của VGA-Ctrl đã được mô tả ở phần trên.

Các tham số ngưỡng của bộ *VGA_Ctrl* được điều chỉnh linh động từ phần mềm thông qua vi xử lý ARM. Các tham số phụ được lựa chọn được nêu trong Bảng 1 sau đây:

Bảng 1: Các tham số phụ được lựa chọn

<i>Tham số hệ thống</i>	<i>Ký hiệu</i>	<i>Giá trị thực tế</i>
Số lượng mẫu để tính công suất dBFS	N	4096 mẫu
Thời gian tính toán giá trị công suất số	T_C	22,23 us
Tổng thời gian điều chỉnh của FAGC	T	22,82 us
Giá trị độ lệch chuẩn	DC_Offset	-1352
Giá trị công suất ngưỡng thiết lập tham chiếu cho FAGC	$dBFS_{des}$	-21 dBFS
Mức khuếch đại lớn nhất của VGA	G_{max}	0 dB
Mức khuếch đại nhỏ nhất của VGA	G_{min}	-31,5 dB

Áp dụng các công thức (5), (6) để xét từng thời điểm như sau:

Thời điểm 1:

- Khi có dữ liệu đầu vào RRH (ví dụ -60 dBm), giá trị $VGA(0) = G_{max}$, giá trị dBFS tính được sẽ là -8dBFS. Bộ VGA sẽ thực hiện điều chỉnh tăng suy hao với giá trị là:

$$VGA(1) = VGAtemp(1) = 0 + (-8 - (-21)) = 13(dB)$$

- Sau khi điều chỉnh tăng suy hao thêm 13 dB (từ 0 dB thành +13 dB) thì giá trị dBFS tính được sẽ là -21,1 dBFS.

Thời điểm 2:

- Giá trị suy hao của bộ VGA đang cấu hình là +13 dB, công suất dữ liệu đầu vào của RRH thay đổi từ -60 dBm thành -65 dBm, giá trị dBFS tính được sẽ chỉ còn -26 dBFS. Bộ VGA cần phải thực hiện điều chỉnh lại giá trị suy hao:

$$VGA(2) = VGAtemp(2) = 13 + (-26 - (-21)) = 8(dB)$$

- Sau khi thiết lập lại giá trị suy hao từ +13 dB thành +8 dB, thì giá trị dBFS tính được là -21 dBFS tương ứng với giá trị công suất đầu vào RRH là -65 dBm.

Thời điểm 3:

- Giá trị suy hao của bộ VGA đang cấu hình là +8 dB, công suất đầu vào của RRH tăng đột ngột từ -65 dBm lên -59 dBm, giá trị dBFS tính được tại thời điểm này sẽ tăng từ -21 dBFS thành -15 dBFS. Bộ VGA thực hiện điều chỉnh hệ số suy hao mới là:

$$VGA(3) = VGAtemp(3) = 8 + (-15 - (-21)) = 14(dB)$$

Lưu ý rằng, theo cách thức trên thực tế, dải hoạt động có thể điều chỉnh được của bộ VGA là từ 0 đến 31,5, việc cần thiết là phải có ngưỡng chặn:

- Chặn dưới là Gmin cho các trường hợp công suất đầu vào RRH quá lớn, bộ VGA đã cấu hình giá trị suy hao là lớn nhất nhưng giá trị dBFS tính được vẫn cao hơn ngưỡng (-21 dBFS);
- Chặn trên là Gmax ứng với trường hợp bộ VGA đã khuếch đại cực đại nhưng giá trị dBFS tính được vẫn nhỏ hơn ngưỡng tham chiếu (-21 dBFS).

Triển khai thử nghiệm thực tế lên hệ thống RRH cho kết quả điều chỉnh công suất như được thể hiện trong Bảng 2 sau đây:

Bảng 2: Giá trị DBFS của dữ liệu và hệ số gain của VGA biến đổi theo công suất đầu vào

<i>Pin</i> (dB)	<i>DBFS</i> value	<i>VGA</i> Value	<i>Pin</i> (dB)	<i>DBFS</i> value	<i>VGA</i> Value	<i>Pin</i> (dB)	<i>DBFS</i> value	<i>VGA</i> Value
-90	-37,8	0	-70	-21	6	-50	-21,4	2e
-89	-36,9	0	-69	-21	8	-49	-21,4	30
-88	-35,9	0	-68	-21	0a	-48	-21,4	32
-87	-34,9	0	-67	-22	0c	-47	-21,4	34
-86	-33,9	0	-66	-21	0e	-46	-21,3	36
-85	-32,9	0	-65	-21	10	-45	-21,2	38
-84	-31,9	0	-64	-22	12	-44	-21,1	3a
-83	-30,9	0	-63	-22	14	-43	-21,7	3e
-82	-29,9	0	-62	-21,1	16	-42	-20,7	3f
-81	-28,9	0	-61	-21,1	18	-41	-19,7	3f
-80	-27,9	0	-60	-21,1	1a	-40	-18,4	3f
-79	-26,9	0	-59	-21,1	1c	-39	-17,7	3f
-78	-25,9	0	-58	-22,3	1e	-38	-16,7	3f
-77	-24,9	0	-57	-21,3	20	-37	-15,8	3f
-76	-23,9	0	-56	-22,3	22	-36	-15,3	3f
-75	-22,9	0	-55	-21,3	24	-35	-14,7	3f
-74	-21,9	0	-54	-21,3	26	-34	-14,4	3f
-73	-21,9	0	-53	-21,4	28	-33	-14,3	3f
-72	-21,9	2	-52	-21,4	2a	-32	-14,1	3f
-71	-21,9	4	-51	-21,4	2c	-31	-14	3f

Hình 7 là đồ thị biến thiên của mức công suất thu được sau FAGC trong FPGA, biến thiên theo mức công suất đầu vào của RRH. Theo Bảng 2 trên đây và đồ thị trên

Hình 7, có thể thấy được các vùng công suất hoạt động thông thường của FAGC, khi đó mức công suất được giữ hằng số và hệ số khuếch đại của VGA được điều chỉnh để bù lại sự biến thiên của công suất tín hiệu đầu vào. Ở các vùng tới hạn của VGA, khi đó hệ số khuếch đại của VGA đang ở mức tối đa hoặc tối thiểu, thì mức công suất đo được sau FAGC được biến thiên tỉ lệ thuận với mức công suất vào của RRH.

Hình 8 là đồ thị so sánh khả năng hoạt động của phương pháp FAGC theo sáng chế so với phương pháp AGC thông thường. Giá trị đầu ra đo được trong FPGA, cho thấy khả năng hoạt động khá tương đồng giữa giải pháp theo sáng chế so với giải pháp thông thường. Tuy nhiên, như đã nêu trên đây, phương pháp FAGC theo sáng chế mang lại 2 ưu điểm lớn, đó là: khả năng cấu hình động và giảm được chi phí sản xuất so với phương pháp AGC thông thường.

Hiệu quả đạt được của sáng chế

Phương pháp theo sáng chế là một giải pháp hiệu quả, khả thi để khuếch đại hệ số tự động điều chỉnh bằng cách sử dụng bộ khuếch đại có hệ số điều chỉnh được (Variable Gain Amplifier - VGA) và vi mạch số khả trình (Field-Programmable Gate Array – FPGA). Phương pháp theo sáng chế hoạt động tương đương với giải pháp AGC thông thường, nhưng do tận dụng được khả năng lập trình lại được của FPGA sẵn có, nên giảm được giá thành sản xuất và khả năng cấu hình linh động, cho phép tương thích với nhiều thiết kế phần cứng khác nhau.

YÊU CẦU BẢO HỘ

1. Phương pháp khuếch đại hệ số tự động điều chỉnh trong các thiết bị thu phát sóng vô tuyến (Remote Radio Head – RRH) sử dụng bộ khuếch đại có hệ số điều chỉnh được (Variable Gain Amplifier - VGA) và vi mạch số khả trình (Field-Programmable Gate Array – FPGA), bao gồm:

(i) tính hệ số công suất tín hiệu một chiều theo công thức sau:

$$DC_offset = \frac{1}{N} \sum_{i=1}^N x_i$$

trong đó:

- DC_offset là hệ số công suất tín hiệu một chiều (Direct current – DC) không mong muốn của tín hiệu;
- N là số lượng mẫu dữ liệu được sử dụng để tính toán (phụ thuộc vào yêu cầu của mỗi hệ thống); và
- x_i là dữ liệu thứ i được sử dụng để tính toán;

(ii) tính công suất trong miền số bằng cách: trước tiên, thu thập đủ số lượng mẫu tín hiệu trên FPGA và sau đó tính công suất trong miền số theo công thức sau:

$$dBFSval(i) = 20 \times \log_{10} \left(\frac{std(X)}{2^{15}} \right)$$

trong đó, $std(X)$ là độ lệch chuẩn (standard deviation) của mảng X (X gồm N mẫu dữ liệu) và được tính theo công thức:

$$std(X) = \sqrt{\frac{1}{N-1} \sum_{i=1}^N (x_i - \frac{1}{N} \sum_{i=1}^N x_i)^2}$$

(iii) điều khiển bộ VGA tương ứng với mỗi mức công suất số đo được

$$VGA(i) = \begin{cases} VGAtemp(i) & \text{khi } G_{min} < VGAtemp(i) < G_{max} \\ G_{min} & \text{khi } VGAtemp(i) \leq G_{min} \\ G_{max} & \text{khi } VGAtemp(i) \geq G_{max} \end{cases}$$

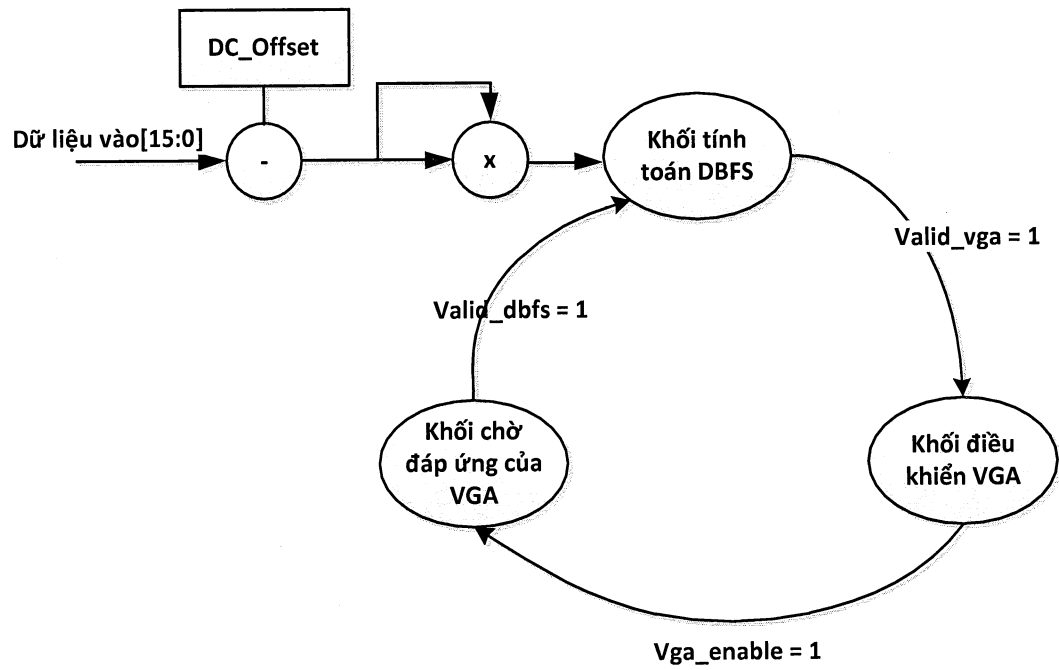
trong đó,

$$VGAtemp(i) = VGA(i-1) + (dBFSval(i) - dBFS_{des})$$

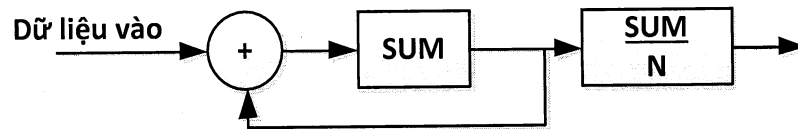
- $dBFS_{des}$ là giá trị công suất ngưỡng thiết lập tham chiếu cho bộ VGA;
- G_{max} là hệ số khuếch đại tối đa của VGA;
- G_{min} là hệ số khuếch đại tối thiểu của VGA;
- $VGA(i)$ là hệ số suy hao của bộ VGA tại thời điểm hiện tại;

- $VGA(i-1)$ là hệ số suy hao của bộ VGA tại thời điểm trước liền kề;
- $VGAtemp(i)$ là giá trị suy hao tính toán tại thời điểm hiện tại;
- $dBFSval(i)$ là giá trị công suất số (dBFS) tính toán được tại thời điểm hiện tại;

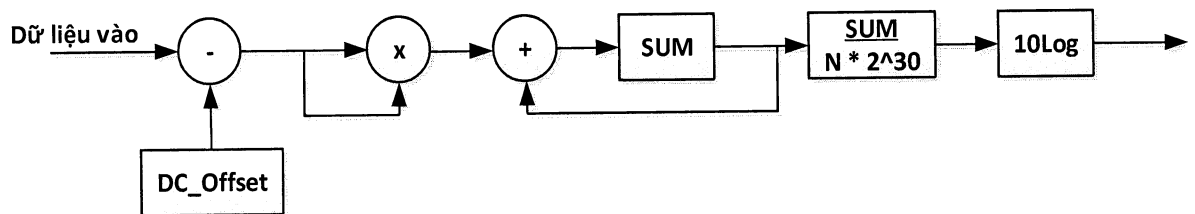
tại thời điểm khởi tạo ban đầu, khi chưa có dữ liệu đầu vào, hệ số suy hao $VGA(0) = Gmax$ (hệ thống thực hiện khuếch đại tối đa); các thông số $dBFS_{des}$, $Gmax$, $Gmin$ đều có thể được lựa chọn linh động thông qua phần mềm quản lý trên ARM sao cho công suất đầu ra luôn ổn định.



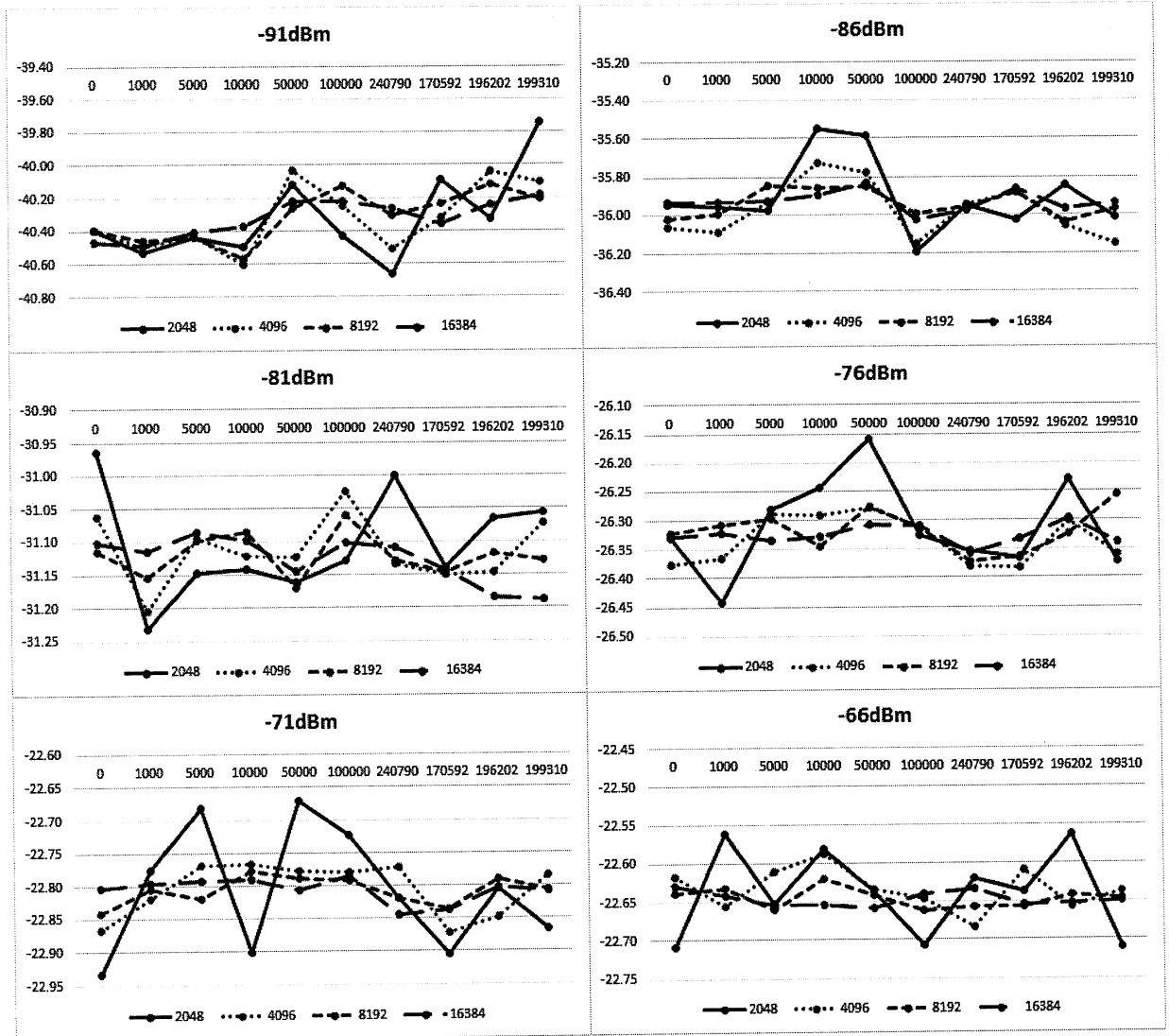
Hình 1



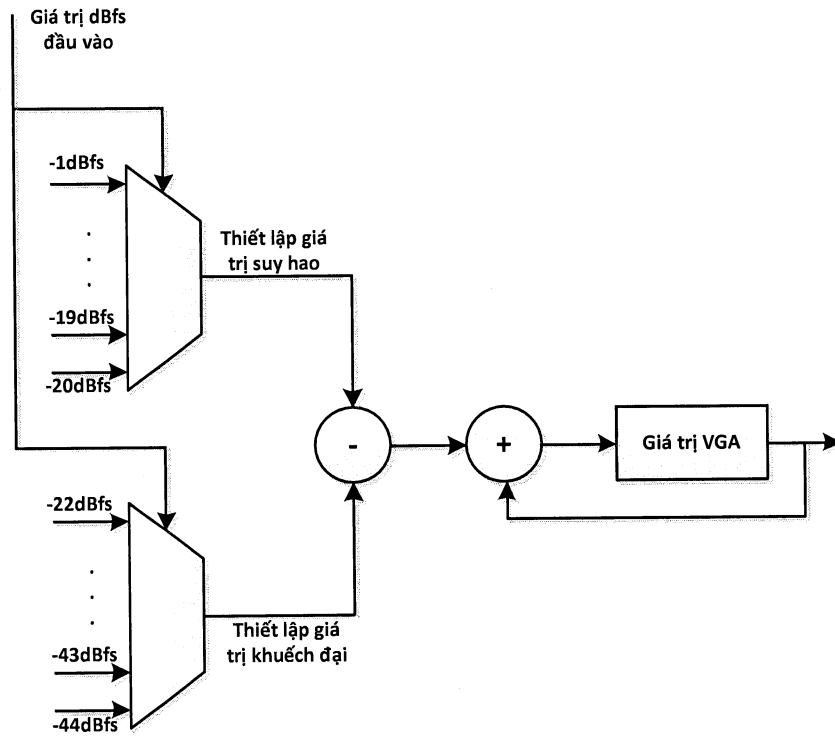
Hình 2



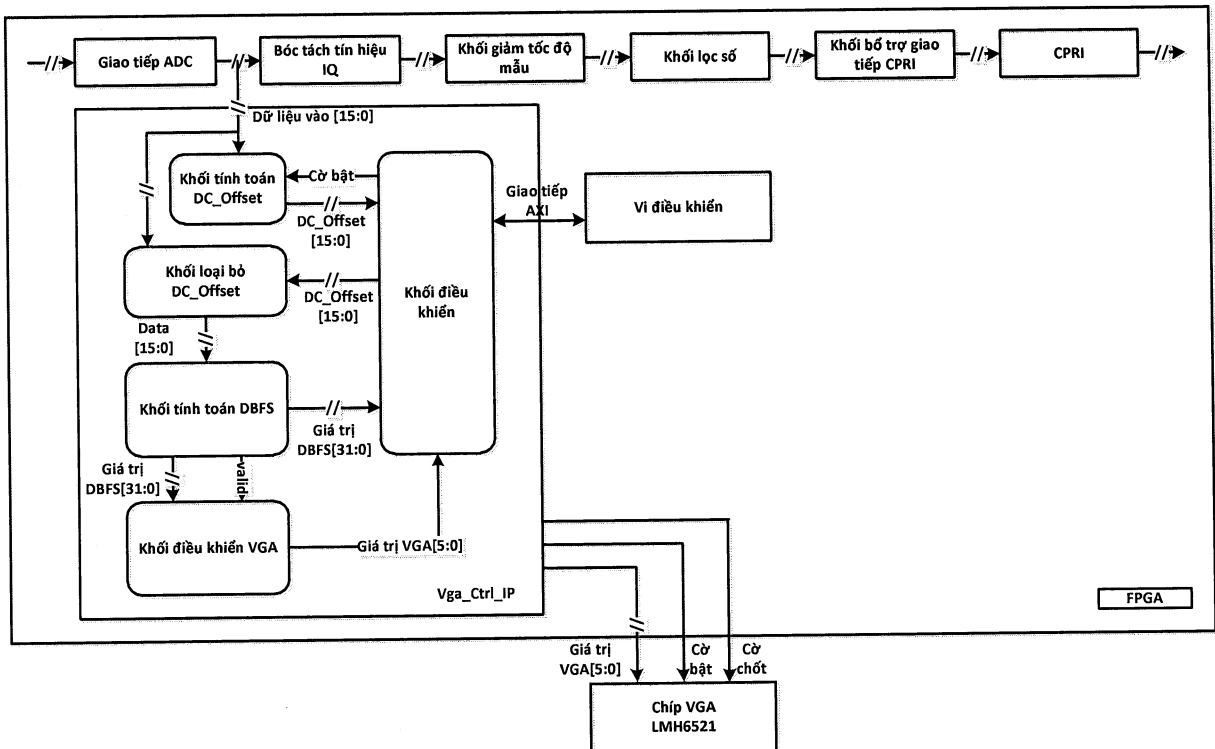
Hình 3



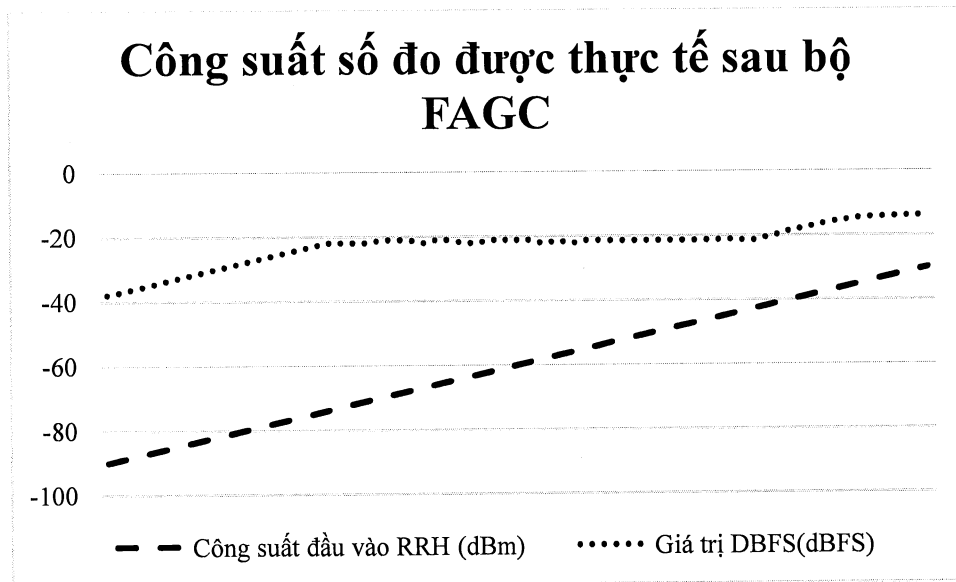
Hình 4



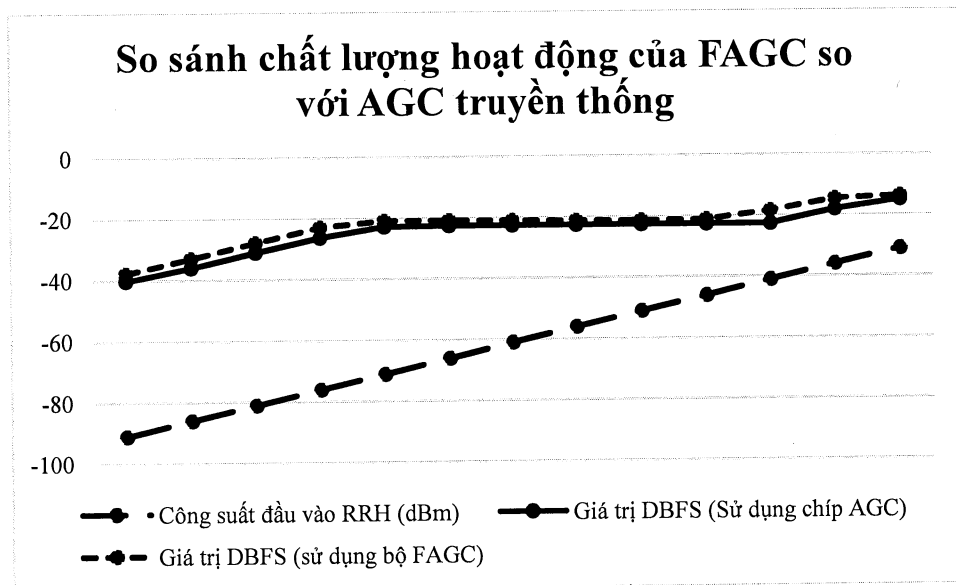
Hình 5



Hình 6



Hình 7



Hình 8