



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN) (11) CỤC SỞ HỮU TRÍ TUỆ



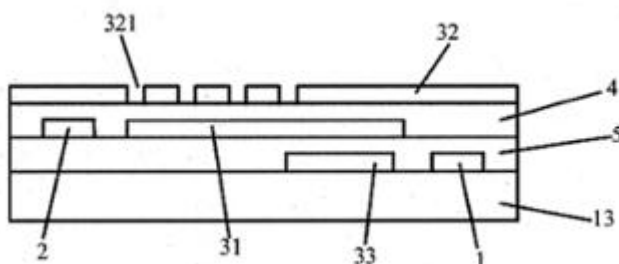
1-0025231

(51)⁷ G02F 1/1362; H01L 23/50; H01L 27/02; (13) B
G02F 1/1368

(21) 1-2017-00014 (22) 20/08/2015
(86) PCT/CN2015/087697 20/08/2015 (87) WO2016/141682 15/09/2016
(30) 201520141230.X 12/03/2015 CN
(45) 25/08/2020 389 (43) 25/07/2017 352A
(73) BOE TECHNOLOGY GROUP CO., LTD. (CN)
No. 10 Jiuxianqiao Rd., Chaoyang District, Beijing 100015, China
(72) Hongfei CHENG (CN); Jianbo XIAN (CN); Jian XU (CN).
(74) Công ty Luật TNHH Phạm và Liên danh (PHAM & ASSOCIATES)

(54) ĐỀ MẢNG VÀ THIẾT BỊ HIỂN THỊ

(57) Sáng chế đề xuất đề mảng và thiết bị hiển thị. Đề mảng bao gồm: tuyến điện cực chung (6), các tuyến cực cửa (1) và các tuyến dữ liệu (2) nằm chéo, và khối điểm ảnh (3). Khối điểm ảnh (3) bao gồm điện cực điểm ảnh (31) và điện cực chung (32) có lớp cách điện thứ nhất (4) giữa chúng, và còn bao gồm tuyến điện cực lưu trữ (33) ít nhất chồng nhau một phần với điện cực điểm ảnh (31). Lớp cách điện thứ hai (5) nằm giữa tuyến điện cực lưu trữ (33) và điện cực điểm ảnh (31). Tuyến điện cực lưu trữ (33) và điện cực chung (32) được nối riêng rẽ với tuyến điện cực chung (6). Điện dung lưu trữ được tạo giữa tuyến điện cực lưu trữ (33) và điện cực điểm ảnh (31) bù điện dung lưu trữ được tạo giữa điện cực chung (32) và điện cực điểm ảnh (31).



Lĩnh vực kỹ thuật được đề cập

Sáng chế liên quan đến lĩnh vực công nghệ hiển thị, và cụ thể là đến đế mảng và thiết bị hiển thị.

Tình trạng kỹ thuật của sáng chế

Với sự phát triển của công nghệ hiển thị và tiến bộ xã hội, công nghệ LCD (liquid crystal display, màn hình tinh thể lỏng) đã được áp dụng rộng rãi và đóng vai trò quan trọng trong sản xuất công nghiệp và đời sống sinh hoạt.

Chế độ LCD có thể được phân chia thành chế độ TN (twisted nematic, tinh thể lỏng dạng xoắn), chế độ VA (vertical aligned, căn chỉnh theo chiều dọc), và chế độ trường điện nằm ngang. Chế độ trường điện nằm ngang bao gồm chế độ IPS (in-plane switching, chuyển đổi trong mặt phẳng) và chế độ FFS (fringe field switching, chuyển đổi trường giao thoa). Thiết bị LCD của chế độ FFS được áp dụng rộng rãi do góc nhìn rộng và hệ số truyền cao.

Như đối với chế độ FFS, bảng điều khiển LCD bao gồm đế mảng và đế mảng màu. Đế mảng bao gồm các tuyến cực cửa, các tuyến dữ liệu, và các khối điểm ảnh. Các tuyến cực cửa và các tuyến dữ liệu giao nhau vuông góc. Các khối điểm ảnh được định nghĩa bởi các tuyến cực cửa lân cận và các tuyến dữ liệu lân cận. Mỗi một trong số các khối điểm ảnh bao gồm tranzito màng mỏng, điện cực điểm ảnh, và điện cực chung. Điện cực chung được đặt ở trên điện cực điểm ảnh, và các rãnh được tạo ở điện cực chung. Lớp cách điện được bố trí giữa điện cực điểm ảnh và điện cực chung. Điện áp tín hiệu tuyến dữ liệu được nạp vào điện cực điểm ảnh qua tranzito màng mỏng. Toàn bộ điện cực chung bao phủ tất cả các khối điểm ảnh, và được nối với tuyến điện cực chung ở khu vực không hiển

thị.

Điện cực chung ít nhất chồng nhau một phần các tuyến dữ liệu hoặc các tuyến cực cửa. Để giảm điện dung ký sinh giữa các tuyến dữ liệu hoặc các tuyến cực cửa và điện cực chung, độ dày của lớp cách điện giữa điện cực chung và các tuyến dữ liệu hoặc các tuyến cực cửa được tăng tương ứng. Điều này cũng làm giảm điện dung lưu trữ được tạo giữa điện cực điểm ảnh và điện cực chung, do vậy điện áp của điện cực điểm ảnh chịu biến thiên trong quá trình hiển thị khung, và ảnh hưởng hiệu ứng hiển thị.

Bản chất kỹ thuật của sáng chế

Theo các vấn đề nêu trên theo giải pháp kỹ thuật đã biết, sáng chế đề xuất để mảng và thiết bị hiển thị. Ở đế mảng, điện dung lưu trữ có thể được tạo giữa tuyến điện cực lưu trữ và điện cực điểm ảnh, và bù điện dung lưu trữ được tạo giữa điện cực chung và điện cực điểm ảnh. Kết quả là, việc giảm điện dung lưu trữ giữa điện cực chung và điện cực điểm ảnh do tăng độ dày của lớp cách điện thứ nhất có thể được tránh. Ngoài ra, khả năng giữ lại điện tích của điện cực điểm ảnh có thể được tăng, do vậy điện áp của điện cực điểm ảnh là không đổi trong chu kỳ hiển thị khung, và hiệu ứng hiển thị của ảnh được đảm bảo.

Sáng chế đề xuất để mảng, bao gồm tuyến điện cực chung, các tuyến cực cửa và các tuyến dữ liệu giao nhau, và các khối điểm ảnh được định nghĩa bởi các tuyến cực cửa lân cận và các tuyến dữ liệu lân cận, mỗi một trong số các khối điểm ảnh bao gồm điện cực điểm ảnh và điện cực chung, lớp cách điện thứ nhất được bố trí giữa điện cực điểm ảnh và điện cực chung, mỗi một trong số các khối điểm ảnh còn bao gồm tuyến điện cực lưu trữ, tuyến điện cực lưu trữ và điện cực điểm ảnh ít nhất chồng nhau một phần, lớp cách điện thứ hai được bố trí giữa tuyến điện cực lưu trữ và điện cực điểm ảnh, và tuyến điện cực lưu trữ và điện cực

chung được nối với tuyến điện cực chung, một cách riêng rẽ. Do tuyến điện cực lưu trữ và điện cực điểm ảnh ít nhất chồng nhau một phần và cách nhau bởi lớp tinh thể lỏng thứ hai, điện dung lưu trữ bổ sung được tạo giữa tuyến điện cực lưu trữ và điện cực điểm ảnh. Điện dung lưu trữ bổ sung có thể bù điện dung lưu trữ giữa điện cực điểm ảnh và điện cực chung, do vậy giảm điện dung lưu trữ do tăng ở độ dày của lớp cách điện thứ nhất giữa điện cực điểm ảnh và điện cực chung có thể được tránh.

Cụm từ “tuyến điện cực lưu trữ và điện cực điểm ảnh ít nhất chồng nhau một phần” được sử dụng ở đây chỉ báo phần nhô tuyến điện cực lưu trữ theo hướng vuông góc với đế mỏng ít nhất chồng nhau một phần với phần nhô của điện cực điểm ảnh.

Tốt hơn là, khu vực không hiển thị của đế mỏng bao gồm vùng định trước trong đó đệm điện cực lưu trữ được bố trí, tuyến điện cực lưu trữ được nối với đệm điện cực lưu trữ, và trong vùng định trước tuyến điện cực chung được nối với điện cực chung và đệm điện cực lưu trữ, một cách riêng rẽ. Do tuyến điện cực lưu trữ và tuyến điện cực chung được nối với đệm điện cực lưu trữ, tuyến điện cực lưu trữ tăng khu vực hiệu dụng của tấm cho điện dung lưu trữ mà tuyến điện cực chung hoạt động như là, do vậy tăng điện dung lưu trữ giữa điện cực điểm ảnh và điện cực chung. Do đệm điện cực lưu trữ được bố trí ở vùng định trước của khu vực không hiển thị, khu vực hiển thị của đế mỏng không bị ảnh hưởng.

Đế mỏng có thể bao gồm khu vực hiển thị và khu vực không hiển thị. Chẳng hạn, vùng trong đó các khối điểm ảnh được bố trí có thể là khu vực hiển thị, trong đó vùng còn lại có thể là khu vực không hiển thị. Điện cực chung, tuyến điện cực lưu trữ, lớp cách điện thứ nhất, và lớp cách điện thứ hai mở rộng sang khu vực không hiển thị của đế mỏng, một cách riêng rẽ.

Tốt hơn là, tuyến điện cực chung được làm từ vật liệu tương tự với các tuyến dữ liệu và được bố trí trong cùng lớp với các tuyến dữ liệu, và

tuyến điện cực lưu trữ và đệm điện cực lưu trữ được làm từ vật liệu tương tự với các tuyến cực cửa và được bố trí trong cùng lớp với các tuyến cực cửa. Theo giải pháp này, tuyến điện cực chung và các tuyến dữ liệu được làm từ vật liệu tương tự và được bố trí trong cùng lớp, và tuyến điện cực lưu trữ, đệm điện cực lưu trữ, và các tuyến cực cửa được làm từ vật liệu tương tự và được bố trí trong cùng lớp. Do vậy, tuyến điện cực chung và các tuyến dữ liệu có thể được tạo bởi quá trình tạo mẫu hình giống hệt, và tuyến điện cực lưu trữ, đệm điện cực lưu trữ, và các tuyến cực cửa có thể được tạo bởi quá trình tạo mẫu hình giống hệt, do vậy đơn giản hóa quá trình chế tạo và giảm chi phí.

Tốt hơn là, điện cực chung được đặt ở trên điện cực điểm ảnh, tuyến điện cực chung, tuyến dữ liệu, và điện cực điểm ảnh được bố trí trên lớp cách điện thứ hai, và các tuyến cực cửa được đặt ở dưới điện cực điểm ảnh.

Tốt hơn là, lỗ xuyên thứ nhất được bố trí trong vùng của lớp cách điện thứ nhất tương ứng với vùng định trước, điện cực chung được nối với tuyến điện cực chung nhờ lỗ xuyên thứ nhất; lỗ xuyên thứ hai được bố trí trong vùng của lớp cách điện thứ hai tương ứng với vùng định trước, tuyến điện cực chung được nối với đệm điện cực lưu trữ nhờ lỗ xuyên thứ hai.

Tốt hơn là, tuyến điện cực lưu trữ, đệm điện cực lưu trữ, và các tuyến điện cực chung được làm từ vật liệu tương tự với các tuyến cực cửa và được bố trí trong cùng lớp với các tuyến cực cửa, và tuyến điện cực chung và đệm điện cực lưu trữ tạo cấu trúc liền khối. Theo giải pháp này, tuyến điện cực lưu trữ, đệm điện cực lưu trữ, tuyến điện cực chung, và các tuyến cực cửa được làm từ vật liệu tương tự và được bố trí trong cùng lớp. Do vậy, tuyến điện cực lưu trữ, đệm điện cực lưu trữ, tuyến điện cực chung, và các tuyến cực cửa có thể được tạo bởi quá trình tạo mẫu hình giống hệt, do vậy đơn giản hóa quá trình chế tạo và giảm chi phí.

Tốt hơn là, điện cực chung được đặt ở trên điện cực điểm ảnh, và các tuyến cực cửa được đặt ở dưới điện cực điểm ảnh.

Tốt hơn là, lỗ xuyên thứ ba được bố trí trong vùng của lớp cách điện thứ nhất và lớp cách điện thứ hai tương ứng với vùng định trước, và điện cực chung được nối với đệm điện cực lưu trữ nhờ lỗ xuyên thứ ba.

Tốt hơn là, có các tuyến điện cực lưu trữ song song với hướng mở rộng của các tuyến cực cửa, và mỗi một trong số các tuyến điện cực lưu trữ tương ứng với hàng điện cực điểm ảnh.

Tốt hơn là, có các vùng định trước và các đệm điện cực lưu trữ, và mỗi một trong số các đệm điện cực lưu trữ được nối với một trong các tuyến điện cực lưu trữ;

có các tuyến điện cực chung, mỗi một trong số các tuyến điện cực chung ít nhất được nối với đệm điện cực lưu trữ ở một trong các vùng định trước, và còn được nối với điện cực chung ở vùng định trước.

Tốt hơn là, có các vùng định trước và các đệm điện cực lưu trữ, và mỗi một trong số các đệm điện cực lưu trữ được nối với một trong các tuyến điện cực lưu trữ;

chỉ có duy nhất một tuyến điện cực chung, tuyến điện cực chung được nối với đệm điện cực lưu trữ ở mỗi một trong số các vùng định trước, và được nối với điện cực chung ở mỗi một trong số các vùng định trước.

Tốt hơn là, mỗi một trong số các vùng định trước được đặt giữa các tuyến mở rộng của hai tuyến cực cửa lân cận, và mỗi một trong số các vùng định trước tương ứng với hàng điện cực điểm ảnh; hướng mở rộng của mỗi tuyến trong các tuyến điện cực chung song song với hướng mở rộng của các tuyến cực cửa.

Tốt hơn là, mỗi một trong số các vùng định trước được đặt giữa các tuyến mở rộng của hai tuyến cực cửa lân cận, và mỗi một trong số các vùng định trước tương ứng với hàng điện cực điểm ảnh; hướng mở rộng

của tuyến điện cực chung song song với hướng mở rộng của tuyến dữ liệu.

Tốt hơn là, các rãnh được bố trí ở điện cực chung và trong vùng tương ứng với điện cực điểm ảnh nằm dưới.

Cụm từ “cùng của điện cực chung tương ứng với điện cực điểm ảnh nằm dưới” được sử dụng ở đây chỉ báo vùng của điện cực chung, phần nhô của nó theo hướng vuông góc với đế mỏng tương ứng với phần nhô của điện cực điểm ảnh.

Tốt hơn là, lớp cách điện thứ nhất có độ dày từ $1\mu\text{m}$ đến $3\mu\text{m}$.

Sáng chế còn đề xuất thiết bị hiển thị, bao gồm đế mỏng nêu trên.

Sáng chế đề xuất các ưu điểm sau. Ở đế mỏng theo sáng chế, tuyến điện cực lưu trữ được bố trí ít nhất chồng nhau một phần điện cực điểm ảnh. Điện dung lưu trữ có thể được tạo giữa tuyến điện cực lưu trữ và điện cực điểm ảnh, và bù điện dung lưu trữ được tạo giữa điện cực chung và điện cực điểm ảnh. Kết quả là, việc giảm điện dung lưu trữ do tăng độ dày của lớp cách điện thứ nhất có thể được tránh. Ngoài ra, khả năng giữ lại điện tích của điện cực điểm ảnh có thể được tăng, do vậy điện áp của điện cực điểm ảnh là không đổi trong chu kỳ hiển thị của khung, và hiệu ứng hiển thị của ảnh được đảm bảo.

Thiết bị hiển thị theo sáng chế bao gồm đế mỏng nêu trên, và có thể cải thiện chất lượng hiển thị của thiết bị hiển thị.

Mô tả vắn tắt các hình vẽ

Fig.1 là hình vẽ cấu trúc của đế mỏng theo phương án thực hiện thứ nhất của sáng chế;

Fig.2 là hình vẽ mặt cắt một phần của đế mỏng dọc theo A1A2 trên Fig.1;

Fig.3 là hình vẽ mặt cắt một phần của đế mỏng dọc theo B1B2 trên Fig.1;

Fig.4 là hình vẽ cấu trúc của đế mảng theo phương án thực hiện thứ hai của sáng chế;

Fig.5 là hình vẽ mặt cắt một phần của đế mảng dọc theo B1B2 trên Fig. 4.

Mô tả chi tiết sáng chế

Đế mảng và thiết bị hiển thị theo sáng chế sẽ được mô tả chi tiết ở đây có dựa vào các hình vẽ và các phương án thực hiện, do vậy các giải pháp kỹ thuật của sáng chế có thể được chuyên gia trong lĩnh vực hiểu rõ hơn.

Phương án thực hiện thứ nhất:

Phương án thực hiện đề xuất đế mảng. Như được thể hiện trên Fig.1, Fig.2, và Fig.3, đế mảng bao gồm tuyến điện cực chung 6, các tuyến cực cửa 1 và các tuyến dữ liệu 2 giao nhau, và các khối điểm ảnh 3 được định nghĩa bởi các tuyến cực cửa lân cận 1 và các tuyến dữ liệu lân cận 2. Mỗi một trong số các khối điểm ảnh 3 bao gồm điện cực điểm ảnh 31 và điện cực chung 32, và lớp cách điện thứ nhất 4 được bố trí giữa điện cực điểm ảnh 31 và điện cực chung 32. Mỗi một trong số các khối điểm ảnh 3 còn bao gồm tuyến điện cực lưu trữ 33. Tuyến điện cực lưu trữ 33 ít nhất chồng nhau một phần điện cực điểm ảnh 31. Lớp cách điện thứ hai 5 được bố trí giữa tuyến điện cực lưu trữ 33 và điện cực điểm ảnh 31, và tuyến điện cực lưu trữ 33 và điện cực chung 32 được nối với tuyến điện cực chung 6, một cách riêng rẽ.

Ở đế mảng, tuyến điện cực lưu trữ 33 được đề xuất mà ít nhất chồng nhau một phần điện cực điểm ảnh 31. Điện dung lưu trữ có thể được tạo giữa tuyến điện cực lưu trữ 33 và điện cực điểm ảnh 31, và bù điện dung lưu trữ được tạo giữa điện cực chung 32 và điện cực điểm ảnh 31. Kết quả là, giảm điện dung lưu trữ do tăng độ dày của lớp cách điện thứ nhất 4 có thể được tránh. Ngoài ra, khả năng giữ lại điện tích của điện cực

điểm ảnh có thể được tăng, do vậy điện áp của điện cực điểm ảnh 31 là không đổi trong suốt chu kỳ hiển thị của khung, và hiệu ứng hiển thị của ảnh được đảm bảo.

Theo phương án thực hiện, vùng trong đó các khối điểm ảnh 3 được bố trí là khu vực hiển thị 7, trong khi vùng còn lại là khu vực không hiển thị 8. Điện cực chung 32, tuyến điện cực lưu trữ 33, lớp cách điện thứ nhất 4, và lớp cách điện thứ hai 5 mở rộng sang khu vực không hiển thị 8, một cách riêng rẽ.

Khu vực không hiển thị 8 bao gồm vùng định trước 81, trong đó đệm điện cực lưu trữ 9 được bố trí. Tuyến điện cực lưu trữ 33 được nối với đệm điện cực lưu trữ 9. Ở vùng định trước 81, tuyến điện cực chung 6 được nối với điện cực chung 32 và đệm điện cực lưu trữ 9, một cách riêng rẽ, như được thể hiện trên Fig.3. Tức là, cả điện cực chung 32 lẫn tuyến điện cực lưu trữ 33 được nối với đệm điện cực lưu trữ 9. Theo cách này, đảm bảo rằng trong quá trình hiển thị, chính xác tín hiệu điện áp chung tương tự được áp dụng cho điện cực chung 32 và tuyến điện cực lưu trữ 33, do vậy điện dung lưu trữ được tạo giữa tuyến điện cực lưu trữ 33 và điện cực điểm ảnh 31 có thể bù điện dung lưu trữ được tạo giữa điện cực chung 32 và điện cực điểm ảnh 31. Kết quả là, điện dung lưu trữ giữa điện cực điểm ảnh 31 và điện cực chung 32 không giảm.

Theo phương án thực hiện, điện cực chung 32 được bố trí phía trên điện cực điểm ảnh 31, tuyến điện cực chung 6 được làm từ vật liệu tương tự với các tuyến dữ liệu 2 và được bố trí trong cùng lớp với các tuyến dữ liệu 2, và các tuyến dữ liệu 2 và điện cực điểm ảnh 31 được bố trí phía trên lớp cách điện thứ hai 5. Các tuyến cực cửa 1 được bố trí dưới điện cực điểm ảnh 31, và tuyến điện cực lưu trữ 33 và đệm điện cực lưu trữ 9 được làm từ vật liệu tương tự với các tuyến cực cửa và được bố trí trong cùng lớp với các tuyến cực cửa 1. Ngoài ra, mỗi một trong số các khối điểm ảnh 3 còn bao gồm tranzito màng mỏng 34. Tranzito màng mỏng 34

bao gồm nguồn, máng, vùng hoạt động, và cực cửa. Vùng hoạt động được bố trí trên lớp cách điện thứ hai 5, và cực cửa và các tuyến cực cửa 1 được bố trí ở cùng lớp. Nguồn được nối với các tuyến dữ liệu 2, máng được nối với điện cực điểm ảnh 31, và cửa được nối với các tuyến cực cửa 1.

Như được thể hiện trên Fig. 3, lỗ xuyên thứ nhất 10 được bố trí trong vùng của lớp cách điện thứ nhất 4 tương ứng với vùng định trước 81, và điện cực chung 32 được nối với tuyến điện cực chung 6 nhờ lỗ xuyên thứ nhất 10. Lỗ xuyên thứ hai 11 được bố trí trong vùng của lớp cách điện thứ hai 5 tương ứng với vùng định trước 81, và tuyến điện cực chung 6 được nối với đệm điện cực lưu trữ 9 nhờ lỗ xuyên thứ hai 11. Theo cách này, điện cực chung 32 và tuyến điện cực lưu trữ 33 có thể được nối với tuyến điện cực chung 6, một cách riêng rẽ.

Cũng có khả năng các tuyến dữ liệu 2 được bố trí giữa điện cực chung 32 và điện cực điểm ảnh 31. Theo cách này, lớp cách điện thứ nhất 4 bao gồm lớp cách điện giữa các tuyến dữ liệu 2 và điện cực điểm ảnh 31 và lớp cách điện giữa các tuyến dữ liệu 2 và điện cực chung 32. Cấu trúc còn lại tương tự cấu trúc nêu trên.

Theo phương án thực hiện, tuyến điện cực lưu trữ 33 bao gồm các tuyến điện cực lưu trữ, và các tuyến điện cực lưu trữ 33 song song với hướng mở rộng của các tuyến cực cửa 1. Mỗi một trong số tuyến điện cực lưu trữ 33 tương ứng với hàng điện cực điểm ảnh 31, tức là, mỗi một trong số các tuyến điện cực lưu trữ 33 ít nhất chồng nhau một phần mỗi điện cực trong các điện cực điểm ảnh 31 theo hàng điện cực điểm ảnh 31 mà tuyến điện cực lưu trữ tương ứng. Theo cách này, đảm bảo rằng điện dung lưu trữ giữa mỗi điện cực trong các điện cực điểm ảnh 31 và điện cực chung 32 không bị giảm, do vậy khả năng giữ lại điện tích của mỗi trong các điện cực điểm ảnh 31 được giữ không đổi, do vậy đảm bảo điện áp của mỗi điện cực trong các điện cực điểm ảnh 31 là không đổi trong

quá trình hiển thị khung.

Theo phương án thực hiện, có các vùng định trước 81, và tương ứng có các đệm điện cực lưu trữ 9. Mỗi một trong số các đệm điện cực lưu trữ 9 được nối với một trong các tuyến điện cực lưu trữ 33. Chỉ có duy nhất một tuyến điện cực chung 6, được nối với đệm điện cực lưu trữ 9 ở mỗi một trong số các vùng định trước 81, và được nối với điện cực chung 32 ở mỗi một trong số các vùng định trước 81. Theo cách này, đảm bảo rằng tuyến điện cực chung 6 áp dụng điện áp chung tương tự cho điện cực chung 32 và mỗi một trong số các đệm điện cực lưu trữ 9, sao cho điện áp trên điện cực chung 32 và tuyến điện cực lưu trữ 33 là không đổi trong quá trình hiển thị.

Theo phương án thực hiện, mỗi một trong số các vùng định trước 81 được đặt giữa các tuyến mở rộng của hai tuyến cực cửa lân cận 1, và mỗi một trong số các vùng định trước 81 tương ứng với hàng điện cực điểm ảnh 31. Hướng mở rộng của tuyến điện cực chung 6 song song với hướng các tuyến dữ liệu 2. Theo cách này, việc nối dây ở khu vực không hiển thị 8 của đế mảng được đơn giản hóa, và hiệu suất của đế mảng được cải thiện.

Theo phương án thực hiện, các rãnh 321 được bố trí ở điện cực chung 32 và trong vùng tương ứng với điện cực điểm ảnh nằm dưới 31. Theo cách này, trường giao thoa có thể được tạo giữa điện cực chung 32 và điện cực điểm ảnh 31, do vậy chế độ chuyển đổi trường giao thoa có thể được thực hiện ở đế mảng.

Theo phương án thực hiện, lớp cách điện thứ nhất 4 có độ dày từ 1-3 μ m. Tức là, tuyến điện cực lưu trữ 33 được bố trí theo cách sao cho khi lớp cách điện thứ nhất 4 có độ dày nêu trên, khả năng giữ lại điện tích của điện cực điểm ảnh 31 được giữ không đổi, và hiệu ứng hiển thị của ảnh trong mỗi khung được đảm bảo.

Phương pháp chế tạo đế mảng theo phương án thực hiện có thể bao

gồm các bước sau từ S1 đến S7.

Bước S1: lớp kim loại được phun trên đế 130. Mẫu hình của các tuyến cực cửa 1, cửa, tuyến điện cực lưu trữ 33, và đệm điện cực lưu trữ 9 được tạo nhờ phết chất cản quang, phơi, hiện ảnh, và khắc mòn.

Ở bước này, như đối với lớp kim loại, chẳng hạn, các kim loại như Al, Cu, Mo, Ti, Cr hoặc W, hoặc các hợp kim của các kim loại này có thể được sử dụng. Ngoài ra, các tuyến cực cửa có thể không chỉ có kết cấu một lớp, mà còn kết cấu nhiều lớp, như Mo\Al\Mo, Ti\Cu\Ti, Mo\Ti\Cu.

Bước S2: lớp cách điện thứ hai 5 được kết tủa trên đế 13 thu được từ bước S1 nhờ kết tủa hơi hóa học. Lỗ xuyên thứ hai 11 được tạo nhờ phết chất cản quang, phơi, hiện ảnh và khắc mòn, và đệm điện cực lưu trữ 9 được phơi một phần.

Ở bước này, như đối với lớp cách điện thứ hai 5, silic nitrua hoặc silic oxit có thể được sử dụng. Lớp cách điện thứ hai 5 có thể còn sử dụng cấu trúc đa lớp, chẳng hạn silic oxit\silic nitrua.

Bước S3: Lớp vật liệu dẫn điện trong suốt được phun tóa trên đế 13 thu được từ bước S2. Mẫu hình của điện cực điểm ảnh 31 được tạo nhờ phết chất cản quang, phơi, hiện ảnh và khắc mòn.

Ở bước này, như đối với vật liệu dẫn điện trong suốt, chẳng hạn, ITO (indium tin oxide, ôxit thiếc indium), IZO (indium doped zinc oxide, oxit kẽm pha tạp indium), hoặc các chất oxit kim loại trong suốt khác được sử dụng.

Bước S4: lớp bán dẫn được kết tủa trên đế 13 thu được từ bước S3. Mẫu hình của lớp hoạt động được tạo nhờ phết chất cản quang, phơi, hiện ảnh và khắc mòn.

Ở bước này, lớp bán dẫn có thể dùng silic vô định hình, silic đa tinh thể, silic micro tinh thể, hoặc chất bán dẫn oxit, chẳng hạn, a-Si và n+a-Si được kết tủa liên tục bởi kết tủa hơi tăng cường plasma, hoặc IGZO được kết tủa bằng cách phun tóa.

Bước S5: lớp kim loại được kết tủa trên đế thu được 13 từ bước S4 nhờ phun tóa. Mẫu hình của các tuyến dữ liệu 2, cực nguồn, cực máng, và tuyến điện cực chung 6 được tạo nhờ phết chất cản quang, phơi, hiện ảnh và khắc mòn. Máng được nối với điện cực điểm ảnh 31.

Ở bước này, như đối với lớp kim loại, các chất kim loại như Al, Cu, Mo, Ti, Cr, hoặc W, hoặc các hợp kim của các kim loại này có thể được sử dụng.

Bước S6: lớp cách điện thứ nhất 4 được kết tủa trên đế 13 thu được từ bước S5. Lỗ xuyên thứ nhất 10 được tạo nhờ phết chất cản quang, phơi, hiện ảnh và khắc mòn, và hở một phần tuyến điện cực chung 6.

Ở bước này, như đối với lớp cách điện thứ nhất 4, các chất cách điện vô cơ như silic nitrua, hoặc các chất cách điện hữu cơ như các chất nhựa hữu cơ được sử dụng.

Bước S7: lớp chất dẫn điện trong suốt được kết tủa bằng cách phun tóa trên đế 13 thu được từ bước S6. Mẫu hình của điện cực chung 32 được tạo nhờ phết chất cản quang, phơi, hiện ảnh và khắc mòn.

Ở bước này, như đối với vật liệu dẫn điện trong suốt, chẳng hạn, ITO, IZO, hoặc các chất oxit kim loại trong suốt khác được sử dụng.

Phương án thực hiện thứ hai:

Phương án thực hiện đề xuất để mảng, khác với phương án thực hiện thứ nhất ở các khía cạnh sau. Như được thể hiện trên Fig.4, Fig.5, điện cực chung 32 được đặt ở trên điện cực điểm ảnh 31, các tuyến cực cửa 1 được đặt ở dưới điện cực điểm ảnh 31, tuyến điện cực lưu trữ 33, đệm điện cực lưu trữ 9 và tuyến điện cực chung 6 được làm từ vật liệu tương tự với các tuyến cực cửa và được bố trí trong cùng lớp với các tuyến cực cửa 1, và tuyến điện cực chung 6 và đệm điện cực lưu trữ 9 tạo cấu trúc liền khối. Lỗ xuyên thứ ba 12 được bố trí trong vùng của lớp cách điện thứ nhất 4 và lớp cách điện thứ hai 5 tương ứng với vùng định trước 81, và điện cực chung 32 được nối với đệm điện cực lưu trữ 9 nhờ

lỗ xuyên thứ ba 12.

Theo cách này, điện cực chung 32 và tuyến điện cực lưu trữ 33 có thể được nối với tuyến điện cực chung 6 một cách riêng rẽ, do vậy tuyến điện cực chung 6 có thể cấp điện áp chung không đổi cho điện cực chung 32 và tuyến điện cực lưu trữ 33 trong quá trình hiển thị.

Theo phương án thực hiện, có các vùng định trước 81, và do đó có các đệm điện cực lưu trữ 9. Mỗi một trong số các đệm điện cực lưu trữ 9 được nối với một trong các tuyến điện cực lưu trữ 33. Có các tuyến điện cực chung 6. Mỗi tuyến trong các tuyến điện cực chung 6 ít nhất được nối với các đệm điện cực lưu trữ 9 ở một trong các vùng định trước 81, và được nối với điện cực chung 32 ở vùng định trước 81 trong đó được nối với các đệm điện cực lưu trữ 9. Theo cách này, tuyến điện cực chung 6 cấp điện áp chung không đổi cho điện cực chung 32 và mỗi một trong số các đệm điện cực lưu trữ 9, do vậy điện áp trên điện cực chung 32 và tuyến điện cực lưu trữ 33 là không đổi trong quá trình hiển thị.

Theo phương án thực hiện, mỗi một trong số các vùng định trước 81 được đặt giữa các tuyến mở rộng của hai tuyến cực cửa lân cận 1, và mỗi một trong số các vùng định trước 81 tương ứng với hàng điện cực điểm ảnh 31. Hướng mở rộng của mỗi trong các tuyến điện cực chung 6 song song với hướng mở rộng của các tuyến cực cửa 1. Theo cách này, việc nối dây trong khu vực không hiển thị 8 của đế mảng được đơn giản hóa, và hiệu suất của đế mảng được cải thiện.

Do đó, trong quá trình chế tạo đế mảng theo phương án thực hiện, ở thời gian tạo các tuyến cực cửa 1, cửa, tuyến điện cực lưu trữ 33, và các đệm điện cực lưu trữ 9, các tuyến điện cực chung 6. Sau khi kết tủa lớp cách điện thứ nhất 4, lỗ xuyên thứ ba 12 được tạo, đâm xuyên lớp cách điện thứ nhất 4 và lớp cách điện thứ hai 5 và phơi một phần đệm điện cực lưu trữ 9. Có thể tham khảo phương án thực hiện thứ nhất đối với phương pháp chế tạo mỗi lớp trong đế mảng, không được lặp lại ở đây

để đơn giản hóa.

Các phương án thực hiện thứ nhất và thứ hai có các ưu điểm sau. Ở để mảng theo các phương án thực hiện thứ nhất và thứ hai, các tuyến điện cực lưu trữ được bố trí, trong đó các tuyến điện cực lưu trữ ít nhất chồng nhau một phần điện cực điểm ảnh, do vậy điện dung lưu trữ có thể được tạo giữa các tuyến điện cực lưu trữ và điện cực điểm ảnh. Điện dung lưu trữ có thể bù điện dung lưu trữ được tạo giữa điện cực chung và điện cực điểm ảnh, do vậy giảm điện dung lưu trữ giữa điện cực chung và điện cực điểm ảnh do tăng độ dày của lớp cách điện thứ nhất có thể được tránh. Ngoài ra, khả năng giữ lại điện tích của điện cực điểm ảnh có thể được tăng, sao cho điện áp của điện cực điểm ảnh là không đổi trong suốt chu kỳ hiển thị của khung, và hiệu ứng hiển thị của ảnh được đảm bảo.

Phương án thực hiện thứ ba:

Phương án thực hiện đề xuất thiết bị hiển thị, bao gồm để mảng theo phương án thực hiện thứ nhất hoặc thứ hai.

Nhờ đưa vào để mảng theo phương án thực hiện thứ nhất hoặc thứ hai, có thể cải thiện chất lượng hiển thị của thiết bị hiển thị.

Mặc dù sáng chế đã được mô tả có dựa vào các phương án thực hiện cụ thể, nên hiểu rằng các giới hạn của các phương án thực hiện được mô tả chỉ nhằm mục đích minh họa và không nhằm giới hạn. Thay vào đó, phạm vi của sáng chế được định nghĩa bởi các điểm yêu cầu bảo hộ đi kèm thay vì nhờ mô tả, và tất cả các biến thể nằm trong phạm vi của các điểm yêu cầu bảo hộ được nhằm bao gồm trong đó. Do vậy, các phương án thực hiện khác thay vì các phương án thực hiện cụ thể nêu trên có khả năng như nhau trong phạm vi của các điểm yêu cầu bảo hộ đi kèm.

YÊU CẦU BẢO HỘ

1. Đế mǎng bao gồm tuyến điện cực chung, các tuyến cực cửa và các tuyến dữ liệu mà giao nhau, và các khối điểm ảnh được định nghĩa bởi các tuyến cực cửa lân cận và các tuyến dữ liệu lân cận, mỗi khối trong các khối điểm ảnh bao gồm điện cực điểm ảnh và điện cực chung, lớp cách điện thứ nhất được bố trí giữa điện cực điểm ảnh và điện cực chung, mỗi khối trong các khối điểm ảnh còn bao gồm tuyến điện cực lưu trữ, tuyến điện cực lưu trữ và điện cực điểm ảnh ít nhất trùng lặp một phần, lớp cách điện thứ hai được bố trí giữa tuyến điện cực lưu trữ và điện cực điểm ảnh, và tuyến điện cực lưu trữ và điện cực chung được kết nối với tuyến điện cực chung, một cách lần lượt;

trong đó khu vực không hiển thị của đế mǎng bao gồm; vùng định trước trong đó đệm điện cực lưu trữ được bố trí, tuyến điện cực lưu trữ được kết nối với đệm điện cực lưu trữ, và trong vùng định trước, tuyến điện cực chung được kết nối với điện cực chung và đệm điện cực lưu trữ, một cách lần lượt; tuyến điện cực chung được làm từ vật liệu tương tự với các tuyến dữ liệu và được bố trí trong cùng lớp với các tuyến dữ liệu, và tuyến điện cực lưu trữ và đệm điện cực lưu trữ được làm từ vật liệu tương tự với các tuyến cực cửa và được bố trí trong cùng lớp với các tuyến cực cửa.

2. Đế mǎng theo điểm 1, trong đó điện cực chung được đặt phía trên điện cực điểm ảnh, tuyến điện cực chung, các tuyến dữ liệu, và điện cực điểm ảnh được bố trí trên lớp cách điện thứ hai, và các tuyến cực cửa được đặt dưới điện cực điểm ảnh.

3. Đế mǎng theo điểm 1, trong đó lỗ xuyên thứ nhất được bố trí trong vùng của lớp cách điện thứ nhất tương ứng với vùng định trước, điện cực chung được kết nối với tuyến điện cực chung nhờ lỗ xuyên thứ nhất; lỗ

xuyên thứ hai được bố trí trong vùng của lớp cách điện thứ hai tương ứng với vùng định trước, và tuyến điện cực chung được kết nối với đệm điện cực lưu trữ nhờ lỗ xuyên thứ hai.

4. Đế mản theo điểm 1, trong đó tuyến điện cực lưu trữ, đệm điện cực lưu trữ, và các tuyến điện cực chung được tạo từ cùng vật liệu với các tuyến cực cửa và được bố trí trong cùng lớp với các tuyến cực cửa, và tuyến điện cực chung và đệm điện cực lưu trữ tạo thành cấu trúc bên trong.

5. Đế mản theo điểm 4, trong đó điện cực chung được đặt phía trên điện cực điểm ảnh, và các tuyến cực cửa được đặt dưới điện cực điểm ảnh.

6. Đế mản theo điểm 4, trong đó lỗ xuyên thứ ba được bố trí trong vùng của lớp cách điện thứ nhất và lớp cách điện thứ hai tương ứng với vùng định trước, và điện cực chung được kết nối với đệm điện cực lưu trữ nhờ lỗ xuyên thứ ba.

7. Đế mản theo điểm 1, trong đó có các tuyến điện cực lưu trữ song song với hướng mở rộng của các tuyến cực cửa, và mỗi tuyến trong các tuyến điện cực lưu trữ tương ứng với hàng của các điện cực điểm ảnh.

8. Đế mản theo điểm 1, trong đó các tuyến điện cực lưu trữ song song với hướng mở rộng của các tuyến cực cửa, mỗi tuyến trong các tuyến tương ứng với hàng của các điện cực điểm ảnh.

9. Đế mản theo điểm 2, trong đó các tuyến điện cực lưu trữ song song với hướng mở rộng của các tuyến cực cửa, mỗi tuyến trong các tuyến tương ứng với hàng của các điện cực điểm ảnh.

10. Đế mảng theo điểm 7, còn bao gồm các vùng định trước và các đệm điện cực lưu trữ, mỗi đệm trong các đệm điện cực lưu trữ được nối với một trong các tuyến điện cực lưu trữ;

các tuyến điện cực chung, mỗi tuyến trong các tuyến điện cực chung ít nhất được nối với đệm điện cực lưu trữ trong một trong các vùng định trước, và còn được nối với điện cực chung trong vùng định trước.

11. Đế mảng theo điểm 7, trong đó đế còn bao gồm các vùng định trước và các đệm điện cực lưu trữ, mỗi đệm trong các đệm điện cực lưu trữ được nối với một trong các tuyến điện cực lưu trữ;

trong đó chỉ có một tuyến điện cực chung được nối với đệm điện cực lưu trữ trong mỗi vùng định trước, và được nối với điện cực chung ở mỗi vùng định trước.

12. Đế mảng theo điểm 10, trong đó mỗi vùng định trước được đặt giữa các đường mở rộng của hai tuyến cực cửa lân cận, và mỗi vùng định trước tương ứng với hàng của các điện cực điểm ảnh; và hướng mở rộng của mỗi tuyến điện cực chung song song với hướng mở rộng của các tuyến cực cửa.

13. Đế mảng theo điểm 11, trong đó mỗi vùng định trước được đặt giữa các đường mở rộng của hai tuyến cực cửa lân cận, và mỗi vùng định trước tương ứng với hàng của các điện cực điểm ảnh; và hướng mở rộng của tuyến điện cực chung song song với hướng mở rộng của các tuyến dữ liệu.

14. Đế mảng theo điểm 1, trong đó các khe được bố trí trong điện cực chung và trong vùng tương ứng với điện cực điểm ảnh cơ bản.

15. Đế mản̄g theo điểm 2, trong đó các khe được bố trí trong điện cực chung và trong vùng tương ứng với điện cực điểm ảnh cơ bản.

16. Đế mản̄g theo điểm 1, trong đó lớp cách điện thứ nhất có độ dày 1 μm đến 3 μm .

17. Đế mản̄g theo điểm 2, trong đó lớp cách điện thứ nhất có độ dày 1 μm đến 3 μm .

18. Thiết bị hiển thị, bao gồm đế mản̄g, trong đó đế mản̄g bao gồm tuyến điện cực chung, các tuyến cực cửa và các tuyến dữ liệu mà giao nhau, và các khối điểm ảnh được định nghĩa bởi các tuyến cực cửa lân cận và các tuyến dữ liệu lân cận, mỗi khối trong các khối điểm ảnh bao gồm điện cực điểm ảnh và điện cực chung, lớp cách điện thứ nhất được bố trí giữa điện cực điểm ảnh và điện cực chung, mỗi khối trong các khối điểm ảnh còn bao gồm tuyến điện cực lưu trữ, tuyến điện cực lưu trữ và điện cực điểm ảnh ít nhất trùng lặp một phần, lớp cách điện thứ hai được bố trí giữa tuyến điện cực lưu trữ và điện cực điểm ảnh, và tuyến điện cực lưu trữ và điện cực chung được kết nối với tuyến điện cực chung, một cách lần lượt;

trong đó khu vực không hiển thị của đế mản̄g bao gồm; vùng định trước trong đó đệm điện cực lưu trữ được bố trí, tuyến điện cực lưu trữ được kết nối với đệm điện cực lưu trữ, và trong vùng định trước, tuyến điện cực chung được kết nối với điện cực chung và đệm điện cực lưu trữ, một cách lần lượt, tuyến điện cực chung được làm từ vật liệu tương tự với các tuyến dữ liệu và được bố trí trong cùng lớp với các tuyến dữ liệu, và tuyến điện cực lưu trữ và đệm điện cực lưu trữ được làm từ vật liệu tương tự với các tuyến cực cửa và được bố trí trong cùng lớp với các tuyến cực cửa.

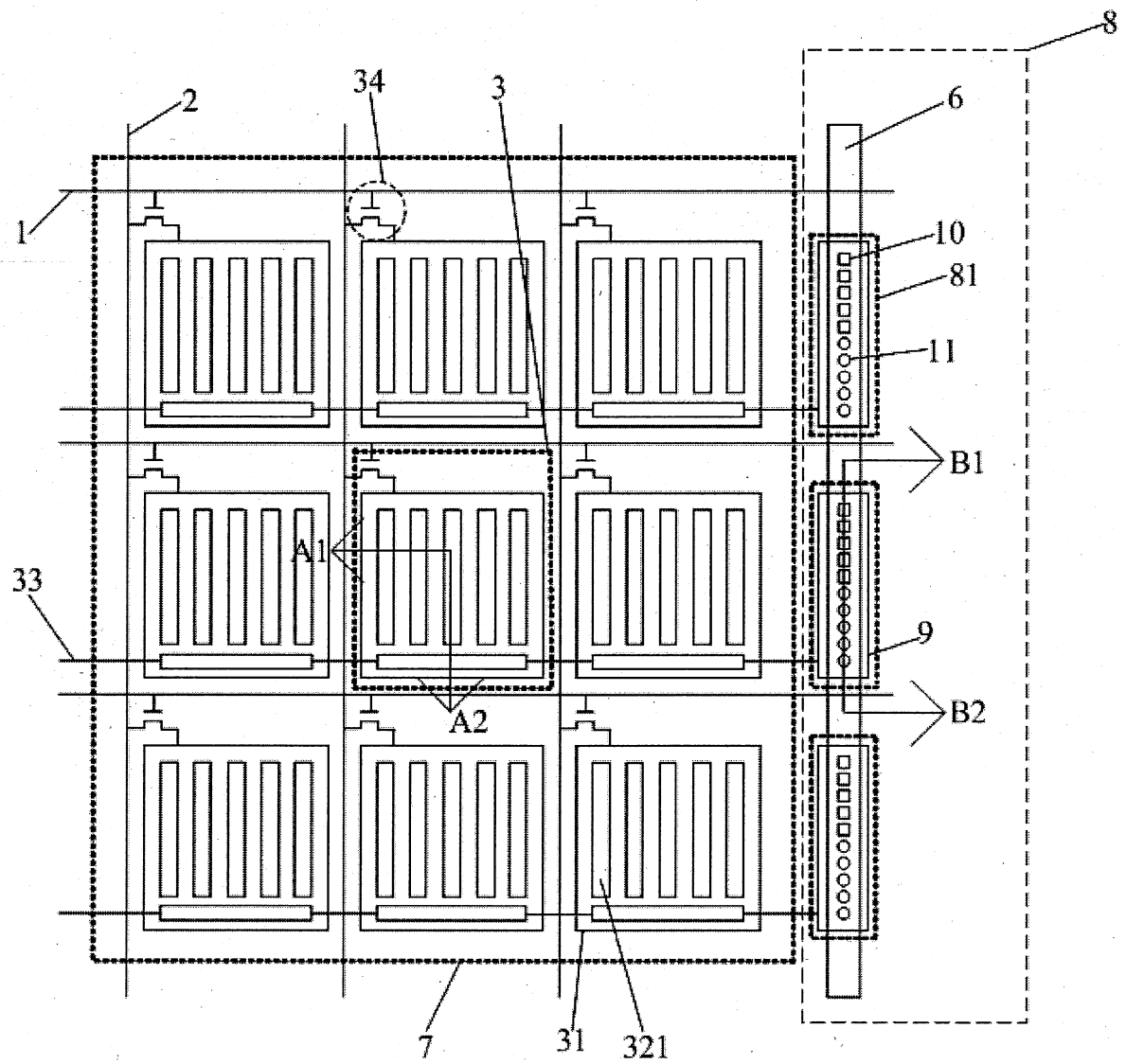


Fig.1

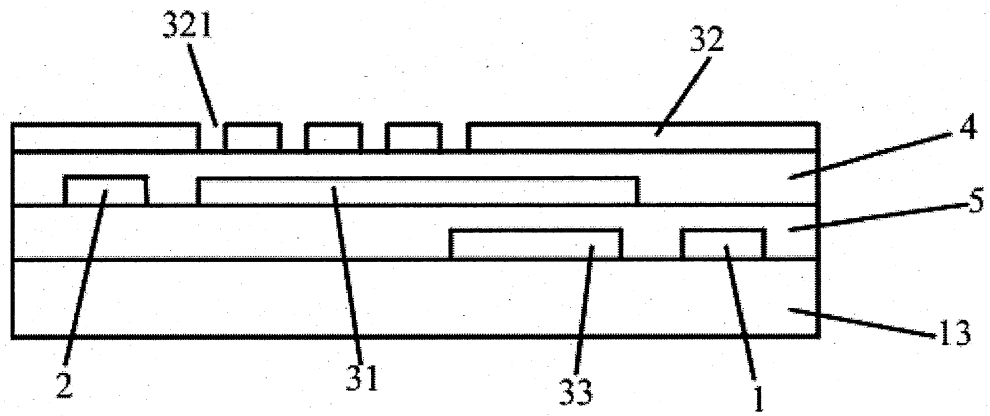


Fig.2

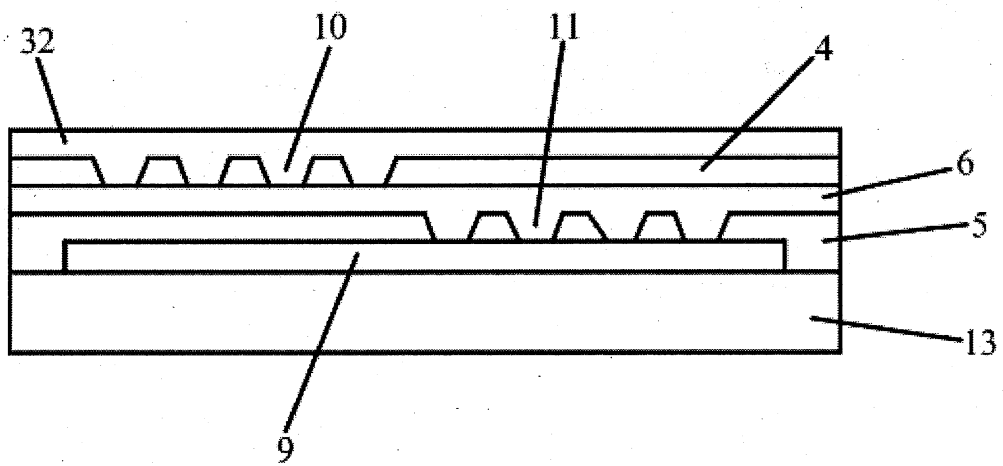


Fig.3

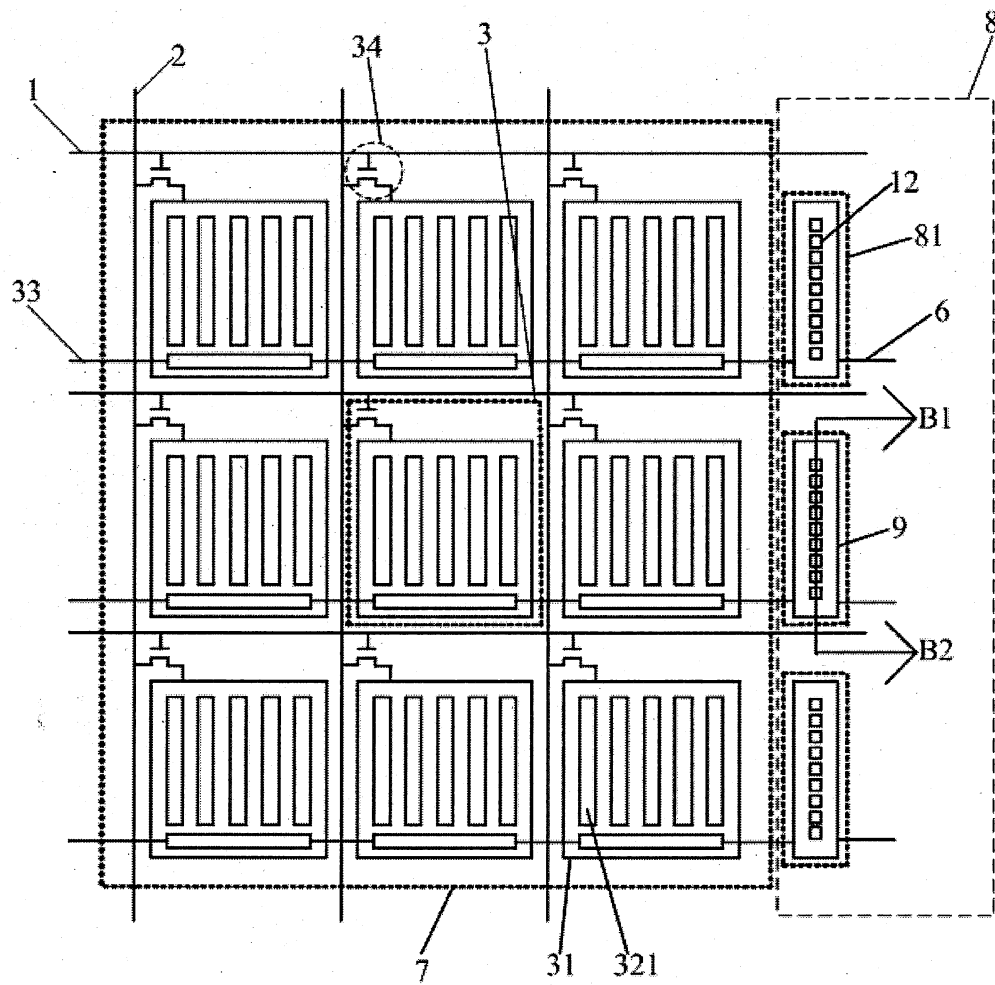


Fig. 4

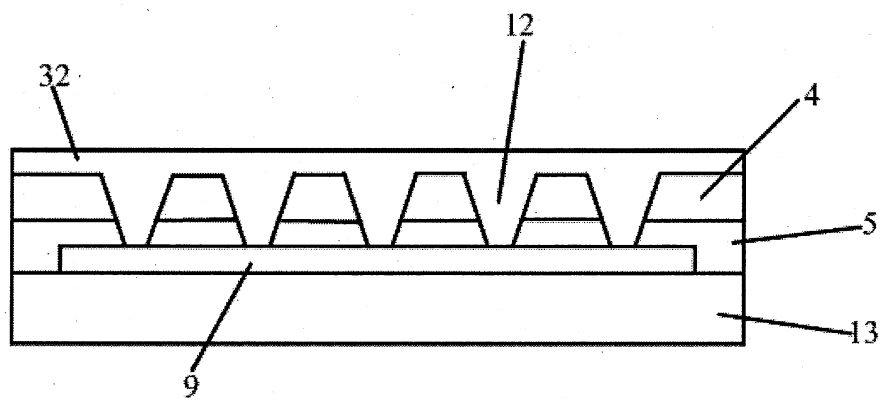


Fig. 5