



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẢNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0024451

(51)⁷ H01L 29/78; H01L 21/335; H01L
21/768

(13) B

(21) 1-2016-04314

(22) 27/09/2014

(86) PCT/US2014/057920 27/09/2014

(87) WO2015/195152 23/12/2015

(30) 62/012,822 16/06/2014 US

(45) 27/07/2020 388

(43) 27/03/2017 348A

(73) INTER CORPORATION (US)

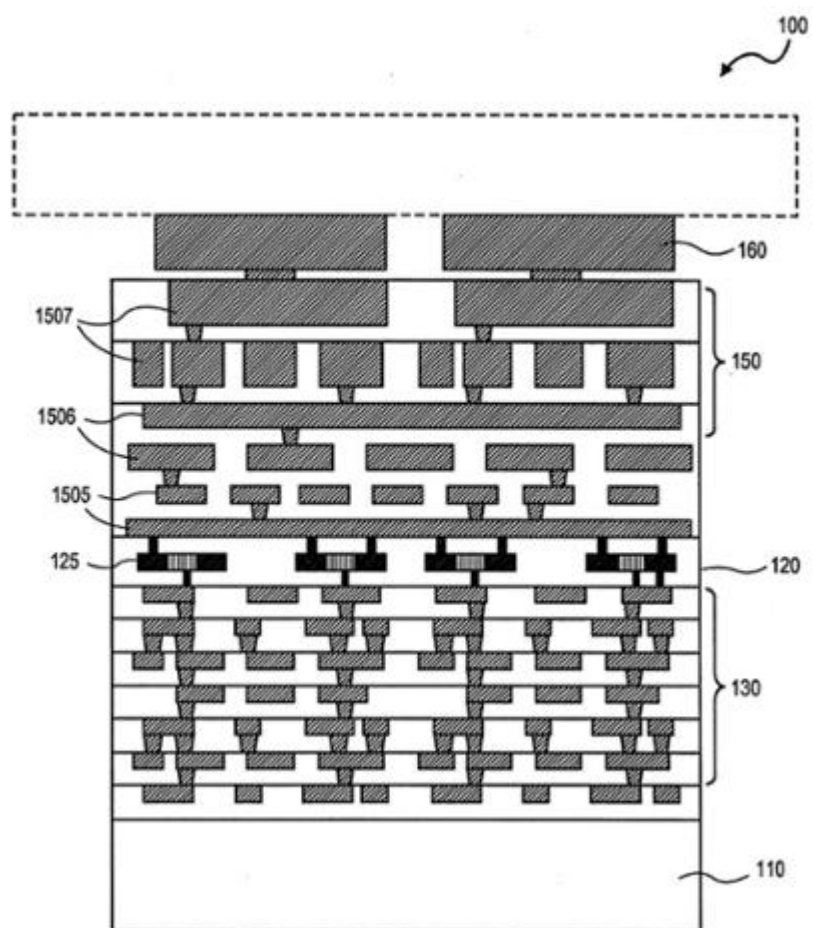
2200 Mission College Boulevard, M/S: RNB-4-150, Santa Clara, California 95054,
United States of America

(72) NELSON, Donald W. (US); MORROW, Patrick (US); JUN, Kimin (KR).

(74) Công ty TNHH Tầm nhìn và Liên danh (VISION & ASSOCIATES CO.LTD.)

(54) MẠCH TÍCH HỢP BA CHIỀU LIÊN KHỐI VÀ PHƯƠNG PHÁP TẠO RA MẠCH NÀY

(57) Sáng chế đề cập đến phương pháp tạo ra mạch tích hợp ba chiều liên khối bao gồm các bước: tạo ra các liên kết thứ nhất và các liên kết thứ hai ở các mặt đối diện của lớp thiết bị mạch tích hợp gồm có các thiết bị mạch, trong đó các liên kết thứ hai bao gồm các liên kết có các kích thước khác nhau; và tạo ra các tiếp điểm với các liên kết thứ hai, các tiếp điểm này có thể vận hành để nối với nguồn điện bên ngoài. Sáng chế còn đề cập đến mạch tích hợp ba chiều liên khối bao gồm nền gồm các liên kết thứ nhất và các liên kết thứ hai ở các mặt đối diện của lớp thiết bị mạch tích hợp gồm có các thiết bị mạch, trong đó các liên kết thứ hai bao gồm các liên kết có các kích thước khác nhau; và các tiếp điểm được ghép nối với các liên kết thứ hai của các liên kết thứ hai, các tiếp điểm có thể vận hành để nối với nguồn điện bên ngoài.



Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập đến các mạch tích hợp và cụ thể hơn là đến các mạch tích hợp ba chiều liên khối.

Tình trạng kỹ thuật của sáng chế

Các mạch tích hợp (Integrated Circuit - IC) liên khối nói chung bao gồm một số tranzito, như các tranzito hiệu ứng trường bán dẫn bằng oxit kim loại (metal oxit semi-conductor field effect tranzitor - MOSFET) được chế tạo trên nền phẳng, như miếng bán dẫn silicon. Sự xác định tỷ xích ngang của kích thước IC trở nên khó khăn hơn với các kích thước cổng MOSFET hiện nay nhỏ hơn 20nm. Do kích thước của thiết bị tiếp tục giảm, nên vấn đề sẽ nảy sinh là sự tiếp tục xác định tỷ xích phẳng tiêu chuẩn là phi thực tế. Điểm uốn này có lẽ là do tính kinh tế hoặc vật lý, như điện dung rất cao hoặc thay đổi trên cơ sở lượng tử. Việc xếp chồng thiết bị theo chiều thứ ba, thường được gọi là lấy tỷ xích thẳng đứng hoặc tích hợp ba chiều (3D), là biện pháp đầy hứa hẹn về mật độ tranzito lớn.

Bản chất kỹ thuật của sáng chế

Để khắc phục nhược điểm nêu trên, mục đích của sáng chế là đề xuất phương pháp tạo ra mạch tích hợp ba chiều liên khối bao gồm các bước: tạo ra các liên kết thứ nhất và các liên kết thứ hai ở các mặt đối diện của lớp thiết bị mạch tích hợp bao gồm các thiết bị mạch, trong đó các liên kết thứ hai bao gồm các liên kết có các kích thước khác nhau; và tạo ra các tiếp điểm với các liên kết thứ hai, các tiếp điểm này có thể vận hành để nối với nguồn điện bên ngoài. Sáng chế cũng đề xuất phương pháp tạo ra mạch tích hợp ba chiều liên khối bao gồm các bước: tạo ra các liên kết thứ nhất và các liên kết thứ hai ở các mặt đối diện của lớp thiết bị mạch tích hợp bao gồm các thiết bị mạch, trong đó một trong các liên kết thứ nhất được nối với các thiết bị tương ứng trong lớp thiết bị mạch tích hợp và các liên kết thứ hai có kích thước tương ứng với vị trí của lớp thiết bị tăng lên từ liên kết đầu tiên của các liên kết thứ hai đến liên kết cuối cùng của các liên kết thứ hai; và tạo ra các tiếp điểm với các

liên kết thứ hai, các tiếp điểm này có thể vận hành để nối với nguồn điện bên ngoài. Sáng chế còn đề xuất mạch tích hợp ba chiều liên khối bao gồm nền chứa các liên kết thứ nhất và các liên kết thứ hai ở các mặt đối diện của lớp thiết bị mạch tích hợp bao gồm các thiết bị mạch, trong đó các liên kết thứ hai bao gồm các liên kết có các kích thước khác nhau; và các tiếp điểm được ghép nối với các liên kết thứ hai, các tiếp điểm này có thể vận hành để nối với nguồn điện bên ngoài.

Mô tả vắn tắt các hình vẽ

Fig.1 là hình vẽ thể hiện IC 3D liên khối theo một phương án của sáng chế bao gồm các bộ nhớ được nhúng trong vùng liên kết.

Fig.2 là mặt cắt ngang nhìn từ một bên thể hiện kết cấu theo một phương án của sáng chế bao gồm lớp thiết bị hoặc nền và các liên kết thứ nhất được đặt cạnh lớp thiết bị.

Fig.3 là hình vẽ thể hiện kết cấu trên Fig.2 sau khi nối kết cấu này với miếng bán dẫn mang.

Fig.4 là hình vẽ thể hiện kết cấu trên Fig.3 sau khi loại bỏ một phần nền khỏi kết cấu.

Fig.5 là mặt cắt ngang nhìn từ một bên thứ nhất thể hiện kết cấu trên Fig.4 sau khi đưa các liên kết thứ hai lên mặt của lớp thiết bị đối diện các liên kết thứ nhất.

Fig.6 là mặt cắt ngang nhìn từ một bên thứ hai thể hiện kết cấu trên Fig.4 sau khi đưa các liên kết thứ hai lên mặt của lớp thiết bị đối diện các liên kết thứ nhất.

Fig.7 là hình vẽ thể hiện bộ đơn xen theo một hoặc nhiều phương án của sáng chế.

Fig.8 là hình vẽ minh họa thiết bị điện toán theo một phương án của sáng chế.

Mô tả chi tiết sáng chế

Sáng chế đề cập đến mạch tích hợp (IC) và phương pháp tạo ra và sử dụng IC. Theo một phương án, IC ba chiều (3D) liên khối và phương pháp sản xuất IC và sử dụng IC được mô tả, theo một phương án, bao gồm các liên kết thứ nhất và các liên kết thứ hai ở các mặt đối diện của lớp thiết bị, trong đó các liên kết thứ hai có

kích thước (ví dụ, kích thước chiều dày) phản ánh dung lượng của liên kết cụ thể, mà theo một phương án, được chọn theo chức năng, mục đích hoặc khả năng vận hành được thực hiện bằng liên kết (ví dụ, phân bố điện, phân bố xung nhịp toàn cục, truy cập lớp thiết bị). Theo một phương án, kích thước của một liên kết của các liên kết thứ hai liên quan đến vị trí của nó tương ứng với lớp thiết bị và kích thước này tăng lên từ liên kết đầu tiên của các liên kết thứ hai đến liên kết cuối cùng của các liên kết thứ hai.

Trong phần mô tả sau đây, các khía cạnh khác nhau của các phương án minh họa sẽ được mô tả bằng cách sử dụng các thuật ngữ thường được áp dụng bởi người có hiểu biết trung bình về lĩnh vực liên quan để chuyển tải nội dung của sáng chế đến người có hiểu biết trung bình về lĩnh vực khác. Tuy nhiên, người có hiểu biết trung bình về lĩnh vực liên quan hiểu rằng các phương án này có thể được áp dụng thực tiễn chỉ với một số khía cạnh được mô tả. Nhằm mục đích giải thích, các số, vật liệu và kết cấu cụ thể được nêu ra ở đây để cung cấp sự hiểu rõ hơn về các phương án minh họa. Tuy nhiên, sẽ rõ ràng đối với người có hiểu biết trung bình về lĩnh vực liên quan là các phương án này có thể được áp dụng thực tiễn mà không có chi tiết cụ thể. Trong các trường hợp khác, các dấu hiệu đã biết được bỏ qua hoặc được đơn giản hóa để không làm khó hiểu các phương án minh họa.

Các thao tác khác nhau sẽ được mô tả làm nhiều thao tác riêng biệt, lần lượt, theo cách mà hữu dụng nhất trong việc hiểu các phương án được mô tả trong sáng chế, tuy nhiên, thứ tự mô tả không được hiểu là nhằm ngụ ý các thao tác này nhất thiết phải phụ thuộc thứ tự. Cụ thể, các thao tác này không cần được thực hiện theo thứ tự trình bày.

Các phương án thực hiện có thể được tạo ra hoặc thực hiện trên nền, như nền bán dẫn. Theo một phương án thực hiện, nền bán dẫn có thể là nền tinh thể được tạo ra bằng cách sử dụng nền phụ silic khối hoặc cách điện trên silic. Theo các phương án thực hiện khác, nền bán dẫn có thể được tạo ra bằng cách sử dụng các vật liệu thay thế, có thể hoặc không thể được kết hợp với silic mà gồm, nhưng không giới hạn ở, germani, indi antimonit, chì telurit, indi arsenit, indi phosphit, gali arsenit, indi gali arsenit, gali antimonit hoặc các hỗn hợp khác của các vật liệu nhóm III-V hoặc

nhóm IV. Mặc dù một vài ví dụ về các vật liệu, mà từ đó, nền có thể được tạo ra được mô tả trong phần mô tả này, vật liệu bất kỳ có thể thích hợp làm nền móng, khi đó thiết bị bán dẫn có thể được chế tạo nằm trong phạm vi của sáng chế.

Các tranzito, như các tranzito hiệu ứng trường bán dẫn oxit kim loại (metal-oxide-semiconductor field-effect transistor - MOSFET) hoặc các tranzito bán dẫn oxit-kim loại (metal-oxide semiconductor - MOS) đơn giản, có thể được chế tạo trên nền như trong các lớp thiết bị sẽ được nêu trong phần mô tả này. Theo các phương án thực hiện khác nhau, tranzito MOS có thể là các tranzito phẳng, các tranzito không phẳng hoặc tổ hợp của cả hai tranzito này. Tranzito không phẳng bao gồm các tranzito FinFET như tranzito hai cửa và tranzito ba cửa và bọc quanh hoặc quấn quanh các tranzito cổng như các tranzito sợi nano và tranzito dải nano. Mặc dù các phương án thực hiện được mô tả trong sáng chế này có thể chỉ minh họa các tranzito phẳng, nhưng cần lưu ý rằng các phương án này cũng có thể được thực hiện bằng cách sử dụng các tranzito không phẳng.

Mỗi tranzito MOS bao gồm chồng cổng được tạo ra có ít nhất hai lớp, lớp điện môi cổng và lớp điện cực cổng. Lớp điện môi cổng có thể bao gồm một lớp hoặc một chồng lớp. Một hoặc nhiều lớp có thể bao gồm silic oxit, silic dioxit (SiO_2) và/hoặc vật liệu có hằng số điện môi k cao. Vật liệu có hằng số điện môi k cao có thể bao gồm các nguyên tố như hafni, silic, oxy, titan, tantali, lanthan, nhôm, zirconi, bari, stronti, yttri, chì, scandi, niobi và kẽm. Các ví dụ về các vật liệu có hằng số điện môi k cao mà có thể được sử dụng trong lớp điện môi cổng gồm, nhưng không giới hạn ở, hafni oxit, hafni silic oxit, lanthan oxit, lanthan nhôm oxit, zirconi oxit, zirconi silic oxit, tantali oxit, titan oxit, bari stronti titan oxit, bari titan oxit, stronti titan oxit, yttri oxit, nhôm oxit, chì scandi tantali oxit và chì kẽm niobat. Theo một số phương án, quá trình ủ có thể được tiến hành trên lớp điện môi cổng để cải thiện tính chất của nó khi vật liệu có hằng số điện môi k cao được sử dụng.

Lớp điện cực cổng được tạo ra trên lớp điện môi cổng và có thể bao gồm ít nhất một kim loại công thoát kiểu P hoặc kim loại công thoát kiểu N, tùy thuộc vào việc liệu tranzito là tranzito MOS kiểu P (PMOS) hoặc tranzito MOS kiểu N (NMOS). Theo một số phương án thực hiện, lớp điện cực cổng có thể bao gồm một

chồng có hai lớp kim loại hoặc nhiều hơn, khi một hoặc nhiều lớp kim loại là các lớp kim loại công thoát và ít nhất một lớp kim loại là lớp kim loại đầy.

Đối với tranzito PMOS, các kim loại có thể được sử dụng làm điện cực cổng gồm, nhưng không giới hạn ở, ruteni, paladi, bạch kim, coban, niken và các oxit kim loại dẫn điện, ví dụ, ruteni oxit. Lớp kim loại loại P sẽ cho phép tạo ra điện cực cổng PMOS với công thoát nằm trong khoảng từ khoảng 4,9 eV đến khoảng 5,2 eV. Đối với tranzito NMOS, các kim loại mà có thể được sử dụng làm điện cực cổng gồm, nhưng không giới hạn ở, hafni, zirconi, titan, tantali, nhôm, hợp kim của các kim loại này và các cacbua của các kim loại này như hafni cacbua, zirconi cacbua, titan cacbua, tantali cacbua và nhôm cacbua. Lớp kim loại loại N sẽ cho phép tạo thành điện cực cổng NMOS có công thoát nằm trong khoảng từ 3,9 eV đến 4,2 eV.

Theo một số phương án thực hiện, điện cực cổng có thể bao gồm kết cấu dạng hình chữ “U” mà có phần đáy về cơ bản song song với bề mặt của nền và hai phần thành bên mà về cơ bản vuông góc với bề mặt trên của nền. Theo phương án thực hiện khác, ít nhất một lớp kim loại mà tạo ra điện cực cổng có thể đơn giản là lớp phẳng về cơ bản song song với bề mặt trên của nền và không có các phần thành bên về cơ bản vuông góc với bề mặt trên của nền. Theo các phương án thực hiện khác nữa, điện cực cổng có thể bao gồm tổ hợp của các kết cấu có dạng hình chữ U và các kết cấu có dạng không phải hình chữ U, phẳng. Ví dụ, điện cực cổng có thể bao gồm một hoặc nhiều lớp kim loại có dạng hình chữ U được tạo ra ở trên một hoặc nhiều lớp có dạng không phải hình chữ U, phẳng.

Theo một số phương án thực hiện, hai vòng đệm ở thành bên có thể được tạo ra ở các mặt đối diện của chồng cổng đỡ chồng cổng. Các vòng đệm ở thành bên có thể được tạo ra từ vật liệu như silic nitrua, silic oxit, silic cacbua, silic nitrua có pha tạp cacbon và silic oxynitrua. Các quy trình để tạo ra các vòng đệm ở thành bên là đã biết trong lĩnh vực và nói chung bao gồm các bước lắng đọng và xử lý khắc ăn mòn. Theo phương án thực hiện khác, các cặp vòng đệm có thể được sử dụng, ví dụ, hai cặp, ba cặp hoặc bốn cặp vòng đệm ở thành bên có thể được tạo ra ở các mặt đối diện của chồng cổng.

Như đã biết trong lĩnh vực, nguồn và các vùng dẫn ra được tạo ra bên trong

nền liền kề với chồng cổng của mỗi tranzito MOS. Nguồn và các vùng dẫn ra nói chung được tạo ra bằng cách sử dụng quy trình cấy ghép/khuếch tán hoặc quy trình khắc ăn mòn/lắng đọng. Trong quy trình cấy ghép/khuếch tán, các chất pha tạp như bo, nhôm, antimon, phospho hoặc arsenic có thể dẫn ion tới nền để tạo thành nguồn và các vùng dẫn ra. Quy trình ủ kích hoạt các tạp chất và khiến cho chúng khuếch tán tiếp vào nền điển hình theo quy trình cấy ghép ion. Trong quy trình sau, nền trước tiên có thể được khắc ăn mòn để tạo thành các rãnh xoi tại các vị trí của nguồn và các vùng dẫn ra. Sau đó, quy trình lắng đọng lớp epitaxi có thể được thực hiện để điền đầy rãnh xoi bằng vật liệu được sử dụng để chế tạo nguồn và các vùng dẫn ra. Theo một số phương án thực hiện, nguồn và các vùng dẫn ra có thể được chế tạo bằng cách sử dụng hợp kim của silic như silic germani hoặc silic cacbua. Theo một số phương án thực hiện, hợp kim của silic lắng đọng lớp epitaxi có thể bị pha tạp tại chỗ với các chất pha tạp như bo, arsenic hoặc phospho. Theo các phương án khác nữa, nguồn và các vùng dẫn ra có thể được tạo ra bằng cách sử dụng một hoặc nhiều vật liệu bán dẫn khác như germani hoặc vật liệu hoặc hợp kim nhóm III-V. Và theo các phương án khác, một hoặc nhiều lớp kim loại và/hoặc hợp kim có thể được sử dụng để tạo ra nguồn và các vùng dẫn ra.

Một hoặc nhiều chất điện môi của lớp xen (ILD) được lắng đọng trên tranzito MOS. Các lớp ILD có thể được tạo ra bằng cách sử dụng các vật liệu điện môi đã biết về khả năng áp dụng của chúng trong các kết cấu mạch tích hợp, như các vật liệu có hằng số điện môi thấp. Các ví dụ về các vật liệu điện môi mà có thể được sử dụng gồm, nhưng không giới hạn ở, silic dioxit (SiO_2), oxit pha tạp cacbon (CDO), silic nitrua, các polyme hữu cơ như perflorocyclobutan hoặc polytetrafluetylen, thủy tinh flosilicat (FSG) và các silicat hữu cơ như silsesquioxan, siloxan hoặc thủy tinh silicat hữu cơ. Các lớp ILD có thể gồm các lỗ hoặc khe thoát khí để giảm tiếp hằng số điện môi của chúng.

Mô tả chi tiết sáng chế

Fig.1 thể hiện một phương án của IC 3D liền khối. Như được thể hiện trên Fig.1, kết cấu 100 bao gồm nền 110, ví dụ, là một nền bán dẫn tinh thể (ví dụ, silic tinh thể đơn). Nền 110 bao gồm lớp thiết bị 120 mà theo phương án này bao gồm

một số thiết bị 125 (ví dụ, các thiết bị tranzito). Theo một phương án, các thiết bị 125 thường có khoảng công suất thấp, hiện đại nhất, các thiết bị nhanh thông thường gồm có các thiết bị logic như các FinFET hoặc các thiết bị có hệ số tạo hình giảm khác thường có thể được bố trí trên lớp thiết bị ở bước cao hơn so với các thiết bị trong khoảng điện áp cao hơn.

Theo phương án được minh họa trên Fig.1, lớp thiết bị 120 được bố trí giữa các liên kết thứ nhất 130 và các liên kết thứ hai 150. Theo một phương án, một hoặc nhiều thiết bị trong lớp thiết bị 120 được nối với một hoặc cả hai liên kết được kết hợp với các liên kết thứ nhất 130 và các liên kết thứ hai 150 và/hoặc một hoặc nhiều liên kết của các liên kết thứ nhất 130 và các liên kết thứ hai 150 được nối qua lớp thiết bị 120.

Các liên kết thứ nhất 130 bao gồm các liên kết được nối với một trong số các thiết bị 125 trong lớp thiết bị 120. Theo một phương án, các liên kết thứ nhất 130, mỗi trong số các liên kết này có kích thước (ví dụ, độ dày) được chọn để chứa, ví dụ, tải trở kháng được kết hợp với các thiết bị 125 trong lớp thiết bị 120.

Theo một phương án, các liên kết thứ hai 150 là các liên kết có các kích thước khác nhau (dung tích) tương ứng với chức năng, mục đích hoặc thao tác của liên kết. Theo một phương án, các liên kết thứ hai 150 bao gồm các liên kết có các kích thước khác nhau tương ứng với vị trí của liên kết tương ứng tới lớp thiết bị. Fig.1 thể hiện các liên kết 1505 có kích thước (ví dụ, kích thước chiều dày) được chọn dùng cho các thiết bị truy cập 125 trong lớp thiết bị 120 (ví dụ, được chọn để chứa trở kháng của tải điện được kết hợp với các thiết bị 125). Theo một phương án, liên kết 1506 (cũng có thể thể hiện một đường liên kết hoặc nhiều mức (lớp) của các liên kết) có kích thước (ví dụ, kích thước chiều dày) được chọn để chứa sự phân bố xung nhịp toàn cục và theo một phương án khác, một số dây bus chuyên dụng có thể cần hoặc che chắn bằng cách định tuyến cạnh V_{cc}/V_{ss} và đường RC thấp hơn là có sẵn trong lớp thiết bị 130. Liên kết 1507 (có thể thể hiện một hoặc nhiều mức (lớp) liên kết) có kích thước (ví dụ, độ dày) được chọn để phân bố toàn bộ điện (V_{cc}), phần đất (V_{ss}) từ các tiếp điểm từ gói/bảng hoặc nền khác, cũng như phân bố điện được tạo công (V_{ccg}) và phần đất được tạo công (V_{ssg}) có nguồn gốc từ các kết cấu nguồn-công

trong lớp thiết bị 120 hoặc đầu đó trong kết cấu 100 và sau đó quay trở lại các thiết bị 125 trong các vùng điện được tạo cổng và các phân đất được tạo cổng. Như được minh họa trên Fig.1, liên kết ban đầu 1505 có độ dày t_1 ; liên kết 1506 có độ dày t_2 ; và liên kết cuối cùng 1507 có độ dày t_3 và $t_3 > t_2 > t_1$. Điển hình, theo một phương án, liên kết 1505 có độ dày theo thứ tự ít nhất là 0,67 lần bước cổng, liên kết 1506 có độ dày lớn hơn 100 lần liên kết 1505 và liên kết 1507 có độ dày lớn hơn 10 lần độ dày của liên kết 1506.

Kết cấu 100 trên Fig.1 cũng thể hiện các tiếp điểm có thể vận hành để nối kết cấu với nền riêng biệt như nền bao gói hoặc tấm. Fig.1 thể hiện các tiếp điểm 160, ví dụ, là mối nối chip sập có kiểm soát (C4) có thể nối vận hành được để nối kết cấu với mạch điện bên ngoài bằng các mối nối hàn. Fig.1 thể hiện đại diện kết cấu 100 được nối với nền như nền bao gói qua các tiếp điểm 160, nền được thể hiện theo đường sẫm.

Các hình vẽ từ Fig.2 đến Fig.6 mô tả một phương pháp tạo ra IC 3D liên khối. Fig.2 thể hiện nền 210, ví dụ, của một nền bán dẫn tinh thể (ví dụ, nền silic). Lớp thiết bị 220 được bố trí trên nền 210, lớp thiết bị 220 theo một phương án gồm có một liên kết hoặc các liên kết bước cao, các thiết bị nhanh, như các FinFET hoặc các thiết bị tranzisto hiện đại khác. Fig.2 cũng thể hiện các liên kết 230 được đặt cạnh hoặc trên lớp thiết bị 220. Một trong số các liên kết 230 được nối với một trong số các thiết bị trong lớp thiết bị 220, ví dụ, qua các tiếp điểm 226. Theo một phương án, các liên kết 230 là vật liệu đồng được tạo mẫu như đã biết trong lĩnh vực. Lớp thiết bị tiếp xúc (ví dụ, tiếp xúc 226) giữa các thiết bị mạch và liên kết mức thứ nhất điển hình có thể là vật liệu vonfram hoặc đồng và mức trung tiếp xúc giữa các liên kết, ví dụ là, vật liệu đồng. Các liên kết được cách điện với nhau và với các thiết bị bởi các vật liệu điện môi như oxit. Fig.2 thể hiện lớp điện môi 235 được đặt ngay cạnh hoặc được bố trí trên lớp sau cùng của các liên kết 230 (khi được nhìn).

Fig.3 thể hiện kết cấu trên Fig.2 theo hướng nối của kết cấu với miếng bán dẫn mang. Theo một phương án, kết cấu 200 từ Fig.2 được đảo ngược và được gắn vào miếng bán dẫn mang. Fig.3 thể hiện miếng bán dẫn mang 240, ví dụ, là silic hoặc gốm hoặc nền thích hợp khác. Lớp điện môi 245 theo một phương án được chồng

lên bề mặt của miếng bán dẫn mang 240, ví dụ, bằng oxit. Fig.3 thể hiện sự liên kết qua các vật liệu điện môi (liên kết điện môi) và minh họa các liên kết 230 được đặt cạnh miếng bán dẫn mang 240.

Fig.4 thể hiện kết cấu trên Fig.3 theo hướng loại bỏ của phần nền 210 khỏi kết cấu. Theo một phương án, một phần nền 210 được loại bỏ để làm lộ lớp thiết bị 220. Phần nền 210 có thể bị loại bỏ bằng cơ học (ví dụ, nghiền) hoặc cơ cấu khác (ví dụ, khắc ăn mòn). Fig.4 thể hiện lớp thiết bị 220 gồm bề mặt trên lộ ra của kết cấu (khi được nhìn).

Fig.5 và Fig.6 thể hiện các mặt cắt ngang nhìn từ một bên thứ nhất và thứ hai của kết cấu trên Fig.4 theo hướng đưa các liên kết 250 trên kết cấu. Như được minh họa, bề mặt của lớp thiết bị 220 được đặt cạnh các liên kết 250 được mạ. Theo một phương án, các liên kết 250 có kích thước được chọn theo chức năng, mục đích hoặc thao tác của liên kết và một trong số các liên kết khác nhau của các liên kết 250 được chọn để thực hiện các chức năng hoặc thao tác khác nhau. Theo một phương án, một trong số các liên kết 250 có kích thước khác nhau (dung tích) tương ứng với vị trí của liên kết tương ứng với lớp thiết bị 220. Fig.5 thể hiện các liên kết 250 có các liên kết có ba kích thước chiều dày khác nhau được biểu thị là các liên kết 2505 (t_1); các liên kết 2506 (t_2); và các liên kết 2507 (t_3). Các liên kết 2507 xác định các liên kết cuối cùng trong chồng liên kết (cuối cùng đối với vị trí tương ứng với lớp thiết bị). Các liên kết 2507 (hai liên kết thể hiện được bố trí trực giao tương ứng với nhau) có kích thước chiều dày mà tương đối lớn hơn kích thước chiều dày của các liên kết 2506 hoặc các liên kết 2505 ($t_3 > t_2 > t_1$). Theo một phương án, các liên kết 2507 có kích thước (ví dụ, độ dày) để xác định dung tích đối với liên kết, mà chức năng của nó là để tạo ra lưới để phân bố năng lượng toàn cầu (V_{cc}), mặt đất (V_{ss}) từ các tiếp điểm được ghép nối với thiết bị bên ngoài như nền bao gói hoặc tấm (các tiếp điểm 260). Các liên kết 2507 cũng như có chức năng phân bố nguồn (V_{ccg}) và đất nối cổng (V_{ssg}) thu được từ các kết cấu cổng công suất trong lớp thiết bị 220 hoặc chỗ nào đó khi trong kết cấu và lùi xuống từ các thiết bị trong công suất nối cổng và các vùng đất nối cổng (ví dụ, các thiết bị trong lớp thiết bị 220).

Các liên kết 2506 (hai lớp hoặc các mức liên kết thể hiện được bố trí trực giao

tương ứng với nhau) được bố trí bên dưới các liên kết 2507 (khi được nhìn). Các liên kết 2506 có kích thước (ví dụ, độ dày) để xác định dung tích mà nhỏ hơn dung tích của các liên kết 2507. Theo một phương án, các kích thước của các liên kết 2506 được chọn để thực hiện chức năng cấp điện lưới nội bộ và chứa sự phân bố xung nhịp toàn cục và bất kỳ dây bus chuyên dụng nào yêu cầu hoặc che chắn bằng cách định tuyến cạnh V_{cc}/V_{ss} , và/hoặc đường RC thấp hơn sẵn có trong định tuyến liên kết trong các liên kết 230.

Các liên kết 2505 trong các liên kết 250 (hai lớp hoặc các mức liên kết được thể hiện) được đặt bên dưới các liên kết 2506 (khi được nhìn) và theo một phương án xác định các đường hoặc các mức liên kết đầu hoặc ban đầu tương ứng với lớp thiết bị 220. Các liên kết 2505 có kích thước (ví dụ, độ dày) xác định dung tích được chọn để phân bố các tín hiệu được tạo lưới trong các liên kết 2506 xuống tới các bước cần dùng cho các thiết bị truy cập (ví dụ, các tranzito) qua các phần tiếp xúc 255 (đến cực nguồn/cực máng của các thiết bị hoặc qua lớp thiết bị thao tác đến liên kết ở phía đối diện của lớp thiết bị 220).

Theo một phương án, các liên kết 250 được chọn từ vật liệu như đồng được nạp bằng quy trình mạ. Fig.5 thể hiện các phần tiếp xúc 255 giữa lớp thiết bị 220 (hoặc qua lớp thiết bị 220) và tiếp điểm ở lớp giữa 256. Do tiếp điểm có thể cũng là đồng và được tạo ra qua quy trình mạ hoặc, đặc biệt trong trường hợp các phần tiếp xúc 255, có thể là vật liệu khác như vật liệu vonfram. Fig.5 cũng thể hiện các liên kết 250 cách điện với nhau bằng vật liệu điện môi 258, ví dụ bằng oxit.

Các mẫu thực tế của các liên kết 250 tương ứng với mỗi lớp, theo một phương án, là mạch phụ thuộc vào cả các yêu cầu phân phối điện cũng như nhu cầu để phân bố xung nhịp (được tạo công và không được tạo công) cho các điểm nút, cũng như các bus và tín hiệu cục bộ cần đến các trị số RC thấp đối với khoảng cách di chuyển. Theo một phương án, mỗi một trong số các cặp liên kết 2505, 2506 và 2507 tạo ra mẫu dạng lưới để giảm thiểu sự tụt IR (công suất thuần trở). Ngoài ra, việc tách các liên kết ở các mặt đối diện của lớp thiết bị 220 cho phép sản xuất chùm điện tử dung lượng cao với số lượng giới hạn của khoảng cách giữa các tâm của cùng kim loại được so khớp đồng đều ở vùng liên kết tín hiệu.

Trong phần mô tả trên và các hình vẽ kèm theo, các liên kết được minh họa dưới dạng mặt cắt ngang thường có dạng hình chữ nhật và được mô tả là có kích thước chiều dày khác nhau điển hình được chỉ ra là độ cao được đo theo phương thẳng đứng khi được nhìn trên các hình vẽ (ví dụ, Fig.5, Fig.6). Nên được đánh giá cao rằng để làm thay đổi mức độ liên kết, kích thước khác với độ cao xác định có thể được thay đổi. Cũng hình dung rằng liên kết có thể có dạng khác với hình chữ nhật trong mặt cắt ngang. Do đó, như được sử dụng ở đây, từ “độ dày” bao gồm chiều cao hoặc chiều rộng đối với thân có dạng hình chữ nhật (được đo theo phương nằm ngang ngang qua trang giấy trên các hình vẽ) và hướng biến đổi dung tích khác đối với các hình dạng khác (ví dụ, đường kính có dạng mặt cắt ngang hình tròn).

Fig.7 minh họa lớp xen giữa 300 mà bao gồm một hoặc nhiều phương án của sáng chế. Lớp xen giữa 300 là nền xen được sử dụng để nối cầu nền thứ nhất 302 với nền thứ hai 304. Nền thứ nhất 302 chẳng hạn có thể là khuôn mạch tích hợp. Nền thứ hai 304 ví dụ có thể là môđun bộ nhớ, bảng mạch chính của máy tính hoặc khuôn mạch tích hợp khác. Nói chung, mục đích của lớp xen giữa 300 là để mở rộng kết nối đến bước rộng hơn hoặc định tuyến lại sự kết nối với kết nối khác nhau. Ví dụ, lớp xen giữa 300 có thể ghép nối khuôn mạch tích hợp với mảng lưới bi (ball grid array-BGA) 306 mà sau đó có thể được nối với nền thứ hai 304. Theo một số phương án, các nền thứ nhất 302 và thứ hai 304 được lắp vào các mặt đối diện của lớp xen giữa 300. Theo các phương án khác, các nền thứ nhất 302 và thứ hai 304 được lắp vào cùng mặt của lớp xen giữa 300. Và theo các phương án khác, ba nền hoặc nhiều hơn được liên kết bằng lớp xen giữa 300.

Lớp xen giữa 300 có thể được tạo ra bằng nhựa epoxy, nhựa epoxy được tăng cứng bằng sợi thủy tinh, vật liệu gốm hoặc vật liệu polyme như polyimide. Theo các phương án thực hiện khác nữa, lớp xen giữa có thể được tạo ra bằng lưới xen kẽ hoặc vật liệu mềm dẻo có thể bao gồm cùng vật liệu được mô tả ở trên để sử dụng trong nền bán dẫn, như silic, germani và các vật liệu thuộc nhóm III-V và nhóm IV khác.

Lớp xen giữa có thể bao gồm các liên kết kim loại 308 và các lỗ thông 310 gồm, nhưng không giới hạn ở, các lỗ xuyên silic (các TSV) 412. Lớp xen giữa 300 có thể còn bao gồm các thiết bị nhúng 314 khác, gồm cả thiết bị bị động và chủ động.

Các thiết bị này gồm, nhưng không giới hạn ở, các tụ, tụ khử ghép, điện trở, cầu chì, điốt, biến thế, bộ cảm biến và các thiết bị phóng điện tích (electrostatic discharge - ESD). Các thiết bị phức tạp hơn như các thiết bị tần số radio (RF), bộ khuếch đại công suất, thiết bị quản lý điện, anten, mảng, các cảm biến và thiết bị MEMS có thể cũng được tạo ra trên lớp xen giữa 300.

Theo các phương án, các thiết bị hoặc quy trình được bộc lộ ở đây có thể được sử dụng trong việc chế tạo lớp xen giữa 300.

Fig.8 minh họa thiết bị điện toán 400 theo một phương án của sáng chế. Thiết bị điện toán 400 có thể gồm một số chi tiết. Theo một phương án, các chi tiết này được lắp vào một hoặc nhiều bảng mạch chính. Theo phương án thay thế, các chi tiết này được chế tạo thành khuôn một hệ thống trên chip (single system-on-a-chip - SoC) hơn là bảng mạch chính. Các chi tiết trong thiết bị điện toán 400 gồm, nhưng không giới hạn ở, khuôn mạch tích hợp 402 và ít nhất một chip truyền thông 408. Theo một số phương án thực hiện, chip truyền thông 408 được chế tạo là một phần của khuôn mạch tích hợp 402. Khuôn mạch tích hợp 402 có thể gồm CPU 404 cũng như bộ nhớ trên khuôn 406, thường được sử dụng là bộ nhớ cache, mà có thể được tạo ra bởi các kỹ thuật như DRAM nhúng (bộ nhớ truy cập ngẫu nhiên động nhúng - embedded dynamic random-access memory - eDRAM) hoặc bộ nhớ bất khả biến với mức tiêu thụ năng lượng gần như không (spin-transfer torque memory (STTM hoặc STTM-RAM)).

Thiết bị điện toán 400 có thể bao gồm các chi tiết khác mà có thể hoặc không thể được nối cơ học và điện với bảng mạch chính hoặc được chế tạo bên trong khuôn SoC. Các chi tiết khác này gồm, nhưng không giới hạn ở, bộ nhớ khả biến 410 (ví dụ, DRAM), bộ nhớ bất khả biến 412 (ví dụ, bộ nhớ chỉ đọc (Read Only Memory - ROM) hoặc bộ nhớ nhanh), cụm xử lý đồ họa 414 (GPU), bộ xử lý tín hiệu số 416, bộ xử lý mã hóa 442 (bộ xử lý chuyên dụng mà thực hiện các thuật toán mã hóa bên trong phần cứng), bộ chip 420, anten 422, bộ hiển thị hoặc bộ hiển thị màn hình chạm 424, bộ điều khiển màn hình chạm 426, pin 428 hoặc nguồn điện khác, bộ khuếch đại công suất (không được thể hiện), thiết bị có hệ thống định vị toàn cầu (global positioning system - GPS) 444, la bàn 430, bộ đồng xử lý hoặc cảm biến động 432

(mà có thể bao gồm gia tốc kế, con quay và la bàn), loa 434, camera 436, các thiết bị đầu vào của người sử dụng 438 (như bàn phím, chuột, bút trở và bảng xúc giác) và thiết bị lưu trữ dung lượng lớn 440 (như ổ đĩa cứng, đĩa CD (compact disk - CD), đĩa đa năng kỹ thuật số (digital versatile disk - DVD) v.v.).

Chip truyền thông 408 cho phép truyền thông vô tuyến để truyền dữ liệu tới và từ thiết bị điện toán 400. Thuật ngữ “vô tuyến” và nguồn khác có thể được sử dụng để mô tả mạch, thiết bị, hệ thống, phương pháp, kỹ thuật, kênh truyền thông, v.v., có thể truyền thông dữ liệu nhờ sử dụng phép chiếu xạ điện từ được điều biến qua môi trường không bền vững. Thuật ngữ này không ngụ ý là, các thiết bị kết hợp không chứa các dây bất kỳ, mặc dù theo một số phương án không có các dây này. Chip truyền thông 408 có thể thực hiện bất kỳ trong số các tiêu chuẩn hoặc giao thức vô tuyến gồm, nhưng không giới hạn ở, Wi-Fi (họ IEEE 802.11), WiMAX (họ IEEE 802.16), IEEE 802.20, tiến hóa dài hạn (Long-Term Evolution - LTE), Ev-DO, HSPA+, HSDPA+, HSUPA+, EDGE, GSM, GPRS, CDMA, TDMA, DECT, Bluetooth, các nguồn của chúng, cũng như giao thức vô tuyến bất kỳ khác được chỉ ra là 3G, 4G, 5G và thế hệ sau. Thiết bị điện toán 400 có thể bao gồm các chip truyền thông 408. Chẳng hạn, chip truyền thông thứ nhất 408 có thể được dành riêng cho các truyền thông không dây phạm vi ngắn như Wi-Fi và Bluetooth và chip truyền thông thứ hai 408 có thể được dành riêng cho các truyền thông vô tuyến phạm vi rộng như GPS, EDGE, GPRS, CDMA, WiMAX, LTE, Ev-DO và truyền thông khác.

Bộ xử lý 404 của thiết bị điện toán 400 bao gồm IC 3D liên khối gồm có vùng liên kết (với các liên kết có kích thước được chọn nhằm mục đích, chức năng hoặc thao tác dự định), được tạo ra theo các phương án được mô tả ở trên. Thuật ngữ “bộ xử lý” có thể là thiết bị hoặc phần thiết bị bất kỳ xử lý dữ liệu điện tử từ các thanh ghi và/hoặc bộ nhớ để biến đổi dữ liệu điện tử thành dữ liệu điện tử khác có thể được chứa trong bộ ghi và/hoặc bộ nhớ.

Chip truyền thông 408 cũng có thể bao gồm IC 3D liên khối gồm có vùng liên kết (với các liên kết có kích thước được chọn cho mục đích, chức năng hoặc thao tác dự định), mà được tạo ra theo các phương án mô tả ở trên.

Theo các phương án khác nữa, thành phần khác được chứa bên trong thiết bị

diện toán 400 có thể chứa IC 3D liền khối gồm có vùng liên kết (với các liên kết có kích thước được chọn nhằm mục đích, chức năng hoặc thao tác dự định), được tạo ra theo các phương án thực hiện được mô tả ở trên.

Ví dụ thực hiện sáng chế

Ví dụ 1 là phương pháp bao gồm các bước: tạo ra các liên kết thứ nhất và các liên kết thứ hai ở các mặt đối diện của lớp thiết bị mạch tích hợp bao gồm các thiết bị mạch, trong đó các liên kết thứ hai bao gồm các liên kết có các kích thước khác nhau; và tạo ra các tiếp điểm với các liên kết thứ hai, các tiếp điểm này có thể vận hành để nối với nguồn điện bên ngoài.

Trong ví dụ 2, liên kết thứ nhất của các liên kết thứ hai trong phương pháp của ví dụ 1 có các kích thước được chọn dùng cho các thiết bị truy cập trong lớp thiết bị và liên kết thứ hai của các liên kết thứ hai có kích thước chiều dày lớn hơn liên kết thứ nhất của các liên kết thứ hai, trong đó kích thước này được chọn để chứa sự phân bố xung nhịp toàn cục.

Trong ví dụ 3, liên kết thứ ba của các liên kết thứ hai trong phương pháp của ví dụ 2 có các kích thước được chọn để phân bố điện.

Trong ví dụ 4, liên kết thứ ba của các liên kết thứ hai trong phương pháp của ví dụ 3 được nối với các tiếp điểm truy cập được từ bên ngoài.

Trong ví dụ 5, liên kết thứ hai của các liên kết thứ hai trong phương pháp của ví dụ 2 được bố trí giữa liên kết thứ nhất của các liên kết thứ hai và liên kết thứ ba của các liên kết thứ hai.

Trong ví dụ 6, các liên kết thứ hai trong phương pháp của ví dụ 3 có kích thước tương ứng với vị trí của lớp thiết bị tăng lên từ liên kết thứ nhất của các liên kết thứ hai tới liên kết thứ ba của các liên kết thứ hai.

Trong ví dụ 7, một trong các liên kết thứ nhất trong các phương pháp của ví dụ 1 hoặc 2 được nối với các thiết bị tương ứng trong lớp thiết bị mạch tích hợp.

Trong ví dụ 8, các liên kết có các kích thước khác nhau trong các phương pháp trong ví dụ 1 hoặc 2 bao gồm các liên kết có các kích thước chiều dày khác nhau.

Trong ví dụ 9, thiết bị mạch tích hợp được tạo ra bằng phương pháp bất kỳ của ví dụ 1 hoặc 2.

Ví dụ 10 là phương pháp bao gồm bước tạo ra các liên kết thứ nhất và các liên kết thứ hai ở các mặt đối diện của lớp thiết bị mạch tích hợp bao gồm các thiết bị mạch, trong đó một trong các liên kết thứ nhất được nối với các thiết bị tương ứng trong lớp của thiết bị mạch tích hợp và các liên kết thứ hai có kích thước tương ứng với vị trí của lớp thiết bị tăng lên từ liên kết đầu tiên của các liên kết thứ hai đến liên kết cuối cùng của các liên kết thứ hai; và tạo ra các tiếp điểm với các liên kết thứ hai, các tiếp điểm này có thể vận hành để nối với nguồn điện bên ngoài.

Trong ví dụ 11, liên kết đầu tiên của các liên kết thứ hai trong phương pháp của ví dụ 10 có các kích thước được chọn dùng cho các thiết bị truy cập trong lớp thiết bị.

Trong ví dụ 12, các liên kết thứ hai trong phương pháp của ví dụ 11 bao gồm liên kết thứ hai của các liên kết thứ hai có kích thước chiều dày lớn hơn liên kết đầu tiên của các liên kết thứ hai, trong đó kích thước này được chọn để chứa sự phân bố xung nhịp toàn cục.

Trong ví dụ 13, liên kết cuối cùng của các liên kết thứ hai trong phương pháp của ví dụ 12 có các kích thước được chọn để phân bố điện.

Trong ví dụ 14, liên kết cuối cùng của các liên kết thứ hai trong phương pháp của ví dụ 12 được nối với các tiếp điểm truy cập được từ bên ngoài.

Trong ví dụ 15, kích thước của liên kết thứ hai của các liên kết thứ hai trong các phương pháp của ví dụ 10 hoặc 11 là kích thước chiều dày.

Trong ví dụ 16, thiết bị mạch tích hợp được tạo ra bằng phương pháp của ví dụ 10 hoặc 11.

Ví dụ 17 là thiết bị gồm có nền bao gồm các liên kết thứ nhất và các liên kết thứ hai ở các mặt đối diện của lớp thiết bị mạch tích hợp gồm có các thiết bị mạch, trong đó các liên kết thứ hai bao gồm các liên kết có các kích thước khác nhau; và các tiếp điểm được ghép nối với các liên kết thứ hai, các tiếp điểm này có thể vận hành để nối với nguồn điện bên ngoài.

Trong ví dụ 18, các liên kết thứ hai của thiết bị trong ví dụ 17 có kích thước tương ứng với vị trí của lớp thiết bị tăng lên từ liên kết thứ nhất của các liên kết thứ hai đến liên kết cuối cùng của các liên kết thứ hai.

Trong ví dụ 19, kích thước của thiết bị trong ví dụ 18 là kích thước chiều dày.

Trong ví dụ 20, liên kết thứ nhất của các liên kết thứ hai của thiết bị trong ví dụ 19 có các kích thước được chọn dùng cho các thiết bị truy cập trong lớp thiết bị và liên kết thứ hai của các liên kết thứ hai có kích thước chiều dày lớn hơn liên kết thứ nhất của các liên kết thứ hai, trong đó kích thước này được chọn để chứa sự phân bố xung nhịp toàn cục.

Trong ví dụ 21, liên kết thứ ba của các liên kết thứ hai của thiết bị trong ví dụ 20 có các kích thước được chọn để phân bố điện.

Trong ví dụ 22, liên kết thứ hai của các liên kết thứ hai của thiết bị trong ví dụ 21 được bố trí giữa liên kết thứ nhất của các liên kết thứ hai và liên kết thứ ba của các liên kết thứ hai.

Phần mô tả trên về các phương án thực hiện được minh họa của sáng chế, gồm các phương án được mô tả trong bản tóm tắt, mà không được dùng để miêu tả đầy đủ hoặc giới hạn sáng chế ở các dạng chính xác đã bộc lộ. Trong khi các phương án thực hiện cụ thể và các ví dụ, được mô tả trong phần mô tả này chỉ nhằm mục đích minh họa và cũng có thể có các cải biến tương đương khác nhau trong phạm vi của sáng chế, sẽ được nhận biết bởi người có hiểu biết trung bình về lĩnh vực liên quan.

Các cải biến này có thể được thực hiện đối với sáng chế theo ngữ cảnh mô tả chi tiết trên. Các thuật ngữ được sử dụng trong các điểm yêu cầu bảo hộ sau đây không được hiểu là giới hạn phạm vi của sáng chế ở các phương án thực hiện cụ thể được mô tả trong phần mô tả và yêu cầu bảo hộ. Thay vào đó, phạm vi của sáng chế được xác định toàn bộ bởi các điểm yêu cầu bảo hộ sau đây, mà được hiểu theo các giải thích của các điểm yêu cầu bảo hộ.

YÊU CẦU BẢO HỘ

1. Phương pháp tạo ra mạch tích hợp ba chiều liên khối bao gồm các bước:

tạo ra các liên kết thứ nhất và các liên kết thứ hai trên các mặt đối diện của lớp thiết bị mạch tích hợp bao gồm các thiết bị mạch, trong đó các liên kết thứ hai gồm các liên kết có kích thước khác nhau, trong đó liên kết thứ nhất của các liên kết thứ hai có các kích thước được chọn dùng cho các thiết bị truy cập trong lớp thiết bị và liên kết thứ hai của các liên kết thứ hai có kích thước chiều dày lớn hơn liên kết thứ nhất của các liên kết thứ hai, trong đó kích thước như vậy được chọn để chứa phân bố xung nhịp toàn cục, trong đó liên kết thứ ba của các liên kết thứ hai có các kích thước được chọn để phân bố điện, và trong đó liên kết thứ ba của các liên kết thứ hai có kích thước chiều dày lớn hơn liên kết thứ hai của các liên kết thứ hai; và

tạo ra các tiếp điểm với các liên kết thứ hai, các tiếp điểm này có thể vận hành để nối với nguồn điện bên ngoài.

2. Phương pháp theo điểm 1, trong đó liên kết thứ ba của các liên kết thứ hai được ghép nối với các tiếp điểm truy cập được từ bên ngoài.

3. Phương pháp theo điểm 1, trong đó liên kết thứ hai của các liên kết thứ hai được bố trí giữa liên kết thứ nhất của các liên kết thứ hai và liên kết thứ ba của các liên kết thứ hai.

4. Phương pháp theo điểm 1, trong đó một trong các liên kết thứ nhất được nối với các thiết bị tương ứng trong lớp thiết bị mạch tích hợp.

5. Phương pháp tạo ra mạch tích hợp ba chiều liên khối bao gồm các bước:

tạo ra các liên kết thứ nhất và các liên kết thứ hai trên các mặt đối diện của lớp thiết bị mạch tích hợp bao gồm các thiết bị mạch, trong đó một trong các liên kết thứ nhất được nối với các thiết bị tương ứng trong lớp thiết bị mạch tích hợp và các liên kết thứ hai có kích thước tương ứng với vị trí của lớp thiết bị tăng lên từ liên kết đầu tiên của các liên kết thứ hai tới liên kết cuối cùng của các liên kết thứ hai, trong đó liên kết đầu tiên của các liên kết thứ hai có các kích thước được chọn dùng cho các thiết bị truy cập trong lớp thiết bị, trong đó các liên kết thứ hai bao gồm liên kết thứ hai của các liên kết thứ hai có kích thước chiều dày lớn hơn liên kết đầu tiên của các liên kết thứ hai, trong đó kích thước như vậy được chọn để chứa phân bố xung nhịp toàn cục, trong đó liên kết cuối cùng của các liên kết thứ hai có các kích thước được

chọn để phân bố điện, và trong đó liên kết cuối cùng của các liên kết thứ hai có kích thước chiều dày lớn hơn liên kết thứ hai của các liên kết thứ hai; và

tạo ra các tiếp điểm với các liên kết thứ hai, các tiếp điểm này có thể vận hành để nối với nguồn điện bên ngoài.

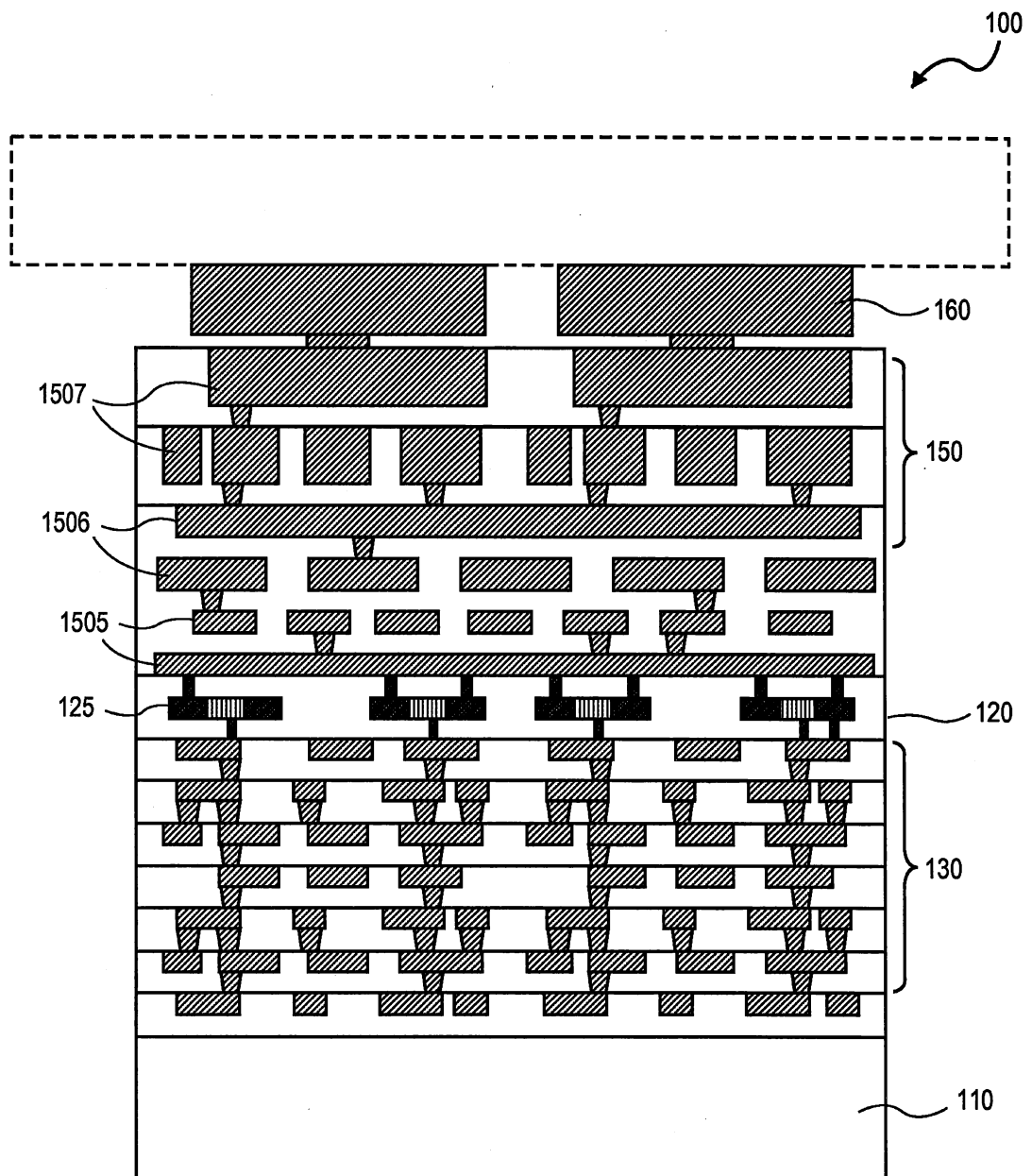
6. Phương pháp theo điểm 5, trong đó liên kết cuối cùng của các liên kết thứ hai được nối với các tiếp điểm truy cập được từ bên ngoài.

7. Mạch tích hợp ba chiều liên khối bao gồm:

nền bao gồm các liên kết thứ nhất và các liên kết thứ hai trên các mặt đối diện của lớp thiết bị mạch tích hợp bao gồm các thiết bị mạch, trong đó các liên kết thứ hai gồm các liên kết có kích thước khác nhau, trong đó liên kết thứ nhất của các liên kết thứ hai có các kích thước được chọn dùng cho các thiết bị truy cập trong lớp thiết bị và liên kết thứ hai của các liên kết thứ hai có kích thước chiều dày lớn hơn liên kết thứ nhất của các liên kết thứ hai, trong đó kích thước như vậy được chọn để chứa phân bố xung nhịp toàn cục, trong đó liên kết thứ ba của các liên kết thứ hai có các kích thước được chọn để phân bố điện, và trong đó liên kết thứ ba của các liên kết thứ hai có kích thước chiều dày lớn hơn liên kết thứ hai của các liên kết thứ hai; và

các tiếp điểm được ghép nối với các liên kết thứ hai, các tiếp điểm này có thể vận hành để nối với nguồn điện bên ngoài.

8. Mạch tích hợp ba chiều liên khối theo điểm 7, trong đó liên kết thứ hai của các liên kết thứ hai được bố trí giữa liên kết thứ nhất của các liên kết thứ hai và liên kết thứ ba của các liên kết thứ hai.

**FIG. 1**

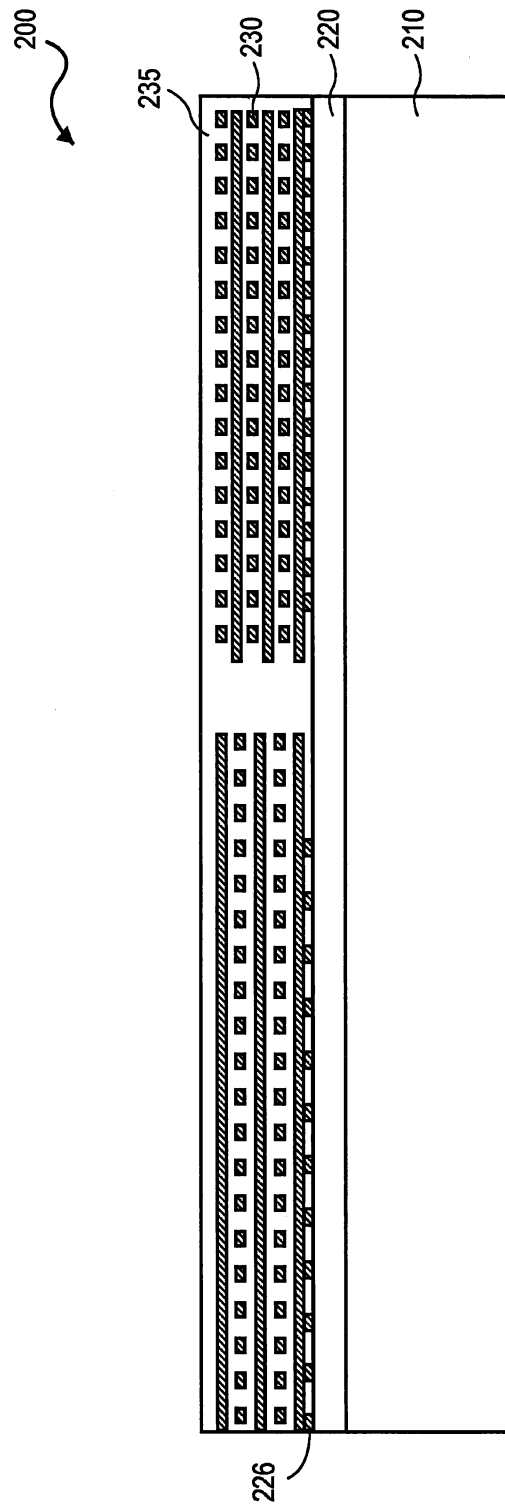


FIG. 2

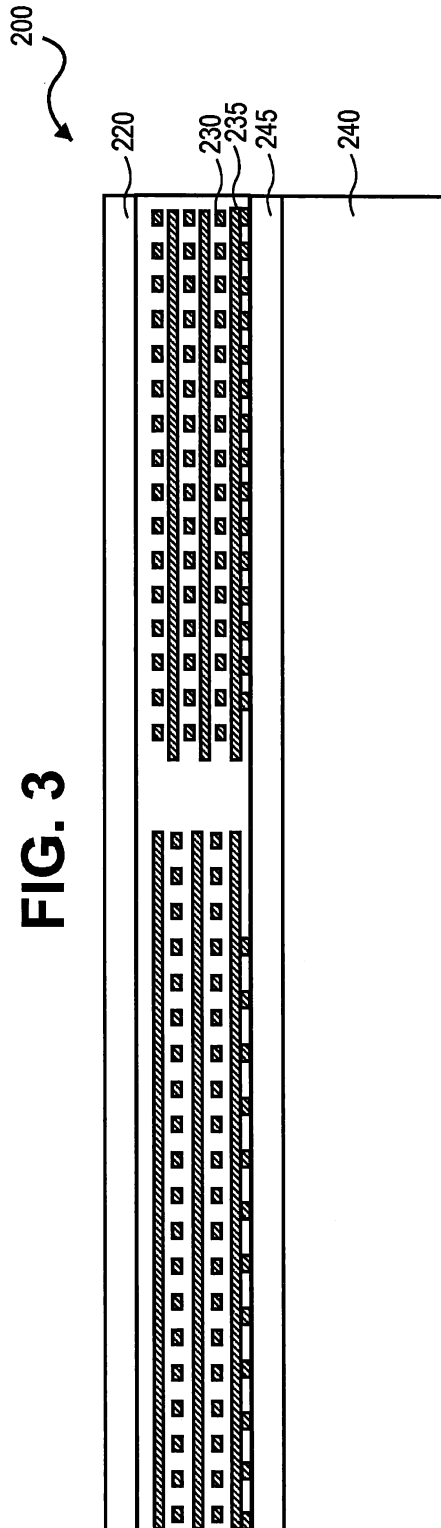
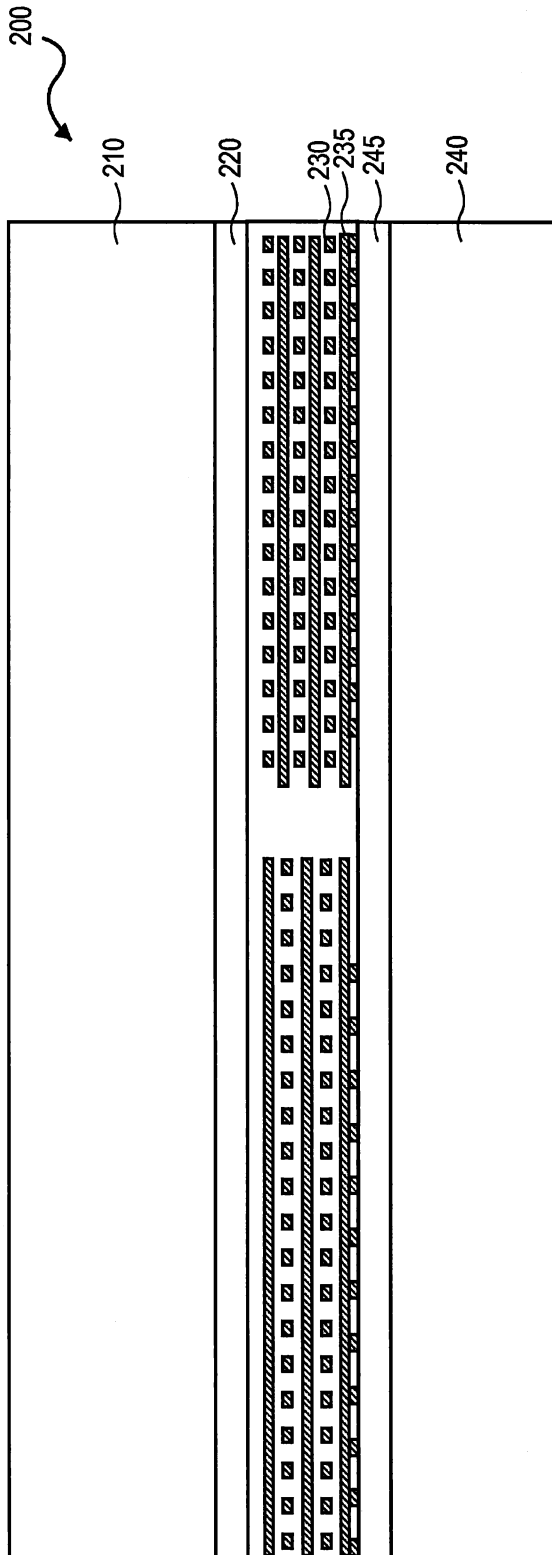


FIG. 3

FIG. 4

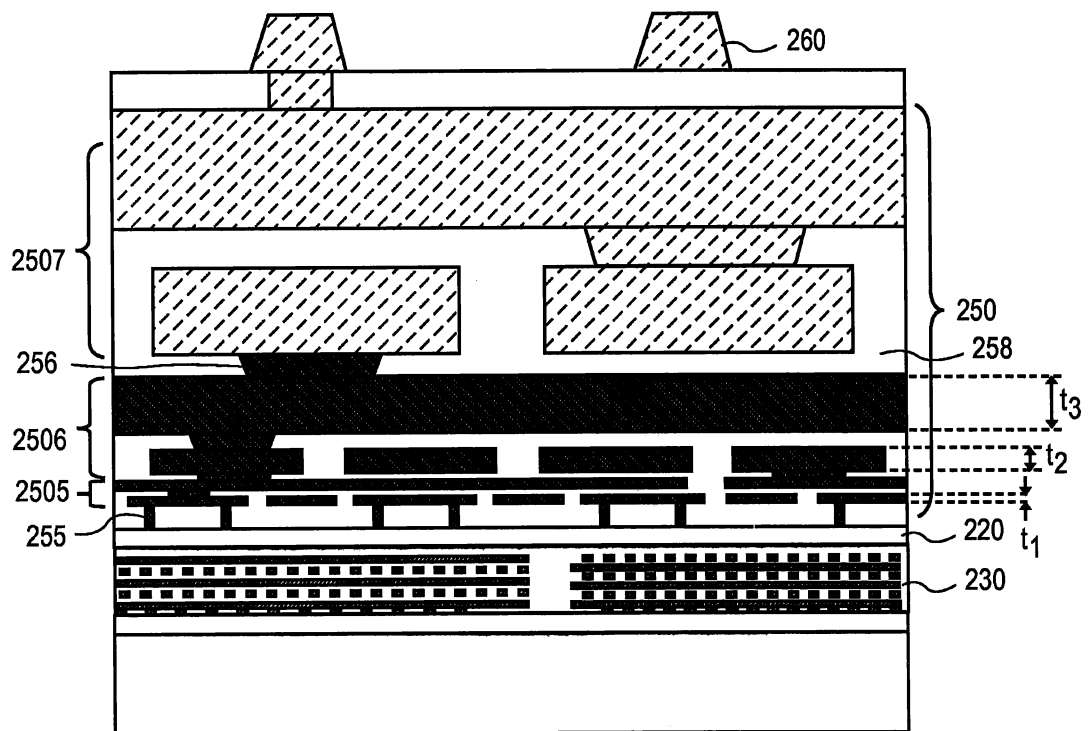


FIG. 5

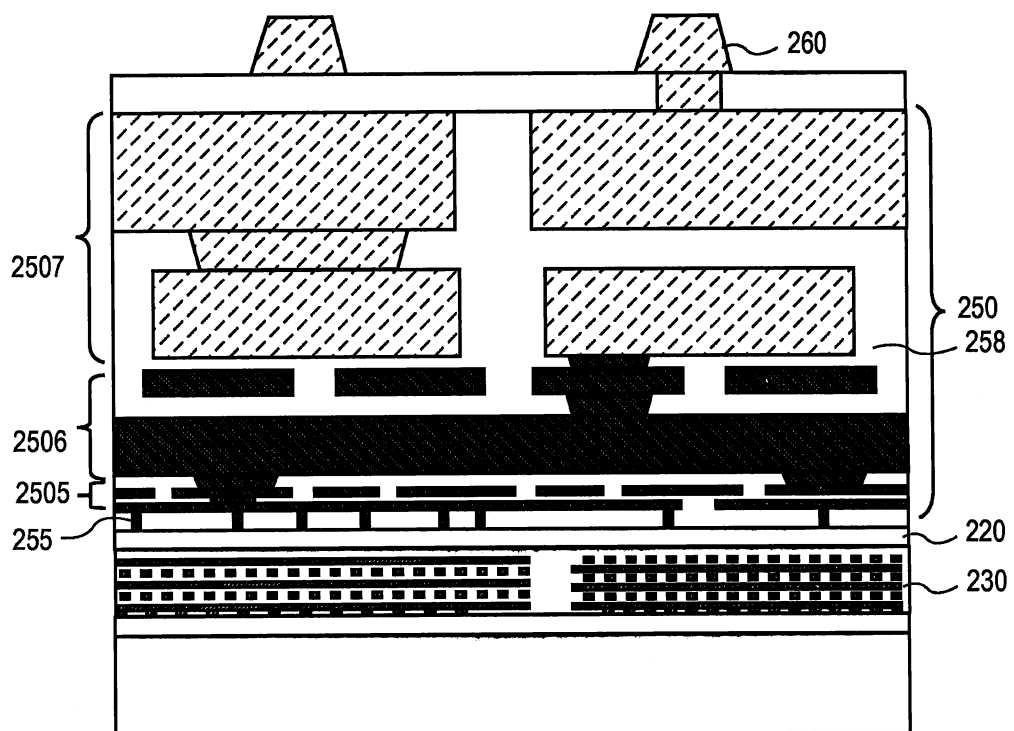


FIG. 6

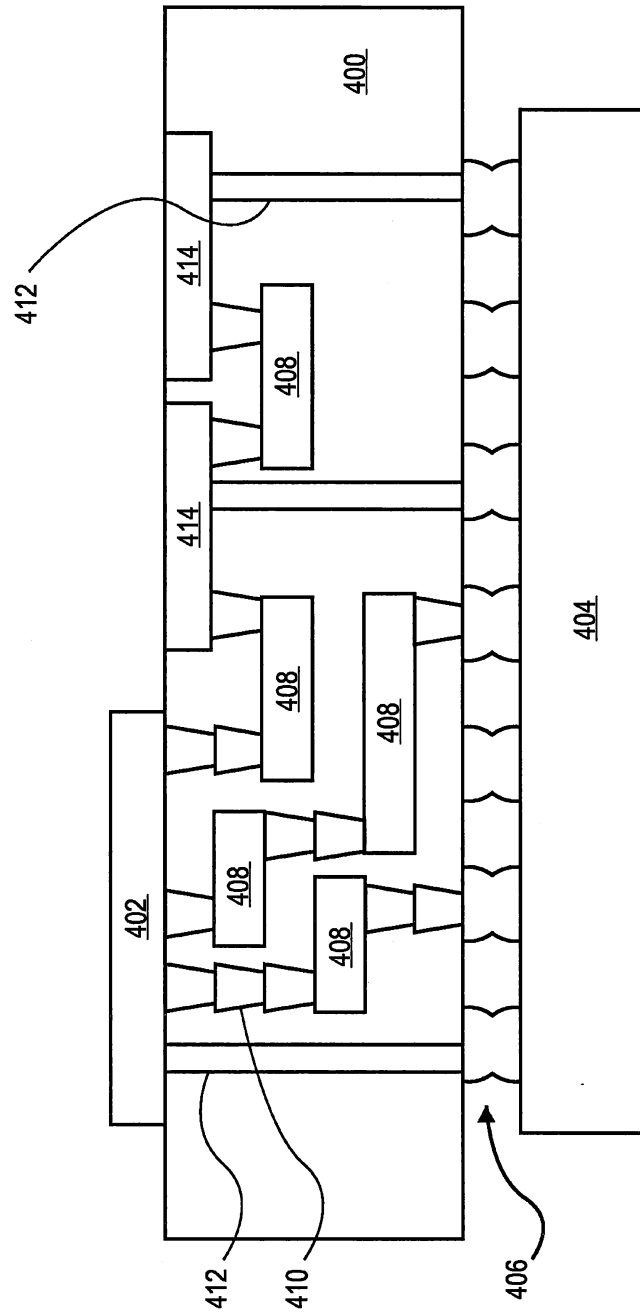


FIG. 7

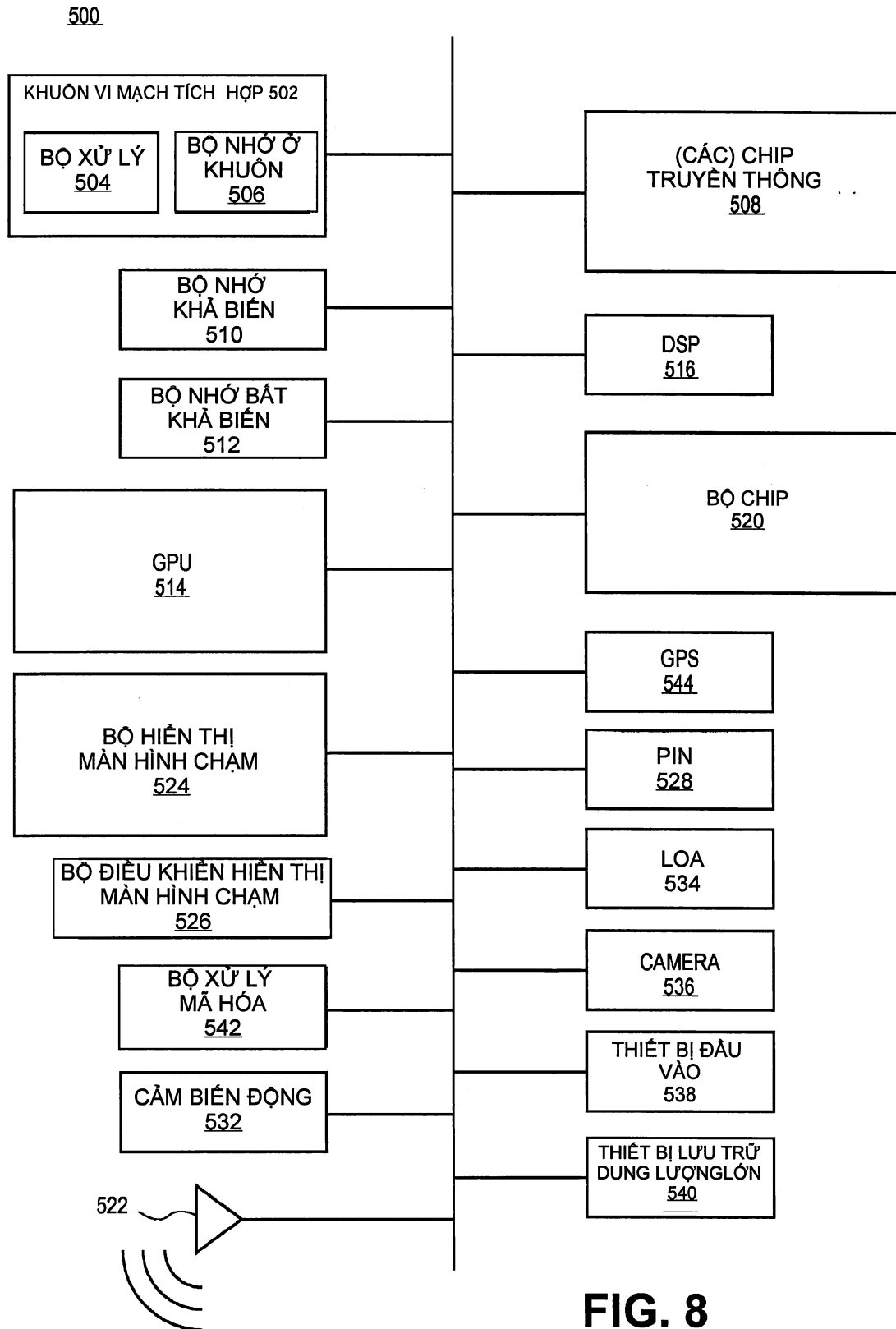


FIG. 8