



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẢNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0024280

(51)⁷ H05K 3/42

(13) B

(21) 1-2015-01567

(22) 20/05/2014

(86) PCT/SE2014/050619 20/05/2014

(87) WO2014/196911 11/12/2014

(30) 61/831,400 05/06/2013 US

(45) 27/07/2020 388

(43) 25/03/2016 336A

(73) TELEFONAKTIEBOLAGET L M ERICSSON (PUBL) (SE)

SE-164 83 Stockholm, Sweden

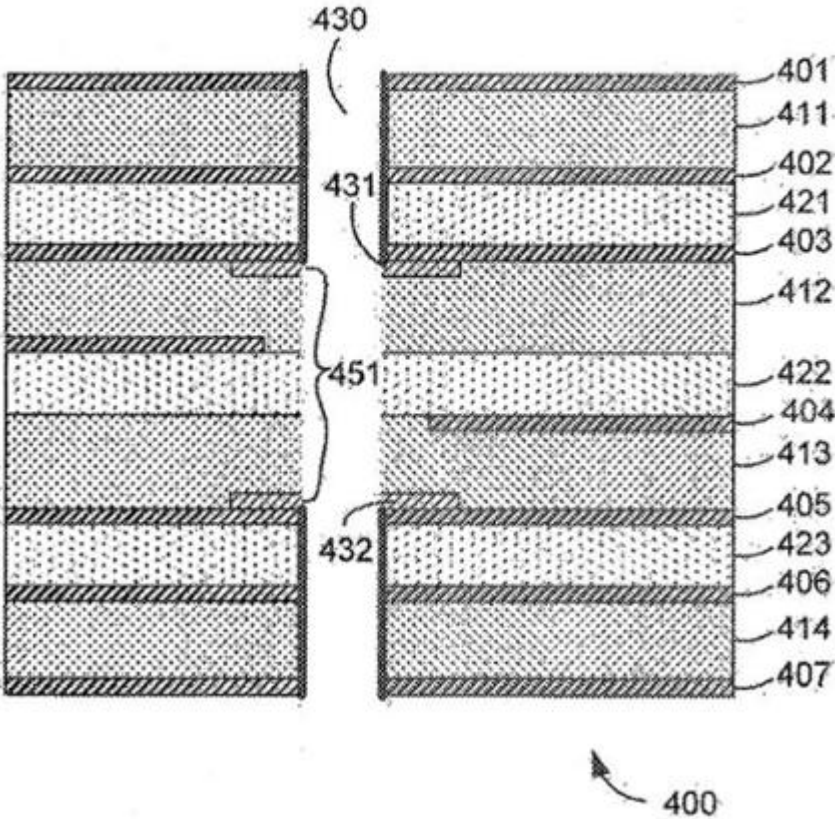
(72) KÄLLMAN, Stig (SE); BERGSTEN, Tomas (SE).

(74) Công ty Luật TNHH T&G (TGVN)

(54) PHƯƠNG PHÁP NGĂN ĐƯỜNG DẪN TRONG BẢNG MẠCH IN NHIỀU LỚP,
THIẾT BỊ ĐỂ THỰC HIỆN PHƯƠNG PHÁP NÀY VÀ BẢNG MẠCH IN NHIỀU
LỚP

(57) Sáng chế đề cập tới phương pháp ngăn đường dẫn trong bảng mạch in (200) một cách có chọn lọc để tạo ra phần cách điện giữa hai phần dẫn điện trong đường dẫn nêu trên. Phương pháp này bao gồm bước, trước khi khoan lỗ cho đường dẫn (240), cán các lớp chống mạ (233, 234) vào bảng mạch in (200) ở khoảng cách cách nhau tương ứng với chiều dài mong muốn của phần được cách điện của đường dẫn. Sau khi khoan, đồng được thêm vào cho các phần được chọn của phần bên trong của đường dẫn (240) trong hai bước xử lý khác nhau tiếp sau bởi bước loại bỏ đồng không cần thiết để tạo ra phần cách điện. Ngoài ra, sáng chế còn đề cập tới thiết bị để thực hiện phương pháp nêu trên và đề cập tới bảng mạch in nhiều lớp.

**Đường dẫn với phần
không được mạ lớn hơn**



Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập tới phương pháp ngăn một cách có chọn lọc các cấu trúc đường dẫn trong các bảng mạch in.

Tình trạng kỹ thuật của sáng chế

Để cho phép tín hiệu di chuyển giữa các lớp dẫn khác nhau trong bảng mạch in nhiều lớp PCB, các cấu trúc đường dẫn được mạ sẽ được sử dụng. Thông thường, việc mạ được thực hiện cho toàn bộ bề mặt bên trong của cửa đường dẫn, nhưng việc mạ cũng có thể được thực hiện một cách chọn lọc tại các phần cụ thể nằm trong cùng một đường dẫn để cho phép sử dụng các lớp dẫn trong PCB hiệu quả hơn.

Các hình Fig.1A và Fig.1B minh họa hai ví dụ của việc ngăn có chọn lọc các cấu trúc đường dẫn đã biết được mô tả trong US 2006/199390 A1.

Fig.1A minh họa PCB nhiều lớp 100 với nhiều lớp dẫn 101-106 được kẹp với nhiều lớp điện môi 111-113, 121-122. Fig.1A cũng minh họa cấu trúc đường dẫn 140 trong PCB 100. Đường dẫn 140 bao gồm hai phần dẫn điện được mạ 141 và 142 và giữa hai phần được mạ là phần cách điện 145.

Fig.1B minh họa PCB nhiều lớp 200 khác với nhiều lớp dẫn 151-156 được kẹp với nhiều lớp điện môi 161-163, 171-172 và cấu trúc đường dẫn 190. Đường dẫn 190 cũng bao gồm hai phần dẫn được mạ 191 và 192 nhưng giữa hai phần được mạ này là phần cách điện 195 lớn hơn phần được thể hiện trên Fig.1A.

Các phần được cách điện 145 và 195 được tạo ra bằng cách sử dụng các lớp chống mạ 143 và 193 có độ dày khác nhau.

Nhược điểm của việc sử dụng lớp chống mạ rất mỏng 143 như trên Fig.1A là khoảng cách giữa hai phần được mạ 141 và 142 có thể là không đủ để đạt được khoảng cách cách ly hiệu lực, đặc biệt là cho các thiết bị điện tử dùng điện thế cao.

Nhược điểm của lớp chống mạ dày 193 như trên Fig.1B là việc quy trình sản xuất sẽ phải tập trung hơn do PCB cần nhiều bước chuẩn bị bổ sung như việc khía rãnh các phần mở trong các lớp điện môi trước khi lớp chống mạ dày 193 có thể được áp dụng.

US 2012/234587 bộc lộ phương án thực hiện của phương pháp ngăn đường dẫn trong mạch in nhiều lớp bao gồm các lớp dẫn và các lớp cách ly để tạo ra phân cách điện giữa hai phần dẫn điện nằm trong đường dẫn (Fig.16). Kích cỡ của phân cách điện trong đường dẫn bị hạn chế vào độ dày của lớp cách ly.

JP 2002 026522, US 2003/121699 và patent Mỹ số US 6,541,712 bộc lộ các phương pháp tương tự, trong đó một lần nữa, kích cỡ của phân cách điện được tạo thành trong đường dẫn bị hạn chế bởi độ dày của lớp chống mạ hoặc lớp cách ly đơn.

Bản chất kỹ thuật của sáng chế

Với tình trạng kỹ thuật nêu trên, mục đích của sáng chế là khắc phục ít nhất một số nhược điểm trong số các nhược điểm nêu trên.

Mục đích nêu trên có thể đạt được bởi phương pháp cải tiến để ngăn cấu trúc đường dẫn bằng cách sử dụng hai lớp chống mạ trong PCB được tách biệt bởi ít nhất một lớp điện môi để tạo ra phân cách điện của cấu trúc đường dẫn giữa hai phần dẫn điện của cấu trúc đường dẫn nêu trên.

Một ưu điểm của việc sử dụng phương pháp cải tiến này là chỉ một hoạt động khoan là cần thiết khi khoan các lỗ cho đường dẫn. Không cần phải có việc khoan từ đằng sau, bị cản mạnh hoặc các phần cản liên tiếp với việc khoan tách biệt cho mỗi cấu hình liên tiếp.

Ưu điểm khác là việc sử dụng hai (hoặc hơn hai) lớp chống mạ có kích cỡ tùy ý của các phần dẫn và các phần cách ly/không dẫn của đường dẫn có thể được tạo ra cho phép có nhiều thiết kế mạch linh hoạt.

Phương pháp cho phép tạo ra các phần không dẫn có các kích cỡ khác nhau trong đường dẫn sử dụng cùng một loại và cùng một độ dày của các lớp chống mạ. Điều này còn có ưu điểm là làm đơn giản hóa quy trình sản xuất và không cần phải giữ các lớp chống mạ với độ dày khác nhau trong kho.

Các phương án thực hiện sáng chế sẽ được mô tả chi tiết hơn với các phương án thực hiện được ưu tiên và có viện dẫn đến các hình vẽ kèm theo.

Mô tả vắn tắt các hình vẽ

Các hình Fig.1A và Fig.1B là các giản đồ khối minh họa các cấu trúc đường dẫn được ngăn.

Các hình Fig.2A, Fig.2B và Fig.3 là các giản đồ khối minh họa PCB và các bước của phương pháp để tạo ra cấu trúc đường dẫn được cải tiến nằm trong PCB nêu trên.

Các hình Fig.4 và Fig.5 là các giản đồ khối minh họa các phương án thực hiện khác của các cấu trúc đường dẫn được cải tiến.

Fig.6 là lưu đồ minh họa các bước của phương pháp để tạo ra các cấu trúc đường dẫn được cải tiến.

Mô tả chi tiết sáng chế

Phương án thực hiện của phương pháp để tạo ra cấu trúc đường dẫn được cải tiến được minh họa trên các hình Fig.2A, Fig.2B, Fig.3 và Fig.6. Fig.2A minh họa bốn bước của phương pháp được áp dụng trên một và cùng một PCB 200. PCB 200 có nhiều lớp dẫn (thường là các lớp đồng) 201-208 và kẹp giữa các lớp đồng 201-208 là các lớp điện môi làm các lớp tấm trước 211-214 và các lớp cán 221-223 một cách tương ứng. Tấm trước là viết tắt của việc được ngâm tấm từ trước là phần dệt sợi được ngâm tấm tác nhân gắn kết nhựa.

Trước khi cán, các đảo (island) của ít nhất hai lớp chống mạ 231-234 được thêm vào tại các vị trí định trước trên các lớp đồng 203-206 trên các phần cán 221-223 trong bước 1 (như được thể hiện trên Fig.6).

Lớp chống mạ cũng có thể được thêm vào một cách trực tiếp trên phần cán (không được thể hiện trên Fig.2A). Trong quy trình cán, các đảo của các lớp chống mạ được nhúng trong các lớp tẩm trước 212 và 213 như có thể thấy trong bước 2 (như được thể hiện trên Fig.6). Trong bước 3 (như được thể hiện trên Fig.6) lỗ xuyên 240 được khoan trong PCB 200 qua các lớp đồng 201-208 và các lớp chống mạ 231-234. Trong bước 4 (như được thể hiện trên Fig.6), và trước khi mạ, lớp mỏng 251 của đồng hóa học, được thêm vào bên trong của lỗ xuyên 240 bằng cách đặt PCB 200 là bề xúc tác tạo mầm. Lớp mỏng 251 này gắn vào tất cả các phần bên trong của lỗ xuyên 240 ngoại trừ các lớp chống mạ 231-234 như có thể thấy trong các vị trí 252 và 253 trên Fig.2B. Trong bước 5 (như được thể hiện trên Fig.3 và Fig.6) PCB được đặt trong bể mạ đồng điện phân. Do phần 254 của lớp mỏng 251 của đồng hóa học được định vị giữa hai lớp chống mạ 231 và 232 và phần 255 được định vị ở giữa nên hai lớp chống mạ 233 và 234 được cách điện với các lớp dẫn khác không có đồng được mạ trên các phần này trong suốt quá trình mạ điện phân. Sau khi mạ đồng của lỗ xuyên 240, lớp đồng mỏng còn lại trên các phần 254 và 255 được loại bỏ bằng cách sử dụng việc khắc micro (hoặc hoạt động xử lý sau tương đương khác). Cấu trúc đường dẫn được tạo thành có thể được thấy trong bước 6 (như được thể hiện trên Fig.6) với ba phần dẫn 301-303 và hai phần không dẫn 254 và 255 trong đó, các phần không dẫn 254 và 255 có khoảng cách cách ly lớn hơn một cách đáng kể so với khi chỉ sử dụng một lớp chống mạ mỏng.

Theo phương án thực hiện được minh họa trên các hình Fig.2A, Fig.2B và Fig.3 các lớp chống mạ 231 và 232 được nhúng vào trong cùng một lớp tẩm trước 212. Phương pháp được cải tiến không bị hạn chế vào cấu hình này. Fig.4 minh họa phương án thực hiện của PCB 400 có nhiều lớp đồng 401-407 và các lớp điện môi 411-413 và 421-423. Trong PCB 400, các lớp chống mạ 431 và 432 được nhúng trong các lớp tẩm trước 412 và 413 khác nhau, tách khỏi nhau và trong đó, phần không dẫn 451 trở nên lớn hơn.

Phương pháp được cải tiến không bị hạn chế vào việc tạo các đường dẫn xuyên qua lỗ mà còn có thể được áp dụng cho các đường dẫn mù hoặc các đường dẫn với các đường kính khác nhau nằm trong cùng một cấu trúc đường dẫn. Ví dụ của các trường hợp sau được minh họa trên Fig.5. Trên Fig.5, cấu trúc đường dẫn trong PCB 500 được chia thành hai phần đường dẫn 530, 535 với các đường kính khác nhau. Phần đường dẫn hẹp hơn 530 được cách điện với phần đường dẫn rộng hơn 535 bằng cách sử dụng hai lớp chống mạ 541,542 theo cùng một cách như được mô tả. Phần đường dẫn rộng hơn 535 được tạo ra bởi bước bổ sung của việc khoan ở mặt sau với lỗ khoan lớn hơn trước bề xúc tác tạo mầm trong bước 4. Phần được mạ được tạo thành 546 của phần đường dẫn rộng hơn 535, ví dụ, có thể được sử dụng để gắn các thành phần vào PCB 500. Khi phần được mạ 545 của phần đường dẫn hẹp hơn 530 được cách ly với phần được mạ 546 của phần đường dẫn rộng hơn 535, nó có thể được sử dụng để dẫn dòng điện giữa các lớp dẫn khác nhau trong PCB 500.

Các phương án thực hiện có thể được áp dụng trong thiết bị còn bao gồm ít nhất một bộ vi xử lý, vật ghi đọc được bởi máy tính gồm các lệnh đọc được bởi máy tính, mà khi được thực thi bởi ít nhất một bộ vi xử lý, được định cấu hình để điều khiển thiết bị lắp ráp để thực hiện các phương pháp được mô tả ở đây. Các phương án thực hiện cũng có thể được áp dụng trong mạch điện tử số, trong phần cứng máy tính, phần sụn, phần mềm hoặc trong tổ hợp của chúng. Các thiết bị lưu trữ thích hợp cho việc áp dụng các lệnh chương trình máy tính bao gồm các tín hiệu có khả năng lập trình hệ thống xử lý dữ liệu, tất cả ở dạng của bộ nhớ bất khả biến gồm, nhưng không giới hạn ở: các thiết bị nhớ bán dẫn như EPROM, EEPROM, và các thiết bị tác động nhanh; các đĩa từ tính (đĩa cố định, đĩa mềm, và đĩa tháo bỏ được); vật ghi từ tính khác như băng từ, vật ghi quang học như CD-ROM, DVD-ROM, và các đĩa Blu-ray; và các thiết bị từ-quang. Phần bất kỳ trong số các phần nêu trên có thể được hỗ trợ bởi, hoặc được tích hợp trong, các mạch tích hợp ứng dụng cụ thể (application-specific integrated circuits - ASIC) được thiết kế riêng hoặc các mảng cổng lập trình được bằng trường (field programmable gate array - FPGA) được lập trình một cách thích hợp.

YÊU CẦU BẢO HỘ

1. Phương pháp ngăn đường dẫn trong bảng mạch in nhiều lớp (200) để tạo ra phần cách điện giữa hai phần dẫn điện trong đường dẫn nêu trên, phương pháp này bao gồm các bước:

- đặt (1) ít nhất một đảo (island) của lớp chống mạ thứ nhất (233) trên cấu trúc được tạo lớp thứ nhất bao gồm lớp dẫn thứ nhất (205) và lớp điện môi thứ nhất (222), và đặt (1) ít nhất một đảo của lớp chống mạ thứ hai (234) trên cấu trúc được tạo lớp thứ hai bao gồm lớp dẫn thứ hai (206) và lớp điện môi thứ hai (223);

- cán (2) các cấu trúc được tạo lớp thứ nhất và thứ hai với cấu trúc được tạo lớp trung gian thứ ba bao gồm ít nhất một lớp điện môi thứ ba (213) được làm thích ứng sao cho các đảo của các lớp chống mạ thứ nhất và thứ hai (233, 234) trở nên được nhúng trong ít nhất một lớp điện môi thứ ba (213);

- khoan (3) lỗ thứ nhất (240) trong bảng mạch in (200) sao cho lỗ thứ nhất (240) đi qua các đảo của lớp chống mạ thứ nhất và thứ hai (233, 234);

- đặt (4) bảng mạch in (200) nêu trên trong bể xúc tác tạo mầm đồng sao cho đồng được đặt trên phần bên trong của lỗ thứ nhất (240) ngoại trừ các phần (252, 253) có lớp chống mạ (233, 234);

- đặt (5) bảng mạch in (200) trong bể mạ đồng điện phân trong đó đồng được đặt trên ít nhất một phần lớp điện môi thứ ba (255) của lỗ thứ nhất (240) được cách điện với các lớp dẫn thứ nhất và thứ hai (205, 206) sao cho đồng bổ sung được đặt trên phần bên trong của lỗ thứ nhất (240) ngoại trừ các phần (252, 253) của các lớp chống mạ thứ nhất và thứ hai (233, 234) và ngoại trừ phần (255) của ít nhất một lớp điện môi thứ ba (213); và

- loại bỏ (6) đồng được đặt trên ít nhất một phần lớp điện môi thứ ba (255) của lỗ thứ nhất (240).

2. Phương pháp theo điểm 1, trong đó bước xử lý thứ ba để loại bỏ đồng từ ít nhất một phần lớp điện môi thứ ba (255) của lỗ thứ nhất (240) được thực hiện bằng cách khắc micrô.
3. Phương pháp theo điểm bất kỳ trong số các điểm nêu trên, trong đó ít nhất một lớp điện môi thứ ba (213) được làm từ phần dệt sợi được ngâm tẩm được làm thích ứng để nhúng các đảo của các lớp chống mạ thứ nhất và thứ hai (233, 234).
4. Phương pháp theo điểm bất kỳ trong số các điểm nêu trên, trong đó lỗ thứ nhất (240) thâm nhập một phần vào bảng mạch in (200).
5. Phương pháp theo điểm bất kỳ trong số các điểm từ 1 đến 3, trong đó lỗ thứ nhất (240) là lỗ xuyên, xuyên qua bảng mạch in (200).
6. Phương pháp theo điểm 5, trong đó bước khoan (3) lỗ thứ nhất bao gồm bước khoan bổ sung với lỗ khoan lớn hơn từ phía đối diện của bảng mạch in (500) để tạo ra hai phần (530, 535) của đường dẫn với các đường kính khác nhau và tại đó hai phần đường dẫn (530, 535) gặp nhau ở vị trí giữa các lớp chống mạ thứ nhất và thứ hai (541, 542).
7. Thiết bị thực hiện phương pháp ngăn đường dẫn trong bảng mạch in nhiều lớp, thiết bị này bao gồm ít nhất một bộ vi xử lý và vật ghi đọc được bởi máy tính chứa các lệnh đọc được bởi máy tính, mà khi được thực thi bởi ít nhất một bộ vi xử lý, được định cấu hình để điều khiển thiết bị lắp ráp để thực hiện các bước của phương pháp được mô tả theo điểm bất kỳ trong số các điểm nêu trên.
8. Bảng mạch in nhiều lớp (200) với ít nhất một đường dẫn (240) có phân cách điện giữa hai phần dẫn điện trong đường dẫn nêu trên (240) và tại đó ít nhất một đường dẫn nêu trên được tạo ra theo các bước của phương pháp được mô tả theo điểm bất kỳ trong số các điểm từ 1 đến 6.

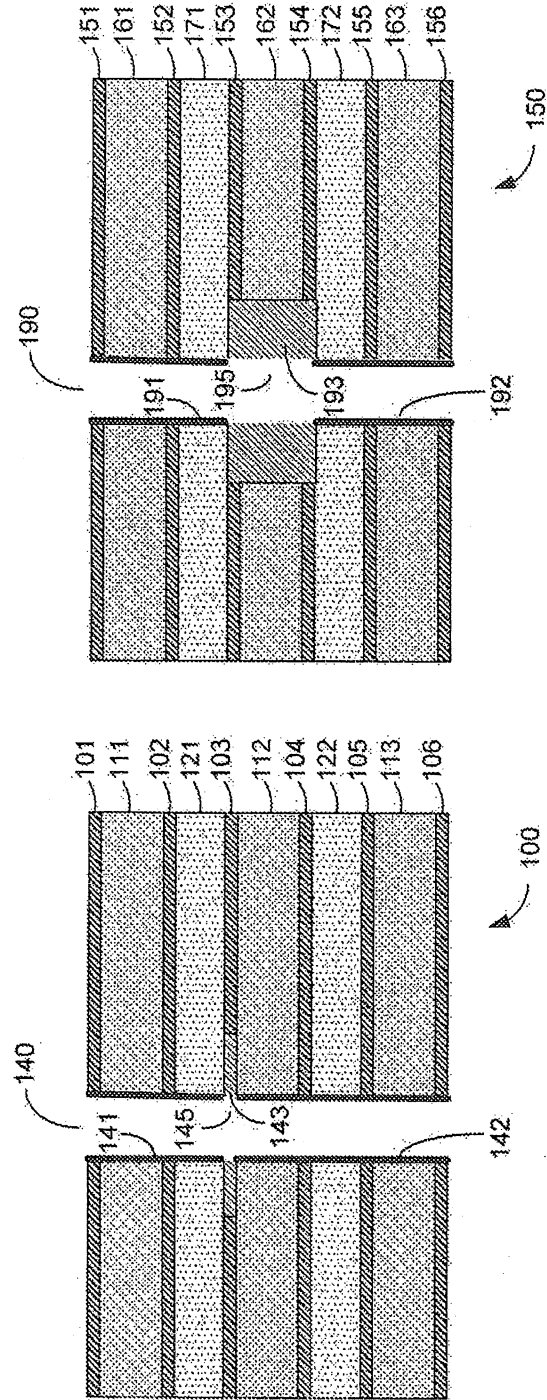


Fig.1B

Fig.1A

Tình trạng kỹ thuật

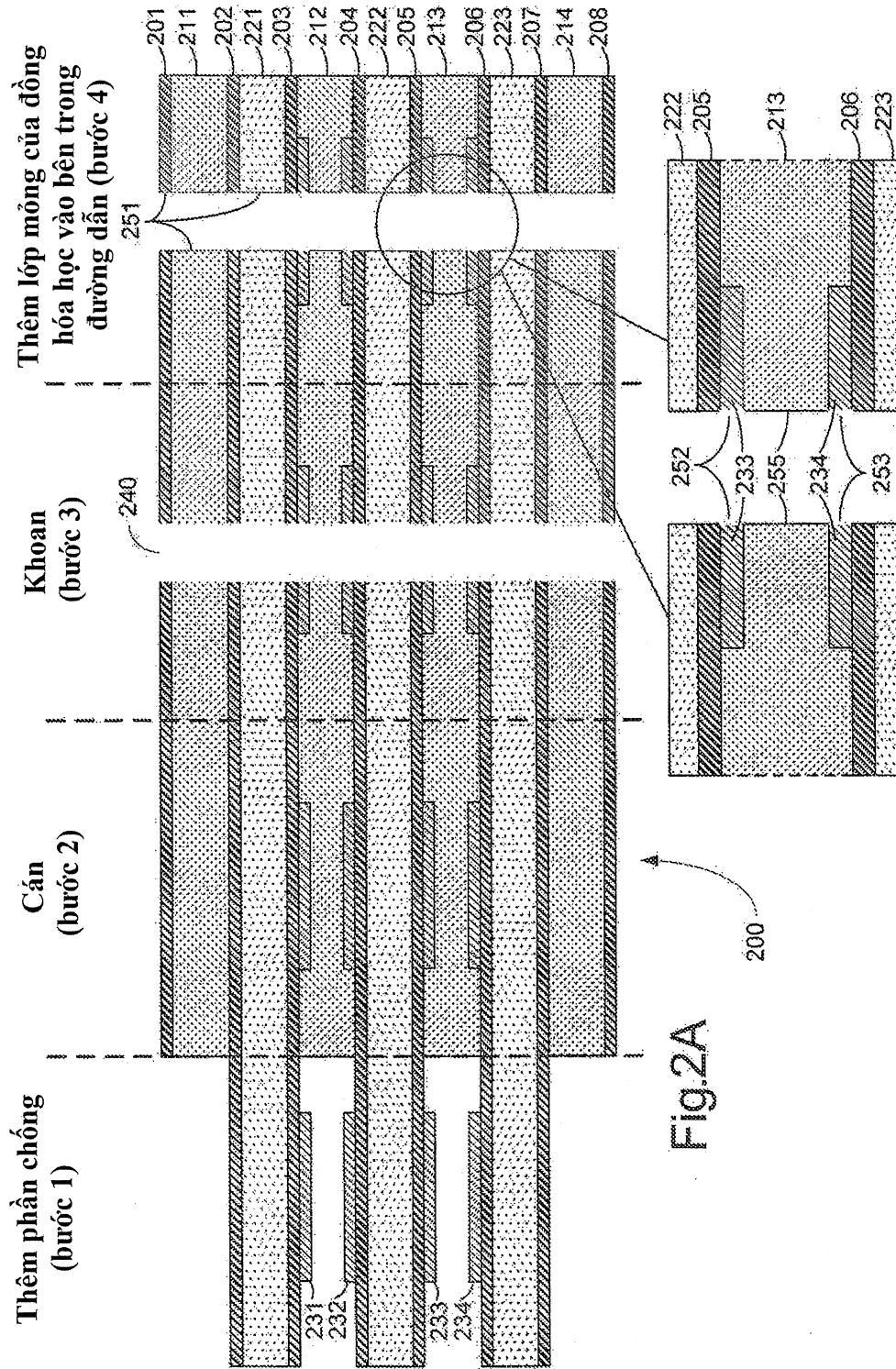


Fig.2B

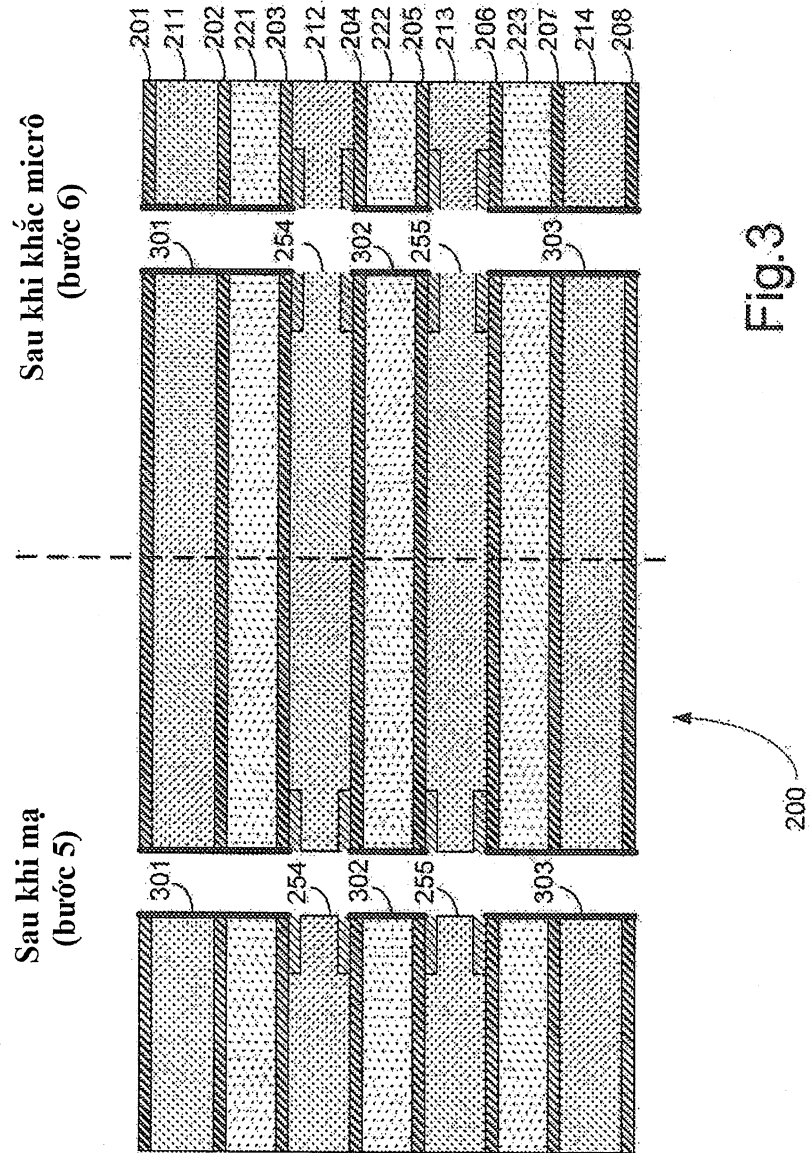


Fig.3

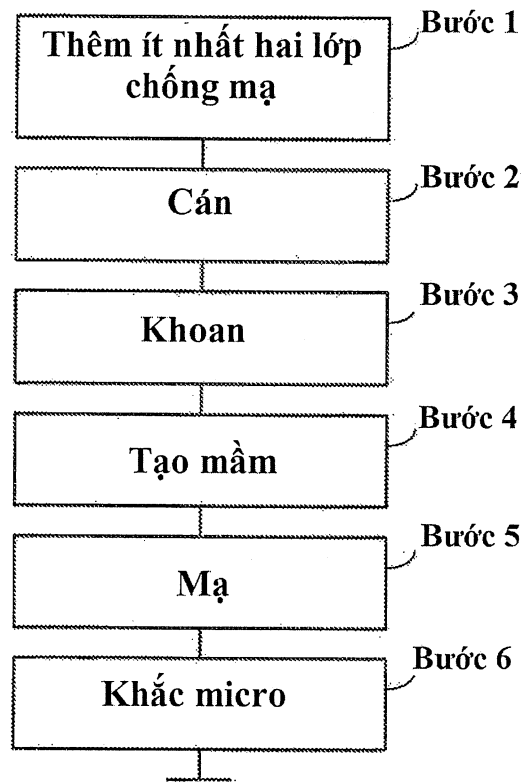


Fig.6