



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẢNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0023818

(51)⁷

H04L 12/28

(13) B

(21) 1-2014-02827

(22) 01/05/2012

(86) PCT/JP2012/061580 01/05/2012

(87) WO2013/164887A1 07/11/2013

(45) 25/05/2020 386

(43) 27/10/2014 319A

(73) FUJI ELECTRIC CO., LTD. (JP)

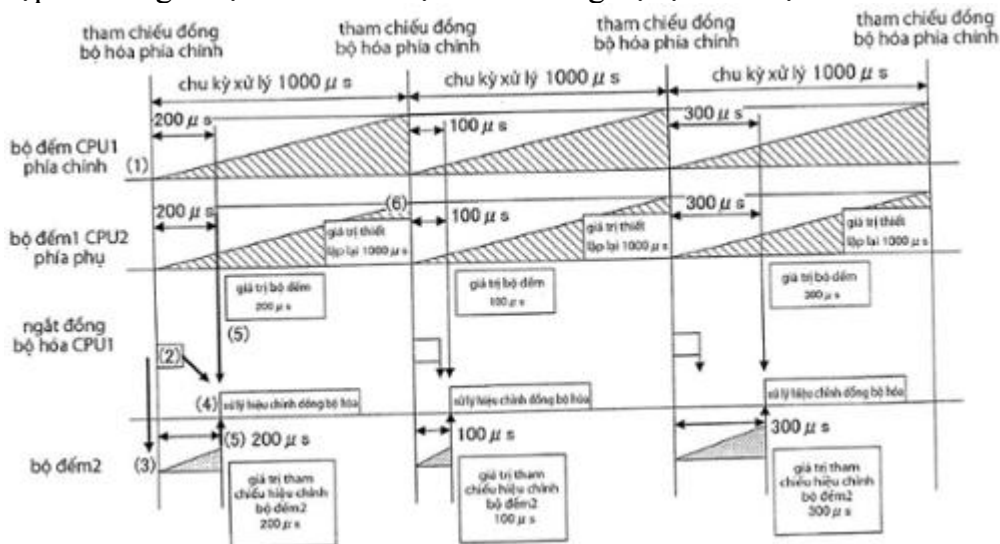
1-1, Tanabeshinden, Kawasaki-ku, Kawasaki-shi, Kanagawa 210-9530, Japan

(72) MITSUI, Takashi (JP)

(74) Công ty TNHH một thành viên Sở hữu trí tuệ VCCI (VCCI-IP CO.,LTD)

(54) HỆ THỐNG ĐỒNG BỘ HÓA TÍN HIỆU, BỘ ĐA XỬ LÝ VÀ HỆ THỐNG ĐỒNG BỘ HÓA NÚT

(57) Sáng chế đề cập đến hệ thống đồng bộ hóa tín hiệu, bộ đa xử lý, và hệ thống đồng bộ hóa nút trong đó giá trị tham chiếu được thiết lập, và tín hiệu tham chiếu thứ nhất và tín hiệu tham chiếu thứ hai được tạo ra bởi bộ tạo tín hiệu tham chiếu thứ nhất và bộ tạo tín hiệu tham chiếu thứ hai khi các giá trị đếm tương ứng của chúng đạt đến giá trị tham chiếu. Việc xử lý định trước được thực hiện nhờ nhận tín hiệu tham chiếu thứ nhất được tạo ra. Việc xử lý khởi động lại được thực hiện nhờ nhận tín hiệu tham chiếu thứ nhất. Thời gian gián tiếp từ thời điểm khởi động lại đến thời điểm bắt đầu việc xử lý định trước được đo. Giá trị đếm tại thời điểm bắt đầu việc xử lý định trước được thu nhận sau khi thời gian gián tiếp trôi qua. Khi giá trị đếm thu nhận được là khác với giá trị thời gian gián tiếp, thì tín hiệu tham chiếu thứ nhất và tín hiệu tham chiếu thứ hai được xác định là không đồng bộ. Giá trị hiệu chỉnh đồng bộ hóa đặt được bằng cách trừ giá trị đếm từ giá trị thời gian gián tiếp. Giá trị đặt được bằng cách trừ giá trị hiệu chỉnh đồng bộ hóa từ giá trị tham chiếu được thiết lập như là giá trị tham chiếu tạm thời trong bộ tạo tín hiệu tham chiếu thứ hai.



Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập đến hệ thống đồng bộ hóa tín hiệu, bộ đa xử lý, và hệ thống đồng bộ hóa nút để đồng bộ hóa tín hiệu định trước.

Tình trạng kỹ thuật của sáng chế

Để điều tiết việc xử lý quy mô lớn, làm tăng tốc độ xử lý, và phân phối phụ tải xử lý nhờ thực hiện chương trình định trước sử dụng bộ xử lý, ví dụ, các hệ thống đa xử lý đã biết được tạo cấu hình để thực hiện việc xử lý sử dụng nhiều bộ xử lý. Trong các bộ đa xử lý, các bộ đếm (các bộ định thời) của nhiều bộ xử lý được đồng bộ hóa bằng cách phát ra tín hiệu ngắt từ bộ xử lý chủ động đến bộ xử lý thụ động sao cho bộ đếm của bộ xử lý thụ động có thể được đồng bộ hóa với bộ đếm của bộ xử lý chủ động.

Trong các mạng công nghiệp như mạng truyền điều khiển nhà máy, các thiết bị có trong hệ thống được yêu cầu phải trao đổi các lượng dữ liệu lớn với nhau trong khi phải đảm bảo đặc tính thời gian thực. Trong trường hợp thực hiện truy cập lẫn nhau như là sự kiện đáp lại yêu cầu truy cập bởi ứng dụng được cài đặt trong mỗi thiết bị, ví dụ, phụ tải mạng có thể phụ thuộc vào ứng dụng sao cho đặc tính thời gian thực có thể không được đảm bảo.

Về khía cạnh này, kỹ thuật đã biết liên quan đến việc tạo ra bộ nhớ dùng chung ảo (bộ nhớ chung) trong mỗi thiết bị và có mỗi nút truyền dữ liệu nút của chính nó đến tất cả các nút (các trạm) trên mạng vào các thời điểm cập nhật nhất định. Trong trường hợp sử dụng kỹ thuật như vậy, hệ thống trao đổi dữ liệu đảm bảo đặc tính thời gian thực có thể được thực hiện bởi có mỗi nút mà nhận dữ liệu cập nhật để cập nhật dữ liệu của chính nó và truy nhập ứng dụng. Ngoài ra, kỹ thuật đã biết để đạt được việc truyền thông phát rộng hiệu quả trên mạng khi thực hiện việc trao đổi dữ liệu trên đây (xem ví dụ tài liệu sáng

chế 1).

Kỹ thuật được mô tả trong tài liệu sáng chế 1 liên quan đến việc thực hiện kết hợp hệ thống truy nhập đa phân chia thời gian dựa trên bộ định thời có sẵn bên trong của mỗi nút và việc hiệu chỉnh bộ định thời có sẵn bên trong của nút thụ động dựa trên khung đồng bộ hóa từ nút chủ động. Hơn nữa, theo kỹ thuật được mô tả trong tài liệu sáng chế 1, mạng được tạo cấu hình bằng cách nối đường truyền bằng cáp hoặc bus nối tiếp.

Tài liệu sáng chế 1: Công bố đơn yêu cầu cấp bằng sáng chế Nhật Bản số 2005-159754

Vấn đề cần giải quyết

Cần lưu ý rằng trong việc xử lý đồng bộ hóa bộ đếm giữa bộ xử lý chủ động và bộ xử lý thụ động, ví dụ, bộ xử lý chủ động tốt hơn là được tạo cấu hình để thiết lập lại một cách trực tiếp bộ đếm của bộ xử lý thụ động (bằng cách thao tác phần cứng). Tuy nhiên, bộ đếm được sử dụng làm tham chiếu để thực hiện nhiều việc xử lý chương trình bên trong, và như vậy, các vấn đề có thể nảy sinh đối với các việc xử lý khác nhau khi bộ đếm được ghi lại tùy ý từ bên ngoài. Hơn nữa, trong trường hợp bộ đếm được tích hợp trong CPU (Central Bộ xử lý – Bộ xử lý trung tâm) của bộ xử lý thụ động, ví dụ, bộ xử lý chủ động sẽ không thể thiết lập lại một cách trực tiếp bộ đếm của bộ xử lý thụ động. Do đó, trong việc xử lý thiết lập lại thông thường, bộ xử lý chủ động gửi tín hiệu ngắt đến bộ xử lý thụ động, và bộ xử lý thụ động nhận tín hiệu ngắt và thiết lập lại bộ đếm một cách gián tiếp (bằng các thao tác phần mềm) nhờ sử dụng phần mềm định trước.

Trong trường hợp như vậy, thời gian trễ xảy ra ở bộ xử lý thụ động do thời gian gián tiếp từ thời điểm bộ xử lý thụ động nhận tín hiệu ngắt từ bộ xử lý chủ động cho đến khi nó thực hiện việc xử lý thiết lập lại trên chính bộ đếm của nó theo tín hiệu ngắt. Do đó, thậm chí nếu việc xử lý thiết lập lại được thực hiện, thì các lỗi đồng bộ hóa bộ đếm giữa bộ xử lý chủ động và bộ xử lý thụ động vẫn có thể xảy ra.

Đối với việc thực hiện đồng bộ hóa bộ đếm giữa các nút có quan hệ chủ động-thụ

động liên mạng, ví dụ, kỹ thuật liên quan đến việc nhận khung đồng bộ hóa và xóa bộ định thời có thể được thực hiện. Tuy nhiên, như được mô tả trên đây, khi bộ đếm bị xóa qua vi chương trình sau khi nhận khung đồng bộ hóa, các lỗi có thể xảy ra trong bộ đếm do thời gian trễ được gây ra bởi thời gian gián tiếp từ sự can thiệp như vậy của vi chương trình chẳng hạn.

Vì vậy, trong kỹ thuật đồng bộ hóa thông thường nhờ sử dụng khung đồng bộ hóa, nếu vi chương trình của vi điều khiển được sử dụng để hiệu chỉnh phép đo thời gian đồng bộ hóa giữa nút chủ động và nút thụ động, thì các lỗi có thể xảy ra do thời gian xử lý của máy vi tính.

Bản chất kỹ thuật của sáng chế

Để giải quyết các vấn đề nêu trên, một khía cạnh của sáng chế đề cập đến việc tạo ra hệ thống đồng bộ hóa tín hiệu, bộ đa xử lý, và hệ thống đồng bộ hóa nút để đồng bộ hóa tín hiệu định trước với độ chính xác cao.

Giải quyết vấn đề

Theo một phương án của sáng chế, hệ thống đồng bộ hóa tín hiệu được đề xuất bao gồm bộ tạo tín hiệu tham chiếu thứ nhất được tạo cấu hình để có giá trị tham chiếu thiết lập và tạo ra tín hiệu tham chiếu thứ nhất khi giá trị đếm đạt đến giá trị tham chiếu, bộ tạo tín hiệu tham chiếu thứ hai được tạo cấu hình để có giá trị tham chiếu thiết lập và tạo ra tín hiệu tham chiếu thứ hai khi giá trị đếm đạt đến giá trị tham chiếu, và bộ xử lý được tạo cấu hình để nhận tín hiệu tham chiếu thứ nhất được tạo ra bởi bộ tạo tín hiệu tham chiếu thứ nhất và thực hiện việc xử lý định trước. Hệ thống đồng bộ hóa tín hiệu còn bao gồm bộ đo thời gian gián tiếp được tạo cấu hình để khởi động lại nhờ nhận tín hiệu tham chiếu thứ nhất và đo thời gian gián tiếp từ khi khởi động lại như là điểm bắt đầu cho đến khi việc xử lý định trước được thực hiện, bộ thu nhận giá trị đếm được tạo cấu hình để thu nhận giá trị đếm của bộ tạo tín hiệu tham chiếu thứ hai vào thời điểm việc

xử lý định trước sẽ được thực hiện sau khi thời gian gián tiếp trôi qua, và bộ xác định đồng bộ hóa được tạo cấu hình để xác định rằng tín hiệu tham chiếu thứ nhất và tín hiệu tham chiếu thứ hai là không đồng bộ khi giá trị đếm thu nhận được bởi bộ thu nhận giá trị đếm và giá trị thời gian gián tiếp của thời gian gián tiếp là khác nhau. Hệ thống đồng bộ hóa tín hiệu còn bao gồm bộ hiệu chỉnh đồng bộ hóa được tạo cấu hình để đạt được giá trị hiệu chỉnh đồng bộ hóa bằng cách trừ giá trị đếm thu nhận được bởi bộ thu nhận giá trị đếm từ giá trị thời gian gián tiếp, trừ giá trị hiệu chỉnh đồng bộ hóa đạt được từ giá trị tham chiếu, và thiết lập giá trị được trừ trong bộ tạo tín hiệu tham chiếu thứ hai như là giá trị tham chiếu tạm thời khi bộ xác định đồng bộ hóa xác định rằng tín hiệu tham chiếu thứ nhất và tín hiệu tham chiếu thứ hai là không đồng bộ.

Cần lưu ý rằng các phương án của sáng chế bao gồm các cách ứng dụng của một hoặc nhiều thành phần của sáng chế hoặc bất kỳ sự kết hợp nào của chúng vào phương pháp, thiết bị, hệ thống, chương trình máy tính, vật ghi, và cấu trúc dữ liệu chẳng hạn.

Hiệu quả của sáng chế

Theo một khía cạnh của sáng chế, tín hiệu định trước có thể được đồng bộ hóa với độ chính xác cao.

Mô tả vắn các hình vẽ

Fig.1 minh họa cấu hình tổng thể của hệ thống đồng bộ hóa tín hiệu theo phương án thứ nhất của sáng chế;

Fig.2 minh họa cấu hình phần cứng của bộ xử lý;

Fig.3 là đồ thị thời gian minh họa một ví dụ về đồng bộ hóa bộ đếm theo phương án thứ nhất;

Fig.4 là đồ thị thời gian minh họa một ví dụ khác về đồng bộ hóa bộ đếm theo phương án thứ nhất;

Fig.5 là đồ thị thời gian minh họa một ví dụ khác về đồng bộ hóa bộ đếm theo phương án thứ nhất;

Fig.6 là sơ đồ trình tự minh họa giảm lược việc xử lý đồng bộ hóa bộ đếm;

Fig.7 minh họa cấu hình tổng thể của hệ thống đồng bộ hóa nút theo phương án thứ hai của sáng chế;

Fig.8 là đồ thị thời gian minh họa một ví dụ về đồng bộ hóa bộ đếm theo phương án thứ hai;

Fig.9 là đồ thị thời gian minh họa một ví dụ khác về đồng bộ hóa bộ đếm theo phương án thứ hai;

Fig.10 là đồ thị thời gian minh họa một ví dụ khác về đồng bộ hóa bộ đếm theo phương án thứ hai;

Fig.11 minh họa các thủ tục thông báo ví dụ để thông báo thời gian trễ truyền theo phương án thứ hai;

Fig.12 minh họa cấu hình tổng thể của hệ thống truyền mạng bao gồm hệ thống đồng bộ hóa nút sử dụng nút chủ động và nút thụ động theo phương án thứ hai; và

Fig.13 là sơ đồ trình tự minh họa giảm lược việc xử lý đồng bộ hóa nút.

Mô tả chi tiết sáng chế

Các khía cạnh của sáng chế

Theo một khía cạnh của sáng chế, ví dụ, khi thực hiện đồng bộ hóa bộ đếm (bộ định thời) giữa các thiết bị có quan hệ chủ động-thụ động, giá trị thời gian gián tiếp của thiết bị thụ động đạt được đáp lại tín hiệu ngắt (tín hiệu thiết lập lại bộ đếm) từ thiết bị chủ động. Theo một khía cạnh nữa của sáng chế, việc xác định đồng bộ/không đồng bộ được thực hiện dựa trên giá trị thời gian gián tiếp đạt được và giá trị bộ đếm của thiết bị thụ động, và việc xử lý hiệu chỉnh đồng bộ hóa được thực hiện khi việc xác định không đồng

bộ được thực hiện.

Ngoài ra, theo một khía cạnh của sáng chế, trong trường hợp các thiết bị có quan hệ chủ động-thụ động tương ứng với nút chủ động và nút thụ động, việc xác định đồng bộ/không đồng bộ được thực hiện cũng xét đến thời gian trễ của đường truyền thông (thời gian trễ truyền), và việc xử lý hiệu chỉnh đồng bộ hóa được thực hiện khi việc xác định không đồng bộ được thực hiện.

Trong phần sau đây, các phương án minh họa cụ thể của hệ thống đồng bộ hóa tín hiệu, bộ đa xử lý, và hệ thống đồng bộ hóa nút theo sáng chế được mô tả có dựa vào các hình vẽ kèm theo.

<Phương án thứ nhất>

<Hệ thống đồng bộ hóa tín hiệu: Cấu hình tổng thể>

Fig.1 minh họa cấu hình tổng thể lấy làm ví dụ của hệ thống đồng bộ hóa tín hiệu theo phương án thứ nhất của sáng chế. Hệ thống đồng bộ hóa tín hiệu 10 lấy làm ví dụ được minh họa trên Fig.1 tương ứng với bộ đa xử lý để thực hiện đồng bộ hóa bộ đếm giữa nhiều bộ xử lý (các bộ xử lý từ 11-1 đến 11-3 trong ví dụ trên Fig.1).

Hệ thống đồng bộ hóa tín hiệu 10 được minh họa trên Fig.1 bao gồm các bộ xử lý từ 11-1 đến 11-3 (dưới đây cũng được gọi là “bộ xử lý 11”), bus truyền 12, các môđun I/O (vào/ra) từ 13-1 đến 13-4 (dưới đây cũng được gọi là “môđun I/O 13”), các thiết bị bên ngoài từ 14-1 đến 14-4 (dưới đây cũng được gọi là “thiết bị bên ngoài 14”), và thiết bị lập trình 15. Trong ví dụ trên Fig.1, để dễ giải thích, giả sử rằng bộ xử lý 11-1 tương ứng với bộ xử lý chủ động (chính), và các bộ xử lý 11-2 và 11-3 tương ứng với các bộ xử lý thụ động (phụ); tuy nhiên, số lượng bộ xử lý thụ động và các cách bố trí khác không bị giới hạn ở ví dụ này.

Cần lưu ý rằng các cấu hình của các bộ xử lý theo sáng chế không bị giới hạn ở ví dụ minh họa, và trong một số phương án, các bộ xử lý có thể có cấu hình giống nhau và

mỗi bộ xử lý có thể đóng vai trò là bộ xử lý chủ động hoặc bộ xử lý thụ động chẳng hạn. Ngoài ra, các bộ xử lý 11 được nối bởi bus truyền 12. Cần lưu ý rằng, trong phương án thứ nhất, giả sử rằng bus truyền 12 không gây ra thời gian trễ.

Bộ xử lý chính 11-1 bao gồm bộ xử lý thứ nhất (CPU) 21 và bộ phận lưu trữ 22. Trong ví dụ trên Fig.1, bộ tạo tín hiệu tham chiếu thứ nhất 21-1 được tích hợp trong bộ xử lý thứ nhất 21. Tuy nhiên, sáng chế không bị giới hạn ở ví dụ này, và trong các ví dụ khác, bộ tạo tín hiệu tham chiếu thứ nhất 21-1 và bộ xử lý thứ nhất 21 có thể được tạo cấu hình như là các khối tách biệt. Cần lưu ý rằng được tích hợp vào CPU có thể có nghĩa là, ví dụ, chỉ bộ xử lý thứ nhất 21 có thể truy nhập bộ tạo tín hiệu tham chiếu thứ nhất 21-1.

Các bộ xử lý thụ động 11-2 và 11-3, mỗi bộ có bộ xử lý thứ hai (CPU) 31, bộ phận xử lý hiệu chỉnh đồng bộ hóa 32, và bộ phận lưu trữ 33. Trong ví dụ trên Fig.1, bộ tạo tín hiệu tham chiếu thứ hai 31-1 được tích hợp trong bộ xử lý thứ hai 31. Tuy nhiên, sáng chế không bị giới hạn ở ví dụ này, và trong các ví dụ khác, bộ xử lý thứ hai 31 và bộ tạo tín hiệu tham chiếu thứ hai 31-1 có thể được tạo cấu hình như là các khối tách biệt. Hơn nữa, bộ phận xử lý hiệu chỉnh đồng bộ hóa 32 bao gồm bộ đo thời gian gián tiếp 32-1, bộ thu nhận giá trị đếm 32-2, bộ xác định đồng bộ hóa 32-3, và bộ hiệu chỉnh đồng bộ hóa 32-4.

Bộ tạo tín hiệu tham chiếu thứ nhất 21-1 tạo ra tín hiệu tham chiếu thứ nhất khi giá trị đếm đạt đến giá trị tham chiếu mà được thiết lập từ trước. Bộ tạo tín hiệu tham chiếu thứ nhất 21-1 có bộ đếm (dưới đây cũng được gọi là “bộ định thời”). Giá trị đếm được mô tả trên đây được đếm tuần hoàn dựa trên giá trị tham chiếu.

Bộ xử lý thứ nhất 21 thực hiện chương trình ứng dụng định trước được lưu trữ trong bộ phận lưu trữ 22 đồng bộ hóa với tín hiệu tham chiếu thứ nhất được tạo ra bởi bộ tạo tín hiệu tham chiếu thứ nhất 21-1. Hơn nữa, tín hiệu tham chiếu thứ nhất được truyền đến các bộ xử lý thụ động 11-2 và 11-3 qua bus truyền 12.

Bộ phận lưu trữ 22 lưu trữ chương trình ứng dụng định trước (chương trình tuần

tự) sẽ được thực hiện bởi bộ xử lý thứ nhất 21. Cần lưu ý rằng chương trình ứng dụng định trước sẽ được thực hiện bởi bộ xử lý thứ nhất 21 có thể tương ứng với việc xử lý phát lệnh cho môđun I/O 13-1 được nối đến bộ xử lý chủ động 11-1 và khiến cho môđun I/O 13-1 điều khiển thiết bị bên ngoài 14-1 chẳng hạn. Vì vậy, bộ phận lưu trữ 22 chủ yếu lưu trữ các chương trình để thực hiện các việc xử lý định trước đối với môđun I/O 13-1 và thiết bị bên ngoài 14-1 được nối đến.

Điều này có nghĩa là, bộ xử lý chủ động 11-1 xuất ra tín hiệu tham chiếu thứ nhất vào các chu kỳ định trước, bộ xử lý thứ nhất 21 thực hiện chương trình ứng dụng (chương trình tuần tự) để điều khiển thiết bị định trước, và chương trình ứng dụng được thực hiện theo chu kỳ.

Trong phần tiếp theo, các bộ xử lý thụ động 11-2 và 11-3 được mô tả. Tuy nhiên, cần lưu ý rằng do các bộ xử lý thụ động 11-2 và 11-3 có cùng cấu hình, nên bộ xử lý thụ động 11-2 được mô tả dưới đây.

Cần lưu ý rằng, giá trị tham chiếu giống như giá trị tham chiếu được thiết lập trong bộ tạo tín hiệu tham chiếu thứ nhất 21-1 được thiết lập trong bộ tạo tín hiệu tham chiếu thứ hai 31-1, và bộ tạo tín hiệu tham chiếu thứ hai 31-1 tạo ra giá trị tín hiệu tham chiếu thứ hai khi giá trị đếm đạt đến giá trị tham chiếu này. Bộ tạo tín hiệu tham chiếu thứ hai 31-1 bao gồm bộ đếm. Giá trị đếm được mô tả trên đây được đếm tuần hoàn dựa trên giá trị tham chiếu. Ngoài ra, cần lưu ý rằng các bộ đếm của bộ tạo tín hiệu tham chiếu thứ nhất 21-1 và bộ tạo tín hiệu tham chiếu thứ hai 31-1 là các bộ đếm chạy tự do.

Bộ xử lý thứ hai 31 thực hiện, ví dụ, chương trình ứng dụng định trước được lưu trữ trong bộ phận lưu trữ 33 đồng bộ hóa với tín hiệu tham chiếu thứ hai được tạo ra bởi bộ tạo tín hiệu tham chiếu thứ hai 31-1.

Cần lưu ý rằng bộ tạo tín hiệu tham chiếu thứ hai 31-1 có thể là bộ đếm được tích hợp vào bộ xử lý thứ hai 31 (bộ đếm bên trong CPU) mà chỉ truy nhập được bởi bộ xử lý

thứ hai 31 chẳng hạn. Điều này có nghĩa là, bộ tạo tín hiệu tham chiếu thứ hai 31-1 là bộ đếm không thể được thiết lập lại bởi thiết bị bên ngoài như bộ xử lý chủ động 11-1 thông qua các thao tác phần cứng.

Ngoài ra, bộ xử lý thứ hai (CPU) 31 nhận tín hiệu tham chiếu thứ nhất từ bộ xử lý chủ động 11-1 (tín hiệu tham chiếu đồng bộ hóa) như là tín hiệu ngắt, và bắt đầu việc xử lý hiệu chỉnh đồng bộ hóa (việc xử lý định trước), mà được mô tả dưới đây.

Đối với bộ phận xử lý hiệu chỉnh đồng bộ hóa 32, bộ đo thời gian gián tiếp 32-1 đo thời gian gián tiếp từ thời điểm tín hiệu tham chiếu thứ nhất được nhận như là thời điểm bắt đầu cho đến khi việc xử lý đồng bộ hóa được thực hiện. Đặc biệt là, bộ đo thời gian gián tiếp 32-1 bao gồm bộ đếm (bộ định thời) mà khởi động lại nhờ nhận tín hiệu tham chiếu thứ nhất, và việc xử lý đọc giá trị của bộ đếm vào thời điểm bắt đầu việc xử lý hiệu chỉnh đồng bộ hóa. Cần hiểu rằng "thời gian gián tiếp" là thời gian trễ từ khi xuất hiện sự kiện nào đó cho đến khi việc xử lý (thao tác phần mềm) đối với sự kiện này được thực hiện thật sự. Trong ví dụ này, thời gian gián tiếp là khoảng thời gian từ thời điểm khởi động lại bộ đo thời gian gián tiếp 32-1 như là điểm bắt đầu cho đến thời điểm bắt đầu việc xử lý định trước. Tuy nhiên, sáng chế không bị giới hạn ở ví dụ này.

Bộ thu nhận giá trị đếm 32-2 thu nhận giá trị đếm của bộ tạo tín hiệu tham chiếu thứ hai 31-1 vào thời điểm việc xử lý định trước được thực hiện thật sự. Điều này có nghĩa là, bộ thu nhận giá trị đếm 32-2 đọc giá trị đếm của bộ tạo tín hiệu tham chiếu thứ hai 31-1 vào thời điểm bắt đầu việc xử lý hiệu chỉnh đồng bộ hóa.

Bộ xác định đồng bộ hóa 32-3 xác định rằng tín hiệu tham chiếu thứ nhất và tín hiệu tham chiếu thứ hai là đồng bộ khi giá trị đếm thu nhận được bởi bộ thu nhận giá trị đếm 32-2 là bằng với giá trị thời gian gián tiếp được đo bởi bộ đo thời gian gián tiếp 32-1. Mặt khác, bộ xác định đồng bộ hóa 32-3 xác định rằng tín hiệu tham chiếu thứ nhất và tín hiệu tham chiếu thứ hai là không đồng bộ khi giá trị đếm thu nhận được bởi bộ thu nhận giá trị đếm 32-2 và giá trị thời gian gián tiếp được đo bởi bộ đo thời gian gián tiếp 32-1 là

khác nhau.

Ngoài ra, bộ xác định đồng bộ hóa 32-3 có thể thực hiện chuyển đổi theo thời gian trên giá trị đếm thu nhận được bởi bộ thu nhận giá trị đếm 32-2 và giá trị thời gian gián tiếp được đo bởi bộ đo thời gian gián tiếp 32-1, xác định rằng hai tín hiệu tham chiếu này là đồng bộ khi giá trị được chuyển đổi theo thời gian là bằng nhau, và xác định rằng hai tín hiệu tham chiếu này là không đồng bộ khi giá trị được chuyển đổi theo thời gian là khác nhau. Điều này có nghĩa là, trong phương án thứ nhất, đơn vị thời gian trên nhịp đồng hồ của bộ đếm có thể không nhất thiết phải giống nhau đối với mỗi bộ xử lý. Vì vậy, trong trường hợp đó, mỗi giá trị bộ đếm có thể được chuyển đổi thành thời gian và việc xác định đồng bộ/không đồng bộ có thể được thực hiện dựa trên giá trị được chuyển đổi theo thời gian.

Bộ hiệu chỉnh đồng bộ hóa 32-4 thiết lập giá trị tham chiếu trong bộ tạo tín hiệu tham chiếu thứ hai 31-1 khi bộ xác định đồng bộ hóa 32-3 xác định rằng tín hiệu tham chiếu thứ nhất và tín hiệu tham chiếu thứ hai là đồng bộ. Mặt khác, khi bộ xác định đồng bộ 32-3 xác định rằng tín hiệu tham chiếu thứ nhất và tín hiệu tham chiếu thứ hai là không đồng bộ, bộ hiệu chỉnh đồng bộ hóa 32-4 đạt được giá trị hiệu chỉnh đồng bộ hóa bằng cách trừ giá trị thời gian gián tiếp từ giá trị đếm thu nhận được bởi bộ thu nhận giá trị đếm 32-2. Sau đó, bộ hiệu chỉnh đồng bộ hóa 32-4 trừ giá trị hiệu chỉnh đồng bộ hóa đạt được từ giá trị tham chiếu và thiết lập giá trị được trừ trong bộ tạo tín hiệu tham chiếu thứ hai 31-1 như là giá trị tham chiếu mới. Giá trị tham chiếu mới này tương ứng với giá trị tham chiếu định thời tạm thời đối với giá trị tham chiếu định thời (giá trị tham chiếu mặc định) được sử dụng khi bộ xác định đồng bộ hóa 32-3 thực hiện việc xác định đồng bộ, tham chiếu định thời tạm thời được sử dụng tạm thời khi bộ xác định đồng bộ hóa 32-3 thực hiện việc xác định không đồng bộ.

Cần lưu ý rằng mặc dù bộ hiệu chỉnh đồng bộ hóa 32-4 có thể thiết lập giá trị tham chiếu mặc định trong bộ tạo tín hiệu tham chiếu thứ hai 31 mỗi khi bộ xác định đồng bộ

hóa 32-3 xác định rằng tín hiệu tham chiếu thứ nhất và tín hiệu tham chiếu thứ hai là đồng bộ, nếu việc đồng bộ hóa được duy trì, thì bộ hiệu chỉnh đồng bộ hóa 32-4 không phải hoạt động một khi giá trị tham chiếu mặc định được thiết lập.

Bộ phận lưu trữ 33 lưu trữ chương trình ứng dụng định trước (chương trình tuần tự) sẽ được thực hiện bởi bộ xử lý thứ hai 31. Cần lưu ý rằng chương trình ứng dụng định trước sẽ được thực hiện bởi bộ xử lý thứ hai 31 có thể tương ứng với việc xử lý phát lệnh đến các môđun I/O 13-2 và 13-3 được nối đến bộ xử lý thụ động 11-2 và khiến cho các môđun I/O 13-2 và 13-3 điều khiển các thiết bị bên ngoài 14-2 và 14-3 chẳng hạn. Vì vậy, bộ phận lưu trữ 33 chủ yếu lưu trữ các chương trình để thực hiện các việc xử lý định trước đối với các môđun I/O 13-2 và 13-3 và các thiết bị bên ngoài 14-2 và 14-3 được nối đến chúng.

Môđun I/O 13 thực hiện các việc xử lý vào/ra đối với thiết bị bên ngoài 14. Ví dụ, môđun I/O 13 có thể xuất ra (truyền) dữ liệu đạt được từ thiết bị bên ngoài 14 được nối đến đó đến bộ xử lý 11, hoặc môđun I/O 13 có thể lưu trữ hoặc xuất ra các kết quả xử lý của bộ xử lý 11 đến thiết bị bên ngoài 14. Điều này có nghĩa là, bộ xử lý 11 áp dụng chương trình ứng dụng vào dữ liệu đầu vào thu nhận được từ môđun I/O 13 và xuất ra kết quả xử lý đến môđun I/O 13 như là dữ liệu đầu ra để điều khiển thiết bị bên ngoài 14.

Thiết bị bên ngoài 14 có thể là các loại thiết bị khác nhau như mô tơ, bộ cảm biến, và vật ghi chẳng hạn. Thiết bị bên ngoài 14 có thể tìm kiếm dữ liệu, điều khiển dữ liệu, hoặc nhập/xuất dữ liệu dựa trên tín hiệu điều khiển từ môđun I/O 13 chẳng hạn.

Cần lưu ý rằng giá trị tham chiếu có thể được thiết lập từ trước trong mỗi bộ xử lý trong số bộ xử lý 11-1, bộ xử lý 11-2, và bộ xử lý 11-3, và giá trị tham chiếu cũng có thể được thiết lập từ thiết bị lập trình 15 (thiết bị thiết lập), mà được nối từ bên ngoài đến các bộ xử lý từ 11-1 đến 11-3 trên đây. Thiết bị lập trình 15 có thể được thực hiện bởi máy tính cá nhân (PC) được sử dụng bởi người sử dụng mà có chức năng truyền thông với bộ xử lý 11 và thiết lập giá trị tham chiếu chẳng hạn. Tuy nhiên, sáng chế không bị giới hạn

ở ví dụ này, và trong các ví dụ khác, thiết bị lập trình 15 có thể được thực hiện bởi thiết bị thiết lập chuyên dụng chẳng hạn. Theo cách này, giá trị tham chiếu (chu kỳ xử lý) có thể được điều chỉnh tùy ý đối với từng người sử dụng.

Trong ví dụ trên đây, bộ đa xử lý được mô tả như là ứng dụng ví dụ của hệ thống đồng bộ hóa tín hiệu 10. Tuy nhiên, hệ thống đồng bộ hóa tín hiệu 10 không bị giới hạn ở ví dụ trên đây, và có thể là hệ thống bất kỳ bao gồm bộ tạo tín hiệu tham chiếu thứ nhất 21-1, bộ tạo tín hiệu tham chiếu thứ hai 31-1, bộ xử lý thứ hai 31, bộ đo thời gian gián tiếp 32-1, bộ thu nhận giá trị đếm 32-2, bộ xác định đồng bộ hóa 32-3, và bộ hiệu chỉnh đồng bộ hóa 32-4.

Cần lưu ý rằng ví dụ ứng dụng của hệ thống đồng bộ hóa tín hiệu 10 không bị giới hạn ở bộ đa xử lý, và hệ thống đồng bộ hóa tín hiệu 10 có thể được áp dụng vào các hệ thống khác như hệ thống đồng bộ hóa định thời bao gồm thiết bị chủ động tương ứng với trạm truyền để truyền tín hiệu số của thông tin ngày/giờ từ đồng hồ nguyên tử và thiết bị thụ động tương ứng với đồng hồ được điều khiển bằng vô tuyến chẳng hạn.

<Cấu hình phần cứng của bộ xử lý 11>

Trong phần sau đây, cấu hình phần cứng ví dụ của bộ xử lý 11 được mô tả có dựa vào Fig.2. Fig.2 là sơ đồ khối minh họa cấu hình phần cứng ví dụ của bộ xử lý 11. Bộ xử lý 11 được minh họa trên Fig.2 bao gồm bộ phận vào 41, bộ phận ra 42, CPU 43, bộ nhớ 44, và giao diện bên ngoài 45, mà được nối bởi bus chung B.

Bộ phận vào 41 nhập các loại tín hiệu thao tác khác nhau như tín hiệu thao tác được phát ra bởi người sử dụng để thực hiện chương trình. Cần lưu ý rằng bộ phận vào 41 có thể bao gồm bàn phím và/hoặc thiết bị trỏ như chuột chẳng hạn, và trong trường hợp nhập tín hiệu audio, bộ phận vào 41 có thể bao gồm thiết bị nhập audio chẳng hạn.

Bộ phận ra 42 bao gồm bộ hiển thị để hiển thị các cửa sổ và dữ liệu khác nhau cần thiết để vận hành bộ xử lý 11 mà thực hiện các việc xử lý của phương án này. Bộ phận ra

42 có thể hiển thị tiến trình và kết quả của CPU 43 thực hiện chương trình điều khiển chẳng hạn.

CPU 43 thực hiện các việc xử lý của phương án này bằng cách điều khiển toàn bộ các thao tác xử lý của bộ xử lý 11. Ví dụ, CPU 43 có thể thực hiện các phép tính khác nhau và nhập/xuất dữ liệu đến/từ các bộ phận phần cứng khác nhau dựa trên các chương trình điều khiển của OS (Hệ điều hành) và các chương trình thực hiện được lưu trữ trong bộ nhớ 44. Cần lưu ý rằng CPU 43 cũng có thể thu nhận thông tin cần thiết trong khi thực hiện chương trình từ bộ nhớ 44 và lưu trữ các kết quả thực hiện chương trình chẳng hạn.

Bộ nhớ 44 lưu trữ chương trình thực hiện được đọc bởi CPU 43 chẳng hạn. Bộ nhớ 44 có thể bao gồm ROM (Bộ nhớ chỉ đọc) hoặc RAM (Bộ nhớ truy nhập ngẫu nhiên) chẳng hạn. Hơn nữa, bộ nhớ 44 có thể bao gồm bộ phận lưu trữ như ổ cứng làm bộ nhớ thứ cấp chẳng hạn. Cần lưu ý rằng bộ nhớ 44 có thể tương ứng với các bộ phận lưu trữ 22 và 33 trên Fig.1 chẳng hạn.

Giao diện bên ngoài 45 truyền và nhận dữ liệu và các tín hiệu điều khiển đến/từ một bộ xử lý khác qua bus truyền 12 chẳng hạn. Giao diện bên ngoài 45 cũng truyền và nhận dữ liệu và các tín hiệu điều khiển đến/từ các môđun I/O 13 mà được nối đến đó.

Với cấu hình phần cứng được mô tả trên đây, việc xử lý đồng bộ hóa bộ đếm theo một phương án của sáng chế có thể được thực hiện. Hơn nữa, việc xử lý đồng bộ hóa bộ đếm theo phương án này có thể được thực hiện dễ dàng bằng cách cài đặt các chương trình thực hiện liên quan trong máy tính cá nhân đa năng chẳng hạn.

Trong phần sau đây, các ví dụ về việc đồng bộ hóa bộ đếm theo phương án thứ nhất được mô tả.

< Các ví dụ đồng bộ hóa bộ đếm theo phương án thứ nhất >

Các hình vẽ từ Fig.3 đến Fig.5 là các đồ thị thời gian minh họa các ví dụ về việc đồng bộ hóa bộ đếm theo phương án thứ nhất. Cần lưu ý rằng các ví dụ trên các hình vẽ

từ Fig.3 đến Fig.5 minh họa việc đồng bộ hóa các giá trị bộ đếm của CPU (bộ xử lý) phía chính (phía thiết bị chủ động) và CPU (các bộ xử lý) phía phụ (phía thiết bị thụ động). Cần lưu ý rằng giá trị tham chiếu (chu kỳ xử lý) trong phương án thứ nhất được giả sử là 1000 μ s, nhưng sáng chế không bị giới hạn ở ví dụ này, và trong các phương án cụ thể, việc thiết lập giá trị tham chiếu có thể được thay đổi một cách thích hợp bởi thiết bị lập trình 15 chẳng hạn.

Cần lưu ý rằng trong các ví dụ trên các hình vẽ từ Fig.3 đến Fig.5, tín hiệu tham chiếu thứ nhất được xuất ra bởi bộ xử lý chủ động 11-1 được gọi là “tham chiếu đồng bộ hóa phía chính” và bộ tạo tín hiệu tham chiếu thứ nhất 21-1 được gọi là “bộ đếm CPU1 phía chính”. Hơn nữa, trong các ví dụ trên các hình vẽ từ Fig.3 đến Fig.5, bộ tạo tín hiệu tham chiếu thứ hai 31-1 được gọi là “bộ đếm1 CPU2 phía phụ” và bộ đo thời gian gián tiếp 32-1 được gọi là “bộ đếm2”.

Dựa vào Fig.3, vào thời điểm (1), giá trị bộ đếm của bộ đếm CPU1 phía chính của bộ xử lý chủ động 11-1 đạt đến giá trị tham chiếu, và đáp lại, bộ đếm CPU1 phía chính xuất ra tín hiệu tham chiếu thứ nhất. Bộ xử lý thụ động 11-2 nhận tín hiệu tham chiếu thứ nhất như là tín hiệu ngắt và bắt đầu việc xử lý hiệu chỉnh đồng bộ hóa (xem (2) trên Fig.3). Đồng thời, bộ đo thời gian gián tiếp 32-1 của bộ xử lý thụ động 11-2 xóa giá trị bộ đếm của bộ đếm liên quan (bộ đếm2) và khởi động lại bộ đếm (xem (3) trên Fig.3). Tiếp theo, vào thời điểm (4) trên Fig.3; cụ thể là, vào thời điểm bắt đầu việc xử lý hiệu chỉnh đồng bộ hóa, bộ đo thời gian gián tiếp 32-1 tham chiếu đến giá trị bộ đếm của bộ đếm liên quan (bộ đếm2) và cung cấp giá trị bộ đếm cho bộ xác định đồng bộ hóa 32-3. Bộ xác định đồng bộ hóa 32-3 chuyển đổi giá trị bộ đếm từ bộ đo thời gian gián tiếp 32-1 thành thời gian và đạt được giá trị “200 μ s”. Theo cách này, trong phương án thứ nhất, thời gian gián tiếp từ điểm bắt đầu ngắt cho đến khi việc xử lý hiệu chỉnh đồng bộ hóa được thực hiện có thể được đo.

Tiếp theo, vào thời điểm (5) trên Fig.3, bộ thu nhận giá trị đếm 32-2 tham chiếu

đến giá trị bộ đếm của bộ đếm1 CPU2 phía phụ và cung cấp giá trị bộ đếm thu nhận được cho bộ xác định đồng bộ hóa 32-3. Bộ xác định đồng bộ hóa 32-3 chuyển đổi giá trị bộ đếm từ bộ thu nhận giá trị đếm 32-2 thành thời gian và đạt được giá trị “200 μ s”. Tiếp theo, bộ xác định đồng bộ hóa 32-3 so sánh giá trị bộ đếm (200 μ s) đạt được từ bộ thu nhận giá trị đếm 32-2 và giá trị thời gian gián tiếp (200 μ s) được mô tả trên đây. Trong ví dụ này, do hai giá trị trên đây là như nhau, nên bộ xác định đồng bộ hóa 32-3 xác định rằng tín hiệu tham chiếu thứ nhất và tín hiệu tham chiếu thứ hai là đồng bộ.

Do việc xác định đồng bộ được thực hiện bởi bộ xác định đồng bộ hóa 32-3, nên bộ hiệu chỉnh đồng bộ hóa 32-4 thiết lập giá trị tham chiếu 1000 μ s trong bộ đếm1 CPU2 phía phụ (bộ đếm1 CPU2 phía phụ không được khởi động lại vào thời điểm này). Sau đó, vào thời điểm (6), khi giá trị bộ đếm đạt đến giá trị tham chiếu 1000 μ s, bộ đếm1 CPU2 phía phụ được khởi động lại.

Theo cách này, trong phương án thứ nhất, đối với chu kỳ hiện thời, bộ đếm1 CPU2 phía phụ có thể được khởi động lại về cơ bản đồng thời với thời điểm xuất tín hiệu tham chiếu thứ nhất cho chu kỳ tiếp theo, và giá trị bộ đếm của bộ đếm CPU1 phía chính và giá trị bộ đếm của bộ đếm1 CPU2 phía phụ có thể được sắp xếp để về cơ bản là bằng nhau.

Cần lưu ý rằng trong ví dụ trên đây, bộ đếm1 CPU2 phía phụ được tích hợp trong CPU. Tuy nhiên, sáng chế không bị giới hạn ở ví dụ này, và bộ đếm1 CPU2 phía phụ theo cách khác có thể được bố trí bên ngoài CPU chẳng hạn.

Ngoài ra, cần lưu ý rằng việc xử lý hiệu chỉnh đồng bộ hóa được minh họa trên Fig.3 bao gồm các việc xử lý chương trình của bộ thu nhận giá trị đếm 32-2, bộ xác định đồng bộ hóa 32-3, bộ hiệu chỉnh đồng bộ hóa 32-4, và bộ đo thời gian gián tiếp 32-1.

Fig.4 minh họa trường hợp bộ đếm của bộ xử lý thụ động 11-2 bị trễ 200 μ s so với bộ đếm của bộ xử lý chủ động 11-1.

Theo chu kỳ thứ nhất (chu kỳ bên trái) trên Fig.4, vào thời điểm (1), giá trị bộ đếm của bộ đếm CPU1 phía chính của bộ xử lý chủ động 11-1 đạt đến giá trị tham chiếu, và đáp lại, bộ đếm CPU1 phía chính xuất ra tín hiệu tham chiếu thứ nhất. Bộ xử lý thụ động 11-2 nhận tín hiệu tham chiếu thứ nhất như là tín hiệu ngắt và bắt đầu việc xử lý hiệu chỉnh đồng bộ hóa (xem (2) trên Fig.4). Đồng thời, bộ đo thời gian gián tiếp 32-1 của bộ xử lý thụ động 11-2 xóa giá trị bộ đếm của bộ đếm liên quan (bộ đếm2) và khởi động lại bộ đếm (xem (3) trên Fig.4). Tiếp theo, vào thời điểm (4) trên Fig.4; cụ thể là, vào thời điểm bắt đầu việc xử lý hiệu chỉnh đồng bộ hóa, bộ đo thời gian gián tiếp 32-1 tham chiếu đến giá trị bộ đếm của bộ đếm liên quan (bộ đếm2) và cung cấp giá trị bộ đếm cho bộ xác định đồng bộ hóa 32-3. Bộ xác định đồng bộ hóa 32-3 chuyển đổi giá trị bộ đếm từ bộ đo thời gian gián tiếp 32-1 thành thời gian và đạt được giá trị “200 μ s”.

Tiếp theo, vào thời điểm (5) trên Fig.4, bộ thu nhận giá trị đếm 32-2 tham chiếu đến giá trị bộ đếm của bộ đếm1 CPU2 phía phụ và cung cấp giá trị bộ đếm thu nhận được cho bộ xác định đồng bộ hóa 32-3. Bộ xác định đồng bộ hóa 32-3 chuyển đổi giá trị bộ đếm từ bộ thu nhận giá trị đếm 32-2 thành thời gian và đạt được giá trị “0 μ s”. Tiếp theo, bộ xác định đồng bộ hóa 32-3 so sánh giá trị bộ đếm (0 μ s) đạt được từ bộ thu nhận giá trị đếm 32-2 và giá trị thời gian gián tiếp (200 μ s) được mô tả trên đây. Trong ví dụ này, do hai giá trị trên đây là khác nhau, nên bộ xác định đồng bộ hóa 32-3 xác định rằng tín hiệu tham chiếu thứ nhất và tín hiệu tham chiếu thứ hai là không đồng bộ.

Do việc xác định không đồng bộ được thực hiện bởi bộ xác định đồng bộ hóa 32-3, nên bộ hiệu chỉnh đồng bộ hóa 32-4 thiết lập giá trị tham chiếu tạm thời trong bộ đếm1 CPU2 phía phụ. Đặc biệt là, bộ hiệu chỉnh đồng bộ hóa 32-4 đạt được giá trị khởi động lại (giá trị thiết lập lại) cho “bộ đếm1” nhờ sử dụng công thức [Giá trị tham chiếu (Chu kỳ xử lý)- (“bộ đếm2”-“bộ đếm1”)] và thiết lập giá trị bộ đếm đạt được làm giá trị tham chiếu tạm thời trong “bộ đếm1”. Trong ví dụ này, giá trị tham chiếu tạm thời là $[1000 \mu\text{s} - (200 \mu\text{s} - 0) = 800 \mu\text{s}]$, và giá trị 800 μ s được thiết lập trong “bộ đếm1”. Sau đó, vào

thời điểm (6) trên Fig.4, khi giá trị bộ đếm đạt đến giá trị tham chiếu tạm thời 800 μ s, bộ đếm1 CPU2 phía phụ được khởi động lại. Cần lưu ý rằng giá trị “bộ đếm2”-“bộ đếm1” tương ứng với giá trị hiệu chỉnh đồng bộ hóa.

Theo cách này, trong phương án thứ nhất, đối với chu kỳ hiện thời (chu kỳ thứ nhất), bộ đếm1 CPU2 phía phụ có thể được khởi động lại về cơ bản là đồng thời với thời điểm xuất ra tín hiệu tham chiếu thứ nhất cho chu kỳ tiếp theo (chu kỳ thứ hai; xem chu kỳ giữa trên Fig.4). Vì vậy, trong phương án thứ nhất, tín hiệu tham chiếu thứ nhất và tín hiệu tham chiếu thứ hai có thể được đồng bộ hóa. Cần lưu ý rằng trong chu kỳ thứ hai của ví dụ được minh họa trên Fig.4, tín hiệu tham chiếu thứ nhất và tín hiệu tham chiếu thứ hai là đồng bộ, và do đó, bộ hiệu chỉnh đồng bộ hóa 32-4 thực hiện việc xử lý tương tự như việc xử lý được mô tả có dựa vào Fig.3. Điều này có nghĩa là, giá trị tham chiếu ban đầu 1000 μ s được thiết lập trong bộ đếm1 CPU2 phía phụ (bộ đếm1 CPU2 phía phụ không được khởi động lại vào thời điểm này). Sau đó, khi giá trị bộ đếm của bộ đếm1 CPU2 phía phụ đạt đến giá trị tham chiếu 1000 μ s, bộ đếm1 CPU2 phía phụ được khởi động lại.

Fig.5 minh họa trường hợp bộ đếm của bộ xử lý thụ động 11-2 là 200 μ s từ trước (trước) của bộ đếm của bộ xử lý chủ động 11-1.

Theo chu kỳ thứ nhất (chu kỳ bên trái) trên Fig.5, vào thời điểm (1), giá trị bộ đếm của bộ đếm CPU1 phía chính của bộ xử lý chủ động 11-1 đạt đến giá trị tham chiếu, và đáp lại, bộ đếm CPU1 phía chính xuất ra tín hiệu tham chiếu thứ nhất. Bộ xử lý thụ động 11-2 nhận tín hiệu tham chiếu thứ nhất như là tín hiệu ngắt và bắt đầu việc xử lý hiệu chỉnh đồng bộ hóa (xem (2) trên Fig.5). Đồng thời, bộ đo thời gian gián tiếp 32-1 của bộ xử lý thụ động 11-2 xóa giá trị bộ đếm của bộ đếm liên quan (bộ đếm2) và khởi động lại bộ đếm (xem (3) trên Fig.5). Tiếp theo, vào thời điểm (4) trên Fig.5; cụ thể là, vào thời điểm bắt đầu việc xử lý hiệu chỉnh đồng bộ hóa, bộ đo thời gian gián tiếp 32-1 tham chiếu đến giá trị bộ đếm của bộ đếm liên quan (bộ đếm2) và cung cấp giá trị bộ đếm cho

bộ xác định đồng bộ hóa 32-3. Bộ xác định đồng bộ hóa 32-3 chuyển đổi giá trị bộ đếm từ bộ đo thời gian gián tiếp 32-1 thành thời gian và đạt được giá trị “200 μ s”.

Tiếp theo, vào thời điểm (5) trên Fig.5, bộ thu nhận giá trị đếm 32-2 tham chiếu đến giá trị bộ đếm của bộ đếm1 CPU2 phía phụ và cung cấp giá trị bộ đếm thu nhận được cho bộ xác định đồng bộ hóa 32-3. Bộ xác định đồng bộ hóa 32-3 chuyển đổi giá trị bộ đếm từ bộ thu nhận giá trị đếm 32-2 thành thời gian và đạt được giá trị “400 μ s”. Tiếp theo, bộ xác định đồng bộ hóa 32-3 so sánh giá trị bộ đếm (400 μ s) đạt được từ bộ thu nhận giá trị đếm 32-2 và giá trị thời gian gián tiếp (200 μ s) được mô tả trên đây. Trong ví dụ này, do hai giá trị trên đây là khác nhau, nên bộ xác định đồng bộ hóa 32-3 xác định rằng tín hiệu tham chiếu thứ nhất và tín hiệu tham chiếu thứ hai là không đồng bộ.

Do việc xác định không đồng bộ được thực hiện bởi bộ xác định đồng bộ hóa 32-3, nên bộ hiệu chỉnh đồng bộ hóa 32-4 thiết lập giá trị tham chiếu tạm thời trong bộ đếm1 CPU2 phía phụ. Đặc biệt là, bộ hiệu chỉnh đồng bộ hóa 32-4 tính toán giá trị tham chiếu tạm thời theo cách tương tự như Fig.4 và thiết lập giá trị tham chiếu tạm thời được tính toán trong “bộ đếm1”. Trong ví dụ này, giá trị tham chiếu tạm thời là $[1000 \mu\text{s} - (200 \mu\text{s} - 400 \mu\text{s}) = 1200 \mu\text{s}]$, và giá trị 1200 μ s được thiết lập trong “bộ đếm1”. Sau đó, vào thời điểm (6) trên Fig.5, khi giá trị bộ đếm đạt đến giá trị tham chiếu tạm thời 1200 μ s, bộ đếm1 CPU2 phía phụ được khởi động lại. Cần lưu ý rằng giá trị “bộ đếm2”-“bộ đếm1” tương ứng với giá trị hiệu chỉnh đồng bộ hóa.

Theo cách này, trong phương án thứ nhất, đối với chu kỳ hiện thời (chu kỳ thứ nhất), bộ đếm1 CPU2 phía phụ có thể được khởi động lại về cơ bản là đồng thời với thời điểm xuất ra tín hiệu tham chiếu thứ nhất cho chu kỳ tiếp theo (chu kỳ thứ hai; xem chu kỳ giữa trên Fig.5). Vì vậy, trong phương án thứ nhất, tín hiệu tham chiếu thứ nhất và tín hiệu tham chiếu thứ hai có thể được đồng bộ hóa. Cần lưu ý rằng chu kỳ thứ hai của ví dụ được minh họa trên Fig.5 là tương tự như chu kỳ thứ hai trên Fig.4 nên phần mô tả của nó được bỏ qua. Như được nêu trên đây, trong phương án thứ nhất, việc đồng bộ hóa bộ đếm

có thể được thực hiện chính xác việc liệu bộ đếm (bộ định thời) của bộ xử lý thụ động bị trễ hay đi trước bộ đếm (bộ định thời) của bộ xử lý chủ động. Cần lưu ý rằng việc xử lý hiệu chỉnh đồng bộ hóa được mô tả trên đây có thể được thực hiện gián đoạn hoặc liên tục đối với mỗi chu kỳ.

<Trình tự của việc xử lý đồng bộ hóa bộ đếm>

Fig.6 là sơ đồ trình tự minh họa giản lược trình tự được lấy làm ví dụ về việc xử lý đồng bộ hóa bộ đếm theo phương án thứ nhất. Trong ví dụ trên Fig.6, để dễ giải thích, việc đồng bộ hóa sử dụng bộ xử lý chủ động 11-1 và bộ xử lý thụ động 11-2 được mô tả. Tuy nhiên, sáng chế không bị giới hạn ở ví dụ này, và trong một số trường hợp, các bộ xử lý thụ động có thể được sắp xếp để đồng bộ hóa với một bộ xử lý chủ động chẳng hạn.

Trong việc xử lý đồng bộ hóa bộ đếm trên Fig.6, đầu tiên, bộ xử lý chủ động 11-1 tạo ra tín hiệu tham chiếu thứ nhất (S01), và bộ xử lý thụ động 11-2 tạo ra tín hiệu tham chiếu thứ hai (S02). Cần lưu ý rằng các việc xử lý trên đây được thực hiện theo chu kỳ như là các thao tác phân cứng.

Bộ xử lý chủ động 11-1 truyền tín hiệu tham chiếu thứ nhất đạt được trong việc xử lý của bước S01 đến bộ xử lý thụ động 11-2 (S03). Tín hiệu tham chiếu thứ nhất được truyền từ bộ xử lý chủ động 11-1 được chuyển sang bộ xử lý thụ động 11-2 qua bus truyền (S04).

Bộ xử lý thụ động 11-2 nhận tín hiệu tham chiếu thứ nhất (S05), đo thời gian gián tiếp (S06), thực hiện việc xác định đồng bộ/không đồng bộ như được mô tả trên đây (S07), và thực hiện việc hiệu chỉnh đồng bộ hóa nhờ thực hiện việc xác định không đồng bộ (S08).

<Phương án thứ hai>

<Hệ thống đồng bộ hóa nút: Cấu hình tổng thể>

Trong phương án thứ hai của sáng chế, việc xử lý hiệu chỉnh đồng bộ hóa được

thực hiện cũng bằng cách xét đến thời gian trễ truyền của bus truyền (đường truyền thông) 12 của phương án thứ nhất được mô tả trên đây. Fig.7 minh họa cấu hình tổng thể ví dụ của hệ thống đồng bộ hóa nút theo phương án thứ hai. Hệ thống đồng bộ hóa nút 50 được minh họa trên Fig.7 là một ví dụ về hệ thống để cho phép đồng bộ hóa bộ đếm giữa các nút như các nút từ 51-1 đến 51-3.

Hệ thống đồng bộ hóa nút 50 bao gồm các nút từ 51-1 đến 51-3 (dưới đây cũng được gọi là “nút 51”), mạng truyền thông (đường truyền thông) 52, các môđun I/O 53, các thiết bị bên ngoài 54, và thiết bị lập trình 55. Cụ thể hơn là, hệ thống đồng bộ hóa nút 50 bao gồm nút chủ động 51-1 bao gồm bộ xử lý thứ nhất (CPU) 61 và các nút thụ động 51-2 và 51-3, mỗi nút bao gồm bộ xử lý thứ hai (CPU) 71 và bộ phận xử lý hiệu chỉnh đồng bộ hóa 72 mà được nối qua mạng truyền thông 52 tương ứng với đường truyền thông.

Cần lưu ý rằng, trong phần sau đây, để thuận tiện, các cấu hình của các nút 51 được mô tả với giả định rằng nút 51-1 tương ứng với nút chủ động và các nút 51-2 và 51-3 tương ứng với các nút thụ động. Tuy nhiên, sáng chế không bị giới hạn ở cách sắp xếp này, và mỗi nút có thể được tạo cấu hình để có khả năng đóng vai trò là nút chủ động hoặc nút thụ động chẳng hạn. Cần lưu ý rằng trong phương án thứ hai, giả sử rằng thời gian trễ được tạo ra bởi đường truyền thông 52.

Trong phần tiếp theo, các sự khác biệt giữa phương án thứ hai (Fig.7) và phương án thứ nhất (Fig.1) được mô tả. Nút chủ động 51-1 tương ứng với bộ xử lý 11-1 của phương án thứ nhất, các nút thụ động 51-2 và 51-3 tương ứng với các bộ xử lý 11-2 và 11-3 của phương án thứ nhất. Ngoài ra, thiết bị lập trình 55 có thể giống như thiết bị lập trình 15 của phương án thứ nhất, và các môđun I/O từ 53-1 đến 53-4 có thể giống như các môđun I/O từ 13-1 đến 13-4 của phương án thứ nhất. Các thiết bị bên ngoài từ 54-1 đến 54-4 có thể giống như các thiết bị bên ngoài từ 14-2 đến 14-4 của phương án thứ nhất. Do đó, trong phần tiếp theo, phần mô tả về các dấu hiệu của phương án thứ hai mà giống

hết các dấu hiệu của phương án thứ nhất được bỏ qua.

Nút chủ động 51-1 bao gồm bộ xử lý thứ nhất 61 (tương ứng với bộ xử lý thứ nhất 21 của phương án thứ nhất), bộ phận lưu trữ 62 (tương ứng với bộ phận lưu trữ 22 của phương án thứ nhất), bộ phận thông báo khung đồng bộ hóa 63, và bộ phận thông báo thời gian trễ truyền 64. Cần lưu ý rằng bộ tạo tín hiệu tham chiếu thứ nhất 61-1 (tương ứng với bộ tạo tín hiệu tham chiếu thứ nhất 21-1 của phương án thứ nhất) được tích hợp trong bộ xử lý thứ nhất 61.

Các dấu hiệu khác biệt của nút chủ động 51-1 so với bộ xử lý 11-1 của phương án thứ nhất bao gồm việc bổ sung bộ phận thông báo khung đồng bộ hóa 63 và bộ phận thông báo thời gian trễ truyền 64. Trong phần tiếp theo, các dấu hiệu khác biệt của phương án thứ hai được mô tả, còn các phần mô tả của các dấu hiệu giống hệt với phương án thứ nhất được bỏ qua.

Trong phương án thứ hai, bộ phận thông báo thời gian trễ truyền 64 của nút chủ động 51-1 truyền khung yêu cầu thời gian trễ truyền để tính toán thời gian trễ truyền. Khung này về cơ bản là tương tự như khung đồng bộ hóa, mà được mô tả dưới đây, nhưng có dữ liệu của phần định trước (ví dụ, phần lệnh) của khung đồng bộ hóa được thay đổi khi được truyền. Điều này có nghĩa là, khung yêu cầu thời gian trễ truyền được truyền đồng bộ hóa với tín hiệu tham chiếu thứ nhất được tạo ra bởi bộ tạo tín hiệu tham chiếu thứ nhất 61.

Sau đó, bộ phận thông báo thời gian trễ truyền 64 nhận khung hoàn thành nhận từ nút thụ động mà đáp lại khung yêu cầu thời gian trễ truyền. Sau đó, bộ phận thông báo thời gian trễ truyền 64 tính toán thời gian trễ truyền khứ hồi của các việc truyền giữa nút chủ động và nút thụ động dựa trên sự khác biệt giữa thời điểm khung đáp lại được nhận và thời điểm khung yêu cầu thời gian trễ truyền được truyền. Sau đó, bộ phận thông báo thời gian trễ truyền 64 thông báo cho nút thụ động về thời gian trễ truyền của đường truyền thông 52 bằng cách truyền đến nút thụ động khung thông báo thời gian trễ truyền

bao gồm thời gian trễ truyền khứ hồi được tính toán đồng bộ hóa với tín hiệu tham chiếu thứ nhất tiếp theo.

Sau khi đưa ra thông báo về thời gian trễ truyền khứ hồi, nút chủ động 51-1 truyền khung đồng bộ hóa mà được chuẩn bị từ trước đến nút thụ động qua đường truyền thông 52 dựa trên tín hiệu tham chiếu thứ nhất (đồng bộ hóa với tín hiệu tham chiếu thứ nhất). Cần lưu ý rằng việc xử lý này được thực hiện bởi bộ phận thông báo khung đồng bộ hóa 63. Như được mô tả dưới đây, khung đồng bộ hóa là tín hiệu tham chiếu đồng bộ hóa để sắp xếp giá trị bộ đếm của nút thụ động để so khớp với giá trị bộ đếm của nút chủ động 51-1.

Trong phần sau đây, các nút thụ động 51-2 và 51-3 được mô tả. Các nút thụ động 51-2 và 51-3, mỗi nút bao gồm bộ xử lý thứ hai 71, bộ phận xử lý hiệu chỉnh đồng bộ hóa 72, bộ phận lưu trữ 73, bộ phận thông báo hoàn thành nhận 74, và bộ phận nhận khung 75. Bộ tạo tín hiệu tham chiếu thứ hai 71-1 được tích hợp trong bộ xử lý thứ hai 71. Bộ phận xử lý hiệu chỉnh đồng bộ hóa 72 bao gồm bộ đo thời gian gián tiếp 72-1, bộ thu nhận giá trị đếm 72-2, bộ xác định đồng bộ hóa 72-3, và bộ hiệu chỉnh đồng bộ hóa 72-4. Do các nút thụ động 51-2 và 51-3 có cùng cấu hình, nên trong phần tiếp theo, nút thụ động 51-2 được mô tả như là ví dụ đại diện.

Các dấu hiệu khác biệt của nút thụ động 51-2 so với bộ xử lý 11-2 của phương án thứ nhất bao gồm các sự khác biệt về bộ xác định đồng bộ hóa 72-3 so với bộ xác định đồng bộ hóa 32-3 của phương án thứ nhất, và việc bổ sung bộ phận thông báo hoàn thành nhận 74 và bộ phận nhận khung 75. Nói cách khác, bộ tạo tín hiệu tham chiếu thứ hai 71-1 có thể giống như bộ tạo tín hiệu tham chiếu thứ hai 31-1 của phương án thứ nhất, và bộ xử lý thứ hai 71 có thể giống như bộ xử lý thứ hai 31 của phương án thứ nhất. Hơn nữa, bộ đo thời gian gián tiếp 72-1 có thể giống như bộ đo thời gian gián tiếp 32-1 của phương án thứ nhất, và bộ thu nhận giá trị đếm 72-2 có thể giống như bộ thu nhận giá trị đếm 32-2 của phương án thứ nhất. Bộ phận lưu trữ 73 có thể giống như bộ phận lưu trữ 33 của

phương án thứ nhất. Do đó, các phần mô tả các dấu hiệu giống hết các dấu hiệu của phương án thứ nhất được bỏ qua. Phần mô tả sau đây liên quan đến việc xử lý hiệu chỉnh đồng bộ hóa của nút thụ động 51-2 mà xét đến thời gian trễ truyền của đường truyền thông 52.

Nhờ nhận khung yêu cầu thời gian trễ truyền như được mô tả trên đây từ nút chủ động 51-1, bộ phận thông báo hoàn thành nhận 74 truyền khung hoàn thành nhận đến nút chủ động 51-1.

Bộ phận nhận khung 75 nhận khung yêu cầu thời gian trễ truyền mà được truyền bởi nút chủ động 51-1, và lưu giữ thời gian trễ truyền khứ hồi (giá trị) có trong khung được nhận vào bộ nhớ 44 được mô tả trên đây. Theo cách này, nút thụ động 51-2 đạt được từ nút chủ động 51-1 thời gian trễ truyền khứ hồi của các việc truyền giữa nút thụ động 51-2 và nút chủ động 51-1.

Nút thụ động 51-2 mà đã đạt được thời gian trễ truyền khứ hồi từ nút chủ động 51-1 nhận khung đồng bộ hóa, mà khiến cho bộ xử lý thứ hai (CPU) 71 tạo ra ngắt. Bộ xử lý thứ hai 71 mà nhận ngắt bắt đầu việc xử lý hiệu chỉnh đồng bộ hóa (việc xử lý định trước), mà được mô tả dưới đây. Cần lưu ý rằng, theo một khía cạnh của sáng chế, ngay cả khi khung đồng bộ hóa được nhận mà không đạt được thời gian trễ truyền khứ hồi, thì việc xử lý hiệu chỉnh đồng bộ hóa (việc xử lý định trước) có thể được bắt đầu với việc giả định thời gian trễ truyền khứ hồi bằng không (0). Ngoài ra, đối với tốc độ từ khi nhận khung đồng bộ hóa đến khi phát ra ngắt ở bộ xử lý thứ hai 71, mặc dù không được minh họa trên các hình vẽ, logic phần cứng như FPGA (Field Programmable Gate Array - Mảng cổng khả trình dạng trường) được ưu tiên sử dụng để nhận khung đồng bộ hóa.

Hơn nữa, trong bộ phận xử lý hiệu chỉnh đồng bộ hóa 72, bộ phận đo thời gian gián tiếp 72-1 đo thời gian gián tiếp từ thời điểm khung đồng bộ hóa được nhận như là điểm bắt đầu cho đến khi việc xử lý hiệu chỉnh đồng bộ hóa được thực hiện. Đặc biệt là, bộ đo thời gian gián tiếp 72-1 bao gồm bộ đếm (bộ định thời) được tạo cấu hình để khởi

động lại nhờ nhận khung đồng bộ hóa, và việc xử lý chương trình đọc giá trị bộ đếm của bộ đếm này tại thời điểm bắt đầu việc xử lý hiệu chỉnh đồng bộ hóa. Điều này có nghĩa là, bộ đo thời gian gián tiếp 72-1 khởi động lại nhờ nhận khung đồng bộ hóa, và đo thời gian gián tiếp từ thời điểm khởi động lại bộ đo thời gian gián tiếp 72-1 như là điểm bắt đầu cho đến khi việc xử lý hiệu chỉnh đồng bộ hóa như được mô tả trên đây được thực hiện.

Bộ thu nhận giá trị đếm 72-2 thu nhận giá trị đếm của bộ tạo tín hiệu tham chiếu thứ hai 71-1 vào thời điểm bắt đầu (thời điểm thực hiện thực tế) việc xử lý hiệu chỉnh đồng bộ hóa.

Bộ xác định đồng bộ hóa 72-3 đạt được thời gian trễ truyền một chiều của đường truyền thông 52 bằng cách làm giảm thời gian trễ truyền khứ hồi nêu trên đi một nửa, và đạt được tổng thời gian trễ bằng cách cộng cả thời gian trễ truyền một chiều và giá trị thời gian gián tiếp nêu trên. Sau đó, bộ xác định đồng bộ hóa 72-3 so sánh tổng thời gian trễ nêu trên với giá trị đếm của bộ tạo tín hiệu tham chiếu thứ hai thu nhận được bởi bộ thu nhận giá trị đếm 72-2. Theo kết quả so sánh này, nếu hai giá trị trên đây là bằng nhau, thì bộ xác định đồng bộ hóa 72-3 xác định rằng tín hiệu tham chiếu thứ nhất và tín hiệu tham chiếu thứ hai là đồng bộ, và nếu hai giá trị này là khác nhau, thì bộ xác định đồng bộ hóa 72-3 xác định rằng tín hiệu tham chiếu thứ nhất và tín hiệu tham chiếu thứ hai là không đồng bộ. Cần lưu ý rằng “đồng bộ” trong văn cảnh này có nghĩa là giá trị bộ đếm của bộ tạo tín hiệu tham chiếu thứ nhất là bằng với giá trị bộ đếm của bộ tạo tín hiệu tham chiếu thứ hai.

Cần lưu ý rằng, khi thực hiện việc xác định đồng bộ/không đồng bộ, bộ xác định đồng bộ hóa 72-3 có thể thực hiện việc so sánh trên đây bằng cách chuyển đổi giá trị bộ đếm của mỗi bộ đếm thành thời gian theo cách tương tự như việc chuyển đổi thời gian được thực hiện bởi bộ xác định đồng bộ hóa 32-3 của phương án thứ nhất.

Trong phương án thứ hai, khi việc xác định đồng bộ được thực hiện bởi bộ xác định đồng bộ hóa 72-3, thì bộ hiệu chỉnh đồng bộ hóa 72-4 thiết lập giá trị tham chiếu

trong bộ tạo tín hiệu tham chiếu thứ hai 71-1. Khi việc xác định không đồng bộ được thực hiện, thì bộ hiệu chỉnh đồng bộ hóa 72-4 đạt được giá trị hiệu chỉnh đồng bộ hóa bằng cách trừ tổng giá trị thời gian trễ được mô tả trên đây từ giá trị đếm của bộ tạo tín hiệu tham chiếu thứ hai 71-1 thu nhận được bởi bộ thu nhận giá trị đếm 72-2. Sau đó, bộ hiệu chỉnh đồng bộ hóa 72-4 trừ giá trị hiệu chỉnh đồng bộ hóa từ giá trị tham chiếu, và thiết lập giá trị hiệu thu được trong bộ tạo tín hiệu tham chiếu thứ hai 71-1 như là giá trị tham chiếu mới. Giá trị tham chiếu mới tương ứng với giá trị tham chiếu tạm thời đối với giá trị tham chiếu (giá trị tham chiếu mặc định) được thiết lập trong bộ tạo tín hiệu tham chiếu thứ hai 71-1 khi bộ xác định đồng bộ hóa 72-3 thực hiện việc xác định đồng bộ, giá trị tham chiếu tạm thời được thiết lập tạm thời như là giá trị tham chiếu để hiệu chỉnh giá trị bộ định thời của bộ tạo tín hiệu tham chiếu thứ hai 71-1 khi bộ xác định đồng bộ hóa 72-3 thực hiện việc xác định không đồng bộ.

Cần lưu ý rằng, theo một phương án của sáng chế, giá trị tham chiếu mặc định được thiết lập trong bộ tạo tín hiệu tham chiếu thứ hai 71-1, và miễn là việc đồng bộ hóa được duy trì, giá trị tham chiếu mặc định có thể không cần phải được ghi lại sau đó. Tuy nhiên, trong các ví dụ khác, giá trị tham chiếu mặc định có thể được thiết lập trong bộ tạo tín hiệu tham chiếu thứ hai 71-1 mỗi khi việc xác định đồng bộ/không đồng bộ được thực hiện hoặc gián đoạn chẳng hạn.

Theo một khía cạnh của phương án này, việc xử lý hiệu chỉnh đồng bộ hóa có thể được thực hiện mà cũng xét đến ảnh hưởng của thời gian trễ truyền được tạo ra khi thông báo tín hiệu tham chiếu đồng bộ hóa (khung đồng bộ hóa) qua đường truyền thông 52. Điều này có nghĩa là, theo phương án thứ hai, việc xử lý hiệu chỉnh giá trị bộ đếm có thể được thực hiện đối với thời gian trễ truyền giữa các nút và thời gian gián tiếp của nút thụ động, và theo cách này, việc đồng bộ hóa có độ chính xác cao giữa các nút có thể đạt được.

<Các ví dụ đồng bộ hóa bộ đếm của phương án thứ hai>

Các hình vẽ từ Fig.8 đến Fig.10 là các đồ thị thời gian minh họa các ví dụ về đồng bộ hóa bộ đếm của phương án thứ hai. Điều này có nghĩa là, các hình vẽ từ Fig.8 đến Fig.10 minh họa các ví dụ về việc đồng bộ hóa các giá trị bộ đếm của nút chủ động 51-1 và nút thụ động 51-2. Cần lưu ý rằng, các ví dụ này minh họa các việc xử lý đồng bộ hóa giá trị bộ đếm được thực hiện với giả định rằng thời gian trễ truyền khứ hồi ($600\ \mu\text{s}$; tức là, thời gian trễ truyền một chiều = $300\ \mu\text{s}$) đã được tính toán bởi nút chủ động 51-1 và được thông báo cho nút thụ động 51-2. Cần lưu ý rằng giá trị tham chiếu trong phương án thứ hai (chu kỳ xử lý) được giả định là $1000\ \mu\text{s}$ như trong phương án thứ nhất, và giá trị tham chiếu có thể được thay đổi một cách thích hợp bởi thiết bị lập trình 55.

Trong các ví dụ trên các hình vẽ từ Fig.8 đến Fig.10, thời điểm truyền khung đồng bộ hóa của nút chủ động 51-1 được gọi là “tham chiếu đồng bộ hóa trạm chủ động”, và bộ tạo tín hiệu tham chiếu thứ nhất 61-1 được gọi là “bộ đếm phía chủ động”. Hơn nữa, trong các ví dụ trên các hình vẽ từ Fig.8 đến Fig.10, bộ tạo tín hiệu tham chiếu thứ hai 71-1 được gọi là “bộ đếm1 phía thụ động”, và bộ đếm có trong bộ đo thời gian gián tiếp 72-1 được gọi là “bộ đếm2”.

Theo Fig.8, vào thời điểm (1), giá trị bộ đếm của bộ đếm phía chủ động của nút chủ động 51-1 đạt đến giá trị tham chiếu, và đáp lại, nút chủ động 51-1 truyền khung đồng bộ hóa. Vào thời điểm (2), sau khi thời gian trễ truyền một chiều ($300\ \mu\text{s}$) của đường truyền thông 52 trôi qua, nút thụ động 51-2 nhận khung đồng bộ hóa được truyền vào thời điểm (1), và bắt đầu việc xử lý hiệu chỉnh đồng bộ hóa. Ngoài ra, nhờ nhận khung đồng bộ hóa, bộ đếm của bộ đo thời gian gián tiếp 72-1 (bộ đếm2) được xóa và khởi động lại (xem (3) trên Fig.8).

Tiếp theo, vào thời điểm (4) trên Fig.8 khi việc xử lý hiệu chỉnh đồng bộ hóa được thực hiện thật sự, bộ đo thời gian gián tiếp 72-1 tham chiếu đến giá trị bộ đếm của bộ đếm liên quan (bộ đếm2) vào thời điểm bắt đầu việc xử lý hiệu chỉnh đồng bộ hóa, chuyển đổi giá trị bộ đếm thành thời gian, và đạt được giá trị “ $200\ \mu\text{s}$ ”. Theo cách này, bộ

đo thời gian gián tiếp 72-1 đo thời gian gián tiếp từ thời điểm khung đồng bộ hóa được nhận như là điểm bắt đầu cho đến thời điểm việc xử lý hiệu chỉnh đồng bộ hóa được thực hiện (thời điểm bắt đầu).

Tiếp theo, vào thời điểm (5) trên Fig.8, bộ thu nhận giá trị đếm 72-2 tham chiếu đến giá trị bộ đếm của bộ đếm1 phía thụ động, chuyển đổi giá trị bộ đếm thành thời gian, và đạt được giá trị “500 μ s”. Tiếp theo, bộ xác định đồng bộ hóa 72-3 đạt được thời gian trễ truyền một chiều (300 μ s) dựa trên thời gian trễ truyền khứ hồi (600 μ s), và đạt được tổng thời gian trễ (500 μ s) bằng cách cộng cả thời gian trễ truyền một chiều (300 μ s) và giá trị thời gian gián tiếp (200 μ s). Sau đó, bộ xác định đồng bộ hóa 72-3 so sánh tổng thời gian trễ (500 μ s) với giá trị đếm (500 μ s) thu nhận được bởi bộ thu nhận giá trị đếm 72-2, và xác định rằng tín hiệu tham chiếu thứ nhất và tín hiệu tham chiếu thứ hai là đồng bộ do hai giá trị trên đây là bằng nhau trong ví dụ này. Do việc xác định đồng bộ được thực hiện bởi bộ xác định đồng bộ hóa 72-3, nên bộ hiệu chỉnh đồng bộ hóa 72-4 thiết lập giá trị tham chiếu 1000 μ s trong bộ đếm1 phía thụ động (bộ đếm1 phía thụ động không được khởi động lại vào thời điểm này). Sau đó, vào thời điểm (6) trên Fig.8, khi giá trị bộ đếm của bộ đếm1 phía thụ động đạt đến giá trị tham chiếu 1000 μ s, thì bộ đếm1 phía thụ động được khởi động lại.

Fig.9 minh họa trường hợp bộ đếm của nút thụ động 51-2 bị trễ 200 μ s so với bộ đếm của nút chủ động 51-1.

Theo chu kỳ thứ nhất (chu kỳ bên trái) trên Fig.9, vào thời điểm (1), giá trị bộ đếm của bộ đếm phía chủ động đạt đến giá trị tham chiếu, và đáp lại, nút chủ động 51-1 truyền khung đồng bộ hóa. Vào thời điểm (2), sau khi thời gian trễ truyền một chiều của đường truyền thông 52 (300 μ s) trôi qua từ thời điểm (1) mà tại đó khung đồng bộ hóa được truyền, nút thụ động 51-2 nhận khung đồng bộ hóa và bắt đầu việc xử lý hiệu chỉnh đồng bộ hóa. Ngoài ra, nhờ nhận khung đồng bộ hóa, bộ đếm (bộ đếm2) của bộ đo thời gian gián tiếp 72-1 được xóa và khởi động lại (xem (3) trên Fig.9).

Tiếp theo, vào thời điểm (4) trên Fig.9 khi việc xử lý hiệu chỉnh đồng bộ hóa được thực hiện thật sự, bộ đo thời gian gián tiếp 72-1 tham chiếu đến giá trị bộ đếm của bộ đếm liên quan (bộ đếm2) vào thời điểm bắt đầu việc xử lý hiệu chỉnh đồng bộ hóa, chuyển đổi giá trị bộ đếm thành thời gian, và đạt được giá trị “200 μ s”.

Tiếp theo, vào thời điểm (5) trên Fig.9, bộ thu nhận giá trị đếm 72-2 tham chiếu đến giá trị bộ đếm của bộ đếm1 phía thụ động, chuyển đổi giá trị bộ đếm thành thời gian, và đạt được giá trị “300 μ s”. Tiếp theo, bộ xác định đồng bộ hóa 72-3 đạt được thời gian trễ truyền một chiều (300 μ s) dựa trên thời gian trễ truyền khứ hồi (600 μ s), và đạt được tổng thời gian trễ (500 μ s) bằng cách cộng cả thời gian trễ truyền một chiều (300 μ s) và giá trị thời gian gián tiếp (200 μ s). Sau đó, bộ xác định đồng bộ hóa 72-3 so sánh tổng thời gian trễ (500 μ s) với giá trị đếm (300 μ s) thu nhận được bởi bộ thu nhận giá trị đếm 72-2, và xác định rằng tín hiệu tham chiếu thứ nhất và tín hiệu tham chiếu thứ hai là không đồng bộ do hai giá trị trên đây là khác nhau trong ví dụ này.

Do việc xác định không đồng bộ được thực hiện bởi bộ xác định đồng bộ hóa 72-3, nên bộ hiệu chỉnh đồng bộ hóa 72-4 thiết lập giá trị tham chiếu tạm thời trong bộ đếm1 phía thụ động. Đặc biệt là, bộ hiệu chỉnh đồng bộ hóa 72-4 đạt được giá trị khởi động lại (giá trị thiết lập lại) đối với “bộ đếm1 phía thụ động” nhờ sử dụng công thức [Giá trị tham chiếu (Chu kỳ xử lý)- (“bộ đếm2”- “bộ đếm1 phía thụ động”)] và thiết lập giá trị đạt được làm giá trị tham chiếu tạm thời trong “bộ đếm1 phía thụ động”. Trong ví dụ này, giá trị tham chiếu tạm thời là $[1000 \mu\text{s} - (500 \mu\text{s} - 300 \mu\text{s}) = 800 \mu\text{s}]$, và giá trị 800 μ s được thiết lập trong “bộ đếm1 phía thụ động”. Sau đó, vào thời điểm (6) trên Fig.9, khi giá trị bộ đếm của bộ đếm1 phía thụ động đạt đến giá trị tham chiếu tạm thời 800 μ s, thì bộ đếm1 phía thụ động được khởi động lại. Cần lưu ý rằng giá trị “bộ đếm2”- “bộ đếm1 phía thụ động” tương ứng với giá trị hiệu chỉnh đồng bộ hóa.

Fig.10 minh họa trường hợp bộ đếm của nút thụ động 51-2 là 200 μ s từ trước (trước) của bộ đếm của nút chủ động 51-1. Theo chu kỳ thứ nhất (chu kỳ bên trái) trên

Fig.10, vào thời điểm (1), giá trị bộ đếm của bộ đếm phía chủ động đạt đến giá trị tham chiếu, và đáp lại, nút chủ động 51-1 truyền khung đồng bộ hóa. Vào thời điểm (2), sau khi thời gian trễ truyền một chiều của đường truyền thông 52 ($300\ \mu\text{s}$) trôi qua từ thời điểm (1) mà tại đó khung đồng bộ hóa được truyền, nút thụ động 51-2 nhận khung đồng bộ hóa và bắt đầu việc xử lý hiệu chỉnh đồng bộ hóa. Ngoài ra, nhờ nhận khung đồng bộ hóa, bộ đếm (bộ đếm2) của bộ đo thời gian gián tiếp 72-1 được xóa và khởi động lại (xem (3) trên Fig.10).

Tiếp theo, vào thời điểm (4) trên Fig.10, khi việc xử lý hiệu chỉnh đồng bộ hóa được thực hiện thật sự, thì bộ đo thời gian gián tiếp 72-1 tham chiếu đến giá trị bộ đếm của bộ đếm liên quan (bộ đếm2) tại thời điểm bắt đầu việc xử lý hiệu chỉnh đồng bộ hóa, chuyển đổi giá trị bộ đếm thành thời gian, và đạt được giá trị “ $200\ \mu\text{s}$ ”.

Tiếp theo, vào thời điểm (5) trên Fig.10, bộ thu nhận giá trị đếm 72-2 tham chiếu đến giá trị bộ đếm của bộ đếm1 phía thụ động, chuyển đổi giá trị bộ đếm thành thời gian, và đạt được giá trị “ $700\ \mu\text{s}$ ”. Tiếp theo, bộ xác định đồng bộ hóa 72-3 đạt được thời gian trễ truyền một chiều ($300\ \mu\text{s}$) dựa trên thời gian trễ truyền khứ hồi ($600\ \mu\text{s}$), và đạt được tổng thời gian trễ ($500\ \mu\text{s}$) bằng cách cộng cả thời gian trễ truyền một chiều ($300\ \mu\text{s}$) và giá trị thời gian gián tiếp ($200\ \mu\text{s}$). Sau đó, bộ xác định đồng bộ hóa 72-3 so sánh tổng thời gian trễ ($500\ \mu\text{s}$) với giá trị đếm ($700\ \mu\text{s}$) thu nhận được bởi bộ thu nhận giá trị đếm 72-2, và xác định rằng tín hiệu tham chiếu thứ nhất và tín hiệu tham chiếu thứ hai là không đồng bộ do hai giá trị trên đây là khác nhau trong ví dụ này.

Do việc xác định không đồng bộ được thực hiện bởi bộ xác định đồng bộ hóa 72-3, nên bộ hiệu chỉnh đồng bộ hóa 72-4 thiết lập giá trị tham chiếu tạm thời trong bộ đếm1 phía thụ động. Trong ví dụ này, giá trị tham chiếu tạm thời là $[1000\ \mu\text{s} - (500\ \mu\text{s} - 700\ \mu\text{s}) = 1200\ \mu\text{s}]$, và giá trị $1200\ \mu\text{s}$ được thiết lập trong “bộ đếm1 phía thụ động”. Sau đó, vào thời điểm (6) trên Fig.10, khi giá trị bộ đếm đạt đến giá trị tham chiếu tạm thời $1200\ \mu\text{s}$, thì bộ đếm1 phía thụ động được khởi động lại.

Cần lưu ý rằng, trong các ví dụ trên Fig.9 và Fig.10, bộ đếm phía chủ động và bộ đếm1 phía thụ động là đồng bộ trong suốt chu kỳ thứ hai (xem các chu kỳ giữa trên Fig.9 và Fig.10). Do đó, bộ hiệu chỉnh đồng bộ hóa 72-4 thiết lập giá trị tham chiếu ban đầu 1000 μ s trong bộ đếm1 phía thụ động theo cách tương tự như việc xử lý được minh họa trên Fig.8 (bộ đếm1 phía thụ động không được khởi động lại vào thời điểm thiết lập giá trị tham chiếu). Sau đó, khi giá trị bộ đếm của bộ đếm1 phía thụ động đạt đến giá trị tham chiếu 1000 μ s, thì bộ đếm1 phía thụ động được khởi động lại. Điều này có nghĩa là, theo phương án thứ hai, đối với chu kỳ hiện thời, bộ đếm1 phía thụ động có thể được khởi động lại về cơ bản là đồng thời với thời điểm khởi động lại bộ đếm phía chủ động để bắt đầu chu kỳ tiếp theo. Theo cách này, giá trị bộ đếm của bộ đếm phía chủ động và giá trị bộ đếm của bộ đếm1 phía thụ động có thể được sắp xếp về cơ bản là bằng nhau.

Cần lưu ý rằng, như trong phương án thứ nhất, việc xử lý hiệu chỉnh đồng bộ hóa theo phương án thứ hai bao gồm các việc xử lý chương trình của bộ thu nhận giá trị đếm 72-2, bộ xác định đồng bộ hóa 72-3, bộ hiệu chỉnh đồng bộ hóa 72-4, và bộ đo thời gian gián tiếp 72-1.

Ngoài ra, trong các ví dụ trên đây, giả sử rằng bộ đếm1 phía thụ động; cụ thể là, bộ tạo tín hiệu tham chiếu thứ hai 71-1, được tích hợp trong CPU (bộ xử lý thứ hai 71). Tuy nhiên, sáng chế không bị giới hạn ở cách bố trí này. Điều này có nghĩa là, tín hiệu tham chiếu thứ hai có thể được tạo ra theo cách khác bên ngoài CPU. Cần lưu ý rằng khi bộ tạo tín hiệu tham chiếu thứ hai 71-1 được tích hợp trong CPU, các thao tác phần cứng để thiết lập lại bộ tạo tín hiệu tham chiếu thứ hai 71-1 không thể được nhắc bởi tín hiệu định trước được tạo ra bên ngoài CPU. Nói cách khác, bộ tạo tín hiệu tham chiếu thứ hai 71-1 trong trường hợp này tương ứng với bộ đếm có các thao tác của nó được điều khiển thông qua chương trình. Do đó, việc xử lý thiết lập lại (việc xử lý khởi động lại) đối với bộ tạo tín hiệu tham chiếu thứ hai 71-1 phải được thực hiện thông qua chương trình, và thời gian gián tiếp của các thao tác chương trình này dẫn đến các lỗi đồng bộ hóa. Vì vậy,

chức năng để đo thời gian gián tiếp cần phải được thực hiện trong phương án này (cũng như phương án thứ nhất).

Ngoài ra, việc xử lý hiệu chỉnh đồng bộ hóa theo phương án thứ hai tương ứng với việc xử lý ngắt mà được bắt đầu đáp lại việc nhận khung đồng bộ hóa.

Ngoài ra, trong các ví dụ trên đây, nút thụ động 51-2 có thể thu nhận thời gian trễ truyền khứ hồi từ nút chủ động 51-1, lưu trữ thời gian trễ truyền khứ hồi thu nhận được, và sử dụng thời gian trễ truyền khứ hồi được lưu trữ nhờ thực hiện việc xử lý hiệu chỉnh đồng bộ hóa chẳng hạn. Ngoài ra, như là một đặc điểm riêng so với các đặc điểm trên đây, nút chủ động 51-1 có thể bao gồm thời gian trễ truyền khứ hồi trong khung đồng bộ hóa và truyền khung đồng bộ hóa đến nút thụ động 51-2, và nút thụ động 51-2 có thể nhận khung đồng bộ hóa và sử dụng thời gian trễ truyền khứ hồi có trong khung đồng bộ hóa được nhận. Theo cách này, nút chủ động 51-1 có thể thông báo chính xác cho nút thụ động 51-2 về thời gian trễ truyền khứ hồi theo trạng thái, và nút thụ động 51-2 có thể sử dụng thời gian trễ truyền khứ hồi theo trạng thái đúng lúc.

Ngoài ra, cần lưu ý rằng, mặc dù bộ phận thông báo thời gian trễ truyền 64 được mô tả trên đây được tạo cấu hình để thông báo cho nút thụ động 51-2 về thời gian trễ truyền khứ hồi, nhưng sáng chế không bị giới hạn ở cách sắp xếp như vậy. Ví dụ, bộ phận thông báo thời gian trễ truyền 64 có thể tính toán thời gian trễ truyền một chiều bằng cách làm giảm thời gian trễ truyền khứ hồi đi một nửa và thông báo cho nút thụ động 51-2 về thời gian trễ truyền một chiều tính toán được. Trong trường hợp này, bộ xác định đồng bộ hóa 72-3 của nút thụ động 51-2 có thể sử dụng thời gian trễ truyền một chiều được cung cấp bởi bộ phận thông báo thời gian trễ truyền 64 để đạt được tổng thời gian trễ.

Như được mô tả trên đây, trong phương án thứ hai, tín hiệu tham chiếu thứ nhất và tín hiệu tham chiếu thứ hai có thể được đồng bộ hóa khi xét đến thời gian trễ truyền của các tín hiệu được truyền qua đường truyền thông.

<Các thủ tục thông báo thời gian trễ truyền của việc xử lý hiệu chỉnh đồng bộ hóa>

Trong phần tiếp theo, các thủ tục thông báo được mô tả để thông báo thời gian trễ truyền trong việc xử lý hiệu chỉnh đồng bộ hóa được mô tả trên đây. Fig.11 minh họa các thủ tục thông báo ví dụ để thông báo thời gian trễ truyền theo phương án thứ hai. Trong ví dụ trên Fig.11, giả sử rằng nút chủ động 51-1 được mô tả trên đây và các nút thụ động 51-2 và 51-3 được nối qua đường truyền thông 52 sao cho các nút có thể trao đổi tín hiệu với nhau qua đường truyền thông 52. Ngoài ra, phần mô tả sau đây liên quan đến ví dụ trong đó nút chủ động 51-1 thu nhận thời gian trễ truyền tín hiệu của tín hiệu được trao đổi giữa các nút qua đường truyền thông 52.

Cần lưu ý rằng các hình chữ nhật được minh họa trên Fig.11 là các khung, bao gồm các khung truyền được đại diện bởi các hình chữ nhật được chỉ báo phía trên đường của nút và các khung nhận được đại diện bởi các hình chữ nhật được chỉ báo phía dưới đường của nút. Hơn nữa, các khung được minh họa trên Fig.11 bao gồm khung yêu cầu thời gian trễ truyền 81 (“REQ S*” trên Fig.11, trong đó “*” là số được gắn từ trước để nhận dạng từng nút thụ động chẳng hạn), khung hoàn thành nhận 82 (“S*” trên Fig.11), khung thông báo thời gian trễ truyền 83 (“SET S*” trên Fig.11), và khung đáp lại 84 (“ANS S*” trên Fig.11) như là tín hiệu đáp lại khung thông báo thời gian trễ truyền 83.

Trong ví dụ trên Fig.11, nút chủ động 51-1 phát rộng khung yêu cầu thời gian trễ truyền 81-1 (REQ S1) đối với nút thụ động 51-2 (S1) qua đường truyền thông 52 theo tham chiếu đồng bộ hóa nút chủ động. Trong trường hợp này, khung yêu cầu thời gian trễ truyền 81-1 bao gồm thông tin chỉ báo rằng yêu cầu thời gian trễ truyền là để dùng cho nút thụ động 51-2 (thông tin nút đích).

Thời gian trễ truyền khung yêu cầu thời gian trễ truyền phát rộng 81-1 được nhận bởi mỗi nút trong số các nút thụ động 51-2 và 51-3 qua đường truyền thông 52 sau thời gian trễ truyền định trước. Trong ví dụ trên Fig.11, nút thụ động 51-2 nhận khung yêu cầu thời gian trễ truyền 81-1 sau thời gian trễ D1 từ tham chiếu đồng bộ hóa nút chủ động, và

nút thụ động 51-3 nhận khung yêu cầu thời gian trễ truyền 81-1 sau thời gian trễ D2 từ tham chiếu đồng bộ hóa nút chủ động.

Mỗi nút trong số các nút thụ động 51-2 và 51-3 kiểm tra thông tin nút đích được mô tả trên đây có trong khung yêu cầu thời gian trễ truyền 81-1. Như được mô tả trên đây, khung yêu cầu thời gian trễ truyền 81-1 tương ứng với yêu cầu đối với nút thụ động 51-2, và như vậy, chỉ nút thụ động 51-2 phát rộng khung hoàn thành nhận 81-2 (S1) đến nút chủ động 51-1. Trong trường hợp này, khung hoàn thành nhận 82-1 bao gồm thông tin chỉ báo rằng khung hoàn thành nhận là để dùng cho nút chủ động 51-1 (thông tin nút đích).

Khung hoàn thành nhận phát rộng 82-1 được nhận bởi nút chủ động 51-1 và nút thụ động 51-3 qua đường truyền thông 52. Sau đó, mỗi nút trong số nút chủ động 51-1 và nút thụ động 51-3 kiểm tra thông tin nút đích được mô tả trên đây có trong khung hoàn thành nhận 82-1 hay không. Như được mô tả trên đây, khung hoàn thành nhận 82-1 là khung để dùng cho nút chủ động 51-1. Do đó, nút chủ động 51-1 thiết lập thời gian trễ truyền cho nút thụ động 51-2 dựa trên thông tin thời gian từ thời điểm khung yêu cầu thời gian trễ truyền 81-1 được truyền (phát rộng) theo tham chiếu đồng bộ hóa nút chủ động cho đến khi khung hoàn thành nhận 82-1 được nhận. Thời gian trễ truyền sẽ được thiết lập trong trường hợp này có thể là thời gian trễ truyền một chiều hoặc thời gian trễ truyền khứ hồi để truyền tín hiệu định trước qua lại giữa nút chủ động 51-1 và nút thụ động 51-2 qua đường truyền thông 52.

Hơn nữa, nút chủ động 51-1 tạo ra khung thông báo thời gian trễ truyền 83-1 (SET S1) để thông báo cho nút thụ động 51-2 về thời gian trễ truyền được thiết lập, và phát rộng khung thông báo thời gian trễ truyền 83-1 được tạo ra theo tham chiếu đồng bộ hóa nút chủ động. Cần lưu ý rằng, khung thông báo thời gian trễ truyền 83-1 bao gồm thông tin nút đích được mô tả trên đây.

Khung thông báo thời gian trễ truyền 83-1 phát rộng được nhận bởi các nút thụ

động 51-2 và 51-3 qua đường truyền thông 52 sau thời gian trễ truyền định trước theo cách tương tự như việc nhận khung yêu cầu thời gian trễ truyền 81-1 như được mô tả trên đây.

Trong trường hợp này, nút thụ động 51-2 xác định rằng nó được đưa vào thông tin nút đích có trong khung thông báo thời gian trễ truyền 83-1 được nhận, và thực hiện việc xử lý hiệu chỉnh đồng bộ hóa của phương án thứ hai xét đến thời gian trễ truyền có trong khung thông báo thời gian trễ truyền 83-1 được nhận và thời gian gián tiếp được mô tả trên đây chẳng hạn. Ngoài ra, nút thụ động 51-2 tạo ra khung đáp lại 84-1 (ANS S1) đáp lại khung thông báo thời gian trễ truyền 83-1 và phát rộng khung đáp lại 84-1 được tạo ra. Trong trường hợp này, khung đáp lại 84-1 bao gồm thông tin chỉ báo rằng khung này là để dùng cho nút chủ động 51-1 (thông tin nút đích) và thông tin chỉ báo rằng việc xử lý hiệu chỉnh đồng bộ hóa đã được hoàn thành.

Khung đáp lại phát rộng 84-1 được nhận bởi nút chủ động 51-1 và nút thụ động 51-3 qua đường truyền thông 52 theo cách tương tự như việc nhận khung hoàn thành nhận 82-1 như được mô tả trên đây. Tiếp theo, nút chủ động 51-1 và nút thụ động 51-3 kiểm tra liệu thông tin nút đích có trong khung đáp lại 84-1 được nhận hay không. Như được mô tả trên đây, khung đáp lại 84-1 là khung dùng cho nút chủ động 51-1. Do đó, nút chủ động 51-1 cũng có thể xác định, dựa trên khung đáp lại 84-1 từ nút thụ động 51-2, rằng việc xử lý hiệu chỉnh đồng bộ hóa đã được hoàn thành. Cần lưu ý rằng mặc dù nút thụ động 51-3 nhận khung yêu cầu thời gian trễ truyền 81-1 (REQ S1), nhưng khung hoàn thành nhận 82-1 (S1), khung thông báo thời gian trễ truyền 83-1 (SET S1), và khung đáp lại 84-1 (ANS S1), nút thụ động 51-3 loại bỏ các khung được nhận do không có khung nào trong số này là để dùng cho nút thụ động 51-3.

Phần mô tả trên đây đề cập đến các thủ tục thông báo thời gian trễ truyền dùng cho nút thụ động 51-2. Nút chủ động 51-1 có thể thực hiện các thủ tục tương tự để thông báo thời gian trễ truyền tương ứng cho nút thụ động 51-3.

Cụ thể là, trong ví dụ trên Fig.11, nút chủ động 51-1 phát rộng khung yêu cầu thời gian trễ truyền 81-2 (REQ S2) dùng cho nút thụ động 51-3 (S2) trên đường truyền thông 52 theo tham chiếu đồng bộ hóa nút chủ động. Khung yêu cầu thời gian trễ truyền phát rộng 81-2 được nhận bởi mỗi nút trong số các nút thụ động 51-2 và 51-3 qua đường truyền thông 52 sau thời gian trễ truyền định trước (D1, D2) như được mô tả trên đây.

Khung yêu cầu thời gian trễ truyền 81-2 là yêu cầu cho nút thụ động 51-3, và như vậy, chỉ nút thụ động 51-3 phát rộng khung hoàn thành nhận 82-2 (S2) đối với nút chủ động 51-1. Khung hoàn thành nhận phát rộng 82-2 được nhận bởi nút chủ động 51-1 và nút thụ động 51-2 qua đường truyền thông 52. Khung hoàn thành nhận 82-2 là khung dùng cho nút chủ động 51-1. Do đó, nút chủ động 51-1 thiết lập thời gian trễ truyền cho nút thụ động 51-3 dựa trên thông tin thời gian từ thời điểm khung yêu cầu thời gian trễ truyền 81-2 được truyền theo tham chiếu đồng bộ hóa nút chủ động cho đến khi khung hoàn thành nhận 82-2 được nhận. Cần lưu ý rằng thời gian trễ truyền sẽ được thiết lập trong trường hợp này có thể là thời gian trễ truyền một chiều hoặc thời gian trễ truyền khứ hồi để truyền tín hiệu định trước qua lại giữa nút chủ động 51-1 và nút thụ động 51-3 qua đường truyền thông 52.

Hơn nữa, nút chủ động 51-1 tạo ra khung thông báo thời gian trễ truyền 83-2 (SET S2) để thông báo cho nút thụ động 51-3 về thời gian trễ truyền được thiết lập, và phát rộng khung thông báo thời gian trễ truyền 83-2 được tạo ra theo tham chiếu đồng bộ hóa nút chủ động. Khung thông báo trễ truyền phát rộng 83-2 được nhận bởi mỗi nút trong số các nút thụ động 51-2 và 51-3 qua đường truyền thông 52 sau thời gian trễ định trước (D1, D2) theo cách tương tự như việc nhận khung yêu cầu thời gian trễ truyền 81-2 được mô tả trên đây.

Trong trường hợp này, như được mô tả trên đây, nút thụ động 51-3 xác định rằng nó được đưa vào thông tin nút đích có trong khung thông báo trễ truyền 83-2 được nhận, và thực hiện việc xử lý hiệu chỉnh đồng bộ hóa theo phương án thứ hai khi xét đến thời

gian trễ truyền có trong khung và thời gian gián tiếp được mô tả trên đây chẳng hạn. Ngoài ra, nút thụ động 51-3 tạo ra khung đáp lại 84-2 (ANS S2) đáp lại khung thông báo trễ truyền 83-2, và phát rộng khung đáp lại 84-2 được tạo ra. Trong trường hợp này, khung đáp lại 84-2 bao gồm thông tin chỉ báo rằng khung này là để dùng cho nút chủ động 51-1 (thông tin nút đích) và thông tin chỉ báo rằng việc xử lý hiệu chỉnh đồng bộ hóa đã được hoàn thành.

Khung đáp lại 84-2 được truyền (phát rộng) được nhận bởi nút chủ động 51-1 và nút thụ động 51-2 qua đường truyền thông 52 theo cách tương tự như việc nhận khung hoàn thành nhận 82-2 như được mô tả trên đây. Sau đó, nút chủ động 51-1 và nút thụ động 51-2 kiểm tra liệu thông tin nút đích được mô tả trên đây có trong khung đáp lại 84-2 hay không. Như được mô tả trên đây, khung đáp lại 84-2 là khung dùng cho nút chủ động 51-1. Do đó, nút chủ động 51-1 cũng có thể xác định, dựa trên khung đáp lại 84-2 từ nút thụ động 51-3, rằng việc xử lý hiệu chỉnh đồng bộ hóa đã được hoàn thành. Cần lưu ý rằng, mặc dù nút thụ động 51-2 nhận khung yêu cầu thời gian trễ truyền 81-2 (REQ S2), khung hoàn thành nhận 82-2 (S2), khung thông báo thời gian trễ truyền 83-2 (SET S2), và khung đáp lại 84-2 (ANS S2), nút thụ động 51-2 loại bỏ các khung được nhận do không khung nào dùng cho nút thụ động 51-2.

Trong phương án thứ hai, việc thông báo thời gian trễ truyền có thể được thực hiện bằng cách thực hiện liên tục các việc xử lý được mô tả trên đây đối với các nút thụ động được nối đến đường truyền thông 52.

Cần lưu ý rằng, các thủ tục thông báo thời gian trễ truyền không bị giới hạn ở các thủ tục được mô tả trên đây. Ví dụ, để tránh ùn tắc tại đường truyền thông 52 và/hoặc nút chủ động 51-1 do phát rộng khung yêu cầu thời gian trễ truyền và việc truyền các khung đáp lại bởi các nút thụ động 51-2 và 51-3 nhận khung yêu cầu thời gian trễ truyền nêu trên, bộ đếm thứ hai có thể được bố trí bên trong mỗi nút, và bộ đếm thứ hai có thể được sử dụng để điều khiển các khung đáp lại sẽ được truyền vào các thời điểm khác nhau.

Cần lưu ý rằng, phương án thứ hai như được mô tả trên đây có thể được áp dụng vào hệ thống có cấu hình mạng sao như Ethernet (registered trademark – nhãn hiệu đã được đăng ký) chẳng hạn, và các bộ đếm của các nút của mạng bộ nhớ chung nhờ sử dụng phương pháp truyền dẫn kênh phân chia thời gian có thể được đồng bộ hóa và sao cho các thời điểm điều khiển bên trong toàn bộ hệ thống có thể được đồng bộ hóa chẳng hạn. Ngoài ra, trong phương án thứ hai, bộ đếm sẽ được đồng bộ hóa có thể là bộ đếm bên trong được tích hợp vào máy vi tính, hoặc bộ đếm được tạo cấu hình bởi phần cứng như FPGA chẳng hạn. Vì vậy, trong phương án thứ hai, ví dụ, bộ đếm đồng bộ hóa với nút chủ động vào các thời điểm nhận khung truyền/nhận và bộ đếm mà đo thời gian xử lý ở máy vi tính có thể được tạo cấu hình như là phần cứng như FPGA, và các lỗi xử lý có thể được hiệu chỉnh bằng cách tính các giá trị bộ đếm của các bộ đếm bằng máy vi tính chẳng hạn.

Cần lưu ý rằng, trong các ví dụ trên đây, việc đồng bộ hóa nút giữa nút chủ động và nút thụ động được mô tả như là một ví dụ về hệ thống đồng bộ hóa nút 50. Tuy nhiên, sáng chế không bị giới hạn ở đó, và sáng chế cũng có thể được áp dụng vào các kỹ thuật đồng bộ hóa lấy mẫu trong các role bảo vệ chẳng hạn.

<Hệ thống truyền mạng: Cấu hình tổng thể>

Trong phương án thứ hai được mô tả trên đây, các nút có thể được nối qua thiết bị chuyển tiếp như hub chẳng hạn. Fig.12 minh họa cấu hình tổng thể ví dụ của hệ thống truyền mạng bao gồm hệ thống đồng bộ hóa nút sử dụng nút chủ động và nút thụ động theo phương án thứ hai. Hệ thống truyền mạng 90 được minh họa trên Fig.12, bao gồm các nút 51 (các nút từ 51-1 đến 51-3 trong ví dụ trên Fig.12) và một hoặc nhiều hub 91 như là các thiết bị chuyển tiếp (các hub từ 91-1 đến 91-5 trong ví dụ trên Fig.12) chẳng hạn. Cần lưu ý rằng số lượng, loại, và kết nối của các nút và các thiết bị chuyển tiếp không bị giới hạn ở đó.

Trong ví dụ trên Fig.12, nút chủ động trên Fig.7; cụ thể là, nút 51-1 được gọi là nút

A (trạm chủ động), và các nút thụ động trên Fig.7; cụ thể là, các nút 51-2 và 51-3 lần lượt được gọi là các nút B và C (các trạm thụ động). Ngoài ra, như được minh họa trên Fig.12, đường truyền thông của hệ thống truyền mạng 90 được tổ chức thành sao bao gồm các thiết bị chuyển tiếp được bố trí giữa nút chủ động 51-1 và nút thụ động 51-2 chẳng hạn. Cần lưu ý rằng, mặc dù hub được sử dụng như là thiết bị chuyển tiếp trong ví dụ này, nhưng sáng chế không bị giới hạn ở ví dụ như vậy. Trong các ví dụ khác, các thiết bị như bộ định tuyến, bộ lặp, bộ chuyển đổi quang học và loại tương tự có thể được sử dụng làm thiết bị chuyển tiếp.

Ngoài ra, nút chủ động và nút thụ động có thể là, ví dụ, các bộ điều khiển khả trình (cũng được gọi là “thiết bị điều khiển” hoặc “PLC” (Programmable Logic Controller – Bộ điều khiển logic khả trình)), và đường truyền thông của hệ thống truyền mạng 90 có thể là bus trao đổi dữ liệu để cho phép trao đổi dữ liệu giữa các bộ điều khiển khả trình. Các ví dụ về các thiết bị mà có thể được nói đến bus trao đổi dữ liệu ngoài các bộ điều khiển khả trình được mô tả trên đây bao gồm, các PC, các máy chủ, các môđun I/O, các bộ dẫn động (ví dụ các biến tần, các secvô), và loại tương tự.

Trong hệ thống truyền mạng 90 được minh họa trên Fig.12, nút 51-1 và nút 51-3 được nối đến cùng một hub 12-1, và nút 51-2 được nối đến nút 51-1 và nút 51-3 qua năm hub (các thiết bị chuyển tiếp).

Cần lưu ý rằng, trong hub Ethernet thông thường, phương pháp giao tiếp nhớ và chuyển tiếp được sử dụng. Trong trường hợp này, khung đang được truyền được lưu trữ trong các bộ đệm nhận của tất cả các hub, và các việc xử lý trong hub (ví dụ xác định tính bất thường, xác định đích) được thực hiện trước khi khung được truyền (được chuyển tiếp).

<Trình tự xử lý đồng bộ hóa nút>

Fig.13 là sơ đồ trình tự minh họa trình tự ví dụ của việc xử lý đồng bộ hóa nút.

Trong ví dụ trên Fig.13, để dễ giải thích, việc đồng bộ hóa giữa nút chủ động 51-1 và nút thụ động 51-2 được mô tả như là ví dụ đại diện. Tuy nhiên, sáng chế không bị giới hạn ở ví dụ này, và trong một số trường hợp, các nút thụ động có thể được đồng bộ hóa với một nút chủ động.

Trong việc xử lý đồng bộ hóa nút được minh họa trên Fig.13, đầu tiên, nút chủ động 51-1 tạo ra tín hiệu tham chiếu thứ nhất (S11), và nút thụ động 51-2 tạo ra tín hiệu tham chiếu thứ hai (S12). Cần lưu ý rằng các việc xử lý trên đây có thể được thực hiện theo chu kỳ như là các thao tác phần cứng.

Để đo thời gian trễ truyền, nút chủ động 51-1 tạo ra khung yêu cầu thời gian trễ truyền, và thông báo cho nút thụ động 51-2 (S13). Cần lưu ý rằng, khung yêu cầu thời gian trễ truyền về cơ bản có thể giống hệt khung đồng bộ hóa nhưng có thể có dữ liệu của phần định trước của khung đồng bộ hóa được thay đổi. Mặc dù khung yêu cầu thời gian trễ truyền có thể được gọi là “khung đồng bộ hóa”, trong các phần mô tả sau đây, để thuận tiện, khung này được gọi là “khung yêu cầu thời gian trễ truyền”.

Khung yêu cầu thời gian trễ truyền được truyền đến nút thụ động 51-2 qua đường truyền thông 52 (S14). Nhờ nhận khung yêu cầu thời gian trễ truyền, nút thụ động 51-2 tạo ra thông báo hoàn thành nhận và thông báo cho nút chủ động 51-1 (S15). Thông báo hoàn thành nhận được truyền đến nút chủ động 51-1 qua đường truyền thông 52 (S16).

Nhờ nhận thông báo hoàn thành nhận, nút chủ động 51-1 tính toán thời gian trễ truyền khứ hồi, ví dụ (S17), tạo ra thông báo khung thời gian trễ truyền bao gồm thời gian trễ truyền khứ hồi được tính toán, ví dụ (S18), và truyền thông báo khung thời gian trễ truyền được tạo ra đến nút thụ động 51-2 qua đường truyền thông 52 (S19).

Nhờ nhận khung thời gian trễ truyền (S20), nút thụ động 51-2 đo thời gian gián tiếp (S21), thực hiện việc xác định đồng bộ/không đồng bộ như được mô tả trên đây (S22), và tính toán tổng thời gian trễ khi việc xác định không đồng bộ được thực hiện

(S23). Tổng thời gian trễ có thể là tổng của thời gian trễ truyền và thời gian gián tiếp chẳng hạn, nhưng sáng chế không bị giới hạn ở ví dụ như vậy. Ngoài ra, nút thụ động 51-2 sử dụng tổng thời gian trễ được tính toán để thực hiện việc hiệu chỉnh đồng bộ hóa (S24). Trong việc xử lý được minh họa trên Fig.13, nút thụ động 51-2 có thể truyền đến nút chủ động 51-1 khung đáp lại chỉ báo rằng việc hiệu chỉnh đồng bộ hóa đã được hoàn thành. Ngoài ra, nút chủ động 51-1 thực hiện việc xử lý đồng bộ hóa nút được mô tả trên đây trên các nút thụ động khác mà được nối đến đường truyền thông 52.

Cần lưu ý rằng, trong các phương án cụ thể của sáng chế, chương trình (chương trình đồng bộ hóa nút) để cho phép máy tính có chức năng như là các bộ phận được mô tả trên đây của nút 51 có thể được tạo ra và chương trình được tạo ra có thể được cài đặt trong máy tính để thực hiện việc xử lý đồng bộ hóa nút được mô tả trên đây chẳng hạn.

Như được mô tả trên đây, theo một khía cạnh của sáng chế, tín hiệu định trước có thể được đồng bộ hóa với độ chính xác cao. Theo cách này, chu kỳ trao đổi dữ liệu của mỗi nút có thể được ổn định chẳng hạn. Ngoài ra, theo một khía cạnh khác của sáng chế, trong hệ thống với cấu hình mạng sao như Ethernet, các bộ định thời của các nút của mạng bộ nhớ dùng chung sử dụng phương pháp truyền đôn kênh phân chia thời gian có thể được đồng bộ hóa, và theo cách này, hiệu suất truyền, hiệu suất trao đổi dữ liệu, và sự ổn định của chu kỳ trao đổi dữ liệu có thể đạt được chẳng hạn.

Cần lưu ý rằng, các phương án của sáng chế có thể được áp dụng vào kỹ thuật đồng bộ hóa được tiến hành trong trường hợp thực hiện trình tự các thao tác sử dụng nhiều thao tác trong công trình quy mô lớn như nhà máy thép chẳng hạn. Hơn nữa, các phương án của sáng chế có thể được ứng dụng rộng rãi vào các hệ thống đồng bộ hóa để đạt được sự đồng bộ hóa giữa các thiết bị trong các mạng Ethernet gigabit thông thường chẳng hạn.

Hơn nữa, mặc dù sáng chế đã được mô tả trên đây đối với các ví dụ minh họa cụ thể, nhưng sáng chế không bị giới hạn ở các phương án này, và các sự thay đổi và cải

biến có thể được thực hiện mà không lệch khỏi phạm vi của sáng chế.

Các số chỉ dẫn

- 10 hệ thống đồng bộ hóa tín hiệu
- 11 bộ xử lý
- 12 bus truyền
- 13, 53 môđun I/O (vào/ra)
- 14, 54 thiết bị bên ngoài
- 15, 55 thiết bị lập trình
- 21, 61 bộ xử lý thứ nhất
- 21-1, 61-1 bộ tạo tín hiệu tham chiếu thứ nhất
- 22, 33, 62, 73 bộ phận lưu trữ
- 31, 71 bộ xử lý thứ hai
- 31-1, 71-1 bộ tạo tín hiệu tham chiếu thứ hai
- 32-1, 72-1 bộ đo thời gian gián tiếp
- 32-2, 72-2 bộ thu nhận giá trị đếm
- 32-3, 72-3 bộ xác định đồng bộ hóa
- 32-4, 72-4 bộ hiệu chỉnh đồng bộ hóa
- 41 bộ phận vào
- 42 bộ phận ra
- 43 CPU
- 44 bộ nhớ

- 45 giao diện bên ngoài
- 50 hệ thống đồng bộ hóa nút
- 51 nút
- 52 đường truyền thông
- 63 bộ phận thông báo khung đồng bộ hóa
- 64 bộ phận thông báo thời gian trễ truyền
- 74 bộ phận thông báo hoàn thành nhận
- 75 bộ phận nhận khung
- 81 khung yêu cầu thời gian trễ truyền
- 82 khung hoàn thành nhận
- 83 khung thông báo thời gian trễ truyền
- 84 khung đáp lại
- 90 hệ thống truyền mạng
- 91 hub (thiết bị chuyển tiếp)

YÊU CẦU BẢO HỘ

1. Hệ thống đồng bộ hóa tín hiệu bao gồm:

bộ tạo tín hiệu tham chiếu thứ nhất được tạo cấu hình để có giá trị tham chiếu thiết lập và tạo ra tín hiệu tham chiếu thứ nhất khi giá trị đếm đạt đến giá trị tham chiếu;

bộ tạo tín hiệu tham chiếu thứ hai được tạo cấu hình để có giá trị tham chiếu thiết lập và tạo ra tín hiệu tham chiếu thứ hai khi giá trị đếm đạt đến giá trị tham chiếu;

bộ xử lý được tạo cấu hình để nhận tín hiệu tham chiếu thứ nhất được tạo ra bởi bộ tạo tín hiệu tham chiếu thứ nhất và thực hiện việc xử lý định trước;

bộ đo thời gian gián tiếp được tạo cấu hình để khởi động lại nhờ nhận tín hiệu tham chiếu thứ nhất và đo thời gian gián tiếp từ khi khởi động lại như là điểm bắt đầu cho đến khi việc xử lý định trước được thực hiện;

bộ thu nhận giá trị đếm được tạo cấu hình để thu nhận giá trị đếm của bộ tạo tín hiệu tham chiếu thứ hai vào thời điểm việc xử lý định trước cần được thực hiện sau khi thời gian gián tiếp trôi qua;

bộ xác định đồng bộ hóa được tạo cấu hình để xác định rằng tín hiệu tham chiếu thứ nhất và tín hiệu tham chiếu thứ hai là không đồng bộ khi giá trị đếm thu nhận được bởi bộ thu nhận giá trị đếm và giá trị thời gian gián tiếp của thời gian gián tiếp là khác nhau;

bộ hiệu chỉnh đồng bộ hóa được tạo cấu hình để đạt được giá trị hiệu chỉnh đồng bộ hóa bằng cách trừ giá trị đếm thu nhận được bởi bộ thu nhận giá trị đếm từ giá trị thời gian gián tiếp, trừ giá trị hiệu chỉnh đồng bộ hóa đạt được từ giá trị tham chiếu, và thiết lập giá trị được trừ trong bộ tạo tín hiệu tham chiếu thứ hai như là giá trị tham chiếu tạm thời khi bộ xác định đồng bộ hóa xác định rằng tín hiệu tham chiếu thứ nhất và tín hiệu tham chiếu thứ hai là không đồng bộ.

2. Hệ thống theo điểm 1, trong đó bộ tạo tín hiệu tham chiếu thứ hai bao gồm bộ đếm mà chỉ có thể được truy nhập bởi bộ xử lý.

3. Hệ thống theo điểm 1, trong đó bộ xác định đồng bộ hóa thực hiện chuyển đổi thời gian trên giá trị đếm thu nhận được bởi bộ thu nhận giá trị đếm và giá trị thời gian gián tiếp của thời gian gián tiếp được đo bởi bộ đo thời gian gián tiếp, và xác định rằng tín hiệu tham chiếu thứ nhất và tín hiệu tham chiếu thứ hai là không đồng bộ khi giá trị được chuyển đổi theo thời gian của giá trị đếm và giá trị thời gian gián tiếp là khác nhau.

4. Bộ đa xử lý bao gồm:

bộ xử lý chủ động bao gồm bộ tạo tín hiệu tham chiếu thứ nhất được tạo cấu hình để có giá trị tham chiếu thiết lập và tạo ra tín hiệu tham chiếu thứ nhất khi giá trị đếm đạt đến giá trị tham chiếu, và bộ xử lý thứ nhất được tạo cấu hình để thực hiện chương trình đồng bộ hóa với tín hiệu tham chiếu thứ nhất được tạo ra bởi bộ tạo tín hiệu tham chiếu thứ nhất; và

bộ xử lý thụ động bao gồm:

bộ tạo tín hiệu tham chiếu thứ hai được tạo cấu hình để có giá trị tham chiếu thiết lập và tạo ra tín hiệu tham chiếu thứ hai khi giá trị đếm đạt đến giá trị tham chiếu;

bộ xử lý thứ hai mà tín hiệu tham chiếu thứ nhất được nối đến, bộ xử lý thứ hai được tạo cấu hình để thực hiện chương trình đồng bộ hóa với tín hiệu tham chiếu thứ hai được tạo ra bởi bộ tạo tín hiệu tham chiếu thứ hai, và thực hiện việc xử lý định trước nhờ nhận tín hiệu tham chiếu thứ nhất;

bộ đo thời gian gián tiếp được tạo cấu hình để khởi động lại nhờ nhận tín hiệu tham chiếu thứ nhất và đo thời gian gián tiếp từ khi khởi động lại như là điểm bắt đầu cho đến khi việc xử lý định trước được thực hiện;

bộ thu nhận giá trị đếm được tạo cấu hình để thu nhận giá trị đếm của bộ tạo tín hiệu tham chiếu thứ hai vào thời điểm việc xử lý định trước sẽ được thực hiện sau khi

thời gian gián tiếp trôi qua;

bộ xác định đồng bộ hóa được tạo cấu hình để xác định rằng tín hiệu tham chiếu thứ nhất và tín hiệu tham chiếu thứ hai là không đồng bộ khi giá trị đếm thu nhận được bởi bộ thu nhận giá trị đếm và giá trị thời gian gián tiếp của thời gian gián tiếp là khác nhau; và

bộ hiệu chỉnh đồng bộ hóa được tạo cấu hình để đạt được giá trị hiệu chỉnh đồng bộ hóa bằng cách trừ giá trị đếm thu nhận được bởi bộ thu nhận giá trị đếm từ giá trị thời gian gián tiếp, trừ giá trị hiệu chỉnh đồng bộ hóa đạt được từ giá trị tham chiếu, và thiết lập giá trị được trừ trong bộ tạo tín hiệu tham chiếu thứ hai như là giá trị tham chiếu tạm thời khi bộ xác định đồng bộ hóa xác định rằng tín hiệu tham chiếu thứ nhất và tín hiệu tham chiếu thứ hai là không đồng bộ.

5. Bộ đa xử lý theo điểm 4, trong đó bộ tạo tín hiệu tham chiếu thứ hai bao gồm bộ đếm mà chỉ có thể được truy nhập bởi bộ xử lý thứ hai.

6. Bộ đa xử lý theo điểm 4, trong đó bộ xác định đồng bộ hóa thực hiện chuyển đổi thời gian trên giá trị đếm thu nhận được bởi bộ thu nhận giá trị đếm và giá trị thời gian gián tiếp của thời gian gián tiếp được đo bởi bộ đo thời gian gián tiếp, và xác định rằng tín hiệu tham chiếu thứ nhất và tín hiệu tham chiếu thứ hai là không đồng bộ khi giá trị được chuyển đổi theo thời gian của giá trị đếm và giá trị thời gian gián tiếp là khác nhau.

7. Bộ đa xử lý theo điểm 4, trong đó:

tín hiệu tham chiếu thứ nhất được xuất ra đối với mỗi chu kỳ; và

bộ xử lý thứ nhất thực hiện chương trình đối với mỗi chu kỳ để điều khiển thiết bị được nối bên ngoài.

8. Bộ đa xử lý theo điểm 4, trong đó giá trị tham chiếu có thể được thiết lập bởi thiết bị thiết lập được nối bên ngoài.

9. Bộ đa xử lý theo điểm 4, trong đó thời gian gián tiếp tương ứng với khoảng thời gian từ thời điểm khởi động lại bộ đo thời gian gián tiếp đến thời điểm bắt đầu việc xử lý định trước.

10. Hệ thống đồng bộ hóa nút bao gồm:

nút chủ động bao gồm;

bộ tạo tín hiệu tham chiếu thứ nhất được tạo cấu hình để có giá trị tham chiếu thiết lập và tạo ra tín hiệu tham chiếu thứ nhất khi giá trị đếm đạt đến giá trị tham chiếu;

bộ xử lý thứ nhất được tạo cấu hình để thực hiện chương trình đồng bộ hóa với tín hiệu tham chiếu thứ nhất được tạo ra bởi bộ tạo tín hiệu tham chiếu thứ nhất;

bộ phận thông báo khung đồng bộ hóa được tạo cấu hình để truyền khung đồng bộ hóa đồng bộ hóa với tín hiệu tham chiếu thứ nhất đến nút thụ động qua đường truyền thông; và

bộ phận thông báo thời gian trễ truyền được tạo cấu hình để tính toán thời gian trễ truyền từ khi truyền khung đồng bộ hóa bởi nút chủ động đến khi nhận khung đồng bộ hóa bởi nút thụ động và thông báo cho nút thụ động về thời gian trễ truyền được tính toán; và

nút thụ động bao gồm:

bộ tạo tín hiệu tham chiếu thứ hai được tạo cấu hình để có giá trị tham chiếu thiết lập và tạo ra tín hiệu tham chiếu thứ hai khi giá trị đếm đạt đến giá trị tham chiếu;

bộ xử lý thứ hai mà tín hiệu tham chiếu thứ nhất được nối đến, bộ xử lý thứ hai được tạo cấu hình để thực hiện chương trình đồng bộ hóa với tín hiệu tham chiếu thứ hai được tạo ra bởi bộ tạo tín hiệu tham chiếu thứ hai, và thực hiện việc xử lý định trước nhờ nhận tín hiệu tham chiếu thứ nhất;

bộ đo thời gian gián tiếp được tạo cấu hình để khởi động lại nhờ nhận tín hiệu tham chiếu thứ nhất và đo thời gian gián tiếp từ khi khởi động lại như là điểm bắt đầu cho đến khi việc xử lý định trước được thực hiện;

bộ thu nhận giá trị đếm được tạo cấu hình để thu nhận giá trị đếm của bộ tạo tín hiệu tham chiếu thứ hai vào thời điểm việc xử lý định trước sẽ được thực hiện sau khi thời gian gián tiếp trôi qua;

bộ xác định đồng bộ hóa được tạo cấu hình để đạt được tổng giá trị thời gian trễ bằng cách cộng cả giá trị thời gian của thời gian trễ truyền được thông báo bởi nút chủ động và giá trị thời gian gián tiếp của thời gian gián tiếp, so sánh tổng giá trị thời gian trễ đạt được với giá trị đếm của bộ tạo tín hiệu tham chiếu thứ hai thu nhận được bởi bộ thu nhận giá trị đếm, và xác định rằng tín hiệu tham chiếu thứ nhất và tín hiệu tham chiếu thứ hai là không đồng bộ khi tổng giá trị thời gian trễ và giá trị đếm thu nhận được bởi bộ thu nhận giá trị đếm là khác nhau; và

bộ hiệu chỉnh đồng bộ hóa được tạo cấu hình để đạt được giá trị hiệu chỉnh đồng bộ hóa bằng cách trừ giá trị đếm thu nhận được bởi bộ thu nhận giá trị đếm từ tổng giá trị thời gian trễ, trừ giá trị hiệu chỉnh đồng bộ hóa đạt được từ giá trị tham chiếu, và thiết lập giá trị được trừ trong bộ tạo tín hiệu tham chiếu thứ hai như là giá trị tham chiếu tạm thời khi bộ xác định đồng bộ hóa xác định rằng tín hiệu tham chiếu thứ nhất và tín hiệu tham chiếu thứ hai là không đồng bộ.

11. Hệ thống theo điểm 10, trong đó bộ phận thông báo thời gian trễ truyền truyền khung yêu cầu thời gian trễ truyền đến nút thụ động, nhận khung hoàn thành nhận từ nút thụ động đáp lại khung yêu cầu thời gian trễ truyền, và tính toán thời gian trễ truyền dựa trên sự khác biệt giữa thời điểm khung hoàn thành nhận được nhận và thời điểm khung yêu cầu thời gian trễ truyền được truyền.

12. Hệ thống theo điểm 10, trong đó đường truyền thông được tổ chức thành hình sao

bao gồm thiết bị chuyển tiếp được bố trí giữa nút chủ động và nút thụ động.

13. Hệ thống theo điểm 10, trong đó bộ tạo tín hiệu tham chiếu thứ hai bao gồm bộ đếm mà chỉ có thể được truy nhập bởi bộ xử lý thứ hai.

14. Hệ thống theo điểm 10, trong đó bộ xác định đồng bộ hóa thực hiện chuyển đổi thời gian trên giá trị đếm thu nhận được bởi bộ thu nhận giá trị đếm và tổng giá trị thời gian trễ, và xác định rằng tín hiệu tham chiếu thứ nhất và tín hiệu tham chiếu thứ hai là không đồng bộ khi giá trị được chuyển đổi theo thời gian của giá trị đếm và tổng giá trị thời gian trễ là khác nhau.

15. Hệ thống theo điểm 10, trong đó giá trị tham chiếu có thể được thiết lập bởi thiết bị thiết lập mà được nối đến ít nhất một nút trong số nút chủ động và nút thụ động.

16. Hệ thống theo điểm 10, trong đó thời gian gián tiếp tương ứng với khoảng thời gian từ thời điểm khởi động lại bộ đo thời gian gián tiếp đến thời điểm bắt đầu việc xử lý định trước.

FIG.2

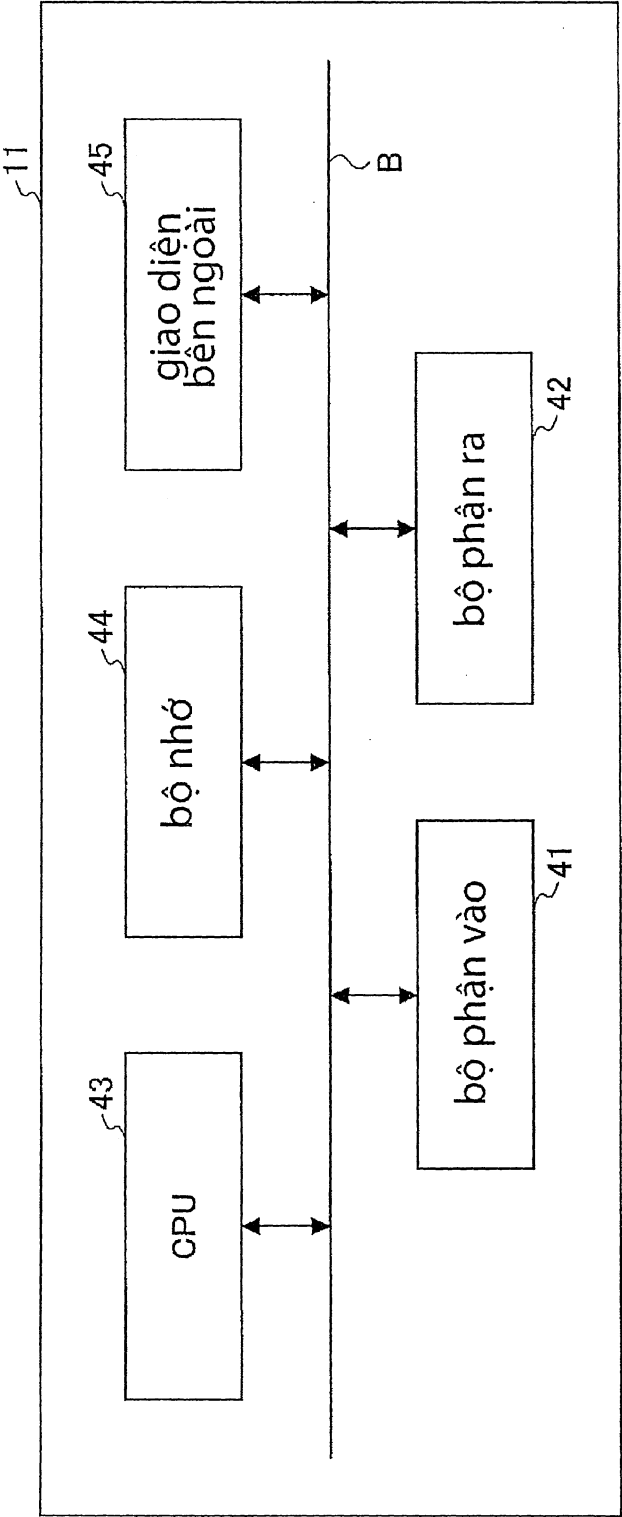


FIG.3

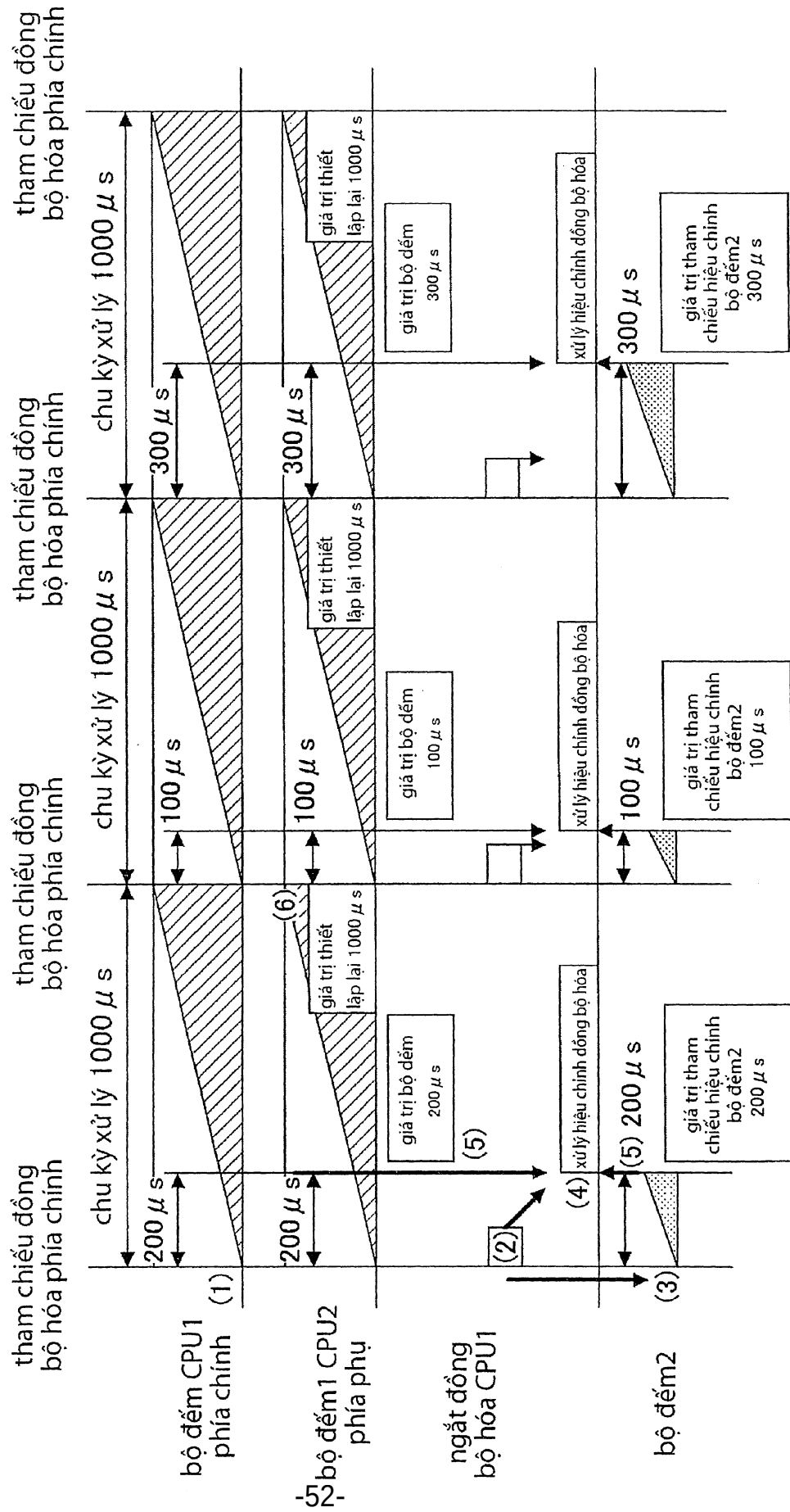
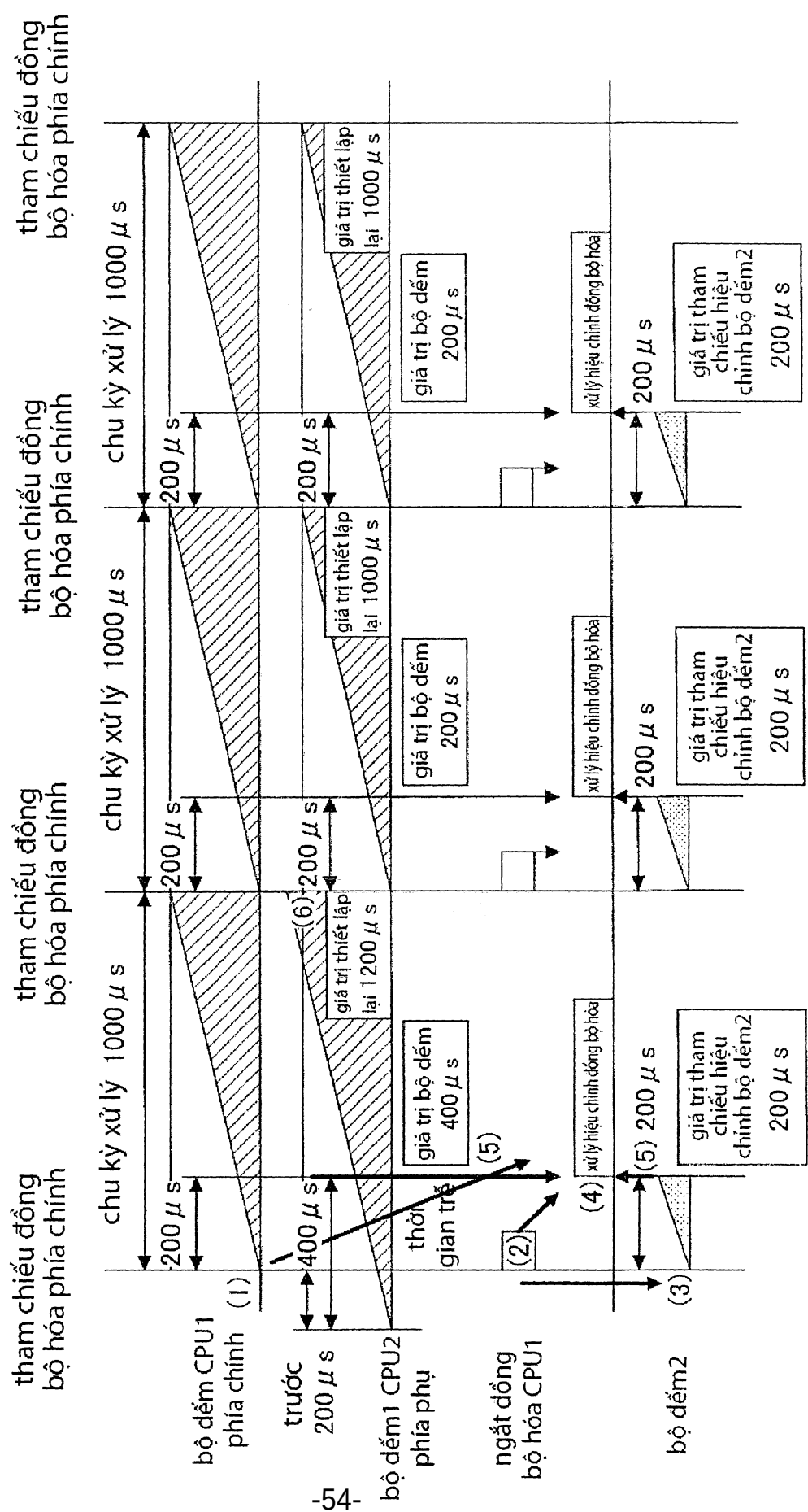


FIG.5



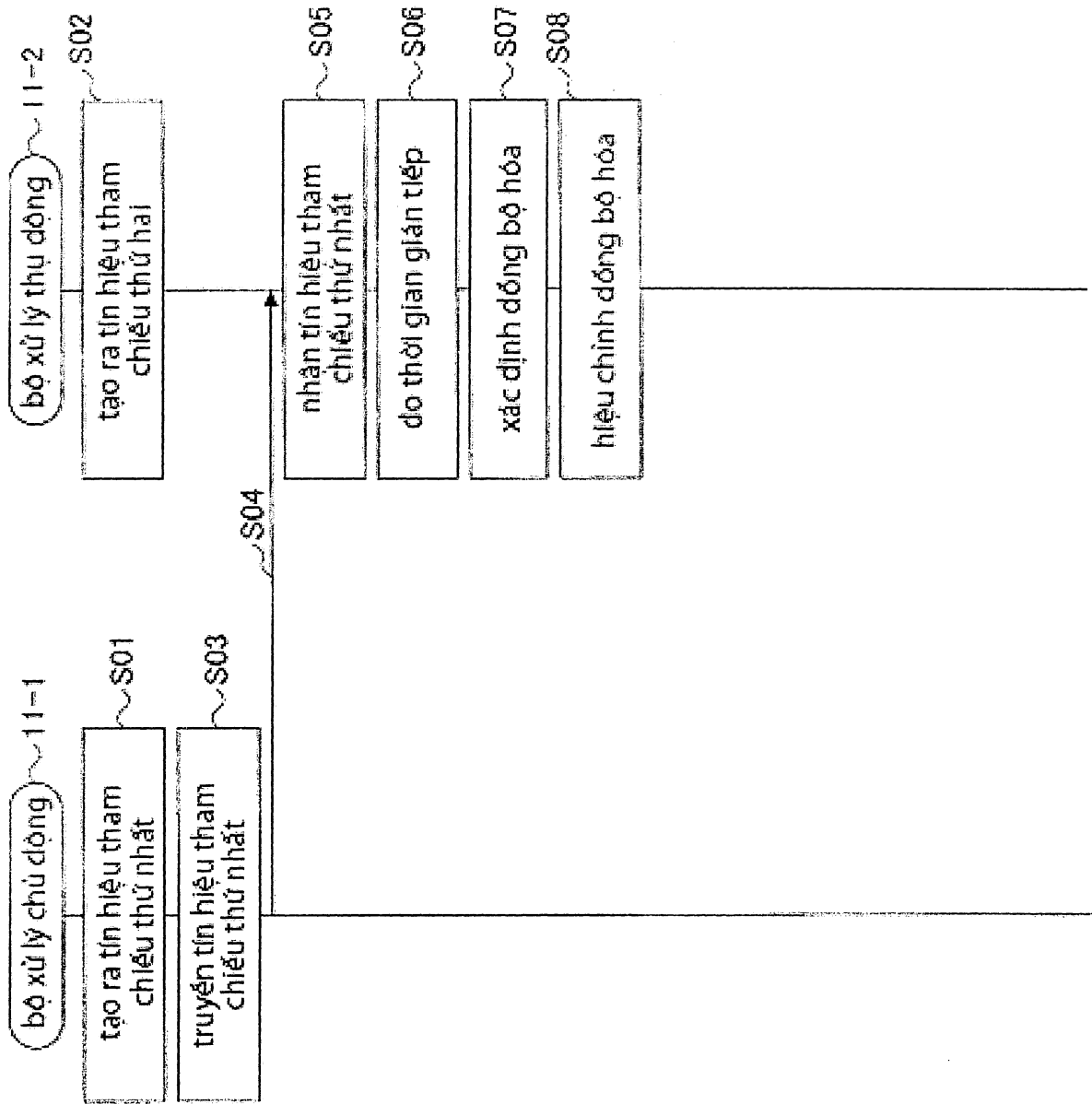


FIG.6

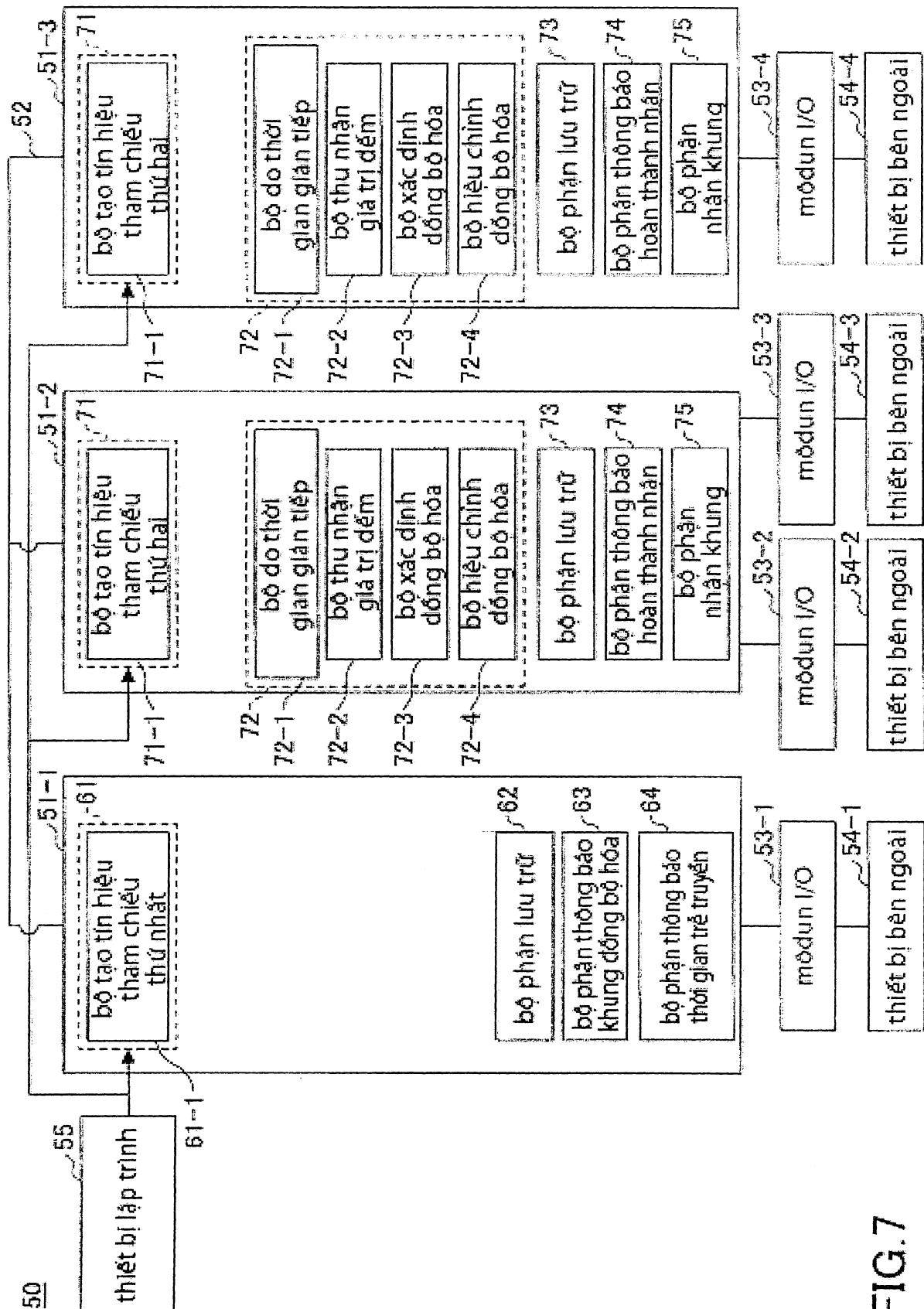


FIG. 7

FIG.8

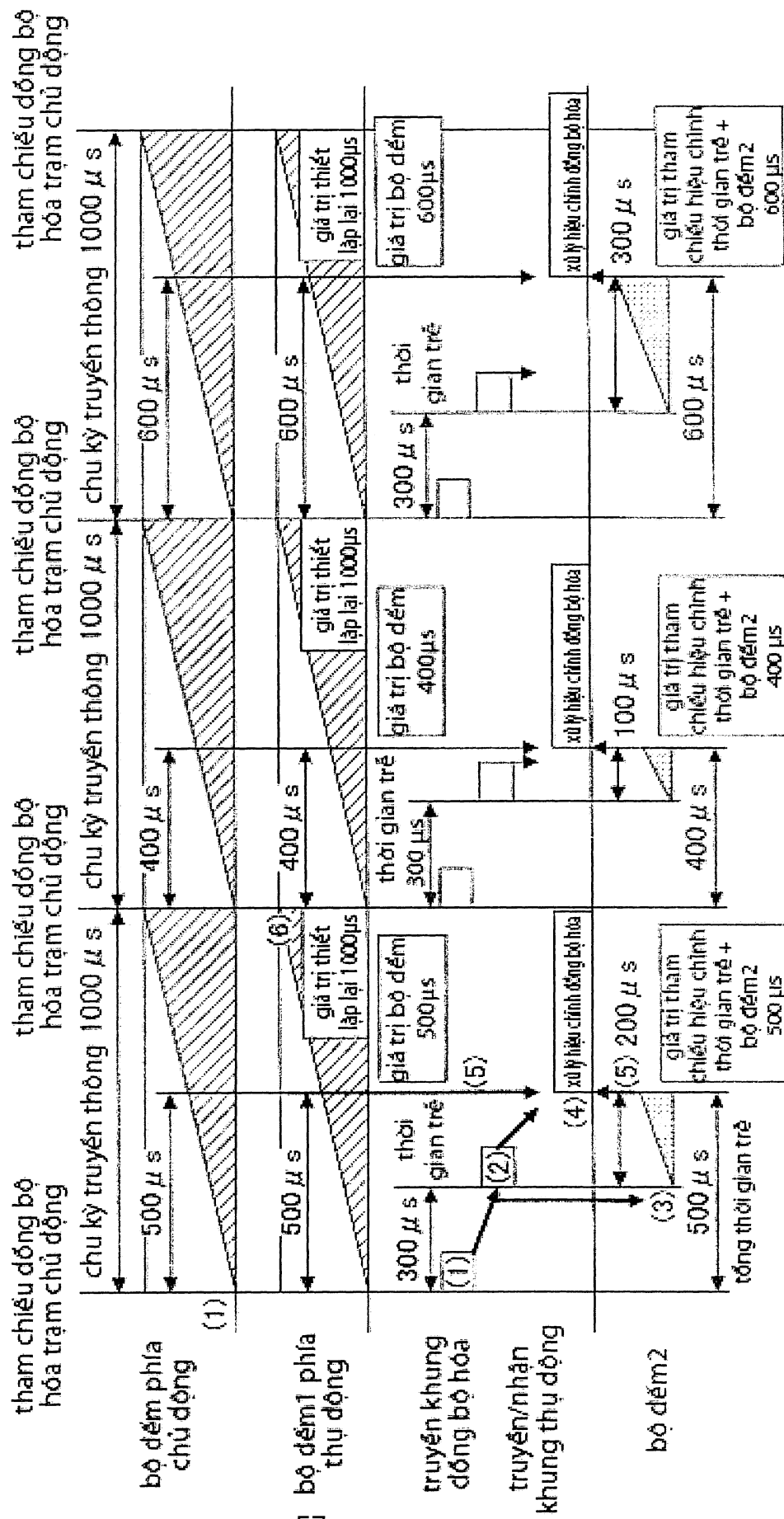


FIG.10

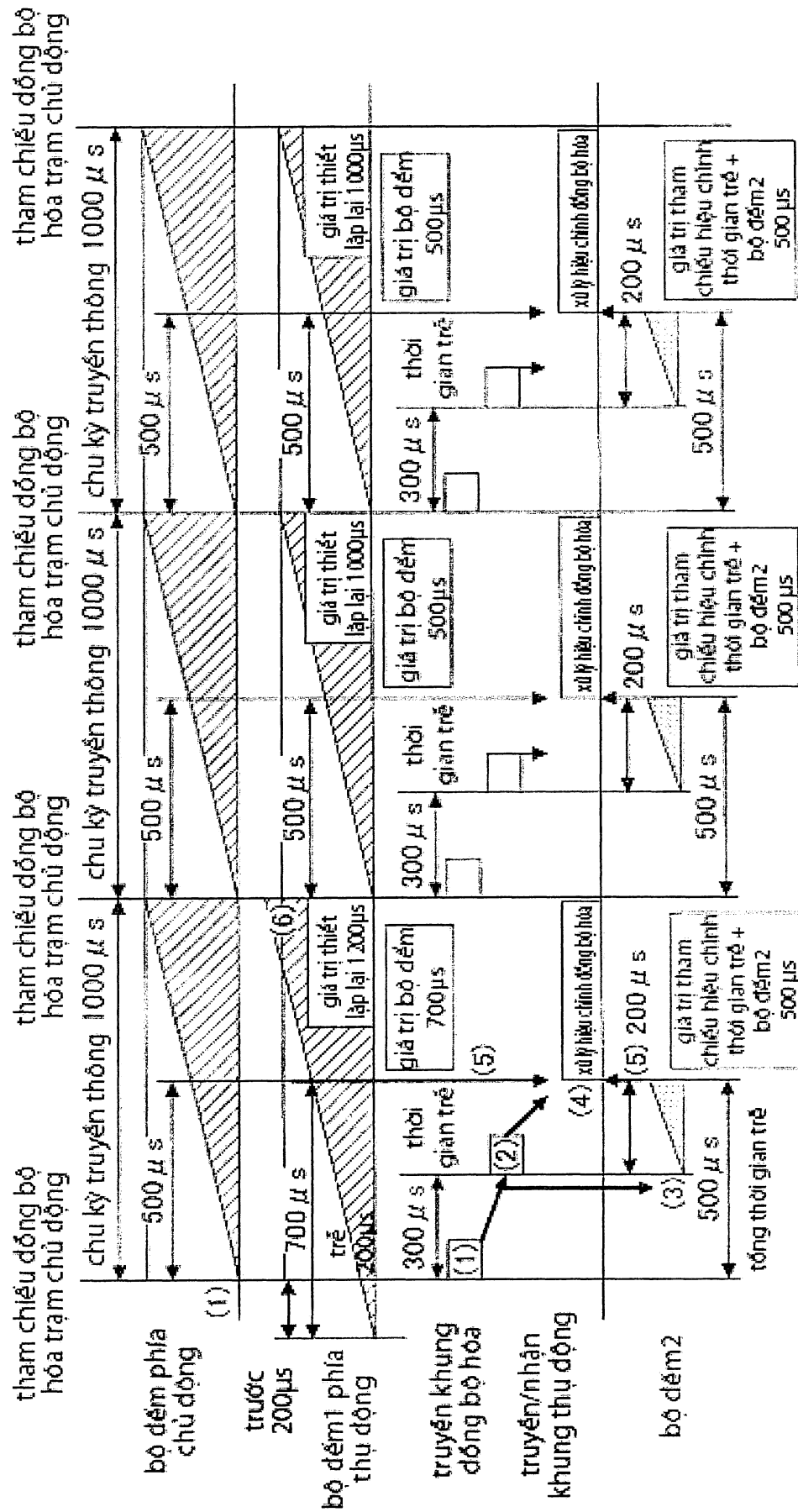


FIG. 11

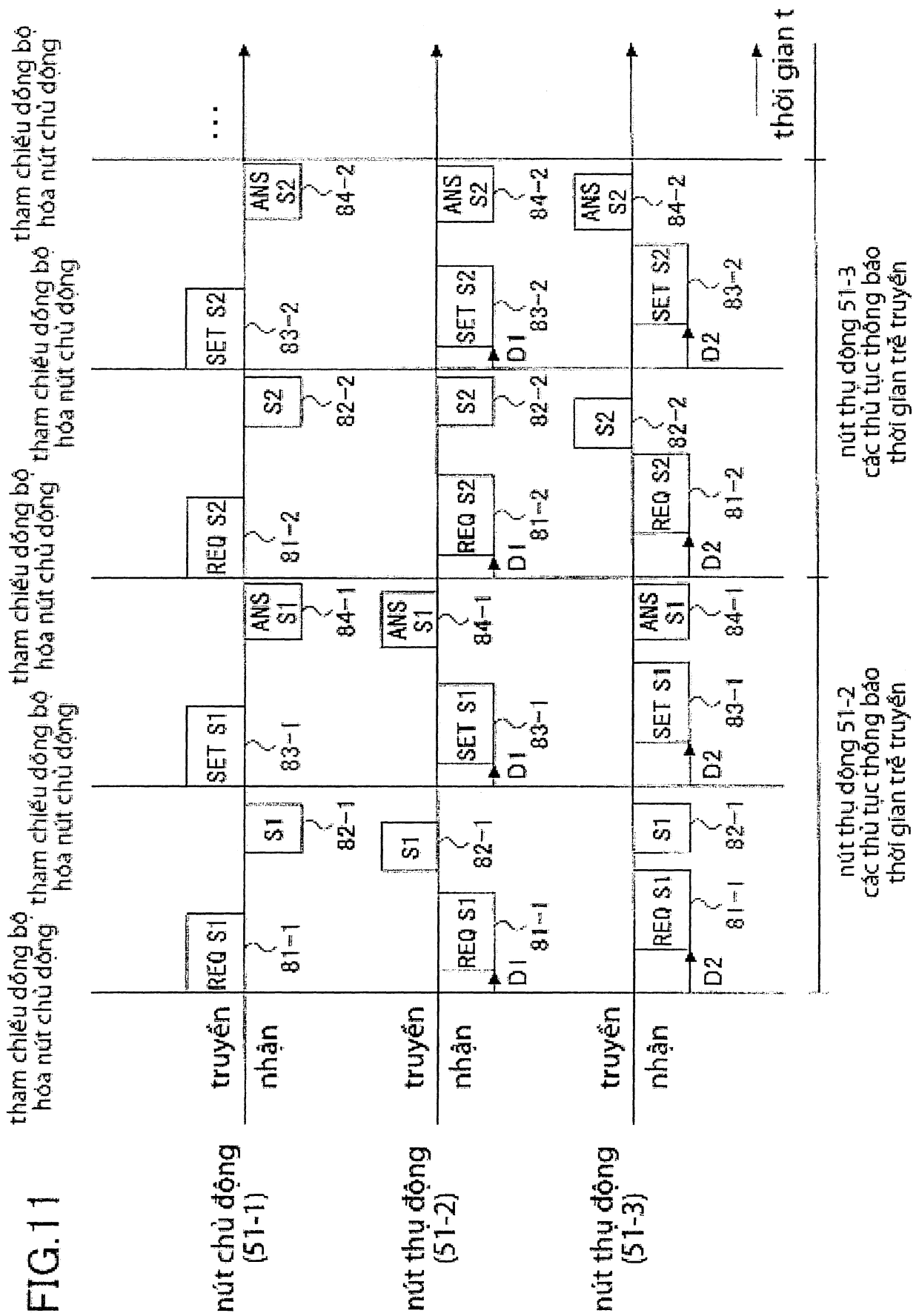


FIG.12

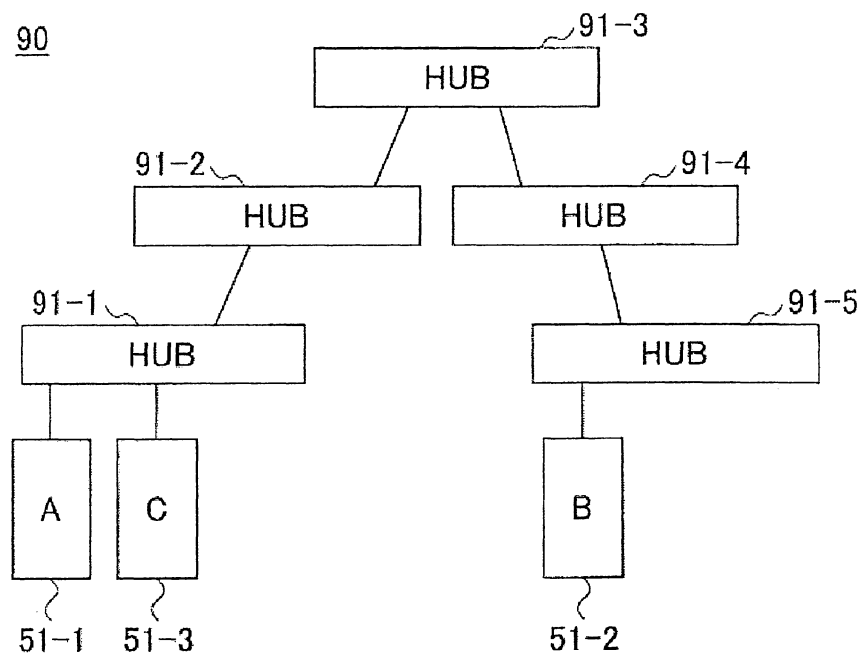


FIG.13

