



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẢNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0023600

(51)⁷ H03M 13/19; H03M 13/27; H04L 1/00; (13) B
H03M 13/25

(21) 1-2015-04097

(22) 21/04/2014

(86) PCT/JP2014/061155 21/04/2014

(87) WO2014/178299A1 06/11/2014

(30) 2013-096995 02/05/2013 JP

(45) 25/05/2020 386

(43) 25/02/2016 335A

(73) SONY CORPORATION (JP)

1-7-1, Konan, Minato-ku, Tokyo 108-0075, Japan

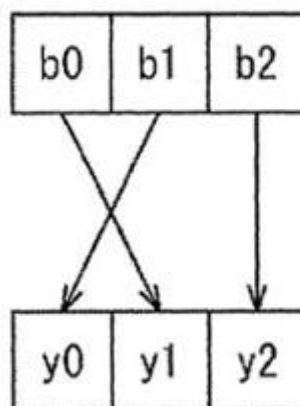
(72) SHINOHARA Yuji (JP); MUHAMMAD Nabil Sven Loghin (DE); MICHAEL Lachlan (AU); HIRAYAMA Yuichi (JP); YAMAMOTO Makiko (JP)

(74) Công ty TNHH một thành viên Sở hữu trí tuệ VCCI (VCCI-IP CO.,LTD)

(54) THIẾT BỊ XỬ LÝ DỮ LIỆU VÀ PHƯƠNG PHÁP XỬ LÝ DỮ LIỆU

(57) Sáng chế đề cập đến thiết bị xử lý dữ liệu và phương pháp xử lý dữ liệu mà có thể đảm bảo chất lượng truyền thông tốt trong truyền dữ liệu nhờ sử dụng mã LDPC (Low Density Parity Check - Kiểm tra chẵn lẻ mật độ thấp). Bit mã của mã LDPC trong đó độ dài mã là 16200 bit và tốc độ mã hóa là 8/15 được trao đổi với bit ký hiệu của ký hiệu tương ứng với điểm bất kỳ trong số 8 điểm tín hiệu được định rõ bởi 8PSK (Phase-Shift Keying - Khóa dịch pha). Khi 3 bit của các bit mã được lưu trữ trong ba bộ phận lưu trữ có dung lượng lưu trữ là 16200/3 bit và từng bit được đọc từ các bộ phận lưu trữ được cấp phát tới một ký hiệu, bit thứ $(\#i + 1)$ từ bit quan trọng nhất trong số 3 bit của các bit mã được thiết đặt tới bit $b\#i$, bit thứ $(\#i + 1)$ từ bit quan trọng nhất trong số 3 bit của các bit ký hiệu của một ký hiệu được thiết đặt tới bit $y\#i$, và bit $b0$ được trao đổi với bit $y1$, bit $b1$ được trao đổi với bit $y0$, và bit $b2$ được trao đổi với bit $y2$. Sáng chế có thể được ứng dụng trong trường hợp thực hiện truyền dữ liệu nhờ sử dụng mã LDPC chẳng hạn.

8PSK $r=7/15, 8/15$ 16k



Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập đến thiết bị xử lý dữ liệu và phương pháp xử lý dữ liệu, và, ví dụ, cụ thể là sáng chế đề cập đến thiết bị xử lý dữ liệu và phương pháp xử lý dữ liệu có thể đảm bảo chất lượng truyền thông tốt trong việc truyền dữ liệu nhờ sử dụng mã LDPC.

Tình trạng kỹ thuật của sáng chế

Mã LDPC (Low Density Parity Check - Kiểm tra chẵn lẻ mật độ thấp) có khả năng sửa lỗi cao và gần đây đã được áp dụng rộng rãi vào hệ thống truyền gồm có phát rộng kỹ thuật số vệ tinh như DVB (Digital Video Broadcasting - Phát rộng video kỹ thuật số)-S.2 được thực hiện ở châu Âu (ví dụ, tham khảo tài liệu phi sáng chế 1). Ngoài ra, việc chấp nhận áp dụng mã LDPC vào phát rộng kỹ thuật số mặt đất thế hệ tiếp theo như DVB-T.2 đã được kiểm tra.

Từ nghiên cứu gần đây, đã biết rằng hiệu suất gần giới hạn Shannon thu được từ mã LDPC khi độ dài mã tăng lên, tương tự như mã turbo. Vì mã LDPC có tính chất là khoảng cách ngắn nhất tương xứng với độ dài mã, mã LDPC có các ưu điểm về đặc điểm xác suất lỗi khối tốt hơn và cái được gọi là hiện tượng sàn lỗi được quan sát trong đặc điểm giải mã của mã turbo hiếm khi được tạo ra, như các đặc điểm của nó.

Danh sách tài liệu trích dẫn

Tài liệu phi sáng chế

Tài liệu phi sáng chế 1: DVB-S.2: ETSI EN 302 307 V1.2.1 (2009-08)

Chuẩn DVB như DVB-S.2, DVB-T.2, và DVB-C.2 chấp nhận mà áp dụng mã LDPC làm cho mã LDPC như ký hiệu (được ký hiệu hóa) của điều biến trực giao (điều biến kỹ thuật số) như QPSK (Quadrature Phase Shift Keying - Khóa dịch pha cầu phương) và ký hiệu được ánh xạ tới điểm tín hiệu của điều biến trực giao và được truyền.

Trong việc truyền dữ liệu nhờ sử dụng mã LDPC, như DVB-S.2 được mô tả ở trên, chất lượng truyền thông tốt cần được đảm bảo.

Bản chất kỹ thuật của sáng chế

Xét đến các trường hợp như vậy, theo phương án của sáng chế, mong muốn đảm bảo chất lượng truyền thông tốt trong việc truyền dữ liệu nhờ sử dụng mã LDPC.

Phương tiện giải quyết vấn đề

Thiết bị xử lý dữ liệu hoặc phương pháp xử lý dữ liệu thứ nhất của sáng chế là thiết bị xử lý dữ liệu hoặc phương pháp xử lý dữ liệu bao gồm: bộ/bước mã hóa để thực hiện việc mã hóa LDPC dựa vào ma trận kiểm tra chẵn lẻ của mã LDPC trong đó độ dài mã là 16200 bit và tốc độ mã hóa là 8/15; và bộ/bước trao đổi để trao đổi bit mã của mã LDPC trong đó độ dài mã là 16200 bit và tốc độ mã hóa là 8/15 với bit ký hiệu của ký hiệu tương ứng với điểm bất kỳ trong số 8 điểm tín hiệu được định rõ bởi 8PSK. Khi 3 bit của các bit mã được lưu trữ trong ba bộ lưu trữ có dung lượng lưu trữ là 16200/3 bit và từng bit được đọc từ các bộ lưu trữ được cấp phát tới mỗi ký hiệu, bit thứ $(\#i + 1)$ từ bit quan trọng nhất trong số 3 bit của các bit mã được đặt tới bit $b\#i$, bit thứ $(\#i + 1)$ từ bit quan trọng nhất trong số 3 bit của các bit ký hiệu của một ký hiệu được đặt tới bit $y\#i$, và bộ/bước trao đổi trao đổi bit b_0 với bit y_1 , bit b_1 với bit y_0 , và bit b_2 với bit y_2 . Mã LDPC bao gồm bit thông tin và bit chẵn lẻ. Ma trận kiểm tra chẵn lẻ bao gồm phần ma trận thông tin tương ứng với bit thông tin và phần ma trận chẵn lẻ tương ứng với bit chẵn lẻ. Phần ma trận thông tin được thể hiện bởi bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ. Bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ là bảng thể hiện các vị trí của các thành phần là 1 của phần ma trận thông tin đối với mỗi 360 cột và được biểu diễn như sau

32 384 430 591 1296 1976 1999 2137 2175 3638 4214 4304 4486 4662
4999 5174 5700 6969 7115 7138 7189

1788 1881 1910 2724 4504 4928 4973 5616 5686 5718 5846 6523 6893

23600

6994 7074 7100 7277 7399 7476 7480 7537

2791 2824 2927 4196 4298 4800 4948 5361 5401 5688 5818 5862 5969
6029 6244 6645 6962 7203 7302 7454 7534

574 1461 1826 2056 2069 2387 2794 3349 3366 4951 5826 5834 5903
6640 6762 6786 6859 7043 7418 7431 7554

14 178 675 823 890 930 1209 1311 2898 4339 4600 5203 6485 6549 6970
7208 7218 7298 7454 7457 7462

4075 4188 7313 7553

5145 6018 7148 7507

3198 4858 6983 7033

3170 5126 5625 6901

2839 6093 7071 7450

11 3735 5413

2497 5400 7238

2067 5172 5714

1889 7173 7329

1795 2773 3499

2695 2944 6735

3221 4625 5897

1690 6122 6816

5013 6839 7358

1601 6849 7415

2180 7389 7543

2121 6838 7054

1948 3109 5046

272 1015 7464.

Trong thiết bị xử lý dữ liệu và phương pháp xử lý dữ liệu thứ nhất của sáng chế, mã hóa LDPC được thực hiện dựa vào ma trận kiểm tra chẵn lẻ của mã LDPC trong đó độ dài mã là 16200 bit và tốc độ mã hóa là 8/15, và bit mã của mã LDPC trong đó độ dài mã là 16200 bit và tốc độ mã hóa là 8/15 được trao đổi với bit ký hiệu của ký hiệu tương ứng với điểm bất kỳ trong số 8 điểm tín hiệu được định rõ bởi 8PSK. Trong quá trình trao đổi, khi 3 bit của các bit mã được lưu trữ trong ba bộ lưu trữ có dung lượng lưu trữ là 16200/3 bit và từng bit được đọc từ các bộ lưu trữ được cấp phát tới mỗi ký hiệu, bit thứ ($i + 1$) từ bit quan trọng nhất trong số 3 bit của các bit mã được đặt tới bit $b\#i$, bit thứ ($i + 1$) từ bit quan trọng nhất trong số 3 bit của các bit ký hiệu của một ký hiệu được đặt tới bit $y\#i$, bit b_0 được trao đổi với bit y_1 , bit b_1 được trao đổi với bit y_0 , và bit b_2 được trao đổi với bit y_2 . Mã LDPC bao gồm bit thông tin và bit chẵn lẻ. Ma trận kiểm tra chẵn lẻ bao gồm phần ma trận thông tin tương ứng với bit thông tin và phần ma trận chẵn lẻ tương ứng với bit chẵn lẻ. Phần ma trận thông tin được thể hiện bởi bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ. Bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ là bảng thể hiện các vị trí của các thành phần là 1 của phần ma trận thông tin đối với mỗi 360 cột và được biểu diễn như sau

32 384 430 591 1296 1976 1999 2137 2175 3638 4214 4304 4486 4662
4999 5174 5700 6969 7115 7138 7189

1788 1881 1910 2724 4504 4928 4973 5616 5686 5718 5846 6523 6893
6994 7074 7100 7277 7399 7476 7480 7537

2791 2824 2927 4196 4298 4800 4948 5361 5401 5688 5818 5862 5969
6029 6244 6645 6962 7203 7302 7454 7534

574 1461 1826 2056 2069 2387 2794 3349 3366 4951 5826 5834 5903

23600

6640 6762 6786 6859 7043 7418 7431 7554

14 178 675 823 890 930 1209 1311 2898 4339 4600 5203 6485 6549 6970
7208 7218 7298 7454 7457 7462

4075 4188 7313 7553

5145 6018 7148 7507

3198 4858 6983 7033

3170 5126 5625 6901

2839 6093 7071 7450

11 3735 5413

2497 5400 7238

2067 5172 5714

1889 7173 7329

1795 2773 3499

2695 2944 6735

3221 4625 5897

1690 6122 6816

5013 6839 7358

1601 6849 7415

2180 7389 7543

2121 6838 7054

1948 3109 5046

272 1015 7464.

Thiết bị xử lý dữ liệu hoặc phương pháp xử lý dữ liệu thứ hai của sáng chế là thiết bị xử lý dữ liệu hoặc phương pháp xử lý dữ liệu bao gồm: bộ/bước mã hóa để thực hiện việc mã hóa LDPC dựa vào ma trận kiểm tra chẵn lẻ của mã LDPC trong đó độ dài mã là 16200 bit và tốc độ mã hóa là 8/15; và bộ/bước trao đổi để trao đổi bit mã của mã LDPC trong đó độ dài mã là 16200 bit và tốc độ mã hóa là 8/15 với bit ký hiệu của ký hiệu tương ứng với điểm bất kỳ trong số 16 điểm tín hiệu được định rõ bởi 16APSK. Khi 4 bit của các bit mã được lưu trữ trong bốn bộ lưu trữ có dung lượng lưu trữ là 16200/4 bit và từng bit được đọc từ các bộ lưu trữ được cấp phát tới một ký hiệu, bit thứ ($i + 1$) từ bit quan trọng nhất trong số 4 bit của các bit mã được đặt tới bit $b\#i$, bit thứ ($i + 1$) từ bit quan trọng nhất trong số 4 bit của các bit ký hiệu của một ký hiệu được đặt tới bit $y\#i$, và bộ/bước trao đổi trao đổi bit b_0 với bit y_2 , bit b_1 với bit y_1 , bit b_2 với bit y_0 , và bit b_3 với bit y_3 . Mã LDPC bao gồm bit thông tin và bit chẵn lẻ. Ma trận kiểm tra chẵn lẻ bao gồm phần ma trận thông tin tương ứng với bit thông tin và phần ma trận chẵn lẻ tương ứng với bit chẵn lẻ. Phần ma trận thông tin được thể hiện bởi bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ. Bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ là bảng thể hiện các vị trí của các thành phần là 1 của phần ma trận thông tin đối với mỗi 360 cột và được biểu diễn như sau

32 384 430 591 1296 1976 1999 2137 2175 3638 4214 4304 4486 4662
4999 5174 5700 6969 7115 7138 7189

1788 1881 1910 2724 4504 4928 4973 5616 5686 5718 5846 6523 6893
6994 7074 7100 7277 7399 7476 7480 7537

2791 2824 2927 4196 4298 4800 4948 5361 5401 5688 5818 5862 5969
6029 6244 6645 6962 7203 7302 7454 7534

574 1461 1826 2056 2069 2387 2794 3349 3366 4951 5826 5834 5903
6640 6762 6786 6859 7043 7418 7431 7554

14 178 675 823 890 930 1209 1311 2898 4339 4600 5203 6485 6549 6970
7208 7218 7298 7454 7457 7462

4075 4188 7313 7553

5145 6018 7148 7507

3198 4858 6983 7033

3170 5126 5625 6901

2839 6093 7071 7450

11 3735 5413

2497 5400 7238

2067 5172 5714

1889 7173 7329

1795 2773 3499

2695 2944 6735

3221 4625 5897

1690 6122 6816

5013 6839 7358

1601 6849 7415

2180 7389 7543

2121 6838 7054

1948 3109 5046

272 1015 7464.

Trong thiết bị xử lý dữ liệu và phương pháp xử lý dữ liệu thứ hai của sáng chế, mã hóa LDPC được thực hiện dựa vào ma trận kiểm tra chẵn lẻ của mã LDPC trong đó độ dài mã là 16200 bit và tốc độ mã hóa là 8/15, và bit mã của mã LDPC trong đó độ dài mã là 16200 bit và tốc độ mã hóa là 8/15 được trao đổi với bit ký

hiệu của ký hiệu tương ứng với điểm bất kỳ trong số 16 điểm tín hiệu được định rõ bởi 16APSK. Trong quá trình trao đổi, khi 4 bit của bit mã được lưu trữ trong bốn bộ lưu trữ có dung lượng lưu trữ là $16200/4$ bit và từng bit được đọc từ các bộ lưu trữ được cấp phát tới một ký hiệu, bit thứ $(\#i + 1)$ từ bit quan trọng nhất trong số 4 bit của các bit mã được đặt tới bit $b\#i$, bit thứ $(\#i + 1)$ từ bit quan trọng nhất trong số 4 bit của các bit ký hiệu của một ký hiệu được đặt tới bit $y\#i$, bit b_0 được trao đổi với bit y_2 , bit b_1 được trao đổi với bit y_1 , bit b_2 được trao đổi với bit y_0 , và bit b_3 được trao đổi với bit y_3 . Mã LDPC bao gồm bit thông tin và bit chẵn lẻ. Ma trận kiểm tra chẵn lẻ bao gồm phần ma trận thông tin tương ứng với bit thông tin và phần ma trận chẵn lẻ tương ứng với bit chẵn lẻ. Phần ma trận thông tin được thể hiện bởi bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ. Bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ là bảng thể hiện các vị trí của các thành phần là 1 của phần ma trận thông tin đối với mỗi 360 cột và được biểu diễn như sau

32 384 430 591 1296 1976 1999 2137 2175 3638 4214 4304 4486 4662
4999 5174 5700 6969 7115 7138 7189

1788 1881 1910 2724 4504 4928 4973 5616 5686 5718 5846 6523 6893
6994 7074 7100 7277 7399 7476 7480 7537

2791 2824 2927 4196 4298 4800 4948 5361 5401 5688 5818 5862 5969
6029 6244 6645 6962 7203 7302 7454 7534

574 1461 1826 2056 2069 2387 2794 3349 3366 4951 5826 5834 5903
6640 6762 6786 6859 7043 7418 7431 7554

14 178 675 823 890 930 1209 1311 2898 4339 4600 5203 6485 6549 6970
7208 7218 7298 7454 7457 7462

4075 4188 7313 7553

5145 6018 7148 7507

3198 4858 6983 7033

3170 5126 5625 6901

2839 6093 7071 7450

11 3735 5413

2497 5400 7238

2067 5172 5714

1889 7173 7329

1795 2773 3499

2695 2944 6735

3221 4625 5897

1690 6122 6816

5013 6839 7358

1601 6849 7415

2180 7389 7543

2121 6838 7054

1948 3109 5046

272 1015 7464.

Thiết bị xử lý dữ liệu có thể là thiết bị độc lập và có thể là khối bên trong cấu thành một thiết bị.

Hiệu quả của sáng chế

Theo một phương án của sáng chế, có thể đảm bảo chất lượng truyền thông tốt trong truyền dữ liệu nhờ sử dụng mã LDPC.

Các hiệu quả được mô tả trong bản mô tả này chỉ là ví dụ và các hiệu quả theo phương án của sáng chế là không giới hạn ở các hiệu quả được mô tả trong bản mô tả này và có thể là các hiệu quả bổ sung.

Mô tả vắn tắt các hình vẽ

Fig.1 là hình vẽ minh họa ma trận kiểm tra chẵn lẻ H của mã LDPC.

Fig.2 là lưu đồ minh họa trình tự giải mã của mã LDPC.

Fig.3 là hình vẽ minh họa ví dụ về ma trận kiểm tra chẵn lẻ của mã LDPC.

Fig.4 là hình vẽ minh họa đồ thị Tanner của ma trận kiểm tra chẵn lẻ.

Fig.5 là hình vẽ minh họa nút biến đổi.

Fig.6 là hình vẽ minh họa nút kiểm tra.

Fig.7 là hình vẽ minh họa ví dụ cấu hình của phương án về hệ thống truyền mà sáng chế này được ứng dụng tới.

Fig.8 là sơ đồ khối minh họa ví dụ cấu hình của thiết bị truyền 11.

Fig.9 là sơ đồ khối minh họa ví dụ cấu hình của bộ đan xen bit 116.

Fig.10 là hình vẽ minh họa ma trận kiểm tra chẵn lẻ.

Fig.11 là hình vẽ minh họa ma trận chẵn lẻ.

Fig.12 là hình vẽ minh họa ma trận kiểm tra chẵn lẻ của mã LDPC được định rõ theo chuẩn của DVB-S.2.

Fig.13 là hình vẽ minh họa ma trận kiểm tra chẵn lẻ của mã LDPC được định rõ theo chuẩn của DVB-S.2.

Fig.14 là hình vẽ minh họa sự bố trí điểm tín hiệu của 16QAM.

Fig.15 là hình vẽ minh họa sự bố trí điểm tín hiệu của 64QAM.

Fig.16 là hình vẽ minh họa sự bố trí điểm tín hiệu của 64QAM.

Fig.17 là hình vẽ minh họa sự bố trí điểm tín hiệu của 64QAM.

Fig.18 là hình vẽ minh họa sự bố trí điểm tín hiệu được định rõ theo chuẩn của DVB-S.2.

Fig.19 là hình vẽ minh họa sự bố trí điểm tín hiệu được định rõ theo chuẩn của DVB-S.2.

Fig.20 là hình vẽ minh họa sự bố trí điểm tín hiệu được định rõ theo chuẩn của DVB-S.2.

Fig.21 là hình vẽ minh họa sự bố trí điểm tín hiệu được định rõ theo chuẩn của DVB-S.2.

Fig.22 là hình vẽ minh họa quy trình xử lý của bộ giải đa hợp 25.

Fig.23 là hình vẽ minh họa quy trình xử lý của bộ giải đa hợp 25.

Fig.24 là hình vẽ minh họa đồ thị Tanner về việc giải mã của mã LDPC.

Fig.25 là hình vẽ minh họa ma trận chẵn lẻ H_T trở thành cấu trúc bậc thang và đồ thị Tanner tương ứng với ma trận chẵn lẻ H_T .

Fig.26 là hình vẽ minh họa ma trận chẵn lẻ H_T của ma trận kiểm tra chẵn lẻ H tương ứng với mã LDPC sau khi đan xen chẵn lẻ.

Fig.27 là hình vẽ minh họa ma trận kiểm tra chẵn lẻ được biến đổi.

Fig.28 là hình vẽ minh họa quy trình xử lý của bộ đan xen xoắn cột 24.

Fig.29 là hình vẽ minh họa số cột của bộ nhớ 31 cần cho đan xen xoắn cột và địa chỉ của vị trí bắt đầu ghi.

Fig.30 là hình vẽ minh họa số cột của bộ nhớ 31 cần cho đan xen xoắn cột và địa chỉ của vị trí bắt đầu ghi.

Fig.31 là lưu đồ minh họa quy trình xử lý được thực hiện bởi bộ đan xen bit 116 và bộ ánh xạ 117.

Fig.32 là hình vẽ minh họa mô hình của đường truyền được chấp nhận bởi sự mô phỏng.

Fig.33 là hình vẽ minh họa mối liên quan của tốc độ lỗi thu được bởi sự mô phỏng và tần số Doppler f_d của bộ tạo dao động.

Fig.34 là hình vẽ minh họa mối liên quan của tốc độ lỗi thu được bởi sự mở rộng và tần số Doppler f_d của bộ tạo dao động.

Fig.35 là sơ đồ khối minh họa ví dụ cấu hình của bộ mã hóa LDPC 115.

Fig.36 là lưu đồ minh họa quy trình xử lý của bộ mã hóa LDPC 115.

Fig.37 là hình vẽ minh họa ví dụ về bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ trong đó tốc độ mã hóa là $1/4$ và độ dài mã là 16200.

Fig.38 là hình vẽ minh họa phương pháp tính ma trận kiểm tra chẵn lẻ H từ bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ.

Fig.39 là hình vẽ minh họa ví dụ về bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ của mã 16k cho S_x của $r = 7/15$.

Fig.40 là hình vẽ minh họa ví dụ về bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ của mã 16k cho S_x của $r = 8/15$.

Fig.41 là hình vẽ minh họa ví dụ về đồ thị Tanner của tập hợp chuỗi bậc như vậy trong đó trọng số cột là 3 và trọng số hàng là 6.

Fig.42 là hình vẽ minh họa ví dụ về đồ thị Tanner của tập hợp loại nhiều cạnh.

Fig.43 là hình vẽ minh họa độ dài chu kỳ tối thiểu và ngưỡng hiệu suất của ma trận kiểm tra chẵn lẻ của mã 16k cho S_x .

Fig.44 là hình vẽ minh họa ma trận kiểm tra chẵn lẻ của mã 16k cho S_x .

Fig.45 là hình vẽ minh họa ma trận kiểm tra chẵn lẻ của mã 16k cho S_x .

Fig.46 là hình vẽ minh họa việc xử lý trao đổi theo phương pháp hiện tại.

Fig.47 là hình vẽ minh họa việc xử lý trao đổi theo phương pháp hiện tại.

Fig.48 là hình vẽ minh họa ví dụ thứ nhất về việc xử lý trao đổi theo phương pháp trao đổi cho S_x khi phương pháp điều biến là 8PSK và bội số b là 1 trong việc truyền dữ liệu nhờ sử dụng mã 16k cho S_x .

Fig.49 là hình vẽ minh họa ví dụ thứ hai về việc xử lý trao đổi theo phương pháp trao đổi cho Sx khi phương pháp điều biến là 8PSK và bội số b là 1 trong việc truyền dữ liệu nhờ sử dụng mã 16k cho Sx.

Fig.50 là hình vẽ minh họa kết quả mô phỏng của sự mô phỏng đo BER/FER.

Fig.51 là hình vẽ minh họa kết quả mô phỏng của sự mô phỏng đo BER/FER.

Fig.52 là sơ đồ khối minh họa mô hình hệ thống truyền của hệ thống truyền nhờ sử dụng sự mô phỏng.

Fig.53 là hình vẽ minh họa ví dụ thứ nhất về việc xử lý trao đổi theo phương pháp trao đổi cho Sx khi phương pháp điều biến là 16APSK và bội số b là 1 trong việc truyền dữ liệu nhờ sử dụng mã 16k cho Sx.

Fig.54 là hình vẽ minh họa ví dụ thứ hai về việc xử lý trao đổi theo phương pháp trao đổi cho Sx khi phương pháp điều biến là 16APSK và bội số b là 1 trong việc truyền dữ liệu nhờ sử dụng mã 16k cho Sx.

Fig.55 là hình vẽ minh họa ví dụ thứ ba về việc xử lý trao đổi theo phương pháp trao đổi cho Sx khi phương pháp điều biến là 16APSK và bội số b là 1 trong việc truyền dữ liệu nhờ sử dụng mã 16k cho Sx.

Fig.56 là hình vẽ minh họa ví dụ thứ tư về việc xử lý trao đổi theo phương pháp trao đổi cho Sx khi phương pháp điều biến là 16APSK và bội số b là 1 trong việc truyền dữ liệu nhờ sử dụng mã 16k cho Sx.

Fig.57 là hình vẽ minh họa ví dụ thứ năm về việc xử lý trao đổi theo phương pháp trao đổi cho Sx khi phương pháp điều biến là 16APSK và bội số b là 1 trong việc truyền dữ liệu nhờ sử dụng mã 16k cho Sx.

Fig.58 là hình vẽ minh họa ví dụ thứ sáu về việc xử lý trao đổi theo phương pháp trao đổi cho Sx khi phương pháp điều biến là 16APSK và bội số b là 1 trong việc truyền dữ liệu nhờ sử dụng mã 16k cho Sx.

Fig.59 là hình vẽ minh họa ví dụ thứ bảy về việc xử lý trao đổi theo phương pháp trao đổi cho Sx khi phương pháp điều biến là 16APSK và bội số b là 1 trong việc truyền dữ liệu nhờ sử dụng mã 16k cho Sx.

Fig.60 là hình vẽ minh họa ví dụ thứ tám về việc xử lý trao đổi theo phương pháp trao đổi cho Sx khi phương pháp điều biến là 16APSK và bội số b là 1 trong việc truyền dữ liệu nhờ sử dụng mã 16k cho Sx.

Fig.61 là hình vẽ minh họa kết quả mô phỏng của sự mô phỏng đo BER/FER.

Fig.62 là hình vẽ minh họa kết quả mô phỏng của sự mô phỏng đo BER/FER.

Fig.63 là hình vẽ minh họa ví dụ về sự bố trí các điểm tín hiệu của 16APSK và tỉ lệ bán kính γ khi 16APSK được chấp nhận như phương pháp điều biến.

Fig.64 là hình vẽ minh họa ví dụ về sự bố trí các điểm tín hiệu của 16APSK và tỉ lệ bán kính γ khi 16APSK được chấp nhận như phương pháp điều biến.

Fig.65 là sơ đồ khối minh họa ví dụ cấu hình của thiết bị thu 12 trên Fig.7.

Fig.66 là sơ đồ khối minh họa ví dụ cấu hình của bộ giải đan xen bit 165.

Fig.67 là lưu đồ minh họa quy trình xử lý được thực hiện bởi bộ giải ánh xạ 164, bộ giải đan xen bit 165, và bộ giải mã LDPC 166.

Fig.68 là hình vẽ minh họa ví dụ về ma trận kiểm tra chẵn lẻ của mã LDPC.

Fig.69 là hình vẽ minh họa ma trận (ma trận kiểm tra chẵn lẻ) thu được bằng cách thực hiện sự thay thế hàng và sự thay thế cột tương ứng với ma trận kiểm tra chẵn lẻ.

Fig.70 là hình vẽ minh họa ma trận kiểm tra chẵn lẻ được đặt cách trong các đơn vị của 5×5 ma trận.

Fig.71 là sơ đồ khối minh họa ví dụ cấu hình của thiết bị giải mã mà thực hiện phép toán nút cùng nhau bởi P.

Fig.72 là sơ đồ khối minh họa ví dụ cấu hình của bộ giải mã LDPC 166.

Fig.73 là hình vẽ minh họa quy trình xử lý của bộ đa hợp 54 cấu thành bộ giải đan xen bit 165.

Fig.74 là hình vẽ minh họa quy trình xử lý của bộ giải đan xen xoắn cột 55.

Fig.75 là sơ đồ khối minh họa ví dụ cấu hình khác của bộ giải đan xen bit 165.

Fig.76 là sơ đồ khối minh họa ví dụ cấu hình thứ nhất của hệ thống thu mà có thể được ứng dụng tới thiết bị thu 12.

Fig.77 là sơ đồ khối minh họa ví dụ cấu hình thứ hai của hệ thống thu mà có thể được ứng dụng tới thiết bị thu 12.

Fig.78 là sơ đồ khối minh họa ví dụ cấu hình thứ ba của hệ thống thu mà có thể được ứng dụng tới thiết bị thu 12.

Fig.79 là sơ đồ khối minh họa ví dụ cấu hình của phương án về máy tính mà sáng chế được ứng dụng tới.

Mô tả chi tiết sáng chế

Dưới đây, mã LPDC sẽ được mô tả trước khi các phương án của sáng chế được mô tả.

Mã LDPC

Mã LDPC là mã tuyến tính và không cần mã LDPC là mã nhị phân. Tuy nhiên, trong trường hợp này, được giả sử rằng mã LDPC là mã nhị phân.

Đặc điểm tối đa của mã LDPC là ma trận kiểm tra chẵn lẻ định rõ mã LDPC là hiếm. Trong trường hợp này, ma trận hiếm là ma trận trong đó số "1" của các phần tử của ma trận rất nhỏ (ma trận trong đó hầu hết các phần tử là 0).

Fig.1 là hình vẽ minh họa ví dụ về ma trận kiểm tra chẵn lẻ H của mã LDPC.

Trong ma trận kiểm tra chẵn lẻ H trên Fig.1, trọng số mỗi cột (trọng số cột) (số "1") trở thành "3" và trọng số mỗi hàng (trọng số hàng) trở thành "6".

Trong việc mã hóa nhờ sử dụng mã LDPC (mã hóa LDPC), ví dụ, ma trận tạo G được tạo ra trên cơ sở ma trận kiểm tra chẵn lẻ H và ma trận tạo G được nhân với các bit thông tin nhị phân, để từ mã (mã LDPC) được tạo ra.

Cụ thể là, thiết bị mã hóa thực hiện việc mã hóa LDPC thứ nhất tính ma trận tạo G trong đó biểu thức $GH^T = 0$ được thực hiện, giữa ma trận chuyển vị H^T của ma trận kiểm tra chẵn lẻ H và ma trận tạo G. Trong trường hợp này, khi ma trận tạo G là $K \times N$ ma trận, thiết bị mã hóa nhân ma trận tạo G với chuỗi bit (véctơ u) của các bit thông tin gồm có các bit K và tạo ra từ mã c ($= uG$) gồm có các bit N. Từ mã (mã LDPC) mà được tạo ra bởi thiết bị mã hóa được thu ở phía thu qua đường truyền định trước.

Mã LDPC có thể được giải mã bởi thuật toán được gọi là giải mã xác suất được đề xuất bởi Gallager, nghĩa là, thuật toán truyền thông điệp sử dụng sự lan truyền niềm tin trên cái được gọi là đồ thị Tanner, gồm có nút biến đổi (cũng được đề cập đến là nút thông điệp) và nút kiểm tra. Dưới đây, nút biến đổi và nút kiểm tra được đề cập đến một cách thích hợp đơn giản là các nút.

Fig.2 là lưu đồ minh họa chuỗi giải mã của mã LDPC.

Dưới đây, giá trị thực (LLR thu) mà thu được bằng cách biểu diễn sự hợp lệ "0" của giá trị bit mã thứ i của mã LDPC (một từ mã) được thu bởi phía thu bởi tỷ số logarit hợp lệ được đề cập đến một cách thích hợp là giá trị thu u_{0i} . Ngoài ra, thông điệp được đưa ra từ nút kiểm tra được đề cập đến là u_j và thông điệp được đưa ra từ nút biến đổi được đề cập đến là v_i .

Thứ nhất, trong việc giải mã của mã LDPC, như được minh họa trên Fig.2, ở bước S11, mã LDPC được thu, thông điệp (thông điệp nút kiểm tra) u_j được khởi

tạo với "0", và biến k đưa ra số nguyên là bộ đếm của việc xử lý lặp lại được khởi tạo với "0", và quy trình xử lý đến bước S12. Ở bước S12, thông điệp (thông điệp nút biến đổi) v_i được tính bằng cách thực hiện phép toán (phép toán nút biến đổi) được biểu diễn bởi biểu thức (1), trên cơ sở giá trị thu u_{0i} thu được bằng cách thu mã LDPC, và thông điệp u_j được tính bằng cách thực hiện phép toán (phép toán nút kiểm tra) được biểu diễn bởi biểu thức (2), trên cơ sở thông điệp v_i .

Phép toán 1

$$v_i = u_{0i} + \sum_{j=1}^{d_v-1} u_j \quad \dots (1)$$

Phép toán 2

$$\tanh\left(\frac{u_j}{2}\right) = \prod_{i=1}^{d_c-1} \tanh\left(\frac{v_i}{2}\right) \quad \dots (2)$$

Ở đây, d_v và d_c trong biểu thức (1) và biểu thức (2) lần lượt là các thông số mà có thể được lựa chọn một cách tùy ý và minh họa số "1" theo hướng dọc (cột) và hướng ngang (hàng) của ma trận kiểm tra chẵn lẻ H . Ví dụ, trong trường hợp mã LDPC ((3, 6) mã LDPC) tương ứng với ma trận kiểm tra chẵn lẻ H với trọng số cột là 3 và trọng số hàng là 6 như được minh họa trên Fig.1, $d_v=3$ và $d_c=6$ được thiết lập.

Trong phép toán nút biến đổi của biểu thức (1) và phép toán nút kiểm tra của biểu thức (2), vì thông điệp được đưa vào từ cạnh (đường kẻ nối nút biến đổi và nút kiểm tra) để đưa ra thông điệp không phải là đích phép toán, phạm vi phép toán trở thành 1 tới $d_v - 1$ hoặc 1 tới $d_c - 1$. Phép toán nút kiểm tra của biểu thức (2) thực tế được thực hiện trước bằng cách làm cho bảng của hàm số $R(v_1, v_2)$ được biểu diễn bởi biểu thức (3) được định rõ bởi một đầu ra tương ứng với hai đầu vào v_1 và v_2 và sử dụng bảng một cách liên tiếp (một cách đệ quy), như được biểu diễn bởi biểu thức (4).

Phép toán 3

$$x = 2 \tanh^{-1} \{ \tanh(v_1/2) \tanh(v_2/2) \} = R(v_1, v_2) \quad \dots (3)$$

Phép toán 4

$$u_j = R(v_1, R(v_2, R(v_3, \dots R(v_{d_c-2}, v_{d_c-1}))) \quad \dots (4)$$

Ở bước S12, biến k được tăng thêm "1" và quy trình xử lý đến bước S13. Ở bước S13, được xác định xem biến k nhiều hơn số lần giải mã lặp lại định trước C hay không. Khi được xác định ở bước S13 rằng biến k không nhiều hơn C, quy trình xử lý quay lại bước S12 và quy trình xử lý tương tự được lặp lại dưới đây.

Khi được xác định ở bước S13 rằng biến k nhiều hơn C, quy trình xử lý đến bước S14, thông điệp v_i tương ứng với kết quả giải mã để cuối cùng là đầu ra được tính bằng cách thực hiện phép toán được biểu diễn bởi biểu thức (5) và được đưa ra, và quy trình giải mã của mã LDPC kết thúc.

Phép toán 5

$$v_i = u_{0i} + \sum_{j=1}^{d_v} u_j \quad \dots (5)$$

Trong trường hợp này, phép toán của biểu thức (5) được thực hiện nhờ sử dụng các thông điệp u_j từ tất cả các cạnh được nối với nút biến đổi, khác với phép toán nút biến đổi của biểu thức (1).

Fig.3 là hình vẽ minh họa ví dụ về ma trận kiểm tra chẵn lẻ H của (3, 6) mã LDPC (tốc độ mã hóa là 1/2 và độ dài mã là 12).

Trong ma trận kiểm tra chẵn lẻ H trên Fig.3, trọng số của cột được thiết đặt tới 3 và trọng số của hàng được thiết đặt tới 6, tương tự như Fig.1.

Fig.4 là hình vẽ minh họa đồ thị Tanner của ma trận kiểm tra chẵn lẻ H trên Fig.3.

Trên Fig.4, nút kiểm tra được biểu diễn bởi "+" (dấu cộng) và nút biến đổi được biểu diễn bởi "=" (dấu bằng). Nút kiểm tra và nút biến đổi tương ứng với hàng

và cột của ma trận kiểm tra chẵn lẻ H . Đường kẻ nối nút kiểm tra và nút biến đổi là cạnh và tương ứng với "1" của các phần tử của ma trận kiểm tra chẵn lẻ.

Nghĩa là, khi phần tử của hàng thứ j và cột thứ i của ma trận kiểm tra chẵn lẻ là 1, trên Fig.4, nút biến đổi thứ i (nút "=") từ phía trên và nút kiểm tra thứ j (nút "+") từ phía trên được nối bởi cạnh. Cạnh thể hiện rằng bit mã tương ứng với nút biến đổi có điều kiện hạn chế tương ứng với nút kiểm tra.

Trong thuật toán tổng tích mã là phương pháp giải mã của mã LDPC, phép toán nút biến đổi và phép toán nút kiểm tra lần lượt được thực hiện.

Fig.5 là hình vẽ minh họa phép toán nút biến đổi được thực hiện bởi nút biến đổi.

Ở nút biến đổi, thông điệp v_i tương ứng với cạnh để tính toán được tính bởi phép toán nút biến đổi của biểu thức (1) nhờ sử dụng các thông điệp u_1 và u_2 từ các cạnh còn lại được nối với nút biến đổi và giá trị thu u_{0i} . Các thông điệp tương ứng với các cạnh khác cũng được tính bởi phương pháp tương tự.

Fig.6 là hình vẽ minh họa phép toán nút kiểm tra được thực hiện bởi nút kiểm tra.

Trong trường hợp này, phép toán nút kiểm tra của biểu thức (2) có thể được ghi lại bởi biểu thức (6) nhờ sử dụng mối liên quan của biểu thức $a \times b = \exp\{\ln(|a|) + \ln(|b|)\} \times \text{sign}(a) \times \text{sign}(b)$. Tuy nhiên, $\text{sign}(x)$ là 1 trong trường hợp $x \geq 0$ và là -1 trong trường hợp $x < 0$.

Phép toán 6

$$\begin{aligned}
 u_j &= 2 \tanh^{-1} \left(\prod_{i=1}^{d_c-1} \tanh \left(\frac{v_i}{2} \right) \right) \\
 &= 2 \tanh^{-1} \left[\exp \left\{ \sum_{i=1}^{d_c-1} \ln \left(\left| \tanh \left(\frac{v_i}{2} \right) \right| \right) \right\} \times \prod_{i=1}^{d_c-1} \text{sign} \left(\tanh \left(\frac{v_i}{2} \right) \right) \right] \\
 &= 2 \tanh^{-1} \left[\exp \left\{ - \left(\sum_{i=1}^{d_c-1} - \ln \left(\tanh \left(\frac{|v_i|}{2} \right) \right) \right) \right\} \times \prod_{i=1}^{d_c-1} \text{sign}(v_i) \right] \dots (6)
 \end{aligned}$$

Với $x \geq 0$, nếu hàm số $\phi(x)$ được định rõ là biểu thức $\phi(x) = \ln(\tanh(x/2))$, biểu thức $\phi^{-1}(x) = 2\tanh^{-1}(e^x)$ được thực hiện. Vì lý do này, biểu thức (6) có thể được thay đổi thành biểu thức (7).

Phép toán 7

$$u_j = \phi^{-1} \left(\sum_{i=1}^{d_c-1} \phi(|v_i|) \right) \times \prod_{i=1}^{d_c-1} \text{sign}(v_i) \quad \dots (7)$$

Ở nút kiểm tra, phép toán nút kiểm tra của biểu thức (2) được thực hiện theo biểu thức (7).

Nghĩa là, ở nút kiểm tra, như được minh họa trên Fig.6, thông điệp u_j tương ứng với cạnh để tính toán được tính bởi phép toán nút kiểm tra của biểu thức (7) nhờ sử dụng các thông điệp v_1, v_2, v_3, v_4 , và v_5 từ các cạnh còn lại được nối với nút kiểm tra. Các thông điệp tương ứng với các cạnh khác cũng được tính bởi phương pháp tương tự.

Hàm số $\phi(x)$ của biểu thức (7) có thể được biểu diễn là $\phi(x) = \ln((e^x+1)/(e^x-1))$ và $\phi(x) = \phi^{-1}(x)$ được thỏa mãn với $x > 0$. Khi các hàm số $\phi(x)$ và $\phi^{-1}(x)$ được cài đặt vào phần cứng, các hàm số $\phi(x)$ và $\phi^{-1}(x)$ có thể được cài đặt nhờ sử dụng LUT (Look Up Table – Bảng tìm kiếm). Tuy nhiên, cả các hàm số $\phi(x)$ và $\phi^{-1}(x)$ trở thành LUT giống nhau.

Ví dụ cấu hình của hệ thống truyền mà sáng chế này được ứng dụng tới

Fig.7 là hình vẽ minh họa ví dụ cấu hình của phương án về hệ thống truyền (hệ thống nghĩa là tập hợp logic của các thiết bị và thiết bị của mỗi cấu hình có thể được bố trí hoặc có thể không được bố trí trong trường hợp tương tự) mà sáng chế này được ứng dụng tới.

Trên Fig.7, hệ thống truyền bao gồm thiết bị truyền 11 và thiết bị thu 12.

Ví dụ, thiết bị truyền 11 truyền (phát rộng) (chuyển đổi) chương trình truyền hình, và v.v. Nghĩa là, ví dụ, thiết bị truyền 11 mã hóa dữ liệu đích là đích

truyền như dữ liệu hình ảnh và dữ liệu âm thanh là chương trình thành các mã LDPC, và, ví dụ, truyền chúng qua đường truyền 13 như mạch vệ tinh, sóng mặt đất và cáp (mạch dây).

Thiết bị thu 12 thu mã LDPC được truyền từ thiết bị truyền 11 qua đường truyền 13, giải mã mã LDPC để thu được dữ liệu đích, và đưa ra dữ liệu đích.

Trong trường hợp này, đã biết rằng mã LDPC được sử dụng bởi hệ thống truyền trên Fig.7 thể hiện khả năng rất cao trên đường truyền AWGN (Additive White Gaussian Noise - Tạp nhiễu gauss trắng cộng).

Trong khi đó, trên đường truyền 13, lỗi bit chùm hoặc lỗi xóa có thể được tạo ra. Cụ thể là trong trường hợp ở đó đường truyền 13 là sóng mặt đất, ví dụ, trong hệ thống OFDM (Orthogonal Frequency Division Multiplexing - Ghép kênh phân chia theo tần số trực giao), công suất của ký hiệu cụ thể có thể trở thành 0 (lỗi xóa) theo độ trễ tiếng vang (các đường khác ngoài đường chính), trong môi trường đa đường trong đó D/U (Desired to Undesired Ratio – Tỷ lệ mong muốn trên không mong muốn) là 0 dB (công suất không mong muốn = tiếng vang tương đương với công suất mong muốn = đường chính).

Ở bộ tạo dao động (đường truyền trong đó độ trễ là 0 và tiếng vang có tần số Doppler được bổ sung), khi D/U là 0 dB, toàn bộ công suất của ký hiệu OFDM tại thời điểm cụ thể có thể trở thành 0 (lỗi xóa) bởi tần số Doppler.

Ngoài ra, lỗi bit chùm có thể được tạo ra do tình huống đường dây điện từ bộ thu (không được minh họa trên các hình vẽ) của phía của thiết bị thu 12 như anten thu tín hiệu từ thiết bị truyền 11 tới thiết bị thu 12 hoặc tính không ổn định của việc cung cấp công suất của thiết bị thu 12.

Trong khi đó, trong việc giải mã của mã LDPC, ở nút biến đổi tương ứng với cột của ma trận kiểm tra chẵn lẻ H và bit mã của mã LDPC, như được minh họa trên Fig.5 được mô tả ở trên, phép toán nút biến đổi của biểu thức (1) với phép cộng của (giá trị thu được của) bit mã của mã LDPC được thực hiện. Vì lý do này, nếu lỗi được tạo ra ở các bit mã được sử dụng cho phép toán nút biến đổi, sự chính

xác của thông điệp được tính bị làm hỏng.

Trong việc giải mã của mã LDPC, ở nút kiểm tra, phép toán nút kiểm tra của biểu thức (7) được thực hiện nhờ sử dụng thông điệp được tính bởi nút biến đổi được nối với nút kiểm tra. Vì lý do này, nếu số lượng các nút kiểm tra trong đó lỗi (gồm có lỗi xóa) được tạo ra đồng thời ở (các bit mã của các mã LDPC tương ứng với) các nút biến đổi được nối tăng lên, hiệu suất giải mã bị làm hỏng.

Nghĩa là, nếu hai hoặc nhiều nút biến đổi của các nút biến đổi được nối với nút kiểm tra đồng thời trở thành lỗi xóa, nút kiểm tra hoàn lại thông điệp trong đó xác suất của giá trị là 0 và xác suất của giá trị là 1 tương đương với nhau, tới tất cả các nút biến đổi. Trong trường hợp này, nút kiểm tra hoàn lại thông điệp của các xác suất tương đương không đóng góp vào một quy trình giải mã (một tập hợp của phép toán nút biến đổi và phép toán nút kiểm tra). Do đó, cần tăng lên số lần lặp lại của quy trình giải mã, hiệu suất giải mã bị làm hỏng, và công suất tiêu thụ của thiết bị thu 12 thực hiện việc giải mã của mã LDPC tăng lên.

Do đó, trong hệ thống truyền trên Fig.7, dung sai đối với lỗi bit chùm hoặc lỗi xóa có thể được nâng cao trong khi hiệu suất ở đường truyền AWGN (kênh AWGN) được duy trì.

Ví dụ cấu hình của thiết bị truyền 11

Fig.8 là sơ đồ khối minh họa ví dụ cấu hình của thiết bị truyền 11 trên Fig.7.

Ở thiết bị truyền 11, một hoặc nhiều dòng đầu vào tương ứng với dữ liệu đích được cung cấp tới bộ đa hợp/chấp nhận chế độ 111.

Bộ đa hợp/chấp nhận chế độ 111 thực hiện việc lựa chọn chế độ và các quy trình xử lý như ghép kênh của một hoặc nhiều dòng đầu vào được cung cấp ở đó, khi cần, và cung cấp dữ liệu thu được do đó tới bộ đệm 112.

Bộ đệm 112 thực hiện việc đệm số không cần cần thiết (chèn ký hiệu rỗng (null)) tương ứng với dữ liệu được cung cấp từ bộ đa hợp/chấp nhận chế độ 111 và cung cấp dữ liệu thu được do đó tới bộ xáo trộn BB 113.

Bộ xáo trộn BB 113 thực hiện việc xáo trộn dải tần cơ sở (BB scrambling - base-band scrambling) tương ứng với dữ liệu được cung cấp từ bộ đệm 112 và cung cấp dữ liệu thu được do đó tới bộ mã hóa BCH 114.

Bộ mã hóa BCH 114 thực hiện việc mã hóa BCH tương ứng với dữ liệu được cung cấp từ bộ xáo trộn BB 113 và cung cấp dữ liệu thu được do đó là dữ liệu đích LDPC như đích mã hóa LDPC tới bộ mã hóa LDPC 115.

Bộ mã hóa LDPC 115 thực hiện việc mã hóa LDPC theo ma trận kiểm tra chẵn lẻ trong đó ma trận chẵn lẻ là một đoạn tương ứng với bit chẵn lẻ của mã LDPC trở thành cấu trúc bậc thang tương ứng với dữ liệu đích LDPC được cung cấp từ bộ mã hóa BCH 114, và đưa ra mã LDPC trong đó dữ liệu đích LDPC là các bit thông tin.

Nghĩa là, bộ mã hóa LDPC 115 thực hiện việc mã hóa LDPC để mã hóa dữ liệu đích LDPC với LDPC như mã LDPC (tương ứng với ma trận kiểm tra chẵn lẻ) được định rõ trong chuẩn định trước của DVB-S.2, DVB-T.2, DVB-C.2 hoặc tương tự và đưa ra mã LDPC định trước (tương ứng với ma trận kiểm tra chẵn lẻ) hoặc tương tự thu được do đó.

Mã LDPC được định rõ theo chuẩn của DVB-S.2, DVB-T.2, và DVB-C.2 là mã IRA (Irregular Repeat Accumulate – Tích lũy lặp lại bất thường) và ma trận chẵn lẻ của ma trận kiểm tra chẵn lẻ của mã LDPC trở thành cấu trúc bậc thang. Ma trận chẵn lẻ và cấu trúc bậc thang sẽ được mô tả dưới đây. Mã IRA được mô tả trong "Các mã tích lũy lặp lại bất thường", H. Jin, A. Khandekar, và R. J. McEliece, trong kỷ yếu của hội thảo quốc tế lần thứ hai về các mã turbo và các chủ đề liên quan, trang 1-8, tháng 9 năm 2000 chẳng hạn.

Mã LDPC mà được đưa ra bởi bộ mã hóa LDPC 115 được cung cấp tới bộ đan xen bit 116.

Bộ đan xen bit 116 thực hiện đan xen bit được mô tả dưới đây tương ứng với mã LDPC được cung cấp từ bộ mã hóa LDPC 115 và cung cấp mã LDPC sau khi đan xen bit tới bộ ánh xạ 117.

Bộ ánh xạ 117 ánh xạ mã LDPC được cung cấp từ bộ đan xen bit 116 tới điểm tín hiệu nhờ biểu diễn một ký hiệu của điều biến trực giao trong đơn vị (đơn vị ký hiệu) của các bit mã của một hoặc nhiều bit của mã LDPC và thực hiện điều biến trực giao (điều biến đa cấp).

Nghĩa là, bộ ánh xạ 117 thực hiện các ánh xạ mã LDPC được cung cấp từ bộ đan xen bit 116 tới điểm tín hiệu được xác định bởi phương pháp điều biến thực hiện điều biến trực giao của mã LDPC, trên mặt phẳng IQ (chòm sao IQ) được định rõ bởi trục I biểu diễn thành phần I của cùng pha như sóng mang và trục Q biểu diễn thành phần Q trực giao với sóng mang, và thực hiện điều biến trực giao.

Trong trường hợp này, như phương pháp điều biến của điều biến trực giao được thực hiện bởi bộ ánh xạ 117, có các phương pháp điều biến gồm có phương pháp điều biến được định rõ theo chuẩn của DVB-S.2, DVB-T.2, DVB-C.2 hoặc tương tự, và phương pháp điều biến khác, nghĩa là, BPSK (Binary Phase Shift Keying – Khóa dịch pha nhị phân), QPSK (Quadrature Phase Shift Keying - Khóa dịch pha cầu phương), 8PSK (Phase-Shift Keying – Khóa dịch pha), 16APSK (Amplitude Phase-Shift Keying – Khóa dịch pha biên độ), 32APSK, 16QAM (Quadrature Amplitude Modulation – Điều biến biên độ cầu phương), 64QAM, 256QAM, 1024QAM, 4096QAM, 4PAM (Pulse Amplitude Modulation – Điều biến biên độ xung), hoặc tương tự. Ở bộ ánh xạ 117, để thực hiện điều biến trực giao mà dựa vào đó phương pháp điều biến được thiết đặt trước theo phép toán của toán tử của thiết bị truyền 11.

Dữ liệu (kết quả ánh xạ ở đó ký hiệu được ánh xạ tới điểm tín hiệu) thu được bởi quy trình xử lý ở bộ ánh xạ 117 được cung cấp tới bộ đan xen thời gian 118.

Bộ đan xen thời gian 118 thực hiện đan xen thời gian (đan xen theo phương thời gian) trong đơn vị của ký hiệu tương ứng với dữ liệu được cung cấp từ bộ ánh xạ 117 và cung cấp dữ liệu thu được do đó tới bộ mã hóa SISO/MISO (bộ mã hóa SISO/MISO (Single Input Single Output/Multiple Input Single Output – Một đầu vào một đầu ra/Nhiều đầu vào một đầu ra)) 119.

Bộ mã hóa SISO/MISO 119 thực hiện việc mã hóa không gian thời gian tương ứng với dữ liệu được cung cấp từ bộ đan xen thời gian 118 và cung cấp dữ liệu tới bộ đan xen tần số 120.

Bộ đan xen tần số 120 thực hiện việc đan xen tần số (đan xen theo phương tần số) trong đơn vị của ký hiệu tương ứng với dữ liệu được cung cấp từ bộ mã hóa SISO/MISO 119 và cung cấp dữ liệu tới bộ cấp phát tài nguyên/bộ xây dựng khung 131.

Mặt khác, ví dụ, dữ liệu điều khiển (phát tín hiệu) để điều khiển chuyển đổi như phát tín hiệu BB (phát tín hiệu dải tần cơ sở) (bộ đầu BB) được cung cấp tới bộ mã hóa BCH 121.

Bộ mã hóa BCH 121 thực hiện việc mã hóa BCH tương ứng với việc phát tín hiệu được cung cấp ở đó và cung cấp dữ liệu thu được do đó tới bộ mã hóa LDPC 122, tương tự như bộ mã hóa BCH 114.

Bộ mã hóa LDPC 122 thiết đặt dữ liệu được cung cấp từ bộ mã hóa BCH 121 là dữ liệu đích LDPC, thực hiện việc mã hóa LDPC tương ứng với dữ liệu, và cung cấp mã LDPC thu được do đó tới bộ ánh xạ 123, tương tự như bộ mã hóa LDPC 115.

Bộ ánh xạ 123 ánh xạ mã LDPC được cung cấp từ bộ mã hóa LDPC 122 tới điểm tín hiệu biểu diễn một ký hiệu của điều biến trực giao trong đơn vị (đơn vị ký hiệu) của các bit mã của một hoặc nhiều bit của mã LDPC, thực hiện điều biến trực giao, và cung cấp dữ liệu thu được do đó tới bộ đan xen tần số 124, tương tự như bộ ánh xạ 117.

Bộ đan xen tần số 124 thực hiện đan xen tần số trong đơn vị của ký hiệu tương ứng với dữ liệu được cung cấp từ bộ mã hóa QAM 123 và cung cấp dữ liệu tới bộ cấp phát tài nguyên/bộ xây dựng khung 131, tương tự như bộ đan xen tần số 120.

Bộ cấp phát tài nguyên/bộ xây dựng khung 131 chèn các ký hiệu của các

hướng dẫn vào các vị trí cần của dữ liệu (các ký hiệu) được cung cấp từ bộ đan xen tần số 120 và bộ đan xen tần số 124, cấu hình khung (ví dụ, khung lớp vật lý (PL - physical layer), khung T2, khung C2, và v.v) gồm có các ký hiệu của số định trước từ dữ liệu (các ký hiệu) thu được do đó, và cung cấp khung tới bộ tạo OFDM 132.

Bộ tạo OFDM 132 tạo ra tín hiệu OFDM tương ứng với khung từ khung được cung cấp từ bộ cấp phát tài nguyên/bộ xây dựng khung 131 và truyền tín hiệu OFDM qua đường truyền 13 (Fig.7).

Ở đây, ví dụ, thiết bị truyền 11 có thể được cấu hình không gồm có phần các khối được minh họa trên Fig.8 như bộ đan xen thời gian 118, bộ mã hóa SISO/MISO 119, bộ đan xen tần số 120 và bộ đan xen tần số 124.

Fig.9 minh họa ví dụ cấu hình của bộ đan xen bit 116 trên Fig.8.

Bộ đan xen bit 116 gồm có hàm số để đan xen dữ liệu và gồm có bộ đan xen chẵn lẻ 23, bộ đan xen xoắn cột 24, và bộ giải đa hợp (DEMUX - demultiplexer) 25. Ở đây, bộ đan xen bit 116 có thể được cấu hình không gồm có một hoặc cả bộ đan xen chẵn lẻ 23 và bộ đan xen xoắn cột 24.

Bộ đan xen chẵn lẻ 23 thực hiện đan xen chẵn lẻ để đan xen các bit chẵn lẻ của mã LDPC được cung cấp từ bộ mã hóa LDPC 115 vào các vị trí của các bit chẵn lẻ khác và cung cấp mã LDPC sau khi đan xen chẵn lẻ tới bộ đan xen xoắn cột 24.

Bộ đan xen xoắn cột 24 thực hiện đan xen xoắn cột tương ứng với mã LDPC được cung cấp từ bộ đan xen chẵn lẻ 23 và cung cấp mã LDPC sau khi đan xen xoắn cột tới bộ giải đa hợp 25.

Nghĩa là, ở bộ ánh xạ 117 trên Fig.8, các bit mã của một hoặc nhiều bit của mã LDPC được ánh xạ tới điểm tín hiệu biểu diễn một ký hiệu của điều biến trực giao và được truyền.

Ở bộ đan xen xoắn cột 24, đan xen xoắn cột được mô tả dưới đây được thực hiện như việc xử lý sắp xếp lại để sắp xếp lại các bit mã của mã LDPC được

cung cấp từ bộ đan xen chẵn lẻ 23, sao cho các bit mã của mã LDPC tương ứng với 1 trong một hàng bất kỳ trong số ma trận kiểm tra chẵn lẻ được sử dụng bởi bộ mã hóa LDPC 115 không được bao gồm trong một ký hiệu.

Bộ giải đa hợp 25 thực hiện việc xử lý trao đổi để trao đổi các vị trí của hai hoặc nhiều bit mã của mã LDPC trở thành ký hiệu, tương ứng với mã LDPC được cung cấp từ bộ đan xen xoắn cột 24, và thu được mã LDPC trong đó dung sai đối với AWGN hoặc tương tự được củng cố. Ngoài ra, bộ giải đa hợp 25 cung cấp hai hoặc nhiều bit mã của mã LDPC thu được bởi việc xử lý trao đổi như ký hiệu tới bộ ánh xạ 117 (Fig.8).

Fig.10 minh họa ma trận kiểm tra chẵn lẻ H được sử dụng để mã hóa LDPC bởi bộ mã hóa LDPC 115 trên Fig.8.

Ma trận kiểm tra chẵn lẻ H trở thành cấu trúc LDGM (Low-Density Generating Matrix – Ma trận tạo mật độ thấp) và có thể được thể hiện bởi biểu thức $H = [H_A | H_T]$ (ma trận trong đó các phần tử của ma trận thông tin H_A được thiết đặt tới các phần tử bên trái và các phần tử của ma trận chẵn lẻ H_T được thiết đặt tới các phần tử bên phải), sử dụng ma trận thông tin H_A của phần tương ứng với các bit thông tin giữa các bit mã của mã LDPC và ma trận chẵn lẻ H_T tương ứng với các bit chẵn lẻ.

Trong trường hợp này, số bit của các bit thông tin giữa các bit mã của một mã LDPC (một từ mã) và số bit của các bit chẵn lẻ lần lượt được đề cập đến là độ dài thông tin K và độ dài chẵn lẻ M, và số bit của các bit mã của một mã LDPC được đề cập đến là độ dài mã N (= K + M).

Độ dài thông tin K và độ dài chẵn lẻ M của mã LDPC có độ dài mã cụ thể N được xác định bởi tốc độ mã hóa. Ma trận kiểm tra chẵn lẻ H trở thành ma trận trong đó hàng $\times$ cột là $M \times N$. Ma trận thông tin H_A trở thành ma trận của $M \times K$ và ma trận chẵn lẻ H_T trở thành ma trận của $M \times M$.

Fig.11 minh họa ma trận chẵn lẻ H_T của ma trận kiểm tra chẵn lẻ H của mã LDPC mà được định rõ theo chuẩn của DVB-S.2, DVB-T.2, và DVB-C.2.

Ma trận chẵn lẻ H_T của ma trận kiểm tra chẵn lẻ H của mã LDPC mà được định rõ theo chuẩn của DVB-T.2 hoặc tương tự trở thành ma trận cấu trúc bậc thang (ma trận hai đường chéo thấp hơn) trong đó các phần tử 1 được bố trí theo dạng hình cầu thang, như được minh họa trên Fig.11. Trọng số hàng của ma trận chẵn lẻ H_T trở thành 1 tương ứng với hàng thứ nhất và trở thành 2 tương ứng với các hàng còn lại. Trọng số cột trở thành 1 tương ứng với cột cuối cùng và trở thành 2 tương ứng với các cột còn lại.

Như được mô tả ở trên, mã LDPC của ma trận kiểm tra chẵn lẻ H trong đó ma trận chẵn lẻ H_T trở thành cấu trúc bậc thang có thể dễ dàng được tạo ra nhờ sử dụng ma trận kiểm tra chẵn lẻ H .

Nghĩa là, mã LDPC (một từ mã) được biểu diễn bởi véc tơ hàng c và véc tơ cột thu được bằng cách chuyển vị véc tơ hàng được biểu diễn bởi C^T . Ngoài ra, một đoạn của các bit thông tin của véc tơ hàng c là mã LDPC được biểu diễn bởi véc tơ hàng A và một đoạn của các bit chẵn lẻ được biểu diễn bởi véc tơ hàng T .

Véc tơ hàng c có thể được biểu diễn bởi biểu thức $c = [A|T]$ (véc tơ hàng trong đó các phần tử của véc tơ hàng A được thiết đặt tới các phần tử bên trái và các phần tử của véc tơ hàng T được thiết đặt tới các phần tử bên phải), sử dụng véc tơ hàng A tương ứng với các bit thông tin và véc tơ hàng T tương ứng với các bit chẵn lẻ.

Trong ma trận kiểm tra chẵn lẻ H và véc tơ hàng $c = [A|T]$ tương ứng với mã LDPC, cần thỏa mãn biểu thức $Hc^T = 0$. Véc tơ hàng T mà tương ứng với các bit chẵn lẻ cấu thành véc tơ hàng $c = [A|T]$ thỏa mãn biểu thức $Hc^T = 0$ có thể liên tục được tính bằng cách thiết đặt các phần tử của mỗi hàng là 0, liên tục (theo thứ tự) từ các phần tử của hàng thứ nhất của véc tơ cột Hc^T trong biểu thức $Hc^T = 0$, khi ma trận chẵn lẻ H_T của ma trận kiểm tra chẵn lẻ $H = [H_A|H_T]$ trở thành cấu trúc bậc thang được minh họa trên Fig.11.

Fig.12 là hình vẽ minh họa ma trận kiểm tra chẵn lẻ H của mã LDPC được định rõ theo chuẩn của DVB-T.2 hoặc tương tự.

Trọng số cột trở thành X với các cột KX tương ứng từ cột thứ nhất trong ma trận kiểm tra chẵn lẻ H của mã LDPC được định rõ theo chuẩn của DVB-T.2 hoặc tương tự, trở thành 3 tương ứng với các cột sau K3, trở thành 2 tương ứng với các cột sau (M-1), và trở thành 1 tương ứng với cột cuối cùng.

Trong trường hợp này, $KX + K3 + M - 1 + 1$ tương đương với độ dài mã N.

Fig.13 là hình vẽ minh họa các số cột KX, K3, và M và trọng số cột X, tương ứng với mỗi tốc độ mã hóa r của mã LDPC được định rõ theo chuẩn của DVB-T.2 hoặc tương tự.

Theo chuẩn của DVB-T.2 hoặc tương tự, các mã LDPC có các độ dài mã N là 64800 bit và 16200 bit được định rõ.

Tương ứng với mã LDPC có độ dài mã N là 64800 bit, 11 tốc độ mã hóa (các tốc độ định danh) là 1/4, 1/3, 2/5, 1/2, 3/5, 2/3, 3/4, 4/5, 5/6, 8/9, và 9/10 được định rõ. Tương ứng với mã LDPC có độ dài mã N là 16200 bit, 10 tốc độ mã hóa là 1/4, 1/3, 2/5, 1/2, 3/5, 2/3, 3/4, 4/5, 5/6, và 8/9 được định rõ.

Dưới đây, độ dài mã N 64800 bit được đề cập đến là 64 kbit và độ dài mã N 16200 được đề cập đến là 16 kbit.

Tương ứng với mã LDPC, tốc độ lỗi có xu hướng thấp ở bit mã tương ứng với cột mà trọng số cột của ma trận kiểm tra chẵn lẻ H của nó lớn.

Trong ma trận kiểm tra chẵn lẻ H được minh họa trên Fig.12 và Fig.13 và được định rõ theo chuẩn của DVB-T.2 hoặc tương tự, trọng số cột của cột phía đầu (phía bên trái) có xu hướng lớn. Do đó, tương ứng với mã LDPC tương ứng với ma trận kiểm tra chẵn lẻ H, bit mã của phía đầu có xu hướng mạnh về lỗi (có dung sai đối với lỗi) và bit mã của phía cuối có xu hướng yếu về lỗi.

Fig.14 minh họa ví dụ về sự bố trí của (các điểm tín hiệu tương ứng với) 16 ký hiệu trên mặt phẳng IQ, khi 16QAM được thực hiện bởi bộ ánh xạ 117 trên Fig.8.

Nghĩa là, A trên Fig.14 minh họa các ký hiệu của 16QAM của DVB-T.2

(điểm tín hiệu tương ứng với ký hiệu).

Trong 16QAM, một ký hiệu được biểu diễn bởi 4 bit và 16 ký hiệu ($= 2^4$) tồn tại. 16 ký hiệu được bố trí sao cho hướng I $\times$ hướng Q trở thành dạng hình vuông 4×4 , trên cơ sở điểm ban đầu của mặt phẳng IQ.

Nếu bit thứ $(i + 1)$ từ bit quan trọng nhất của chuỗi bit được biểu diễn bởi một ký hiệu được biểu diễn là bit y_i , 4 bit được biểu diễn bởi một ký hiệu của 16QAM có thể lần lượt được biểu diễn là các bit y_0, y_1, y_2 , và y_3 , liên tục từ bit quan trọng nhất. Khi phương pháp điều biến là 16QAM, 4 bit trong các bit mã của mã LDPC trở thành ký hiệu (giá trị ký hiệu) của 4 bit y_0 tới y_3 (được ký hiệu hóa).

B trên Fig.14 minh họa giới hạn bit tương ứng với mỗi bit trong số 4 bit (dưới đây, được đề cập đến là các bit ký hiệu) y_0 tới y_3 được biểu diễn bởi ký hiệu của 16QAM.

Trong trường hợp này, giới hạn bit tương ứng với bit ký hiệu y_i (trên Fig.14, $i = 0, 1, 2$, và 3) nghĩa là giới hạn của ký hiệu mà bit ký hiệu y_i của nó trở thành 0 và ký hiệu mà bit ký hiệu y_i của nó trở thành 1.

Như được minh họa bởi B trên Fig.14, chỉ một vị trí của trục Q của mặt phẳng IQ trở thành giới hạn bit tương ứng với bit ký hiệu quan trọng nhất y_0 trong 4 bit của các bit ký hiệu y_0 tới y_3 được biểu diễn bởi ký hiệu của 16QAM và chỉ một vị trí của trục I của mặt phẳng IQ trở thành giới hạn bit tương ứng với bit ký hiệu y_1 thứ hai (thứ hai từ bit quan trọng nhất).

Tương ứng với bit ký hiệu thứ ba y_2 , hai vị trí của vị trí giữa cột thứ nhất và cột thứ hai từ phía bên trái và vị trí giữa cột thứ ba và cột thứ tư, giữa các ký hiệu 4×4 , trở thành các giới hạn bit.

Tương ứng với bit ký hiệu thứ tư y_3 , hai vị trí của vị trí giữa hàng thứ nhất và hàng thứ hai từ phía trên và vị trí giữa hàng thứ ba và hàng thứ tư, giữa các ký hiệu 4×4 , trở thành các giới hạn bit.

Ở các bit ký hiệu y_i mà được biểu diễn bởi các ký hiệu, khi số lượng các ký

hiệu ngoài các giới hạn bit là lớn, lỗi khó được tạo ra (xác suất lỗi thấp) và khi số lượng các ký hiệu gần với các giới hạn bit là lớn, lỗi dễ dàng được tạo ra (xác suất lỗi cao).

Nếu các bit (mạnh đối với lỗi) trong đó lỗi khó được tạo ra được đề cập đến là "các bit mạnh" và các bit (yếu đối với lỗi) trong đó lỗi dễ dàng được tạo ra được đề cập đến là "các bit yếu", tương ứng với 4 bit của các bit ký hiệu y_0 tới y_3 của ký hiệu của 16QAM, bit ký hiệu quan trọng nhất y_0 và bit ký hiệu thứ hai y_1 trở thành các bit mạnh và bit ký hiệu thứ ba y_2 và bit ký hiệu thứ tư y_3 trở thành các bit yếu.

Fig.15 tới Fig.17 minh họa ví dụ về sự bố trí của (các điểm tín hiệu tương ứng với) 64 ký hiệu trên mặt phẳng IQ, nghĩa là, các ký hiệu của 16QAM của DVB-T.2, khi 64QAM được thực hiện bởi bộ ánh xạ 117 trên Fig.8.

Trong 64QAM, một ký hiệu biểu diễn 6 bit và 64 ký hiệu ($= 2^6$) tồn tại. 64 ký hiệu được bố trí sao cho hướng I $\times$ hướng Q trở thành hình vuông 8×8 , trên cơ sở điểm ban đầu của mặt phẳng IQ.

Các bit ký hiệu của một ký hiệu của 64QAM có thể được biểu diễn là y_0, y_1, y_2, y_3, y_4 , và y_5 , liên tục từ bit quan trọng nhất. Khi phương pháp điều biến là 64QAM, 6 bit trong các bit mã của mã LDPC trở thành ký hiệu của các bit ký hiệu y_0 tới y_5 của 6 bit.

Trong trường hợp này, Fig.15 minh họa giới hạn bit tương ứng với mỗi bit ký hiệu quan trọng nhất y_0 và bit ký hiệu thứ hai y_1 giữa các bit ký hiệu y_0 tới y_5 của ký hiệu của 64QAM, Fig.16 minh họa giới hạn bit tương ứng với mỗi bit ký hiệu thứ ba y_2 và bit ký hiệu thứ tư y_3 , và Fig.17 minh họa giới hạn bit tương ứng với mỗi bit ký hiệu thứ năm y_4 và bit ký hiệu thứ sáu y_5 .

Như được minh họa trên Fig.15, giới hạn bit tương ứng với mỗi bit ký hiệu quan trọng nhất y_0 và bit ký hiệu thứ hai y_1 trở thành một vị trí. Như được minh họa trên Fig.16, các giới hạn bit tương ứng với mỗi bit ký hiệu thứ ba y_2 và bit ký hiệu thứ tư y_3 trở thành hai vị trí. Như được minh họa trên Fig.17, các giới hạn bit tương ứng với mỗi bit ký hiệu thứ năm y_4 và bit ký hiệu thứ sáu y_5 trở thành bốn vị

trí.

Do đó, tương ứng với các bit ký hiệu y_0 tới y_5 của ký hiệu của 64QAM, bit ký hiệu quan trọng nhất y_0 và bit ký hiệu thứ hai y_1 trở thành các bit mạnh và bit ký hiệu thứ ba y_2 và bit ký hiệu thứ tư y_3 trở thành các bit mạnh tiếp theo. Ngoài ra, bit ký hiệu thứ năm y_4 và bit ký hiệu thứ sáu y_5 trở thành các bit yếu.

Từ Fig.14 và Fig.15 tới Fig.17, có thể đã biết rằng, tương ứng với các bit ký hiệu của ký hiệu của điều biến trực giao, các bit phía trên có xu hướng trở thành các bit mạnh và các bit phía dưới có xu hướng trở thành các bit yếu.

Fig.18 là hình vẽ minh họa ví dụ về sự bố trí trên mặt phẳng IQ của (các điểm tín hiệu tương ứng với) 4 ký hiệu trong trường hợp ở đó mạch vệ tinh được chấp nhận là đường truyền 13 (Fig.7) và QPSK được thực hiện ở bộ ánh xạ 117 trên Fig.8, nghĩa là, ví dụ, hình vẽ minh họa sự bố trí điểm tín hiệu của QPSK của DVB-S.2.

Ở QPSK của DVB-S.2, ký hiệu được ánh xạ trên điểm tín hiệu bất kỳ trong số 4 điểm tín hiệu trên chu vi của đường tròn mà bán kính của nó tập trung vào gốc của mặt phẳng IQ là ρ .

Fig.19 là hình vẽ minh họa ví dụ về sự bố trí trên mặt phẳng IQ của 8 ký hiệu trong trường hợp ở đó mạch vệ tinh được chấp nhận là đường truyền 13 (Fig.7) và 8PSK được thực hiện ở bộ ánh xạ 117 trên Fig.8, nghĩa là, ví dụ, hình vẽ minh họa sự bố trí điểm tín hiệu của 8PSK của DVB-S.2.

Ở 8PSK của DVB-S.2, ký hiệu được ánh xạ trên điểm tín hiệu bất kỳ trong số 8 điểm tín hiệu trên chu vi của đường tròn mà bán kính của nó tập trung vào gốc của mặt phẳng IQ là ρ .

Fig.20 là ví dụ về sự bố trí trên mặt phẳng IQ của 16 ký hiệu trong trường hợp ở đó mạch vệ tinh được chấp nhận là đường truyền 13 (Fig.7) và 16APSK được thực hiện ở bộ ánh xạ 117 trên Fig.8, nghĩa là, ví dụ, hình vẽ minh họa sự bố trí điểm tín hiệu của 16APSK của DVB-S.2.

Trên Fig.20 minh họa chòm sao của 16APSK của DVB-S.2.

Ở 16APSK của DVB-S.2, ký hiệu được ánh xạ trên điểm tín hiệu bất kỳ của tổng 16 điểm tín hiệu của 4 điểm tín hiệu trên chu vi của đường tròn mà bán kính của nó tập trung vào gốc của mặt phẳng IQ là R_1 và 12 điểm tín hiệu trên chu vi của đường tròn mà bán kính của nó là $R_2(>R_1)$.

B trên Fig.20 minh họa $\gamma=R_2/R_1$ mà là tỉ lệ của các bán kính R_2 và R_1 ở chòm sao của 16APSK của DVB-S.2.

Ở chòm sao của 16APSK của DVB-S.2, tỉ lệ γ của các bán kính R_2 và R_1 thay đổi tùy thuộc vào mỗi tốc độ mã hóa.

Fig.21 là ví dụ về sự bố trí trên mặt phẳng IQ của 32 ký hiệu trong trường hợp ở đó mạch vệ tinh được chấp nhận là đường truyền 13 (Fig.7) và 32APSK được thực hiện ở bộ ánh xạ 117 trên Fig.8, nghĩa là, ví dụ, hình vẽ minh họa sự bố trí điểm tín hiệu của 32APSK của DVB-S.2.

Trên Fig.21 minh họa chòm sao của 32APSK của DVB-S.2.

Ở 32APSK của DVB-S.2, ký hiệu được ánh xạ trên điểm tín hiệu bất kỳ của tổng 32 điểm tín hiệu của 4 điểm tín hiệu trên chu vi của đường tròn mà bán kính của nó tập trung vào gốc của mặt phẳng IQ là R_1 , 12 điểm tín hiệu trên chu vi của đường tròn mà bán kính của nó là $R_2(>R_1)$ và 16 điểm tín hiệu trên chu vi của đường tròn mà bán kính của nó là $R_3(>R_2)$.

B trên Fig.21 minh họa $\gamma_1=R_2/R_1$ mà là tỉ lệ của các bán kính R_2 và R_1 ở chòm sao của 32APSK của DVB-S.2 và $\gamma_2=R_3/R_1$ mà là tỉ lệ của các bán kính R_3 và R_1 .

Ở chòm sao của 32APSK của DVB-S.2, tỉ lệ γ_1 của các bán kính R_2 và R_1 và tỉ lệ γ_2 của các bán kính R_3 và R_1 thay đổi tùy thuộc vào mỗi tốc độ mã hóa.

Thậm chí đối với các bit ký hiệu của các ký hiệu của mỗi điều biến cầu phương (QPSK, 8PSK, 16APSK và 32APSK) của DVB-S.2 minh họa chòm sao trên Fig.18 tới Fig.21, tương tự như các trường hợp trên Fig.14 tới Fig.17, có các

bit mạnh và các bit yếu.

Như được mô tả trên Fig.12 và Fig.13, tương ứng với mã LDPC được đưa ra bởi bộ mã hóa LDPC 115 (Fig.8), các bit mã mạnh về lỗi và các bit mã yếu về lỗi tồn tại.

Như được mô tả trên Fig.14 tới Fig.21, tương ứng với các bit ký hiệu của ký hiệu của điều biến trực giao được thực hiện bởi bộ ánh xạ 117, các bit mạnh và các bit yếu tồn tại.

Do đó, nếu các bit mã của mã LDPC mạnh đối với lỗi được cấp phát tới các bit ký hiệu yếu của ký hiệu của điều biến trực giao, dung sai đối với lỗi có thể được hạ thấp xuống toàn bộ.

Do đó, bộ đan xen đan xen các bit mã của mã LDPC bằng cách sao cho các bit mã của mã LDPC yếu về lỗi được cấp phát tới các bit mạnh (các bit ký hiệu) của ký hiệu của điều biến trực giao được đề xuất.

Bộ giải đa hợp 25 trên Fig.9 có thể thực hiện quy trình xử lý của bộ đan xen.

Fig.22 là hình vẽ minh họa quy trình xử lý của bộ giải đa hợp 25 trên Fig.9.

Nghĩa là, A trên Fig.18 minh họa ví dụ cấu hình chức năng của bộ giải đa hợp 25.

Bộ giải đa hợp 25 gồm có bộ nhớ 31 và bộ trao đổi 32.

Mã LDPC được cung cấp từ bộ mã hóa LDPC 115 tới bộ nhớ 31.

Bộ nhớ 31 có dung lượng lưu trữ để lưu trữ các bit mb theo hướng hàng (ngang) và lưu trữ bit $N/(mb)$ theo hướng cột (dọc). Bộ nhớ 31 ghi các bit mã của mã LDPC được cung cấp ở đó theo hướng cột, đọc các bit mã theo hướng hàng, và cung cấp các bit mã tới bộ trao đổi 32.

Trong trường hợp này, N ($=$ độ dài thông tin K + độ dài chẵn lẻ M) biểu diễn độ dài mã của mã LDPC, như được mô tả ở trên.

Ngoài ra, m biểu diễn số bit trong các bit mã của mã LDPC mà trở thành một ký hiệu và b biểu diễn bội số mà là số nguyên dương định trước và được sử dụng để thực hiện phép nhân tích phân của m . Bộ giải đa hợp 25 ký hiệu hóa các bit mã của mã LDPC trong đơn vị của các bit định trước m . Tuy nhiên, bội số b biểu diễn số lượng các ký hiệu thu được bằng việc ký hiệu hóa một lần của bộ giải đa hợp 25.

A của Fig.22 minh họa ví dụ cấu hình của bộ giải đa hợp 25 trong trường hợp ở đó phương pháp điều biến là 64QAM hoặc tương tự trong đó việc ánh xạ được thực hiện trên điểm tín hiệu bất kỳ trong số 64 điểm tín hiệu, và do đó số bit m của các bit mã của mã LDPC trở thành một ký hiệu là 6 bit.

Ở A của Fig.22, bội số b trở thành 1. Do đó, bộ nhớ 31 có dung lượng lưu trữ trong đó hướng cột $\times$ hướng hàng là $N/(6 \times 1) \times (6 \times 1)$ bit.

Trong trường hợp này, vùng lưu trữ của bộ nhớ 31 trong đó hướng hàng là 1 bit và mở rộng theo hướng cột được đề cập đến một cách thích hợp là cột dưới đây. Ở A trên Fig.22, bộ nhớ 31 bao gồm 6 cột ($=6 \times 1$).

Ở bộ giải đa hợp 25, việc ghi của các bit mã của mã LDPC theo hướng đi xuống (hướng cột) từ phía trên của các cột cấu thành bộ nhớ 31 được thực hiện hướng tới các cột của hướng bên phải từ phía bên trái.

Nếu việc ghi của các bit mã kết thúc ở đáy của cột ngoài cùng bên phải, các bit mã được đọc trong đơn vị của 6 bit (các bit m_b) theo hướng hàng từ hàng thứ nhất của tất cả các cột cấu thành bộ nhớ 31 và được cung cấp tới bộ trao đổi 32.

Bộ trao đổi 32 thực hiện việc xử lý trao đổi để trao đổi các vị trí của các bit mã của 6 bit từ bộ nhớ 31 và đưa ra 6 bit thu được do đó là 6 bit ký hiệu y_0, y_1, y_2, y_3, y_4 , và y_5 biểu diễn một ký hiệu của 64QAM.

Nghĩa là, các bit mã của các bit m_b (trong trường hợp này, 6 bit) được đọc từ bộ nhớ 31 theo hướng hàng. Tuy nhiên, nếu bit thứ i ($i = 0, 1, \dots$, và $m_b - 1$) từ bit quan trọng nhất, của các bit mã của các bit m_b được đọc từ bộ nhớ 31, được

biểu diễn là bit b_i , các bit mã của 6 bit được đọc từ bộ nhớ 31 theo hướng hàng có thể được biểu diễn là các bit b_0, b_1, b_2, b_3, b_4 , và b_5 , liên tục từ bit quan trọng nhất.

Với mối liên quan của các trọng số cột được mô tả trên Fig.12 và Fig.13, bit mã theo hướng của bit b_0 trở thành bit mã mạnh đối với lỗi và bit mã theo hướng của bit b_5 trở thành bit mã yếu đối với lỗi.

Ở bộ trao đổi 32, việc xử lý trao đổi để trao đổi các vị trí của các bit mã b_0 tới b_5 của 6 bit từ bộ nhớ 31, sao cho các bit mã yếu về lỗi giữa các bit mã b_0 tới b_5 của 6 bit từ bộ nhớ 31 được cấp phát tới các bit mạnh giữa các bit ký hiệu y_0 tới y_5 của một ký hiệu của 64QAM, có thể được thực hiện.

Trong trường hợp này, như các phương pháp trao đổi để trao đổi các bit mã b_0 tới b_5 của 6 bit từ bộ nhớ 31 và cấp phát các bit mã b_0 tới b_5 của 6 bit tới 6 bit ký hiệu y_0 tới y_5 biểu diễn một ký hiệu của 64QAM, các phương pháp khác nhau được đề xuất từ các công ty cá nhân.

B trên Fig.22 minh họa phương pháp trao đổi thứ nhất, C trên Fig.22 minh họa phương pháp trao đổi thứ hai, và D trên Fig.22 minh họa phương pháp trao đổi thứ ba.

Ở B trên Fig.22 tới D trên Fig.22 (tương tự như Fig.23 được mô tả dưới đây), đoạn đường kẻ nối các bit b_i và y_j nghĩa là bit mã b_i được cấp phát tới bit ký hiệu y_j của ký hiệu (được trao đổi với vị trí của bit ký hiệu y_j).

Như phương pháp trao đổi thứ nhất của B trên Fig.22, để chấp nhận một loại bất kỳ trong ba loại của các phương pháp trao đổi được đề xuất. Như phương pháp trao đổi thứ hai của C trên Fig.22, để chấp nhận một loại bất kỳ trong hai loại của các phương pháp trao đổi được đề xuất.

Như phương pháp trao đổi thứ ba của D trên Fig.22, để liên tục lựa chọn sáu loại của các phương pháp trao đổi và sử dụng phương pháp trao đổi được đề xuất.

Fig.23 minh họa ví dụ cấu hình của bộ giải đa hợp 25 trong trường hợp ở

đó phương pháp điều biến là 64QAM hoặc tương tự trong đó việc ánh xạ được thực hiện trên điểm tín hiệu bất kỳ trong số 64 điểm tín hiệu (do đó, số bit m của các bit mã của mã LDPC được ánh xạ trên một ký hiệu là 6 bit cũng như Fig.22) và bội số b là 2, và phương pháp trao đổi thứ tư.

Khi bội số b là 2, bộ nhớ 31 có dung lượng lưu trữ trong đó hướng cột $\times$ hướng hàng là $N/(6 \times 2) \times (6 \times 2)$ bit và bao gồm 12 ($= 6 \times 2$) cột.

Trên Fig.23 minh họa trình tự của việc ghi mã LDPC tới bộ nhớ 31.

Ở bộ giải đa hợp 25, như được mô tả trên Fig.22, việc ghi của các bit mã của mã LDPC theo hướng đi xuống (hướng cột) từ phía trên của các cột cấu thành bộ nhớ 31 được thực hiện hướng tới các cột theo hướng bên phải từ phía bên trái.

Nếu việc ghi của các bit mã kết thúc ở đáy của cột ngoài cùng bên phải (nếu việc ghi từ mã đã được hoàn thành), các bit mã được đọc trong đơn vị của 12 bit (các bit m_b) theo hướng hàng từ hàng thứ nhất của tất cả các cột cấu thành bộ nhớ 31 và được cung cấp tới bộ trao đổi 32.

Bộ trao đổi 32 thực hiện việc xử lý trao đổi để trao đổi các vị trí của các bit mã của 12 bit từ bộ nhớ 31 nhờ sử dụng phương pháp trao đổi thứ tư và đưa ra 12 bit thu được do đó như 12 bit biểu diễn hai ký hiệu (các ký hiệu b) của 64QAM, nghĩa là, sáu bit ký hiệu y_0, y_1, y_2, y_3, y_4 , và y_5 biểu diễn một ký hiệu của 64QAM và sáu bit ký hiệu y_0, y_1, y_2, y_3, y_4 , và y_5 biểu diễn một ký hiệu tiếp theo.

Trong trường hợp này, B trên Fig.23 minh họa phương pháp trao đổi thứ tư của việc xử lý trao đổi bởi bộ trao đổi 32 của A của Fig.23.

Khi bội số b là 2 (hoặc 3 hoặc nhiều hơn), trong việc xử lý trao đổi, các bit mã của các bit m_b được cấp phát tới các bit ký hiệu của các bit m_b của các ký hiệu liên tiếp b . Ở phần giải thích dưới đây gồm có phần giải thích trên Fig.23, bit thứ $(i + 1)$ từ bit quan trọng nhất trong các bit ký hiệu của các bit m_b của các ký hiệu liên tiếp b được biểu diễn là bit (bit ký hiệu) y_i , để thuận tiện cho việc giải thích.

Loại bit mã nào của các bit mã thích hợp được trao đổi, nghĩa là, việc nâng

cao tốc độ lỗi ở đường truyền AWGN hoặc tương tự khác nhau theo tốc độ mã hóa hoặc độ dài mã của mã LDPC và phương pháp điều biến.

Đan xen chẵn lẻ

Tiếp theo, đan xen chẵn lẻ bởi bộ đan xen chẵn lẻ 23 trên Fig.9 sẽ được mô tả dựa vào Fig.24 tới Fig.26.

Fig.24 minh họa (một phần của) đồ thị Tanner của ma trận kiểm tra chẵn lẻ của mã LDPC.

Như được minh họa trên Fig.24, nếu các, ví dụ, hai nút biến đổi giữa (các bit mã tương ứng với) các nút biến đổi được nối với nút kiểm tra đồng thời trở thành lỗi như lỗi xóa, nút kiểm tra hoàn lại thông điệp trong đó xác suất của giá trị là 0 và xác suất của giá trị là 1 tương đương với nhau, tới tất cả các nút biến đổi được nối với nút kiểm tra. Vì lý do này, nếu các nút biến đổi được nối với cùng nút kiểm tra đồng thời trở thành lỗi xóa, hiệu suất giải mã bị làm hỏng.

Trong khi đó, mã LDPC mà được đưa ra bởi bộ mã hóa LDPC 115 trên Fig.8 và được định rõ theo chuẩn của DVB-S.2 hoặc tương tự là mã IRA và ma trận chẵn lẻ H_T của ma trận kiểm tra chẵn lẻ H trở thành cấu trúc bậc thang, như được minh họa trên Fig.11.

Fig.25 minh họa ma trận chẵn lẻ H_T trở thành cấu trúc bậc thang và đồ thị Tanner tương ứng với ma trận chẵn lẻ H_T .

Nghĩa là, A của Fig.25 minh họa ma trận chẵn lẻ H_T trở thành cấu trúc bậc thang và B trên Fig.25 minh họa đồ thị Tanner tương ứng với ma trận chẵn lẻ H_T của A của Fig.25.

Ở ma trận chẵn lẻ H_T với cấu trúc bậc thang, các phần tử 1 liên tiếp ở mỗi hàng (không bao gồm hàng thứ nhất). Do đó, trên đồ thị Tanner của ma trận chẵn lẻ H_T , hai nút biến đổi liên tiếp tương ứng với cột của hai phần tử liên tiếp trong đó giá trị của ma trận chẵn lẻ H_T là 1 được nối với cùng nút kiểm tra.

Do đó, khi các bit chẵn lẻ tương ứng với hai nút biến đổi liên tiếp được nêu

ở trên trở thành các lỗi đồng thời bởi lỗi bit chùm và lỗi xóa, và v.v, nút kiểm tra được nối với hai nút biến đổi (các nút biến đổi để tìm thông điệp bởi việc sử dụng các bit chắn lẻ) tương ứng với hai bit chắn lẻ này đã trở thành các lỗi hoàn lại thông điệp mà xác suất với giá trị của 0 và xác suất với giá trị của 1 là xác suất tương đương, tới các nút biến đổi được nối với nút kiểm tra, và do đó hiệu suất giải mã bị làm hỏng. Hơn nữa, khi độ dài chùm khối (số bit của các bit chắn lẻ tiếp tục trở thành các lỗi) trở thành lớn, số lượng các nút kiểm tra hoàn lại thông điệp của xác suất tương đương tăng lên và hiệu suất giải mã còn bị làm hỏng.

Do đó, bộ đan xen chắn lẻ 23 (Fig.9) thực hiện đan xen chắn lẻ để đan xen các bit chắn lẻ của mã LDPC từ bộ mã hóa LDPC 115 vào các vị trí của các bit chắn lẻ khác, để ngăn ngừa hiệu suất giải mã khỏi bị làm hỏng.

Fig.26 minh họa ma trận chắn lẻ H_T của ma trận kiểm tra chắn lẻ H tương ứng với mã LDPC sau khi đan xen chắn lẻ được thực hiện bởi bộ đan xen chắn lẻ 23 trên Fig.9.

Trong trường hợp này, ma trận thông tin H_A của ma trận kiểm tra chắn lẻ H tương ứng với mã LDPC mà được đưa ra bởi bộ mã hóa LDPC 115 và được định rõ theo chuẩn của DVB-S.2 hoặc tương tự trở thành cấu trúc tuần hoàn.

Cấu trúc tuần hoàn nghĩa là cấu trúc trong đó cột cụ thể được ghép với cột thu được bằng cách chuyển theo chu kỳ cột khác. Ví dụ, cấu trúc tuần hoàn bao gồm cấu trúc trong đó vị trí của 1 của mỗi hàng của các cột P trở thành vị trí thu được bằng cách chuyển theo chu kỳ cột thứ nhất trong các cột P theo hướng cột bởi giá trị tương xứng với giá trị q thu được bằng cách chia độ dài chắn lẻ M , cho mọi cột P . Dưới đây, các cột P trong cấu trúc tuần hoàn được đề cập đến một cách thích hợp là số cột của đơn vị cấu trúc tuần hoàn.

Với mã LDPC được định rõ theo chuẩn như DVB-S.2, như được mô tả trên Fig.12 và Fig.13, có hai loại mã LDPC mà độ dài mã N của chúng là 64800 bit và 16200 bit, và, đối với cả hai loại này của các mã LDPC, số cột P là đơn vị cấu trúc tuần hoàn được định rõ là 360 mà là một trong số các số chia không bao gồm 1 và

M giữa các số chia của độ dài chẵn lẻ M.

Độ dài chẵn lẻ M trở thành giá trị khác ngoài các số nguyên tố được biểu diễn bởi biểu thức $M = q \times P = q \times 360$, sử dụng giá trị q khác theo tốc độ mã hóa. Do đó, tương tự như số cột P của đơn vị cấu trúc tuần hoàn, giá trị q là một giá trị khác ngoài 1 và M giữa các số chia của độ dài chẵn lẻ M và thu được bằng cách chia độ dài chẵn lẻ M bởi số cột P của đơn vị cấu trúc tuần hoàn (sản phẩm của P và q là các số chia của độ dài chẵn lẻ M trở thành độ dài chẵn lẻ M).

Như được mô tả ở trên, khi độ dài thông tin được giả sử là K, số nguyên tương đương với hoặc lớn hơn 0 và ít hơn P được giả sử là x và số nguyên tương đương với hoặc lớn hơn 0 và ít hơn q được giả sử là y, bộ đan xen chẵn lẻ 23 đan xen bit mã thứ $K+qx+y+1$ giữa các bit mã của mã LDPC của các bit N ở vị trí của bit mã thứ $K+Py+x+1$ khi đan xen chẵn lẻ.

Do cả bit mã thứ $K+qx+y+1$ và bit mã thứ $K+Py+x+1$ là các bit mã sau bit mã thứ K+1, chúng là các bit chẵn lẻ, và do đó các vị trí của các bit chẵn lẻ của mã LDPC được di chuyển theo đan xen chẵn lẻ.

Theo đan xen chẵn lẻ, (các bit chẵn lẻ tương ứng với) các nút biến đổi được nối với cùng nút kiểm tra được tách ra bởi số cột P của đơn vị cấu trúc tuần hoàn nghĩa là, 360 bit trong trường hợp này. Vì lý do này, khi độ dài chùm khối ít hơn 360 bit, các nút biến đổi được nối với cùng nút kiểm tra có thể được ngăn không đồng thời trở thành lỗi. Do đó, dung sai đối với lỗi bit chùm có thể được nâng cao.

Mã LDPC sau khi đan xen để đan xen bit mã thứ $(K + qx + y + 1)$ vào vị trí của bit mã thứ $(K + Py + x + 1)$ được ghép với mã LDPC của ma trận kiểm tra chẵn lẻ (dưới đây, được đề cập đến là ma trận kiểm tra chẵn lẻ được biến đổi) thu được bằng cách thực hiện sự thay thế cột để thay thế cột thứ $(K + qx + y + 1)$ của ma trận kiểm tra chẵn lẻ ban đầu H với cột thứ $(K + Py + x + 1)$.

Trong ma trận chẵn lẻ của ma trận kiểm tra chẵn lẻ được biến đổi, như được minh họa trên Fig.26, cấu trúc tuần hoàn giả sử dụng các cột P (trên Fig.26, 360 cột) làm đơn vị xuất hiện.

Trong trường hợp này, cấu trúc tuần hoàn giả nghĩa là cấu trúc trong đó cấu trúc tuần hoàn được tạo nên ngoại trừ một phần của nó. Ma trận kiểm tra chẵn lẻ được biến đổi thu được bằng cách thực hiện sự thay thế cột tương ứng với đan xen chẵn lẻ tương ứng với ma trận kiểm tra chẵn lẻ của mã LDPC được định rõ theo chuẩn của DVB-S.2 hoặc tương tự trở thành cấu trúc tuần hoàn giả, không phải cấu trúc tuần hoàn (đầy đủ), vì số lượng các phần tử 1 ít hơn 1 (các phần tử 0 tồn tại) ở một đoạn (ma trận được chuyển được mô tả dưới đây) của $360 \text{ hàng} \times 360 \text{ cột}$ của một đoạn góc phải của nó.

Ma trận kiểm tra chẵn lẻ được biến đổi trên Fig.26 trở thành ma trận thu được bằng cách thực hiện sự thay thế cột tương ứng với đan xen chẵn lẻ và sự thay thế (sự thay thế hàng) của hàng để cấu hình ma trận kiểm tra chẵn lẻ được biến đổi với ma trận cấu thành được mô tả dưới đây, tương ứng với ma trận kiểm tra chẵn lẻ ban đầu H.

Đan xen xoắn cột

Tiếp theo, đan xen xoắn cột tương ứng với việc xử lý sắp xếp lại bởi bộ đan xen xoắn cột 24 trên Fig.9 sẽ được mô tả dựa vào Fig.27 tới Fig.30.

Ở thiết bị truyền 11 trên Fig.8, một hoặc nhiều bit trong các bit mã của mã LDPC được truyền như một ký hiệu. Nghĩa là, khi hai bit của các bit mã được thiết đặt như một ký hiệu, QPSK được sử dụng làm phương pháp điều biến và khi bốn bit của các bit mã được thiết đặt như một ký hiệu, APSK hoặc 16QAM được sử dụng làm phương pháp điều biến.

Như vậy, khi hai hoặc nhiều bit của các bit mã được truyền như một ký hiệu, nếu lỗi xóa được tạo ra trong ký hiệu cụ thể, tất cả các bit mã của ký hiệu trở thành lỗi (lỗi xóa).

Do đó, cần ngăn ngừa các nút biến đổi tương ứng với các bit mã của một ký hiệu khỏi được nối với cùng nút kiểm tra, theo thứ tự để giảm xuống xác suất của (các bit mã tương ứng với) các nút biến đổi được nối với cùng nút kiểm tra đồng thời trở thành lỗi xóa để nâng cao hiệu suất giải mã.

Trong khi đó, như được mô tả ở trên, trong ma trận kiểm tra chẵn lẻ H của mã LDPC mà được đưa ra bởi bộ mã hóa LDPC 115 và được định rõ theo chuẩn của DVB-S.2 hoặc tương tự, ma trận thông tin H_A có cấu trúc tuần hoàn và ma trận chẵn lẻ H_T có cấu trúc bậc thang. Như được mô tả trên Fig.26, trong ma trận kiểm tra chẵn lẻ được biến đổi là ma trận kiểm tra chẵn lẻ của mã LDPC sau khi đan xen chẵn lẻ, cấu trúc tuần hoàn (thực tế, cấu trúc tuần hoàn giả như được mô tả ở trên) xuất hiện trong ma trận chẵn lẻ.

Fig.27 minh họa ma trận kiểm tra chẵn lẻ được biến đổi.

Nghĩa là, A của Fig.27 minh họa ma trận kiểm tra chẵn lẻ được biến đổi của ma trận kiểm tra chẵn lẻ H của mã LDPC trong đó độ dài mã N là 64800 bit và tốc độ mã hóa (r) là $3/4$.

Ở A của Fig.27, trong ma trận kiểm tra chẵn lẻ được biến đổi, vị trí của phần tử mà giá trị của nó trở thành 1 được thể hiện bởi dấu chấm ($\cdot$).

B trên Fig.27 minh họa quy trình xử lý được thực hiện bởi bộ giải đa hợp 25 (Fig.9), tương ứng với mã LDPC của ma trận kiểm tra chẵn lẻ được biến đổi của A của Fig.27, nghĩa là, mã LDPC sau khi đan xen chẵn lẻ.

Ở B trên Fig.27, với giả sử rằng phương pháp điều biến là phương pháp trong đó ký hiệu được ánh xạ trên điểm tín hiệu bất kỳ trong số 16 điểm tín hiệu như 16APSK và 16QAM, các bit mã của mã LDPC sau khi đan xen chẵn lẻ được ghi ở bốn cột tạo nên bộ nhớ 31 của bộ giải đa hợp 25 theo hướng cột.

Các bit mã được ghi theo hướng cột ở bốn cột cấu thành bộ nhớ 31 được đọc trong đơn vị của bốn bit theo hướng hàng và trở thành một ký hiệu.

Trong trường hợp này, các bit mã B_0 , B_1 , B_2 , và B_3 của bốn bit mã trở thành một ký hiệu có thể trở thành các bit mã tương ứng với 1 ở một hàng bất kỳ trong số ma trận kiểm tra chẵn lẻ được biến đổi của A của Fig.27. Trong trường hợp này, các nút biến đổi tương ứng với các bit mã B_0 , B_1 , B_2 , và B_3 được nối với cùng nút kiểm tra.

Do đó, khi các bit mã B_0 , B_1 , B_2 , và B_3 của bốn bit của một ký hiệu trở thành các bit mã tương ứng với 1 ở một hàng bất kỳ trong số ma trận kiểm tra chẵn lẻ được biến đổi, nếu lỗi xóa được tạo ra ở ký hiệu, thông điệp thích hợp có thể không được tính trong cùng nút kiểm tra mà các nút biến đổi tương ứng với các bit mã B_0 , B_1 , B_2 , và B_3 được nối. Do đó, hiệu suất giải mã bị làm hỏng.

Tương ứng với các tốc độ mã hóa khác ngoài $3/4$, các bit mã tương ứng với các nút biến đổi được nối với cùng nút kiểm tra có thể trở thành một ký hiệu của APSK hoặc 16QAM, tương tự như trường hợp ở trên.

Do đó, bộ đan xen xoắn cột 24 thực hiện đan xen xoắn cột để đan xen các bit mã của mã LDPC sau khi đan xen chẵn lẻ từ bộ đan xen chẵn lẻ 23, sao cho các bit mã tương ứng với 1 ở một hàng bất kỳ trong số ma trận kiểm tra chẵn lẻ được biến đổi không được bao gồm trong một ký hiệu.

Fig.28 là hình vẽ minh họa đan xen xoắn cột.

Nghĩa là, Fig.28 minh họa bộ nhớ 31 (Fig.22 và Fig.23) của bộ giải đa hợp 25.

Như được mô tả trên Fig.22, bộ nhớ 31 có dung lượng lưu trữ để lưu trữ các bit mb theo hướng cột (dọc) và lưu trữ bit $N/(mb)$ theo hướng hàng (ngang) và gồm có các cột mb. Bộ đan xen xoắn cột 24 ghi các bit mã của mã LDPC theo hướng cột tương ứng với bộ nhớ 31, điều khiển vị trí bắt đầu ghi khi các bit mã được đọc theo hướng hàng, và thực hiện đan xen xoắn cột.

Nghĩa là, ở bộ đan xen xoắn cột 24, vị trí bắt đầu ghi để bắt đầu việc ghi của các bit mã được thay đổi một cách thích hợp tương ứng với mỗi cột, sao cho các bit mã được đọc theo hướng hàng và trở thành một ký hiệu do không trở thành các bit mã tương ứng với 1 ở một hàng bất kỳ trong số ma trận kiểm tra chẵn lẻ được biến đổi (các bit mã của mã LDPC được sắp xếp lại sao cho các bit mã tương ứng với 1 ở một hàng bất kỳ trong số ma trận kiểm tra chẵn lẻ không được bao gồm trong cùng ký hiệu).

Trong trường hợp này, Fig.28 minh họa ví dụ cấu hình của bộ nhớ 31 khi phương pháp điều biến là 16 APSK hoặc 16QAM và bội số b được mô tả trên Fig.22 là 1. Do đó, số bit m của các bit mã của mã LDPC trở thành một ký hiệu là 4 bit và bộ nhớ 31 bao gồm 4 ($= mb$) cột.

Bộ đan xen xoắn cột 24 thực hiện việc ghi của các bit mã của mã LDPC (thay thế bộ giải đa hợp 25 trên Fig.22) theo hướng đi xuống (hướng cột) từ phía trên của bốn cột cấu thành bộ nhớ 31, hướng tới các cột của hướng bên phải từ phía bên trái.

Nếu việc ghi của các bit mã kết thúc ở cột ngoài cùng bên phải, bộ đan xen xoắn cột 24 đọc các bit mã trong đơn vị của bốn bit (các bit mb) theo hướng hàng từ hàng thứ nhất của tất cả các cột cấu thành bộ nhớ 31 và đưa ra các bit mã là mã LDPC sau khi đan xen xoắn cột tới bộ trao đổi 32 (Fig.22 và Fig.23) của bộ giải đa hợp 25.

Tuy nhiên, ở bộ đan xen xoắn cột 24, nếu địa chỉ của vị trí của phía đầu (đỉnh) của mỗi cột được thiết đặt tới 0 và địa chỉ của mỗi vị trí của hướng cột được biểu diễn bởi số nguyên tăng dần, vị trí bắt đầu ghi được thiết đặt tới vị trí mà địa chỉ của nó là 0, tương ứng với cột ngoài cùng bên trái. Vị trí bắt đầu ghi được thiết đặt tới vị trí mà địa chỉ của nó là 2, tương ứng với cột thứ hai (từ phía bên trái). Vị trí bắt đầu ghi được thiết đặt tới vị trí mà địa chỉ của nó là 4, tương ứng với cột thứ ba. Vị trí bắt đầu ghi được thiết đặt tới vị trí mà địa chỉ của nó là 7, tương ứng với cột thứ tư.

Tương ứng với các cột trong đó vị trí bắt đầu ghi là các vị trí khác ngoài vị trí mà địa chỉ của nó là 0, sau khi các bit mã được ghi ở vị trí thấp nhất, vị trí hoàn lại tới phía đầu (vị trí mà địa chỉ của nó là 0) và việc ghi được thực hiện ở vị trí ngay trước vị trí bắt đầu ghi. Sau đó, việc ghi tương ứng với cột tiếp theo (bên phải) được thực hiện.

Bằng cách thực hiện đan xen xoắn cột được mô tả ở trên, tương ứng với các mã LDPC mà được định rõ theo chuẩn của DVB-T.2 hoặc tương tự, các bit mã

tương ứng với các nút biến đổi được nối với cùng nút kiểm tra có thể được ngăn không trở thành một ký hiệu của APSK hoặc 16QAM (được bao gồm trong cùng ký hiệu). Do đó, hiệu suất giải mã ở đường truyền trong đó lỗi xóa tồn tại có thể được nâng cao.

Fig.29 minh họa số cột của bộ nhớ 31 cần cho đan xen xoắn cột và địa chỉ của vị trí bắt đầu ghi cho mỗi phương pháp điều biến, tương ứng với các mã LDPC của 11 tốc độ mã hóa được định rõ theo chuẩn của DVB-T.2 và có độ dài mã N là 64800.

Khi bội số b là 1, QPSK được chấp nhận là phương pháp điều biến, và số bit m của một ký hiệu là 2 bit, theo Fig.29, bộ nhớ 31 có hai cột để lưu trữ $2 \times 1 (= mb)$ bit theo hướng hàng và lưu trữ $64800/(2 \times 1)$ bit theo hướng cột.

Vị trí bắt đầu ghi của cột thứ nhất trong hai cột của bộ nhớ 31 trở thành vị trí mà địa chỉ của nó là 0 và vị trí bắt đầu ghi của cột thứ hai trở thành vị trí mà địa chỉ của nó là 2.

Ví dụ, khi một trong số bất kỳ phương pháp trao đổi thứ nhất tới thứ ba trên Fig.22 được chấp nhận là phương pháp trao đổi của việc xử lý trao đổi của bộ giải đa hợp 25 (Fig.9), bội số b trở thành 1.

Khi bội số b là 2, QPSK được chấp nhận là phương pháp điều biến, và số bit m của một ký hiệu là 2 bit, theo Fig.29, bộ nhớ 31 có bốn cột để lưu trữ 2×2 bit theo hướng hàng và lưu trữ $64800/(2 \times 2)$ bit theo hướng cột.

Vị trí bắt đầu ghi của cột thứ nhất trong bốn cột của bộ nhớ 31 trở thành vị trí mà địa chỉ của nó là 0, vị trí bắt đầu ghi của cột thứ hai trở thành vị trí mà địa chỉ của nó là 2, vị trí bắt đầu ghi của cột thứ ba trở thành vị trí mà địa chỉ của nó là 4, và vị trí bắt đầu ghi của cột thứ tư trở thành vị trí mà địa chỉ của nó là 7.

Ví dụ, khi phương pháp trao đổi thứ tư trên Fig.23 được chấp nhận là phương pháp trao đổi của việc xử lý trao đổi của bộ giải đa hợp 25 (Fig.9), bội số b trở thành 2.

Khi bội số b là 1, 16QAM được chấp nhận là phương pháp điều biến, và số bit m của một ký hiệu là 4 bit, theo Fig.29, bộ nhớ 31 có bốn cột để lưu trữ 4×1 bit theo hướng hàng và lưu trữ $64800/(4 \times 1)$ bit theo hướng cột.

Vị trí bắt đầu ghi của cột thứ nhất trong bốn cột của bộ nhớ 31 trở thành vị trí mà địa chỉ của nó là 0, vị trí bắt đầu ghi của cột thứ hai trở thành vị trí mà địa chỉ của nó là 2, vị trí bắt đầu ghi của cột thứ ba trở thành vị trí mà địa chỉ của nó là 4, và vị trí bắt đầu ghi của cột thứ tư trở thành vị trí mà địa chỉ của nó là 7.

Khi bội số b là 2, 16QAM được chấp nhận là phương pháp điều biến, và số bit m của một ký hiệu là 4 bit, theo Fig.29, bộ nhớ 31 có tám cột để lưu trữ 4×2 bit theo hướng hàng và lưu trữ $64800/(4 \times 2)$ bit theo hướng cột.

Vị trí bắt đầu ghi của cột thứ nhất trong tám cột của bộ nhớ 31 trở thành vị trí mà địa chỉ của nó là 0, vị trí bắt đầu ghi của cột thứ hai trở thành vị trí mà địa chỉ của nó là 0, vị trí bắt đầu ghi của cột thứ ba trở thành vị trí mà địa chỉ của nó là 2, vị trí bắt đầu ghi của cột thứ tư trở thành vị trí mà địa chỉ của nó là 4, vị trí bắt đầu ghi của cột thứ năm trở thành vị trí mà địa chỉ của nó là 4, vị trí bắt đầu ghi của cột thứ sáu trở thành vị trí mà địa chỉ của nó là 5, vị trí bắt đầu ghi của cột thứ bảy trở thành vị trí mà địa chỉ của nó là 7, và vị trí bắt đầu ghi của cột thứ tám trở thành vị trí mà địa chỉ của nó là 7.

Khi bội số b là 1, 64QAM được chấp nhận là phương pháp điều biến, và số bit m của một ký hiệu là 6 bit, theo Fig.29, bộ nhớ 31 có sáu cột để lưu trữ 6×1 bit theo hướng hàng và lưu trữ $64800/(6 \times 1)$ bit theo hướng cột.

Vị trí bắt đầu ghi của cột thứ nhất trong sáu cột của bộ nhớ 31 trở thành vị trí mà địa chỉ của nó là 0, vị trí bắt đầu ghi của cột thứ hai trở thành vị trí mà địa chỉ của nó là 2, vị trí bắt đầu ghi của cột thứ ba trở thành vị trí mà địa chỉ của nó là 5, vị trí bắt đầu ghi của cột thứ tư trở thành vị trí mà địa chỉ của nó là 9, vị trí bắt đầu ghi của cột thứ năm trở thành vị trí mà địa chỉ của nó là 10, và vị trí bắt đầu ghi của cột thứ sáu trở thành vị trí mà địa chỉ của nó là 13.

Khi bội số b là 2, 64QAM được chấp nhận là phương pháp điều biến, và số bit m của một ký hiệu là 6 bit, theo Fig.29, bộ nhớ 31 có mười hai cột để lưu trữ 6×2 bit theo hướng hàng và lưu trữ $64800/(6 \times 2)$ bit theo hướng cột.

Vị trí bắt đầu ghi của cột thứ nhất trong mười hai cột của bộ nhớ 31 trở thành vị trí mà địa chỉ của nó là 0, vị trí bắt đầu ghi của cột thứ hai trở thành vị trí mà địa chỉ của nó là 0, vị trí bắt đầu ghi của cột thứ ba trở thành vị trí mà địa chỉ của nó là 2, vị trí bắt đầu ghi của cột thứ tư trở thành vị trí mà địa chỉ của nó là 2, vị trí bắt đầu ghi của cột thứ năm trở thành vị trí mà địa chỉ của nó là 3, vị trí bắt đầu ghi của cột thứ sáu trở thành vị trí mà địa chỉ của nó là 4, vị trí bắt đầu ghi của cột thứ bảy trở thành vị trí mà địa chỉ của nó là 4, vị trí bắt đầu ghi của cột thứ tám trở thành vị trí mà địa chỉ của nó là 5, vị trí bắt đầu ghi của cột thứ chín trở thành vị trí mà địa chỉ của nó là 5, vị trí bắt đầu ghi của cột thứ mười trở thành vị trí mà địa chỉ của nó là 7, vị trí bắt đầu ghi của cột thứ mười một trở thành vị trí mà địa chỉ của nó là 8, và vị trí bắt đầu ghi của cột thứ mười hai trở thành vị trí mà địa chỉ của nó là 9.

Khi bội số b là 1, 256QAM được chấp nhận là phương pháp điều biến, và số bit m của một ký hiệu là 8 bit, theo Fig.29, bộ nhớ 31 có tám cột để lưu trữ 8×1 bit theo hướng hàng và lưu trữ $64800/(8 \times 2)$ bit theo hướng cột.

Vị trí bắt đầu ghi của cột thứ nhất trong tám cột của bộ nhớ 31 trở thành vị trí mà địa chỉ của nó là 0, vị trí bắt đầu ghi của cột thứ hai trở thành vị trí mà địa chỉ của nó là 0, vị trí bắt đầu ghi của cột thứ ba trở thành vị trí mà địa chỉ của nó là 2, vị trí bắt đầu ghi của cột thứ tư trở thành vị trí mà địa chỉ của nó là 4, vị trí bắt đầu ghi của cột thứ năm trở thành vị trí mà địa chỉ của nó là 4, vị trí bắt đầu ghi của cột thứ sáu trở thành vị trí mà địa chỉ của nó là 5, vị trí bắt đầu ghi của cột thứ bảy trở thành vị trí mà địa chỉ của nó là 7, và vị trí bắt đầu ghi của cột thứ tám trở thành vị trí mà địa chỉ của nó là 7.

Khi bội số b là 2, 256QAM được chấp nhận là phương pháp điều biến, và số bit m của một ký hiệu là 8 bit, theo Fig.29, bộ nhớ 31 có mười sáu cột để lưu trữ

8×2 bit theo hướng hàng và lưu trữ $64800/(8 \times 2)$ bit theo hướng cột.

Vị trí bắt đầu ghi của cột thứ nhất trong mười sáu cột của bộ nhớ 31 trở thành vị trí mà địa chỉ của nó là 0, vị trí bắt đầu ghi của cột thứ hai trở thành vị trí mà địa chỉ của nó là 2, vị trí bắt đầu ghi của cột thứ ba trở thành vị trí mà địa chỉ của nó là 2, vị trí bắt đầu ghi của cột thứ tư trở thành vị trí mà địa chỉ của nó là 2, vị trí bắt đầu ghi của cột thứ năm trở thành vị trí mà địa chỉ của nó là 2, vị trí bắt đầu ghi của cột thứ sáu trở thành vị trí mà địa chỉ của nó là 3, vị trí bắt đầu ghi của cột thứ bảy trở thành vị trí mà địa chỉ của nó là 7, vị trí bắt đầu ghi của cột thứ tám trở thành vị trí mà địa chỉ của nó là 15, vị trí bắt đầu ghi của cột thứ chín trở thành vị trí mà địa chỉ của nó là 16 vị trí bắt đầu ghi của cột thứ mười trở thành vị trí mà địa chỉ của nó là 20, vị trí bắt đầu ghi của cột thứ mười một trở thành vị trí mà địa chỉ của nó là 22, vị trí bắt đầu ghi của cột thứ mười hai trở thành vị trí mà địa chỉ của nó là 22, vị trí bắt đầu ghi của cột thứ mười ba trở thành vị trí mà địa chỉ của nó là 27, vị trí bắt đầu ghi của cột thứ mười bốn trở thành vị trí mà địa chỉ của nó là 27, vị trí bắt đầu ghi của cột thứ mười năm trở thành vị trí mà địa chỉ của nó là 28, và vị trí bắt đầu ghi của cột thứ mười sáu trở thành vị trí mà địa chỉ của nó là 32.

Khi bội số b là 1, 1024QAM được chấp nhận là phương pháp điều biến, và số bit m của một ký hiệu là 10 bit, theo Fig.29, bộ nhớ 31 có mười cột để lưu trữ 10×1 bit theo hướng hàng và lưu trữ $64800/(10 \times 1)$ bit theo hướng cột.

Vị trí bắt đầu ghi của cột thứ nhất trong mười cột của bộ nhớ 31 trở thành vị trí mà địa chỉ của nó là 0, vị trí bắt đầu ghi của cột thứ hai trở thành vị trí mà địa chỉ của nó là 3, vị trí bắt đầu ghi của cột thứ ba trở thành vị trí mà địa chỉ của nó là 6, vị trí bắt đầu ghi của cột thứ tư trở thành vị trí mà địa chỉ của nó là 8, vị trí bắt đầu ghi của cột thứ năm trở thành vị trí mà địa chỉ của nó là 11, vị trí bắt đầu ghi của cột thứ sáu trở thành vị trí mà địa chỉ của nó là 13, vị trí bắt đầu ghi của cột thứ bảy trở thành vị trí mà địa chỉ của nó là 15, vị trí bắt đầu ghi của cột thứ tám trở thành vị trí mà địa chỉ của nó là 17, vị trí bắt đầu ghi của cột thứ chín trở thành vị trí mà địa chỉ của nó là 18 và vị trí bắt đầu ghi của cột thứ mười trở thành vị trí mà

địa chỉ của nó là 20.

Khi bội số b là 2, 1024QAM được chấp nhận là phương pháp điều biến, và số bit m của một ký hiệu là 10 bit, theo Fig.29, bộ nhớ 31 có hai mươi cột để lưu trữ 10×2 bit theo hướng hàng và lưu trữ $64800/(10 \times 2)$ bit theo hướng cột.

Vị trí bắt đầu ghi của cột thứ nhất trong hai mươi cột của bộ nhớ 31 trở thành vị trí mà địa chỉ của nó là 0, vị trí bắt đầu ghi của cột thứ hai trở thành vị trí mà địa chỉ của nó là 1, vị trí bắt đầu ghi của cột thứ ba trở thành vị trí mà địa chỉ của nó là 3, vị trí bắt đầu ghi của cột thứ tư trở thành vị trí mà địa chỉ của nó là 4, vị trí bắt đầu ghi của cột thứ năm trở thành vị trí mà địa chỉ của nó là 5, vị trí bắt đầu ghi của cột thứ sáu trở thành vị trí mà địa chỉ của nó là 6, vị trí bắt đầu ghi của cột thứ bảy trở thành vị trí mà địa chỉ của nó là 6, vị trí bắt đầu ghi của cột thứ tám trở thành vị trí mà địa chỉ của nó là 9, vị trí bắt đầu ghi của cột thứ chín trở thành vị trí mà địa chỉ của nó là 13 vị trí bắt đầu ghi của cột thứ mười trở thành vị trí mà địa chỉ của nó là 14, vị trí bắt đầu ghi của cột thứ mười một trở thành vị trí mà địa chỉ của nó là 14, vị trí bắt đầu ghi của cột thứ mười hai trở thành vị trí mà địa chỉ của nó là 16, vị trí bắt đầu ghi của cột thứ mười ba trở thành vị trí mà địa chỉ của nó là 21, vị trí bắt đầu ghi của cột thứ mười bốn trở thành vị trí mà địa chỉ của nó là 21, vị trí bắt đầu ghi của cột thứ mười năm trở thành vị trí mà địa chỉ của nó là 23, vị trí bắt đầu ghi của cột thứ mười sáu trở thành vị trí mà địa chỉ của nó là 25, vị trí bắt đầu ghi của cột thứ mười bảy trở thành vị trí mà địa chỉ của nó là 25, vị trí bắt đầu ghi của cột thứ mười tám trở thành vị trí mà địa chỉ của nó là 26, vị trí bắt đầu ghi của cột thứ mười chín trở thành vị trí mà địa chỉ của nó là 28, và vị trí bắt đầu ghi của cột thứ hai mươi trở thành vị trí mà địa chỉ của nó là 30.

Khi bội số b là 1, 4096QAM được chấp nhận là phương pháp điều biến, và số bit m của một ký hiệu là 12 bit, theo Fig.29, bộ nhớ 31 có mười hai cột để lưu trữ 12×1 bit theo hướng hàng và lưu trữ $64800/(12 \times 1)$ bit theo hướng cột.

Vị trí bắt đầu ghi của cột thứ nhất trong mười hai cột của bộ nhớ 31 trở thành vị trí mà địa chỉ của nó là 0, vị trí bắt đầu ghi của cột thứ hai trở thành vị trí

mà địa chỉ của nó là 0, vị trí bắt đầu ghi của cột thứ ba trở thành vị trí mà địa chỉ của nó là 2, vị trí bắt đầu ghi của cột thứ tư trở thành vị trí mà địa chỉ của nó là 2, vị trí bắt đầu ghi của cột thứ năm trở thành vị trí mà địa chỉ của nó là 3, vị trí bắt đầu ghi của cột thứ sáu trở thành vị trí mà địa chỉ của nó là 4, vị trí bắt đầu ghi của cột thứ bảy trở thành vị trí mà địa chỉ của nó là 4, vị trí bắt đầu ghi của cột thứ tám trở thành vị trí mà địa chỉ của nó là 5, vị trí bắt đầu ghi của cột thứ chín trở thành vị trí mà địa chỉ của nó là 5 vị trí bắt đầu ghi của cột thứ mười trở thành vị trí mà địa chỉ của nó là 7, vị trí bắt đầu ghi của cột thứ mười một trở thành vị trí mà địa chỉ của nó là 8, và vị trí bắt đầu ghi của cột thứ mười hai trở thành vị trí mà địa chỉ của nó là 9.

Khi bội số b là 2, 4096QAM được chấp nhận là phương pháp điều biến, và số bit m của một ký hiệu là 12 bit, theo Fig.29, bộ nhớ 31 có hai mươi bốn cột để lưu trữ 12×2 bit theo hướng hàng và lưu trữ $64800/(12 \times 2)$ bit theo hướng cột.

Vị trí bắt đầu ghi của cột thứ nhất trong hai mươi bốn cột của bộ nhớ 31 trở thành vị trí mà địa chỉ của nó là 0, vị trí bắt đầu ghi của cột thứ hai trở thành vị trí mà địa chỉ của nó là 5, vị trí bắt đầu ghi của cột thứ ba trở thành vị trí mà địa chỉ của nó là 8, vị trí bắt đầu ghi của cột thứ tư trở thành vị trí mà địa chỉ của nó là 8, vị trí bắt đầu ghi của cột thứ năm trở thành vị trí mà địa chỉ của nó là 8, vị trí bắt đầu ghi của cột thứ sáu trở thành vị trí mà địa chỉ của nó là 8, vị trí bắt đầu ghi của cột thứ bảy trở thành vị trí mà địa chỉ của nó là 10, vị trí bắt đầu ghi của cột thứ tám trở thành vị trí mà địa chỉ của nó là 10, vị trí bắt đầu ghi của cột thứ chín trở thành vị trí mà địa chỉ của nó là 10 vị trí bắt đầu ghi của cột thứ mười trở thành vị trí mà địa chỉ của nó là 12, vị trí bắt đầu ghi của cột thứ mười một trở thành vị trí mà địa chỉ của nó là 13, vị trí bắt đầu ghi của cột thứ mười hai trở thành vị trí mà địa chỉ của nó là 16, vị trí bắt đầu ghi của cột thứ mười ba trở thành vị trí mà địa chỉ của nó là 17, vị trí bắt đầu ghi của cột thứ mười bốn trở thành vị trí mà địa chỉ của nó là 19, vị trí bắt đầu ghi của cột thứ mười năm trở thành vị trí mà địa chỉ của nó là 21, vị trí bắt đầu ghi của cột thứ mười sáu trở thành vị trí mà địa chỉ của nó là 22, vị trí bắt đầu ghi của cột thứ mười bảy trở thành vị trí mà địa chỉ của nó là 23,

vị trí bắt đầu ghi của cột thứ mười tám trở thành vị trí mà địa chỉ của nó là 26, vị trí bắt đầu ghi của cột thứ mười chín trở thành vị trí mà địa chỉ của nó là 37, vị trí bắt đầu ghi của cột thứ hai mươi trở thành vị trí mà địa chỉ của nó là 39, vị trí bắt đầu ghi của cột thứ hai mươi một trở thành vị trí mà địa chỉ của nó là 40, vị trí bắt đầu ghi của cột thứ hai mươi hai trở thành vị trí mà địa chỉ của nó là 41, vị trí bắt đầu ghi của cột thứ hai mươi ba trở thành vị trí mà địa chỉ của nó là 41, và vị trí bắt đầu ghi của cột thứ hai mươi tư trở thành vị trí mà địa chỉ của nó là 41.

Fig.30 minh họa số cột của bộ nhớ 31 cần cho đan xen xoắn cột và địa chỉ của vị trí bắt đầu ghi cho mỗi phương pháp điều biến, tương ứng với các mã LDPC của 10 tốc độ mã hóa được định rõ theo chuẩn của DVB-T.2 và có độ dài mã N là 16200.

Khi bội số b là 1, QPSK được chấp nhận là phương pháp điều biến, và số bit m của một ký hiệu là 2 bit, theo Fig.30, bộ nhớ 31 có hai cột để lưu trữ 2×1 bit theo hướng hàng và lưu trữ $16200/(2 \times 1)$ bit theo hướng cột.

Vị trí bắt đầu ghi của cột thứ nhất trong hai cột của bộ nhớ 31 trở thành vị trí mà địa chỉ của nó là 0 và vị trí bắt đầu ghi của cột thứ hai trở thành vị trí mà địa chỉ của nó là 0.

Khi bội số b là 2, QPSK được chấp nhận là phương pháp điều biến, và số bit m của một ký hiệu là 2 bit, theo Fig.30, bộ nhớ 31 có bốn cột để lưu trữ $2 \times 2 (= mb)$ bit theo hướng hàng và lưu trữ $16200/(2 \times 2)$ bit theo hướng cột.

Vị trí bắt đầu ghi của cột thứ nhất trong bốn cột của bộ nhớ 31 trở thành vị trí mà địa chỉ của nó là 0, vị trí bắt đầu ghi của cột thứ hai trở thành vị trí mà địa chỉ của nó là 2, vị trí bắt đầu ghi của cột thứ ba trở thành vị trí mà địa chỉ của nó là 3, và vị trí bắt đầu ghi của cột thứ tư trở thành vị trí mà địa chỉ của nó là 3.

Khi bội số b là 1, 16QAM được chấp nhận là phương pháp điều biến, và số bit m của một ký hiệu là 4 bit, theo Fig.30, bộ nhớ 31 có bốn cột để lưu trữ 4×1 bit theo hướng hàng và lưu trữ $16200/(4 \times 1)$ bit theo hướng cột.

Vị trí bắt đầu ghi của cột thứ nhất trong bốn cột của bộ nhớ 31 trở thành vị trí mà địa chỉ của nó là 0, vị trí bắt đầu ghi của cột thứ hai trở thành vị trí mà địa chỉ của nó là 2, vị trí bắt đầu ghi của cột thứ ba trở thành vị trí mà địa chỉ của nó là 3, và vị trí bắt đầu ghi của cột thứ tư trở thành vị trí mà địa chỉ của nó là 3.

Khi bội số b là 2, 16QAM được chấp nhận là phương pháp điều biến, và số bit m của một ký hiệu là 4 bit, theo Fig.30, bộ nhớ 31 có tám cột để lưu trữ 4×2 bit theo hướng hàng và lưu trữ $16200/(4 \times 2)$ bit theo hướng cột.

Vị trí bắt đầu ghi của cột thứ nhất trong tám cột của bộ nhớ 31 trở thành vị trí mà địa chỉ của nó là 0, vị trí bắt đầu ghi của cột thứ hai trở thành vị trí mà địa chỉ của nó là 0, vị trí bắt đầu ghi của cột thứ ba trở thành vị trí mà địa chỉ của nó là 0, vị trí bắt đầu ghi của cột thứ tư trở thành vị trí mà địa chỉ của nó là 1, vị trí bắt đầu ghi của cột thứ năm trở thành vị trí mà địa chỉ của nó là 7, vị trí bắt đầu ghi của cột thứ sáu trở thành vị trí mà địa chỉ của nó là 20, vị trí bắt đầu ghi của cột thứ bảy trở thành vị trí mà địa chỉ của nó là 20, và vị trí bắt đầu ghi của cột thứ tám trở thành vị trí mà địa chỉ của nó là 21.

Khi bội số b là 1, 64QAM được chấp nhận là phương pháp điều biến, và số bit m của một ký hiệu là 6 bit, theo Fig.30, bộ nhớ 31 có sáu cột để lưu trữ 6×1 bit theo hướng hàng và lưu trữ $16200/(6 \times 1)$ bit theo hướng cột.

Vị trí bắt đầu ghi của cột thứ nhất trong sáu cột của bộ nhớ 31 trở thành vị trí mà địa chỉ của nó là 0, vị trí bắt đầu ghi của cột thứ hai trở thành vị trí mà địa chỉ của nó là 0, vị trí bắt đầu ghi của cột thứ ba trở thành vị trí mà địa chỉ của nó là 2, vị trí bắt đầu ghi của cột thứ tư trở thành vị trí mà địa chỉ của nó là 3, vị trí bắt đầu ghi của cột thứ năm trở thành vị trí mà địa chỉ của nó là 7, và vị trí bắt đầu ghi của cột thứ sáu trở thành vị trí mà địa chỉ của nó là 7.

Khi bội số b là 2, 64QAM được chấp nhận là phương pháp điều biến, và số bit m của một ký hiệu là 6 bit, theo Fig.30, bộ nhớ 31 có mười hai cột để lưu trữ 6×2 bit theo hướng hàng và lưu trữ $16200/(6 \times 2)$ bit theo hướng cột.

Vị trí bắt đầu ghi của cột thứ nhất trong mười hai cột của bộ nhớ 31 trở

thành vị trí mà địa chỉ của nó là 0, vị trí bắt đầu ghi của cột thứ hai trở thành vị trí mà địa chỉ của nó là 0, vị trí bắt đầu ghi của cột thứ ba trở thành vị trí mà địa chỉ của nó là 0, vị trí bắt đầu ghi của cột thứ tư trở thành vị trí mà địa chỉ của nó là 2, vị trí bắt đầu ghi của cột thứ năm trở thành vị trí mà địa chỉ của nó là 2, vị trí bắt đầu ghi của cột thứ sáu trở thành vị trí mà địa chỉ của nó là 2, vị trí bắt đầu ghi của cột thứ bảy trở thành vị trí mà địa chỉ của nó là 3, vị trí bắt đầu ghi của cột thứ tám trở thành vị trí mà địa chỉ của nó là 3, vị trí bắt đầu ghi của cột thứ chín trở thành vị trí mà địa chỉ của nó là 3, vị trí bắt đầu ghi của cột thứ mười trở thành vị trí mà địa chỉ của nó là 6, vị trí bắt đầu ghi của cột thứ mười một trở thành vị trí mà địa chỉ của nó là 7, và vị trí bắt đầu ghi của cột thứ mười hai trở thành vị trí mà địa chỉ của nó là 7.

Khi bội số b là 1, 256QAM được chấp nhận là phương pháp điều biến, và số bit m của một ký hiệu là 8 bit, theo Fig.30, bộ nhớ 31 có tám cột để lưu trữ 8×1 bit theo hướng hàng và lưu trữ $16200/(8 \times 1)$ bit theo hướng cột.

Vị trí bắt đầu ghi của cột thứ nhất trong tám cột của bộ nhớ 31 trở thành vị trí mà địa chỉ của nó là 0, vị trí bắt đầu ghi của cột thứ hai trở thành vị trí mà địa chỉ của nó là 0, vị trí bắt đầu ghi của cột thứ ba trở thành vị trí mà địa chỉ của nó là 0, vị trí bắt đầu ghi của cột thứ tư trở thành vị trí mà địa chỉ của nó là 1, vị trí bắt đầu ghi của cột thứ năm trở thành vị trí mà địa chỉ của nó là 7, vị trí bắt đầu ghi của cột thứ sáu trở thành vị trí mà địa chỉ của nó là 20, vị trí bắt đầu ghi của cột thứ bảy trở thành vị trí mà địa chỉ của nó là 20, và vị trí bắt đầu ghi của cột thứ tám trở thành vị trí mà địa chỉ của nó là 21.

Khi bội số b là 1, 1024QAM được chấp nhận là phương pháp điều biến, và số bit m của một ký hiệu là 10 bit, theo Fig.30, bộ nhớ 31 có mười cột để lưu trữ 10×1 bit theo hướng hàng và lưu trữ $16200/(10 \times 1)$ bit theo hướng cột.

Vị trí bắt đầu ghi của cột thứ nhất trong mười cột của bộ nhớ 31 trở thành vị trí mà địa chỉ của nó là 0, vị trí bắt đầu ghi của cột thứ hai trở thành vị trí mà địa chỉ của nó là 1, vị trí bắt đầu ghi của cột thứ ba trở thành vị trí mà địa chỉ của nó là

2, vị trí bắt đầu ghi của cột thứ tư trở thành vị trí mà địa chỉ của nó là 2, vị trí bắt đầu ghi của cột thứ năm trở thành vị trí mà địa chỉ của nó là 3, vị trí bắt đầu ghi của cột thứ sáu trở thành vị trí mà địa chỉ của nó là 3, vị trí bắt đầu ghi của cột thứ bảy trở thành vị trí mà địa chỉ của nó là 4, vị trí bắt đầu ghi của cột thứ tám trở thành vị trí mà địa chỉ của nó là 4, vị trí bắt đầu ghi của cột thứ chín trở thành vị trí mà địa chỉ của nó là 5, và vị trí bắt đầu ghi của cột thứ mười trở thành vị trí mà địa chỉ của nó là 7.

Khi bội số b là 2, 1024QAM được chấp nhận là phương pháp điều biến, và số bit m của một ký hiệu là 10 bit, theo Fig.30, bộ nhớ 31 có hai mươi cột để lưu trữ 10×2 bit theo hướng hàng và lưu trữ $16200/(10 \times 2)$ bit theo hướng cột.

Vị trí bắt đầu ghi của cột thứ nhất trong hai mươi cột của bộ nhớ 31 trở thành vị trí mà địa chỉ của nó là 0, vị trí bắt đầu ghi của cột thứ hai trở thành vị trí mà địa chỉ của nó là 0, vị trí bắt đầu ghi của cột thứ ba trở thành vị trí mà địa chỉ của nó là 0, vị trí bắt đầu ghi của cột thứ tư trở thành vị trí mà địa chỉ của nó là 2, vị trí bắt đầu ghi của cột thứ năm trở thành vị trí mà địa chỉ của nó là 2, vị trí bắt đầu ghi của cột thứ sáu trở thành vị trí mà địa chỉ của nó là 2, vị trí bắt đầu ghi của cột thứ bảy trở thành vị trí mà địa chỉ của nó là 2, vị trí bắt đầu ghi của cột thứ tám trở thành vị trí mà địa chỉ của nó là 2, vị trí bắt đầu ghi của cột thứ chín trở thành vị trí mà địa chỉ của nó là 5, vị trí bắt đầu ghi của cột thứ mười trở thành vị trí mà địa chỉ của nó là 5, vị trí bắt đầu ghi của cột thứ mười một trở thành vị trí mà địa chỉ của nó là 5, vị trí bắt đầu ghi của cột thứ mười hai trở thành vị trí mà địa chỉ của nó là 5, vị trí bắt đầu ghi của cột thứ mười ba trở thành vị trí mà địa chỉ của nó là 5, vị trí bắt đầu ghi của cột thứ mười bốn trở thành vị trí mà địa chỉ của nó là 7, vị trí bắt đầu ghi của cột thứ mười năm trở thành vị trí mà địa chỉ của nó là 7, vị trí bắt đầu ghi của cột thứ mười sáu trở thành vị trí mà địa chỉ của nó là 7, vị trí bắt đầu ghi của cột thứ mười bảy trở thành vị trí mà địa chỉ của nó là 7, vị trí bắt đầu ghi của cột thứ mười tám trở thành vị trí mà địa chỉ của nó là 8, vị trí bắt đầu ghi của cột thứ mười chín trở thành vị trí mà địa chỉ của nó là 8, và vị trí bắt đầu ghi của cột thứ hai mươi trở thành vị trí mà địa chỉ của nó là 10.

Khi bội số b là 1, 4096QAM được chấp nhận là phương pháp điều biến, và số bit m của một ký hiệu là 12 bit, theo Fig.30, bộ nhớ 31 có mười hai cột để lưu trữ 12×1 bit theo hướng hàng và lưu trữ $16200/(12 \times 1)$ bit theo hướng cột.

Vị trí bắt đầu ghi của cột thứ nhất trong mười hai cột của bộ nhớ 31 trở thành vị trí mà địa chỉ của nó là 0, vị trí bắt đầu ghi của cột thứ hai trở thành vị trí mà địa chỉ của nó là 0, vị trí bắt đầu ghi của cột thứ ba trở thành vị trí mà địa chỉ của nó là 0, vị trí bắt đầu ghi của cột thứ tư trở thành vị trí mà địa chỉ của nó là 2, vị trí bắt đầu ghi của cột thứ năm trở thành vị trí mà địa chỉ của nó là 2, vị trí bắt đầu ghi của cột thứ sáu trở thành vị trí mà địa chỉ của nó là 2, vị trí bắt đầu ghi của cột thứ bảy trở thành vị trí mà địa chỉ của nó là 3, vị trí bắt đầu ghi của cột thứ tám trở thành vị trí mà địa chỉ của nó là 3, vị trí bắt đầu ghi của cột thứ chín trở thành vị trí mà địa chỉ của nó là 3 vị trí bắt đầu ghi của cột thứ mười trở thành vị trí mà địa chỉ của nó là 6, vị trí bắt đầu ghi của cột thứ mười một trở thành vị trí mà địa chỉ của nó là 7, và vị trí bắt đầu ghi của cột thứ mười hai trở thành vị trí mà địa chỉ của nó là 7.

Khi bội số b là 2, 4096QAM được chấp nhận là phương pháp điều biến, và số bit m của một ký hiệu là 12 bit, theo Fig.30, bộ nhớ 31 có hai mươi bốn cột để lưu trữ 12×2 bit theo hướng hàng và lưu trữ $16200/(12 \times 2)$ bit theo hướng cột.

Vị trí bắt đầu ghi của cột thứ nhất trong hai mươi bốn cột của bộ nhớ 31 trở thành vị trí mà địa chỉ của nó là 0, vị trí bắt đầu ghi của cột thứ hai trở thành vị trí mà địa chỉ của nó là 0, vị trí bắt đầu ghi của cột thứ ba trở thành vị trí mà địa chỉ của nó là 0, vị trí bắt đầu ghi của cột thứ tư trở thành vị trí mà địa chỉ của nó là 0, vị trí bắt đầu ghi của cột thứ năm trở thành vị trí mà địa chỉ của nó là 0, vị trí bắt đầu ghi của cột thứ sáu trở thành vị trí mà địa chỉ của nó là 0, vị trí bắt đầu ghi của cột thứ bảy trở thành vị trí mà địa chỉ của nó là 0, vị trí bắt đầu ghi của cột thứ tám trở thành vị trí mà địa chỉ của nó là 1, vị trí bắt đầu ghi của cột thứ chín trở thành vị trí mà địa chỉ của nó là 1 vị trí bắt đầu ghi của cột thứ mười trở thành vị trí mà địa chỉ của nó là 1, vị trí bắt đầu ghi của cột thứ mười một trở thành vị trí mà địa chỉ của nó là 2, vị trí bắt đầu ghi của cột thứ mười hai trở thành vị trí mà địa chỉ

của nó là 2, vị trí bắt đầu ghi của cột thứ mười ba trở thành vị trí mà địa chỉ của nó là 2, vị trí bắt đầu ghi của cột thứ mười bốn trở thành vị trí mà địa chỉ của nó là 3, vị trí bắt đầu ghi của cột thứ mười năm trở thành vị trí mà địa chỉ của nó là 7, vị trí bắt đầu ghi của cột thứ mười sáu trở thành vị trí mà địa chỉ của nó là 9, vị trí bắt đầu ghi của cột thứ mười bảy trở thành vị trí mà địa chỉ của nó là 9, vị trí bắt đầu ghi của cột thứ mười tám trở thành vị trí mà địa chỉ của nó là 9, vị trí bắt đầu ghi của cột thứ mười chín trở thành vị trí mà địa chỉ của nó là 10, vị trí bắt đầu ghi của cột thứ hai mươi trở thành vị trí mà địa chỉ của nó là 10, vị trí bắt đầu ghi của cột thứ hai một trở thành vị trí mà địa chỉ của nó là 10, vị trí bắt đầu ghi của cột thứ hai hai trở thành vị trí mà địa chỉ của nó là 10, vị trí bắt đầu ghi của cột thứ hai ba trở thành vị trí mà địa chỉ của nó là 10, và vị trí bắt đầu ghi của cột thứ hai tư trở thành vị trí mà địa chỉ của nó là 11.

Fig.31 là lưu đồ minh họa quy trình xử lý được thực hiện bởi bộ mã hóa LDPC 115, bộ đan xen bit 116, và bộ ánh xạ 117 trên Fig.8.

Bộ mã hóa LDPC 115 đợi cung cấp dữ liệu đích LDPC từ bộ mã hóa BCH 114. Ở bước S101, bộ mã hóa LDPC 115 mã hóa dữ liệu đích LDPC với mã LDPC và cung cấp mã LDPC tới bộ đan xen bit 116. Quy trình xử lý đến bước S102.

Ở bước S102, bộ đan xen bit 116 thực hiện đan xen bit tương ứng với mã LDPC được cung cấp từ bộ mã hóa LDPC 115 và cung cấp ký hiệu thu được bằng cách ký hiệu hóa mã LDPC sau khi đan xen bit tới bộ ánh xạ 117. Quy trình xử lý đến bước S103.

Nghĩa là, ở bước S102, ở bộ đan xen bit 116 (Fig.9), bộ đan xen chẵn lẻ 23 thực hiện đan xen chẵn lẻ tương ứng với mã LDPC được cung cấp từ bộ mã hóa LDPC 115 và cung cấp mã LDPC sau khi đan xen chẵn lẻ tới bộ đan xen xoắn cột 24.

Bộ đan xen xoắn cột 24 thực hiện đan xen xoắn cột tương ứng với mã LDPC được cung cấp từ bộ đan xen chẵn lẻ 23 và cung cấp mã LDPC tới bộ giải đa hợp 25.

Bộ giải đa hợp 25 thực hiện việc xử lý trao đổi để trao đổi các bit mã của mã LDPC sau khi đan xen xoắn cột bởi bộ đan xen xoắn cột 24 và làm cho các bit mã sau khi trao đổi trở thành các bit ký hiệu (các bit biểu diễn ký hiệu) của ký hiệu.

Ở đây, việc xử lý trao đổi bởi bộ giải đa hợp 25 có thể được thực hiện theo phương pháp trao đổi thứ nhất hoặc thứ tư được minh họa trên Fig.22 và Fig.23, và, ngoài ra, có thể được thực hiện theo các phương pháp trao đổi khác.

Ký hiệu mà thu được bởi việc xử lý trao đổi bởi bộ giải đa hợp 25 được cung cấp từ bộ giải đa hợp 25 tới bộ ánh xạ 117.

Ở bước S103, bộ ánh xạ 117 ánh xạ ký hiệu được cung cấp từ bộ giải đa hợp 25 tới điểm tín hiệu được xác định bởi phương pháp điều biến của điều biến trực giao được thực hiện bởi bộ ánh xạ 117, thực hiện điều biến trực giao, và cung cấp dữ liệu thu được do đó tới bộ đan xen thời gian 118.

Như được mô tả ở trên, đan xen chẵn lẻ hoặc đan xen xoắn cột được thực hiện, để dung sai đối với lỗi xóa hoặc lỗi bit chùm khi các bit mã của mã LDPC được truyền như một ký hiệu có thể được nâng cao.

Trên Fig.9, bộ đan xen chẵn lẻ 23 là khối để thực hiện đan xen chẵn lẻ và bộ đan xen xoắn cột 24 là khối để thực hiện đan xen xoắn cột được cấu hình riêng để thuận tiện cho việc giải thích. Tuy nhiên, bộ đan xen chẵn lẻ 23 và bộ đan xen xoắn cột 24 có thể được cấu hình nguyên khối.

Nghĩa là, cả đan xen chẵn lẻ và đan xen xoắn cột có thể được thực hiện bởi việc ghi và việc đọc của các bit mã tương ứng với bộ nhớ và có thể được thể hiện bởi ma trận để biến đổi địa chỉ (địa chỉ ghi) để thực hiện việc ghi của các bit mã thành địa chỉ (địa chỉ đọc) để thực hiện việc đọc của các bit mã.

Do đó, nếu ma trận thu được bằng cách nhân ma trận biểu diễn đan xen chẵn lẻ và ma trận biểu diễn đan xen xoắn cột được tính, các bit mã được biến đổi bởi ma trận, đan xen chẵn lẻ được thực hiện, và kết quả đan xen xoắn cột của mã LDPC sau khi đan xen chẵn lẻ có thể thu được.

Ngoài bộ đan xen chẵn lẻ 23 và bộ đan xen xoắn cột 24, bộ giải đa hợp 25 có thể được cấu hình nguyên khối.

Nghĩa là, việc xử lý trao đổi được thực hiện bởi bộ giải đa hợp 25 có thể được biểu diễn bởi ma trận để biến đổi địa chỉ được ghi của bộ nhớ 31 nhờ lưu trữ mã LDPC thành địa chỉ đọc.

Do đó, nếu ma trận thu được bằng cách nhân ma trận biểu diễn đan xen chẵn lẻ, ma trận biểu diễn đan xen xoắn cột, và ma trận biểu diễn việc xử lý trao đổi được tính, đan xen chẵn lẻ, đan xen xoắn cột, và việc xử lý trao đổi có thể được thực hiện chung bởi ma trận.

Chỉ một trong số đan xen chẵn lẻ và đan xen xoắn cột có thể được thực hiện hoặc cả đan xen chẵn lẻ và đan xen xoắn cột có thể không được thực hiện. Ví dụ, như DVB-S.2, trong trường hợp ở đó đường truyền 13 (Fig.7) là mạch vệ tinh hoặc tương tự khác với AWGN và lỗi bit chùm và bộ tạo dao động, và v.v, do không được xem xét quá nhiều, có thể làm cho đan xen chẵn lẻ và đan xen xoắn cột không được thực hiện.

Tiếp theo, sự mô phỏng để đo tốc độ lỗi (tốc độ lỗi bit) mà được thực hiện tương ứng với thiết bị truyền 11 trên Fig.8 sẽ được mô tả dựa vào Fig.32 tới Fig.34.

Sự mô phỏng được thực hiện bằng cách chấp nhận đường truyền trong đó bộ tạo dao động có D/U của 0 dB tồn tại.

Fig.32 minh họa mô hình của đường truyền được chấp nhận bởi sự mô phỏng.

Nghĩa là, A trên Fig.32 minh họa mô hình của bộ tạo dao động được chấp nhận bởi sự mô phỏng.

Ngoài ra, B trên Fig.32 minh họa mô hình của đường truyền trong đó bộ tạo dao động được biểu diễn bởi mô hình của A trên Fig.32 tồn tại.

Ở B trên Fig.32, H biểu diễn mô hình của bộ tạo dao động của A trên Fig.32. Ở B trên Fig.32, N biểu diễn ICI (Inter Carrier Interference - Nhiễu liên

sóng mang). Theo sự mô phỏng, giá trị mong muốn $E[N^2]$ của công suất được xấp xỉ bởi AWGN.

Fig.33 và Fig.34 minh họa mối liên quan của tốc độ lỗi thu được bởi sự mô phỏng và tần số Doppler f_d của bộ tạo dao động.

Fig.33 minh họa mối liên quan của tốc độ lỗi và tần số Doppler f_d khi phương pháp điều biến là 16QAM, tốc độ mã hóa (r) là $(3/4)$, và phương pháp trao đổi là phương pháp trao đổi thứ nhất. Fig.34 minh họa mối liên quan của tốc độ lỗi và tần số Doppler f_d khi phương pháp điều biến là 64QAM, tốc độ mã hóa (r) là $(5/6)$, và phương pháp trao đổi là phương pháp trao đổi thứ nhất.

Trên Fig.33 và Fig.34, đường kẻ dày thể hiện mối liên quan của tốc độ lỗi và tần số Doppler f_d khi tất cả đan xen chắn lẻ, đan xen xoắn cột, và việc xử lý trao đổi được thực hiện và đường kẻ mỏng thể hiện mối liên quan của tốc độ lỗi và tần số Doppler f_d khi chỉ việc xử lý trao đổi giữa đan xen chắn lẻ, đan xen xoắn cột, và việc xử lý trao đổi được thực hiện.

Trên cả Fig.33 và Fig.34, có thể đã biết rằng tốc độ lỗi còn được nâng cao (được giảm xuống) khi tất cả đan xen chắn lẻ, đan xen xoắn cột, và việc xử lý trao đổi được thực hiện, như được so sánh với khi chỉ việc xử lý trao đổi được thực hiện.

Ví dụ cấu hình của bộ mã hóa LDPC 115

Fig.35 là sơ đồ khối minh họa ví dụ cấu hình của bộ mã hóa LDPC 115 trên Fig.8.

Bộ mã hóa LDPC 122 trên Fig.8 cũng được cấu hình bằng cách tương tự.

Như được mô tả trên Fig.12 và Fig.13, theo chuẩn của DVB-S.2 hoặc tương tự, các mã LDPC có hai độ dài mã N là 64800 bit và 16200 bit được định rõ.

Tương ứng với mã LDPC có độ dài mã N là 64800 bit, 11 tốc độ mã hóa là $1/4$, $1/3$, $2/5$, $1/2$, $3/5$, $2/3$, $3/4$, $4/5$, $5/6$, $8/9$, và $9/10$ được định rõ. Tương ứng với mã LDPC có độ dài mã N là 16200 bit, 10 tốc độ mã hóa là $1/4$, $1/3$, $2/5$, $1/2$, $3/5$,

2/3, 3/4, 4/5, 5/6, và 8/9 được định rõ (Fig.12 và Fig.13).

Ví dụ, bộ mã hóa LDPC 115 có thể thực hiện việc mã hóa (mã hóa sửa lỗi) nhờ sử dụng mã LDPC của mỗi tốc độ mã hóa có độ dài mã N là 64800 bit hoặc 16200 bit, theo ma trận kiểm tra chẵn lẻ H được chuẩn bị cho mỗi độ dài mã N và mỗi tốc độ mã hóa.

Bộ mã hóa LDPC 115 bao gồm bộ xử lý mã hóa 601 và bộ lưu trữ 602.

Bộ xử lý mã hóa 601 gồm có bộ thiết đặt tốc độ mã hóa 611, bộ đọc bảng giá trị ban đầu 612, bộ tạo ma trận kiểm tra chẵn lẻ 613, bộ đọc bit thông tin 614, bộ thao tác chẵn lẻ mã hóa 615, bộ điều khiển 616. Bộ xử lý mã hóa 601 thực hiện việc mã hóa LDPC của dữ liệu đích LDPC được cung cấp tới bộ mã hóa LDPC 115 và cung cấp mã LDPC thu được do đó tới bộ đan xen bit 116 (Fig.8).

Nghĩa là, bộ thiết đặt tốc độ mã hóa 611 thiết đặt độ dài mã N và tốc độ mã hóa của mã LDPC, theo phép toán của toán tử.

Bộ đọc bảng giá trị ban đầu 612 đọc bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ được mô tả dưới đây, mà tương ứng với độ dài mã N và tốc độ mã hóa được thiết đặt bởi bộ thiết đặt tốc độ mã hóa 611, từ bộ lưu trữ 602.

Bộ tạo ma trận kiểm tra chẵn lẻ 613 tạo ra ma trận kiểm tra chẵn lẻ H bằng cách bố trí các phần tử 1 của ma trận thông tin H_A tương ứng với độ dài thông tin K ($=$ độ dài thông tin N – độ dài chẵn lẻ M) theo độ dài mã N và tốc độ mã hóa được thiết đặt bởi bộ thiết đặt tốc độ mã hóa 611 theo hướng cột với giai đoạn 360 cột (số cột P của đơn vị cấu trúc tuần hoàn), trên cơ sở bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ được đọc bởi bộ đọc bảng giá trị ban đầu 612, và lưu trữ ma trận kiểm tra chẵn lẻ H ở bộ lưu trữ 602.

Bộ đọc bit thông tin 614 đọc (trích xuất) các bit thông tin tương ứng với độ dài thông tin K , từ dữ liệu đích LDPC được cung cấp tới bộ mã hóa LDPC 115.

Bộ thao tác chẵn lẻ mã hóa 615 đọc ma trận kiểm tra chẵn lẻ H được tạo ra bởi bộ tạo ma trận kiểm tra chẵn lẻ 613 từ bộ lưu trữ 602, và tạo ra từ mã (mã

LDPC) bằng cách tính các bit chẵn lẻ cho các bit thông tin được đọc bởi bộ đọc bit thông tin 614 trên cơ sở biểu thức định trước nhờ sử dụng ma trận kiểm tra chẵn lẻ H.

Bộ điều khiển 616 điều khiển mỗi khối cấu thành bộ xử lý mã hóa 601.

Ở bộ lưu trữ 602, các bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ mà tương ứng với các tốc độ mã hóa được minh họa trên Fig.12 và Fig.13, tương ứng với các độ dài mã N như 64800 bit và 16200 bit, được lưu trữ. Ngoài ra, bộ lưu trữ 602 tạm thời lưu trữ dữ liệu cần cho quy trình xử lý của bộ xử lý mã hóa 601.

Fig.36 là lưu đồ minh họa quy trình xử lý của bộ mã hóa LDPC 115 trên Fig.35.

Ở bước S201, bộ thiết đặt tốc độ mã hóa 611 xác định (thiết đặt) độ dài mã N và tốc độ mã hóa r để thực hiện việc mã hóa LDPC.

Ở bước S202, bộ đọc bảng giá trị ban đầu 612 đọc bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ được xác định trước tương ứng với độ dài mã N và tốc độ mã hóa r được xác định bởi bộ thiết đặt tốc độ mã hóa 611, từ bộ lưu trữ 602.

Ở bước S203, bộ tạo ma trận kiểm tra chẵn lẻ 613 tính (tạo ra) ma trận kiểm tra chẵn lẻ H của mã LDPC của độ dài mã N và tốc độ mã hóa r được xác định bởi bộ thiết đặt tốc độ mã hóa 611, sử dụng bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ được đọc từ bộ lưu trữ 602 bởi bộ đọc bảng giá trị ban đầu 612, cung cấp ma trận kiểm tra chẵn lẻ tới bộ lưu trữ 602, và lưu trữ ma trận kiểm tra chẵn lẻ ở bộ lưu trữ.

Ở bước S204, bộ đọc bit thông tin 614 đọc các bit thông tin của độ dài thông tin K ($= N \times r$) tương ứng với độ dài mã N và tốc độ mã hóa r được xác định bởi bộ thiết đặt tốc độ mã hóa 611, từ dữ liệu đích LDPC được cung cấp tới bộ mã hóa LDPC 115, đọc ma trận kiểm tra chẵn lẻ H được tính bởi bộ tạo ma trận kiểm tra chẵn lẻ 613 từ bộ lưu trữ 602, và cung cấp các bit thông tin và ma trận kiểm tra chẵn lẻ tới bộ thao tác chẵn lẻ mã hóa 615.

Ở bước S205, bộ thao tác chẵn lẻ mã hóa 615 liên tục thao tác các bit chẵn lẻ của từ mã c mà thỏa mãn biểu thức (8) nhờ sử dụng các bit thông tin và ma trận kiểm tra chẵn lẻ H đã được đọc từ bộ đọc bit thông tin 614.

$$Hc^T = 0 \quad \dots (8)$$

Trong biểu thức (8), c biểu diễn vectơ hàng là từ mã (mã LDPC) và c^T biểu diễn sự chuyển vị của vectơ hàng c .

Như được mô tả ở trên, khi một đoạn của các bit thông tin của vectơ hàng c là mã LDPC (một từ mã) được biểu diễn bởi vectơ hàng A và một đoạn của các bit chẵn lẻ được biểu diễn bởi vectơ hàng T , vectơ hàng c có thể được biểu diễn bởi biểu thức $c = [A/T]$, sử dụng vectơ hàng A là các bit thông tin và vectơ hàng T là các bit chẵn lẻ.

Trong ma trận kiểm tra chẵn lẻ H và vectơ hàng $c = [A/T]$ tương ứng với mã LDPC, cần thỏa mãn biểu thức $Hc^T = 0$. Vectơ hàng T tương ứng với các bit chẵn lẻ cấu thành vectơ hàng $c = [A/T]$ thỏa mãn biểu thức $Hc^T = 0$ có thể liên tục được tính bằng cách thiết đặt các phần tử của mỗi hàng là 0, liên tục từ các phần tử của hàng thứ nhất của vectơ cột Hc^T trong biểu thức $Hc^T = 0$, khi ma trận chẵn lẻ H_T của ma trận kiểm tra chẵn lẻ $H = [H_A/H_T]$ trở thành cấu trúc bậc thang được minh họa trên Fig.11.

Nếu bộ thao tác chẵn lẻ mã hóa 615 tính các bit chẵn lẻ T tương ứng với các bit thông tin A từ bộ đọc bit thông tin 614, bộ thao tác chẵn lẻ mã hóa 615 đưa ra từ mã $c = [A/T]$ được biểu diễn bởi các bit thông tin A và các bit chẵn lẻ T là kết quả mã hóa LDPC của các bit thông tin A .

Sau đó, ở bước S206, bộ điều khiển 616 xác định xem việc mã hóa LDPC kết thúc hay chưa. Khi được xác định ở bước S206 rằng việc mã hóa LDPC không kết thúc, nghĩa là, khi có dữ liệu đích LDPC để thực hiện việc mã hóa LDPC, quy trình xử lý quay lại bước S201 (hoặc bước S204). Dưới đây, quy trình xử lý của bước S201 (hoặc bước S204) tới S206 được lặp lại.

Khi được xác định ở bước S206 rằng việc mã hóa LDPC kết thúc, nghĩa là, không có dữ liệu đích LDPC để thực hiện việc mã hóa LDPC, bộ mã hóa LDPC 115 kết thúc quy trình xử lý.

Như được mô tả ở trên, bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ tương ứng với mỗi độ dài mã N và mỗi tốc độ mã hóa r được chuẩn bị và bộ mã hóa LDPC 115 thực hiện việc mã hóa LDPC của độ dài mã N định trước và tốc độ mã hóa định trước r , sử dụng ma trận kiểm tra chẵn lẻ H được tạo ra từ bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ tương ứng với độ dài mã N định trước và tốc độ mã hóa định trước r .

Ví dụ về bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ

Bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ là bảng biểu diễn các vị trí của các phần tử 1 của ma trận thông tin H_A (Fig.10) của ma trận kiểm tra chẵn lẻ H tương ứng với độ dài thông tin K theo độ dài mã N và tốc độ mã hóa r của mã LDPC (mã LDPC được định rõ bởi ma trận kiểm tra chẵn lẻ H) cho mỗi 360 cột (số cột P của đơn vị cấu trúc tuần hoàn) và được làm cho trước cho mỗi ma trận kiểm tra chẵn lẻ H của mỗi độ dài mã N và mỗi tốc độ mã hóa r .

Fig.37 là hình vẽ minh họa ví dụ về bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ.

Nghĩa là, Fig.37 minh họa bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ tương ứng với ma trận kiểm tra chẵn lẻ H được định rõ theo chuẩn của DVB-T.2 và có độ dài mã N là 16200 bit và tốc độ mã hóa (tốc độ mã hóa ghi chú của DVB-T.2) r là $1/4$.

Bộ tạo ma trận kiểm tra chẵn lẻ 613 (Fig.35) tính ma trận kiểm tra chẵn lẻ H nhờ sử dụng bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ, như sau.

Fig.38 là hình vẽ minh họa phương pháp tính ma trận kiểm tra chẵn lẻ H từ bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ.

Nghĩa là, Fig.38 minh họa bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ

tương ứng với ma trận kiểm tra chẵn lẻ H được định rõ theo chuẩn của DVB-T.2 và có độ dài mã N là 16200 bit và tốc độ mã hóa r là $2/3$.

Như được mô tả ở trên, bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ là bảng biểu diễn các vị trí của các phần tử 1 của ma trận thông tin H_A (Fig.10) tương ứng với độ dài thông tin K theo độ dài mã N và tốc độ mã hóa r của mã LDPC cho mỗi 360 cột (số cột P của đơn vị cấu trúc tuần hoàn). Ở hàng thứ i của nó, số các hàng (số các hàng khi số hàng của hàng thứ nhất của ma trận kiểm tra chẵn lẻ H được thiết đặt tới 0) của các phần tử 1 của cột thứ $(1 + 360 \times (i - 1))$ của ma trận kiểm tra chẵn lẻ H được bố trí bởi nhiều trọng số cột của cột thứ $(1 + 360 \times (i - 1))$.

Trong trường hợp này, vì ma trận chẵn lẻ H_T (Fig.10) của ma trận kiểm tra chẵn lẻ H tương ứng với độ dài chẵn lẻ M được xác định như được minh họa trên Fig.25, theo bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ, ma trận thông tin H_A (Fig.10) của ma trận kiểm tra chẵn lẻ H tương ứng với độ dài thông tin K được tính.

Số hàng $k + 1$ của bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ khác nhau theo độ dài thông tin K .

Mối liên quan của biểu thức (9) được thực hiện giữa độ dài thông tin K và số hàng $k + 1$ của bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ.

$$K = (k + 1) \times 360 \quad \cdots (9)$$

Trong trường hợp này, 360 của biểu thức (9) là số cột P của đơn vị cấu trúc tuần hoàn được mô tả trên Fig.26.

Trong bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ trên Fig.38, 13 giá trị số được bố trí từ hàng thứ nhất tới hàng thứ ba và 3 giá trị số được bố trí từ hàng thứ tư tới hàng thứ $(k + 1)$ (trên Fig.38, hàng thứ 30).

Do đó, các trọng số cột của ma trận kiểm tra chẵn lẻ H được tính từ bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ trên Fig.38 là 13 từ cột thứ nhất tới cột thứ $(1 + 360 \times (3 - 1) - 1)$ và là 3 từ cột thứ $(1 + 360 \times (3 - 1))$ tới cột thứ K .

Hàng thứ nhất của bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ trên Fig.38

trở thành 0, 2084, 1613, 1548, 1286, 1460, 3196, 4297, 2481, 3369, 3451, 4620, và 2622, thể hiện rằng các phần tử của các hàng có các số hàng 0, 2084, 1613, 1548, 1286, 1460, 3196, 4297, 2481, 3369, 3451, 4620, và 2622 là 1 (và các phần tử còn lại là 0), ở cột thứ nhất trong ma trận kiểm tra chẵn lẻ H.

Hàng thứ hai của bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ trên Fig.38 trở thành 1, 122, 1516, 3448, 2880, 1407, 1847, 3799, 3529, 373, 971, 4358, và 3108, thể hiện rằng các phần tử của các hàng có các số hàng 1, 122, 1516, 3448, 2880, 1407, 1847, 3799, 3529, 373, 971, 4358, và 3108 là 1, ở cột thứ 361 ($= 1 + 360 \times (2 - 1)$) của ma trận kiểm tra chẵn lẻ H.

Như được mô tả ở trên, bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ biểu diễn các vị trí của các phần tử 1 của ma trận thông tin H_A của ma trận kiểm tra chẵn lẻ H cho mỗi 360 cột.

Các cột khác ngoài cột thứ $(1 + 360 \times (i - 1))$ của ma trận kiểm tra chẵn lẻ H, nghĩa là, các cột cá nhân từ cột thứ $(2 + 360 \times (i - 1))$ tới cột thứ $(360 \times i)$ được bố trí bằng cách chuyển theo chu kỳ các phần tử 1 của cột thứ $(1 + 360 \times (i - 1))$ được xác định bởi bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ một cách định kỳ theo hướng đi xuống (hướng đi xuống của các cột) theo độ dài chẵn lẻ M.

Nghĩa là, cột thứ $(2 + 360 \times (i - 1))$ thu được bằng cách chuyển theo chu kỳ cột thứ $(1 + 360 \times (i - 1))$ theo hướng đi xuống bởi $M/360 (= q)$ và cột thứ $(3 + 360 \times (i - 1))$ tiếp theo thu được bằng cách chuyển theo chu kỳ cột thứ $(1 + 360 \times (i - 1))$ theo hướng đi xuống bởi $2 \times M/360 (= 2 \times q)$ (thu được bằng cách chuyển theo chu kỳ cột thứ $(2 + 360 \times (i - 1))$ theo hướng đi xuống bởi $M/360 (= q)$).

Nếu giá trị số của cột thứ j (cột thứ j từ phía bên trái) của hàng thứ i (hàng thứ i từ phía trên) của bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ được biểu diễn là $h_{i,j}$ và số hàng của phần tử thứ j là 1 của cột thứ w của ma trận kiểm tra chẵn lẻ H được biểu diễn là $H_{w,j}$, số hàng $H_{w,j}$ của phần tử 1 của cột thứ w là cột khác ngoài cột thứ $(1 + 360 \times (i - 1))$ của ma trận kiểm tra chẵn lẻ H có thể được tính bởi biểu thức (10).

$$H_{w-j} = \text{mod}\{h_{i,j} + \text{mod}((w-1),P) \times q, M) \quad \dots (10)$$

Trong trường hợp này, $\text{mod}(x, y)$ nghĩa là số dư mà thu được bằng cách chia x cho y .

Ngoài ra, P là số cột của đơn vị cấu trúc tuần hoàn được mô tả ở trên. Ví dụ, theo chuẩn của DVB-S.2, DVB-T.2, và DVB-C.2, P là 360 như được mô tả ở trên. Ngoài ra, q là giá trị $M/360$ thu được bằng cách chia độ dài chẵn lẻ M cho số cột P ($= 360$) của đơn vị cấu trúc tuần hoàn.

Bộ tạo ma trận kiểm tra chẵn lẻ 613 (Fig.35) chỉ rõ các số hàng của các phần tử 1 của cột thứ $(1 + 360 \times (i - 1))$ của ma trận kiểm tra chẵn lẻ H bởi bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ.

Bộ tạo ma trận kiểm tra chẵn lẻ 613 (Fig.35) tính số hàng H_{w-j} của phần tử 1 của cột thứ w là cột khác ngoài cột thứ $(1 + 360 \times (i - 1))$ của ma trận kiểm tra chẵn lẻ H , theo biểu thức (10), và tạo ra ma trận kiểm tra chẵn lẻ H trong đó phần tử của số hàng thu được được thiết đặt tới 1.

Mã LDPC của DVB-Sx

Trong khi đó, chuẩn được nâng cao từ DVB-S.2 được gọi là DVB-Sx hoặc DVB-S.2 evo đang được phát triển.

Như vậy, mã LDPC (dưới đây cũng được đề cập đến là mã 16k cho Sx) trong đó độ dài mã N là các bit 16k và có thể được sử dụng trong việc truyền dữ liệu khác ngoài DVB-Sx sẽ được mô tả.

Ở đây, đối với mã 16k cho Sx, từ quan điểm rằng tính đồng dạng (tính tương thích) với DVB-S.2 được duy trì càng nhiều càng tốt, tương tự như mã LDPC được định rõ trong DVB-S.2, ma trận chẵn lẻ H_T của ma trận kiểm tra chẵn lẻ H được giả sử có cấu trúc bậc thang (Fig.11).

Ngoài ra, đối với mã 16k cho Sx, tương tự như mã LDPC được định rõ trong DVB-S.2, ma trận thông tin H_A của ma trận kiểm tra chẵn lẻ H được giả sử là cấu trúc tuần hoàn và số cột P là đơn vị cấu trúc tuần hoàn được giả sử là 360.

Fig.39 và Fig.40 là các hình vẽ minh họa ví dụ về bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ của mã 16k cho Sx.

Fig.39 là hình vẽ minh họa bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ của ma trận kiểm tra chẵn lẻ H của mã 16k cho Sx trong đó tốc độ mã hóa r là $7/15$ (dưới đây cũng được đề cập đến là mã 16k cho Sx của $r = 7/15$).

Fig.40 là hình vẽ minh họa bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ của ma trận kiểm tra chẵn lẻ H của mã 16k cho Sx trong đó tốc độ mã hóa r là $8/15$ (dưới đây cũng được đề cập đến là mã 16k cho Sx của $r = 8/15$).

Bộ mã hóa LDPC 115 (Fig.8 và Fig.35) có thể thực hiện việc mã hóa LDPC thành mã 16k bất kỳ nào cho Sx với độ dài mã N là 16k giữa hai loại tốc độ mã hóa r là $7/15$ hoặc $8/15$, bởi việc sử dụng ma trận kiểm tra chẵn lẻ H được tìm thấy từ các bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ được minh họa trên Fig.39 và Fig.40.

Trong trường hợp này, các bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ được minh họa trên Fig.39 và Fig.40 được lưu trữ trong bộ lưu trữ 602 của bộ mã hóa LDPC 115 (Fig.8).

Mã 16k cho Sx thu được bởi việc sử dụng ma trận kiểm tra chẵn lẻ H được tìm thấy từ các bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ trên Fig.39 và Fig.40 là mã LDPC của hiệu suất tốt.

Ở đây, mã LDPC của hiệu suất tốt là mã LDPC thu được từ ma trận kiểm tra chẵn lẻ thích hợp H.

Ngoài ra, ma trận kiểm tra chẵn lẻ thích hợp H là ma trận kiểm tra chẵn lẻ thỏa mãn điều kiện định trước để làm cho BER (và FER) nhỏ hơn khi mã LDPC thu được từ ma trận kiểm tra chẵn lẻ H được truyền ở E_s/N_0 thấp hoặc E_b/N_0 (tỉ lệ công suất mỗi bit tín hiệu trên tạp nhiễu).

Ví dụ, ma trận kiểm tra chẵn lẻ thích hợp H có thể được tìm thấy bằng cách thực hiện sự mô phỏng để đo BER khi các mã LDPC thu được từ các ma trận kiểm

tra chẵn lẻ khác nhau thỏa mãn điều kiện định trước được truyền ở E_s/N_0 thấp.

Với điều kiện định trước được thỏa mãn bởi ma trận kiểm tra chẵn lẻ thích hợp H , ví dụ, kết quả phân tích thu được bởi phương pháp phân tích hiệu suất mã được gọi là sự tiến hóa mật độ (Sự tiến hóa mật độ) là tốt, và vòng lặp của các phần tử 1 không tồn tại, mà được gọi là chu kỳ 4, và v.v.

Ở đây, trong ma trận thông tin H_A , đã biết rằng hiệu suất giải mã của mã LDPC bị làm hỏng khi các phần tử 1 kín như chu kỳ 4, và do đó được yêu cầu rằng chu kỳ 4 không tồn tại, với điều kiện định trước được thỏa mãn bởi ma trận kiểm tra chẵn lẻ thích hợp H .

Ở đây, điều kiện định trước được thỏa mãn bởi ma trận kiểm tra chẵn lẻ thích hợp H có thể được xác định một cách tùy ý từ quan điểm của việc nâng cao hiệu suất giải mã của mã LDPC và sự thuận lợi hóa (sự đơn giản hóa) của quy trình giải mã của mã LDPC, và v.v.

Fig.41 và Fig.42 là các sơ đồ mô tả sự tiến hóa mật độ mà có thể thu được kết quả phân tích với điều kiện định trước được thỏa mãn bởi ma trận kiểm tra chẵn lẻ thích hợp H .

Sự tiến hóa mật độ là phương pháp phân tích mã tính giá trị mong muốn của xác suất lỗi của toàn bộ mã LDPC (tập hợp) với độ dài mã N là ∞ được định rõ đặc điểm bởi chuỗi bậc được mô tả dưới đây.

Ví dụ, khi giá trị phân tán của tạp nhiễu được dần dần tăng lên từ 0 trên kênh AWGN, giá trị mong muốn của xác suất lỗi của tập hợp cụ thể là 0 thứ nhất, nhưng, khi giá trị phân tán của tạp nhiễu trở thành tương đương với hoặc lớn hơn ngưỡng cụ thể, nó không là 0.

Theo sự tiến hóa mật độ, bởi sự so sánh của ngưỡng giá trị phân tán của tạp nhiễu (mà cũng có thể được gọi là ngưỡng hiệu suất) trong đó giá trị mong muốn của xác suất lỗi không là 0, có thể quyết định chất lượng của hiệu suất tập hợp (sự thích hợp của ma trận kiểm tra chẵn lẻ).

Ở đây, đối với mã LDPC cụ thể, khi tập hợp mà mã LDPC thuộc về được quyết định và sự tiến hóa mật độ được thực hiện cho tập hợp, hiệu suất gần đúng của mã LDPC có thể được mong muốn.

Do đó, nếu tập hợp của hiệu suất tốt được tìm thấy, mã LDPC của hiệu suất tốt có thể được tìm thấy từ các mã LDPC thuộc về tập hợp.

Ở đây, chuỗi bậc được nêu ở trên thể hiện ở phần trăm nút biến đổi hoặc nút kiểm tra nào có trọng số của mỗi giá trị tồn tại tương ứng với độ dài mã N là mã LDPC.

Ví dụ, mã LDPC (3,6) thường với tốc độ mã hóa là $1/2$ thuộc về tập hợp được định rõ đặc điểm bởi chuỗi bậc trong đó trọng số (trọng số cột) của tất cả các nút biến đổi là 3 và trọng số (trọng số hàng) của tất cả các nút kiểm tra là 6.

Fig.41 minh họa đồ thị Tanner của tập hợp như vậy.

Trên đồ thị Tanner trên Fig.41, có các nút biến đổi được thể hiện bởi các vòng tròn (biểu tượng $\bigcirc$) trên sơ đồ chỉ bởi các đoạn N tương đương với độ dài mã N , và có các nút kiểm tra được thể hiện bởi các hình tứ giác (biểu tượng $\square$) chỉ bởi các đoạn $N/2$ tương đương với giá trị phép nhân nhân tốc độ mã hóa $1/2$ với độ dài mã N .

Ba nhánh (cạnh) tương đương với trọng số cột được nối với mỗi nút biến đổi, và do đó có tổng các nhánh $3N$ được nối với các nút biến đổi N .

Ngoài ra, sáu nhánh (cạnh) tương đương với trọng số hàng được nối với mỗi nút kiểm tra, và do đó có tổng các nhánh $3N$ được nối với các nút kiểm tra $N/2$.

Ngoài ra, có một bộ đan xen trên đồ thị Tanner trên Fig.41.

Bộ đan xen sắp xếp lại một cách ngẫu nhiên các nhánh $3N$ được nối với các nút biến đổi N và nối mỗi nhánh được sắp xếp lại với nhánh bất kỳ trong số các nhánh $3N$ được nối với các nút kiểm tra $N/2$.

Có các mô hình sắp xếp lại $(3N)!$ ($= (3N) \times (3N-1) \times \dots \times 1$) để sắp xếp lại các

nhánh $3N$ được nối với các nút biến đổi N ở bộ đan xen. Do đó, tập hợp được định rõ đặc điểm bởi chuỗi bậc trong đó trọng số của tất cả các nút biến đổi là 3 và trọng số của tất cả các nút kiểm tra là 6, trở thành tập hợp của $(3N)!$ các mã LDPC.

Theo sự mô phỏng để tìm mã LDPC của hiệu suất tốt (ma trận kiểm tra chẵn lẻ thích hợp), tập hợp của loại nhiều cạnh được sử dụng trong sự tiến hóa mật độ.

Ở loại nhiều cạnh, bộ đan xen qua đó các nhánh được nối với các nút biến đổi và các nhánh được nối với các nút kiểm tra đi qua, được chia thành nhiều (nhiều cạnh), và, bằng cách này, tập hợp được định rõ đặc điểm một cách chặt chẽ hơn.

Fig.42 minh họa ví dụ về đồ thị Tanner của tập hợp loại nhiều cạnh.

Trên đồ thị Tanner trên Fig.42, có hai bộ đan xen là bộ đan xen thứ nhất và bộ đan xen thứ hai.

Ngoài ra, trên đồ thị Tanner trên Fig.42, các nút biến đổi $v1$ với một nhánh được nối với bộ đan xen thứ nhất và không nhánh nào được nối với bộ đan xen thứ hai tồn tại, các nút biến đổi $v2$ với một nhánh được nối với bộ đan xen thứ nhất và hai nhánh được nối với bộ đan xen thứ hai tồn tại, và các nút biến đổi $v3$ với không nhánh nào được nối với bộ đan xen thứ nhất và hai nhánh lần lượt được nối với bộ đan xen thứ hai tồn tại.

Hơn nữa, trên đồ thị Tanner của Fig.42, các nút kiểm tra $c1$ với hai nhánh được nối với bộ đan xen thứ nhất và không nhánh nào được nối với bộ đan xen thứ hai tồn tại, các nút kiểm tra $c2$ với hai nhánh được nối với bộ đan xen thứ nhất và hai nhánh được nối với bộ đan xen thứ hai tồn tại, và các nút kiểm tra $c3$ với không nhánh nào được nối với bộ đan xen thứ nhất và ba nhánh lần lượt được nối với bộ đan xen thứ hai tồn tại.

Ở đây, ví dụ, sự tiến hóa mật độ và việc cài đặt của nó được mô tả trong "Về thiết kế của các mã kiểm tra chẵn lẻ mật độ thấp trong 0.0045 dB của giới hạn

Shannon", S.Y.Chung, G.D.Forney, T.J.Richardson, R.Urbanke, IEEE Communications Letters, tập 5, số 2, tháng 2 năm 2001.

Theo sự mô phỏng để tìm (bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ của) mã 16k cho Sx, bởi sự đánh giá mật độ của loại nhiễu cạnh, tập hợp trong đó ngưỡng hiệu suất mà E_b/N_0 (tỉ lệ công suất mỗi bit tín hiệu trên tạp nhiễu) với việc làm hỏng (giảm xuống) BER tương đương với hoặc ít hơn giá trị định trước được tìm thấy, và mã LDPC mà giảm xuống BER trong việc sử dụng một hoặc nhiều điều biến trực giao như QPSK được lựa chọn từ các mã LDPC thuộc về tập hợp như mã LDPC của hiệu suất tốt.

Bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ được nêu ở trên của mã 16k cho Sx là bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ của các mã LDPC tương ứng với độ dài mã N là các bit 16k và tốc độ mã hóa r là 7/15 hoặc 8/15 được tìm thấy từ sự mô phỏng được nêu ở trên.

Như vậy, theo 16k cho Sx thu được từ bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ, có thể đảm bảo chất lượng truyền thông tốt trong việc truyền dữ liệu.

Fig.43 là hình vẽ minh họa độ dài chu kỳ tối thiểu và ngưỡng hiệu suất của ma trận kiểm tra chẵn lẻ H thu được từ bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ của mã 16k cho Sx của r = 7/15 và 8/15 trên Fig.39 và Fig.40.

Ở đây, độ dài chu kỳ tối thiểu (chu vi) nghĩa là giá trị tối thiểu của độ dài của vòng lặp (độ dài vòng lặp) được tạo nên với các phần tử 1 trong ma trận kiểm tra chẵn lẻ H.

Trong ma trận kiểm tra chẵn lẻ H được tìm thấy từ bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ của mã 16k cho Sx, chu kỳ 4 (vòng lặp của các phần tử 1 với độ dài vòng lặp của 4) không tồn tại.

Ngoài ra, do độ dư thừa của mã LDPC trở thành lớn hơn khi tốc độ mã hóa r trở thành nhỏ hơn, ngưỡng hiệu suất có xu hướng nâng cao (giảm xuống) khi tốc độ mã hóa r giảm xuống.

Fig.44 là sơ đồ minh họa ma trận kiểm tra chẵn lẻ H (có thể được gọi là mã 16k cho Sx ma trận kiểm tra chẵn lẻ H) trên Fig.39 và Fig.40 (được tìm thấy từ bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ).

Trọng số cột là X cho cột KX từ cột thứ nhất trong mã 16k cho Sx ma trận kiểm tra chẵn lẻ H, trọng số cột là Y1 cho cột KY1 tiếp theo, trọng số cột là Y2 cho cột KY2 tiếp theo, trọng số cột là 2 cho cột M-1 tiếp theo, và trọng số cột là 1 cho cột cuối cùng.

Ở đây, $KX+KY1+KY2+M-1+1$ tương đương với độ dài mã $N=16200$ bit.

Fig.45 là sơ đồ minh họa các số cột KX, KY1, KY2 và M và các trọng số cột X, Y1 và Y2 trên Fig.44, cho mỗi tốc độ mã hóa r của mã 16k cho Sx.

Đối với ma trận kiểm tra chẵn lẻ H của các mã 16k tương ứng cho Sx của r là 7/15 hoặc 8/15, tương tự như ma trận kiểm tra chẵn lẻ được mô tả trên Fig.12 và Fig.13, trọng số cột có xu hướng lớn hơn ở cột gần hơn phía đầu (phía bên trái), và do đó bit mã gần hơn phía đầu của các mã 16k cho Sx có xu hướng chịu đựng nhiều hơn với các lỗi (có độ kháng với các lỗi).

Việc xử lý trao đổi của mã 16k cho Sx của $r = 7/15$ và $8/15$

Để đảm bảo chất lượng truyền thông tốt hơn trong việc truyền dữ liệu nhờ sử dụng mã 16k cho Sx, mong muốn đưa ra các biện pháp để nâng cao dung sai đối với lỗi.

Các ví dụ về các biện pháp để nâng cao dung sai đối với lỗi gồm có phương pháp chấp nhận hệ thống điều biên trong đó số lượng các điểm tín hiệu tương đối nhỏ, như 8PSK hoặc 16APSK, và việc xử lý trao đổi được thực hiện với bộ giải đa hợp 25 (Fig.9).

Trong việc xử lý trao đổi, các ví dụ về phương pháp trao đổi của các bit mã trao đổi của mã LDPC được định rõ theo chuẩn như DVB-T.2 gồm có các phương pháp trao đổi thứ nhất tới thứ tư được mô tả ở trên, phương pháp trao đổi được định rõ trong DVB-T.2 hoặc tương tự.

Trong việc truyền dữ liệu nhờ sử dụng mã 16k cho Sx, tuy nhiên, việc xử lý trao đổi chính xác với mã 16k cho Sx được chấp nhận tốt nhất.

Nghĩa là, ở mã 16k cho Sx, mong muốn chấp nhận việc xử lý trao đổi của phương pháp trao đổi được dành riêng cho mã 16k cho Sx (cũng được đề cập đến là phương pháp trao đổi cho Sx) trong đó dung sai đối với lỗi của mã 16k cho Sx còn được nâng cao.

Dưới đây, trước khi việc xử lý trao đổi theo phương pháp trao đổi cho Sx, việc xử lý trao đổi theo phương pháp trao đổi đã được đề xuất (dưới đây cũng được đề cập đến là phương pháp hiện tại) sẽ được mô tả.

Việc xử lý trao đổi khi việc xử lý trao đổi được thực hiện trên mã LDPC (dưới đây cũng được đề cập đến là mã quy định) được quy định trong DVB-T2 theo phương pháp hiện tại bởi bộ giải đa hợp 25 sẽ được mô tả dựa vào Fig.46 và Fig.47.

Fig.46 minh họa ví dụ về việc xử lý trao đổi theo hệ thống hiện tại khi mã LDPC được quy định trong DVB-T.2 ở độ dài mã N là 64800 bit và tốc độ mã hóa là 3/5.

Nghĩa là, A trên Fig.46 thể hiện ví dụ về việc xử lý trao đổi theo phương pháp hiện tại khi mã LDPC là mã quy định trong đó độ dài mã N là 64800 bit, tốc độ mã hóa là 3/5, phương pháp điều biến là 16QAM và bội số b là 2.

Khi phương pháp điều biến là 16QAM, 4 (= m) bit mã được ánh xạ tới các điểm cụ thể giữa 16 điểm tín hiệu được quyết định trong 16QAM như một ký hiệu.

Khi độ dài mã N là 64800 bit và bội số b là 2, bộ nhớ 31 (Fig.22 và Fig.23) của bộ giải đa hợp 25 có 8 cột lưu trữ 4×2 (=mb) bit theo hướng hàng và $64800 / (4 \times 2)$ bit theo hướng cột.

Ở bộ giải đa hợp 25, khi các bit mã của mã LDPC được ghi theo hướng cột của bộ nhớ 31 và việc ghi của 64800 bit mã (1 từ mã) kết thúc, các bit mã được ghi trên bộ nhớ 31 được đọc trong các đơn vị của 4×2 (=mb) bit theo hướng hàng và

được cung cấp tới bộ trao đổi 32 (Fig.22 và Fig.23).

Bộ trao đổi 32 trao đổi 4×2 (= mb) bit mã b_0 tới b_7 để 4×2 (= mb) bit mã b_0 , b_1 , b_2 , b_3 , b_4 , b_5 , b_6 , và b_7 được đọc từ bộ nhớ 31 được cấp phát tới, ví dụ, 4×2 (= mb) bit ký hiệu y_0 , y_1 , y_2 , y_3 , y_4 , y_5 , y_6 , và y_7 của 2 (= b) ký hiệu liên tiếp, như được thể hiện ở A trên Fig.46.

Nghĩa là, bộ trao đổi 32 thực hiện việc trao đổi để các bit mã được cấp phát tới các bit ký hiệu như sau:

bit mã b_0 tới bit ký hiệu y_7 ,

bit mã b_1 tới bit ký hiệu y_1 ,

bit mã b_2 tới bit ký hiệu y_4 ,

bit mã b_3 tới bit ký hiệu y_2 ,

bit mã b_4 tới bit ký hiệu y_5 ,

bit mã b_5 tới bit ký hiệu y_3 ,

bit mã b_6 tới bit ký hiệu y_6 , và

bit mã b_7 tới bit ký hiệu y_0 .

B trên Fig.46 thể hiện ví dụ về việc xử lý trao đổi theo phương pháp hiện tại khi mã LPDC là mã quy định trong đó độ dài mã N là 64800 bit, tốc độ mã hóa là 3/5, phương pháp điều biến là 64QAM và bội số b là 2.

Khi phương pháp điều biến là 64QAM, 6 (= m) bit mã được ánh xạ tới các điểm cụ thể giữa 64 điểm tín hiệu được quyết định trong 64QAM như một ký hiệu.

Khi độ dài mã N là 64800 bit và bội số b là 2, bộ nhớ 31 (Fig.22 và Fig.23) của bộ giải đa hợp 25 có 12 cột lưu trữ 6×2 (=mb) bit theo hướng hàng và $64800/(6 \times 2)$ bit theo hướng cột.

Ở bộ giải đa hợp 25, khi các bit mã của mã LDPC được ghi theo hướng cột của bộ nhớ 31 và việc ghi của 64800 bit mã (1 từ mã) kết thúc, các bit mã được ghi

trên bộ nhớ 31 được đọc trong các đơn vị của $6 \times 2 (=mb)$ bit theo hướng hàng và được cung cấp tới bộ trao đổi 32 (Fig.22 và Fig.23).

Bộ trao đổi 32 trao đổi $6 \times 2 (= mb)$ bit mã b_0 tới b_{11} để $6 \times 2 (= mb)$ bit mã $b_0, b_1, b_2, b_3, b_4, b_5, b_6, b_7, b_8, b_9, b_{10}$, và b_{11} được đọc từ bộ nhớ 31 được cấp phát tới, ví dụ, $6 \times 2 (= mb)$ bit ký hiệu $y_0, y_1, y_2, y_3, y_4, y_5, y_6, y_7, y_8, y_9, y_{10}$, và y_{11} của 2 (= b) ký hiệu liên tiếp, như được thể hiện ở B trên Fig.46.

Nghĩa là, bộ trao đổi 32 thực hiện việc trao đổi để các bit mã được cấp phát tới các bit ký hiệu như sau:

bit mã b_0 tới bit ký hiệu y_{11} ,

bit mã b_1 tới bit ký hiệu y_7 ,

bit mã b_2 tới bit ký hiệu y_3 ,

bit mã b_3 tới bit ký hiệu y_{10} ,

bit mã b_4 tới bit ký hiệu y_6 ,

bit mã b_5 tới bit ký hiệu y_2 ,

bit mã b_6 tới bit ký hiệu y_9 ,

bit mã b_7 tới bit ký hiệu y_5 ,

bit mã b_8 tới bit ký hiệu y_1 ,

bit mã b_9 tới bit ký hiệu y_8 ,

bit mã b_{10} tới bit ký hiệu y_4 , và

bit mã b_{11} tới bit ký hiệu y_0 .

C trên Fig.46 thể hiện ví dụ về việc xử lý trao đổi theo phương pháp hiện tại khi mã LPDC là mã quy định trong đó độ dài mã N là 64800 bit, tốc độ mã hóa là 3/5, phương pháp điều biến là 256QAM và bội số b là 2.

Khi phương pháp điều biến là 256QAM, 8 (= m) bit mã được ánh xạ tới

các điểm cụ thể giữa 256 điểm tín hiệu được quyết định trong 256QAM như một ký hiệu.

Khi độ dài mã N là 64800 bit và bội số b là 2, bộ nhớ 31 (Fig.22 và Fig.23) của bộ giải đa hợp 25 có 16 cột lưu trữ 8×2 ($=mb$) bit theo hướng hàng và $64800/(8 \times 2)$ bit theo hướng cột.

Ở bộ giải đa hợp 25, khi các bit mã của mã LDPC được ghi theo hướng cột của bộ nhớ 31 và việc ghi của 64800 bit mã (1 từ mã) kết thúc, các bit mã được ghi trên bộ nhớ 31 được đọc trong các đơn vị của 8×2 ($=mb$) bit theo hướng hàng và được cung cấp tới bộ trao đổi 32 (Fig.22 và Fig.23).

Bộ trao đổi 32 trao đổi 8×2 ($=mb$) bit mã b_0 tới b_{15} để 8×2 ($=mb$) bit mã b_0 , b_1 , b_2 , b_3 , b_4 , b_5 , b_6 , b_7 , b_8 , b_9 , b_{10} , b_{11} , b_{12} , b_{13} , b_{14} , và b_{15} được đọc từ bộ nhớ 31 được cấp phát tới, ví dụ, 8×2 ($=mb$) bit ký hiệu y_0 , y_1 , y_2 , y_3 , y_4 , y_5 , y_6 , y_7 , y_8 , y_9 , y_{10} , y_{11} , y_{12} , y_{13} , y_{14} , và y_{15} của 2 ($=b$) ký hiệu liên tiếp, như được thể hiện ở B trên Fig.46.

Nghĩa là, bộ trao đổi 32 thực hiện việc trao đổi để các bit mã được cấp phát tới các bit ký hiệu như sau:

bit mã b_0 tới bit ký hiệu y_{15} ,

bit mã b_1 tới bit ký hiệu y_1 ,

bit mã b_2 tới bit ký hiệu y_{13} ,

bit mã b_3 tới bit ký hiệu y_3 ,

bit mã b_4 tới bit ký hiệu y_8 ,

bit mã b_5 tới bit ký hiệu y_{11} ,

bit mã b_6 tới bit ký hiệu y_9 ,

bit mã b_7 tới bit ký hiệu y_5 ,

bit mã b_8 tới bit ký hiệu y_{10} ,

bit mã b_9 tới bit ký hiệu y_6 ,

bit mã b_{10} tới bit ký hiệu y_4 ,

bit mã b_{11} tới bit ký hiệu y_7 ,

bit mã b_{12} tới bit ký hiệu y_{12} ,

bit mã b_{13} tới bit ký hiệu y_2 ,

bit mã b_{14} tới bit ký hiệu y_{14} , và

bit mã b_{15} tới bit ký hiệu y_0 .

Fig.47 minh họa ví dụ về việc xử lý trao đổi theo hệ thống hiện tại khi mã quy định được quy định trong DVB-T.2 ở độ dài mã N là 16200 bit và tốc độ mã hóa là $3/5$.

Nghĩa là, A trên Fig.47 thể hiện ví dụ về việc xử lý trao đổi theo phương pháp hiện tại khi mã LPDC là mã LPDC trong đó độ dài mã N là 16200 bit, tốc độ mã hóa là $3/5$, phương pháp điều biến là 16QAM và bội số b là 2.

Khi phương pháp điều biến là 16QAM, 4 ($= m$) bit mã được ánh xạ tới các điểm cụ thể giữa 16 điểm tín hiệu được quyết định trong 16QAM như một ký hiệu.

Khi độ dài mã N là 16200 bit và bội số b là 2, bộ nhớ 31 (Fig.22 và Fig.23) của bộ giải đa hợp 25 có 8 cột lưu trữ 4×2 ($= mb$) bit theo hướng hàng và $16200/(4 \times 2)$ bit theo hướng cột.

Ở bộ giải đa hợp 25, khi các bit mã của mã LDPC được ghi theo hướng cột của bộ nhớ 31 và việc ghi của 16200 bit mã (1 từ mã) kết thúc, các bit mã được ghi trên bộ nhớ 31 được đọc trong các đơn vị của 4×2 ($= mb$) bit theo hướng hàng và được cung cấp tới bộ trao đổi 32 (Fig.22 và Fig.23).

Bộ trao đổi 32 trao đổi 4×2 ($= mb$) bit mã b_0 tới b_7 để 4×2 ($= mb$) bit mã b_0 , b_1 , b_2 , b_3 , b_4 , b_5 , b_6 , và b_7 được đọc từ bộ nhớ 31 được cấp phát tới, ví dụ, 4×2 ($= mb$) bit ký hiệu y_0 , y_1 , y_2 , y_3 , y_4 , y_5 , y_6 , và y_7 của 2 ($= b$) ký hiệu liên tiếp, như được

thể hiện ở A trên Fig.47.

Nghĩa là, bộ trao đổi 32 thực hiện việc trao đổi để các bit mã b_0 tới b_7 được cấp phát tới các bit ký hiệu y_0 tới y_7 , như trong trường hợp được mô tả ở trên A của Fig.46.

B trên Fig.47 thể hiện ví dụ về việc xử lý trao đổi theo phương pháp hiện tại khi mã LPDC là mã quy định trong đó độ dài mã N là 16200 bit, tốc độ mã hóa là 3/5, phương pháp điều biến là 64QAM và bội số b là 2.

Khi phương pháp điều biến là 64QAM, 6 (= m) bit mã được ánh xạ tới các điểm cụ thể giữa 64 điểm tín hiệu được quyết định trong 64QAM như một ký hiệu.

Khi độ dài mã N là 16200 bit và bội số b là 2, bộ nhớ 31 (Fig.22 và Fig.23) của bộ giải đa hợp 25 có 12 cột lưu trữ 6×2 (=mb) bit theo hướng hàng và $16200/(6 \times 2)$ bit theo hướng cột.

Ở bộ giải đa hợp 25, khi các bit mã của mã LDPC được ghi theo hướng cột của bộ nhớ 31 và việc ghi của 16200 bit mã (1 từ mã) kết thúc, các bit mã được ghi trên bộ nhớ 31 được đọc trong các đơn vị của 6×2 (=mb) bit theo hướng hàng và được cung cấp tới bộ trao đổi 32 (Fig.22 và Fig.23).

Bộ trao đổi 32 trao đổi 6×2 (= mb) bit mã b_0 tới b_{11} để 6×2 (= mb) bit mã b_0 , b_1 , b_2 , b_3 , b_4 , b_5 , b_6 , b_7 , b_8 , b_9 , b_{10} , và b_{11} được đọc từ bộ nhớ 31 được cấp phát tới, ví dụ, 6×2 (= mb) bit ký hiệu y_0 , y_1 , y_2 , y_3 , y_4 , y_5 , y_6 , y_7 , y_8 , y_9 , y_{10} , và y_{11} của 2 (= b) ký hiệu liên tiếp, như được thể hiện ở B trên Fig.47.

Nghĩa là, bộ trao đổi 32 thực hiện việc trao đổi để các bit mã b_0 tới b_{11} được cấp phát tới các bit ký hiệu y_0 tới y_{11} , như trong trường hợp được mô tả ở trên của B trên Fig.46.

C trên Fig.47 thể hiện ví dụ về việc xử lý trao đổi theo phương pháp hiện tại khi mã LPDC là mã quy định trong đó độ dài mã N là 16200 bit, tốc độ mã hóa là 3/5, phương pháp điều biến là 256QAM và bội số b là 1.

Khi phương pháp điều biến là 256QAM, 8 (= m) bit mã được ánh xạ tới các điểm cụ thể giữa 256 các điểm tín hiệu được quyết định trong 256QAM như một ký hiệu.

Khi độ dài mã N là 16200 bit và bội số b là 1, bộ nhớ 31 (Fig.22 và Fig.23) của bộ giải đa hợp 25 có 8 cột lưu trữ 8×1 (=mb) bit theo hướng hàng và $16200/(8 \times 1)$ bit theo hướng cột.

Ở bộ giải đa hợp 25, khi các bit mã của mã LDPC được ghi theo hướng cột của bộ nhớ 31 và việc ghi của 16200 bit mã (1 từ mã) kết thúc, các bit mã được ghi trên bộ nhớ 31 được đọc trong các đơn vị của 8×1 (=mb) bit theo hướng hàng và được cung cấp tới bộ trao đổi 32 (Fig.22 và Fig.23).

Bộ trao đổi 32 trao đổi 8×1 (= mb) bit mã b_0 tới b_7 để 8×1 (= mb) bit mã b_0 , b_1 , b_2 , b_3 , b_4 , b_5 , b_6 , và b_7 được đọc từ bộ nhớ 31 được cấp phát tới, ví dụ, 8×1 (= mb) bit ký hiệu y_0 , y_1 , y_2 , y_3 , y_4 , y_5 , y_6 , và y_7 của 1 (= b) ký hiệu liên tiếp, như được thể hiện ở C trên Fig.47.

Nghĩa là, bộ trao đổi 32 thực hiện việc trao đổi để các bit mã được cấp phát tới các bit ký hiệu như sau:

bit mã b_0 tới bit ký hiệu y_7 ,

bit mã b_1 tới bit ký hiệu y_3 ,

bit mã b_2 tới bit ký hiệu y_1 ,

bit mã b_3 tới bit ký hiệu y_5 ,

bit mã b_4 tới bit ký hiệu y_2 ,

bit mã b_5 tới bit ký hiệu y_6 ,

bit mã b_6 tới bit ký hiệu y_4 , và

bit mã b_7 tới bit ký hiệu y_0 .

Tiếp theo, việc xử lý trao đổi theo phương pháp trao đổi cho S_x sẽ được mô

tả.

Dưới đây, bit thứ $(\#i + 1)$ từ bit quan trọng nhất trong các bit mã m_b được đọc theo hướng hàng từ bộ nhớ 31 cũng được biểu thị là bit $b\#i$, và bit của bit thứ $(\#i + 1)$ từ bit quan trọng nhất trong các bit ký hiệu m_b của các ký hiệu liên tiếp b cũng được biểu thị là bit $y\#i$.

Fig.48 là hình vẽ minh họa ví dụ thứ nhất về việc xử lý trao đổi theo phương pháp trao đổi cho S_x khi phương pháp điều biến là 8PSK và bội số b là 1 trong việc truyền dữ liệu nhờ sử dụng mã 16k cho S_x của $r = 7/15$ hoặc $8/15$.

Khi phương pháp điều biến là 8PSK và bội số b là 1 trong việc truyền dữ liệu nhờ sử dụng mã 16k cho S_x của $r = 7/15$ hoặc $8/15$, $(16200/(3 \times 1)) \times (3 \times 1)$ bit mã được ghi trên bộ nhớ 31 theo hướng cột $\times$ hướng hàng được đọc trong các đơn vị của 3×1 ($= m_b$) bit theo hướng hàng ở bộ giải đa hợp 25 và được cung cấp tới bộ trao đổi 32 (Fig.22 và Fig.23).

Bộ trao đổi 32 trao đổi 3×1 ($= m_b$) bit mã b_0 tới b_2 để 3×1 ($= m_b$) bit mã b_0 tới b_2 được đọc từ bộ nhớ 31 được cấp phát tới, ví dụ, 3×1 ($= m_b$) bit ký hiệu y_0 tới y_2 của 1 ($= b$) ký hiệu, như được thể hiện trên Fig.48.

Nghĩa là, bộ trao đổi 32 thực hiện việc trao đổi để các bit mã được cấp phát tới các bit ký hiệu như sau:

bit mã b_0 tới bit ký hiệu y_1 ,

bit mã b_1 tới bit ký hiệu y_0 , và

bit mã b_2 tới bit ký hiệu y_2 .

Fig.49 là hình vẽ minh họa ví dụ thứ hai về việc xử lý trao đổi theo phương pháp trao đổi cho S_x khi phương pháp điều biến là 8PSK và bội số b là 1 trong việc truyền dữ liệu nhờ sử dụng mã 16k cho S_x của $r = 7/15$ hoặc $8/15$.

Trong trường hợp này, như được mô tả dựa vào Fig.48, $(16200/(3 \times 1)) \times (3 \times 1)$ bit mã được ghi trên bộ nhớ 31 theo hướng cột $\times$ hướng hàng

được đọc trong các đơn vị của 3×1 (= mb) bit theo hướng hàng ở bộ giải đa hợp 25 và được cung cấp tới bộ trao đổi 32 (Fig.22 và Fig.23).

Bộ trao đổi 32 trao đổi 3×1 (= mb) bit mã b_0 tới b_2 để 3×1 (= mb) bit mã b_0 tới b_2 được đọc từ bộ nhớ 31 được cấp phát tới, ví dụ, 3×1 (= mb) bit ký hiệu y_0 tới y_2 của 1 (= b) ký hiệu, như được thể hiện trên Fig.49.

Nghĩa là, bộ trao đổi 32 thực hiện việc trao đổi để các bit mã được cấp phát tới các bit ký hiệu như sau:

bit mã b_0 tới bit ký hiệu y_1 ,

bit mã b_1 tới bit ký hiệu y_2 , và

bit mã b_2 tới bit ký hiệu y_0 .

Ở đây, như phương pháp trao đổi cho các bit mã của mã LDPC trong việc xử lý trao đổi bởi bộ trao đổi 32, nghĩa là, mô hình cấp phát giữa các bit mã của mã LDPC và các bit ký hiệu chỉ báo ký hiệu (dưới đây cũng được đề cập đến là mô hình cấp phát bit), mô hình cấp phát bit dành riêng có thể được chấp nhận trong mỗi mã 16k cho S_x của các tốc độ mã hóa $r = 7/15$ và $8/15$.

Ở đây, khi mô hình cấp phát bit dành riêng được chấp nhận cho mỗi mã 16k cho S_x của các tốc độ mã hóa $r = 7/15$ và $8/15$, cần cài đặt mỗi mô hình cấp phát bit trên thiết bị truyền 11. Hơn nữa, đối với mã 16k cho S_x trong đó tốc độ mã hóa r khác nhau, cần thay đổi (thay thế) mô hình cấp phát bit.

Theo đó, khi phương pháp điều biến là 8PSK và bội số b là 1 trong mỗi mã 16k cho S_x của các tốc độ mã hóa $r = 7/15$ và $8/15$, chỉ một trong số các phương pháp trao đổi được mô tả dựa vào Fig.48 và Fig.49 có thể được cài đặt trên thiết bị truyền 11. Phần tương tự cũng ứng dụng khi phương pháp điều biến là 16APSK và bội số b là 1, như sẽ được mô tả dưới đây.

Fig.50 là hình vẽ minh họa kết quả mô phỏng của sự mô phỏng đo BER/FER bằng cách chấp nhận ví dụ thứ nhất về phương pháp trao đổi cho S_x trên Fig.48 là phương pháp trao đổi và chấp nhận 8PSK là phương pháp điều biến và

trong mã 16k cho Sx của tốc độ mã hóa $r=7/15$.

Fig.51 là hình vẽ minh họa kết quả mô phỏng của sự mô phỏng đo BER/FER bằng cách chấp nhận ví dụ thứ nhất về phương pháp trao đổi cho Sx trên Fig.48 là phương pháp trao đổi và chấp nhận 8PSK là phương pháp điều biến và trong mã 16k cho Sx của tốc độ mã hóa $r=8/15$.

Trên Fig.50 và Fig.51, trục ngang thể hiện E_s/N_0 và trục dọc thể hiện BER/FER. Ở đây, đường kẻ đậm thể hiện BER và đường kẻ chấm thể hiện FER.

Từ Fig.50 và Fig.51, có thể được xác nhận rằng BER/FER tốt thu được cho mỗi mã 16k cho Sx của tốc độ mã hóa $r=7/15$ và $8/15$, và thu chất lượng truyền thông tốt được đảm bảo trong việc truyền dữ liệu nhờ sử dụng mã 16k cho Sx.

Theo sự mô phỏng, BER/FER về cơ bản tương tự như BER/FER khi ví dụ thứ nhất về phương pháp trao đổi cho Sx trên Fig.48 được chấp nhận được đo thậm chí khi ví dụ thứ hai về phương pháp trao đổi cho Sx trên Fig.49 được chấp nhận.

Ở đây, theo sự mô phỏng, bằng cách chấp nhận 50 lần như số lần giải mã lặp lại C (nó) tại thời điểm giải mã của mã 16k cho Sx và giả sử rằng kênh NL (Non-Linear – không phải tuyến tính) là đường truyền 13 (Fig.7), BER/FER được đo cho các mô hình cấp phát bit khác nhau trong đó 3 bit của các bit mã được cấp phát tới 3 bit của các bit ký hiệu.

Mô hình cấp phát bit mà BER/FER tốt thu được được chấp nhận là phương pháp trao đổi cho Sx.

Như vậy, các phương pháp trao đổi cho Sx trên Fig.48 và Fig.49 có thể được nói là các phương pháp trao đổi tối ưu khi việc truyền dữ liệu ở 8PSK nhờ sử dụng mã 16k cho Sx được thực hiện qua kênh NL.

Theo sự mô phỏng trong đó 8PSK được chấp nhận là phương pháp điều biến, ví dụ, chòm sao (Fig.19) được chấp nhận với 8PSK của DVB-S.2 được chấp nhận là chòm sao của 8PSK.

Đối với các phương pháp trao đổi cho Sx trên Fig.48 và Fig.49, chất lượng

truyền thông tốt có thể được đảm bảo không những trong khi sử dụng với kênh NL mà còn trong khi sử dụng với, ví dụ, kênh tuyến tính hoặc kênh AWGN trong đó AWGN được bổ sung vào kênh tuyến tính khác ngoài kênh NL.

Fig.52 là sơ đồ khối minh họa mô hình của hệ thống truyền sử dụng sự mô phỏng (mô hình hệ thống truyền)

Môđun hệ thống truyền gồm có bộ Tx 210, bộ Rx 220, và bộ kênh 230.

Bộ Tx 210 là mô hình phía truyền và gồm có bộ FEC (Forward Error Correction – Sửa lỗi hướng tới) 211, bộ ánh xạ (Map.) 212, bộ lấy mẫu tăng (Up-sampling) 213, và bộ lọc Nyquist (Nyquist filter) 214.

Bộ FEC 211 thực hiện việc mã hóa sửa lỗi bởi, ví dụ, mã BCH và mã LDPC và cung cấp mã LDPC thu được qua việc mã hóa sửa lỗi tới bộ ánh xạ 212.

Bộ ánh xạ 212 thực hiện điều biến cầu phương bằng cách ánh xạ ký hiệu tới các điểm tín hiệu được quyết định trong phương pháp điều biến của điều biến cầu phương định trước như 8PSK hoặc 16APSK nhờ sử dụng số lượng các bit định trước của mã LDPC từ bộ FEC 211 như ký hiệu, và sau đó cung cấp dữ liệu sau khi điều biến cầu phương tới bộ lấy mẫu tăng 213.

Bộ lấy mẫu tăng 213 lấy mẫu tăng dữ liệu từ bộ ánh xạ 212 và cung cấp dữ liệu thu được do đó tới bộ lọc Nyquist 214.

Bộ lọc Nyquist 214 lọc dữ liệu từ bộ lấy mẫu tăng 213 và đưa ra tín hiệu truyền thu được do đó tới bộ kênh 230.

Bộ Rx 220 là mô hình phía thu và bao gồm bộ AGC (automatic gain control – Điều khiển gia lượng tự động) 221, bộ đa hợp 222, bộ lọc giảm xuống dao động (Roll-Off Filter) 223, bộ lấy mẫu giảm (Down samp.) 224, bộ CSI (Channel State Information – Thông tin trạng thái kênh) 225, bộ giải ánh xạ (De-Map.) 226, và bộ FEC 227.

Bộ AGC 221 thiết đặt thông số AGC để khuếch đại tín hiệu truyền từ bộ kênh 230 và cung cấp thông số AGC tới bộ đa hợp 222.

Bộ đa hợp 222 được cung cấp không những với thông số AGC từ bộ AGC 221 mà còn với tín hiệu truyền được đưa ra bởi bộ kênh 230.

Bộ đa hợp 222 khuếch đại tín hiệu truyền từ bộ kênh 230 theo thông số AGC từ bộ AGC 221 và cung cấp tín hiệu truyền tới bộ lọc giảm xuống dao động 223.

Bộ lọc giảm xuống dao động 223 lọc tín hiệu truyền từ bộ đa hợp 222 và cung cấp tín hiệu truyền tới bộ lấy mẫu giảm 224.

Bộ lấy mẫu giảm 224 lấy mẫu giảm tín hiệu truyền từ bộ lọc giảm xuống dao động 223 và cung cấp dữ liệu (dữ liệu sau khi ánh xạ) thu được do đó tới bộ giải ánh xạ 226.

Bộ CSI 225 thiết đặt thông tin kênh chỉ báo trạng thái kênh (bộ kênh 230) và cung cấp thông tin kênh tới bộ giải ánh xạ 226.

Bộ giải ánh xạ 226 thực hiện giải điều biến cầu phương bằng cách giải ánh xạ (giải mã bố trí điểm tín hiệu) dữ liệu từ bộ lấy mẫu giảm 224 nhờ sử dụng thông tin kênh từ bộ CSI 225 và cung cấp dữ liệu (sự hợp lệ của mã LDPC) thu được do đó tới bộ FEC 227.

Bộ FEC 227 thực hiện việc giải mã sửa lỗi trên dữ liệu từ bộ giải ánh xạ 226 để giải mã mã sửa lỗi, nghĩa là, ví dụ, việc giải mã của mã LDPC và việc giải mã của mã BCH.

Bộ kênh 230 là mô hình của kênh NL và gồm có bộ IBO (Input Back-Off – sự chờ truyền đầu vào) 231, bộ đa hợp 232, bộ TWTA (Travelling Wave Tube Amplifier – Bộ khuếch đại đèn sóng chạy) 233, bộ AWGN 234, và bộ cộng 235.

Bộ IBO 231 thiết đặt thông số IBO để điều chỉnh công suất của tín hiệu truyền được đưa ra từ bộ Tx 210 và cung cấp thông số IBO tới bộ đa hợp 232.

Bộ đa hợp 232 được cung cấp với không những thông số IBO từ bộ IBO 231 mà còn tín hiệu truyền được đưa ra bởi bộ Tx 210.

Bộ đa hợp 232 khuếch đại tín hiệu truyền từ bộ Tx 210 theo thông số IBO từ bộ IBO 231 và cung cấp tín hiệu truyền tới bộ TWTA 233.

Bộ TWTA 233 được cấu hình để gồm có, ví dụ, bộ khuếch đại không phải tuyến tính, và đưa ra tín hiệu truyền có công suất ít hơn giá trị định trước không thay đổi và đưa ra tín hiệu truyền có công suất tương đương với hoặc lớn hơn giá trị định trước bằng cách rút ngắn công suất tới giá trị định trước giữa các tín hiệu truyền từ bộ đa hợp 232.

Bộ AWGN 234 tạo ra và đưa ra AWGN.

Bộ cộng 235 được cung cấp với tín hiệu truyền được đưa ra bởi bộ TWTA 233 và AWGN được đưa ra bởi bộ AWGN 234.

Bộ cộng 235 bổ sung AWGN từ bộ AWGN 234 vào tín hiệu truyền từ bộ TWTA 233 và đưa ra tín hiệu truyền như đầu ra của bộ kênh 230.

Trong mô hình hệ thống truyền được cấu hình bằng cách này, bộ FEC 211 thực hiện việc mã hóa sửa lỗi và cung cấp mã LDPC thu được qua việc mã hóa sửa lỗi tới bộ ánh xạ 212 ở bộ Tx 210.

Bộ ánh xạ 212 thực hiện điều biến cầu phương bằng cách ánh xạ mã LDPC từ bộ FEC 211 tới các điểm tín hiệu được quyết định trong phương pháp điều biến của điều biến cầu phương định trước. Dữ liệu thu được bởi bộ ánh xạ 212 được cung cấp như tín hiệu truyền được đưa ra bởi bộ Tx 210 tới bộ kênh 230 qua bộ lấy mẫu tăng 213 và bộ lọc Nyquist 214.

Ở bộ kênh 230, tín hiệu truyền từ bộ Tx 210 được truyền qua bộ đa hợp 232 và bộ TWTA 233 được làm méo không phải tuyến tính và được cung cấp tới bộ cộng 235.

Ở bộ cộng 235, AWGN từ bộ AWGN 234 được bổ sung vào tín hiệu truyền được cung cấp qua bộ đa hợp 232 và bộ TWTA 233, và tín hiệu truyền được cung cấp tới bộ Rx 220.

Ở bộ Rx 220, tín hiệu truyền từ bộ kênh 230 được cung cấp tới bộ giải ánh

xạ 226 qua bộ đa hợp 222, bộ lọc giảm xuống dao động 223, và bộ lấy mẫu giảm 224.

Ở bộ giải ánh xạ 226, dữ liệu được cung cấp qua bộ đa hợp 222, bộ lọc giảm xuống dao động 223, và bộ lấy mẫu giảm 224 được giải ánh xạ để được tùy thuộc vào giải điều biến cầu phương nhờ sử dụng thông tin kênh từ bộ CSI 225, và dữ liệu thu được do đó được cung cấp tới bộ FEC 227.

Ở bộ FEC 227, dữ liệu từ bộ giải ánh xạ 226 được tùy thuộc vào giải mã sửa lỗi như giải mã LDPC. Theo sự mô phỏng, BER/FER được đo (được tính) nhờ sử dụng kết quả giải mã sửa lỗi.

Bộ kênh 230 trên Fig.52 cũng được cấu hình để chỉ gồm có bộ AWGN 234 và bộ cộng 235 không gồm có bộ IBO 231, bộ đa hợp 232, và bộ TWTA 233, để bộ kênh 230 dùng làm mô hình của kênh AWGN.

Fig.53 là hình vẽ minh họa ví dụ thứ nhất về việc xử lý trao đổi theo phương pháp trao đổi cho S_x khi phương pháp điều biến là 16PSK và bội số b là 1 trong việc truyền dữ liệu nhờ sử dụng mã 16k cho S_x của $r = 7/15$ hoặc $8/15$.

Khi phương pháp điều biến là 16PSK và bội số b là 1 trong việc truyền dữ liệu nhờ sử dụng mã 16k cho S_x của $r = 7/15$ hoặc $8/15$, $(16200/(4 \times 1)) \times (4 \times 1)$ bit mã được ghi trên bộ nhớ 31 theo hướng cột $\times$ hướng hàng được đọc trong các đơn vị của 4×1 ($= mb$) bit theo hướng hàng ở bộ giải đa hợp 25 và được cung cấp tới bộ trao đổi 32 (Fig.22 và Fig.23).

Bộ trao đổi 32 trao đổi 4×1 ($= mb$) bit mã b_0 tới b_3 để 4×1 ($= mb$) bit mã b_0 tới b_3 được đọc từ bộ nhớ 31 được cấp phát tới, ví dụ, 4×1 ($= mb$) bit ký hiệu y_0 tới y_3 của 1 ($= b$) ký hiệu, như được thể hiện trên Fig.53.

Nghĩa là, bộ trao đổi 32 thực hiện việc trao đổi để các bit mã được cấp phát tới các bit ký hiệu như sau:

bit mã b_0 tới bit ký hiệu y_1 ,

bit mã b_1 tới bit ký hiệu y_2 ,

bit mã b_2 tới bit ký hiệu y_0 , và

bit mã b_3 tới bit ký hiệu y_3 .

Fig.54 là hình vẽ minh họa ví dụ thứ hai về việc xử lý trao đổi theo phương pháp trao đổi cho Sx khi phương pháp điều biến là 16PSK và bội số b là 1 trong việc truyền dữ liệu nhờ sử dụng mã 16k cho Sx của $r = 7/15$ hoặc $8/15$.

Trong trường hợp này, như được mô tả dựa vào Fig.53, $(16200/(4 \times 1)) \times (4 \times 1)$ bit mã được ghi trên bộ nhớ 31 theo hướng cột $\times$ hướng hàng được đọc trong các đơn vị của 4×1 ($= mb$) bit theo hướng hàng ở bộ giải đa hợp 25 và được cung cấp tới bộ trao đổi 32 (Fig.22 và Fig.23).

Bộ trao đổi 32 trao đổi 4×1 ($= mb$) bit mã b_0 tới b_3 để 4×1 ($= mb$) bit mã b_0 tới b_3 được đọc từ bộ nhớ 31 được cấp phát tới, ví dụ, 4×1 ($= mb$) bit ký hiệu y_0 tới y_3 của 1 ($= b$) ký hiệu, như được thể hiện trên Fig.54.

Nghĩa là, bộ trao đổi 32 thực hiện việc trao đổi để các bit mã được cấp phát tới các bit ký hiệu như sau:

bit mã b_0 tới bit ký hiệu y_1 ,

bit mã b_1 tới bit ký hiệu y_3 ,

bit mã b_2 tới bit ký hiệu y_0 , và

bit mã b_3 tới bit ký hiệu y_2 .

Fig.55 là hình vẽ minh họa ví dụ thứ ba về việc xử lý trao đổi theo phương pháp trao đổi cho Sx khi phương pháp điều biến là 16PSK và bội số b là 1 trong việc truyền dữ liệu nhờ sử dụng mã 16k cho Sx của $r = 7/15$ hoặc $8/15$.

Trong trường hợp này, như được mô tả dựa vào Fig.53, $(16200/(4 \times 1)) \times (4 \times 1)$ bit mã được ghi trên bộ nhớ 31 theo hướng cột $\times$ hướng hàng được đọc trong các đơn vị của 4×1 ($= mb$) bit theo hướng hàng ở bộ giải đa hợp 25

và được cung cấp tới bộ trao đổi 32 (Fig.22 và Fig.23).

Bộ trao đổi 32 trao đổi 4×1 (= mb) bit mã b_0 tới b_3 để 4×1 (= mb) bit mã b_0 tới b_3 được đọc từ bộ nhớ 31 được cấp phát tới, ví dụ, 4×1 (= mb) bit ký hiệu y_0 tới y_3 của 1 (= b) ký hiệu, như được thể hiện trên Fig.55.

Nghĩa là, bộ trao đổi 32 thực hiện việc trao đổi để các bit mã được cấp phát tới các bit ký hiệu như sau:

bit mã b_0 tới bit ký hiệu y_2 ,

bit mã b_1 tới bit ký hiệu y_1 ,

bit mã b_2 tới bit ký hiệu y_0 , và

bit mã b_3 tới bit ký hiệu y_3 .

Fig.56 là hình vẽ minh họa ví dụ thứ tư về việc xử lý trao đổi theo phương pháp trao đổi cho S_x khi phương pháp điều biến là 16PSK và bội số b là 1 trong việc truyền dữ liệu nhờ sử dụng mã 16k cho S_x của $r = 7/15$ hoặc $8/15$.

Trong trường hợp này, như được mô tả dựa vào Fig.53, $(16200/(4 \times 1)) \times (4 \times 1)$ bit mã được ghi trên bộ nhớ 31 theo hướng cột × hướng hàng được đọc trong các đơn vị của 4×1 (= mb) bit theo hướng hàng ở bộ giải đa hợp 25 và được cung cấp tới bộ trao đổi 32 (Fig.22 và Fig.23).

Bộ trao đổi 32 trao đổi 4×1 (= mb) bit mã b_0 tới b_3 để 4×1 (= mb) bit mã b_0 tới b_3 được đọc từ bộ nhớ 31 được cấp phát tới, ví dụ, 4×1 (= mb) bit ký hiệu y_0 tới y_3 của 1 (= b) ký hiệu, như được thể hiện trên Fig.56.

Nghĩa là, bộ trao đổi 32 thực hiện việc trao đổi để các bit mã được cấp phát tới các bit ký hiệu như sau:

bit mã b_0 tới bit ký hiệu y_3 ,

bit mã b_1 tới bit ký hiệu y_1 ,

bit mã b_2 tới bit ký hiệu y_0 , và

bit mã b_3 tới bit ký hiệu y_2 .

Fig.57 là hình vẽ minh họa ví dụ thứ năm về việc xử lý trao đổi theo phương pháp trao đổi cho Sx khi phương pháp điều biến là 16PSK và bội số b là 1 trong việc truyền dữ liệu nhờ sử dụng mã 16k cho Sx của $r = 7/15$ hoặc $8/15$.

Trong trường hợp này, như được mô tả dựa vào Fig.53, $(16200/(4 \times 1)) \times (4 \times 1)$ bit mã được ghi trên bộ nhớ 31 theo hướng cột $\times$ hướng hàng được đọc trong các đơn vị của 4×1 ($= mb$) bit theo hướng hàng ở bộ giải đa hợp 25 và được cung cấp tới bộ trao đổi 32 (Fig.22 và Fig.23).

Bộ trao đổi 32 trao đổi 4×1 ($= mb$) bit mã b_0 tới b_3 để 4×1 ($= mb$) bit mã b_0 tới b_3 được đọc từ bộ nhớ 31 được cấp phát tới, ví dụ, 4×1 ($= mb$) bit ký hiệu y_0 tới y_3 của 1 ($= b$) ký hiệu, như được thể hiện trên Fig.57.

Nghĩa là, bộ trao đổi 32 thực hiện việc trao đổi để các bit mã được cấp phát tới các bit ký hiệu như sau:

bit mã b_0 tới bit ký hiệu y_1 ,

bit mã b_1 tới bit ký hiệu y_2 ,

bit mã b_2 tới bit ký hiệu y_3 , và

bit mã b_3 tới bit ký hiệu y_0 .

Fig.58 là hình vẽ minh họa ví dụ thứ sáu về việc xử lý trao đổi theo phương pháp trao đổi cho Sx khi phương pháp điều biến là 16PSK và bội số b là 1 trong việc truyền dữ liệu nhờ sử dụng mã 16k cho Sx của $r = 7/15$ hoặc $8/15$.

Trong trường hợp này, như được mô tả dựa vào Fig.53, $(16200/(4 \times 1)) \times (4 \times 1)$ bit mã được ghi trên bộ nhớ 31 theo hướng cột $\times$ hướng hàng được đọc trong các đơn vị của 4×1 ($= mb$) bit theo hướng hàng ở bộ giải đa hợp 25 và được cung cấp tới bộ trao đổi 32 (Fig.22 và Fig.23).

Bộ trao đổi 32 trao đổi 4×1 ($= mb$) bit mã b_0 tới b_3 để 4×1 ($= mb$) bit mã b_0 tới b_3 được đọc từ bộ nhớ 31 được cấp phát tới, ví dụ, 4×1 ($= mb$) bit ký hiệu y_0 tới

y_3 của 1 (= b) ký hiệu, như được thể hiện trên Fig.58.

Nghĩa là, bộ trao đổi 32 thực hiện việc trao đổi để các bit mã được cấp phát tới các bit ký hiệu như sau:

bit mã b_0 tới bit ký hiệu y_1 ,

bit mã b_1 tới bit ký hiệu y_3 ,

bit mã b_2 tới bit ký hiệu y_2 , và

bit mã b_3 tới bit ký hiệu y_0 .

Fig.59 là hình vẽ minh họa ví dụ thứ bảy về việc xử lý trao đổi theo phương pháp trao đổi cho S_x khi phương pháp điều biến là 16PSK và bội số b là 1 trong việc truyền dữ liệu nhờ sử dụng mã 16k cho S_x của $r = 7/15$ hoặc $8/15$.

Trong trường hợp này, như được mô tả dựa vào Fig.53, $(16200/(4 \times 1)) \times (4 \times 1)$ bit mã được ghi trên bộ nhớ 31 theo hướng cột × hướng hàng được đọc trong các đơn vị của 4×1 (= mb) bit theo hướng hàng ở bộ giải đa hợp 25 và được cung cấp tới bộ trao đổi 32 (Fig.22 và Fig.23).

Bộ trao đổi 32 trao đổi 4×1 (= mb) bit mã b_0 tới b_3 để 4×1 (= mb) bit mã b_0 tới b_3 được đọc từ bộ nhớ 31 được cấp phát tới, ví dụ, 4×1 (= mb) bit ký hiệu y_0 tới y_3 của 1 (= b) ký hiệu, như được thể hiện trên Fig.59.

Nghĩa là, bộ trao đổi 32 thực hiện việc trao đổi để các bit mã được cấp phát tới các bit ký hiệu như sau:

bit mã b_0 tới bit ký hiệu y_2 ,

bit mã b_1 tới bit ký hiệu y_1 ,

bit mã b_2 tới bit ký hiệu y_3 , và

bit mã b_3 tới bit ký hiệu y_0 .

Fig.60 là hình vẽ minh họa ví dụ thứ tám về việc xử lý trao đổi theo phương pháp trao đổi cho S_x khi phương pháp điều biến là 16PSK và bội số b là 1

trong việc truyền dữ liệu nhờ sử dụng mã 16k cho S_x của $r = 7/15$ hoặc $8/15$.

Trong trường hợp này, như được mô tả dựa vào Fig.53, $(16200/(4 \times 1)) \times (4 \times 1)$ bit mã được ghi trên bộ nhớ 31 theo hướng cột $\times$ hướng hàng được đọc trong các đơn vị của 4×1 (= mb) bit theo hướng hàng ở bộ giải đa hợp 25 và được cung cấp tới bộ trao đổi 32 (Fig.22 và Fig.23).

Bộ trao đổi 32 trao đổi 4×1 (= mb) bit mã b_0 tới b_3 để 4×1 (= mb) bit mã b_0 tới b_3 được đọc từ bộ nhớ 31 được cấp phát tới, ví dụ, 4×1 (= mb) bit ký hiệu y_0 tới y_3 của 1 (= b) ký hiệu, như được thể hiện trên Fig.60.

Nghĩa là, bộ trao đổi 32 thực hiện việc trao đổi để các bit mã được cấp phát tới các bit ký hiệu như sau:

bit mã b_0 tới bit ký hiệu y_3 ,

bit mã b_1 tới bit ký hiệu y_1 ,

bit mã b_2 tới bit ký hiệu y_3 , và

bit mã b_3 tới bit ký hiệu y_0 .

Fig.61 là hình vẽ minh họa kết quả mô phỏng của sự mô phỏng đo BER/FER bằng cách chấp nhận ví dụ thứ ba về phương pháp trao đổi cho S_x trên Fig.55 như phương pháp trao đổi và chấp nhận 16APSK như phương pháp điều biến và trong mã 16k cho S_x của tốc độ mã hóa $r=7/15$.

Fig.62 là hình vẽ minh họa kết quả mô phỏng của sự mô phỏng đo BER/FER bằng cách chấp nhận ví dụ thứ ba về phương pháp trao đổi cho S_x trên Fig.55 như phương pháp trao đổi và chấp nhận 16APSK như phương pháp điều biến và trong mã 16k cho S_x của tốc độ mã hóa $r=8/15$.

Trên Fig.61 và Fig.62, trục ngang thể hiện E_s/N_0 và trục dọc thể hiện BER/FER. Ở đây, đường kẻ đậm thể hiện BER và đường kẻ chấm thể hiện FER.

Từ Fig.61 và Fig.62, có thể được xác nhận rằng BER/FER tốt thu được cho mỗi mã 16k cho S_x của tốc độ mã hóa $r=7/15$ và $8/15$, và như vậy chất lượng

truyền thông tốt được đảm bảo trong việc truyền dữ liệu nhờ sử dụng mã 16k cho Sx.

Theo sự mô phỏng, BER/FER về cơ bản tương tự như BER/FER khi ví dụ thứ nhất về phương pháp trao đổi cho Sx trên Fig.53, ví dụ thứ hai về phương pháp trao đổi cho Sx trên Fig.54, ví dụ thứ tư về phương pháp trao đổi cho Sx trên Fig.56, hoặc ví dụ thứ tám về phương pháp trao đổi cho Sx trên Fig.55 được chấp nhận được đo thậm chí khi ví dụ thứ ba về phương pháp trao đổi cho Sx trên Fig.55 được chấp nhận.

Ở đây, theo sự mô phỏng trong đó 16APSK được chấp nhận như phương pháp điều biến, bằng cách chấp nhận 50 lần như số lần giải mã lặp lại C tại thời điểm giải mã của mã 16k cho Sx và giả sử rằng kênh NL (Không phải tuyến tính) là đường truyền 13 (Fig.7), như trong trường hợp sự mô phỏng (Fig.50 và Fig.51) trong đó 8PSK được sử dụng như phương pháp điều biến, BER/FER được đo cho các mô hình cấp phát bit khác nhau trong đó 4 bit của các bit mã được cấp phát tới 4 bit của các bit ký hiệu.

Mô hình cấp phát bit trong đó BER/FER tốt thu được được chấp nhận là phương pháp trao đổi cho Sx.

Theo đó, phương pháp trao đổi cho Sx trên Fig.53 tới Fig.60 có thể được nói là phương pháp trao đổi tối ưu khi việc truyền dữ liệu ở 16APSK sử dụng mã 16k cho Sx được thực hiện qua kênh NL.

Theo sự mô phỏng trong đó 16APSK được chấp nhận là phương pháp điều biến, chòm sao trong đó tỉ lệ bán kính γ được tối ưu hóa được chấp nhận là chòm sao của 16APSK liên quan đến chòm sao (Fig.20) được chấp nhận với 16APSK của DVB-S.2.

Nghĩa là, theo sự mô phỏng trong đó 16APSK được chấp nhận là phương pháp điều biến, chòm sao trong đó 4 điểm tín hiệu trên chu vi của đường tròn (đường tròn bên trong) có bán kính R_1 trong đó gốc của mặt phẳng IQ là tâm và 12 điểm tín hiệu trên chu vi của đường tròn (đường tròn bên ngoài) có bán kính R_2 ($>$

R_1), nghĩa là, tổng 16 điểm tín hiệu được bố trí, được chấp nhận như ở chòm sao được minh họa trên Fig.20.

Theo sự mô phỏng trong đó 16APSK được chấp nhận là phương pháp điều biến, giá trị mà FER là tối thiểu được chấp nhận là tỉ lệ bán kính $\gamma = R_2/R_1$ trong truyền dữ liệu được thực hiện qua kênh NL.

Cụ thể là, đối với mã 16k cho S_x của tốc độ mã hóa $r = 7/15$, 5,25 được chấp nhận là tỉ lệ bán kính γ Theo sự mô phỏng trong đó 16APSK được chấp nhận là phương pháp điều biến. Đối với mã 16k cho S_x của tốc độ mã hóa $r = 7/15$, 4,85 được chấp nhận là tỉ lệ bán kính γ Theo sự mô phỏng trong đó 16APSK được chấp nhận là phương pháp điều biến.

Theo phương pháp trao đổi cho S_x trên Fig.53 tới Fig.60, chất lượng truyền thông tốt có thể được đảm bảo không những trong khi sử dụng với kênh NL mà còn trong khi sử dụng với, ví dụ, kênh tuyến tính hoặc kênh AWGN trong đó AWGN được bổ sung vào kênh tuyến tính thay vì kênh NL.

Theo sự mô phỏng trong đó BER/FER trên Fig.61 và Fig.62 được đo (cũng theo sự mô phỏng trong đó BER/FER trên Fig.50 và Fig.51 được đo như được mô tả ở trên), 10% được chấp nhận là tốc độ giảm xuống dao động. Tốc độ giảm xuống dao động là thông số liên quan tới bộ lọc Nyquist 214 và bộ lọc giảm xuống dao động 223 của mô hình hệ thống truyền trên Fig.52.

Ảnh xạ

Fig.63 và Fig.64 là các hình vẽ minh họa các ví dụ về các điểm tín hiệu của 16APSK và tỉ lệ bán kính γ khi 16APSK được chấp nhận như phương pháp điều biến trong việc truyền dữ liệu nhờ sử dụng mã 16k cho S_x .

Trên Fig.63 và Fig.64, 16 điểm tín hiệu của 16APSK được bố trí trên đường tròn chu vi bên trong có bán kính R_1 và đường tròn chu vi bên ngoài có bán kính R_2 lớn hơn R_1 .

Cụ thể là, 4 điểm tín hiệu được bố trí ở cùng góc trên đường tròn chu vi bên

trong có bán kính R_1 và 12 các điểm tín hiệu được bố trí ở cùng góc trên đường tròn chu vi bên ngoài có bán kính R_2 .

Ở chòm sao của 16APSK (16 điểm tín hiệu), tỉ lệ bán kính (giá trị chỉ báo hệ số mà bán kính R_2 của đường tròn chu vi bên ngoài lớn hơn bán kính R_1 của đường tròn chu vi bên trong) $\gamma = R_2/R_1$ mà là tỉ lệ của bán kính R_2 của đường tròn chu vi bên ngoài với bán kính R_1 của đường tròn chu vi bên trong được quyết định là giá trị tối ưu cho mỗi tốc độ mã hóa r của mã 16k cho Sx của đích được ánh xạ tới các điểm tín hiệu.

Theo tỉ lệ bán kính tối ưu γ , giá trị (tỉ lệ bán kính) mà tốt hơn giá trị đánh giá định trước thu được bởi sự mô phỏng thứ nhất và thứ hai.

Fig.63 minh họa tỉ lệ bán kính γ thu được bởi sự mô phỏng thứ nhất và Fig.64 minh họa tỉ lệ bán kính γ thu được bởi sự mô phỏng thứ hai.

Theo sự mô phỏng thứ nhất, như được minh họa trên Fig.63, $\gamma = 5,25$ thu được là tỉ lệ bán kính tối ưu liên quan đến mã 16k cho Sx của $r = 7/15$ và $\gamma = 4,85$ thu được là tỉ lệ bán kính tối ưu liên quan đến mã 16k cho Sx của $r = 8/15$.

Theo sự mô phỏng thứ hai, như được minh họa trên Fig.64, $\gamma = 3,32$ thu được là tỉ lệ bán kính tối ưu liên quan đến mã 16k cho Sx của $r = 7/15$ và $\gamma = 3,50$ thu được là tỉ lệ bán kính tối ưu liên quan đến mã 16k cho Sx của $r = 8/15$.

Ở đây, theo sự mô phỏng thứ nhất, kênh NL được giả sử là đường truyền 13 (Fig.7), FER được thiết đặt là giá trị trong giới hạn của 10^{-1} tới 10^{-2} , giá trị của SNR (Tỉ lệ tín hiệu trên tạp nhiễu) của tín hiệu truyền được chỉ rõ, và tỉ lệ bán kính mà FER là tối thiểu ở tín hiệu truyền của SNR của giá trị thu được là tỉ lệ bán kính tối ưu γ .

Theo đó, tỉ lệ bán kính γ thu được bởi sự mô phỏng thứ nhất có thể được nói là tỉ lệ bán kính tối ưu khi dữ liệu truyền được thực hiện qua kênh NL.

Theo sự mô phỏng thứ hai, mặt khác, kênh AWGN được giả sử là đường

truyền 13, tỉ lệ bán kính trong đó dung lượng ICM (Dung lượng điều biến được mã hóa đan xen xoắn bit) mà là giới hạn trên (dung lượng kênh) của dung lượng truyền được quyết định bởi sự bố trí của các điểm tín hiệu trên chòm sao và SNR của tín hiệu truyền là tối đa thu được là tỉ lệ bán kính tối ưu γ .

Theo đó, tỉ lệ bán kính γ thu được bởi sự mô phỏng thứ hai có thể được nói là tỉ lệ bán kính tối ưu khi dữ liệu truyền được thực hiện qua kênh AWGN.

Đối với mã 16k cho Sx của $r = 7/15$, BER/FER khi 16APSK được chấp nhận là phương pháp điều biến và tỉ lệ bán kính $\gamma = 5,25$ tối ưu cho kênh NL được chấp nhận đã được mô tả ở trên dựa vào Fig.61.

Đối với mã 16k cho Sx của $r = 8/15$, BER/FER khi 16APSK được chấp nhận là phương pháp điều biến và tỉ lệ bán kính $\gamma = 4,85$ tối ưu cho kênh NL được chấp nhận đã được mô tả ở trên dựa vào Fig.62.

Như vậy bằng cách chấp nhận tỉ lệ bán kính $\gamma = 5,25$ cho mã 16k cho Sx của $r = 7/15$, như được minh họa trên Fig.61, BER/FER tốt có thể thu được, và như vậy chất lượng truyền thông tốt có thể được đảm bảo.

Tương tự như vậy, bằng cách chấp nhận tỉ lệ bán kính $\gamma = 4,85$ cho mã 16k cho Sx của $r = 8/15$, như được minh họa trên Fig.62, BER/FER tốt có thể thu được, và như vậy chất lượng truyền thông tốt có thể được đảm bảo.

Ở chòm sao của 16APSK của tỉ lệ bán kính γ thu được bởi sự mô phỏng thứ nhất, chất lượng truyền thông tốt có thể được đảm bảo không những trong khi sử dụng với kênh NL mà còn trong khi sử dụng với kênh AWGN hoặc các kênh khác từ quan điểm rằng BER/FER là tốt.

Ở chòm sao của 16APSK của tỉ lệ bán kính γ thu được bởi sự mô phỏng thứ hai, chất lượng truyền thông tốt có thể được đảm bảo không kể kênh từ quan điểm rằng dung lượng BICM là tốt.

Ví dụ cấu hình của thiết bị thu 12

Fig.65 là sơ đồ khối minh họa ví dụ cấu hình của thiết bị thu 12 trên Fig.7.

Bộ thao tác OFDM 151 thu tín hiệu OFDM từ thiết bị truyền 11 (Fig.7) và thực hiện việc xử lý tín hiệu của tín hiệu OFDM. Dữ liệu mà thu được bằng cách thực hiện việc xử lý tín hiệu bởi bộ thao tác OFDM 151 được cung cấp tới bộ quản lý khung 152.

Bộ quản lý khung 152 thực hiện quy trình xử lý (giải thích khung) của khung được cấu hình bởi dữ liệu được cung cấp từ bộ thao tác OFDM 151 và cung cấp tín hiệu của dữ liệu đích thu được do đó và tín hiệu của việc phát tín hiệu tới bộ giải đan xen tần số 161 và bộ giải đan xen tần số 153.

Bộ giải đan xen tần số 153 thực hiện giải đan xen tần số trong đơn vị của ký hiệu, tương ứng với dữ liệu được cung cấp từ bộ quản lý khung 152, và cung cấp ký hiệu tới bộ giải ánh xạ 154.

Bộ giải ánh xạ 154 thực hiện giải điều biến cầu phương bằng cách giải ánh xạ (thực hiện việc giải mã bố trí điểm tín hiệu trên) dữ liệu (dữ liệu trên chòm sao) từ bộ giải đan xen tần số 153 dựa vào sự bố trí (chòm sao) của các điểm tín hiệu được quyết định trong điều biến cầu phương được thực hiện ở phía thiết bị truyền 11 và cung cấp dữ liệu (mã LDPC (mã LDPC hợp lệ)) thu được do đó tới bộ giải mã LDPC 155.

Bộ giải mã LDPC 155 thực hiện việc giải mã LDPC của mã LDPC được cung cấp từ bộ giải ánh xạ 154 và cung cấp dữ liệu đích LDPC (trong trường hợp này, mã BCH) thu được do đó tới bộ giải mã BCH 156.

Bộ giải mã BCH 156 thực hiện việc giải mã BCH của dữ liệu đích LDPC được cung cấp từ bộ giải mã LDPC 155 và đưa ra dữ liệu điều khiển (phát tín hiệu) thu được do đó.

Trong khi đó, bộ giải đan xen tần số 161 thực hiện giải đan xen tần số trong đơn vị của ký hiệu, tương ứng với dữ liệu được cung cấp từ bộ quản lý khung 152, và cung cấp ký hiệu tới bộ giải mã SISO/MISO 162.

Bộ giải mã SISO/MISO 162 thực hiện việc giải mã không gian thời gian của dữ liệu được cung cấp từ bộ giải đan xen tần số 161 và cung cấp dữ liệu tới bộ giải đan xen thời gian 163.

Bộ giải đan xen thời gian 163 thực hiện giải đan xen thời gian trong đơn vị của ký hiệu, tương ứng với dữ liệu được cung cấp từ bộ giải mã SISO/MISO 162, và cung cấp dữ liệu tới bộ giải ánh xạ 164.

Bộ giải ánh xạ 164 thực hiện giải điều biến cầu phương bằng cách giải ánh xạ (thực hiện việc giải mã bố trí điểm tín hiệu trên) dữ liệu (dữ liệu trên chòm sao) từ bộ giải đan xen thời gian 163 dựa vào sự bố trí (chòm sao) của các điểm tín hiệu được quyết định trong điều biến cầu phương được thực hiện ở phía thiết bị truyền 11 và cung cấp dữ liệu thu được do đó tới bộ giải đan xen bit 165.

Bộ giải đan xen bit 165 thực hiện việc giải đan xen bit trên dữ liệu từ bộ giải ánh xạ 164 và cung cấp mã LDPC (LDPC hợp lệ) là dữ liệu sau khi giải đan xen bit tới bộ giải mã LDPC 166.

Bộ giải mã LDPC 166 thực hiện việc giải mã LDPC của mã LDPC được cung cấp từ bộ giải đan xen bit 165 và cung cấp dữ liệu đích LDPC (trong trường hợp này, mã BCH) thu được do đó tới bộ giải mã BCH 167.

Bộ giải mã BCH 167 thực hiện việc giải mã BCH của dữ liệu đích LDPC được cung cấp từ bộ giải mã LDPC 166 và cung cấp dữ liệu thu được do đó tới bộ giải xáo trộn BB 168.

Bộ giải xáo trộn BB 168 thực hiện việc giải xáo trộn BB tương ứng với dữ liệu được cung cấp từ bộ giải mã BCH 167 và cung cấp dữ liệu thu được do đó tới bộ xóa ký hiệu rỗng 169.

Bộ xóa ký hiệu rỗng 169 xóa ký hiệu rỗng được chèn bởi bộ đệm 112 trên Fig.8, từ dữ liệu được cung cấp từ bộ giải xáo trộn BB 168, và cung cấp dữ liệu tới bộ giải đa hợp 170.

Bộ giải đa hợp 170 tách riêng một hoặc nhiều dòng (dữ liệu đích) được dồn

kênh với dữ liệu được cung cấp từ bộ xóa ký hiệu rỗng 169, thực hiện quy trình xử lý cần để đưa ra các dòng là các dòng được đưa ra.

Ở đây, thiết bị thu 12 có thể được cấu hình không gồm có phần các khối được minh họa trên Fig.65. Nghĩa là, ví dụ, trong trường hợp ở đó thiết bị truyền 11 (Fig.8) được cấu hình không gồm có bộ đan xen thời gian 118, bộ mã hóa SISO/MISO 119, bộ đan xen tần số 120 và bộ đan xen tần số 124, thiết bị thu 12 có thể được cấu hình không gồm có bộ giải đan xen thời gian 163, bộ giải mã SISO/MISO 162, bộ giải đan xen tần số 161 và bộ giải đan xen tần số 153 mà là các khối lần lượt tương ứng với bộ đan xen thời gian 118, bộ mã hóa SISO/MISO 119, bộ đan xen tần số 120 và bộ đan xen tần số 124 của thiết bị truyền 11.

Fig.66 là sơ đồ khối minh họa ví dụ cấu hình của bộ giải đan xen bit 165 trên Fig.65.

Bộ giải đan xen bit 165 gồm có bộ đa hợp (MUX - multiplexer) 54 và bộ giải đan xen xoắn cột 55 và thực hiện giải đan xen các bit ký hiệu (bit) của ký hiệu mà là dữ liệu được cung cấp từ bộ giải ánh xạ 164 (Fig.65).

Nghĩa là, bộ đa hợp 54 thực hiện việc xử lý trao đổi ngược (việc xử lý ngược của việc xử lý trao đổi) tương ứng với việc xử lý trao đổi được thực hiện bởi bộ giải đa hợp 25 trên Fig.9, nghĩa là, việc xử lý trao đổi ngược để hoàn lại các vị trí của các bit mã (sự hợp lệ của các bit mã) của các mã LDPC được trao đổi bởi việc xử lý trao đổi tới các vị trí ban đầu, tương ứng với các bit ký hiệu của ký hiệu được cung cấp từ bộ giải ánh xạ 164, và cung cấp mã LDPC thu được do đó tới bộ giải đan xen xoắn cột 55.

Bộ giải đan xen xoắn cột 55 thực hiện giải đan xen xoắn cột (việc xử lý ngược của đan xen xoắn cột) tương ứng với đan xen xoắn cột là việc xử lý sắp xếp lại được thực hiện bởi bộ đan xen xoắn cột 24 trên Fig.9, nghĩa là, giải đan xen xoắn cột là việc xử lý sắp xếp lại ngược để hoàn lại các bit mã của các mã LDPC mà sự bố trí của nó được thay đổi bởi đan xen xoắn cột là việc xử lý sắp xếp lại tới sự bố trí ban đầu, tương ứng với mã LDPC được cung cấp từ bộ đa hợp 54.

Cụ thể là, bộ giải đan xen xoắn cột 55 ghi các bit mã của mã LDPC vào bộ nhớ để giải đan xen có cấu hình tương tự như bộ nhớ 31 được minh họa trên Fig.28, đọc các bit mã, và thực hiện giải đan xen xoắn cột.

Tuy nhiên, ở bộ giải đan xen xoắn cột 55, việc ghi các bit mã được thực hiện theo hướng hàng của bộ nhớ để giải đan xen, sử dụng các địa chỉ đọc khi các bit mã được đọc từ bộ nhớ 31 như các địa chỉ ghi. Ngoài ra, việc đọc của các bit mã được thực hiện theo hướng cột của bộ nhớ để giải đan xen, sử dụng các địa chỉ ghi khi các bit mã được ghi tới bộ nhớ 31 như các địa chỉ đọc.

Mã LDPC mà thu được do đó của giải đan xen xoắn cột được cung cấp từ bộ giải đan xen xoắn cột 55 tới bộ giải mã LDPC 166.

Ở đây, trong trường hợp ở đó đan xen chẵn lẻ, đan xen xoắn cột và việc xử lý trao đổi được thực hiện trên mã LDPC được cung cấp từ bộ giải ánh xạ 164 tới bộ giải đan xen bit 165, tất cả giải đan xen chẵn lẻ (việc xử lý ngược lại với đan xen chẵn lẻ, nghĩa là, giải đan xen chẵn lẻ mà hoàn lại các bit mã của mã LDPC trong đó sự bố trí được thay đổi bởi đan xen chẵn lẻ tới sự bố trí ban đầu) tương ứng với đan xen chẵn lẻ, xử lý trao đổi ngược tương ứng với việc xử lý trao đổi và giải đan xen xoắn cột tương ứng với đan xen xoắn cột có thể được thực hiện ở bộ giải đan xen bit 165.

Tuy nhiên, bộ giải đan xen bit 165 trên Fig.66 gồm có bộ đa hợp 54 thực hiện việc xử lý trao đổi ngược tương ứng với việc xử lý trao đổi và bộ giải đan xen xoắn cột 55 thực hiện giải đan xen xoắn cột tương ứng với đan xen xoắn cột, nhưng không gồm có khối thực hiện giải đan xen chẵn lẻ tương ứng với đan xen chẵn lẻ, và giải đan xen chẵn lẻ không được thực hiện.

Do đó, mã LDPC trong đó việc xử lý trao đổi ngược và giải đan xen xoắn cột được thực hiện và giải đan xen chẵn lẻ không được thực hiện được cung cấp từ (bộ giải đan xen xoắn cột 55 của) bộ giải đan xen bit 165 tới bộ giải mã LDPC 166.

Bộ giải mã LDPC 166 thực hiện việc giải mã LDPC của mã LDPC được cung cấp từ bộ giải đan xen bit 165, sử dụng ma trận kiểm tra chẵn lẻ được biến

đổi thu được bằng cách thực hiện ít nhất sự thay thế cột tương ứng với đan xen chẵn lẻ tương ứng với ma trận kiểm tra chẵn lẻ H được sử dụng bởi bộ mã hóa LDPC 115 trên Fig.8 để thực hiện việc mã hóa LDPC, và đưa ra dữ liệu thu được do đó tới kết quả giải mã của dữ liệu đích LDPC.

Fig.67 là lưu đồ minh họa quy trình xử lý mà được thực hiện bởi bộ giải ánh xạ 164, bộ giải đan xen bit 165, và bộ giải mã LDPC 166 trên Fig.66.

Ở bước S111, bộ giải ánh xạ 164 giải ánh xạ dữ liệu (dữ liệu trên chòm sao được ánh xạ tới điểm tín hiệu) được cung cấp từ bộ giải đan xen thời gian 163, thực hiện điều biến trực giao, và cung cấp ký hiệu tới bộ giải đan xen bit 165, và quy trình xử lý đến bước S112.

Ở bước S112, bộ giải đan xen bit 165 thực hiện giải đan xen (giải đan xen bit) của dữ liệu được cung cấp từ bộ giải ánh xạ 164 và quy trình xử lý đến bước S113.

Nghĩa là, ở bước S112, ở bộ giải đan xen bit 165, bộ đa hợp 54 thực hiện việc xử lý trao đổi ngược tương ứng với dữ liệu (tương ứng với các bit ký hiệu của ký hiệu) được cung cấp từ bộ giải ánh xạ 164 và cung cấp các bit mã của mã LDPC thu được do đó tới bộ giải đan xen xoắn cột 55.

Bộ giải đan xen xoắn cột 55 thực hiện giải đan xen xoắn cột tương ứng với mã LDPC được cung cấp từ bộ đa hợp 54 và cung cấp mã LDPC (sự hợp lệ của mã LDPC) thu được do đó tới bộ giải mã LDPC 166.

Ở bước S113, bộ giải mã LDPC 166 thực hiện việc giải mã LDPC của mã LDPC được cung cấp từ bộ giải đan xen xoắn cột 55, sử dụng ma trận kiểm tra chẵn lẻ được biến đổi thu được bằng cách thực hiện ít nhất sự thay thế cột tương ứng với đan xen chẵn lẻ tương ứng với ma trận kiểm tra chẵn lẻ H được sử dụng bởi bộ mã hóa LDPC 115 trên Fig.8 để thực hiện việc mã hóa LDPC, và đưa ra dữ liệu thu được do đó, như kết quả giải mã của dữ liệu đích LDPC, tới bộ giải mã BCH 167.

Trên Fig.66, để thuận tiện cho việc giải thích, bộ đa hợp 54 thực hiện việc xử lý trao đổi ngược và bộ giải đan xen xoắn cột 55 thực hiện giải đan xen xoắn cột được cấu hình riêng, tương tự như trường hợp trên Fig.9. Tuy nhiên, bộ đa hợp 54 và bộ giải đan xen xoắn cột 55 có thể được cấu hình nguyên khối.

Ở bộ đan xen bit 116 trên Fig.9, khi đan xen xoắn cột không được thực hiện, không cần bố trí bộ giải đan xen xoắn cột 55 ở bộ giải đan xen bit 165 trên Fig.66.

Tiếp theo, việc giải mã LDPC được thực hiện bởi bộ giải mã LDPC 166 trên Fig.65 sẽ còn được mô tả.

Ở bộ giải mã LDPC 166 trên Fig.65, như được mô tả ở trên, việc giải mã LDPC của mã LDPC từ bộ giải đan xen xoắn cột 55, trong đó việc xử lý trao đổi ngược và giải đan xen xoắn cột được thực hiện và giải đan xen chẵn lẻ không được thực hiện, được thực hiện nhờ sử dụng ma trận kiểm tra chẵn lẻ được biến đổi thu được bằng cách thực hiện ít nhất sự thay thế cột tương ứng với đan xen chẵn lẻ tương ứng với ma trận kiểm tra chẵn lẻ H được sử dụng bởi bộ mã hóa LDPC 115 trên Fig.8 để thực hiện việc mã hóa LDPC.

Trong trường hợp này, việc giải mã LDPC mà có thể triệt tần số hoạt động ở phạm vi có thể thực hiện đầy đủ trong khi triệt quy mô mạch, bằng cách thực hiện việc giải mã LDPC nhờ sử dụng ma trận kiểm tra chẵn lẻ được biến đổi, được đề xuất trước (ví dụ, dựa vào JP 4224777B).

Do đó, thứ nhất, việc giải mã LDPC được đề xuất trước sử dụng ma trận kiểm tra chẵn lẻ được biến đổi sẽ được mô tả dựa vào Fig.68 tới Fig.71.

Fig.68 minh họa ví dụ về ma trận kiểm tra chẵn lẻ H của mã LDPC trong đó độ dài mã N là 90 và tốc độ mã hóa là 2/3.

Trên Fig.68 (tương tự như Fig.69 và Fig.70 như được mô tả dưới đây), 0 được biểu diễn bởi dấu chấm (.).

Trong ma trận kiểm tra chẵn lẻ H trên Fig.68, ma trận chẵn lẻ trở thành cấu trúc bậc thang.

Fig.69 minh họa ma trận kiểm tra chẵn lẻ H' mà thu được bằng cách thực hiện sự thay thế hàng của biểu thức (11) và sự thay thế cột của biểu thức (12) tương ứng với ma trận kiểm tra chẵn lẻ H trên Fig.68.

Sự thay thế hàng: hàng thứ $(6s + t + 1) \rightarrow$ hàng thứ $(5t + s + 1) \cdots (11)$

Sự thay thế cột: cột thứ $(6x + y + 61) \rightarrow$ cột thứ $(5y + x + 61) \cdots (12)$

Trong các biểu thức (11) và (12), s , t , x , và y lần lượt là các số nguyên trong các phạm vi của $0 \leq s < 5$, $0 \leq t < 6$, $0 \leq x < 5$, và $0 \leq y < 6$.

Theo sự thay thế hàng của biểu thức (11), sự thay thế được thực hiện sao cho các hàng thứ 1, 7, 13, 19 và 25 có các số dư của 1 khi được chia cho 6 được thay thế với các hàng thứ 1, 2, 3, 4, và 5, và các hàng thứ 2, 8, 14, 20, và 26 có các số dư của 2 khi được chia cho 6 lần lượt được thay thế với các hàng thứ 6, 7, 8, 9, và 10.

Theo sự thay thế cột của biểu thức (12), sự thay thế được thực hiện sao cho các cột thứ 61, 67, 73, 79, và 85 có các số dư của 1 khi được chia cho 6 lần lượt được thay thế với các cột thứ 61, 62, 63, 64, và 65, và các cột thứ 62, 68, 74, 80, và 86 có các số dư của 2 khi được chia cho 6 lần lượt được thay thế với các cột thứ 66, 67, 68, 69, và 70, tương ứng với cột thứ 61 và các cột sau (ma trận chẵn lẻ).

Bằng cách này, ma trận thu được bằng cách thực hiện các thay thế của các hàng và các cột tương ứng với ma trận kiểm tra chẵn lẻ H trên Fig.68 là ma trận kiểm tra chẵn lẻ H' trên Fig.69.

Trong trường hợp này, thậm chí khi sự thay thế hàng của ma trận kiểm tra chẵn lẻ H được thực hiện, sự bố trí của các bit mã của mã LDPC không bị ảnh hưởng.

Sự thay thế cột của biểu thức (12) tương ứng với đan xen chẵn lẻ để đan xen bit mã thứ $(K + qx + y + 1)$ vào vị trí của bit mã thứ $(K + Py + x + 1)$, khi độ dài thông tin K là 60, số cột P của đơn vị cấu trúc tuần hoàn là 5, và số chia $q (= M/P)$ của độ dài chẵn lẻ M (trong trường hợp này, 30) là 6.

Do đó, ma trận kiểm tra chẵn lẻ H' trên Fig.69 là ma trận kiểm tra chẵn lẻ được biến đổi thu được bằng cách thực hiện ít nhất sự thay thế cột mà thay thế cột thứ $K+qx+y+1$ của ma trận kiểm tra chẵn lẻ H trên Fig.68 (mà có thể được gọi một cách tùy ý là ma trận kiểm tra chẵn lẻ ban đầu dưới đây) với cột thứ $K+Py+x+1$.

Nếu ma trận kiểm tra chẵn lẻ H' trên Fig.69 được nhân với kết quả thu được bằng cách thực hiện sự thay thế tương tự như biểu thức (12) tương ứng với mã LDPC của ma trận kiểm tra chẵn lẻ H trên Fig.68, vectơ không được đưa ra. Nghĩa là, nếu vectơ hàng thu được bằng cách thực hiện sự thay thế cột của biểu thức (12) tương ứng với vectơ hàng c khi mã LDPC (một từ mã) của ma trận kiểm tra chẵn lẻ ban đầu H được biểu diễn là c' , $Hc'T$ trở thành vectơ không từ tính chất của ma trận kiểm tra chẵn lẻ. Do đó, $Hc'T$ tự nhiên trở thành vectơ không.

Do đó, ma trận kiểm tra chẵn lẻ được biến đổi H' trên Fig.69 trở thành ma trận kiểm tra chẵn lẻ của mã LDPC c' mà thu được bằng cách thực hiện sự thay thế cột của biểu thức (12) tương ứng với mã LDPC c của ma trận kiểm tra chẵn lẻ ban đầu H .

Do đó, sự thay thế cột của biểu thức (12) được thực hiện tương ứng với mã LDPC của ma trận kiểm tra chẵn lẻ ban đầu H , mã LDPC c' sau khi sự thay thế cột được giải mã (giải mã LDPC) nhờ sử dụng ma trận kiểm tra chẵn lẻ được biến đổi H' trên Fig.69, sự thay thế ngược của sự thay thế cột của biểu thức (12) được thực hiện tương ứng với kết quả giải mã, và kết quả giải mã tương tự như trường hợp trong đó mã LDPC của ma trận kiểm tra chẵn lẻ ban đầu H được giải mã nhờ sử dụng ma trận kiểm tra chẵn lẻ H có thể thu được.

Fig.70 minh họa ma trận kiểm tra chẵn lẻ được biến đổi H' trên Fig.69 với được đặt cách trong các bộ của 5×5 ma trận.

Trên Fig.70, ma trận kiểm tra chẵn lẻ được biến đổi H' được biểu diễn bởi sự kết hợp của $5 \times 5 (= p \times p)$ ma trận đơn vị, ma trận (dưới đây, được đề cập đến một cách thích hợp là ma trận bán đơn vị) thu được bằng cách thiết đặt một hoặc nhiều 1 của ma trận đơn vị là không, ma trận (dưới đây, được đề cập đến một cách

thích hợp là ma trận được chuyển) thu được bằng cách chuyển theo chu kỳ ma trận đơn vị hoặc ma trận bán đơn vị, tổng (dưới đây, được đề cập đến một cách thích hợp là tổng ma trận) của hai hoặc nhiều ma trận của ma trận đơn vị, ma trận bán đơn vị, và ma trận được chuyển, và 5×5 ma trận không.

Ma trận kiểm tra chẵn lẻ được biến đổi H' trên Fig.70 có thể được cấu hình nhờ sử dụng 5×5 ma trận đơn vị, ma trận bán đơn vị, ma trận được chuyển, tổng ma trận, và ma trận không. Do đó, 5×5 ma trận (ma trận đơn vị, ma trận bán đơn vị, ma trận được chuyển, tổng ma trận, và ma trận không) mà cấu thành ma trận kiểm tra chẵn lẻ được biến đổi H' được đề cập đến một cách thích hợp là các ma trận cấu thành dưới đây.

Khi mã LDPC được thể hiện bởi ma trận kiểm tra chẵn lẻ được biểu diễn bởi $P \times P$ ma trận cấu thành được giải mã, kiến trúc trong đó các phép toán nút kiểm tra P và các phép toán nút biến đổi đồng thời được thực hiện có thể được sử dụng.

Fig.71 là sơ đồ khối minh họa ví dụ cấu hình của thiết bị giải mã mà thực hiện việc giải mã.

Nghĩa là, Fig.71 minh họa ví dụ cấu hình của thiết bị giải mã mà thực hiện việc giải mã của mã LDPC, sử dụng ma trận kiểm tra chẵn lẻ được biến đổi H' trên Fig.68 thu được bằng cách thực hiện ít nhất sự thay thế cột của biểu thức (12) tương ứng với ma trận kiểm tra chẵn lẻ ban đầu H trên Fig.70.

Thiết bị giải mã trên Fig.71 gồm có bộ nhớ lưu trữ dữ liệu nhánh 300 mà gồm có 6 FIFO 300₁ tới 300₆, bộ lựa chọn 301 lựa chọn các FIFO 300₁ tới 300₆, bộ tính nút kiểm tra 302, hai mạch dịch vị tuần hoàn 303 và 308, bộ nhớ lưu trữ dữ liệu nhánh 304 bao gồm 18 FIFO 304₁ tới 304₁₈, bộ lựa chọn 305 lựa chọn các FIFO 304₁ tới 304₁₈, bộ nhớ dữ liệu thu 306 lưu trữ dữ liệu thu, bộ tính nút biến đổi 307, bộ tính từ giải mã 309, bộ sắp xếp lại dữ liệu thu 310, và bộ sắp xếp lại dữ liệu được giải mã 311.

Thứ nhất, phương pháp lưu trữ dữ liệu trong các bộ nhớ lưu trữ dữ liệu

nhánh 300 và 304 sẽ được mô tả.

Bộ nhớ lưu trữ dữ liệu nhánh 300 gồm có 6 FIFO 300_1 tới 300_6 tương ứng với số thu được bằng cách chia số hàng 30 của ma trận kiểm tra chẵn lẻ được biến đổi H' trên Fig.70 cho số hàng 5 của ma trận cấu thành (số cột P của đơn vị cấu trúc tuần hoàn). FIFO 300_y ($y = 1, 2, \dots$, và 6) gồm có các bước của các vùng lưu trữ. Trong vùng lưu trữ của mỗi bước, các thông điệp tương ứng với năm nhánh là số hàng và số cột của ma trận cấu thành (số cột P của đơn vị cấu trúc tuần hoàn) có thể đồng thời được đọc hoặc được ghi. Số lượng các bước của các vùng lưu trữ của FIFO 300_y trở thành 9 là số tối đa của số (Trọng số Hamming) 1 của hướng hàng của ma trận kiểm tra chẵn lẻ được biến đổi trên Fig.70.

Trên FIFO 300_1 , dữ liệu (các thông điệp v_i từ các nút biến đổi) tương ứng với các vị trí của 1 trên các hàng thứ nhất tới thứ năm của ma trận kiểm tra chẵn lẻ được biến đổi H' trên Fig.70 được lưu trữ dưới hình thức lấp đầy mỗi hàng theo hướng ngang (hình thức trong đó 0 được bỏ qua). Nghĩa là, nếu hàng thứ j và cột thứ i được biểu diễn là (j, i) , dữ liệu tương ứng với các vị trí của 1 của 5×5 ma trận đơn vị của $(1, 1)$ tới $(5, 5)$ của ma trận kiểm tra chẵn lẻ được biến đổi H' được lưu trữ trong vùng lưu trữ của bước thứ nhất của FIFO 300_1 . Trong vùng lưu trữ của bước thứ hai, dữ liệu tương ứng với các vị trí của 1 của ma trận được chuyển (ma trận được chuyển thu được bằng cách chuyển theo chu kỳ 5×5 ma trận đơn vị tới phía bên phải bởi 3) của $(1, 21)$ tới $(5, 25)$ của ma trận kiểm tra chẵn lẻ được biến đổi H' được lưu trữ. Tương tự như trường hợp ở trên, trong các vùng lưu trữ của các bước thứ ba tới thứ tám, dữ liệu được lưu trữ liên quan tới ma trận kiểm tra chẵn lẻ được biến đổi H' . Trong vùng lưu trữ của bước thứ chín, dữ liệu tương ứng với các vị trí của 1 của ma trận được chuyển (ma trận được chuyển thu được bằng cách thay thế 1 của hàng thứ nhất của 5×5 ma trận đơn vị với 0 và chuyển theo chu kỳ ma trận đơn vị tới phía bên trái bởi 1) của $(1, 86)$ tới $(5, 90)$ của ma trận kiểm tra chẵn lẻ được biến đổi H' được lưu trữ.

Trên FIFO 300_2 , dữ liệu tương ứng với các vị trí của 1 ở các hàng thứ sáu tới thứ mười của ma trận kiểm tra chẵn lẻ được biến đổi H' trên Fig.70 được lưu trữ.

Nghĩa là, trong vùng lưu trữ của bước thứ nhất của FIFO 300₂, dữ liệu tương ứng với các vị trí của 1 của ma trận thứ nhất được chuyển cấu thành tổng ma trận (tổng ma trận là tổng của ma trận thứ nhất được chuyển thu được bằng cách chuyển theo chu kỳ 5×5 ma trận đơn vị tới phía bên phải bởi 1 và ma trận thứ hai được chuyển thu được bằng cách chuyển theo chu kỳ 5×5 ma trận đơn vị tới phía bên phải bởi 2) của (6, 1) tới (10, 5) của ma trận kiểm tra chẵn lẻ được biến đổi H' được lưu trữ. Ngoài ra, trong vùng lưu trữ của bước thứ hai, dữ liệu tương ứng với các vị trí của 1 của ma trận thứ hai được chuyển cấu thành tổng ma trận của (6, 1) tới (10, 5) của ma trận kiểm tra chẵn lẻ được biến đổi H' được lưu trữ.

Nghĩa là, tương ứng với ma trận cấu thành mà trọng số của nó là hai hoặc nhiều hơn, khi ma trận cấu thành được thể hiện bởi tổng của nhiều phần của $P \times P$ ma trận đơn vị mà trọng số của nó là 1, ma trận bán đơn vị trong đó một hoặc nhiều phần tử 1 trong ma trận đơn vị trở thành 0, hoặc ma trận được chuyển thu được bằng cách chuyển theo chu kỳ ma trận đơn vị hoặc ma trận bán đơn vị, dữ liệu (các thông điệp tương ứng với các nhánh thuộc về ma trận đơn vị, ma trận bán đơn vị, hoặc ma trận được chuyển) tương ứng với các vị trí của 1 trong ma trận đơn vị của trọng số 1, ma trận bán đơn vị, hoặc ma trận được chuyển được lưu trữ ở cùng địa chỉ (FIFO tương tự giữa FIFO 300₁ tới 300₆).

Tiếp theo, trong các vùng lưu trữ của các bước thứ ba tới thứ chín, dữ liệu được lưu trữ liên quan tới ma trận kiểm tra chẵn lẻ được biến đổi H', tương tự như trường hợp ở trên.

Trên FIFO 300₃ tới 300₆, dữ liệu được lưu trữ liên quan tới ma trận kiểm tra chẵn lẻ được biến đổi H', tương tự như trường hợp ở trên.

Bộ nhớ lưu trữ dữ liệu nhánh 304 gồm có 18 FIFO 304₁ tới 304₁₈ tương ứng với số thu được bằng cách chia số cột 90 của ma trận kiểm tra chẵn lẻ được biến đổi H' cho 5 là số cột của ma trận cấu thành (số cột P của đơn vị cấu trúc tuần hoàn). FIFO 304_x ($x = 1, 2, \dots$, và 18) gồm có các bước của các vùng lưu trữ. Trong vùng lưu trữ của mỗi bước, các thông điệp tương ứng với năm nhánh tương

ứng với số hàng và số cột của ma trận cấu thành (số cột P của đơn vị cấu trúc tuần hoàn) có thể đồng thời được đọc hoặc được ghi.

Trên FIFO 304₁, dữ liệu (các thông điệp u_j từ các nút kiểm tra) tương ứng với các vị trí của 1 ở cột thứ nhất tới thứ năm của ma trận kiểm tra chẵn lẻ được biến đổi H' trên Fig.70 được lưu trữ dưới hình thức lấp đầy mỗi cột theo hướng dọc (hình thức trong đó 0 được bỏ qua). Nghĩa là, nếu hàng thứ j và cột thứ i được biểu diễn là (j, i), dữ liệu tương ứng với các vị trí của 1 của 5×5 ma trận đơn vị của (1, 1) tới (5, 5) của ma trận kiểm tra chẵn lẻ được biến đổi H' được lưu trữ trong vùng lưu trữ của bước thứ nhất của FIFO 304₁. Trong vùng lưu trữ của bước thứ hai, dữ liệu tương ứng với các vị trí của 1 của ma trận thứ nhất được chuyển cấu thành tổng ma trận (tổng ma trận là tổng của ma trận thứ nhất được chuyển thu được bằng cách chuyển theo chu kỳ 5×5 ma trận đơn vị tới phía bên phải bởi 1 và ma trận thứ hai được chuyển thu được bằng cách chuyển theo chu kỳ 5×5 ma trận đơn vị tới phía bên phải bởi 2) của (6, 1) tới (10, 5) của ma trận kiểm tra chẵn lẻ được biến đổi H' được lưu trữ. Ngoài ra, trong vùng lưu trữ của bước thứ ba, dữ liệu tương ứng với các vị trí của 1 của ma trận thứ hai được chuyển cấu thành tổng ma trận của (6, 1) tới (10, 5) của ma trận kiểm tra chẵn lẻ được biến đổi H' được lưu trữ.

Nghĩa là, tương ứng với ma trận cấu thành mà trọng số của nó là hai hoặc nhiều hơn, khi ma trận cấu thành được thể hiện bởi tổng của nhiều phần của $P \times P$ ma trận đơn vị mà trọng số của nó là 1, ma trận bán đơn vị trong đó một hoặc nhiều phần tử 1 trong ma trận đơn vị trở thành 0, hoặc ma trận được chuyển thu được bằng cách chuyển theo chu kỳ ma trận đơn vị hoặc ma trận bán đơn vị, dữ liệu (các thông điệp tương ứng với các nhánh thuộc về ma trận đơn vị, ma trận bán đơn vị, hoặc ma trận được chuyển) tương ứng với các vị trí của 1 trong ma trận đơn vị của trọng số của 1, ma trận bán đơn vị, hoặc ma trận được chuyển được lưu trữ ở cùng địa chỉ (FIFO tương tự giữa FIFO 304₁ tới 304₁₈).

Tiếp theo, trong các vùng lưu trữ của bước thứ tư và bước thứ năm, dữ liệu được lưu trữ liên quan tới ma trận kiểm tra chẵn lẻ được biến đổi H', tương tự như

trường hợp ở trên. Số lượng các bước của các vùng lưu trữ của FIFO 304₁ trở thành 5 là số tối đa của số (Trọng số Hamming) 1 của hướng hàng ở cột thứ nhất tới thứ năm của ma trận kiểm tra chẵn lẻ được biến đổi H'.

Trên FIFO 304₂ và FIFO 304₃, dữ liệu được lưu trữ liên quan tới ma trận kiểm tra chẵn lẻ được biến đổi H', tương tự như trường hợp ở trên, và mỗi độ dài (số lượng các bước) là 5. Trên FIFO 304₄ tới 304₁₂, dữ liệu được lưu trữ liên quan tới ma trận kiểm tra chẵn lẻ được biến đổi H', tương tự như trường hợp ở trên, và mỗi độ dài là 3. Trên FIFO 304₁₃ tới 304₁₈, dữ liệu được lưu trữ liên quan tới ma trận kiểm tra chẵn lẻ được biến đổi H', tương tự như trường hợp ở trên, và mỗi độ dài là 2.

Tiếp theo, hoạt động của thiết bị giải mã trên Fig.71 sẽ được mô tả.

Bộ nhớ lưu trữ dữ liệu nhánh 300 gồm có 6 FIFO 300₁ tới 300₆. Theo thông tin (ma trận dữ liệu) D312 trên đó hàng của ma trận kiểm tra chẵn lẻ được biến đổi H' trên Fig.70 năm thông điệp D311 được cung cấp từ mạch dịch vị tuần hoàn 308 của bước trước thuộc về, FIFO lưu trữ dữ liệu được lựa chọn từ FIFO 300₁ tới 300₆ và năm thông điệp D311 được lưu trữ chung liên tục trên FIFO được lựa chọn. Khi dữ liệu được đọc, bộ nhớ lưu trữ dữ liệu nhánh 300 liên tục đọc năm thông điệp D300₁ từ FIFO 300₁ và cung cấp các thông điệp tới bộ lựa chọn 301 của bước tiếp theo. Sau khi việc đọc của các thông điệp từ FIFO 300₁ kết thúc, bộ nhớ lưu trữ dữ liệu nhánh 300 đọc các thông điệp liên tục từ FIFO 300₂ tới 300₆ và cung cấp các thông điệp tới bộ lựa chọn 301.

Bộ lựa chọn 301 lựa chọn năm thông điệp từ FIFO mà từ đó dữ liệu hiện tại được đọc, giữa FIFO 300₁ tới 300₆, theo tín hiệu lựa chọn D301, và cung cấp các thông điệp được lựa chọn là các thông điệp D302 tới bộ tính nút kiểm tra 302.

Bộ tính nút kiểm tra 302 gồm có năm bộ tính nút kiểm tra 302₁ tới 302₅. Bộ tính nút kiểm tra 302 thực hiện phép toán nút kiểm tra theo biểu thức (7), sử dụng các thông điệp D302 (D302₁ tới D302₅) (các thông điệp v_i của biểu thức 7) được cung cấp qua bộ lựa chọn 301, và cung cấp năm thông điệp D303 (D303₁ tới

D303₅) (các thông điệp u_j của biểu thức (7)) thu được do đó của phép toán nút kiểm tra tới mạch dịch vị tuần hoàn 303.

Mạch dịch vị tuần hoàn 303 chuyển theo chu kỳ năm thông điệp D303₁ tới D303₅ được tính bởi bộ tính nút kiểm tra 302, trên cơ sở thông tin (ma trận dữ liệu) D305 trên bao nhiêu ma trận đơn vị (hoặc ma trận bán đơn vị) trở thành gốc trong ma trận kiểm tra chẵn lẻ được biến đổi H' được chuyển theo chu kỳ để thu được các nhánh tương ứng, và cung cấp kết quả là các thông điệp D304 tới bộ nhớ lưu trữ dữ liệu nhánh 304.

Bộ nhớ lưu trữ dữ liệu nhánh 304 gồm có mười tám FIFO 304₁ tới 304₁₈. Theo thông tin D305 trên đó hàng của ma trận kiểm tra chẵn lẻ được biến đổi H' năm thông điệp D304 được cung cấp từ mạch dịch vị tuần hoàn 303 của bước trước thuộc về, FIFO lưu trữ dữ liệu được lựa chọn từ FIFO 304₁ tới 304₁₈ và năm thông điệp D304 được lưu trữ chung liên tục trong FIFO được lựa chọn. Khi dữ liệu được đọc, bộ nhớ lưu trữ dữ liệu nhánh 304 liên tục đọc năm thông điệp D304₁ từ FIFO 304₁ và cung cấp các thông điệp tới bộ lựa chọn 305 của bước tiếp theo. Sau khi việc đọc của các thông điệp từ FIFO 304₁ kết thúc, bộ nhớ lưu trữ dữ liệu nhánh 304 đọc các thông điệp liên tục từ FIFO 304₂ tới 304₁₈ và cung cấp các thông điệp tới bộ lựa chọn 305.

Bộ lựa chọn 305 lựa chọn năm thông điệp từ FIFO mà từ đó dữ liệu hiện tại được đọc, giữa FIFO 304₁ tới 304₁₈, theo tín hiệu lựa chọn D307, và cung cấp các thông điệp được lựa chọn là các thông điệp D308 tới bộ tính nút biến đổi 307 và bộ tính từ giải mã 309.

Trong khi đó, bộ sắp xếp lại dữ liệu thu 310 sắp xếp lại mã LDPC D313, mà tương ứng với ma trận kiểm tra chẵn lẻ H trên Fig.68, được thu qua đường truyền 13 bằng cách thực hiện sự thay thế cột của biểu thức (12) và cung cấp mã LDPC là dữ liệu thu D314 tới bộ nhớ dữ liệu thu 306. Bộ nhớ dữ liệu thu 306 tính LLR thu (Log Likelihood Ratio - Tỷ số logarit hợp lệ) từ dữ liệu thu D314 được cung cấp từ bộ sắp xếp lại dữ liệu thu 310, lưu trữ LLR thu, tập trung năm LLR như vậy, và cung cấp LLR như vậy là giá trị như vậy D309 tới bộ tính nút biến đổi

307 và bộ tính từ giải mã 309.

Bộ tính nút biến đổi 307 gồm có năm bộ tính nút biến đổi 307₁ tới 307₅. Bộ tính nút biến đổi 307 thực hiện phép toán nút biến đổi theo biểu thức (1), sử dụng các thông điệp D308 (D308₁ tới D308₅) (các thông điệp u_j của biểu thức (1)) được cung cấp qua bộ lựa chọn 305 và năm giá trị như vậy D309 (giá trị như vậy u_{0i} của biểu thức (1)) được cung cấp từ bộ nhớ dữ liệu thu 306, và cung cấp các thông điệp D310 (D310₁ tới D310₅) (thông điệp v_i của biểu thức (1)) thu được là kết quả phép toán mạch dịch vị tuần hoàn 308.

Mạch dịch vị tuần hoàn 308 chuyển theo chu kỳ thông điệp D310₁ tới D310₅ được tính bởi bộ tính nút biến đổi 307, trên cơ sở thông tin trên bao nhiêu ma trận đơn vị (hoặc ma trận bán đơn vị) trở thành gốc trong ma trận kiểm tra chẵn lẻ được biến đổi H' được chuyển theo chu kỳ để thu được các nhánh tương ứng, và cung cấp kết quả là các thông điệp D311 tới bộ nhớ lưu trữ dữ liệu nhánh 300.

Bằng cách tính phép toán ở trên trong một chu kỳ, việc giải mã (phép toán nút biến đổi và phép toán nút kiểm tra) của mã LDPC có thể được thực hiện một lần. Sau khi giải mã mã LDPC bởi số lần định trước, thiết bị giải mã trên Fig.71 tính kết quả giải mã cuối cùng và đưa ra kết quả giải mã cuối cùng, ở bộ tính từ giải mã 309 và bộ sắp xếp lại dữ liệu được giải mã 311.

Nghĩa là, bộ tính từ giải mã 309 gồm có năm bộ tính từ giải mã 309₁ tới 309₅. Bộ tính từ giải mã 309 tính kết quả giải mã (từ giải mã) trên cơ sở biểu thức (5), là bước cuối cùng của bộ số giải mã, sử dụng năm thông điệp D308 (D308₁ tới D308₅) (các thông điệp u_j của biểu thức) được đưa ra bởi bộ lựa chọn 305 và năm giá trị như vậy D309 (giá trị như vậy u_{0i} của biểu thức (5)) được cung cấp từ bộ nhớ dữ liệu thu 306, và cung cấp dữ liệu được giải mã D315 thu được do đó tới bộ sắp xếp lại dữ liệu được giải mã 311.

Bộ sắp xếp lại dữ liệu được giải mã 311 thực hiện sự thay thế ngược của sự thay thế cột của biểu thức (12) tương ứng với dữ liệu được giải mã D315 được cung cấp từ bộ tính từ giải mã 309, sắp xếp lại thứ tự của nó, và đưa ra dữ liệu

được giải mã là kết quả giải mã cuối cùng D316.

Như được đề cập ở trên, bằng cách thực hiện một hoặc cả sự thay thế hàng và sự thay thế cột trên ma trận kiểm tra chẵn lẻ (ma trận kiểm tra chẵn lẻ ban đầu) và biến đổi nó thành ma trận kiểm tra chẵn lẻ (ma trận kiểm tra chẵn lẻ được biến đổi) mà có thể được thể hiện bởi sự kết hợp của $p \times p$ ma trận đơn vị, ma trận bán đơn vị trong đó một hoặc nhiều phần tử 1 của nó trở thành 0, ma trận được chuyển mà chuyển theo chu kỳ ma trận đơn vị hoặc ma trận bán đơn vị, tổng ma trận mà là tổng của hai hoặc nhiều ma trận đơn vị, ma trận bán đơn vị và ma trận được chuyển, và $p \times p$ 0 ma trận, nghĩa là, sự kết hợp của các ma trận cấu thành, như đối với việc giải mã mã LDPC, nó trở thành có thể chấp nhận kiến trúc mà đồng thời thực hiện phép tính nút kiểm tra và phép tính nút thay đổi bởi P là số ít hơn số hàng và số cột của ma trận kiểm tra chẵn lẻ. Trong trường hợp chấp nhận kiến trúc mà đồng thời thực hiện phép tính nút (phép tính nút kiểm tra và phép tính nút thay đổi) bởi P là số ít hơn số hàng và số cột của ma trận kiểm tra chẵn lẻ, như được so sánh với trường hợp ở đó phép tính nút đồng thời được thực hiện bởi số tương đương với số hàng và số cột của ma trận kiểm tra chẵn lẻ, có thể tiết kiệm số hoạt động trong phạm vi khả thi và thực hiện nhiều mục của giải mã lặp lại.

Bộ giải mã LDPC 166 cấu thành thiết bị thu 12 trên Fig.65 thực hiện việc giải mã LDPC bằng cách đồng thời thực hiện các phép toán nút kiểm tra P và các phép toán nút biến đổi N , tương tự như thiết bị giải mã trên Fig.71.

Nghĩa là, để đơn giản hóa phần giải thích, nếu ma trận kiểm tra chẵn lẻ của mã LDPC được đưa ra bởi bộ mã hóa LDPC 115 cấu thành thiết bị truyền 11 trên Fig.8 được liên quan đến như ma trận kiểm tra chẵn lẻ H được minh họa trên Fig.68 trong đó ma trận chẵn lẻ trở thành cấu trúc bậc thang, ở bộ đan xen chẵn lẻ 23 của thiết bị truyền 11, đan xen chẵn lẻ để đan xen bit mã thứ $(K + qx + y + 1)$ vào vị trí của bit mã thứ $(K + Py + x + 1)$ được thực hiện ở trạng thái trong đó thông tin K được thiết đặt tới 60, số cột P của đơn vị cấu trúc tuần hoàn được thiết đặt tới 5, và số chia $q (= M/P)$ của độ dài chẵn lẻ M được thiết đặt tới 6.

Vì đan xen chẵn lẻ tương ứng với sự thay thế cột của biểu thức (12) như

được mô tả ở trên, không cần thực hiện sự thay thế cột của biểu thức (12) ở bộ giải mã LDPC 166.

Vì lý do này, ở thiết bị thu 12 trên Fig.65, như được mô tả ở trên, mã LDPC trong đó giải đan xen chẵn lẻ không được thực hiện, nghĩa là, mã LDPC ở trạng thái trong đó sự thay thế cột của biểu thức (12) được thực hiện được cung cấp từ bộ giải đan xen xoắn cột 55 tới bộ giải mã LDPC 166. Ở bộ giải mã LDPC 166, quy trình xử lý tương tự như thiết bị giải mã trên Fig.71, ngoại trừ sự thay thế cột của biểu thức (12) không được thực hiện, được thực hiện.

Nghĩa là, Fig.72 minh họa ví dụ cấu hình của bộ giải mã LDPC 166 trên Fig.65.

Trên Fig.72, bộ giải mã LDPC 166 có cấu hình tương tự như thiết bị giải mã trên Fig.71, ngoại trừ bộ sắp xếp lại dữ liệu thu 310 trên Fig.71 không được bố trí, và thực hiện quy trình xử lý tương tự như thiết bị giải mã trên Fig.71, ngoại trừ sự thay thế cột của biểu thức (12) không được thực hiện. Do đó, phần giải thích của bộ giải mã LDPC được bỏ qua.

Như được mô tả ở trên, vì bộ giải mã LDPC 166 có thể được cấu hình mà không bố trí bộ sắp xếp lại dữ liệu thu 310, quy mô có thể được giảm xuống khi được so sánh với thiết bị giải mã trên Fig.71.

Trên Fig.68 tới Fig.72, để đơn giản hóa phần giải thích, độ dài mã N là mã LDPC được thiết đặt tới 90, độ dài thông tin K được thiết đặt tới 60, số cột (số hàng và số cột của ma trận cấu thành) P của đơn vị cấu trúc tuần hoàn được thiết đặt tới 5, và số chia q ($= M/P$) của độ dài chẵn lẻ M được thiết đặt tới 6. Tuy nhiên, độ dài mã N , độ dài thông tin K , số cột P của đơn vị cấu trúc tuần hoàn và số chia q ($= M/P$) không bị giới hạn ở các giá trị ở trên.

Nghĩa là, ở thiết bị truyền 11 trên Fig.8, bộ mã hóa LDPC 115 đưa ra mã LDPC trong đó độ dài mã N được thiết đặt tới 64800 hoặc 16200, độ dài thông tin K được thiết đặt tới $N - Pq$ ($= N - M$), số cột P của đơn vị cấu trúc tuần hoàn được thiết đặt tới 360, và số chia q được thiết đặt tới M/P . Tuy nhiên, bộ giải mã LDPC

166 trên Fig.72 có thể được ứng dụng tới trường hợp trong đó phép toán nút kiểm tra P và các phép toán nút biến đổi N đồng thời được thực hiện tương ứng với mã LDPC và việc giải mã LDPC được thực hiện.

Fig.73 là hình vẽ minh họa quy trình xử lý của bộ đa hợp 54 cấu thành bộ giải đan xen bit 165 trên Fig.66.

Nghĩa là, A trên Fig.73 minh họa ví dụ cấu hình chức năng của bộ đa hợp 54.

Bộ đa hợp 54 gồm có bộ trao đổi ngược 1001 và bộ nhớ 1002.

Bộ đa hợp 54 thực hiện việc xử lý trao đổi ngược (việc xử lý ngược của việc xử lý trao đổi) tương ứng với việc xử lý trao đổi được thực hiện bởi bộ giải đa hợp 25 của thiết bị truyền 11, nghĩa là, việc xử lý trao đổi ngược để hoàn lại các vị trí của các bit mã (các bit ký hiệu) của các mã LDPC được trao đổi bởi việc xử lý trao đổi tới các vị trí ban đầu, tương ứng với các bit ký hiệu của ký hiệu được cung cấp từ bộ giải ánh xạ 164 của bước trước, và cung cấp mã LDPC thu được do đó tới bộ giải đan xen xoắn cột 55 của bước sau.

Nghĩa là, ở bộ đa hợp 54, các bit ký hiệu $y_0, y_1, \dots$, và y_{mb-1} của các bit mb của các ký hiệu b được cung cấp tới bộ trao đổi ngược 1001 trong đơn vị của các ký hiệu b (liên tiếp).

Bộ trao đổi ngược 1001 thực hiện trao đổi ngược để hoàn lại các bit ký hiệu $y_0, y_1, \dots$, và y_{mb-1} của các bit mb tới sự bố trí của các bit mã $b_0, b_1, \dots$, và b_{mb-1} của các bit ban đầu mb (sự bố trí của các bit mã b_0 tới b_{mb-1} trước khi trao đổi được thực hiện ở bộ trao đổi 32 cấu thành bộ giải đa hợp 25 của phía thiết bị truyền 11) và đưa ra các bit mã b_0 tới b_{mb-1} của các bit mb thu được do đó.

Bộ nhớ 1002 có dung lượng lưu trữ để lưu trữ các bit mb theo hướng hàng (ngang) và lưu trữ bit $N/(mb)$ theo hướng cột (dọc), tương tự như bộ nhớ 31 cấu thành bộ giải đa hợp 25 của phía của thiết bị truyền 11. Nghĩa là, bộ nhớ 1002 bao gồm các cột mb lưu trữ $N/(mb)$ bit.

Tuy nhiên, ở bộ nhớ 1002, việc ghi của các bit mã của mã LDPC được đưa ra bởi bộ trao đổi ngược 1001 được thực hiện theo hướng trong đó việc đọc của các bit mã từ bộ nhớ 31 của bộ giải đa hợp 25 của thiết bị truyền 11 được thực hiện và việc đọc của các bit mã được ghi tới bộ nhớ 1002 được thực hiện theo hướng trong đó việc ghi của các bit mã tới bộ nhớ 31 được thực hiện.

Nghĩa là, ở bộ đa hợp 54 của thiết bị thu 12, như được minh họa bởi A trên Fig.73, việc ghi của các bit mã của mã LDPC được đưa ra bởi bộ trao đổi ngược 1001 theo hướng hàng trong đơn vị của các bit mb liên tục được thực hiện hướng tới các hàng thấp hơn từ hàng thứ nhất của bộ nhớ 1002.

Nếu việc ghi của các bit mã tương ứng với một độ dài mã kết thúc, bộ đa hợp 54 đọc các bit mã từ bộ nhớ 1002 theo hướng cột và cung cấp các bit mã tới bộ giải đan xen xoắn cột 55 của bước sau.

Trong trường hợp này, B trên Fig.73 là hình vẽ minh họa việc đọc của các bit mã từ bộ nhớ 1002.

Ở bộ đa hợp 54, việc đọc của các bit mã của mã LDPC theo hướng đi xuống (hướng cột) từ phía trên của các cột cấu thành bộ nhớ 1002 được thực hiện hướng tới các cột của hướng bên phải từ phía bên trái.

Fig.74 là hình vẽ minh họa quy trình xử lý của bộ giải đan xen xoắn cột 55 cấu thành bộ giải đan xen bit 165 trên Fig.66.

Nghĩa là, Fig.74 minh họa ví dụ cấu hình của bộ nhớ 1002 của bộ đa hợp 54.

Bộ nhớ 1002 có dung lượng lưu trữ để lưu trữ các bit mb theo hướng cột (đọc) và lưu trữ bit $N/(mb)$ theo hướng hàng (ngang) và gồm có các cột mb.

Bộ giải đan xen xoắn cột 55 ghi các bit mã của mã LDPC tới bộ nhớ 1002 theo hướng hàng, điều khiển vị trí bắt đầu đọc khi các bit mã được đọc theo hướng cột, và thực hiện giải đan xen xoắn cột.

Nghĩa là, ở bộ giải đan xen xoắn cột 55, vị trí bắt đầu đọc để bắt đầu việc

đọc của các bit mã được thay đổi một cách thích hợp tương ứng với mỗi cột và việc xử lý sắp xếp lại ngược để hoàn lại sự bố trí của các bit mã được sắp xếp lại bởi đan xen xoắn cột tới sự bố trí ban đầu được thực hiện.

Trong trường hợp này, Fig.74 minh họa ví dụ cấu hình của bộ nhớ 1002 khi phương pháp điều biến là 16APSK, 16QAM hoặc tương tự và bội số b là 1, được mô tả trên Fig.28. Trong trường hợp này, số bit m của một ký hiệu là 4 bit và bộ nhớ 1002 gồm có bốn cột ($= mb$).

Bộ giải đan xen xoắn cột 55, (thay thế bộ đa hợp 54), liên tục thực hiện việc ghi của các bit mã của mã LDPC được đưa ra bởi bộ trao đổi ngược 1001 theo hướng hàng, hướng tới các hàng thấp hơn từ hàng thứ nhất của bộ nhớ 1002.

Nếu việc ghi của các bit mã tương ứng với một độ dài mã kết thúc, bộ giải đan xen xoắn cột 55 thực hiện việc đọc của các bit mã theo hướng đi xuống (hướng cột) từ phía trên của bộ nhớ 1002, hướng tới các cột của hướng bên phải từ phía bên trái.

Tuy nhiên, bộ giải đan xen xoắn cột 55 thực hiện việc đọc của các bit mã từ bộ nhớ 1002, sử dụng vị trí bắt đầu ghi để ghi các bit mã bởi bộ đan xen xoắn cột 24 của phía thiết bị truyền 11 là vị trí bắt đầu đọc của các bit mã.

Nghĩa là, nếu địa chỉ của vị trí của phía đầu (đỉnh) của mỗi cột được thiết đặt tới 0 và địa chỉ của mỗi vị trí của hướng cột được thể hiện bởi số nguyên của thứ tự tăng dần, khi phương pháp điều biến là 16APSK hoặc 16QAM và bội số b là 1, ở bộ giải đan xen xoắn cột 55, vị trí bắt đầu đọc được thiết đặt là vị trí mà địa chỉ của nó là 0, đối với cột ngoài cùng bên trái. Đối với cột thứ hai (từ phía bên trái), vị trí bắt đầu đọc được thiết đặt là vị trí mà địa chỉ của nó là 2. Đối với cột thứ ba, vị trí bắt đầu đọc được thiết đặt là vị trí mà địa chỉ của nó là 4. Đối với cột thứ tư, vị trí bắt đầu đọc được thiết đặt là vị trí mà địa chỉ của nó là 7.

Tương ứng với các cột trong đó các vị trí bắt đầu đọc là các vị trí khác ngoài vị trí mà địa chỉ của nó là 0, sau khi việc đọc của các bit mã được thực hiện ở vị trí thấp nhất, vị trí hoàn lại ở phía đầu (vị trí mà địa chỉ của nó là 0), và việc

đọc ở vị trí ngay trước vị trí bắt đầu đọc được thực hiện. Sau đó, việc đọc từ cột tiếp theo (bên phải) được thực hiện.

Bằng cách thực hiện giải đan xen xoắn cột được mô tả ở trên, sự bố trí của các bit mã được sắp xếp lại bởi đan xen xoắn cột hoàn lại sự bố trí ban đầu.

Fig.75 là sơ đồ khối minh họa ví dụ cấu hình khác của bộ giải đan xen bit 165 trên Fig.65.

Trên các hình vẽ, các phần mà tương ứng với trường hợp trên Fig.66 được biểu thị với các số chỉ dẫn giống nhau và phần giải thích của nó được bỏ qua một cách thích hợp dưới đây.

Nghĩa là, bộ giải đan xen bit 165 trên Fig.75 có cấu hình tương tự như trường hợp trên Fig.66, ngoại trừ bộ giải đan xen chẵn lẻ 1011 mới được bố trí.

Trên Fig.75, bộ giải đan xen bit 165 gồm có bộ đa hợp (MUX - multiplexer) 54, bộ giải đan xen xoắn cột 55, và bộ giải đan xen chẵn lẻ 1011 và thực hiện giải đan xen bit trong các bit mã của mã LDPC được cung cấp từ bộ giải ánh xạ 164.

Nghĩa là, bộ đa hợp 54 thực hiện việc xử lý trao đổi ngược (việc xử lý ngược của việc xử lý trao đổi) tương ứng với việc xử lý trao đổi được thực hiện bởi bộ giải đa hợp 25 của thiết bị truyền 11, nghĩa là, việc xử lý trao đổi ngược để hoàn lại các vị trí của các bit mã được trao đổi bởi việc xử lý trao đổi ở các vị trí ban đầu, tương ứng với mã LDPC được cung cấp từ bộ giải ánh xạ 164, và cung cấp mã LDPC thu được do đó tới bộ giải đan xen xoắn cột 55.

Bộ giải đan xen xoắn cột 55 thực hiện giải đan xen xoắn cột tương ứng với đan xen xoắn cột khi việc xử lý sắp xếp lại được thực hiện bởi bộ đan xen xoắn cột 24 của thiết bị truyền 11, tương ứng với mã LDPC được cung cấp từ bộ đa hợp 54.

Mã LDPC mà thu được do đó của giải đan xen xoắn cột được cung cấp từ bộ giải đan xen xoắn cột 55 tới bộ giải đan xen chẵn lẻ 1011.

Bộ giải đan xen chẵn lẻ 1011 thực hiện giải đan xen chẵn lẻ (việc xử lý

ngược của đan xen chẵn lẻ) tương ứng với đan xen chẵn lẻ được thực hiện bởi bộ đan xen chẵn lẻ 23 của thiết bị truyền 11, nghĩa là, giải đan xen chẵn lẻ để hoàn lại sự bố trí của các bit mã của mã LDPC mà sự bố trí của nó được thay đổi bởi đan xen chẵn lẻ ở sự bố trí ban đầu, tương ứng với các bit mã sau khi giải đan xen xoắn cột ở bộ giải đan xen xoắn cột 55.

Mã LDPC mà thu được do đó của giải đan xen chẵn lẻ được cung cấp từ bộ giải đan xen chẵn lẻ 1011 tới bộ giải mã LDPC 166.

Do đó, ở bộ giải đan xen bit 165 trên Fig.75, mã LDPC trong đó việc xử lý trao đổi ngược, giải đan xen xoắn cột, và giải đan xen chẵn lẻ được thực hiện, nghĩa là, mã LDPC mà thu được bởi việc mã hóa LDPC theo ma trận kiểm tra chẵn lẻ H được cung cấp tới bộ giải mã LDPC 166.

Bộ giải mã LDPC 166 thực hiện việc giải mã LDPC của mã LDPC từ bộ giải đan xen bit 165 bởi việc sử dụng ma trận kiểm tra chẵn lẻ H được sử dụng để mã hóa LDPC bởi bộ mã hóa LDPC 115 của thiết bị truyền 11. Nghĩa là, bộ giải mã LDPC 166 thực hiện việc giải mã LDPC của mã LDPC từ bộ giải đan xen bit 165 bởi việc sử dụng của chính ma trận kiểm tra chẵn lẻ H được sử dụng để mã hóa LDPC bởi bộ mã hóa LDPC 115 của thiết bị truyền 11 hoặc bởi việc sử dụng ma trận kiểm tra chẵn lẻ được biến đổi thu được bằng cách thực hiện ít nhất sự thay thế cột tương ứng với đan xen chẵn lẻ tương ứng với ma trận kiểm tra chẵn lẻ H.

Trên Fig.75, mã LDPC mà thu được bởi mã hóa LDPC theo ma trận kiểm tra chẵn lẻ H được cung cấp từ (bộ giải đan xen chẵn lẻ 1011 của) bộ giải đan xen bit 165 tới bộ giải mã LDPC 166. Vì lý do này, khi việc giải mã LDPC của mã LDPC được thực hiện sử dụng ma trận kiểm tra chẵn lẻ H được sử dụng bởi bộ mã hóa LDPC 115 của thiết bị truyền 11 để thực hiện việc mã hóa LDPC, bộ giải mã LDPC 166 có thể được cấu hình bởi thiết bị giải mã thực hiện việc giải mã LDPC theo phương pháp giải mã theo thứ tự đầy đủ để thực hiện liên tục các phép toán của các thông điệp (thông điệp nút kiểm tra và thông điệp nút biến đổi) cho mỗi nút hoặc thiết bị giải mã thực hiện việc giải mã LDPC theo phương pháp giải mã

song song đầy đủ để đồng thời (song song) thực hiện các phép toán của các thông điệp cho tất cả các nút.

Ở bộ giải mã LDPC 166, khi việc giải mã LDPC của mã LDPC được thực hiện sử dụng ma trận kiểm tra chẵn lẻ được biến đổi thu được bằng cách thực hiện ít nhất sự thay thế cột tương ứng với đan xen chẵn lẻ tương ứng với ma trận kiểm tra chẵn lẻ H được sử dụng bởi bộ mã hóa LDPC 115 của thiết bị truyền 11 để thực hiện việc mã hóa LDPC, bộ giải mã LDPC 166 có thể được cấu hình bởi thiết bị giải mã (Fig.71) là thiết bị giải mã của kiến trúc đồng thời thực hiện P (hoặc số chia của P khác ngoài 1) phép toán các nút kiểm tra và các phép toán nút biến đổi N và có bộ sắp xếp lại dữ liệu thu 310 để thực hiện sự thay thế cột tương tự như sự thay thế cột để thu được ma trận kiểm tra chẵn lẻ được biến đổi tương ứng với mã LDPC và sắp xếp lại các bit mã của mã LDPC.

Trên Fig.75, để thuận tiện cho việc giải thích, bộ đa hợp 54 thực hiện việc xử lý trao đổi ngược, bộ giải đan xen xoắn cột 55 thực hiện giải đan xen xoắn cột, và bộ giải đan xen chẵn lẻ 1011 thực hiện giải đan xen chẵn lẻ được cấu hình riêng. Tuy nhiên, hai hoặc nhiều phần tử của bộ đa hợp 54, bộ giải đan xen xoắn cột 55, và bộ giải đan xen chẵn lẻ 1011 có thể được cấu hình nguyên khối, tương tự như bộ đan xen chẵn lẻ 23, bộ đan xen xoắn cột 24, và bộ giải đa hợp 25 của thiết bị truyền 11.

Ngoài ra, trong trường hợp ở đó bộ đan xen bit 116 (Fig.8) của thiết bị truyền 11 được cấu hình không gồm có bộ đan xen chẵn lẻ 23 và bộ đan xen xoắn cột 24, trên Fig.75, bộ giải đan xen bit 165 có thể được cấu hình không gồm có bộ giải đan xen xoắn cột 55 và bộ giải đan xen chẵn lẻ 1011.

Thậm chí trong trường hợp này, bộ giải mã LDPC 166 có thể được cấu hình với thiết bị giải mã của phương pháp giải mã theo thứ tự đầy đủ để thực hiện việc giải mã LDPC bởi việc sử dụng chính ma trận kiểm tra chẵn lẻ H, thiết bị giải mã của phương pháp giải mã song song đầy đủ để thực hiện việc giải mã LDPC bởi việc sử dụng chính ma trận kiểm tra chẵn lẻ H, và thiết bị giải mã (Fig.71) có bộ sắp xếp lại dữ liệu thu 310 mà thực hiện việc giải mã LDPC bởi các phép tính

nút kiểm tra P đồng thời và các phép tính nút thay đổi bởi việc sử dụng ma trận kiểm tra chẵn lẻ được biến đổi H'.

Ví dụ cấu hình của hệ thống thu

Fig.76 là sơ đồ khối minh họa ví dụ cấu hình thứ nhất của hệ thống thu mà có thể được ứng dụng tới thiết bị thu 12.

Trên Fig.76, hệ thống thu bao gồm bộ thu nhận 1101, bộ xử lý giải mã đường truyền 1102, và bộ xử lý giải mã nguồn thông tin 1103.

Bộ thu nhận 1101 thu nhận tín hiệu gồm có mã LDPC thu được bằng cách thực hiện ít nhất việc mã hóa LDPC tương ứng với dữ liệu đích LDPC như dữ liệu hình ảnh hoặc dữ liệu âm thanh của chương trình, qua đường truyền (đường truyền) không được minh họa trên các hình vẽ, như phát rộng kỹ thuật số mặt đất, phát rộng kỹ thuật số vệ tinh, mạng CATV, Internet, hoặc các mạng khác, và cung cấp tín hiệu tới bộ xử lý giải mã đường truyền 1102.

Trong trường hợp này, khi tín hiệu được thu nhận bởi bộ thu nhận 1101 phát rộng từ trạm phát rộng qua sóng mặt đất, sóng vệ tinh, hoặc mạng CATV (Cable Television – truyền hình cáp), bộ thu nhận 1101 được cấu hình sử dụng nút chỉnh và STB (Set Top Box – Hộp đặt trên nóc). Khi tín hiệu được thu nhận bởi bộ thu nhận 1101 được truyền từ máy chủ web bằng cách phát đa phương như IPTV (Internet Protocol Television – Truyền hình qua giao thức Internet), bộ thu nhận 1101 được cấu hình sử dụng mạng I/F (Interface – Giao diện) như NIC (Network Interface Card – Thẻ giao diện mạng).

Bộ xử lý giải mã đường truyền 1102 tương ứng với thiết bị thu 12. Bộ xử lý giải mã đường truyền 1102 thực hiện quy trình xử lý giải mã đường truyền gồm có ít nhất quy trình xử lý để sửa lỗi được tạo ra ở đường truyền, tương ứng với tín hiệu được thu nhận bởi bộ thu nhận 1101 qua đường truyền, và cung cấp tín hiệu thu được do đó tới bộ xử lý giải mã nguồn thông tin 1103.

Nghĩa là, tín hiệu mà được thu nhận bởi bộ thu nhận 1101 qua đường

truyền là tín hiệu mà thu được bằng cách thực hiện ít nhất mã hóa sửa lỗi để sửa lỗi được tạo ra ở đường truyền. Bộ xử lý giải mã đường truyền 1102 thực hiện quy trình xử lý giải mã đường truyền như quy trình sửa lỗi, tương ứng với tín hiệu.

Với việc mã hóa sửa lỗi, ví dụ, việc mã hóa LDPC hoặc việc mã hóa BCH tồn tại. Trong trường hợp này, với việc mã hóa sửa lỗi, ít nhất việc mã hóa LDPC được thực hiện.

Quy trình xử lý giải mã đường truyền gồm có việc giải điều biến của tín hiệu điều biến.

Bộ xử lý giải mã nguồn thông tin 1103 thực hiện việc xử lý giải mã nguồn thông tin gồm có ít nhất quy trình xử lý để mở rộng thông tin được nén tới thông tin ban đầu, tương ứng với tín hiệu trên đó quy trình xử lý giải mã đường truyền được thực hiện.

Nghĩa là, mã hóa nén mà nén thông tin có thể được thực hiện tương ứng với tín hiệu được thu nhận bởi bộ thu nhận 1101 qua đường truyền để giảm xuống lượng dữ liệu hình ảnh hoặc âm thanh tương ứng với thông tin. Trong trường hợp này, bộ xử lý giải mã nguồn thông tin 1103 thực hiện việc xử lý giải mã nguồn thông tin như quy trình xử lý (quy trình mở rộng) để mở rộng thông tin được nén tới thông tin ban đầu, tương ứng với tín hiệu trên đó quy trình xử lý giải mã đường truyền được thực hiện.

Khi việc mã hóa nén không được thực hiện tương ứng với tín hiệu được thu nhận bởi bộ thu nhận 1101 qua đường truyền, quy trình xử lý để mở rộng thông tin được nén tới thông tin ban đầu không được thực hiện ở bộ xử lý giải mã nguồn thông tin 1103.

Trong trường hợp này, với quy trình mở rộng, ví dụ, việc giải mã MPEG tồn tại. Trong quy trình xử lý giải mã đường truyền, ngoài quy trình mở rộng, giải xáo trộn có thể được bao gồm.

Trong hệ thống thu mà được cấu hình như được mô tả ở trên, ở bộ thu nhận

1101, tín hiệu trong đó việc mã hóa nén như việc mã hóa MPEG và việc mã hóa sửa lỗi như việc mã hóa LDPC được thực hiện tương ứng với dữ liệu như hình ảnh hoặc âm thanh được thu nhận qua đường truyền và được cung cấp tới bộ xử lý giải mã đường truyền 1102.

Ở bộ xử lý giải mã đường truyền 1102, quy trình xử lý tương tự như thiết bị thu 12 thực hiện như quy trình xử lý giải mã đường truyền tương ứng với tín hiệu được cung cấp từ bộ thu nhận 1101 và tín hiệu thu được do đó được cung cấp tới bộ xử lý giải mã nguồn thông tin 1103.

Ở bộ xử lý giải mã nguồn thông tin 1103, việc xử lý giải mã nguồn thông tin như việc giải mã MPEG được thực hiện tương ứng với tín hiệu được cung cấp từ bộ xử lý giải mã đường truyền 1102 và hình ảnh hoặc âm thanh thu được do đó được đưa ra.

Hệ thống thu trên Fig.76 được mô tả ở trên có thể được ứng dụng tới nút chỉnh tỉ vi để thu truyền hình tương ứng với truyền hình kỹ thuật số.

Mỗi bộ thu nhận 1101, bộ xử lý giải mã đường truyền 1102, và bộ xử lý giải mã nguồn thông tin 1103 có thể được cấu hình như một thiết bị độc lập (phần cứng (IC (Integrated Circuit – Mạch tích hợp) và tương tự) hoặc môđun phần mềm).

Tương ứng với bộ thu nhận 1101, bộ xử lý giải mã đường truyền 1102, và bộ xử lý giải mã nguồn thông tin 1103, mỗi tập hợp bộ thu nhận 1101 và bộ xử lý giải mã đường truyền 1102, tập hợp bộ xử lý giải mã đường truyền 1102 và bộ xử lý giải mã nguồn thông tin 1103, và tập hợp bộ thu nhận 1101, bộ xử lý giải mã đường truyền 1102, và bộ xử lý giải mã nguồn thông tin 1103 có thể được cấu hình như một thiết bị độc lập.

Fig.77 là sơ đồ khối minh họa ví dụ cấu hình thứ hai của hệ thống thu mà có thể được ứng dụng tới thiết bị thu 12.

Trên các hình vẽ, các phần mà tương ứng với trường hợp trên Fig.76 được

biểu thị với các số chỉ dẫn giống nhau và phần giải thích của nó được bỏ qua một cách thích hợp dưới đây.

Hệ thống thu trên Fig.77 phổ biến với trường hợp trên Fig.76 trong đó bộ thu nhận 1101, bộ xử lý giải mã đường truyền 1102, và bộ xử lý giải mã nguồn thông tin 1103 được bố trí và khác với trường hợp trên Fig.76 trong đó bộ đầu ra 1111 mới được bố trí.

Bộ đầu ra 1111 là thiết bị hiển thị để hiển thị hình ảnh hoặc loa để đưa ra âm thanh và đưa ra hình ảnh hoặc âm thanh tương ứng với tín hiệu được đưa ra từ bộ xử lý giải mã nguồn thông tin 1103. Nghĩa là, bộ đầu ra 1111 hiển thị hình ảnh hoặc đưa ra âm thanh.

Hệ thống thu trên Fig.77 được mô tả ở trên có thể được ứng dụng tới TV (bộ thu truyền hình) thu phát rộng truyền hình tương ứng với truyền hình kỹ thuật số hoặc bộ thu radio thu phát rộng âm thanh.

Khi việc mã hóa nén không được thực hiện tương ứng với tín hiệu được thu nhận ở bộ thu nhận 1101, tín hiệu mà được đưa ra bởi bộ xử lý giải mã đường truyền 1102 được cung cấp tới bộ đầu ra 1111.

Fig.78 là sơ đồ khối minh họa ví dụ cấu hình thứ ba của hệ thống thu mà có thể được ứng dụng tới thiết bị thu 12.

Trên các hình vẽ, các phần mà tương ứng với trường hợp trên Fig.76 được biểu thị với các số chỉ dẫn giống nhau và phần giải thích của nó được bỏ qua một cách thích hợp dưới đây.

Hệ thống thu trên Fig.78 phổ biến với trường hợp trên Fig.76 trong đó bộ thu nhận 1101 và bộ xử lý giải mã đường truyền 1102 được bố trí.

Tuy nhiên, hệ thống thu trên Fig.78 khác với trường hợp trên Fig.76 trong đó bộ xử lý giải mã nguồn thông tin 1103 không được bố trí và bộ ghi 1121 mới được bố trí.

Bộ ghi 1121 ghi (lưu trữ) tín hiệu (ví dụ, các gói TS của TS của MPEG)

được đưa ra bởi bộ xử lý giải mã đường truyền 1102 trên phương tiện ghi (lưu trữ) như đĩa quang, đĩa cứng (đĩa từ), và bộ nhớ nhanh.

Hệ thống thu trên Fig.78 được mô tả ở trên có thể được ứng dụng tới bộ ghi mà ghi truyền hình.

Trên Fig.78, hệ thống thu được cấu hình bằng cách bố trí bộ xử lý giải mã nguồn thông tin 1103 và có thể ghi tín hiệu thu được bằng cách thực hiện việc xử lý giải mã nguồn thông tin bởi bộ xử lý giải mã nguồn thông tin 1103, nghĩa là, hình ảnh hoặc âm thanh thu được bằng cách giải mã, bởi bộ ghi 1121.

Phương án của máy tính

Tiếp theo, một loạt quy trình xử lý được mô tả ở trên có thể được thực hiện bởi phần cứng hoặc có thể được thực hiện bởi phần mềm. Trong trường hợp trong đó một loạt quy trình xử lý được thực hiện bởi phần mềm, chương trình cấu hình phần mềm được lắp đặt ở máy tính dùng cho mục đích chung.

Do đó, Fig.130 minh họa ví dụ cấu hình của phương án của máy tính trong đó chương trình thực hiện một loạt quy trình xử lý được lắp đặt.

Chương trình có thể được ghi trước trên đĩa cứng 705 và ROM 703 tương ứng với phương tiện ghi được gắn vào ở máy tính.

Ngoài ra, chương trình có thể tạm thời hoặc vĩnh viễn được lưu trữ (được ghi) trên vật ghi tháo được 711 như đĩa linh hoạt, CD-ROM (Compact Disc Read Only Memory – Bộ nhớ chỉ đọc đĩa compắc), đĩa MO (Magneto Optical – Từ quang), DVD (Digital Versatile Disc – Đĩa đa dụng số), đĩa từ, và bộ nhớ bán dẫn. Vật ghi tháo được 711 có thể được bố trí cái được gọi là phần mềm gói.

Chương trình được lắp đặt từ vật ghi tháo được 711 vào máy tính. Ngoài ra, chương trình có thể được truyền từ trang web tải về tới máy tính bằng cách không dây qua vệ tinh nhân tạo để phát rộng vệ tinh kỹ thuật số hoặc có thể được truyền tới máy tính bằng cách có dây qua mạng như LAN (Local Area Network – Mạng vùng cục bộ) hoặc Internet. Máy tính có thể thu chương trình được truyền như

được mô tả ở trên bởi bộ truyền thông 708 và lắp đặt chương trình ở đĩa cứng được gắn vào 705.

Máy tính gồm có CPU (Central Processing Unit – Bộ xử lý trung tâm) 702 được gắn vào ở đó. Giao diện vào/ra 710 được nối với CPU 702 qua bus 701. Nếu người sử dụng thao tác bộ đầu vào 707 được cấu hình nhờ sử dụng bàn phím, chuột, và micrô và lệnh được đưa vào qua giao diện vào/ra 710, CPU 702 thực hiện chương trình được lưu trữ trong ROM (Read Only Memory - Bộ nhớ chỉ đọc) 703, theo lệnh. Ngoài ra, CPU 702 tải chương trình được lưu trữ ở đĩa cứng 705, chương trình được truyền từ vệ tinh hoặc mạng, được thu bởi bộ truyền thông 708, và được lắp đặt ở đĩa cứng 705, hoặc chương trình được đọc từ vật ghi tháo được 711 được lắp đặt vào ổ đĩa 709 và được lắp đặt trong đĩa cứng 705 vào RAM (Random Access Memory – Bộ nhớ truy cập ngẫu nhiên) 704 và thực hiện chương trình. Do đó, CPU 702 thực hiện quy trình xử lý theo các lưu đồ được mô tả ở trên hoặc quy trình xử lý được thực hiện bởi các cấu hình của sơ đồ các khối được mô tả ở trên. Ngoài ra, CPU 702 đưa ra kết quả quy trình xử lý từ bộ đầu ra 706 được cấu hình sử dụng LCD (Liquid Crystal Display – Màn hình tinh thể lỏng) hoặc loa, truyền kết quả xử lý từ bộ truyền thông 708, và ghi kết quả xử lý trên đĩa cứng 705, qua giao diện vào/ra 710, theo nhu cầu.

Trong phần đặc điểm kỹ thuật này, không cần xử lý các bước xử lý mô tả chương trình để làm cho máy tính thực hiện quy trình xử lý khác theo loạt thời gian theo thứ tự được mô tả như các lưu đồ và quy trình xử lý được thực hiện song song hoặc riêng (ví dụ, quy trình xử lý song song hoặc quy trình xử lý sử dụng đối tượng) cũng được bao gồm.

Chương trình có thể được xử lý bởi một máy tính hoặc có thể được xử lý bởi các máy tính bằng cách được phân phối. Chương trình có thể được truyền tới máy tính từ xa và có thể được thực hiện.

Phương án của sáng chế không không bị giới hạn ở các phương án được mô tả ở trên, và các thay đổi và các sửa đổi khác có thể được thực hiện không đi lệch phạm vi của sáng chế.

Nghĩa là, ví dụ, (bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ của) mã 16k được mô tả ở trên cho Sx có thể được sử dụng thậm chí nếu đường truyền 13 (Fig.7) là bất kỳ trong số mạch vệ tinh, sóng mặt đất, cáp (mạch dây) và khác. Ngoài ra, mã 16k cho Sx cũng có thể được sử dụng để truyền dữ liệu khác ngoài truyền hình kỹ thuật số.

Danh mục các số chỉ dẫn

- 11 Thiết bị truyền
- 12 Thiết bị thu
- 23 Bộ đan xen chẵn lẻ
- 24 Bộ đan xen xoắn cột
- 25 Bộ giải đa hợp
- 31 Bộ nhớ
- 32 Bộ trao đổi
- 54 Bộ đa hợp
- 55 Bộ giải đan xen xoắn cột
- 111 Bộ đa hợp/chấp nhận chế độ
- 112 Bộ đệm
- 113 Bộ xáo trộn BB
- 114 Bộ mã hóa BCH
- 115 Bộ mã hóa LDPC
- 116 Bộ đan xen bit
- 117 Bộ ánh xạ
- 118 Bộ đan xen thời gian

- 119 Bộ mã hóa SISO/MISO
- 120 Bộ đan xen tần số
- 121 Bộ mã hóa BCH
- 122 Bộ mã hóa LDPC
- 123 Bộ ánh xạ
- 124 Bộ đan xen tần số
- 131 Bộ cấp phát tài nguyên/bộ xây dựng khung
- 132 Bộ tạo OFDM
- 151 Bộ thao tác OFDM
- 152 Bộ quản lý khung
- 153 Bộ giải đan xen tần số
- 154 Bộ giải ánh xạ
- 155 Bộ giải mã LDPC
- 156 Bộ giải mã BCH
- 161 Bộ giải đan xen tần số
- 162 Bộ giải mã SISO/MISO
- 163 Bộ giải đan xen thời gian
- 164 Bộ giải ánh xạ
- 165 Bộ giải đan xen bit
- 166 Bộ giải mã LDPC
- 167 Bộ giải mã BCH
- 168 Bộ giải xáo trộn BB

- 169 Bộ xóa ký hiệu rỗng
- 170 Bộ giải đa hợp
- 210 Bộ Tx
- 211 Bộ FEC
- 212 Bộ ánh xạ
- 213 Bộ lấy mẫu tăng
- 214 Bộ lọc Nyquist
- 220 Bộ Rx
- 221 Bộ AGC
- 222 Bộ đa hợp
- 223 Bộ lọc giảm xuống dao động
- 224 Bộ lấy mẫu giảm
- 225 Bộ CSI
- 226 Bộ giải ánh xạ
- 227 Bộ FEC
- 230 Bộ kênh
- 231 Bộ IBO
- 232 Bộ đa hợp
- 233 Bộ TWTA
- 234 Bộ AWGN
- 235 Bộ cộng
- 300 Bộ nhớ lưu trữ dữ liệu nhánh

- 301 Bộ lựa chọn
- 302 Bộ tính nút kiểm tra
- 303 Mạch dịch vị tuần hoàn
- 304 Bộ nhớ lưu trữ dữ liệu nhánh
- 305 Bộ lựa chọn
- 306 Bộ nhớ dữ liệu thu
- 307 Bộ tính nút biến đổi
- 308 Mạch dịch vị tuần hoàn
- 309 Bộ tính từ giải mã
- 310 Bộ sắp xếp lại dữ liệu thu
- 311 Bộ sắp xếp lại dữ liệu được giải mã
- 601 Bộ xử lý mã hóa
- 602 Bộ lưu trữ
- 611 Bộ thiết đặt tốc độ mã hóa
- 612 Bộ đọc bảng giá trị ban đầu
- 613 Bộ tạo ma trận kiểm tra chẵn lẻ
- 614 Bộ đọc bit thông tin
- 615 Bộ thao tác chẵn lẻ mã hóa
- 616 Bộ điều khiển
- 701 Bus
- 702 CPU
- 703 ROM

704	RAM
705	Đĩa cứng
706	Bộ đầu ra
707	Bộ đầu vào
708	Bộ truyền thông
709	Ổ đĩa
710	giao diện vào/ra
711	Vật ghi tháo được
1001	Bộ trao đổi ngược
1002	Bộ nhớ
1011	Bộ giải đan xen chẵn lẻ
1101	Bộ thu nhận
1101	Bộ xử lý giải mã đường truyền
1103	Bộ xử lý giải mã nguồn thông tin
1111	Bộ đầu ra
1121	Bộ ghi

YÊU CẦU BẢO HỘ

1. Thiết bị xử lý dữ liệu bao gồm:

mạch mã hóa được tạo cấu hình để thực hiện quá trình mã hóa LDPC (Low Density Parity Check - Kiểm tra chẵn lẻ mật độ thấp) dựa trên ma trận kiểm tra chẵn lẻ của mã LDPC trong đó độ dài mã là 16200 bit và an tốc độ mã hóa là 8/15;

mạch đan xen bit được tạo cấu hình để trao đổi các bit mã của mã LDPC trong đó độ dài mã là 16200 bit và tốc độ mã hóa là 8/15 với các bit ký hiệu của ký hiệu tương ứng với điểm tín hiệu bất kỳ trong số 8 điểm tín hiệu được xác định bởi khóa dịch pha 8 mức (8-level phase-shift keying - 8PSK), và đưa các bit mã đã được trao đổi đối với sự truyền đến thiết bị thu; và

mạch truyền được tạo cấu hình để truyền các bit mã đã được trao đổi được đưa ra đến thiết bị thu,

trong đó, khi 3 bit trong số các bit mã được lưu trữ trong ba bộ phận của các bộ lưu trữ có khả năng lưu trữ là $16200/3$ bit và đọc từng bit từ các bộ phận của bộ lưu trữ được cấp phát cho một ký hiệu, bit thứ $(\#i+1)$ từ bit quan trọng nhất trong số 3 bit trong số các bit mã được thiết đặt là bit $b\#i$, bit thứ $(\#i+1)$ từ bit quan trọng nhất trong số 3 bit trong số các bit ký hiệu của một ký hiệu được thiết đặt là bit $y\#i$, và mạch đan xen bit trao đổi

bit b_0 với bit y_1 ,

bit b_1 với bit y_0 , và

bit b_2 với bit y_2 ,

trong đó mã LDPC bao gồm các bit thông tin và các bit chẵn lẻ, trong đó ma trận kiểm tra chẵn lẻ bao gồm an phần ma trận thông tin tương ứng với các bit thông tin và phần ma trận chẵn lẻ tương ứng với các bit chẵn lẻ,

trong đó phần ma trận thông tin được thể hiện bởi bảng giá trị ban đầu ma

trận kiểm tra chẵn lẻ, và

trong đó bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ là bảng thể hiện các vị trí của các phần tử là 1 của phân ma trận thông tin đối với mỗi 360 cột và được biểu diễn như sau:

32 384 430 591 1296 1976 1999 2137 2175 3638 4214 4304 4486 4662
4999 5174 5700 6969 7115 7138 7189

1788 1881 1910 2724 4504 4928 4973 5616 5686 5718 5846 6523 6893
6994 7074 7100 7277 7399 7476 7480 7537

2791 2824 2927 4196 4298 4800 4948 5361 5401 5688 5818 5862 5969
6029 6244 6645 6962 7203 7302 7454 7534

574 1461 1826 2056 2069 2387 2794 3349 3366 4951 5826 5834 5903
6640 6762 6786 6859 7043 7418 7431 7554

14 178 675 823 890 930 1209 1311 2898 4339 4600 5203 6485 6549 6970
7208 7218 7298 7454 7457 7462

4075 4188 7313 7553

5145 6018 7148 7507

3198 4858 6983 7033

3170 5126 5625 6901

2839 6093 7071 7450

11 3735 5413

2497 5400 7238

2067 5172 5714

1889 7173 7329

1795 2773 3499

2695 2944 6735

3221 4625 5897

1690 6122 6816

5013 6839 7358

1601 6849 7415

2180 7389 7543

2121 6838 7054

1948 3109 5046

272 1015 7464.

2. Thiết bị xử lý dữ liệu theo điểm 1, trong đó mạch đan xen bit trao đổi các bit mã của 3x1 bit của mã LDPC mà được ghi theo hướng cột và đọc theo hướng hàng của bộ phận lưu trữ bao gồm ba cột mà lưu trữ 3x1 bit theo hướng hàng và lưu trữ 16200/(3x1) bit theo hướng cột.

3. Thiết bị xử lý dữ liệu bao gồm:

mạch mã hóa được tạo cấu hình để thực hiện quá trình mã hóa LDPC kiểm tra chẵn lẻ mật độ thấp dựa trên ma trận kiểm tra chẵn lẻ của mã LDPC trong đó độ dài mã là 16200 bit và tốc độ mã hóa là 8/15;

mạch đan xen bit được tạo cấu hình để trao đổi các bit mã của mã LDPC trong đó độ dài mã là 16200 bit và tốc độ mã hóa là 8/15 với các bit ký hiệu của ký hiệu tương ứng với điểm tín hiệu bất kỳ trong số 8 điểm tín hiệu được xác định bởi khóa dịch pha 8 mức (8PSK), và đưa các bit mã đã được trao đổi cho việc truyền đến thiết bị thu; và

mạch truyền được tạo cấu hình để truyền các bit mã đã được trao đổi được đưa ra đến thiết bị thu,

trong đó, khi 3 bit trong số các bit mã được lưu trữ trong ba đơn vị của các bộ nhớ có khả năng lưu trữ là 16200/3 bit và đọc từng bit từ các bộ phận của bộ lưu trữ được cấp phát cho một ký hiệu, bit thứ ($i+1$) từ bit quan trọng nhất trong số 3 bit trong số các bit mã được thiết đặt là bit $b\#i$, bit thứ ($i+1$) từ bit quan trọng nhất trong số 3 bit của các bit ký hiệu của một ký hiệu được thiết đặt là bit $y\#i$, và mạch đan xen bit trao đổi:

bit $b0$ với bit $y1$,

bit $b1$ với bit $y0$, và

bit $b2$ với bit $y2$,

trong đó mã LDPC bao gồm các bit thông tin và các bit chẵn lẻ, trong đó ma trận kiểm tra chẵn lẻ bao gồm phần ma trận thông tin tương ứng với các bit thông tin và phần ma trận chẵn lẻ tương ứng với các bit chẵn lẻ, trong đó phần ma trận thông tin được thể hiện bởi bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ, và trong đó bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ là bảng thể hiện các vị trí của các phần tử của 1 của phần ma trận thông tin đối với mỗi 360 cột và được biểu diễn như sau:

32 384 430 591 1296 1976 1999 2137 2175 3638 4214 4304 4486 4662
4999 5174 5700 6969 7115 7138 7189

1788 1881 1910 2724 4504 4928 4973 5616 5686 5718 5846 6523 6893
6994 7074 7100 7277 7399 7476 7480 7537

2791 2824 2927 4196 4298 4800 4948 5361 5401 5688 5818 5862 5969
6029 6244 6645 6962 7203 7302 7454 7534

574 1461 1826 2056 2069 2387 2794 3349 3366 4951 5826 5834 5903
6640 6762 6786 6859 7043 7418 7431 7554

23600

14 178 675 823 890 930 1209 1311 2898 4339 4600 5203 6485 6549 6970
7208 7218 7298 7454 7457 7462

4075 4188 7313 7553

5145 6018 7148 7507

3198 4858 6983 7033

3170 5126 5625 6901

2839 6093 7071 7450

11 3735 5413

2497 5400 7238

2067 5172 5714

1889 7173 7329

1795 2773 3499

2695 2944 6735

3221 4625 5897

1690 6122 6816

5013 6839 7358

1601 6849 7415

2180 7389 7543

2121 6838 7054

1948 3109 5046

272 1015 7464.

4. Thiết bị xử lý dữ liệu bao gồm:

mạch mã hóa được tạo cấu hình để thực hiện quá trình mã hóa LDPC kiểm tra chẵn lẻ mật độ thấp dựa trên ma trận kiểm tra chẵn lẻ của mã LDPC trong đó độ dài mã là 16200 bit và tốc độ mã hóa là 8/15;

mạch đan xen bit được tạo cấu hình để trao đổi các bit mã của mã LDPC trong đó độ dài mã là 16200 bit và tốc độ mã hóa là 8/15 với các bit ký hiệu của ký hiệu tương ứng với điểm tín hiệu bất kỳ trong số 16 điểm tín hiệu được xác định bởi khóa dịch biên độ và pha 16-ary (16-ary Amplitude and Phase Shift Keying - 16APSK), và đưa các bit mã đã được biến đổi cho việc truyền đến thiết bị thu; và

mạch truyền được tạo cấu hình để truyền các bit mã đã được trao đổi được đưa ra đến thiết bị thu

trong đó, khi 4 bit trong số các bit mã được lưu trữ trong bốn bộ phận của các bộ lưu trữ có khả năng lưu trữ là $16200/4$ bit và đọc từng bit từ các bộ phận của bộ lưu trữ được cấp phát cho một ký hiệu, bit thứ $(\#i+1)$ từ bit quan trọng nhất trong số 4 bit trong số các bit mã được thiết đặt là bit $b\#i$, bit thứ $(\#i+1)$ từ bit quan trọng nhất trong số 4 bit trong số các bit ký hiệu của một ký hiệu được thiết đặt là bit $y\#i$, và mạch đan xen bit trao đổi

bit $b0$ với bit $y2$,

bit $b1$ với bit $y1$,

bit $b2$ với bit $y0$, và

bit $b3$ với bit $y3$,

trong đó mã LDPC bao gồm các bit thông tin và các bit chẵn lẻ, trong đó ma trận kiểm tra chẵn lẻ bao gồm: phần ma trận thông tin tương ứng với các bit thông tin và phần ma trận chẵn lẻ tương ứng với các bit chẵn lẻ, trong đó phần ma trận thông tin được thể hiện bởi bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ, và trong đó bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ là bảng thể hiện các vị trí

của các phần tử của 1 của phần ma trận thông tin đối với mỗi 360 cột và được biểu diễn như sau :

32 384 430 591 1296 1976 1999 2137 2175 3638 4214 4304 4486 4662
4999 5174 5700 6969 7115 7138 7189

1788 1881 1910 2724 4504 4928 4973 5616 5686 5718 5846 6523 6893
6994 7074 7100 7277 7399 7476 7480 7537

2791 2824 2927 4196 4298 4800 4948 5361 5401 5688 5818 5862 5969
6029 6244 6645 6962 7203 7302 7454 7534

574 1461 1826 2056 2069 2387 2794 3349 3366 4951 5826 5834 5903
6640 6762 6786 6859 7043 7418 7431 7554

14 178 675 823 890 930 1209 1311 2898 4339 4600 5203 6485 6549 6970
7208 7218 7298 7454 7457 7462

4075 4188 7313 7553

5145 6018 7148 7507

3198 4858 6983 7033

3170 5126 5625 6901

2839 6093 7071 7450

11 3735 5413

2497 5400 7238

2067 5172 5714

1889 7173 7329

1795 2773 3499

2695 2944 6735

3221 4625 5897

1690 6122 6816

5013 6839 7358

1601 6849 7415

2180 7389 7543

2121 6838 7054

1948 3109 5046

272 1015 7464.

5. Thiết bị xử lý dữ liệu theo điểm 4, trong đó mạch đan xen bit trao đổi các bit mã 4x1 bit của mã LDPC mà được ghi theo hướng cột và đọc theo hướng hàng của bộ phận lưu trữ bao gồm bốn cột mà lưu trữ 4x1 bit theo hướng hàng và lưu trữ 16200/(4x1) bit theo hướng cột.

6. Phương pháp xử lý dữ liệu bao gồm các bước:

thực hiện, bởi mạch mã hóa, quá trình mã hóa LDPC kiểm tra chẵn lẻ mật độ thấp dựa trên ma trận kiểm tra chẵn lẻ của mã LDPC trong đó độ dài mã là 16200 bit và tốc độ mã hóa là 8/15;

trao đổi, bởi mạch đan xen bit, các bit mã của mã LDPC trong đó độ dài mã là 16200 bit và tốc độ mã hóa là 8/15 với các bit ký hiệu của ký hiệu tương ứng với điểm tín hiệu bất kỳ trong số 16 điểm tín hiệu được xác định bởi khóa dịch biên độ và pha 16-ary (16APSK);

đưa các bit mã đã được biến đổi cho việc truyền đến thiết bị thu; và

truyền, bởi mạch truyền, các bit mã đã được trao đổi được đưa ra đến thiết

bị thu,

trong đó, trong bước trao đổi, khi 4 bit trong số các bit mã được lưu trữ trong bốn bộ phận của các bộ lưu trữ có khả năng lưu trữ là $16200/4$ bit và đọc từng bit từ các bộ phận của bộ lưu trữ được cấp phát cho một ký hiệu, bit thứ $(\#i+1)$ từ bit quan trọng nhất trong số 4 bit của các bit mã được thiết đặt là bit $b\#i$, bit thứ $(\#i+1)$ từ bit quan trọng nhất trong số 4 bit của các bit ký hiệu của một ký hiệu được thiết đặt là bit $y\#i$,

bit b_0 được trao đổi với bit y_2 ,

bit b_1 được trao đổi với bit y_1 ,

bit b_2 được trao đổi với bit y_0 , và

bit b_3 được trao đổi với bit y_3 , trong đó mã LDPC bao gồm các bit thông tin và các bit chẵn lẻ, trong đó ma trận kiểm tra chẵn lẻ bao gồm phần ma trận thông tin tương ứng với các bit thông tin và phần ma trận chẵn lẻ tương ứng với các bit chẵn lẻ, trong đó phần ma trận thông tin được thể hiện bởi bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ, và trong đó bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ là bảng thể hiện các vị trí của các phần tử của 1 của phần ma trận thông tin đối với mỗi 360 cột và được biểu diễn như sau:

32 384 430 591 1296 1976 1999 2137 2175 3638 4214 4304 4486 4662
4999 5174 5700 6969 7115 7138 7189

1788 1881 1910 2724 4504 4928 4973 5616 5686 5718 5846 6523 6893
6994 7074 7100 7277 7399 7476 7480 7537

2791 2824 2927 4196 4298 4800 4948 5361 5401 5688 5818 5862 5969
6029 6244 6645 6962 7203 7302 7454 7534

574 1461 1826 2056 2069 2387 2794 3349 3366 4951 5826 5834 5903
6640 6762 6786 6859 7043 7418 7431 7554

23600

14 178 675 823 890 930 1209 1311 2898 4339 4600 5203 6485 6549 6970
7208 7218 7298 7454 7457 7462

4075 4188 7313 7553

5145 6018 7148 7507

3198 4858 6983 7033

3170 5126 5625 6901

2839 6093 7071 7450

11 3735 5413

2497 5400 7238

2067 5172 5714

1889 7173 7329

1795 2773 3499

2695 2944 6735

3221 4625 5897

1690 6122 6816

5013 6839 7358

1601 6849 7415

2180 7389 7543

2121 6838 7054

1948 3109 5046

272 1015 7464.

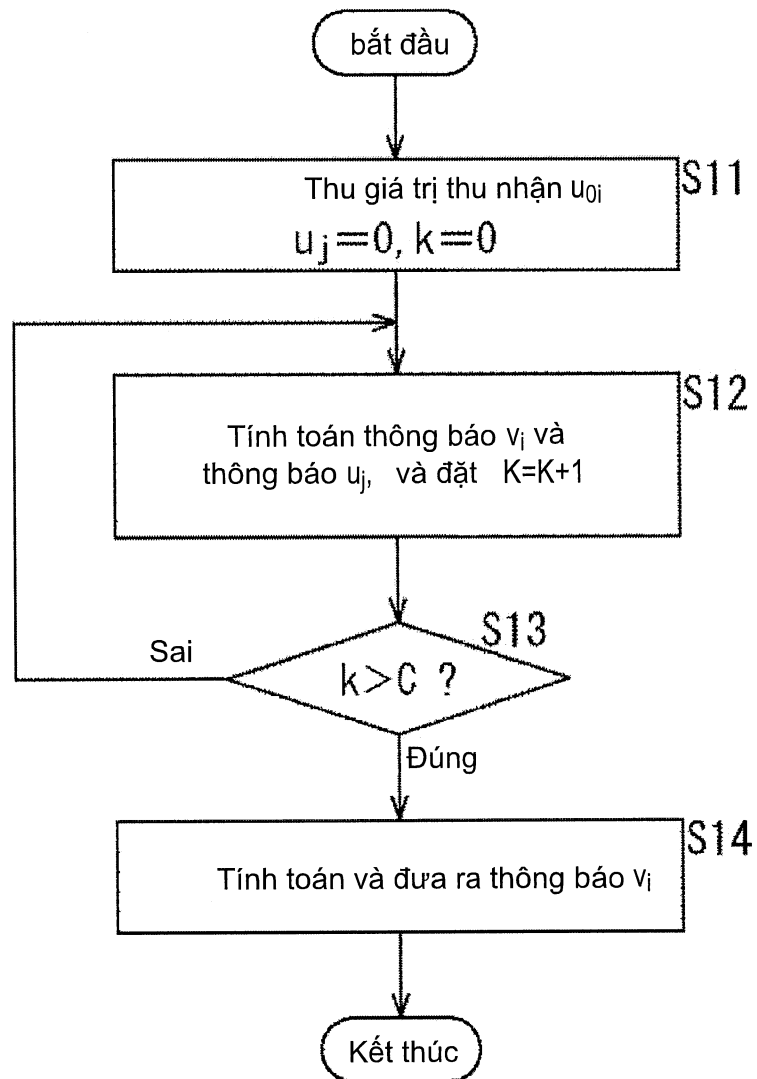
FIG. 2

FIG. 3

$$H = \begin{bmatrix} 1 & 1 & 1 & 0 & 0 & 0 & 1 & 0 & 1 & 1 & 0 & 0 \\ 1 & 1 & 0 & 1 & 1 & 0 & 0 & 0 & 0 & 0 & 1 & 1 \\ 0 & 0 & 1 & 1 & 1 & 1 & 1 & 0 & 0 & 1 & 0 & 0 \\ 0 & 0 & 0 & 1 & 1 & 1 & 0 & 1 & 1 & 0 & 0 & 1 \\ 1 & 1 & 0 & 0 & 0 & 1 & 0 & 1 & 0 & 1 & 1 & 0 \\ 0 & 0 & 1 & 0 & 0 & 0 & 1 & 1 & 1 & 0 & 1 & 1 \end{bmatrix}$$

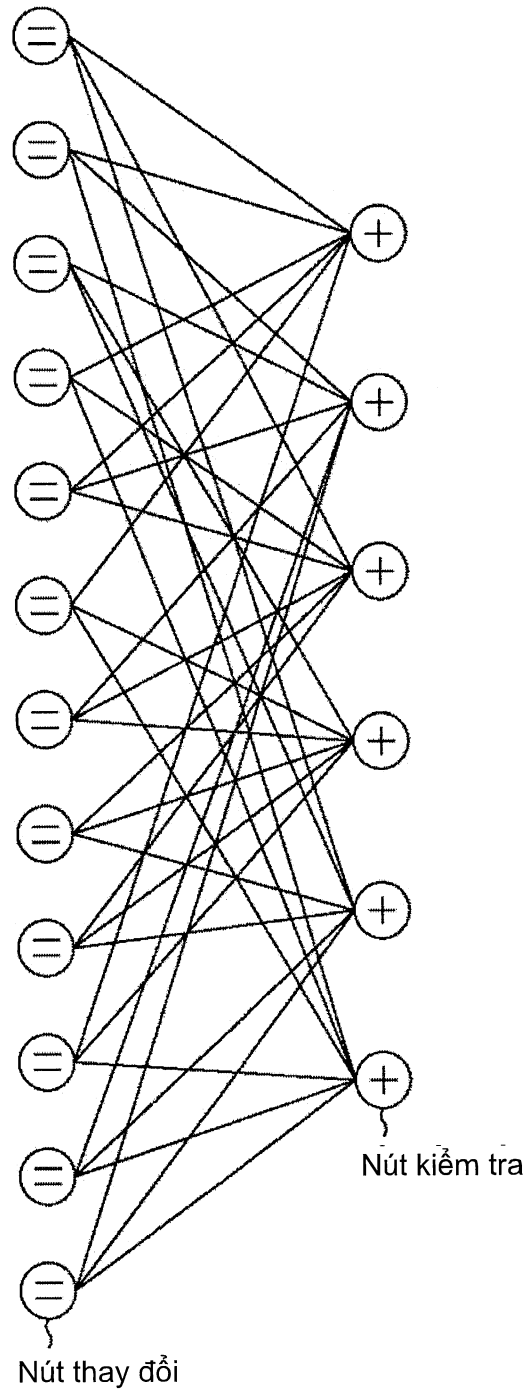
FIG. 4

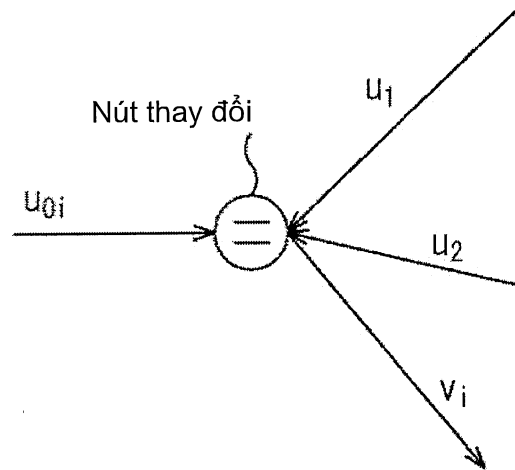
FIG. 5

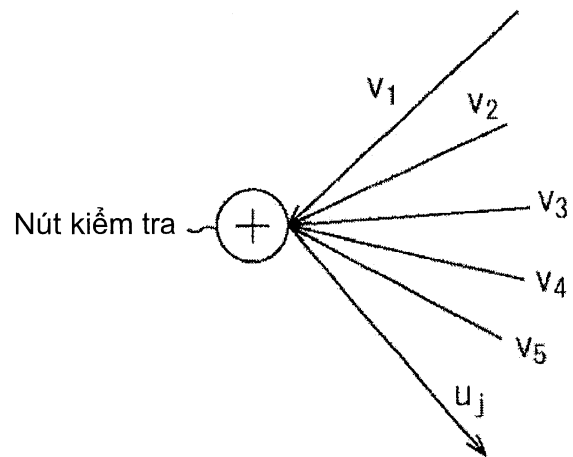
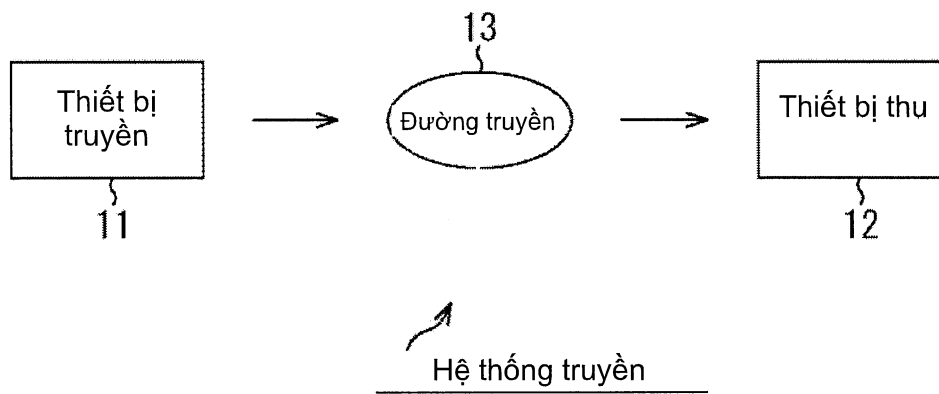
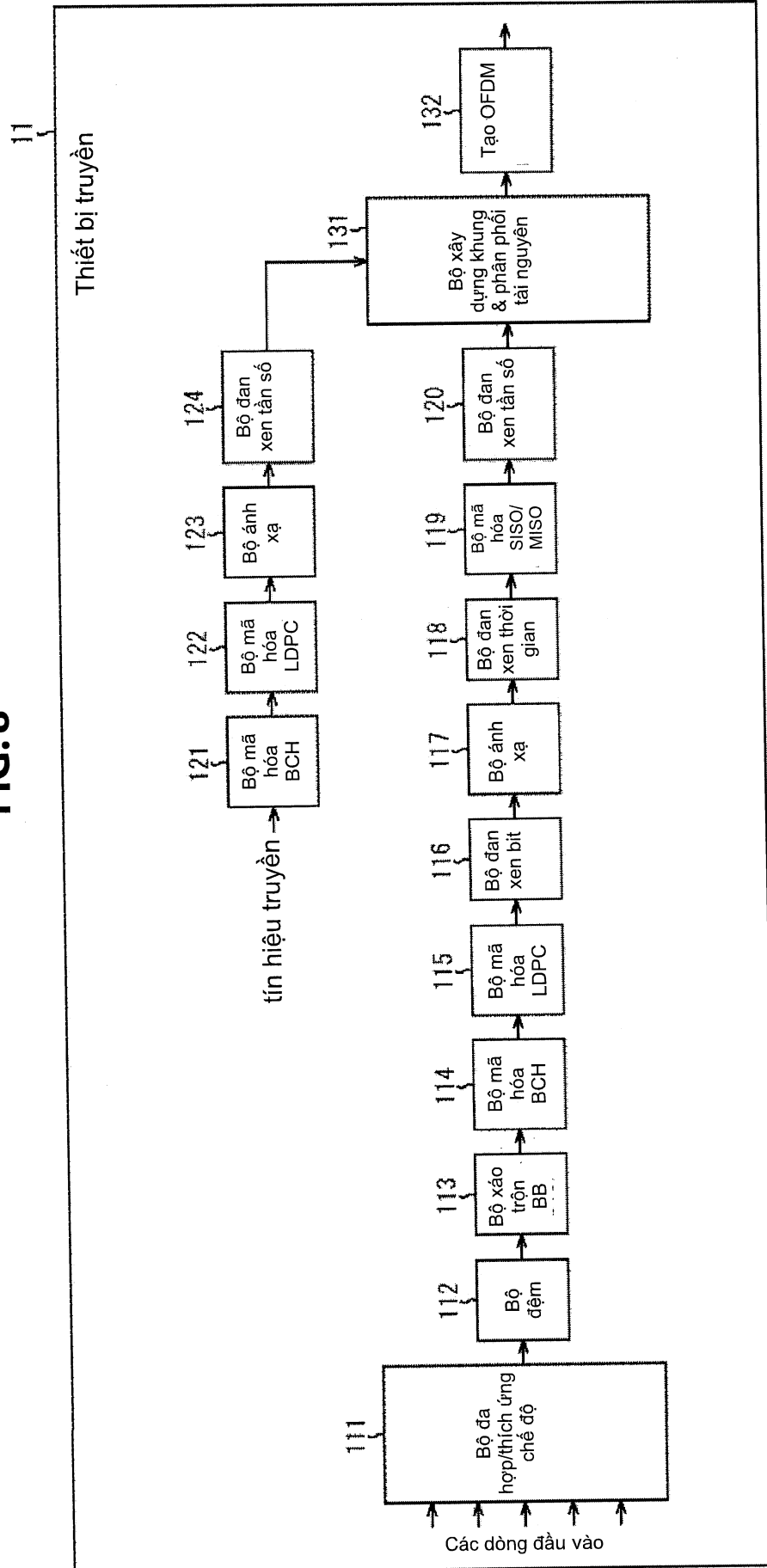
FIG. 6

FIG. 7

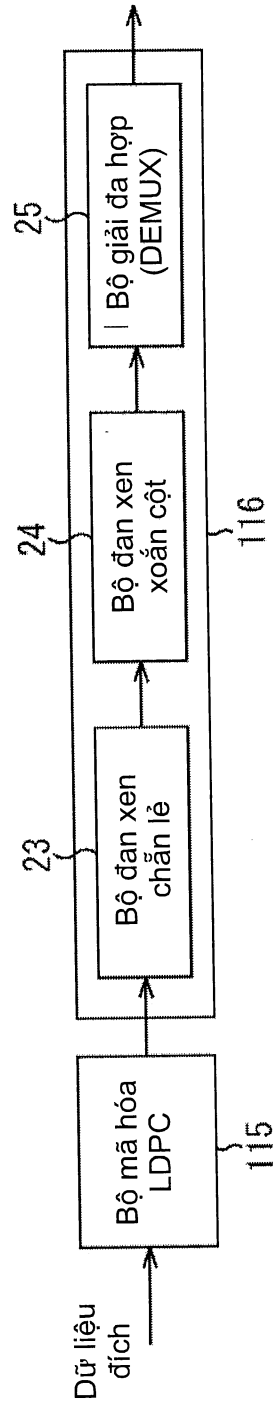
8/79

FIG. 8



9/79

FIG. 9



10/79

FIG. 10

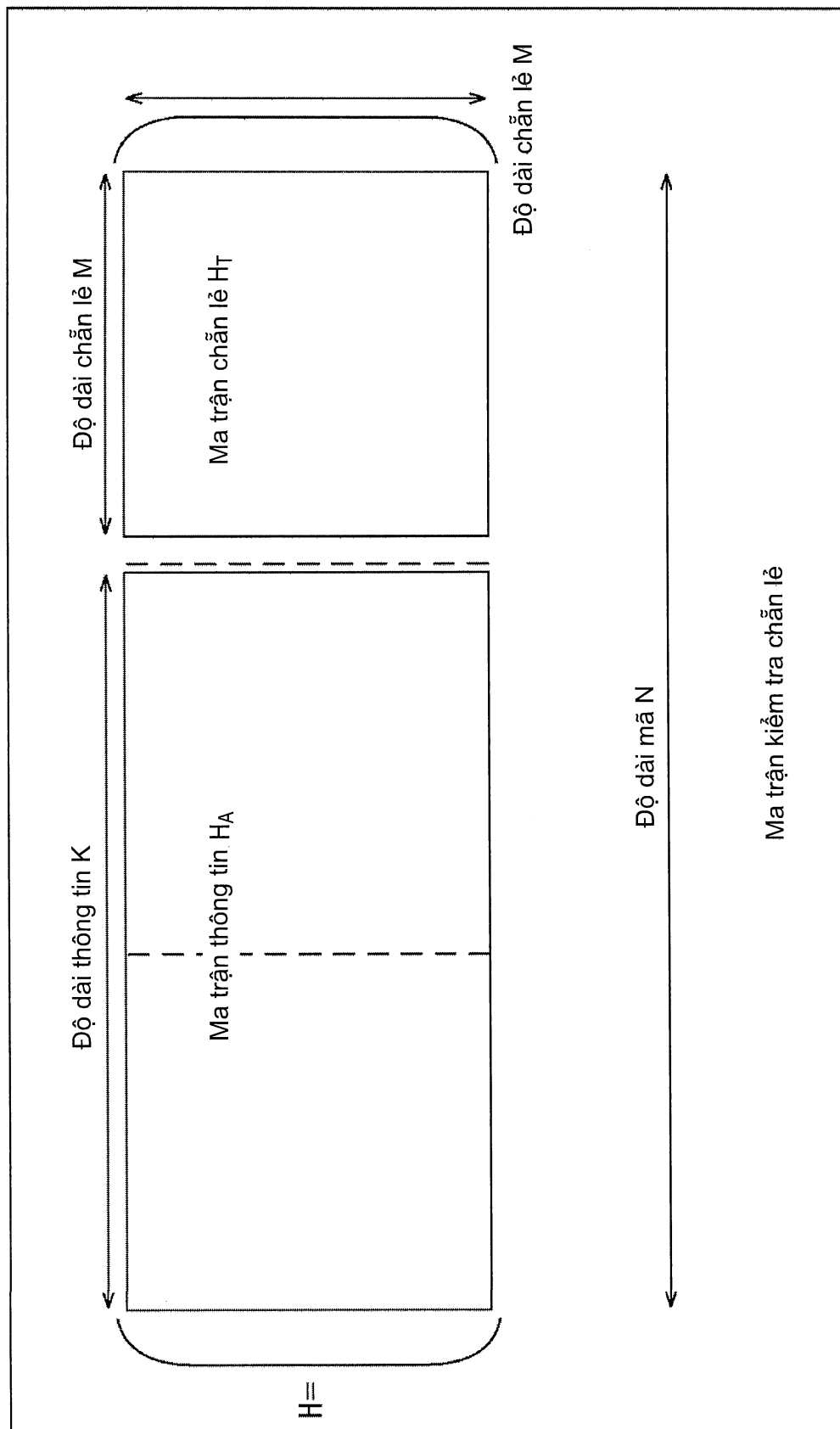


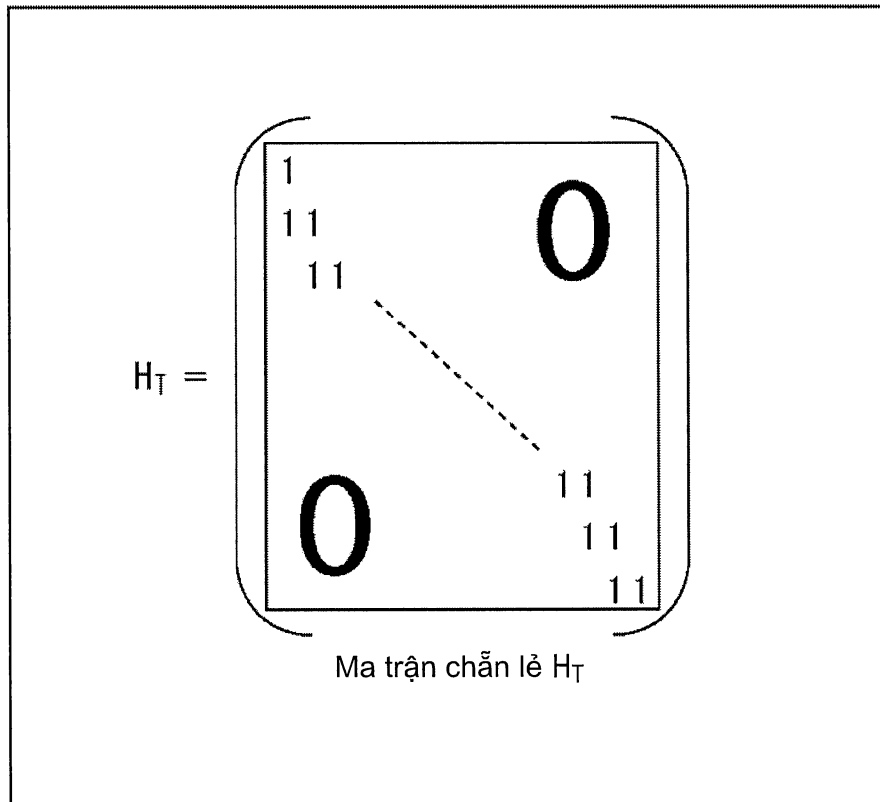
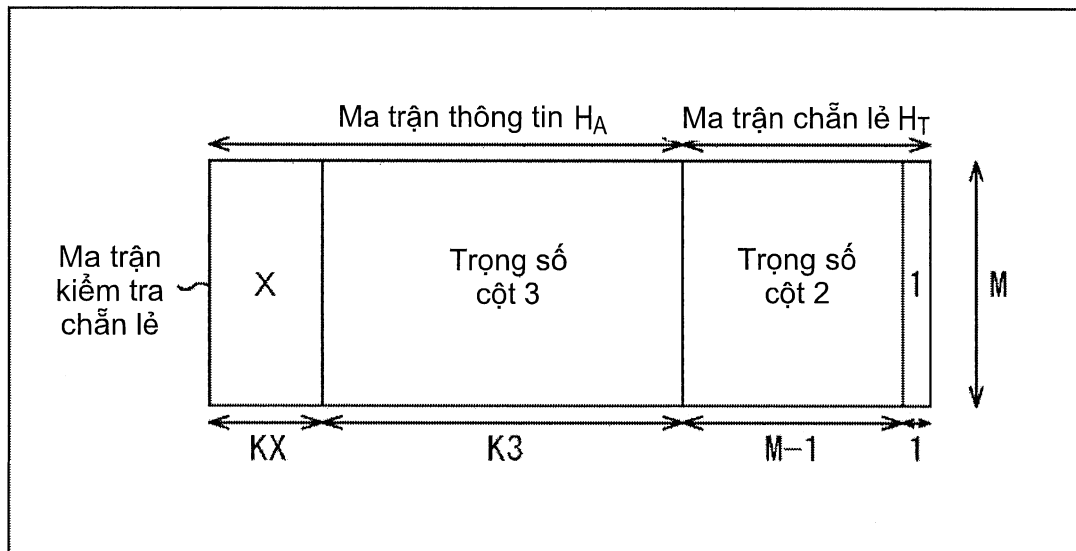
FIG. 11

FIG. 12

13/79

FIG. 13

Tốc độ mã hóa thông thường	N=64800					N=16200				
	X	KX	K3	M		X	KX	K3	M	
1/4	12	5400	10800	48600		12	1440	1800	12960	
1/3	12	7200	14400	43200		12	1800	3600	10800	
2/5	12	8640	17280	38880		12	2160	4320	9720	
1/2	8	12960	19440	32400		8	1800	5400	9000	
3/5	12	12960	25920	25920		12	3240	6480	6480	
2/3	13	4320	38880	21600		13	1080	9720	5400	
3/4	12	5400	43200	16200		12	360	11520	4320	
4/5	11	6480	45360	12960		-	0	12600	3600	
5/6	13	5400	48600	10800		13	360	12960	2880	
8/9	4	7200	50400	7200		4	1800	12600	1800	
9/10	4	6480	51840	6480		---	---	---	---	

Số các cột của
mỗi trọng số
cột

14/79

FIG. 14

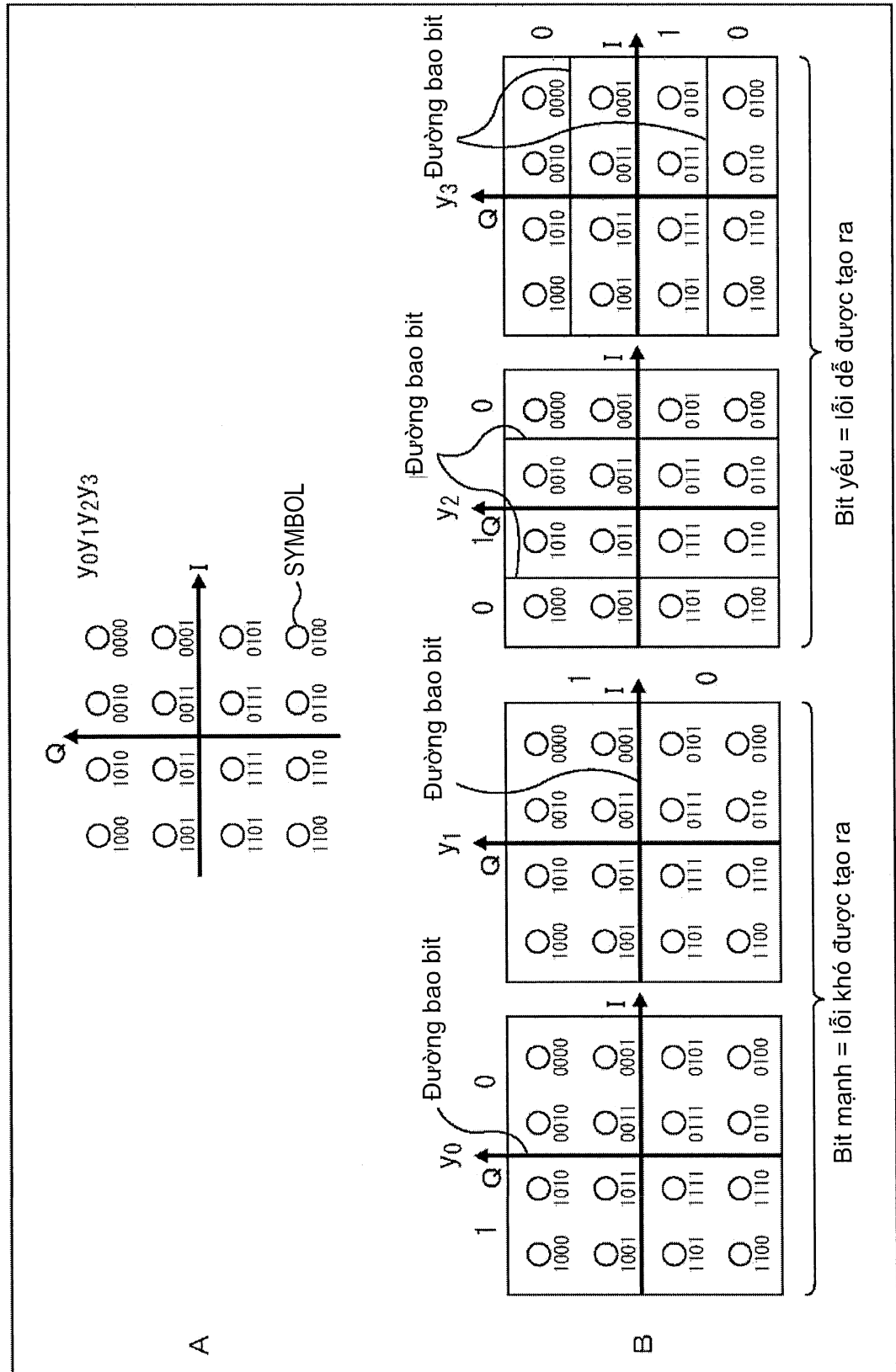


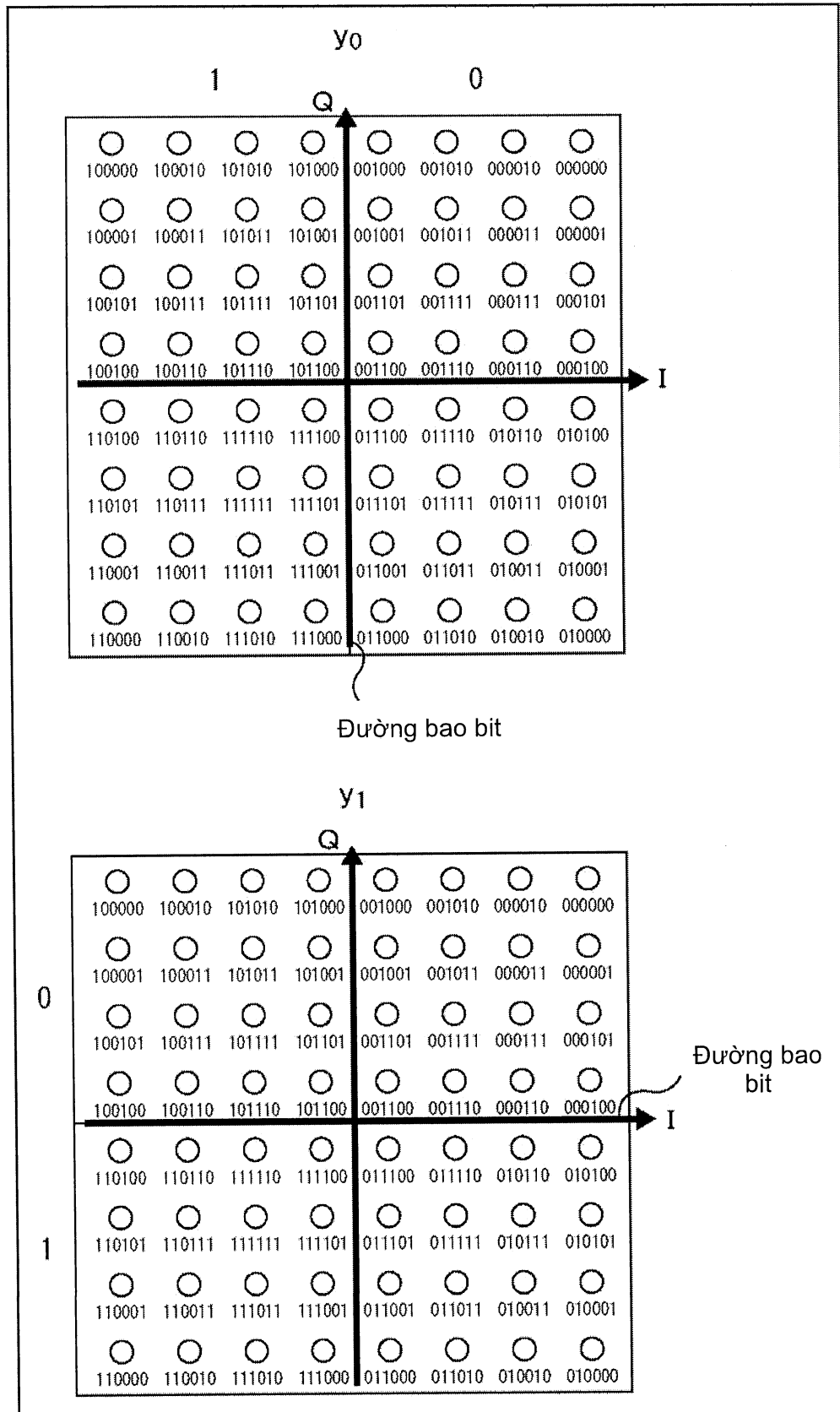
FIG. 15

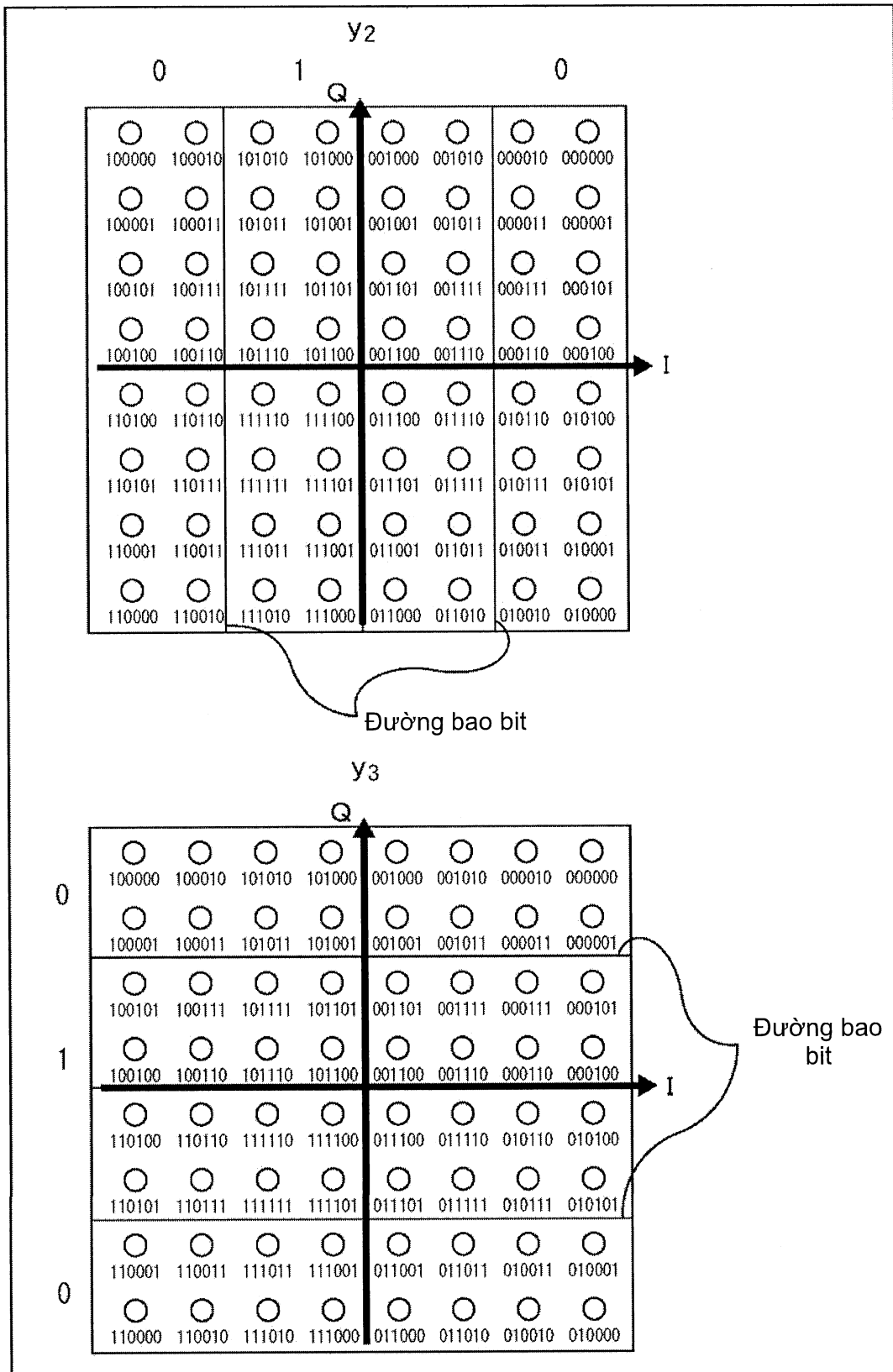
FIG. 16

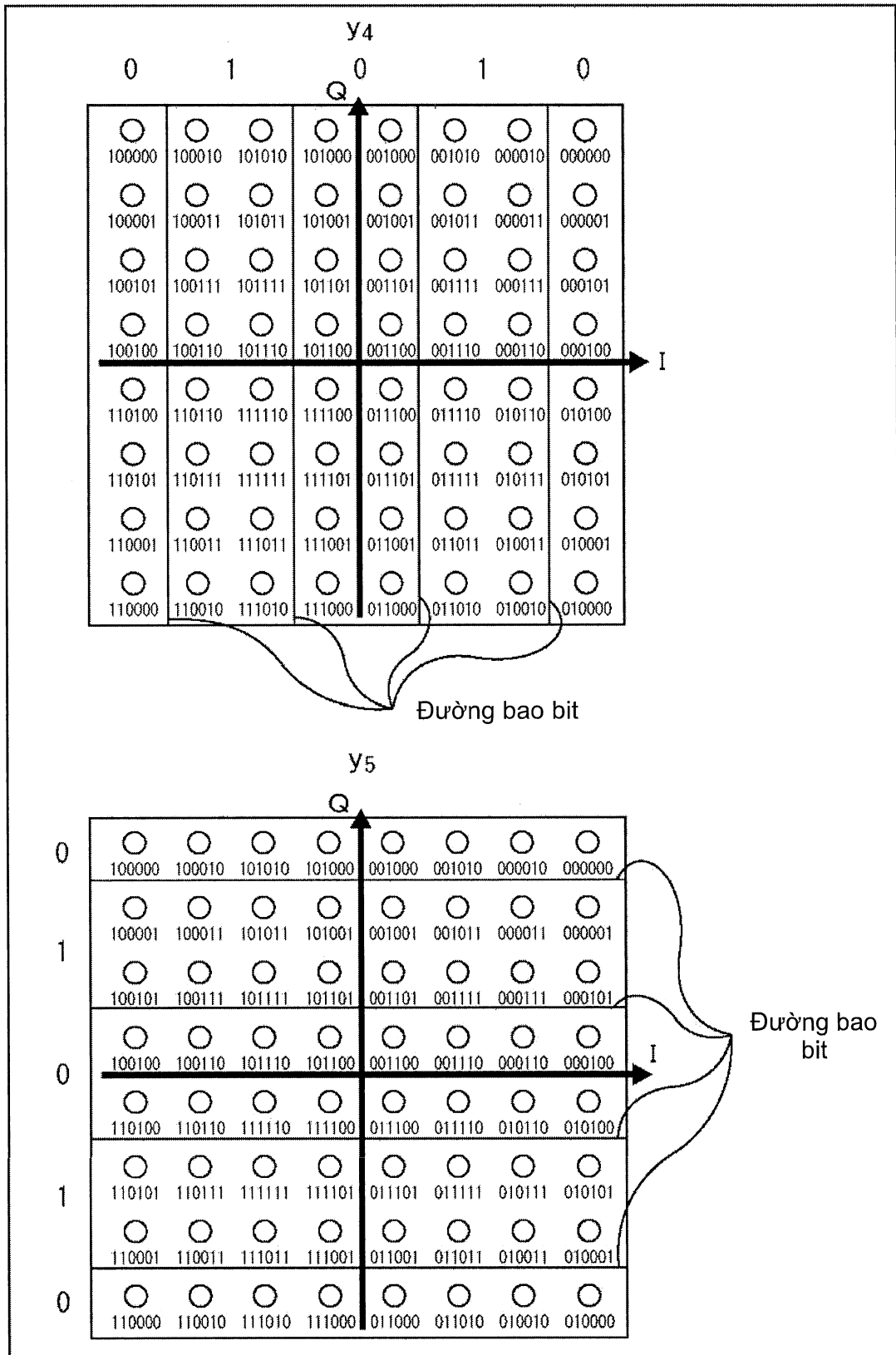
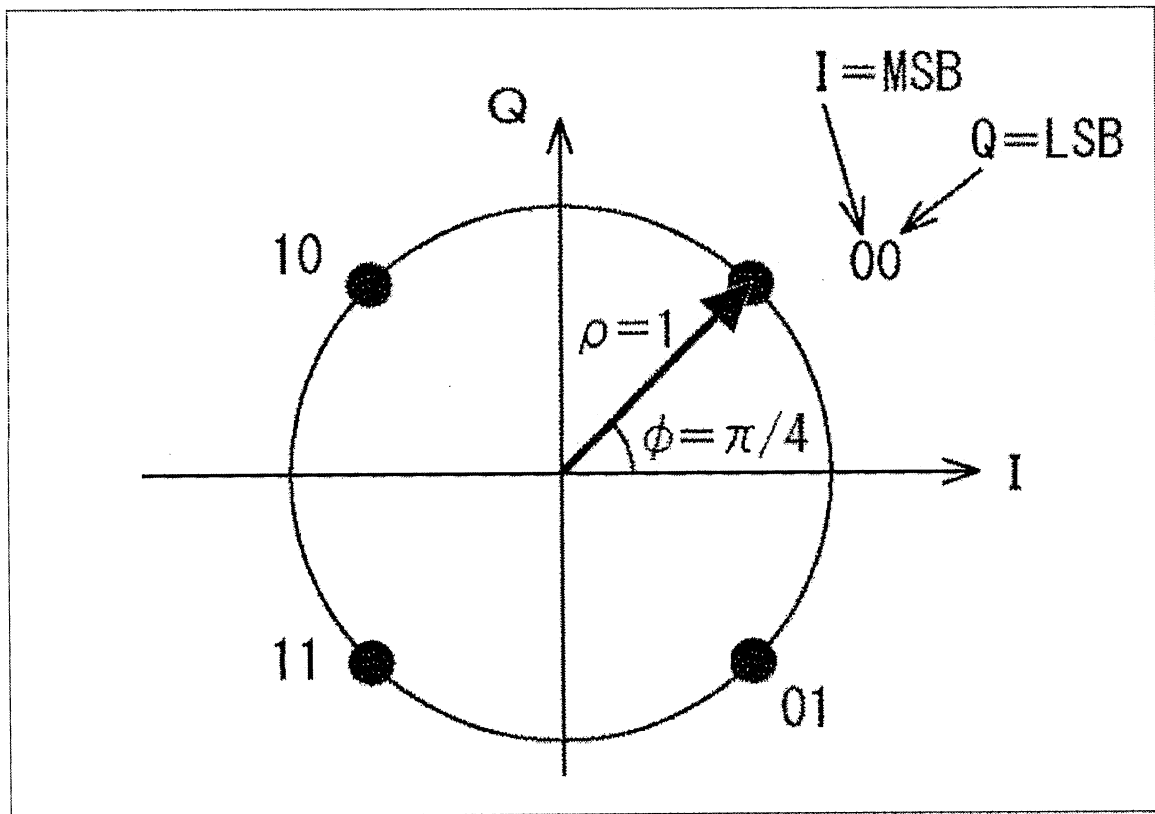
FIG. 17

FIG. 18

19/79

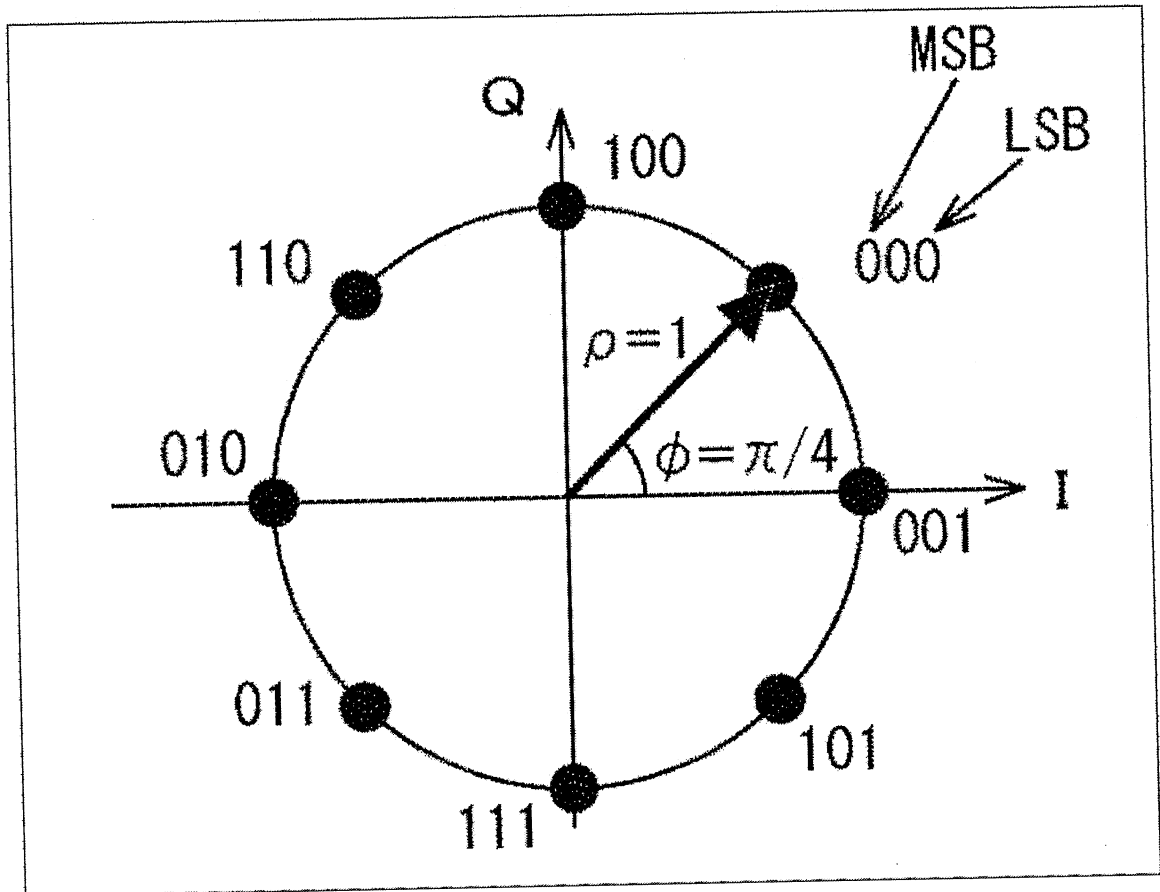
FIG. 19

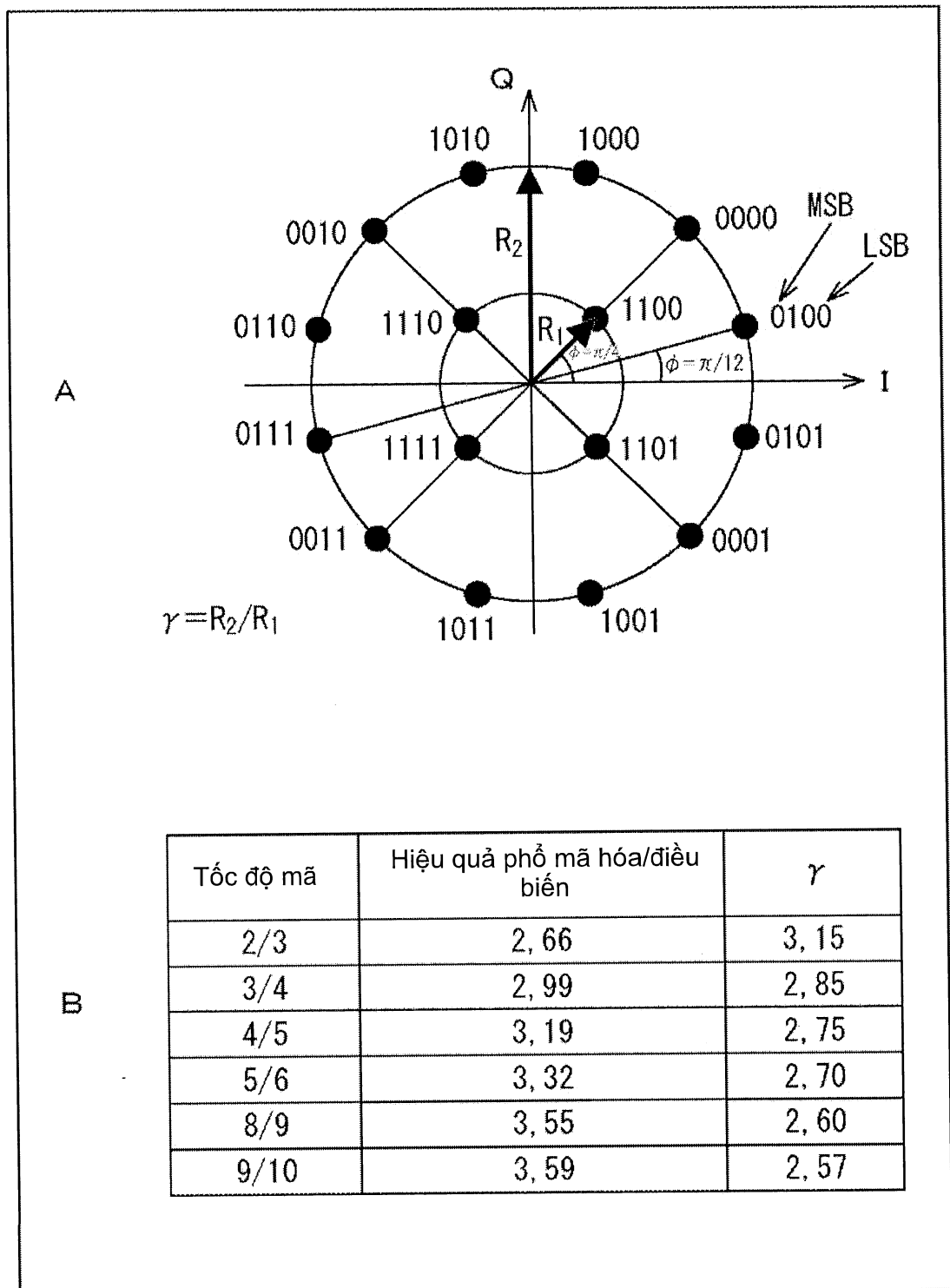
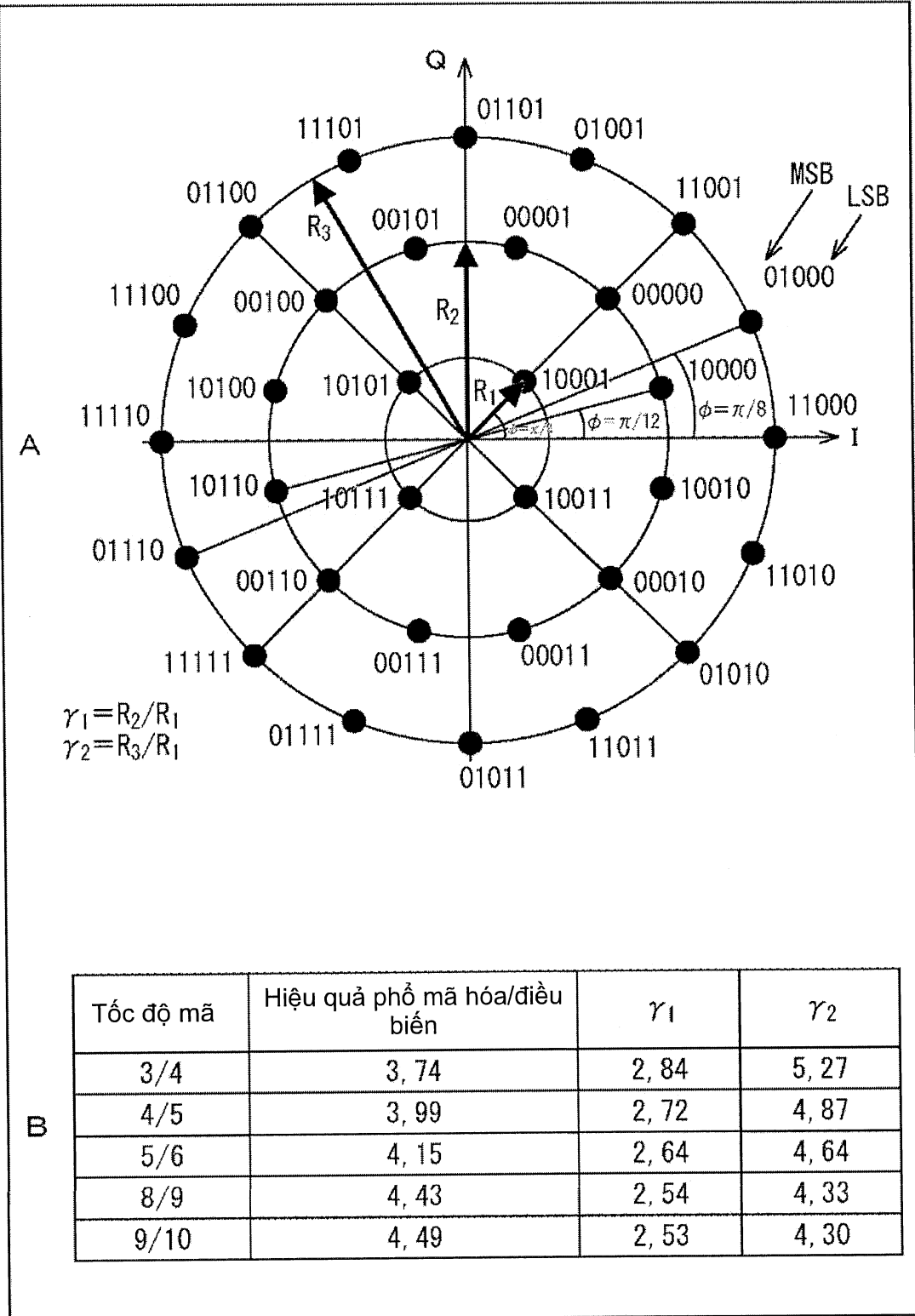
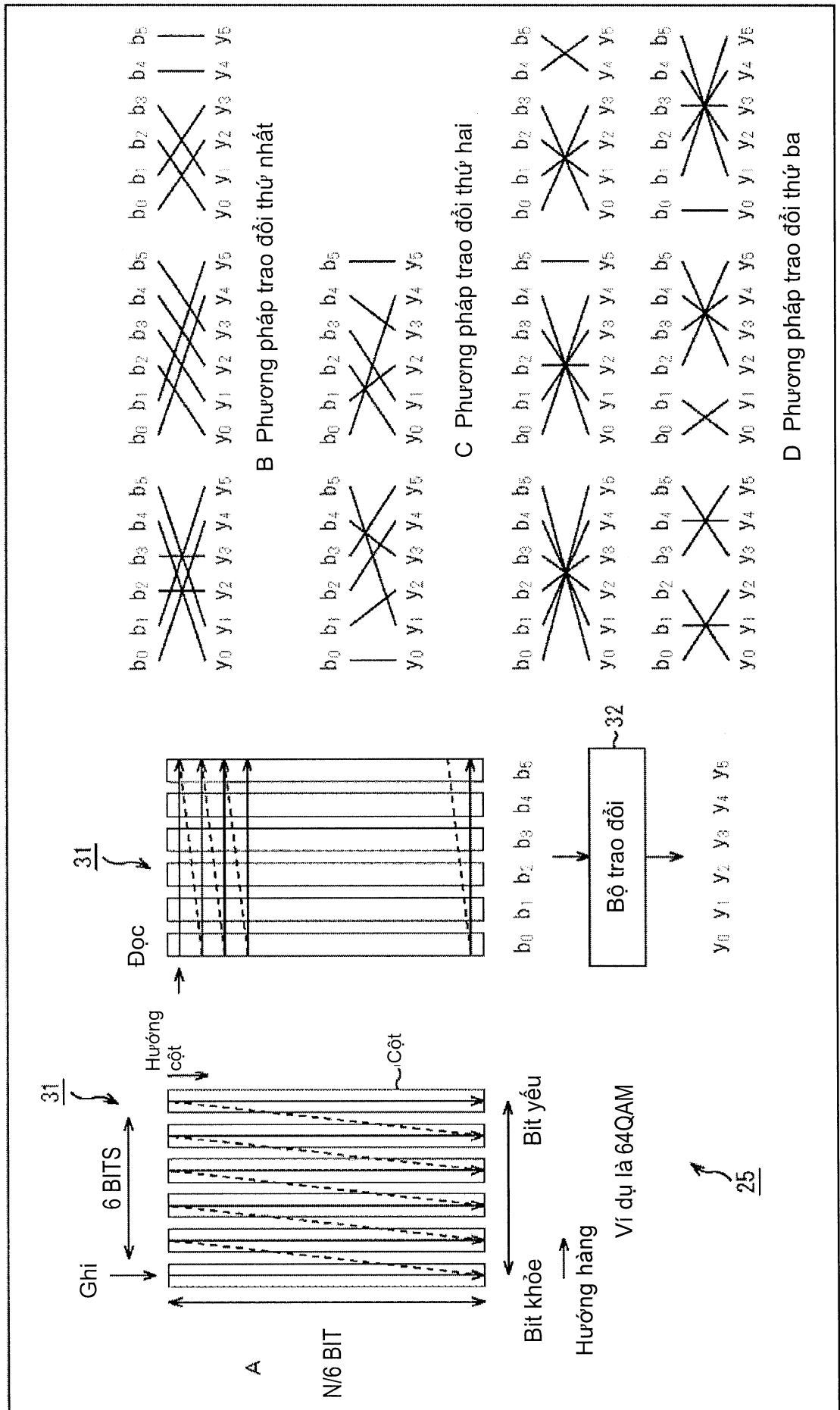
FIG. 20

FIG. 21

22/79
FIG. 22



23/79

FIG. 23

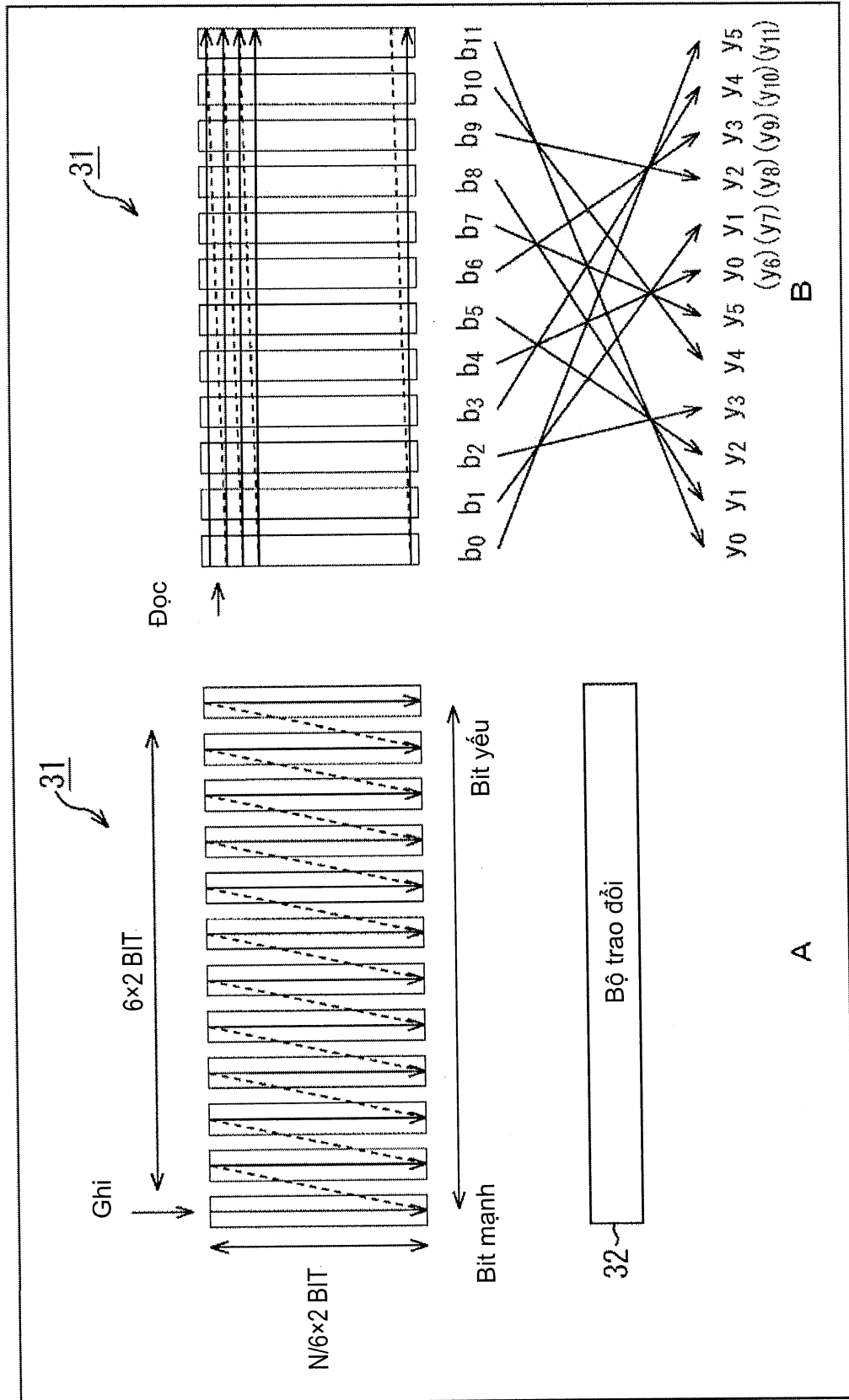


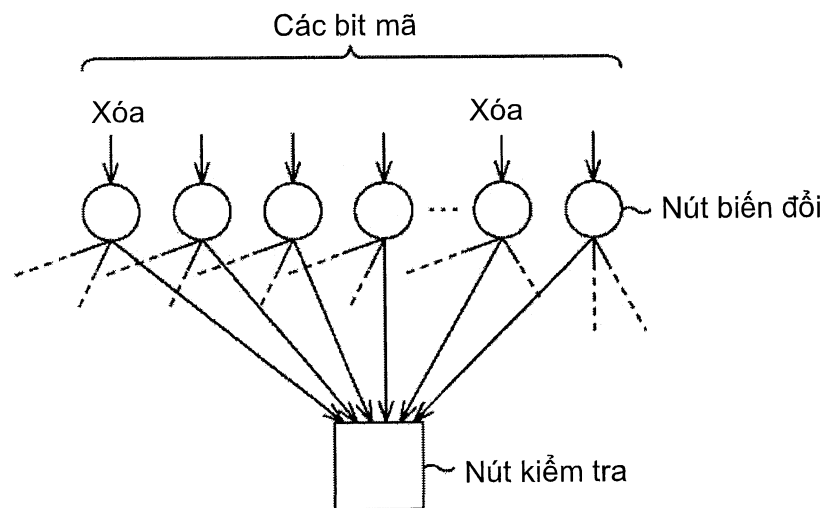
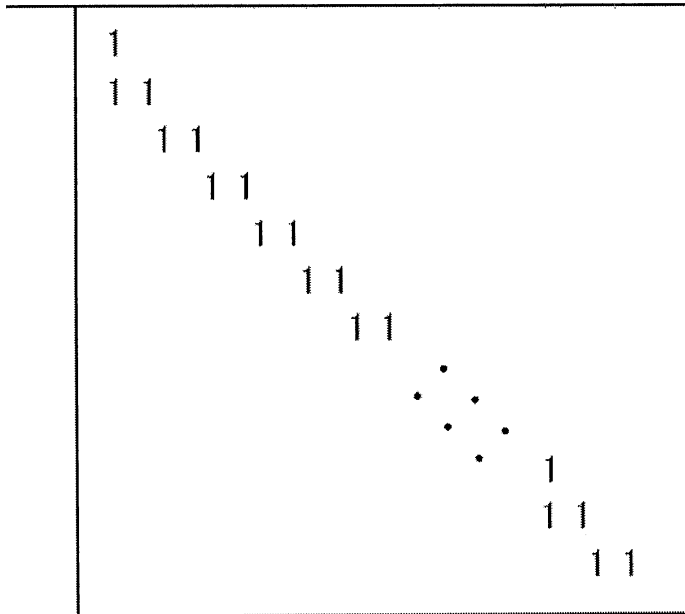
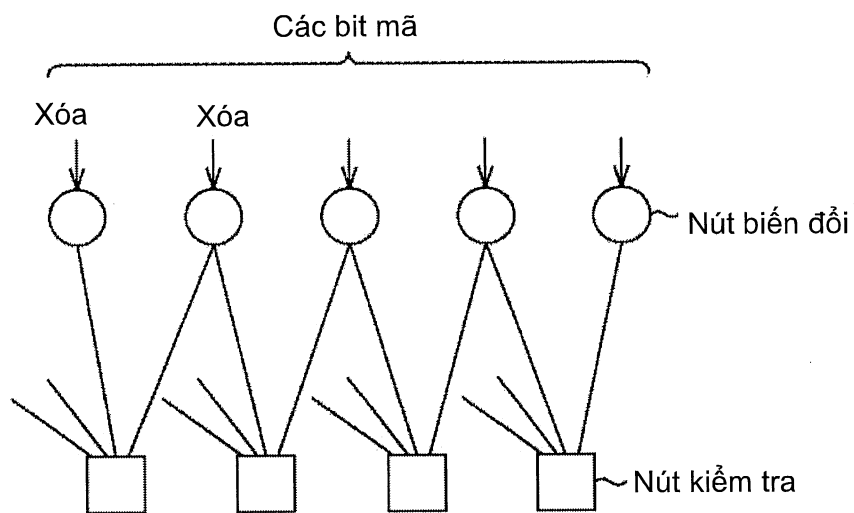
FIG. 24

FIG. 25

Cấu trúc dạng bậc thang của ma trận chẵn lẻ

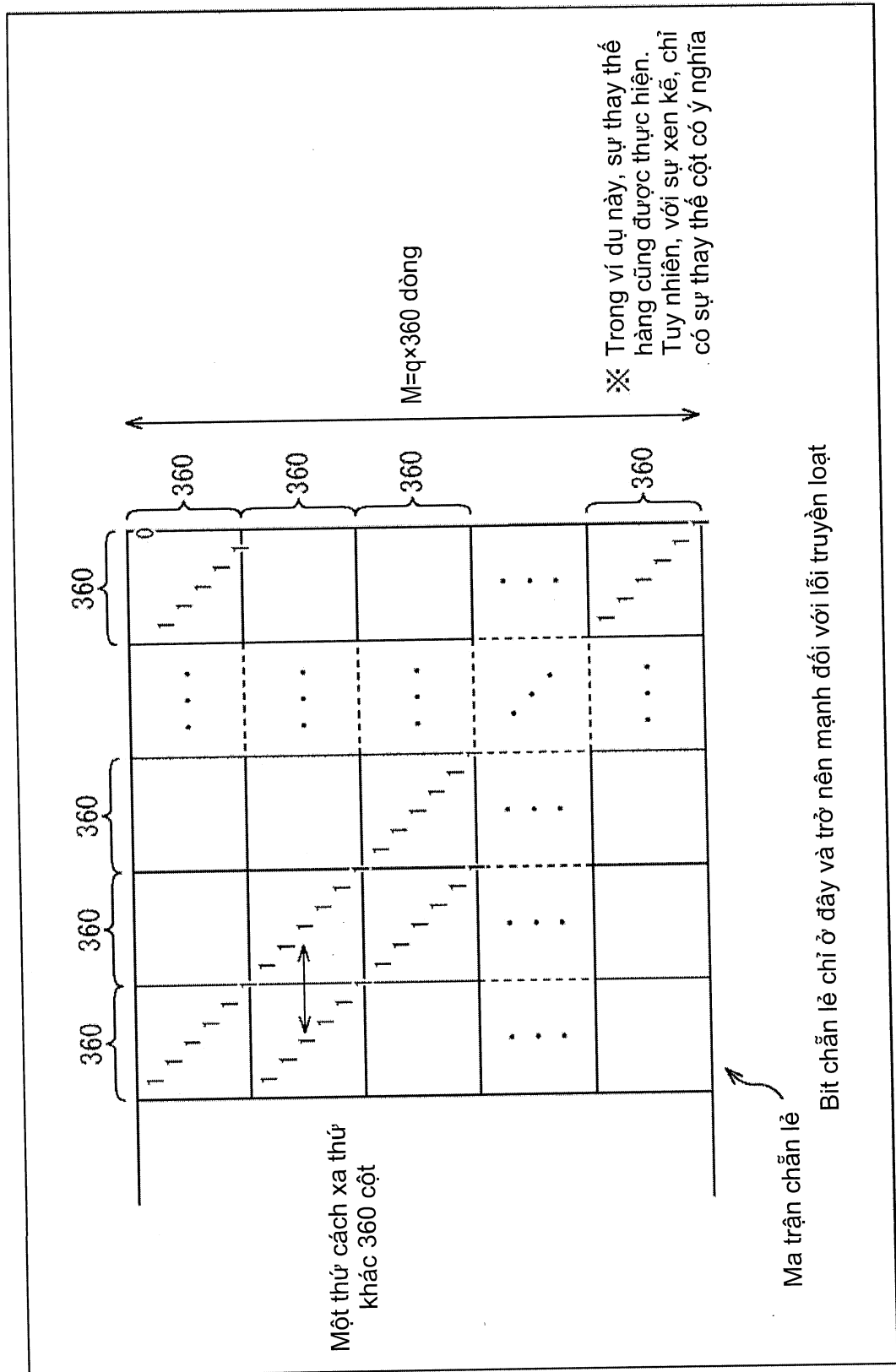
A



Phân cấu trúc dạng bậc thang của đồ thị Tanner

B

26/79

FIG. 26

27/79

FIG. 27

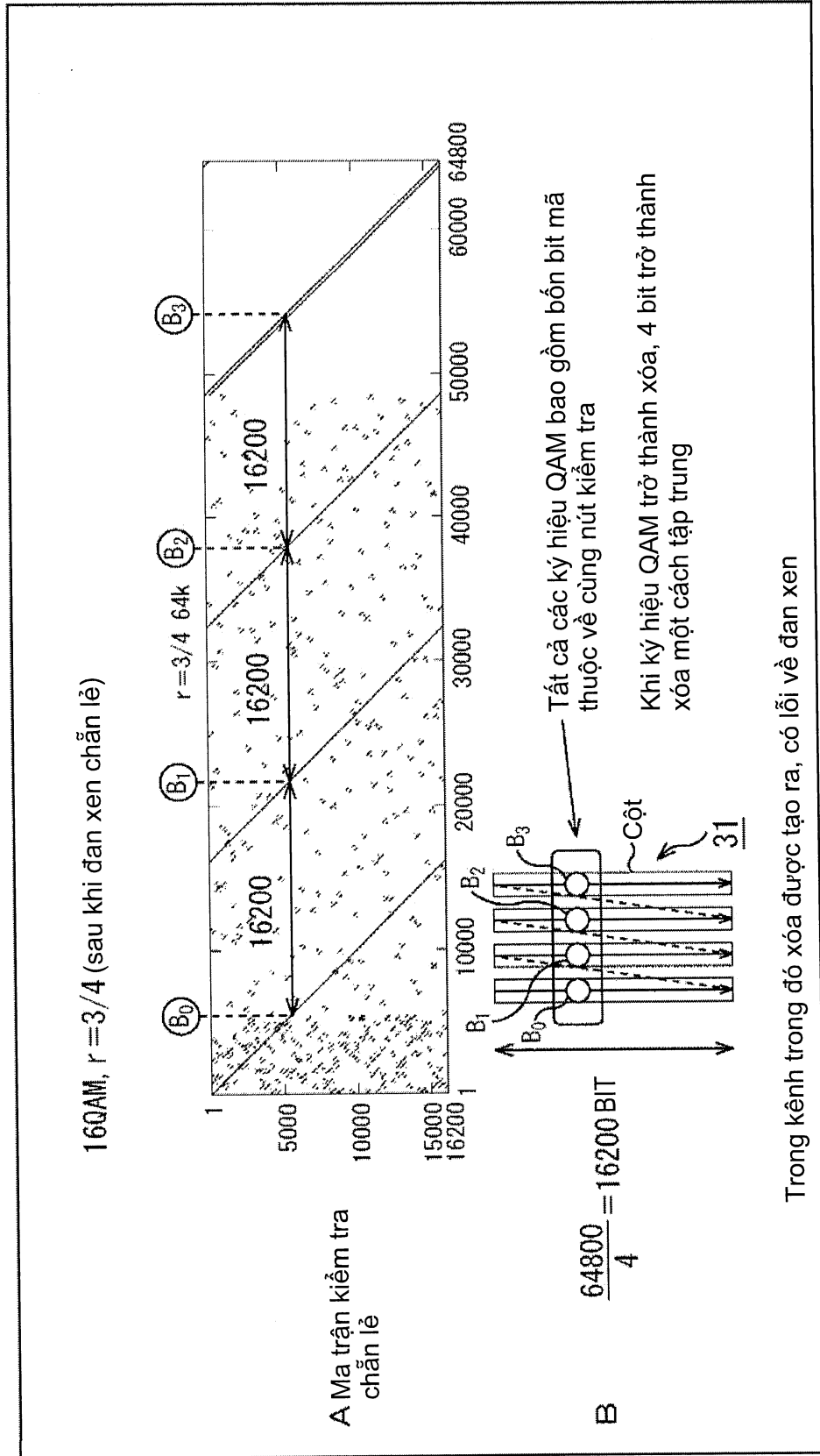
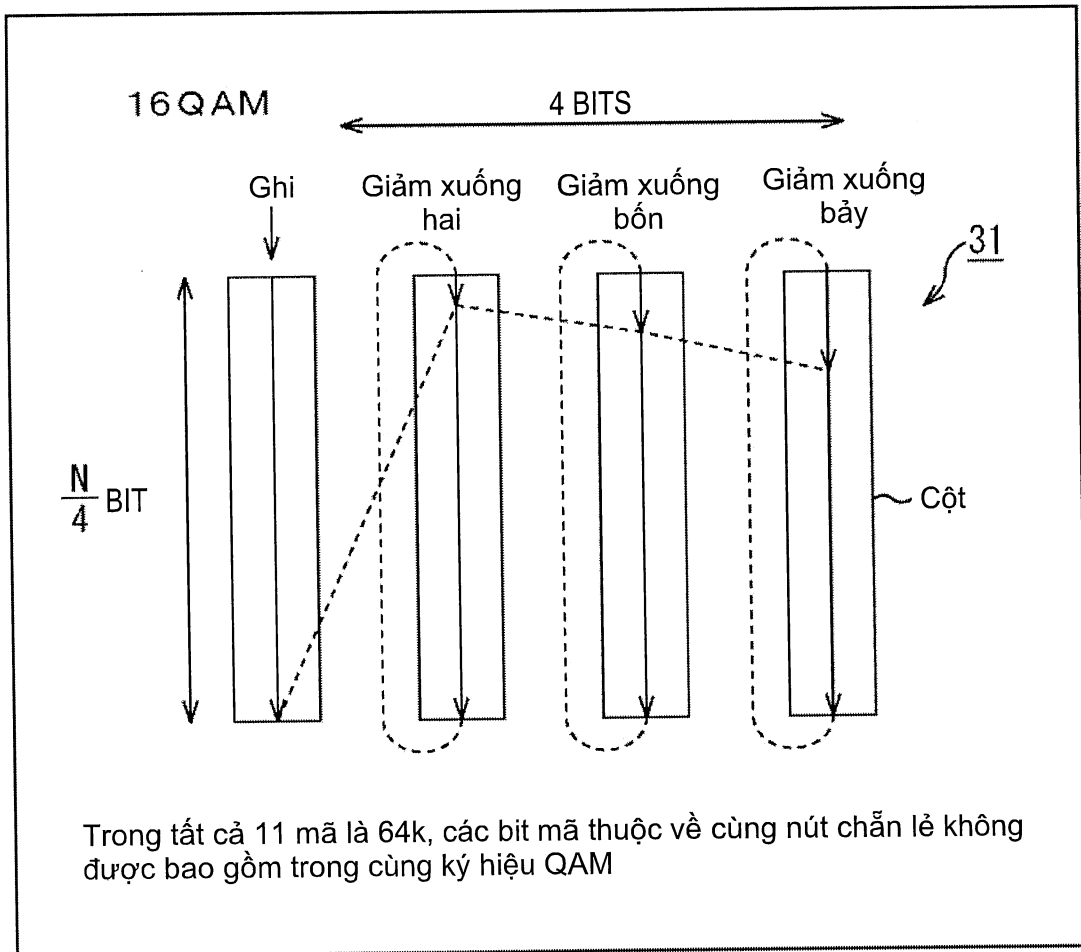


FIG. 28

29/79

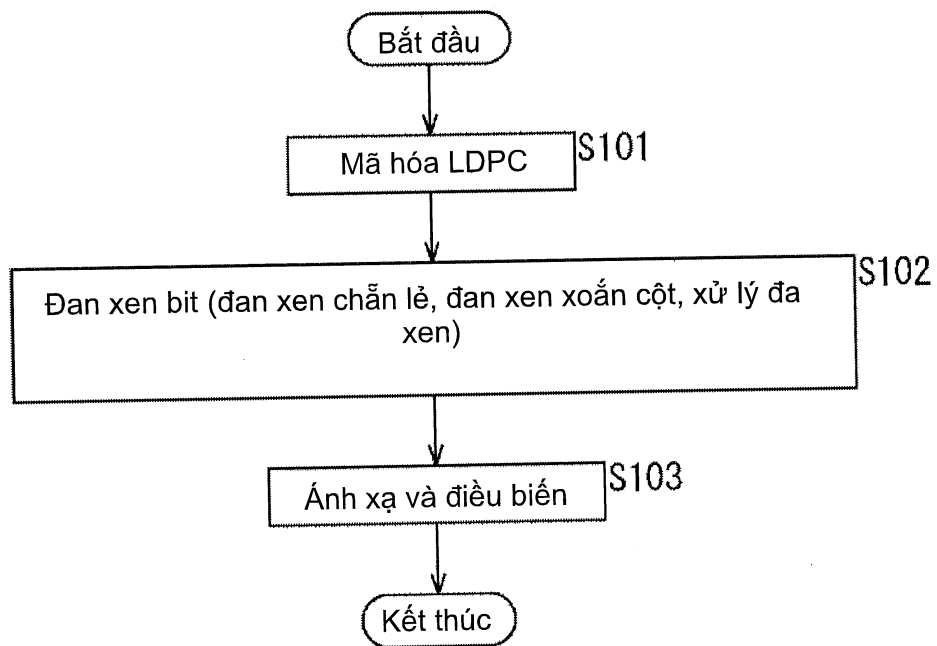
FIG. 29

Số cột bộ nhớ cần thiết mb	b=1 (các phương pháp trao đổi từ thứ nhất đến thứ ba)	b=2 (phương pháp trao đổi thứ tư)	Vị trí bắt đầu ghi của mỗi trong số mb các cột																							
			1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24
2	QPSK		0	2																						
4	16QAM	QPSK	0	2	4	7																				
6	64QAM		0	2	5	9	10	13																		
8	256QAM	16QAM	0	0	2	4	4	5	7	7																
10	1024QAM		0	3	6	8	11	13	15	17	18	20														
12	4096QAM	64QAM	0	0	2	2	3	4	4	5	5	7	8	9												
16		256QAM	0	2	2	2	2	3	7	15	16	20	22	22	27	27	28	32								
20		1024QAM	0	1	3	4	5	6	6	9	13	14	14	16	21	21	23	25	25	26	28	30				
24		4096QAM	0	5	8	8	8	8	10	10	10	12	13	16	17	19	21	22	23	26	37	39	40	41	41	41

30/79

FIG. 30

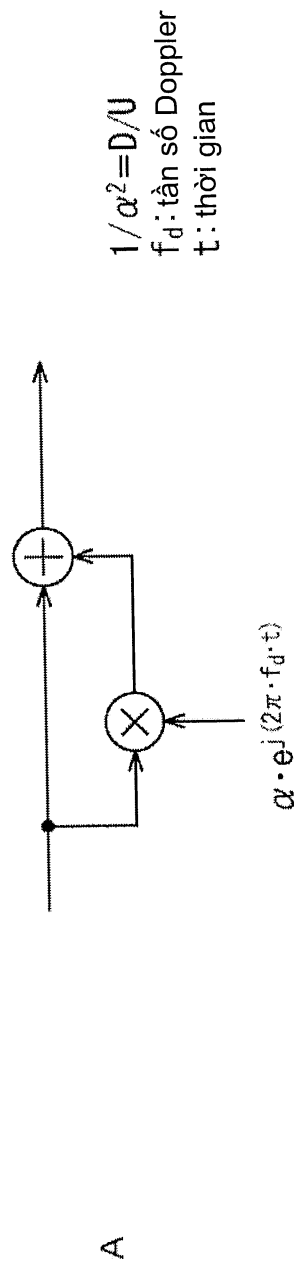
Vị trí bắt đầu ghi của mỗi trong số mb các cột																										
Số cột bộ nhớ cần thiết mb	$b=1$ $\left(\begin{matrix} \text{các phương} \\ \text{pháp trao đổi} \\ \text{từ thứ nhất} \\ \text{đến thứ ba} \end{matrix}\right)$	$b=2$ $\left(\begin{matrix} \text{phương} \\ \text{pháp} \\ \text{trao đổi} \\ \text{thứ tư} \end{matrix}\right)$	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24
2	QPSK		0	0																						
4	16QAM	QPSK	0	2	3	3																				
6	64QAM		0	0	2	3	7	7																		
8	256QAM	16QAM	0	0	0	1	7	20	20	21																
10	1024QAM		0	1	2	2	3	3	4	4	5	7														
12	4096QAM	64QAM	0	0	0	2	2	2	3	3	3	6	7	7												
20		1024QAM	0	0	0	2	2	2	2	2	5	5	5	5	7	7	7	7	8	8	10					
24		4096QAM	0	0	0	0	0	0	0	1	1	1	2	2	2	3	7	9	9	10	10	10	10	10	11	

FIG. 31

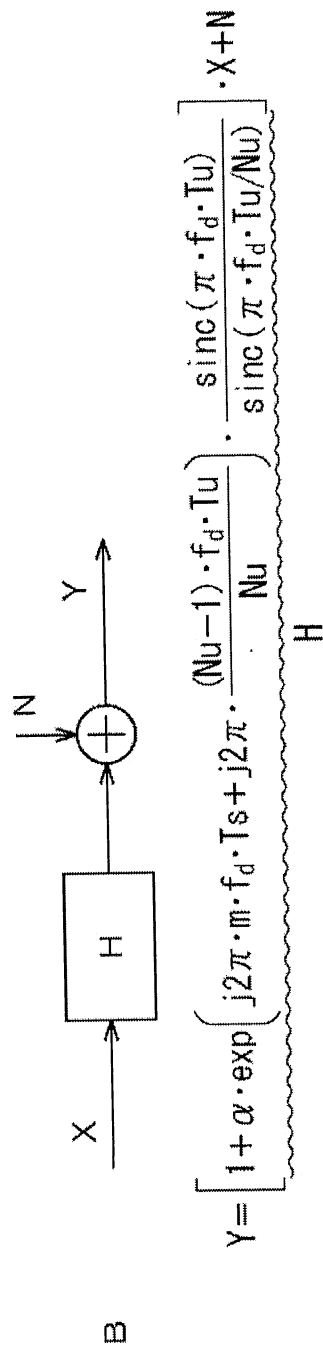
32/79

FIG. 32

Mẫu làm giảm tương đương của méo rung



Ký hiệu OFDM được truyền với kênh này và sự mô phỏng được thực hiện theo mẫu trong số 1 sóng mang được bỏ qua sau FFT ở phía thu



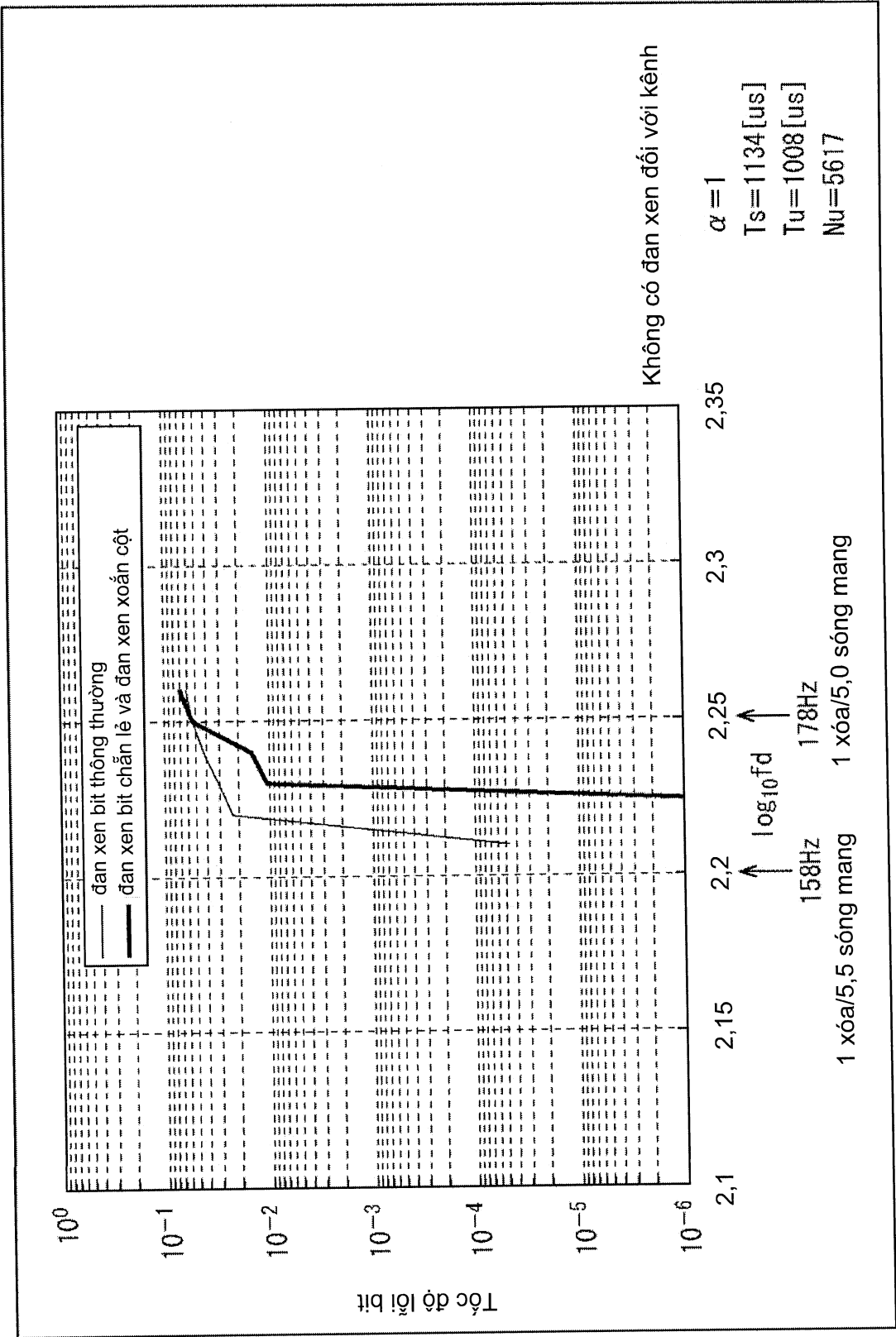
m : số ký hiệu
 T_s : độ dài ký hiệu (giây)
 T_u : độ dài ký hiệu quả (giây)
 N_u : số các sóng mang OFDM

$$E[N^2] = \alpha^2 \cdot \left[1 - \left| \frac{\text{sinc}(\pi \cdot f_d \cdot Tu)}{\text{sinc}(\pi \cdot f_d \cdot Tu / Nu)} \right|^2 \right]$$

công suất của $|C|$: được tính xấp xỉ bởi AWGN

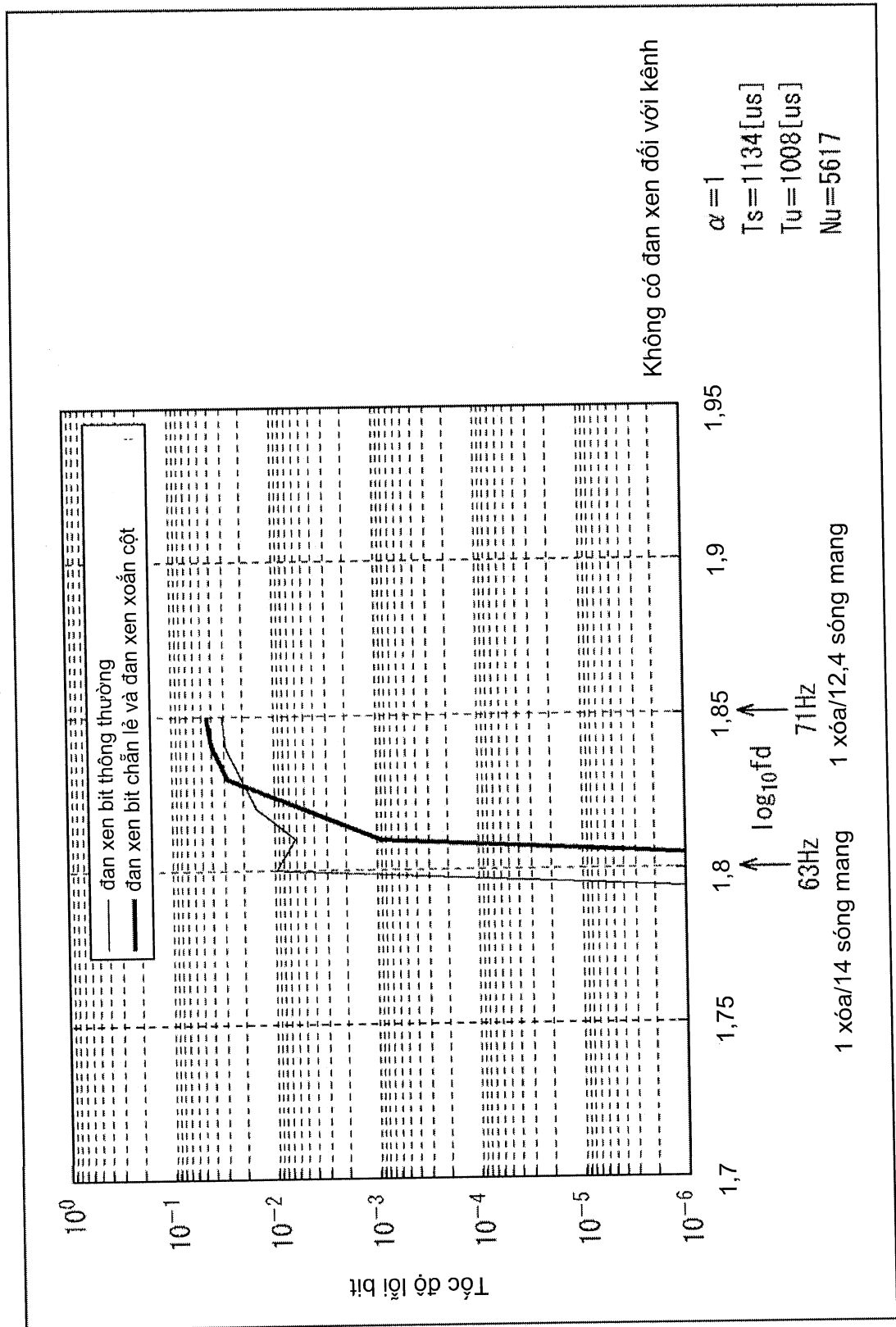
33/79

FIG.33



34/79

FIG. 34



35/79

FIG. 35

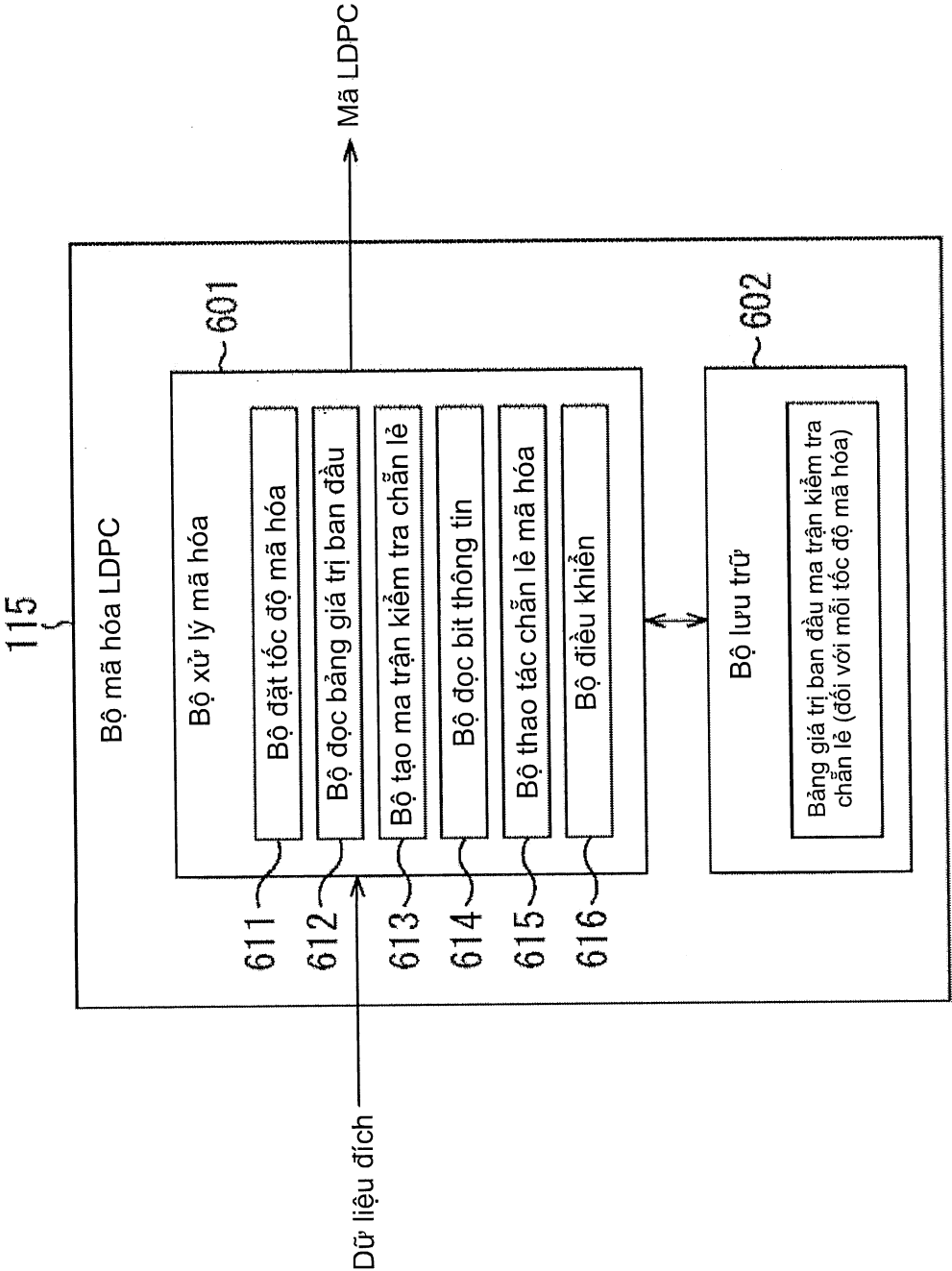
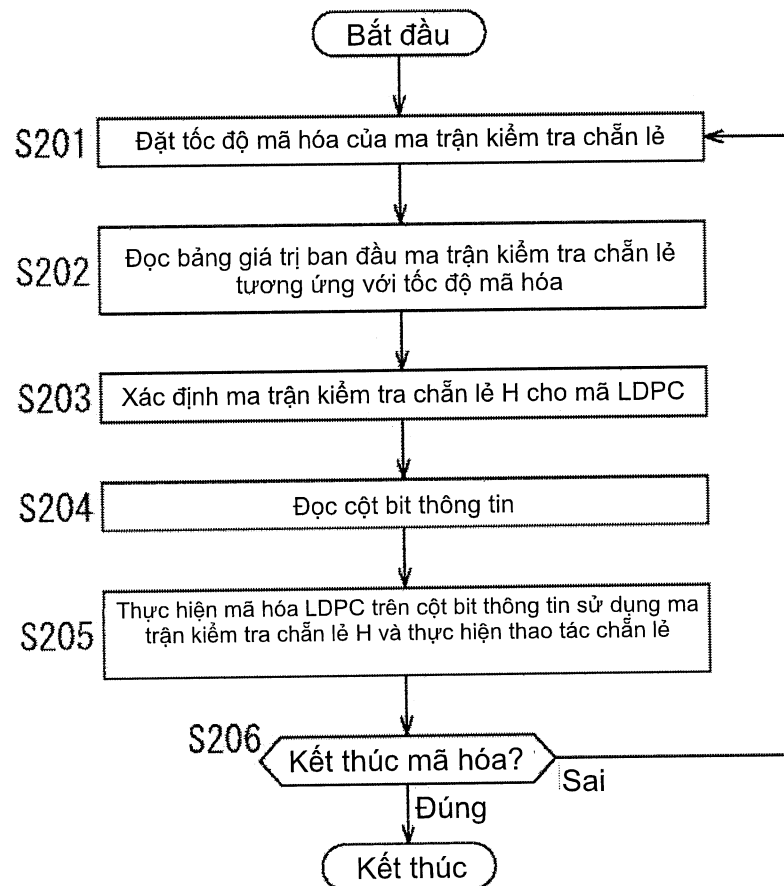


FIG. 36

23600

37/79

FIG. 37

r1/4 16K	
6295	9626 304 7695 4839 4936 1660 144 11203 5567 6347 12557
10691	4988 3859 3734 3071 3494 7687 10313 5964 8069 8296 11090
10774	3613 5208 11177 7676 3549 8746 6583 7239 12265 2674 4292
11869	3708 5981 8718 4908 10650 6805 3334 2627 10461 9285 11120
7844	3079 10773
3385	10854 5747
1360	12010 12202
6189	4241 2343
9840	12726 4977

38/79

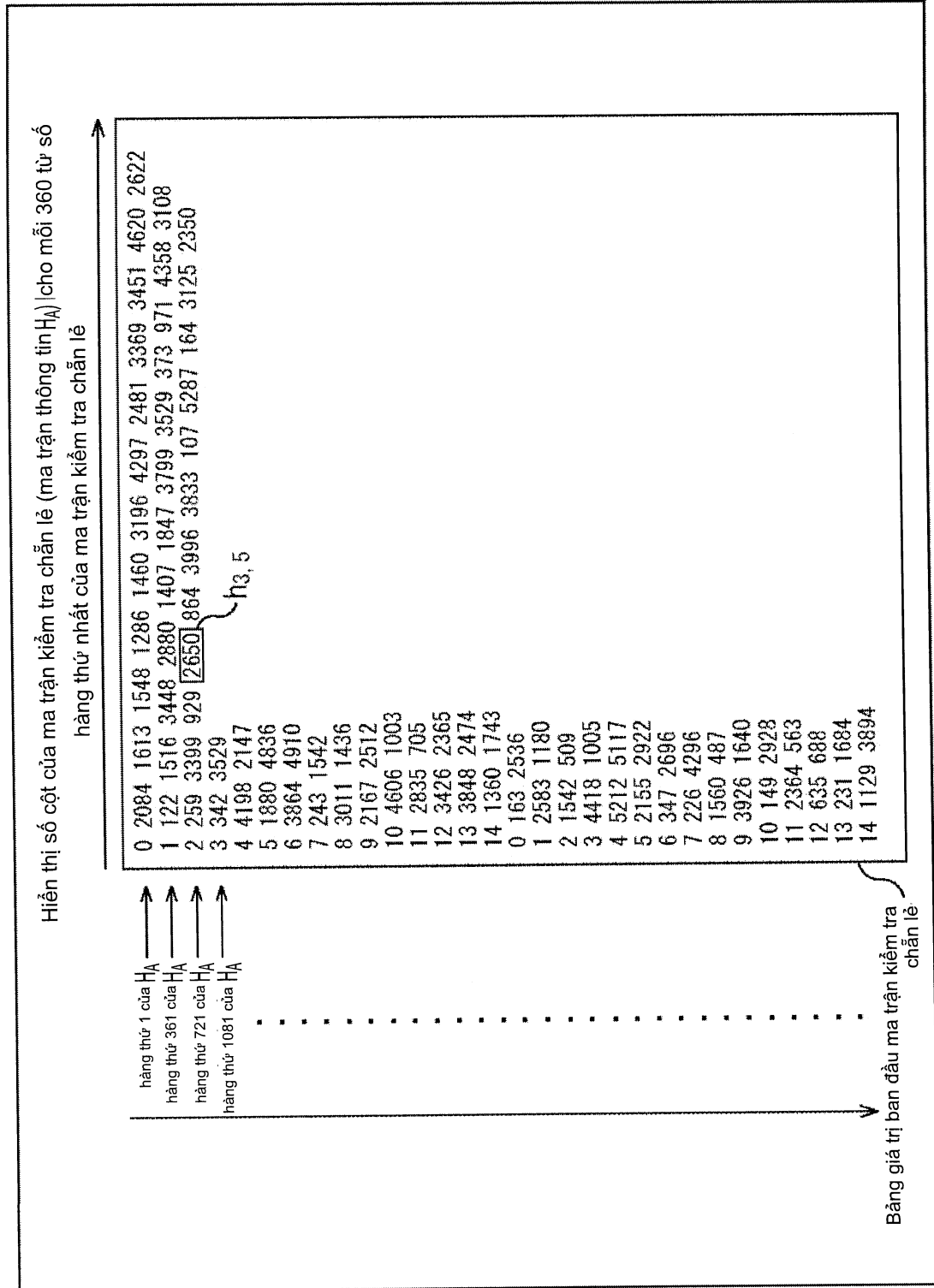
FIG. 38

FIG. 39

Bảng giá trị ban đầu ma trận kiểm tra chẵn lẻ là $N = 16200$ và $r = 7/15$

3	137	314	327	983	1597	2028	3043	3217	4109	6020	6178	6535	6560	7146	7180	7408	7790	7893	8123	8313	8526	8616	8638
356	1197	1208	1839	1903	2712	3088	3537	4091	4301	4919	5068	6025	6195	6324	6378	6686	6829	7558	7745	8042	8382	8587	8602
18	187	1115	1417	1463	2300	2328	3502	3805	4677	4827	5551	5968	6394	6412	6753	7169	7524	7695	7976	8069	8118	8522	8582
714	2713	2726	2964	3055	3220	3334	3459	5557	5765	5841	6290	6419	6573	6856	7786	7937	8156	8286	8327	8384	8448	8539	8559
3452	7935	8092	8623																				
56	1955	3000	8242																				
1809	4094	7991	8489																				
2220	6455	7849	8548																				
1006	2576	3247	6976																				
2177	6048	7795	8295																				
1413	2595	7446	8594																				
2101	3714	7541	8531																				
10	5961	7484																					
3144	4636	5282																					
5708	5875	8390																					
3322	5223	7975																					
197	4653	8283																					
598	5393	8624																					
906	7249	7542																					
1223	2148	8195																					
976	2001	5005																					

40/79

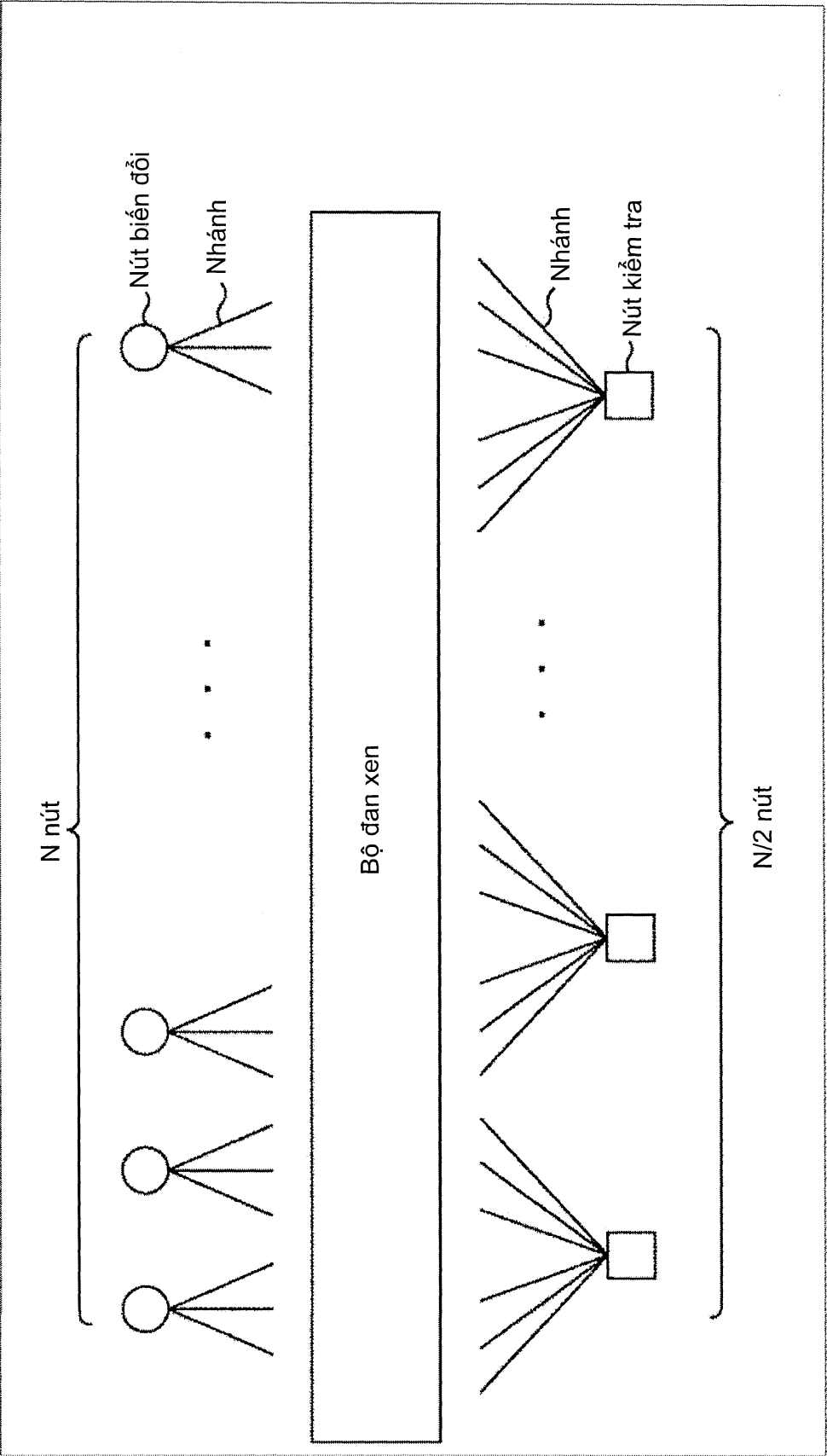
FIG. 40

Bảng giá trị ban đầu ma trận kiểm tra chẩn tế là $N = 16200$ và $r = 8/15$

32	384	430	591	1296	1976	1999	2137	2175	3638	4214	4304	4486	4662	4999	5174	5700	6969	7115	7138	7189
1788	1881	1910	2724	4504	4928	4973	5616	5686	5718	5846	6523	6893	6994	7074	7100	7277	7399	7476	7480	7537
2791	2824	2927	4196	4298	4800	4948	5361	5401	5688	5818	5862	5969	6029	6244	6645	6962	7203	7302	7454	7534
574	1461	1826	2056	2069	2387	2794	3349	3366	4951	5826	5834	5903	6640	6762	6786	6859	7043	7418	7431	7554
14	178	675	823	890	930	1209	1311	2898	4339	4600	5203	6485	6549	6970	7208	7218	7298	7454	7457	7462
4075	4188	7313	7553																	
5145	6018	7148	7507																	
3198	4858	6983	7033																	
3170	5126	5625	6901																	
2839	6093	7071	7450																	
11	3735	5413																		
2497	5400	7238																		
2067	5172	5714																		
1889	7173	7329																		
1795	2773	3499																		
2695	2944	6735																		
3221	4625	5897																		
1690	6122	6816																		
5013	6839	7358																		
1601	6849	7415																		
2180	7389	7543																		
2121	6838	7054																		
1948	3109	5046																		
272	1015	7464																		

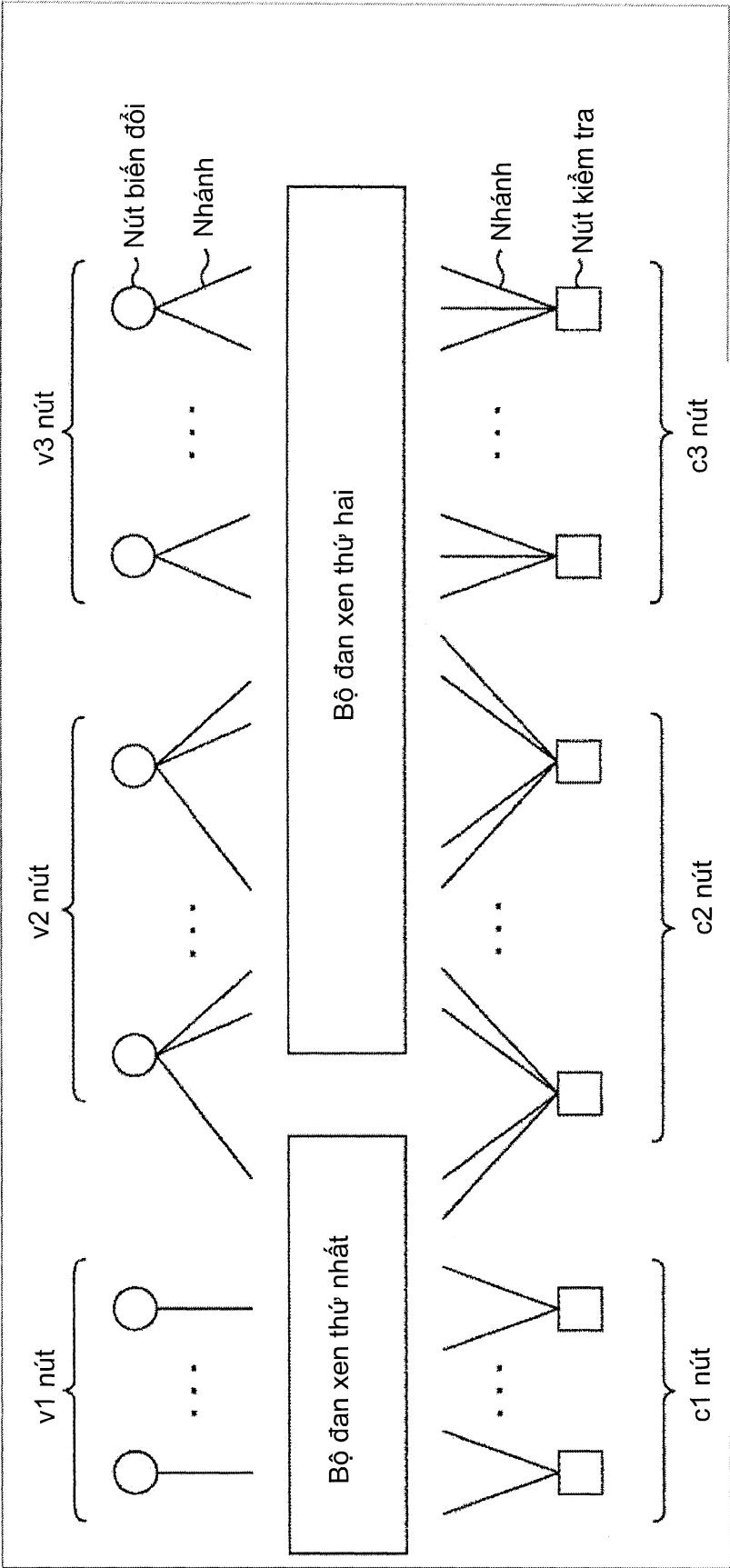
41/79

FIG. 41



42/79

FIG. 42



23600

43/79

FIG. 43

Tốc độ mã hóa	Độ dài chu kỳ nhỏ nhất	Ngưỡng thực hiện (Eb/No)
7/15	6	0,36
8/15	6	0,64

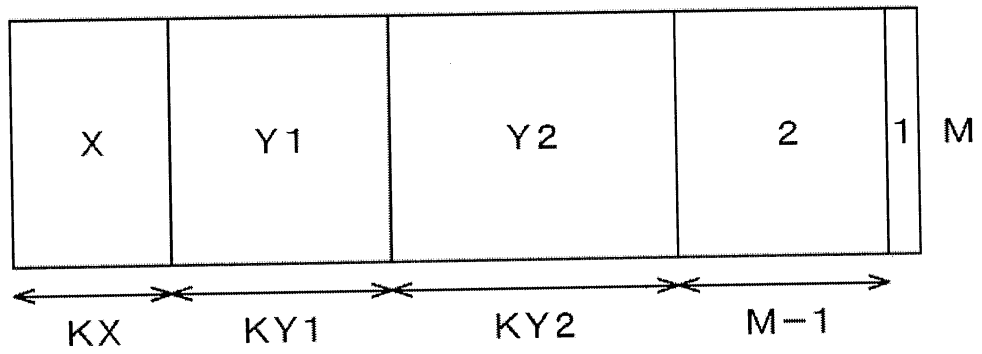
FIG. 44

FIG. 45

Tốc độ	X	KX	Y1	KY1	Y2	KY2	M
7/15	24	1440	4	2880	3	3240	8640
8/15	21	1800	4	1800	3	5040	7560

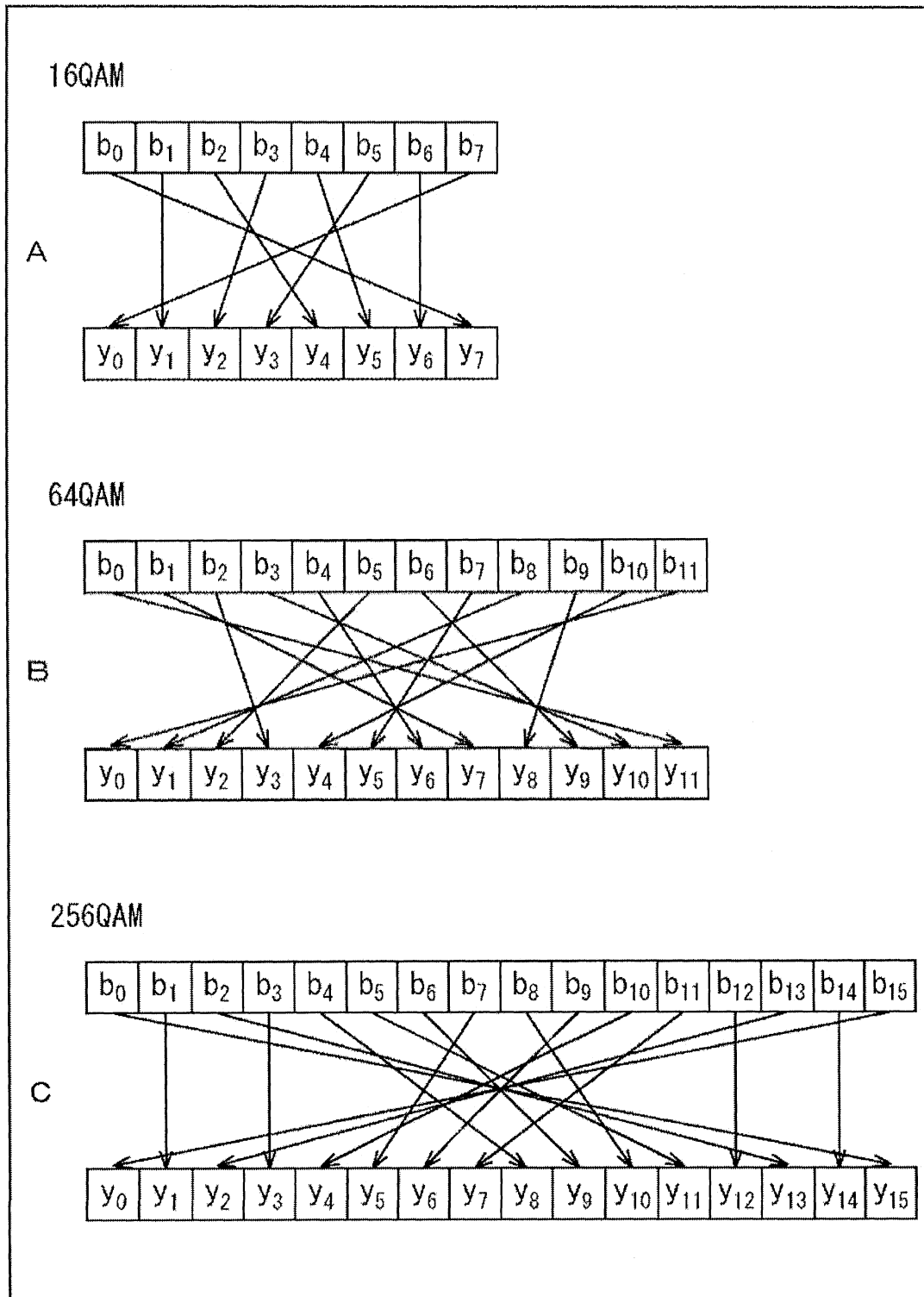
FIG. 46

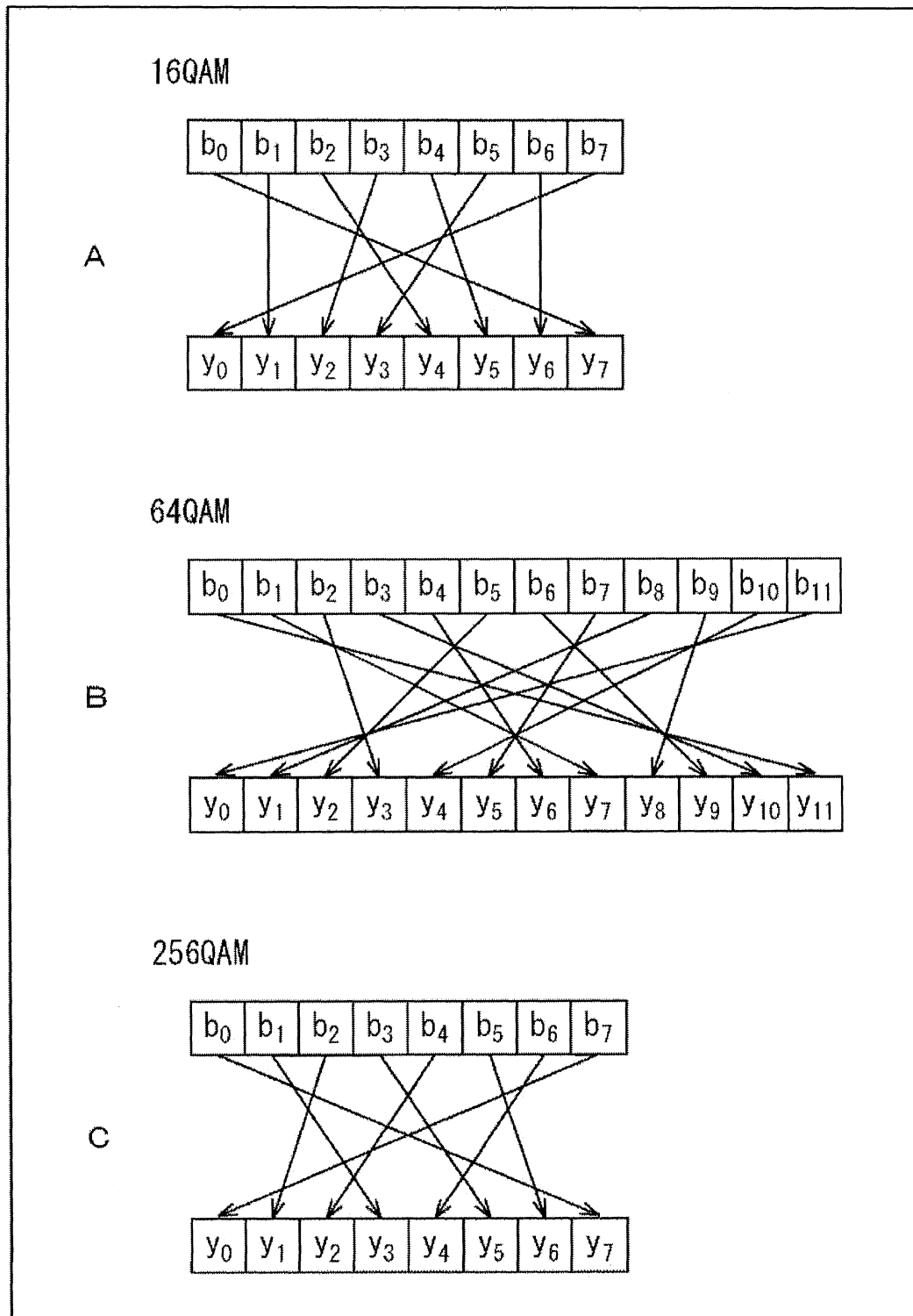
FIG. 47

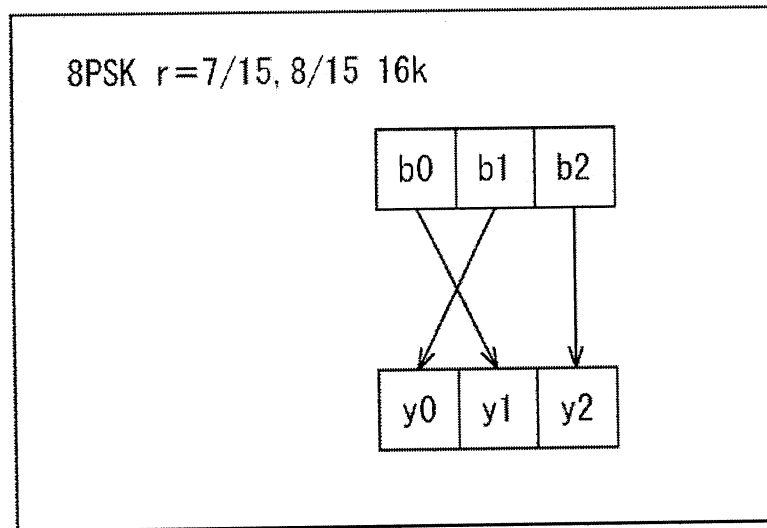
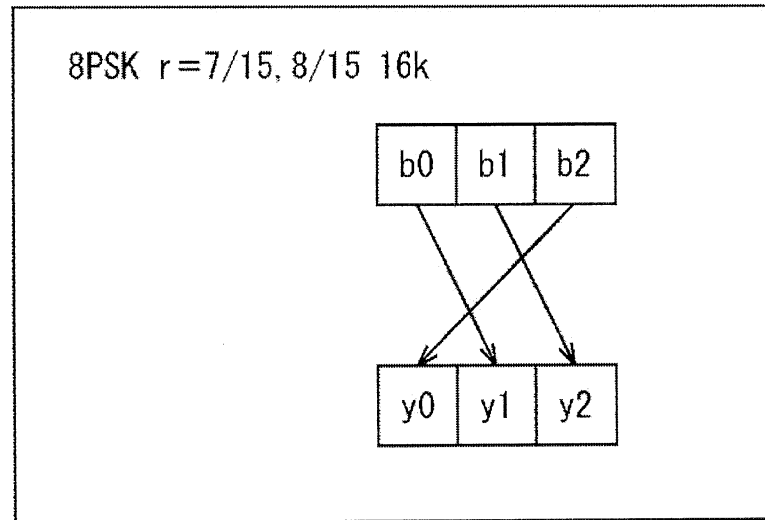
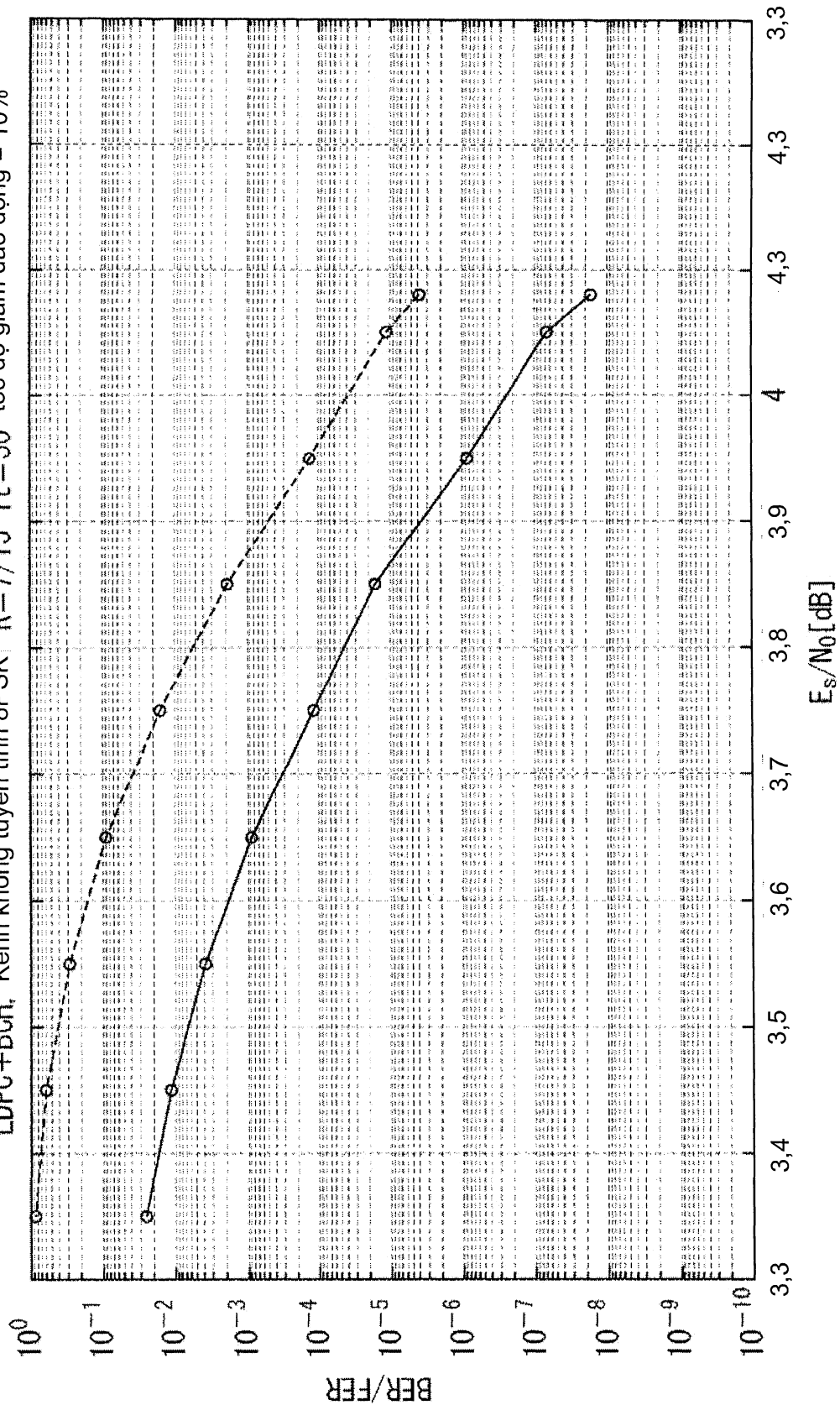
FIG. 48

FIG. 49

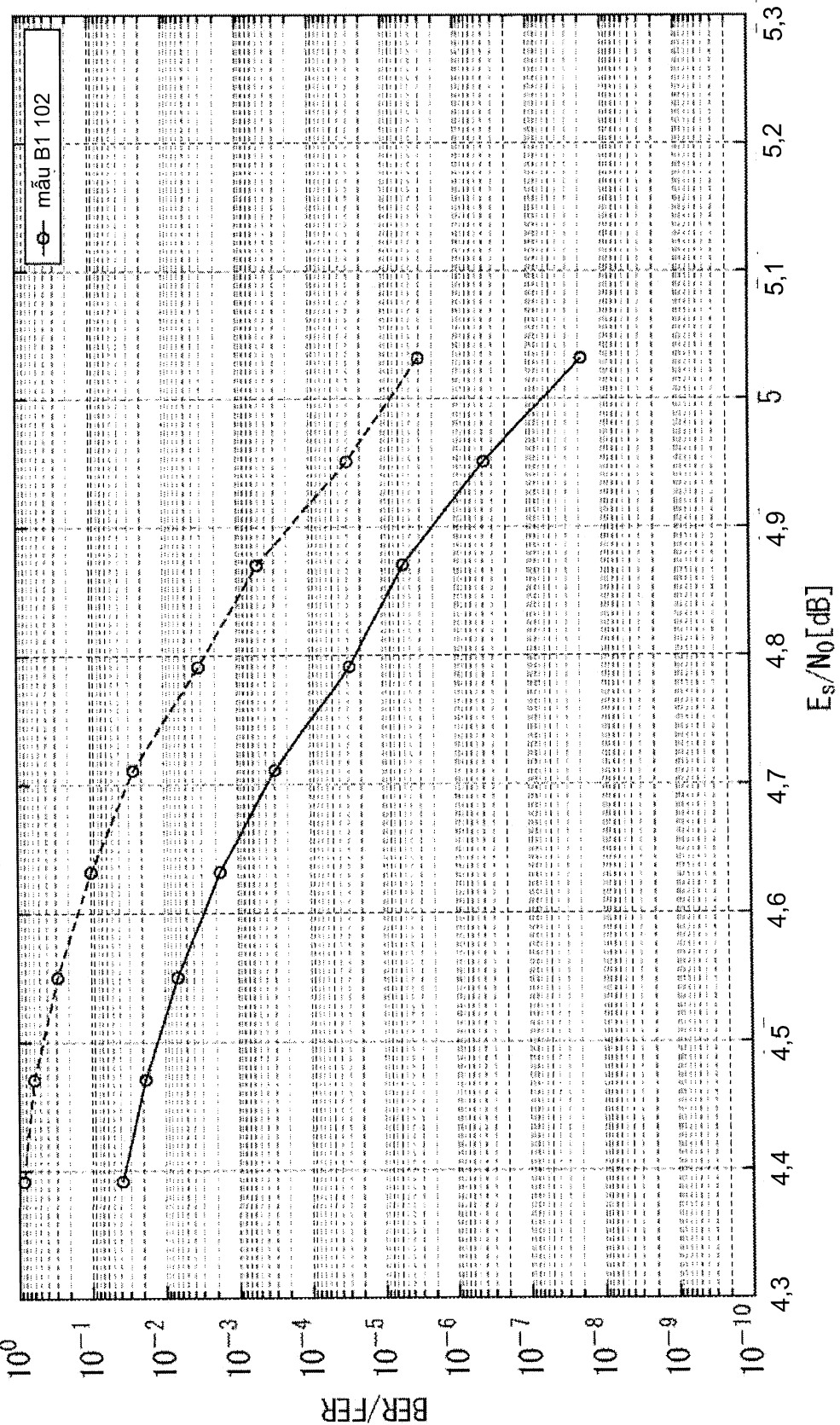
50/79

FIG. 50

LDPC+BCH, Kênh không tuyến tính 8PSK R=7/15 it=50 tốc độ giảm dao động = 10%



51/79

FIG. 51LDPC + BCH, Kênh không tuyến tính QPSK $R = 8/15$ it = 50 tốc độ giảm dao động = 10%

52/79

FIG. 52

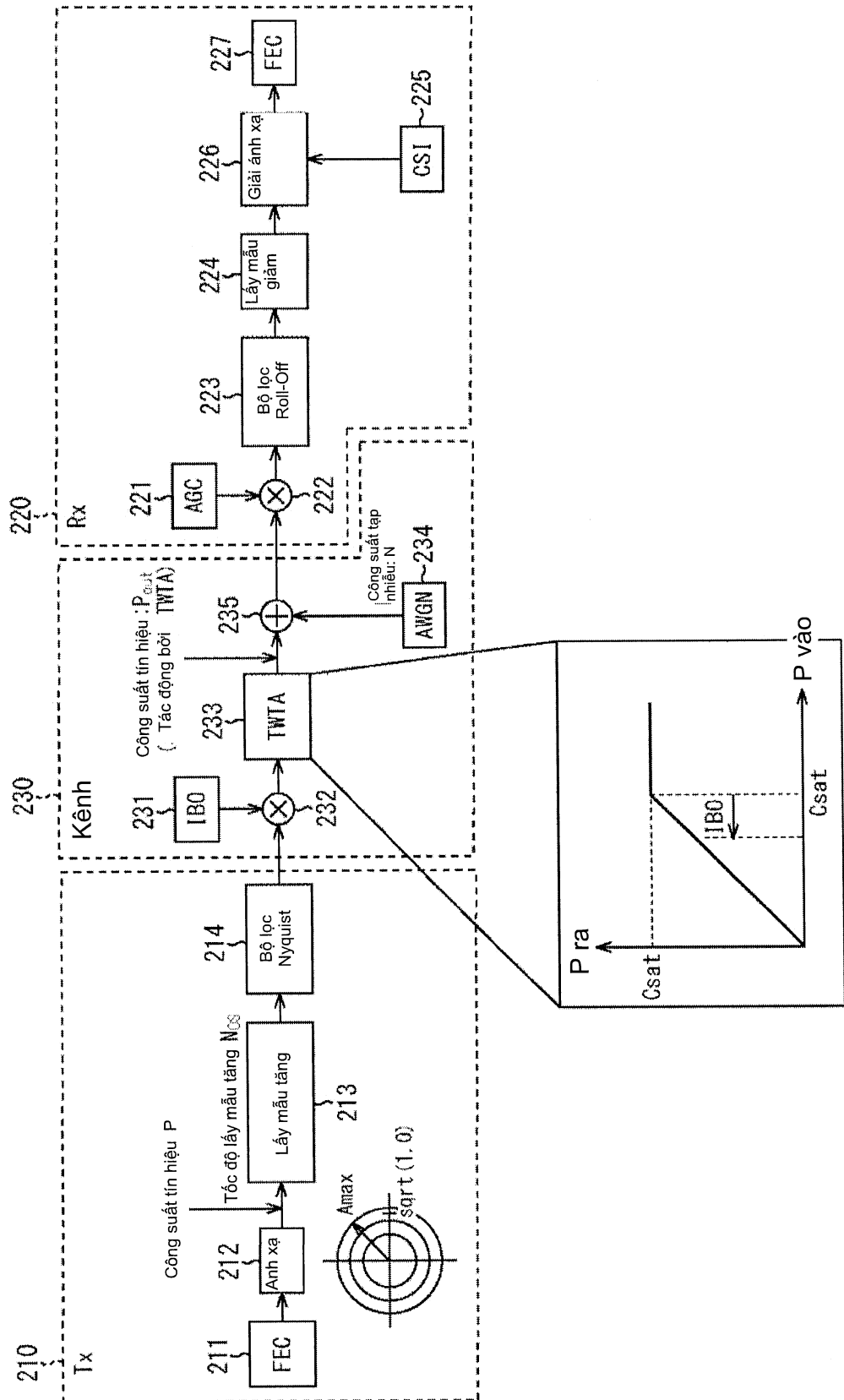


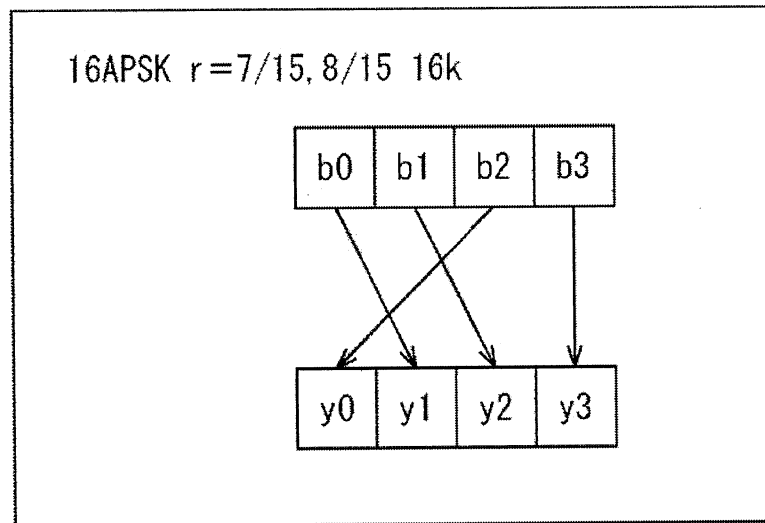
FIG. 53

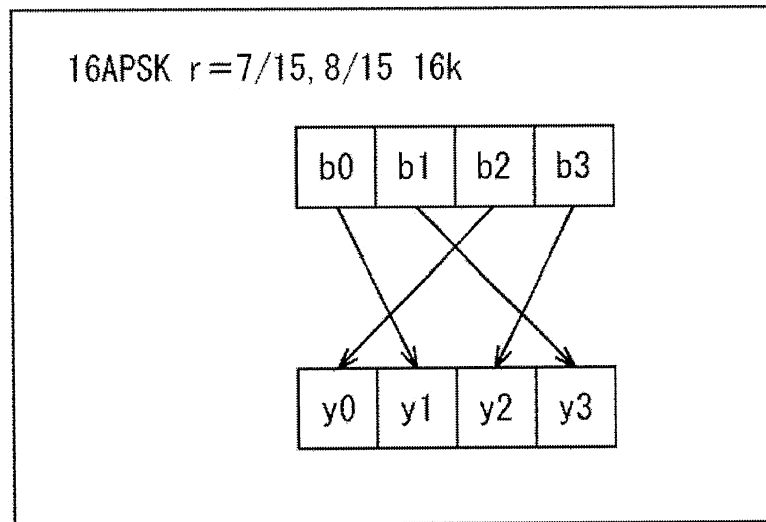
FIG. 54

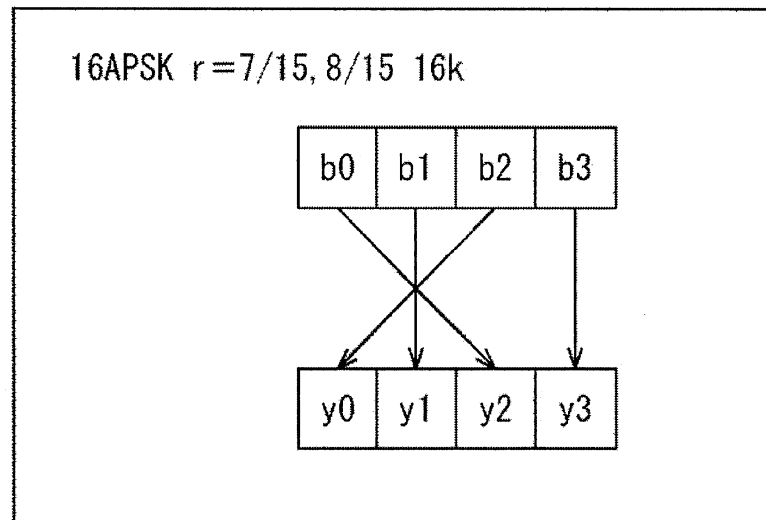
FIG. 55

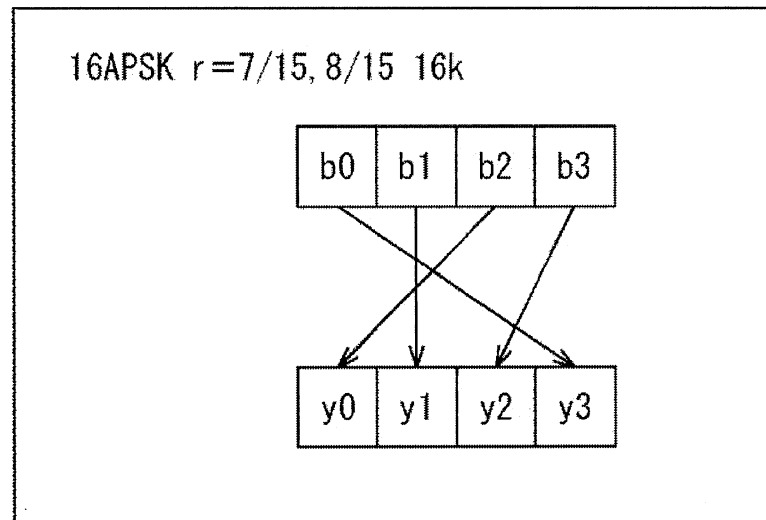
FIG. 56

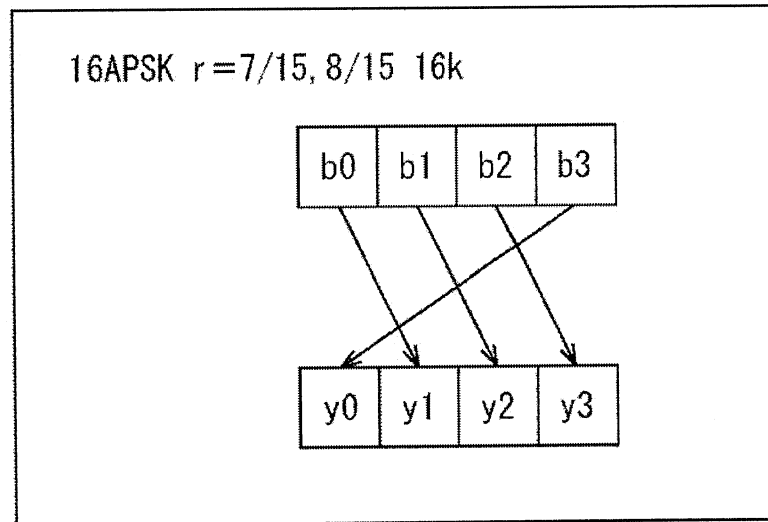
FIG. 57

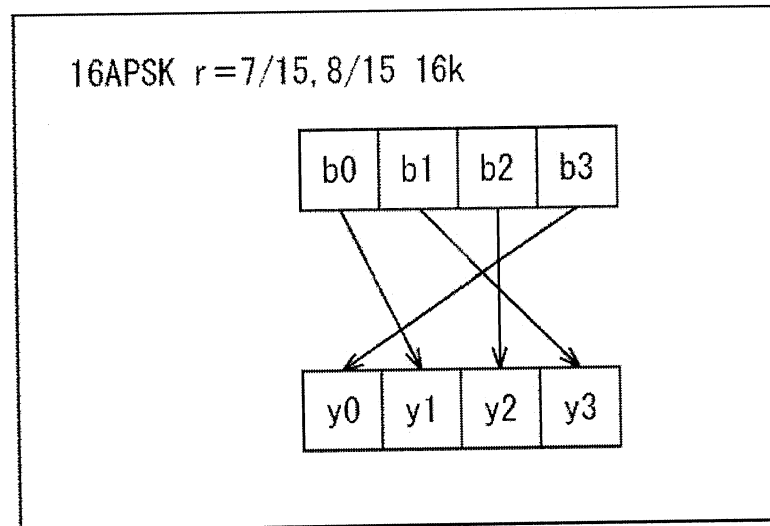
FIG. 58

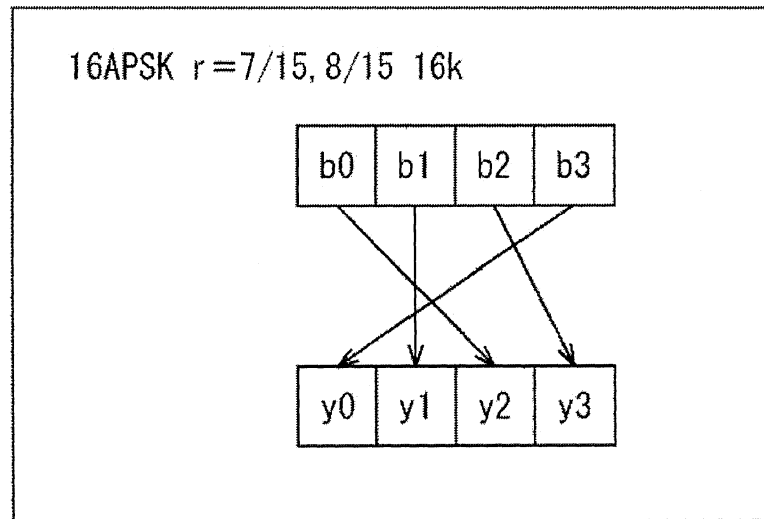
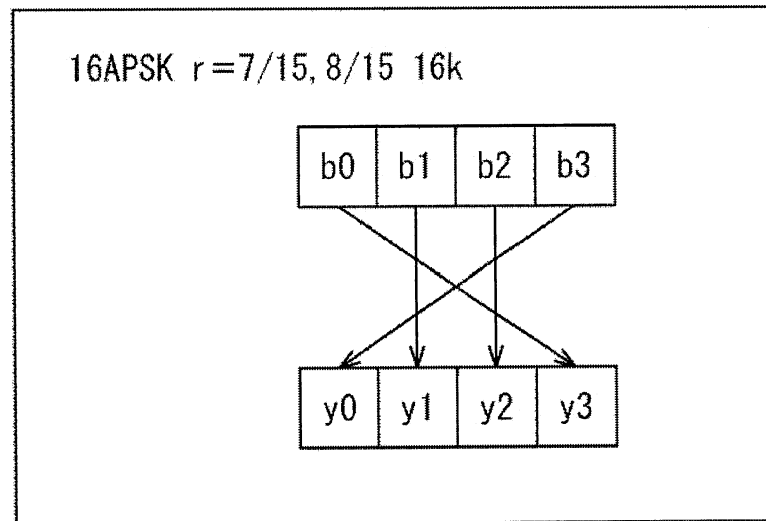
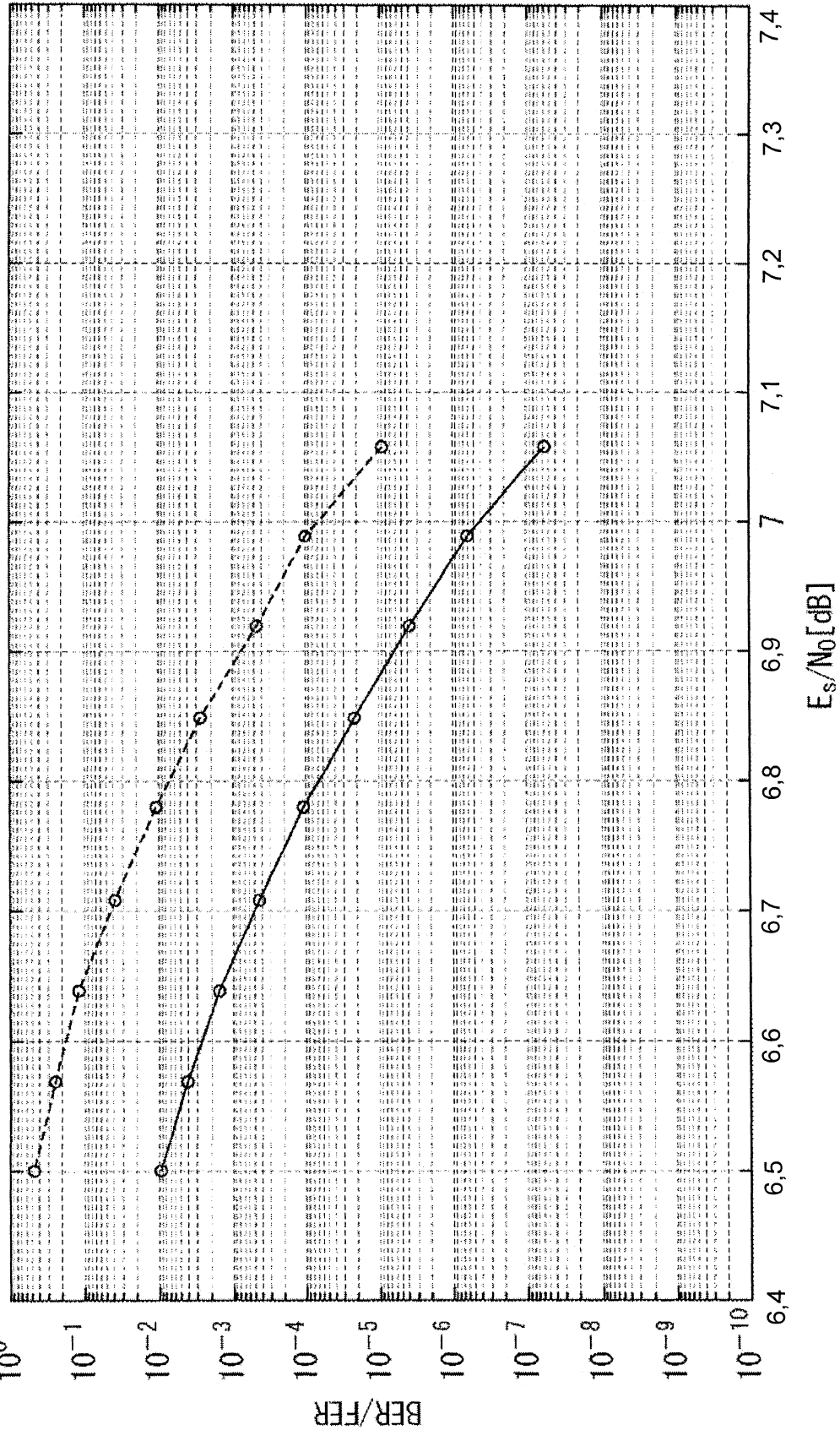
FIG. 59

FIG. 60

61/79

FIG.61

LDPC + BCH, Kênh không tuyến tính 16APSK R = 7/15 it = 50 tốc độ giảm dao động = 10%



62/79

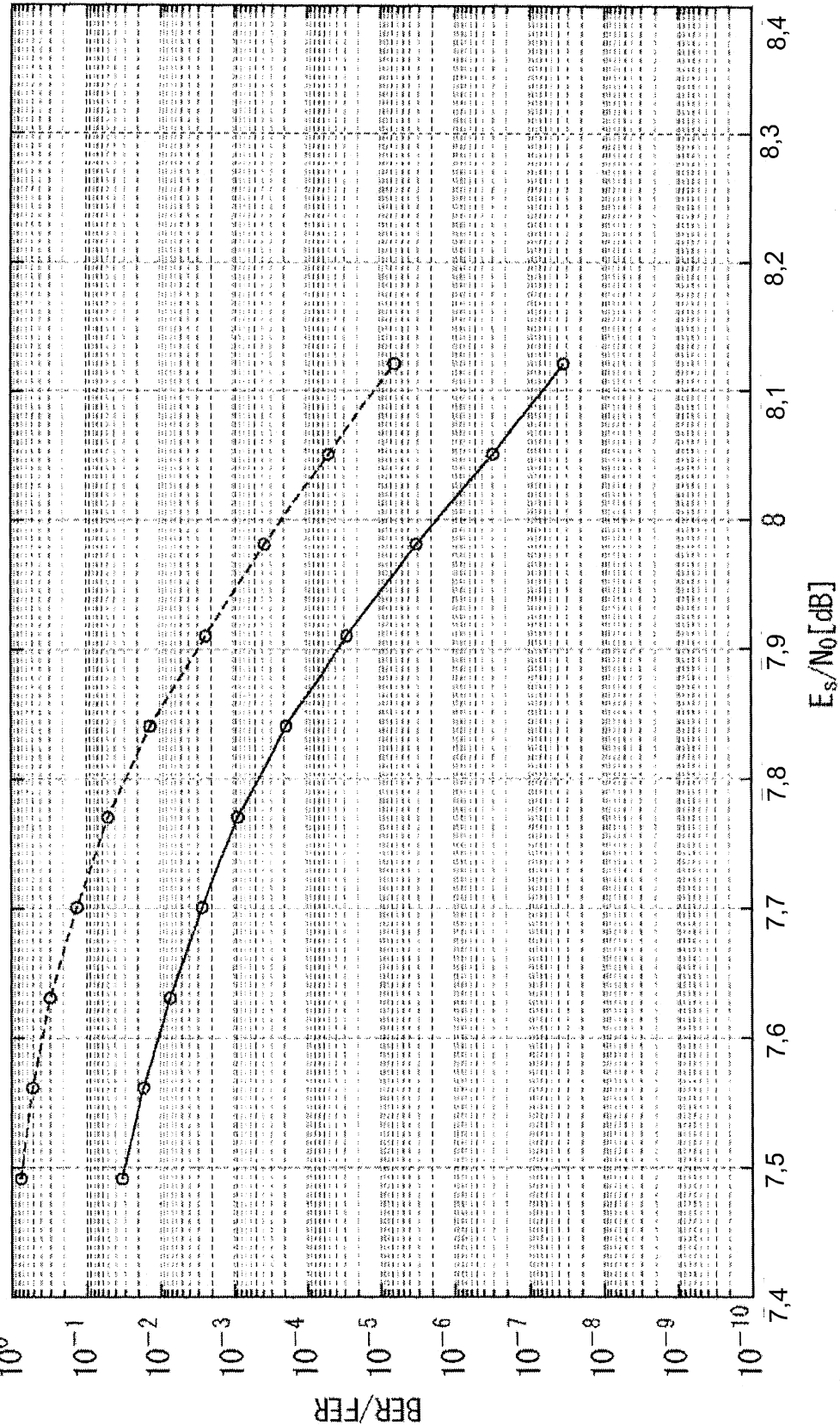
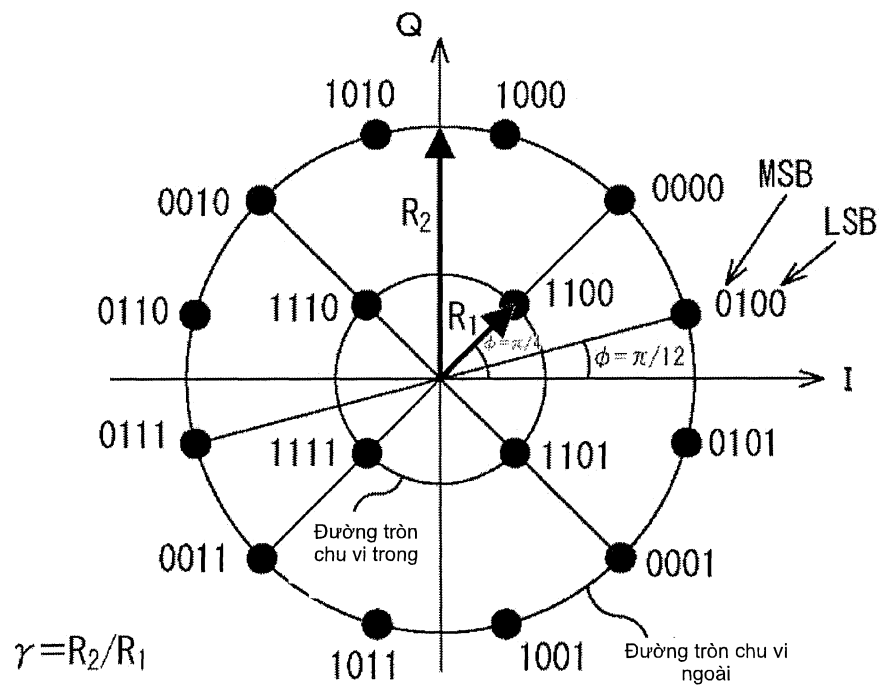
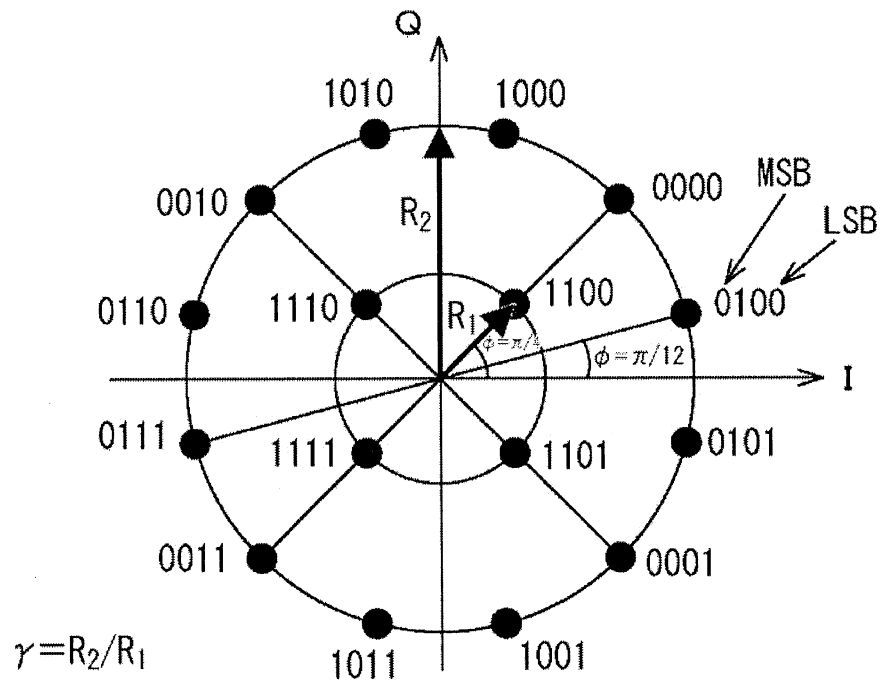
FIG. 62LDPC + BCH, Kênh không tuyến tính 16APSK R = 8/15 η = 50 tốc độ giảm dao động = 10%

FIG. 63

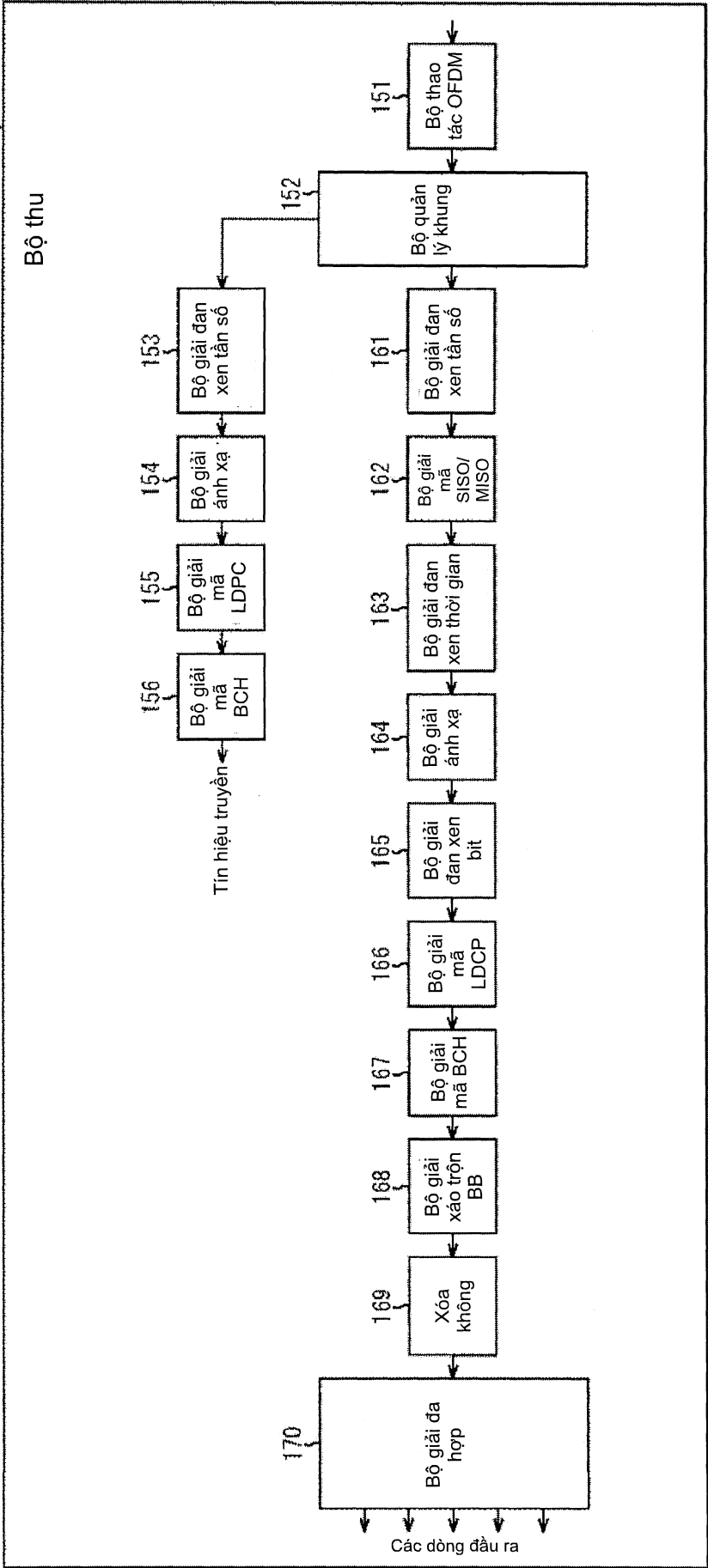
Tốc độ mã	Hiệu quả phổ mã hóa/điều biến	γ
7/15	1,83 (Khi tốc độ giảm dao động là 10%, 1,66)	5,25
8/15	2,10 (Khi tốc độ giảm dao động là 10%, 1,91)	4,85

FIG. 64

Tốc độ mã	Hiệu quả phổ mã hóa/điều biến	γ
7/15	1,83 (Khi tốc độ giảm dao động là 10%, 1,66)	3,32
8/15	2,10 (Khi tốc độ giảm dao động là 10%, 1,91)	3,50

65/79

FIG. 65



66/79

FIG. 66

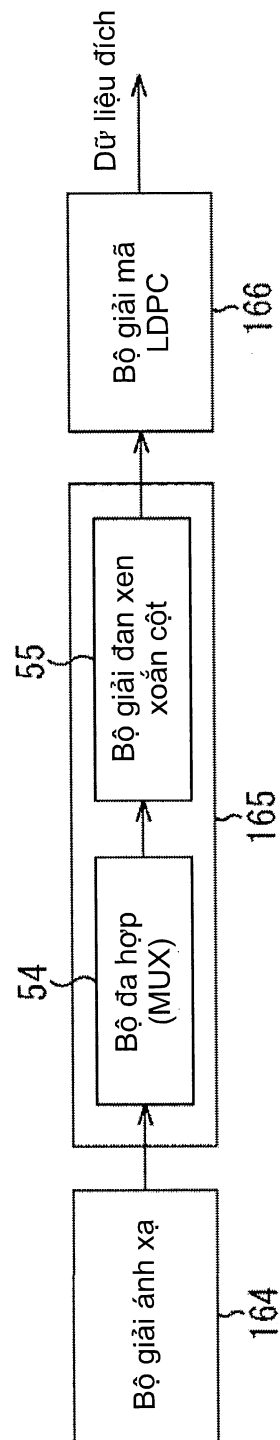
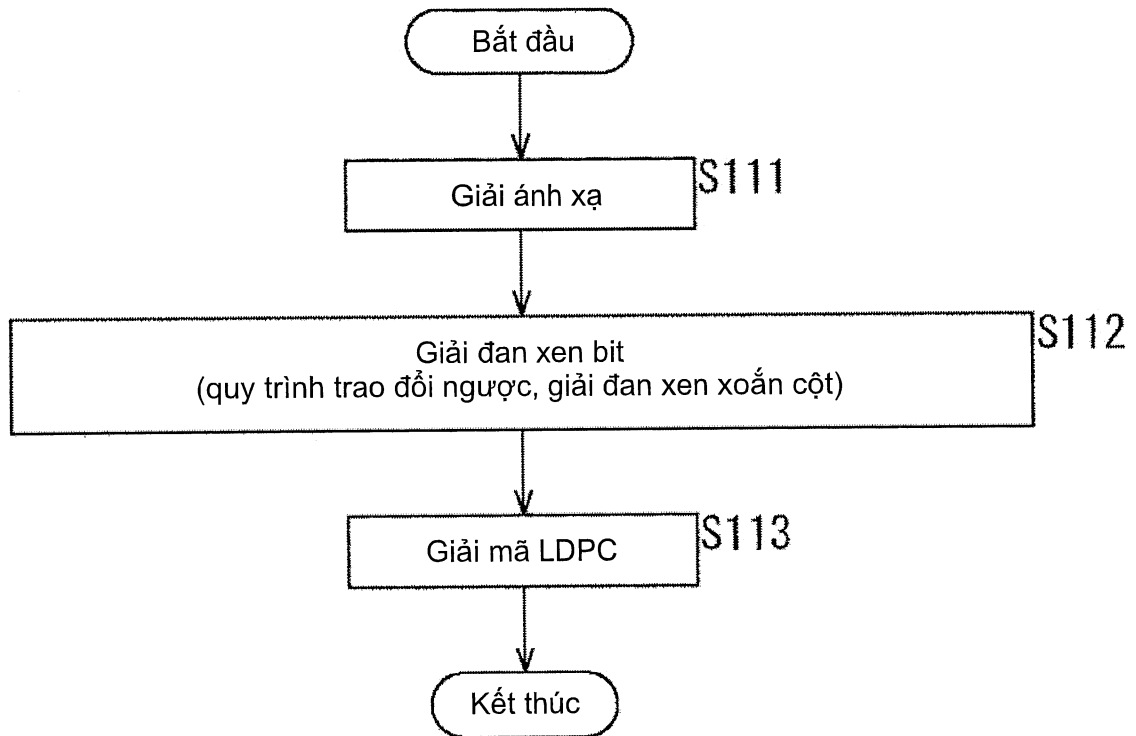
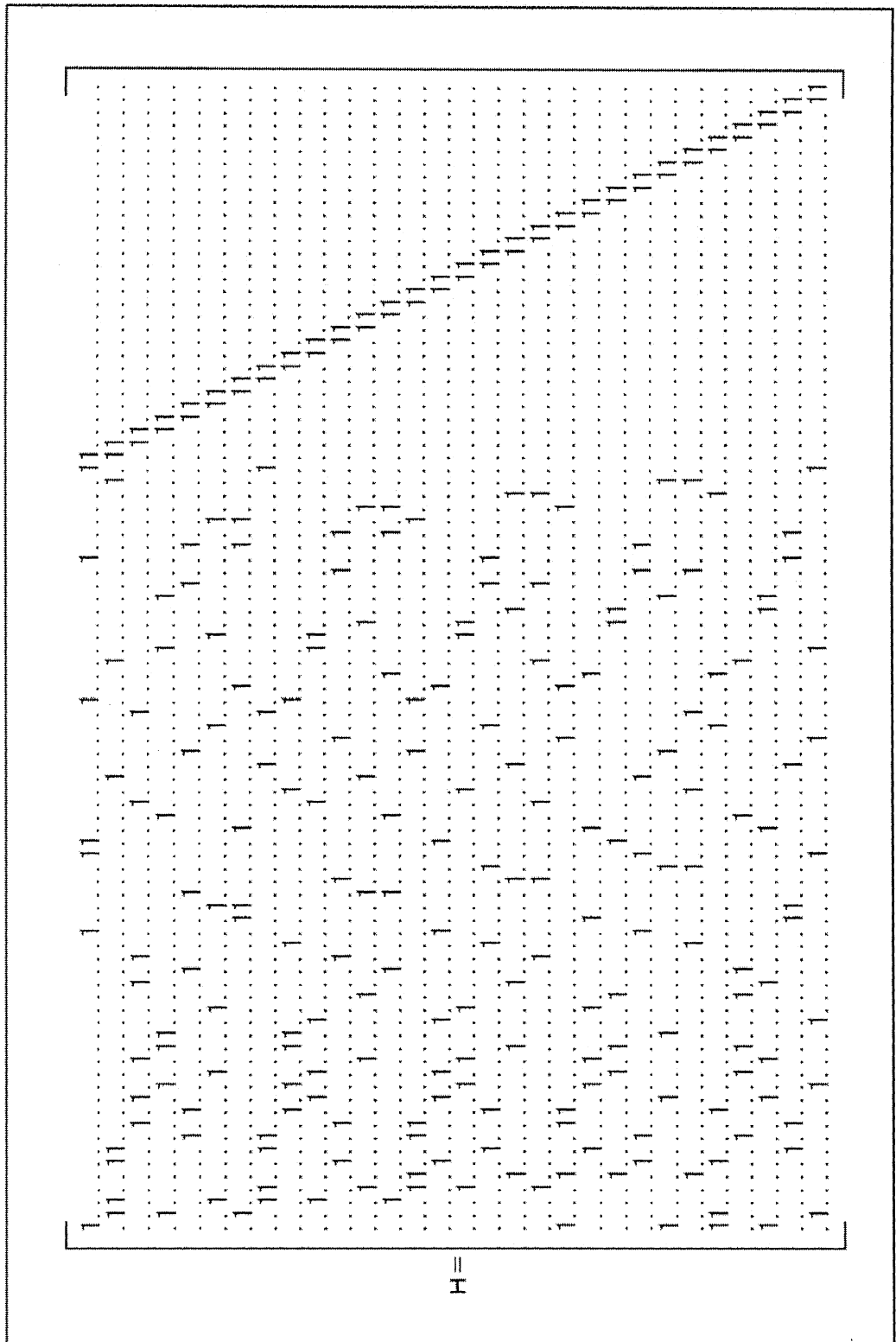
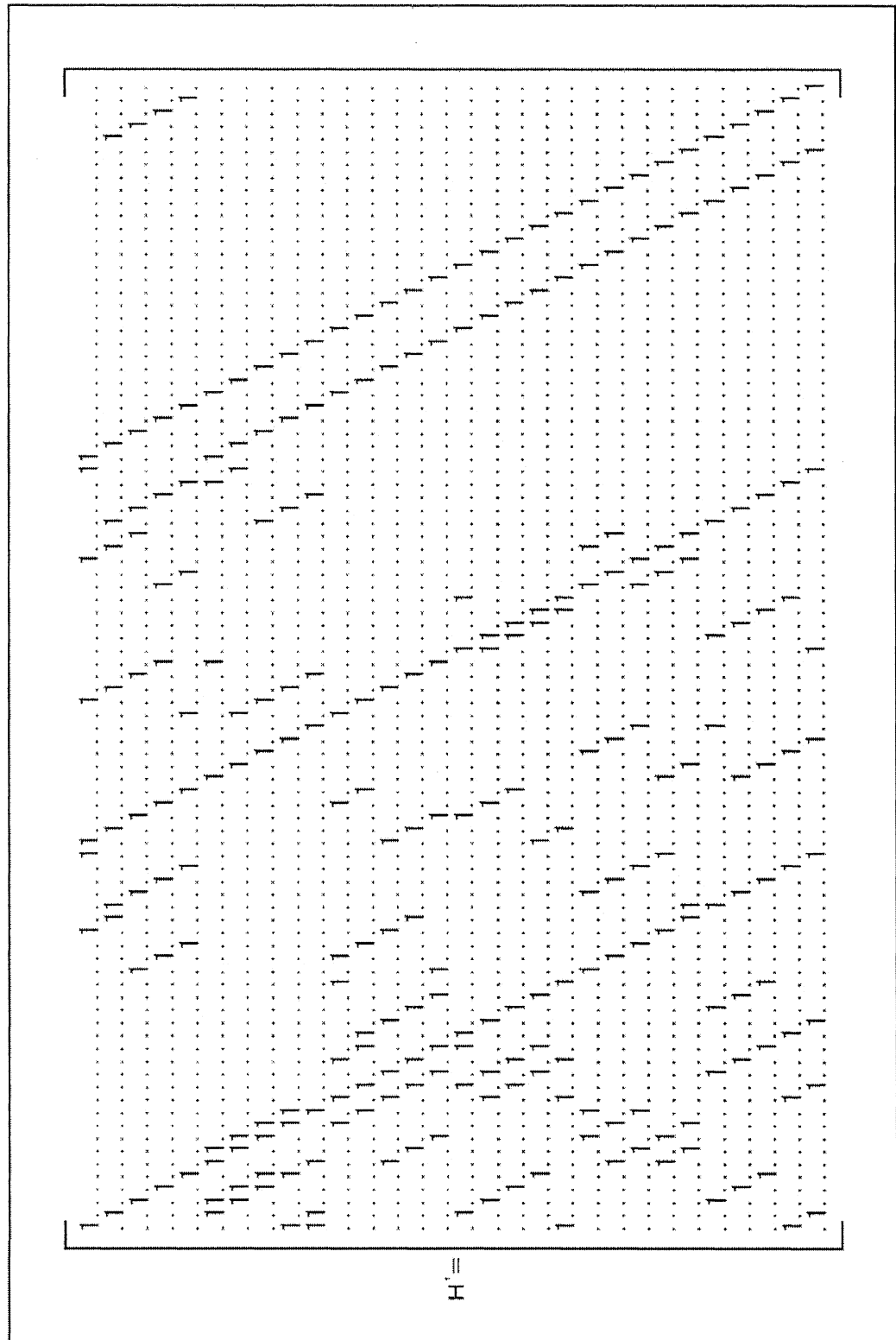


FIG. 67

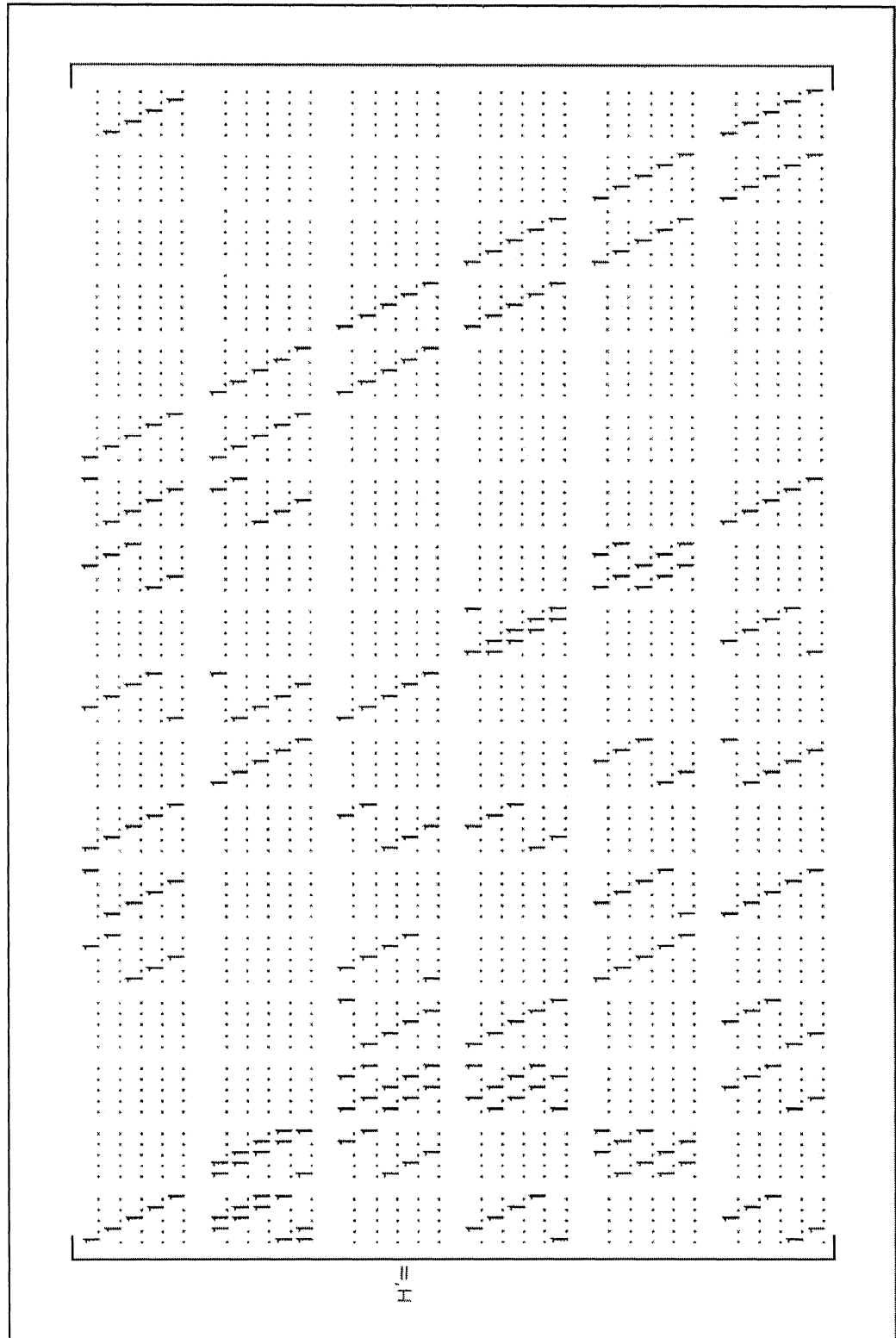
68/79

FIG. 68

69/79

FIG. 69

70/79

FIG. 70

71/79

FIG. 71

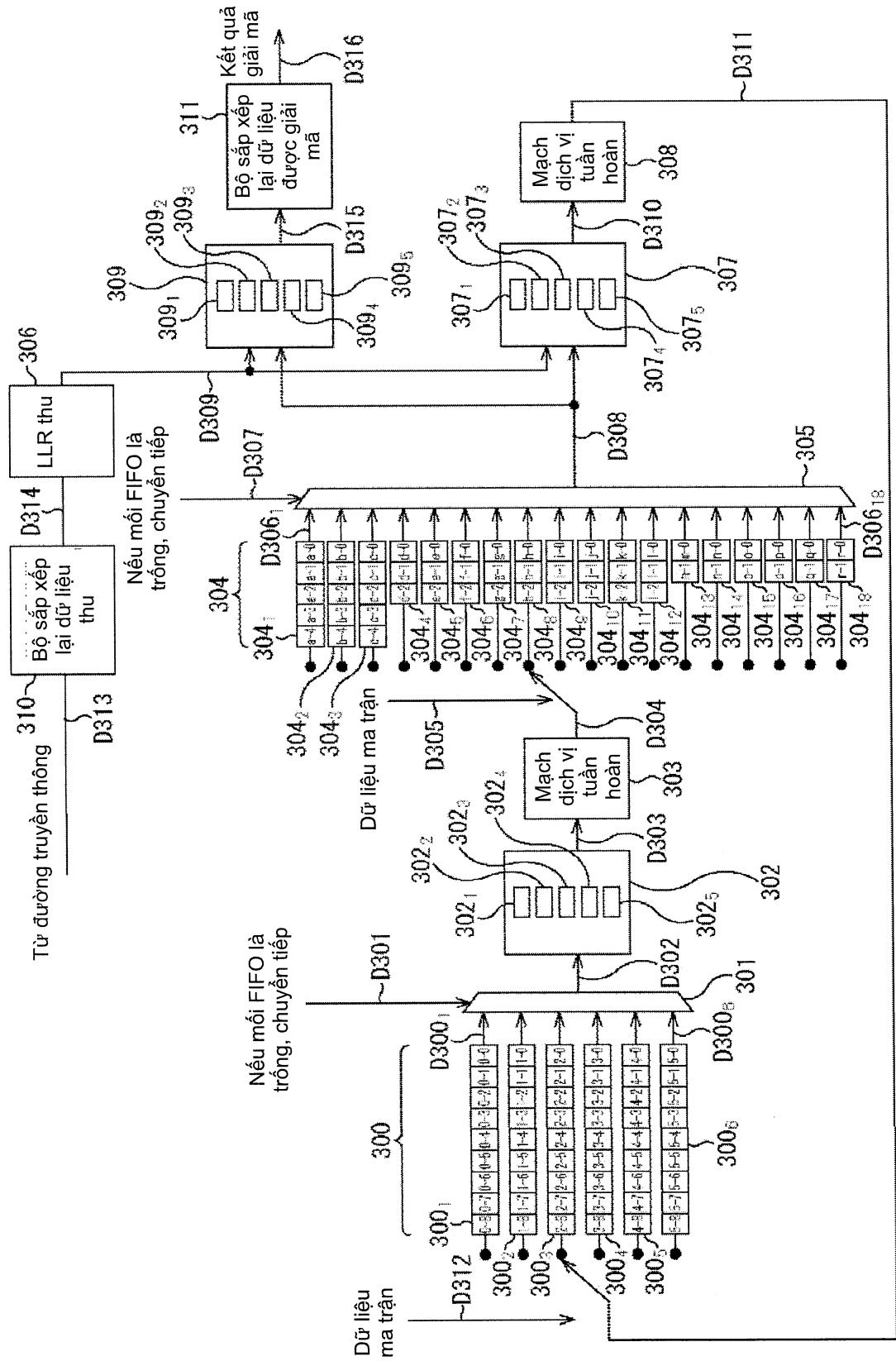
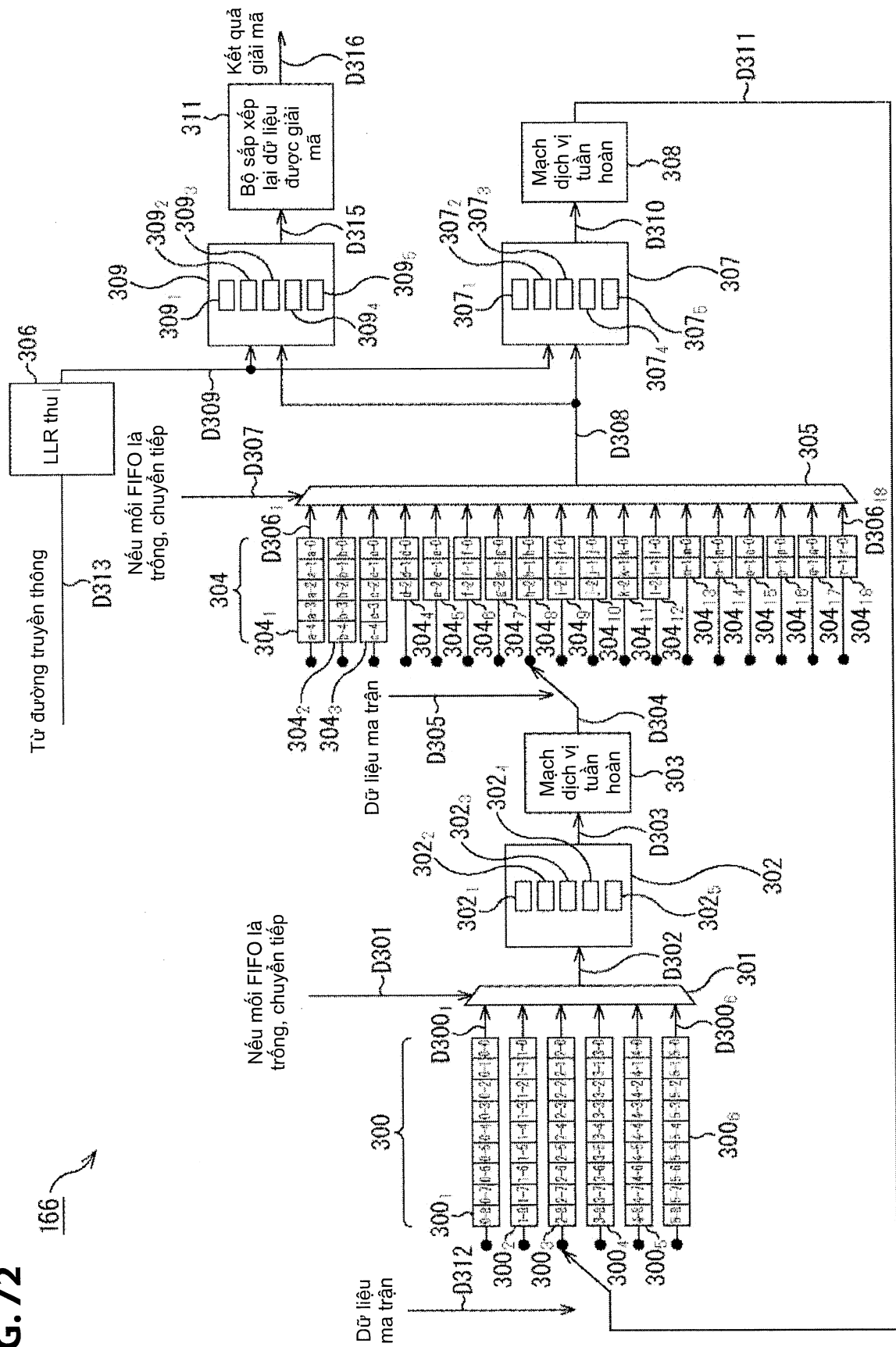


FIG. 72

72/79



73/79
FIG. 73

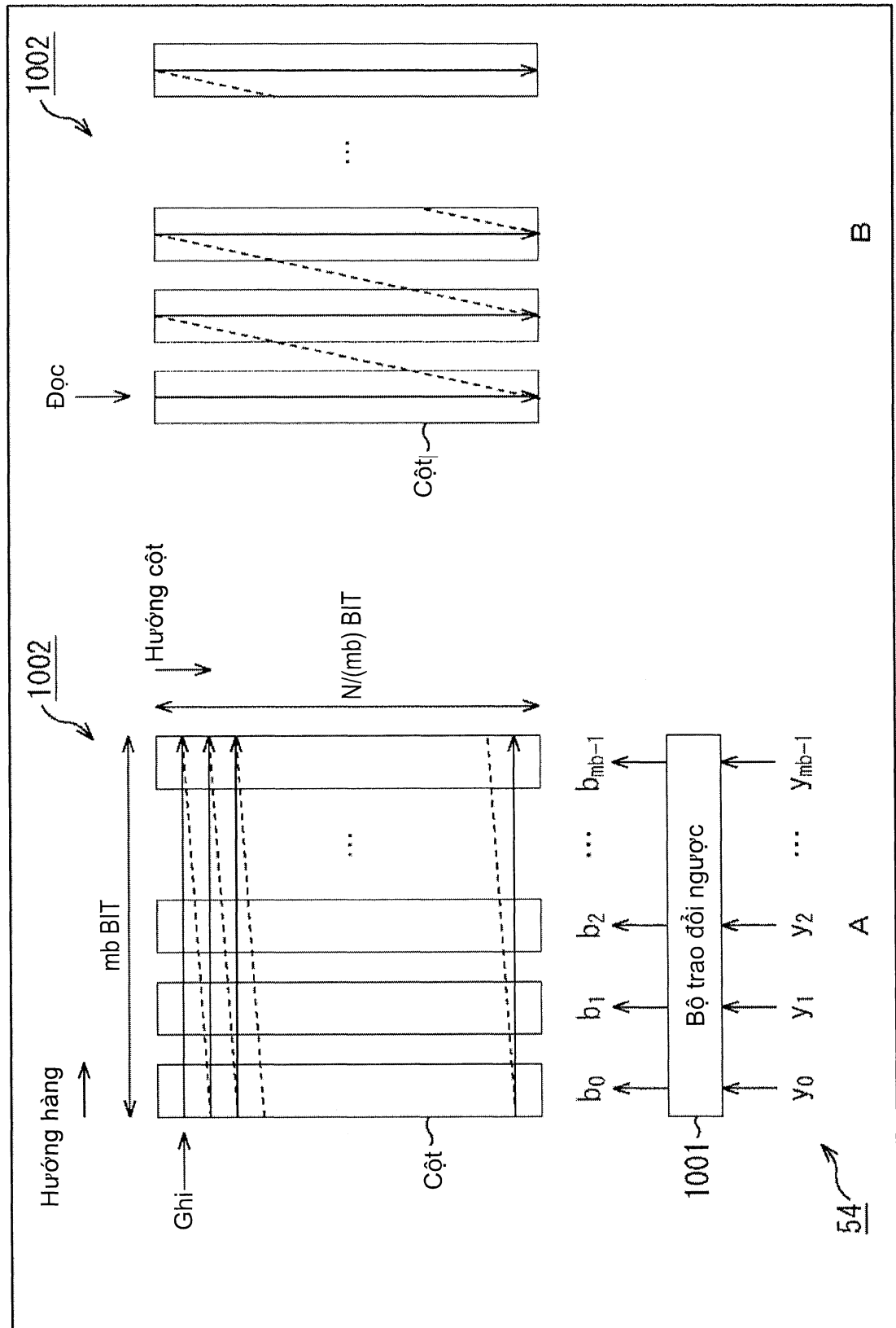


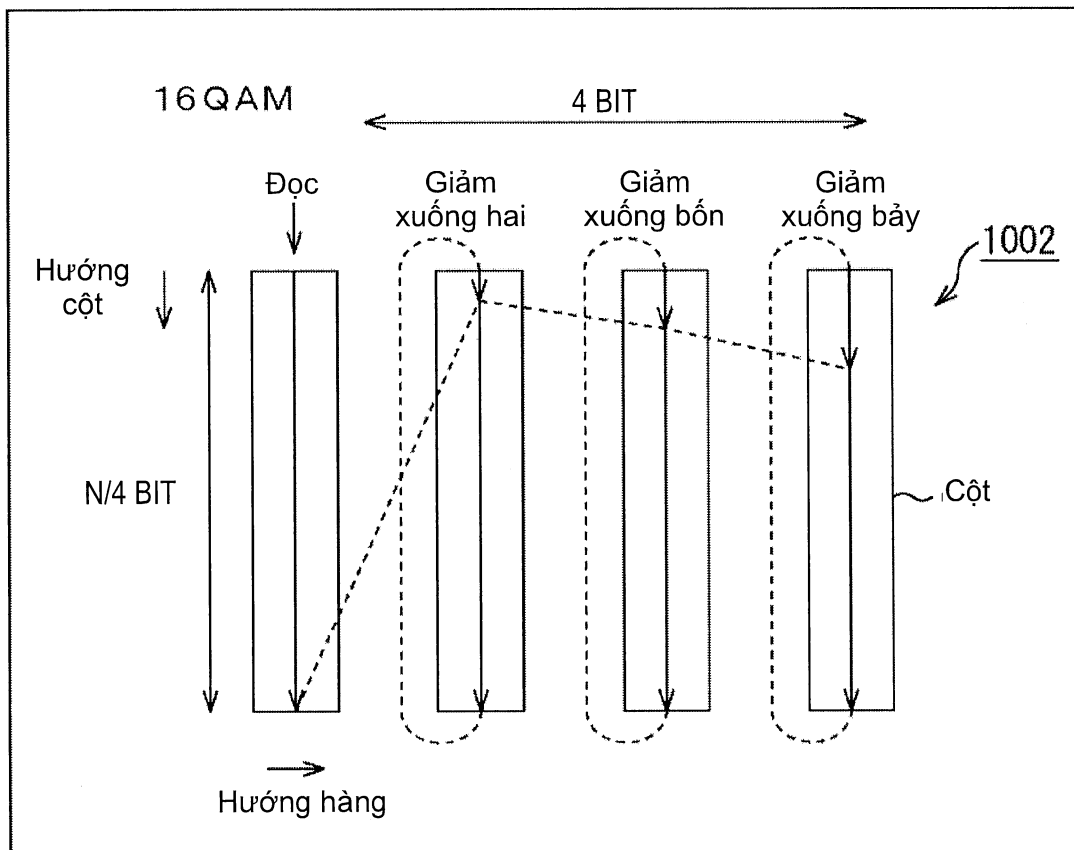
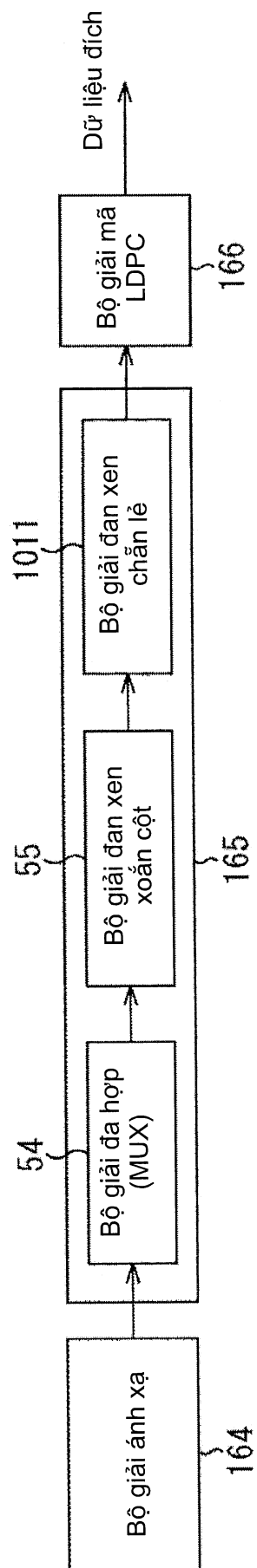
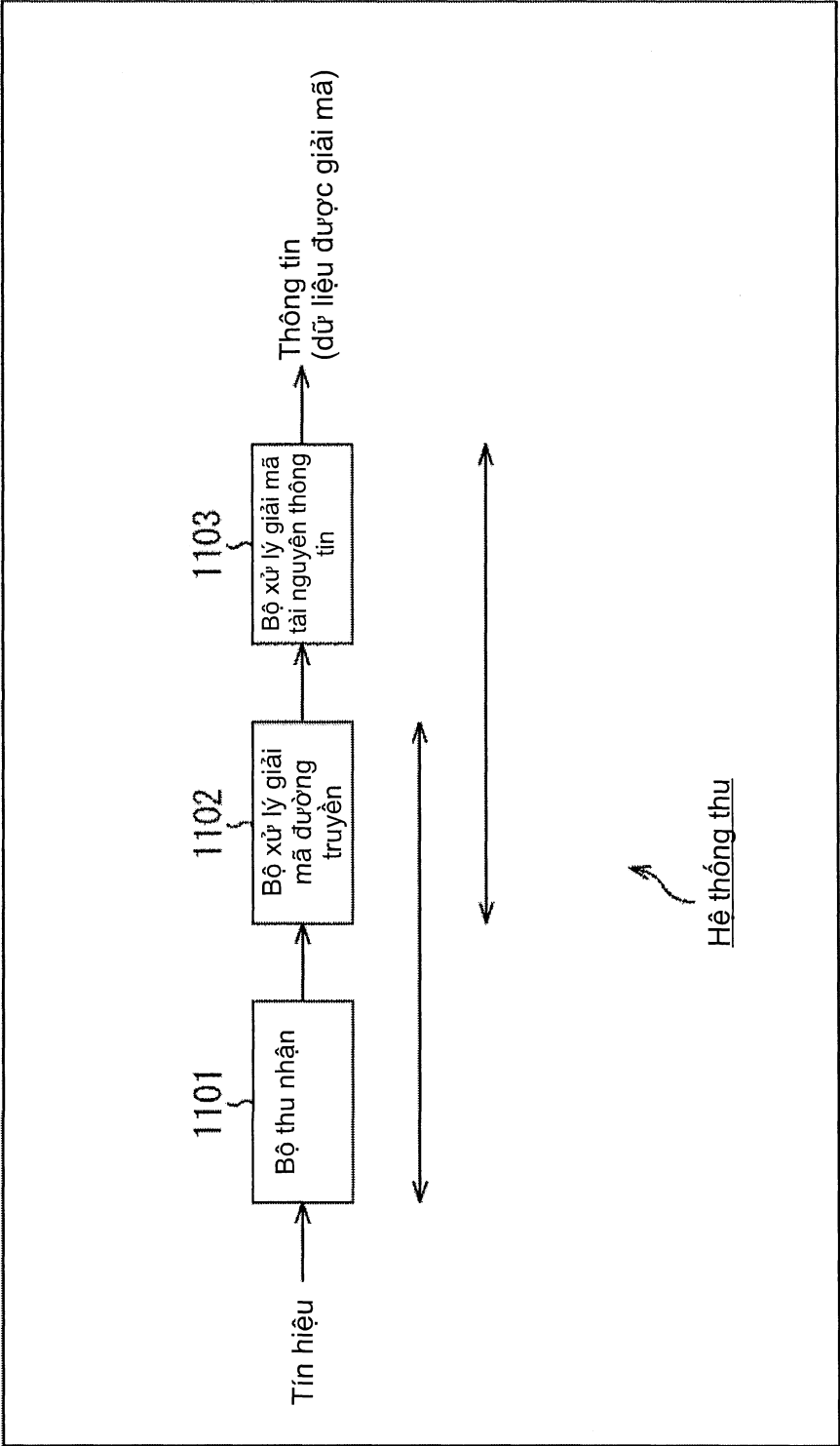
FIG. 74

FIG. 75



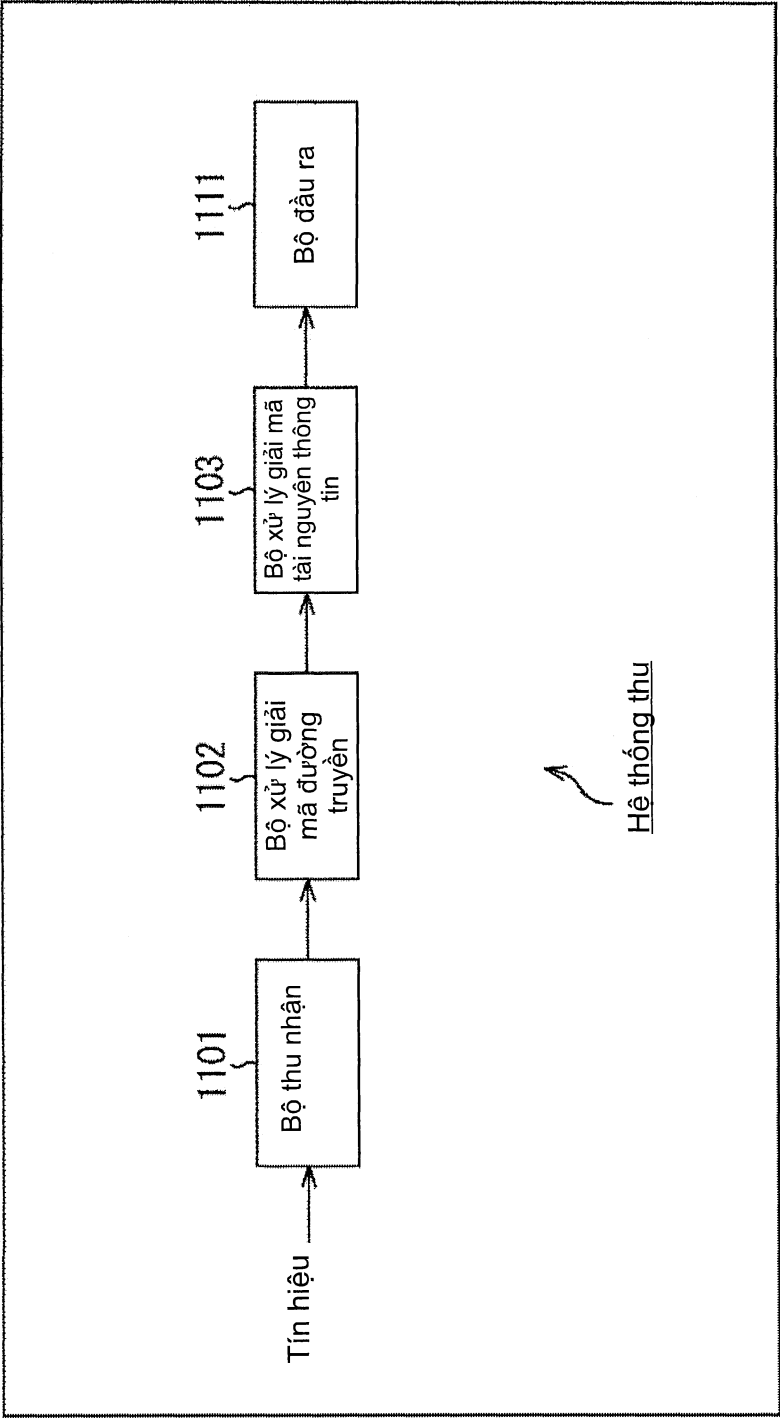
76/79

FIG. 76



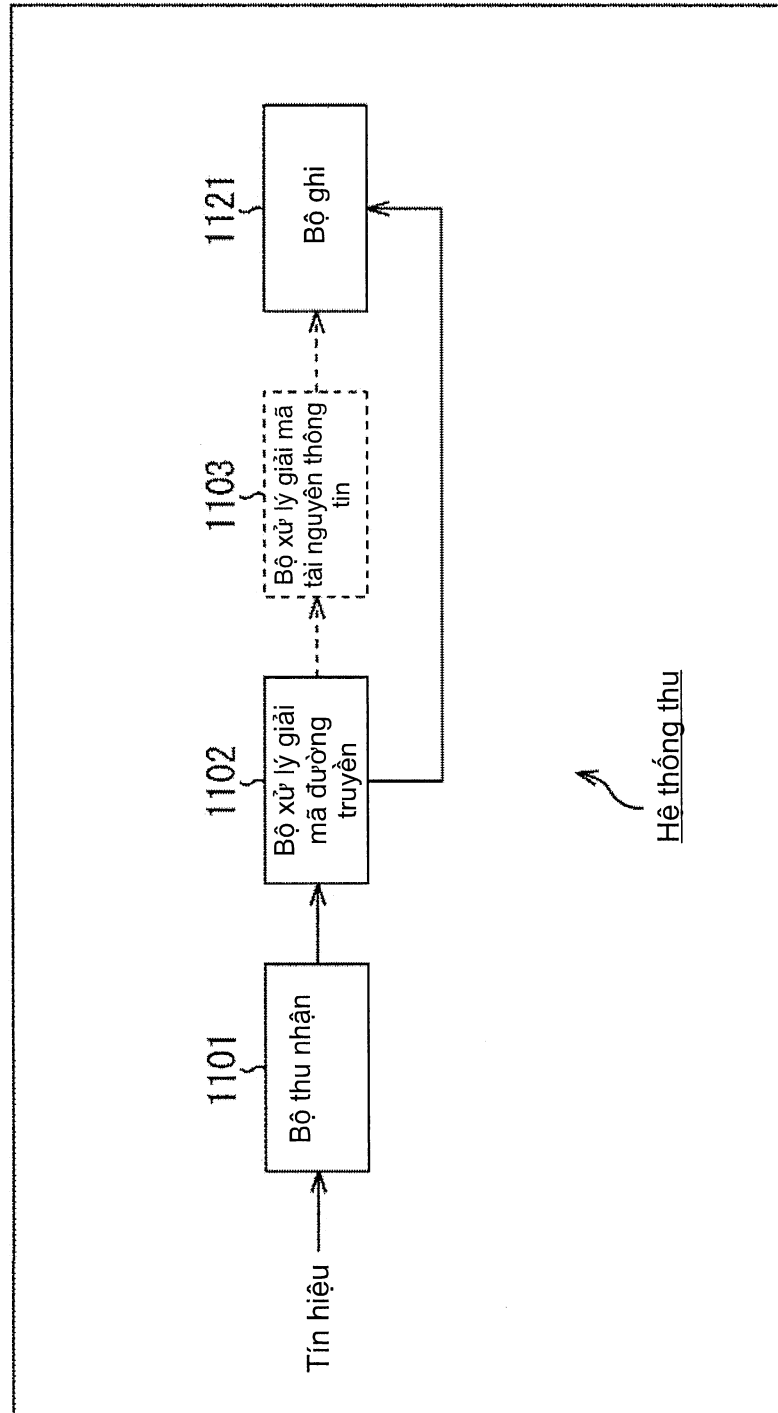
77/79

FIG. 77



78/79

FIG. 78



79/79

FIG. 79

