



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẢNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0023322

(51)⁷ H03K 19/173

(13) B

(21) 1-2013-03842

(22) 02/05/2012

(86) PCT/JP2012/062072 02/05/2012

(87) WO2012/157532 22/11/2012

(30) 2011-109838 16/05/2011 JP

(45) 27/04/2020 385

(43) 25/06/2014 315A

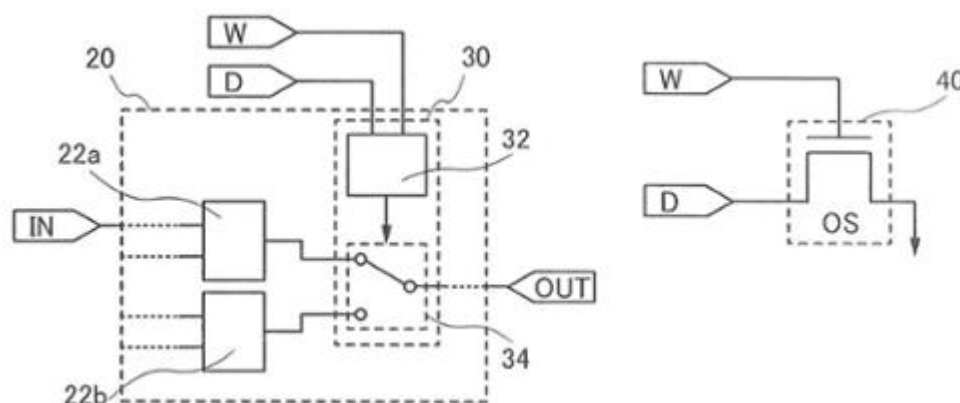
(73) Semiconductor Energy Laboratory Co., Ltd. (JP)
398, Hase, Atsugi-shi, Kanagawa, 2430036 JAPAN

(72) NISHIJIMA, Tatsuji (JP); YONEDA, Seiichi (JP)

(74) Công ty TNHH T&T INVENMARK Sở hữu trí tuệ Quốc tế (T&T INVENMARK CO., LTD.)

(54) THIẾT BỊ LOGIC LẬP TRÌNH ĐƯỢC, THIẾT BỊ BÁN DẪN VÀ THIẾT BỊ ĐIỆN TỬ BAO GỒM THIẾT BỊ BÁN DẪN NÀY

(57) Sáng chế đề cập đến thiết bị logic lập trình được mà có thể chứa dữ liệu cấu hình ngay cả khi điện thế không được cấp, có thời gian khởi động của khối logic ngắn sau khi năng lượng được cấp, và có thể hoạt động với công suất thấp. Bóng bán dẫn trong phần bộ nhớ của chuyển mạch lập trình được bao gồm vật liệu cho phép giảm đủ nhiều dòng điện trạng thái tắt của bóng bán dẫn, chẳng hạn như, vật liệu bán dẫn oxit có khe giữa các dải bán dẫn rộng. Khi vật liệu bán dẫn cho phép giảm đủ nhiều dòng điện trạng thái tắt của bóng bán dẫn được sử dụng, dữ liệu cấu hình có thể được giữ ngay cả khi điện thế không được cấp.



Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập đến thiết bị logic lập trình được và thiết bị bán dẫn sử dụng thiết bị logic lập trình được này. Ngoài ra, sáng chế còn đề cập đến thiết bị điện tử bao gồm thiết bị bán dẫn này.

Tình trạng kỹ thuật của sáng chế

Nói chung, cấu trúc mạch của mạch tích hợp bán dẫn, điển hình là mạch tích hợp (IC) hoặc mạch tích hợp quy mô lớn (LSI), là cố định tại thời điểm sản xuất và không thể thay đổi sau khi chế tạo. Ngược lại, mạch tích hợp bán dẫn mà được gọi là thiết bị logic lập trình được (PLD) có cấu trúc trong đó các khối logic đơn vị mà mỗi khối bao gồm nhiều mạch logic được nối điện với nhau thông qua dây dẫn. Trong thiết bị logic lập trình được này, cấu trúc mạch của từng khối logic có thể được điều khiển bằng tín hiệu điện.

Do đó, thiết kế của thiết bị logic lập trình được có thể được thay đổi sau khi sản xuất. Vì vậy, thời gian và chi phí cần thiết cho việc thiết kế và phát triển mạch tích hợp bán dẫn có thể được giảm đáng kể khi sử dụng thiết bị logic lập trình được.

Thiết bị logic lập trình được bao gồm PLD phức tạp (CPLD) và mảng công lập trình được (FPGA). Trong một hoặc cả hai loại thiết bị logic lập trình được này, cấu trúc mạch của từng khối logic được điều khiển bằng chuyển mạch lập trình được trong khối logic này, mà chúng có chức năng thực hiện chuyển mạch theo dữ liệu (dữ liệu cấu hình) được lưu trữ trong phần bộ nhớ. Nói cách khác, dữ liệu được lập trình thành mỗi chuyển mạch lập trình được, nhờ đó cấu trúc mạch của thiết bị logic lập trình được có thể được thay đổi.

Bộ nhớ khả biến, chẳng hạn như, bộ nhớ truy cập ngẫu nhiên tĩnh (SRAM) được sử dụng chủ yếu trong phần bộ nhớ này. Ngoài ra, bộ nhớ không khả biến bao gồm bóng bán dẫn cổng nổi, chẳng hạn như, bộ nhớ nhanh, được bao gồm trong phần bộ nhớ trong số trường hợp, như được mô tả trong tài liệu sáng chế 1.

Tài liệu sáng chế 1: công bố đơn Nhật Bản số 2004-15060.

Trong vài năm gần đây, việc giảm tiêu thụ điện năng của thiết bị điện tử là mục tiêu quan trọng, và việc giảm điện năng tiêu thụ của mạch tích hợp bán dẫn được sử dụng trong thiết bị điện tử là việc rất cần thiết. Để giảm tiêu thụ điện năng, phương pháp điều khiển đã được đề xuất, trong đó việc cung cấp điện thế nguồn cấp điện cho toàn bộ thiết bị bán dẫn hoặc một phần của nó tạm thời bị dừng lại và điện thế nguồn cấp điện được cung cấp chỉ cho khối mạch mà cần điện khi cần thiết (phương pháp này sau đây được gọi là phương pháp điều khiển thường tắt).

Tuy nhiên, trong thiết bị logic lập trình được mà bao gồm bộ nhớ khả biến trong phần bộ nhớ của chuyển mạch lập trình được, khi nguồn cung cấp điện thế nguồn cấp điện dừng lại, dữ liệu cấu hình được lưu trữ trong phần bộ nhớ bị mất. Do đó, trong thiết bị logic lập trình được bao gồm bộ nhớ khả biến trong phần bộ nhớ của chuyển mạch lập trình được, dữ liệu cấu hình cần phải được ghi vào bộ nhớ khả biến mỗi khi điện được cung cấp. Do đó, có thời gian trễ dài từ khi bắt đầu cung cấp điện đến khi khối logic hoạt động. Nói cách khác, trong thiết bị logic lập trình được bao gồm bộ nhớ khả biến trong phần bộ nhớ của chuyển mạch lập trình được, rất khó thực hiện phương pháp điều khiển thường tắt, trong đó việc cung cấp điện thế nguồn cấp điện tạm thời dừng lại.

Trong trường hợp bóng bán dẫn cổng nổi được sử dụng trong phần bộ nhớ của chuyển mạch lập trình được của thiết bị logic lập trình được để phần bộ nhớ này trở nên không khả biến, dữ liệu cấu hình có thể được giữ ngay cả khi điện thế nguồn cấp điện ngừng cung cấp tạm thời bằng phương pháp điều khiển thường tắt. Tuy nhiên, điện thế cao cần thiết vì các điện tử được bơm vào cổng nổi khi ghi dữ liệu, theo đó, có vấn đề là phải mất thời gian dài để ghi dữ liệu. Hơn nữa, có vấn đề trong đó lớp cách ly cổng của cổng nổi thoái hóa vì dòng điện đường hầm được tạo ra trong khi ghi dữ liệu.

Bản chất kỹ thuật của sáng chế

Vì vậy, mục đích của sáng chế là đề xuất thiết bị logic lập trình được mà có thể chứa dữ liệu cấu hình ngay cả khi điện thế nguồn cấp điện không được cung cấp, có thời gian khởi động của khối logic ngắn sau khi điện thế được cung cấp, và có thể hoạt động với công suất thấp.

Theo một khía cạnh, sáng chế đề xuất bóng bán dẫn trong phần bộ nhớ của chuyển mạch lập trình được bao gồm vật liệu cho phép giảm đủ nhiều dòng điện trạng thái tắt của bóng bán dẫn, chẳng hạn như, vật liệu bán dẫn oxit mà là vật liệu bán dẫn có khe giữa các dải rộng. Khi vật liệu bán dẫn cho phép giảm đủ nhiều dòng điện trạng thái tắt của bóng bán dẫn được sử dụng, dữ liệu cấu hình có thể được giữ ngay cả khi điện thế nguồn cấp điện không được cung cấp. Cấu trúc cụ thể của thiết bị logic lập trình được sẽ được mô tả chi tiết ở đây.

Theo một khía cạnh khác, sáng chế đề xuất thiết bị logic lập trình được bao gồm các khối logic nối điện thông qua các dây nối. Mỗi khối logic bao gồm nhiều mạch logic và ít nhất một chuyển mạch lập trình được nối điện với hai trong số các mạch logic và lựa chọn và xuất ra một trong số các đầu ra của hai mạch logic theo dữ liệu được lưu trữ. Chuyển mạch lập trình được bao gồm bóng bán dẫn thứ nhất, bóng bán dẫn thứ hai, và bóng bán dẫn thứ ba. Một trong số các điện cực nguồn và điện cực máng của bóng bán dẫn thứ nhất được nối điện với đầu cuối đầu ra của một trong số các mạch logic và điện cực còn lại của điện cực nguồn và điện cực máng của bóng bán dẫn thứ nhất được nối điện với đầu cuối đầu ra của chuyển mạch lập trình được. Một trong số điện cực nguồn và điện cực máng của bóng bán dẫn thứ hai được nối điện với đầu cuối đầu ra của một trong số các mạch logic khác và điện cực còn lại trong số điện cực nguồn và điện cực máng của bóng bán dẫn thứ hai được nối điện với đầu cuối đầu ra của chuyển mạch lập trình được. Một trong số điện cực nguồn và điện cực máng của bóng bán dẫn thứ ba được nối điện với điện cực cổng của bóng bán dẫn thứ nhất và bóng bán dẫn thứ hai. Bóng bán dẫn thứ ba bao gồm lớp bán dẫn oxit. Đầu vào điện thế từ điện cực còn lại trong số điện cực nguồn và điện cực máng của bóng bán dẫn thứ ba được lưu trữ trong các điện cực cổng của bóng bán dẫn thứ nhất và bóng bán dẫn thứ hai.

Trong kết cấu trên, bóng bán dẫn thứ nhất và bóng bán dẫn thứ hai có thể có các loại tính dẫn điện khác nhau. Ngoài ra, bóng bán dẫn thứ nhất và bóng bán dẫn thứ hai có thể có cùng loại tính dẫn điện, và biến tần có thể được nối điện giữa một trong số điện cực nguồn và điện cực máng của bóng bán dẫn thứ ba và điện cực cổng của bóng bán dẫn thứ hai. Thiết bị logic lập trình được có thể còn bao gồm bóng bán dẫn thứ tư và bóng bán dẫn thứ năm. Một trong số điện cực nguồn và điện cực máng của bóng bán dẫn thứ tư được nối điện với một trong số điện cực nguồn và điện cực máng của

bóng bán dẫn thứ nhất, điện cực còn lại trong số điện cực nguồn và điện cực máng của bóng bán dẫn thứ tư được nối điện với điện cực còn lại của điện cực nguồn và điện cực máng của bóng bán dẫn thứ nhất, và điện cực cổng của bóng bán dẫn thứ tư được nối điện với điện cực cổng của bóng bán dẫn thứ hai. Một trong số điện cực nguồn và điện cực máng của bóng bán dẫn thứ năm được nối điện với một trong số điện cực nguồn và điện cực máng của bóng bán dẫn thứ hai, điện cực còn lại trong số điện cực nguồn và điện cực máng của bóng bán dẫn thứ năm được nối điện với điện cực còn lại trong số điện cực nguồn và điện cực máng của bóng bán dẫn thứ hai, và điện cực cổng của bóng bán dẫn thứ năm được nối điện với điện cực cổng của bóng bán dẫn thứ nhất. Bóng bán dẫn thứ tư và bóng bán dẫn thứ nhất có thể có các loại tính dẫn điện khác nhau, và bóng bán dẫn thứ năm và bóng bán dẫn thứ hai có thể có các loại tính dẫn điện khác nhau.

Hơn nữa, trong kết cấu trên, tốt hơn là, mỗi trong số bóng bán dẫn thứ nhất và bóng bán dẫn thứ hai được tạo thành bằng cách sử dụng silic đơn tinh thể. Tốt hơn là, bóng bán dẫn thứ ba được xếp chồng lên trên bóng bán dẫn thứ nhất và bóng bán dẫn thứ hai với màng cách ly xen giữa, và có ít nhất một phần của bóng bán dẫn thứ ba chồng lên ít nhất một phần của bóng bán dẫn thứ nhất hoặc một phần của bóng bán dẫn thứ hai.

Hơn nữa, trong kết cấu trên, tốt hơn là, kết cấu còn bao gồm tụ điện mà một đầu cuối của nó được nối điện với một trong số điện cực nguồn và điện cực máng của bóng bán dẫn thứ ba.

Theo khía cạnh khác nữa, sáng chế đề xuất thiết bị logic lập trình được bao gồm nhiều khối logic nối điện thông qua các dây nối. Mỗi trong số các khối logic này bao gồm nhiều mạch logic và ít nhất một chuyển mạch có thể lập trình được nối điện với hai trong số các mạch logic và lựa chọn và xuất ra một trong số các đầu ra của hai mạch logic theo dữ liệu được lưu trữ. Chuyển mạch lập trình được bao gồm bóng bán dẫn thứ nhất, bóng bán dẫn thứ hai, bóng bán dẫn thứ ba, và bóng bán dẫn thứ tư. Một trong số điện cực nguồn và điện cực máng của bóng bán dẫn thứ nhất được nối điện với đầu cuối đầu ra của một trong số các mạch logic và điện cực còn lại trong số điện cực nguồn và điện cực máng của bóng bán dẫn thứ nhất được nối điện với đầu cuối đầu ra của chuyển mạch lập trình được. Một trong số điện cực nguồn và điện cực máng của bóng bán dẫn thứ hai được nối điện với đầu cuối đầu ra của một trong số các

mạch logic khác nữa và điện cực còn lại trong số các điện cực nguồn và điện cực máng của bóng bán dẫn thứ hai được nối điện với đầu cuối đầu ra của chuyển mạch lập trình được. Một trong số điện cực nguồn và điện cực máng của bóng bán dẫn thứ ba được nối điện với điện cực cổng của bóng bán dẫn thứ nhất. Một trong số điện cực nguồn và điện cực máng của bóng bán dẫn thứ tư được nối điện với điện cực cổng của bóng bán dẫn thứ hai và điện cực cổng của bóng bán dẫn thứ tư được nối điện với điện cực cổng của bóng bán dẫn thứ ba. Mỗi bóng bán dẫn thứ ba và bóng bán dẫn thứ tư bao gồm lớp bán dẫn oxit. Đầu vào điện thế thứ nhất từ điện cực còn lại trong số điện cực nguồn và điện cực máng của bóng bán dẫn thứ ba được lưu trữ tại điện cực cổng của bóng bán dẫn thứ nhất. Đầu vào điện thế thứ hai từ điện cực còn lại trong số điện cực nguồn và điện cực máng của bóng bán dẫn thứ tư được lưu trữ tại điện cực cổng của bóng bán dẫn thứ hai. Tính phân cực của điện thế thứ hai ngược với cực tính của điện thế thứ nhất.

Trong kết cấu trên, bóng bán dẫn thứ nhất và bóng bán dẫn thứ hai có thể có cùng loại tính dẫn điện. Thiết bị logic lập trình được có thể còn bao gồm bóng bán dẫn thứ năm và bóng bán dẫn thứ sáu. Một trong số điện cực nguồn và điện cực máng của bóng bán dẫn thứ năm được nối điện với một trong số điện cực nguồn và điện cực máng của bóng bán dẫn thứ nhất, điện cực còn lại trong số điện cực nguồn và điện cực máng của bóng bán dẫn thứ năm được nối điện với điện cực còn lại trong số điện cực nguồn và điện cực máng của bóng bán dẫn thứ nhất, và điện cực cổng của bóng bán dẫn thứ năm được nối điện với điện cực cổng của bóng bán dẫn thứ hai. Một trong số điện cực nguồn và điện cực máng của bóng bán dẫn thứ sáu được nối điện với một trong số điện cực nguồn và điện cực máng của bóng bán dẫn thứ hai, điện cực còn lại trong số điện cực nguồn và điện cực máng của bóng bán dẫn thứ sáu được nối điện với điện cực còn lại trong số điện cực nguồn và điện cực máng của bóng bán dẫn thứ hai, và điện cực cổng của bóng bán dẫn thứ sáu được nối điện với điện cực cổng của bóng bán dẫn thứ nhất. Bóng bán dẫn thứ năm và bóng bán dẫn thứ nhất có thể có loại tính dẫn điện khác nhau, và bóng bán dẫn thứ sáu và bóng bán dẫn thứ hai có thể có loại tính dẫn điện khác nhau.

Trong kết cấu ở trên, tốt hơn là, kết cấu còn bao gồm tụ điện mà một đầu cuối của nó được nối điện với một trong số điện cực nguồn và điện cực máng của bóng bán dẫn thứ ba hoặc bóng bán dẫn thứ tư.

Bóng bán dẫn trong phần bộ nhớ của chuyển mạch lập trình được bao gồm chất bán dẫn có khe giữa các dải rộng, chẳng hạn như, chất bán dẫn oxit, điều này cho phép giảm đủ nhiều dòng điện trạng thái tắt của bóng bán dẫn, nhờ đó dữ liệu cấu hình có thể được giữ ngay cả khi điện thế nguồn cấp điện không được cung cấp. Với cấu trúc như vậy, việc ghi dữ liệu cấu hình sau khi điện được cấp có thể được bỏ qua, do đó thời gian khởi động của khối logic có thể ngắn. Theo đó, việc giảm tiêu thụ điện của thiết bị logic lập trình được có thể được thực hiện bằng phương pháp điều khiển thường tắt.

Mô tả vắn tắt các hình vẽ

Fig.1A đến Fig.1C là các sơ đồ mạch thể hiện thiết bị logic lập trình được theo một phương án của sáng chế.

Fig.2A và Fig.2B là các sơ đồ mạch thể hiện một phần của thiết bị logic lập trình được theo một phương án của sáng chế.

Fig.3A đến Fig.3D là các sơ đồ mạch thể hiện một phần của thiết bị logic lập trình được theo một phương án của sáng chế.

Fig.4A đến Fig.4C là các sơ đồ mạch thể hiện một phần của thiết bị logic lập trình được theo một phương án của sáng chế.

Fig.5A đến Fig.5C là các sơ đồ mạch thể hiện một phần của thiết bị logic lập trình được theo một phương án của sáng chế.

Fig.6A đến Fig.6D là sơ đồ thể hiện các bước sản xuất thiết bị logic lập trình được;

Fig.7A và Fig.7B là các sơ đồ thể hiện các bước sản xuất thiết bị logic lập trình được;

Fig.8A đến Fig.8C là các sơ đồ thể hiện các bước sản xuất thiết bị logic lập trình được;

Fig.9A và Fig.9B là các sơ đồ thể hiện các bước sản xuất thiết bị logic lập trình được;

Fig.10 là sơ đồ khối thể hiện thiết bị điện tử cầm tay;

Fig.11 là sơ đồ khối thể hiện đầu đọc sách điện tử;

Fig.12A đến Fig.12E là các sơ đồ thể hiện cấu trúc của vật liệu oxit theo một phương án của sáng chế.

Fig.13A đến Fig.13C là các sơ đồ thể hiện cấu trúc của vật liệu oxit theo một phương án của sáng chế.

Fig.14A đến Fig.14C là các sơ đồ thể hiện cấu trúc của vật liệu oxit theo một phương án của sáng chế.

Fig.15 là đồ thị thể hiện sự phụ thuộc vào điện áp cổng của độ linh động thu được bằng cách tính toán.

Fig.16A đến Fig.16C là các đồ thị thể hiện sự phụ thuộc vào điện áp cổng của dòng điện cực máng hiện và độ linh động thu được bằng cách tính toán.

Fig.17A đến Fig.17C là các đồ thị thể hiện sự phụ thuộc điện áp cổng của dòng điện cực máng và độ linh động thu được bằng cách tính toán;

Fig.18A đến Fig.18C là các đồ thị thể hiện sự phụ thuộc điện áp cổng của dòng điện cực máng và độ linh động thu được bằng cách tính toán.

Fig.19A và Fig.19B là các mặt cắt ngang của bóng bán dẫn được sử dụng để tính toán.

Fig.20A đến Fig.20C là các đồ thị thể hiện đặc điểm của bóng bán dẫn có màng bán dẫn oxit.

Fig.21 thể hiện phổ XRD (nhiều xạ tia X) của mẫu A và Mẫu B.

Fig.22 là sơ đồ thể hiện mối liên hệ giữa dòng điện trạng thái tắt và nhiệt độ nền khi đo lường bóng bán dẫn.

Fig.23 là đồ thị thể hiện sự phụ thuộc của I_{ds} và độ linh động hiệu ứng trường vào V_{gs} .

Fig.24A là đồ thị biểu diễn mối liên hệ giữa nhiệt độ nền và điện áp ngưỡng.

Fig.24B là đồ thị biểu diễn mối liên hệ giữa nhiệt độ nền và độ linh động hiệu ứng trường.

Fig.25A và Fig.25B là các sơ đồ thể hiện cấu trúc của bóng bán dẫn được sử dụng để đo lường.

Fig.26A và 26B là các sơ đồ thể hiện một phần của cấu trúc của thiết bị logic lập trình được.

Fig.27 là sơ đồ mạch thể hiện thiết bị logic lập trình được theo một phương án của sáng chế, và

Fig.28A và Fig.28B là các sơ đồ thể hiện cấu trúc của vật liệu oxit.

Mô tả chi tiết sáng chế

Sau đây, phương án được ưu tiên của sáng chế sẽ được mô tả có dựa trên các hình vẽ kèm theo. Lưu ý rằng, sáng chế không bị giới hạn ở các phương án cụ thể được mô tả dưới đây, và các thay đổi khác nhau của nó và việc các thay đổi này có thể được thực hiện đều có thể được bởi chuyên gia trong lĩnh vực dễ dàng hiểu và tất cả chúng đều thuộc phạm vi của sáng chế. Theo đó, sáng chế không nên được coi là bị giới hạn ở các phương án cụ thể dưới đây.

Lưu ý rằng chức năng của "nguồn" và "máng" có thể được chuyển đổi trong trường hợp bóng bán dẫn có cực tính khác nhau được sử dụng hoặc trong trường hợp hướng dòng điện thay đổi trong mạch. Do đó, thuật ngữ "nguồn" và "máng" có thể được hoán đổi cho nhau trong phần mô tả này.

Lưu ý rằng thuật ngữ "nối điện" bao gồm trường hợp các thành phần được nối thông qua "đối tượng có chức năng điện bất kỳ". Không có giới hạn cụ thể nào về "đối tượng có chức năng điện bất kỳ" miễn là tín hiệu điện có thể được truyền và nhận giữa các thành phần được nối thông qua đối tượng này. Ví dụ về "đối tượng có chức năng điện bất kỳ" là phân tử chuyển mạch, chẳng hạn như, bóng bán dẫn, điện trở, điện dẫn, tụ điện, và phân tử có nhiều chức năng cũng như điện cực và dây điện.

Ngay cả khi sơ đồ mạch thể hiện các thành phần độc lập như thể chúng được nối điện với nhau, thực tế có trường hợp màng dẫn điện có chức năng của các thành phần, chẳng hạn như, trường hợp một phần của dây điện cũng có chức năng như điện cực. Khái niệm "nối điện" trong phần mô tả này cũng bao gồm trường hợp đó, trong đó màng dẫn điện có chức năng của nhiều thành phần.

Các thuật ngữ "trên" và "dưới" không nhất thiết có nghĩa là "ở ngay bên trên" và "ở ngay bên dưới", tương ứng, khi mô tả mối quan hệ vị trí giữa các thành phần. Ví dụ, "điện cực cổng trên lớp cách ly cổng" có thể chỉ trường hợp có thành phần bổ sung ở giữa lớp cách ly cổng và điện cực cổng.

Lưu ý rằng vị trí, kích thước, phạm vi, hoặc các yếu tố tương tự của mỗi thành phần được thể hiện trên các hình vẽ không được thể hiện chính xác trong một số trường hợp để giúp cho sáng chế dễ hiểu. Vì vậy, sáng chế không nhất thiết bị giới hạn ở các vị trí, kích thước, phạm vi, hoặc các yếu tố tương tự như được thể hiện trên các hình vẽ.

Số thứ tự như "thứ nhất", "thứ hai", và "thứ ba" được sử dụng để tránh nhầm lẫn giữa các thành phần mà thôi.

Phương án 1:

Trong phương án này, cấu trúc mạch của thiết bị logic lập trình được theo một phương án của sáng chế sẽ được mô tả dựa trên các hình vẽ Fig.1A đến Fig.1C, Fig.2A và Fig.2B, Fig.3A đến Fig.3D, Fig.4A đến Fig.4C, và Fig.5A đến Fig.5C.

Fig.1A thể hiện cấu trúc của thiết bị logic lập trình được theo một phương án của sáng chế. Thiết bị logic lập trình được bao gồm các khối logic 10 nối điện thông qua các dây nối 11. Ví dụ, như được thể hiện trên Fig.1A, các khối logic 10 được bố trí trong một ma trận, và dây nối 11 được cung cấp giữa các khối logic 10 để mở rộng theo hướng hàng và theo hướng cột. Hơn nữa, ma trận chuyển mạch 12 để chuyển mạch kết nối của dây nối 11 được cung cấp tại chỗ giao của dây nối 11 mở rộng theo hướng hàng và dây nối 11 mở rộng theo hướng cột. Lưu ý rằng các khối logic 10 không nhất thiết phải được bố trí trong ma trận có khoảng cách. Ví dụ, các khối logic 10 có thể được cung cấp liên kề với nhau theo hướng hàng hoặc theo hướng cột và dây nối 11 có thể chỉ mở rộng theo hướng cột hoặc theo hướng hàng. Ma trận chuyển mạch 12 không nhất thiết phải được cung cấp và có thể được cung cấp khi cần. Số lượng các khối logic 10, số lượng các dây nối 11, và số lượng ma trận chuyển mạch 12 được thiết lập phù hợp, và không giới hạn ở các giá trị số trên Fig.1A.

Thiết bị logic lập trình được có thể còn bao gồm bộ nhân, khối bộ nhớ truy cập ngẫu nhiên (RAM), khối vòng lặp khóa pha (PLL), hoặc phần tử vào/ra (I/O). Bộ nhân có chức năng nhân nhiều mảnh dữ liệu ở tốc độ cao. Khối bộ nhớ RAM có chức năng lưu trữ dữ liệu nhân định dưới dạng bộ nhớ. Khối PLL có chức năng cung cấp tín hiệu đồng hồ cho mạch trong thiết bị logic lập trình được. Phần tử I/O có chức năng điều khiển tín hiệu đi qua giữa thiết bị logic lập trình được và mạch điện bên ngoài.

Khối logic 10 bao gồm các mạch logic và ít nhất một chuyển mạch có thể lập trình được nối điện với hai trong số các mạch logic và lựa chọn và xuất ra một trong số các đầu ra của hai mạch logic theo dữ liệu đã lưu trữ (sau đây cũng được gọi là dữ liệu cấu hình). Các mạch logic được nối điện qua chuyển mạch lập trình được, nhờ đó mạch logic mong muốn của các mạch logic có thể được lựa chọn để được nối bằng cách chuyển chuyển mạch lập trình được, do đó, mạch logic có chức năng logic mong

muốn có thể được tạo thành. Lưu ý rằng trong phần mô tả này, tế bào bao gồm ít nhất hai mạch logic và ít nhất một chuyển mạch có thể lập trình được gọi là tế bào logic trong số trường hợp. Nói cách khác, các khối logic 10 bao gồm ít nhất một tế bào logic. Ngoài tế bào logic, các khối logic 10 có thể bao gồm mạch tuần tự như mạch lật (flip flop) hoặc mạch bộ đếm, ví dụ, thanh ghi dịch có thể được cung cấp.

Fig.1B thể hiện tế bào logic 20 bao gồm các cửa đầu cuối đầu vào IN, các đầu cuối đầu ra OUT, mạch logic 22a, mạch logic 22b, và chuyển mạch lập trình được 30 bao gồm phần bộ nhớ 32 và phần chuyển mạch 34, trong khối logic 10.

Chuyển mạch có thể lập trình được 30 điều khiển phần chuyển mạch 34 theo dữ liệu cấu hình được lưu trữ trong phần bộ nhớ 32, và lựa chọn và xuất ra đầu ra của mạch logic 22a hoặc đầu ra của mạch logic 22b. Mỗi trong số mạch logic 22a và mạch logic 22b được nối điện với các đầu cuối đầu vào IN. Đầu cuối thứ nhất của phần chuyển mạch 34 được nối điện với đầu cuối đầu ra của mạch logic 22a, đầu cuối thứ hai của phần chuyển mạch 34 được nối điện với đầu cuối đầu ra của mạch logic 22b, và đầu cuối thứ ba của phần chuyển mạch 34 được nối điện với đầu cuối đầu ra OUT. Phần bộ nhớ 32 được nối điện với đường dữ liệu D mà điện thế của dữ liệu cấu hình được lưu trữ trong phần bộ nhớ được đưa vào đó và đường ghi W mà tín hiệu để điều khiển việc ghi dữ liệu cấu hình vào phần bộ nhớ được đưa vào. Hơn nữa, phần bộ nhớ 32 được nối điện với phần chuyển mạch 34 tại nút trong đó dữ liệu cấu hình được lưu trữ.

Mạch logic bất kỳ có thể được sử dụng cho mỗi mạch logic 22a và mạch logic 22b. Ví dụ, cổng logic có thể được sử dụng, hoặc mạch logic trong đó các cổng logic được kết hợp với nhau có thể được sử dụng. Các đầu cuối đầu vào IN được nối điện với mạch logic 22a và mạch logic 22b có thể được nối điện với dây nối 11 trên Fig.1A, mạch logic khác được bao gồm trong khối logic 10, hoặc chuyển mạch lập trình được bao gồm trong khối logic 10. Đầu cuối đầu ra OUT nối điện với đầu cuối thứ ba của phần chuyển mạch 34 có thể được nối điện với dây nối 11 trên Fig.1A, một mạch logic khác được bao gồm trong khối logic 10, hoặc chuyển mạch lập trình được bao gồm trong khối logic 10.

Ví dụ về tế bào logic bao gồm cổng logic được thể hiện trên Fig.2A. Tế bào logic 20a trên Fig.2A bao gồm đầu cuối đầu vào thứ nhất IN1, đầu cuối đầu vào thứ hai IN2, đầu cuối đầu ra OUT, mạch NAND 22c, mạch NOR 22, và chuyển mạch lập

trình được 30a bao gồm phần bộ nhớ 32a và phần chuyển mạch 34a. Đầu cuối đầu vào thứ nhất IN1, một đầu cuối đầu vào của mạch NAND 22c, và đầu cuối đầu vào của NOR 22d được nối điện với nhau. Đầu cuối đầu vào thứ hai IN2, đầu cuối đầu vào còn lại của mạch NAND 22c, và đầu cuối đầu vào còn lại của mạch NOR 22d được nối điện với nhau. Đầu cuối thứ nhất của phần chuyển mạch 34a được nối điện với đầu cuối đầu ra của mạch NAND 22c. Đầu cuối thứ hai của phần chuyển mạch 34a được nối điện với đầu cuối đầu ra của mạch NOR 22d. Đầu cuối thứ ba của phần chuyển mạch 34a được nối điện với đầu cuối đầu ra OUT. Đường dữ liệu D và đường ghi W được nối điện với phần bộ nhớ 32a. Phần bộ nhớ 32a và phần chuyển mạch 34a được nối điện với nhau tại nút trong đó dữ liệu cấu hình được lưu trữ.

Bảng 1 là bảng chân trị của tế bào logic 20a trong trường hợp điện thế mức thấp (trương ứng với dữ liệu kỹ thuật số "0") hoặc điện thế mức cao (trương ứng với dữ liệu kỹ thuật số "1") là đầu vào cho đầu cuối đầu vào thứ nhất IN1, đầu cuối đầu vào thứ hai IN2, và đường dữ liệu D và điện thế đầu vào được lưu trữ trong phần bộ nhớ 32a. Lưu ý rằng phần chuyển mạch 34a nối điện đầu cuối đầu ra của mạch NAND 22c với đầu cuối đầu ra OUT khi điện thế mức thấp (0) được lưu trữ trong phần bộ nhớ 32a, và phần chuyển mạch 34a nối điện đầu cuối đầu ra của mạch NOR 22d với đầu cuối đầu ra OUT khi điện thế mức cao (1) được lưu trữ trong phần bộ nhớ 32a.

Bảng 1

Phần bộ nhớ 32a : mức thấp (0)			Phần bộ nhớ phần 32a : mức cao (1)		
IN1	IN2	OUT	IN1	IN2	OUT
0	0	1	0	0	1
0	1	1	0	1	0
1	0	1	1	0	0
1	1	0	1	1	0

Như được thể hiện trong bảng 1, trong tế bào logic 20a, đầu ra của mạch NAND 22c là đầu ra của tế bào logic 20a khi mức điện thế mức thấp (0) được lưu trữ trong phần bộ nhớ 32a, và đầu ra của mạch NOR 22 là đầu ra của tế bào logic 20a khi điện thế mức cao (1) được lưu trữ trong phần bộ nhớ 32a. Nói cách khác, tế bào logic 20a có thể chọn việc nó có chức năng như mạch NAND hoặc mạch NOR theo dữ liệu được lưu trữ trong phần bộ nhớ 32a của chuyển mạch lập trình được 30a.

Một ví dụ về tế bào logic bao gồm các chuyển mạch có thể lập trình được được thể hiện trên Fig.2B. Tế bào logic 20b trên Fig.2B bao gồm đầu cuối đầu vào thứ nhất IN1, đầu cuối đầu vào thứ hai IN2, đầu cuối đầu ra OUT, mạch NAND 22e, mạch NOR 22f, mạch XOR 22g, mạch NOT 22h, chuyển mạch lập trình được 30b bao gồm phần bộ nhớ 32b và phần chuyển mạch 34b, chuyển mạch lập trình được 30c bao gồm phần bộ nhớ 32c và phần chuyển mạch 34c, và chuyển mạch lập trình được 30d bao gồm phần bộ nhớ 32d và phần chuyển mạch 34d.

Đầu cuối đầu vào thứ nhất IN1, một đầu cuối đầu vào của mạch NAND 22e, một đầu cuối đầu vào của mạch NOR 22f, một đầu cuối đầu vào của mạch XOR 22g, và đầu cuối đầu vào của mạch NOT 22h được nối điện với nhau. Đầu cuối đầu vào thứ hai IN2, đầu cuối đầu vào còn lại của mạch NAND 22e, đầu cuối đầu vào còn lại của mạch NOR 22f, và đầu cuối đầu vào còn lại của mạch XOR 22g được nối điện với nhau. Đầu cuối thứ nhất của phần chuyển mạch 34b được nối điện với đầu cuối đầu ra của mạch NAND 22e. Đầu cuối thứ hai của phần chuyển mạch 34b được nối điện với đầu cuối đầu ra của mạch NOR 22f. Đường dữ liệu D0 và đường ghi W được nối điện với phần bộ nhớ 32b. Phần bộ nhớ 32b và phần chuyển mạch 34b được nối điện với nhau tại nút trong đó dữ liệu được lưu trữ. Đầu cuối thứ nhất của phần chuyển mạch 34c được nối điện với đầu cuối đầu ra của mạch XOR 22g. Đầu cuối thứ hai của phần chuyển mạch 34c được nối điện với đầu cuối đầu ra của mạch NOT 22h. Đường dữ liệu D0 và đường ghi W được nối điện với phần bộ nhớ 32c. Phần bộ nhớ 32c và phần chuyển mạch 34c được nối điện với nhau tại nút trong đó dữ liệu được lưu trữ. Đầu cuối thứ nhất của phần chuyển mạch 34d được nối điện với đầu cuối thứ ba của phần chuyển mạch 34b. Đầu cuối thứ hai của phần chuyển mạch 34d được nối điện với đầu cuối thứ ba của phần chuyển mạch 34c. Đầu cuối thứ ba của phần chuyển mạch 34d được nối điện với đầu cuối đầu ra OUT. Đường dữ liệu Điện thế và đường ghi W được nối điện với phần bộ nhớ 32. Phần bộ nhớ 32d và phần chuyển mạch 34d được nối điện với nhau tại nút trong đó dữ liệu được lưu trữ.

Bảng 2 là bảng chân trị của tế bào logic 20b trong trường hợp điện thế mức thấp (0) hay điện thế mức cao (1) là đầu vào cho đầu cuối đầu vào thứ nhất IN1, đầu cuối đầu vào thứ hai IN2, đường dữ liệu D0, và D1 và điện thế đầu vào được lưu trữ trong các phần bộ nhớ từ 32b đến 32d. Lưu ý rằng phần chuyển mạch 34b nối điện đầu cuối đầu ra của mạch NAND 22e với đầu cuối thứ nhất của phần chuyển mạch 34d khi điện

thế mức thấp (0) được lưu trữ tại phần bộ nhớ 32b. Phần chuyển mạch 34b nối điện đầu cuối đầu ra của mạch NOR 22f với đầu cuối thứ nhất của phần chuyển mạch 34d khi điện thế cao (1) được lưu trữ trong phần bộ nhớ 32b. Phần chuyển mạch 34c nối điện đầu cuối đầu ra của mạch XOR 22g với đầu cuối thứ hai của phần chuyển mạch 34d khi điện thế thấp (0) được lưu trữ tại phần bộ nhớ 32c. Phần chuyển mạch 34c nối điện đầu cuối đầu ra của mạch NOT 22h với đầu cuối thứ hai của phần chuyển mạch 34d khi điện thế cao (1) được lưu trữ trong phần bộ nhớ 32c. Phần chuyển mạch 34d nối điện đầu cuối thứ ba của phần chuyển mạch 34b với đầu cuối đầu ra OUT khi điện thế mức thấp (0) được lưu trữ trong phần bộ nhớ 32. Phần chuyển mạch 34d nối điện đầu cuối thứ ba của phần chuyển mạch 34c với đầu cuối đầu ra OUT khi điện thế cao (1) được lưu trữ trong phần bộ nhớ 32b.

Bảng 2

	Phần bộ nhớ 32b: mức thấp (0)			Phần bộ nhớ 32b: mức cao (1)		
	IN1	IN2	OUT	IN1	IN2	OUT
Phần bộ nhớ 32d: mức thấp (0)	0	0	1	0	0	1
	0	1	1	0	1	0
	1	0	1	1	0	0
	1	1	0	1	1	0

	Phần bộ nhớ 32c: mức thấp (0)			Phần bộ nhớ 32c: mức cao (1)		
	IN1	IN2	OUT	IN1	IN2	OUT
Phần bộ nhớ 32d: mức cao (1)	0	0	0	0	0	1
	0	1	1	0	1	1
	1	0	1	1	0	0
	1	1	0	1	1	0

Như được thể hiện trong bảng 2, trong tế bào logic 20b, đầu ra của NAND 22e là đầu ra của tế bào logic 20b khi điện áp thấp (0) được lưu trữ trong mỗi phần bộ nhớ 32b và phần bộ nhớ 32d. Đầu ra của NOR 22f là đầu ra của tế bào logic 20b khi điện

thế cao (1) được lưu trữ trong phần bộ nhớ 32b và điện áp thấp (0) được lưu trữ trong phần bộ nhớ 32. Đầu ra của XOR 22g là đầu ra của tế bào logic 20b khi điện áp thấp (0) được lưu trữ trong phần bộ nhớ 32c và điện áp cao (1) được lưu trữ trong phần bộ nhớ 32d. Đầu ra của mạch NOT 22h là đầu ra của tế bào logic 20b khi điện thế cao (1) được lưu trữ trong mỗi phần bộ nhớ 32b và phần bộ nhớ 32d. Nói cách khác, tế bào logic 20b có thể chọn việc nó có chức năng như mạch NAND, mạch NOR, mạch XOR, hoặc mạch NOT theo dữ liệu được lưu trữ trong các phần bộ nhớ 32b đến 32d của các chuyển mạch lập trình được từ 30b đến 30d.

Fig.1C thể hiện cấu trúc của phần bộ nhớ 32 trong chuyển mạch có thể lập trình được 30. Như được thể hiện trên Fig.1C, phần bộ nhớ 32 bao gồm bóng bán dẫn 40. Một trong số điện cực nguồn và điện cực máng của bóng bán dẫn 40 được nối điện với phần chuyển mạch 34, điện cực còn lại trong số điện cực nguồn và điện cực máng của bóng bán dẫn 40 được nối điện với đường dữ liệu D, và điện cực cổng của bóng bán dẫn 40 được nối điện với đường W. Ở đây, bóng bán dẫn có dòng điện trạng thái tắt cực kỳ nhỏ được sử dụng làm bóng bán dẫn 40. Bóng bán dẫn 40 bị tắt, nhờ đó điện thế tương ứng với dữ liệu cấu hình có thể được giữ tại một trong số điện cực nguồn và điện cực máng nối điện với phần chuyển mạch 34. Ví dụ, khi trạng thái mà điện cực nguồn và điện cực máng có điện thế cao tương ứng với "1" và trạng thái mà điện cực nguồn và điện cực máng ở điện thế thấp tương ứng với "0", dữ liệu cấu hình một-bit có thể được lưu trữ.

Bóng bán dẫn có dòng điện trạng thái tắt cực kỳ nhỏ bao gồm, trong vùng tạo thành kênh, chất bán dẫn có khe giữa các dải rộng có khe giữa các dải rộng hơn và mật độ chất mang nội tại thấp hơn so với silic. Là một trong số các ví dụ về chất bán dẫn có khe giữa các dải rộng có khe giữa các dải rộng hơn và mật độ chất mang thấp hơn silic, hợp chất bán dẫn như silic cacbua (SiC) hoặc gali nitrua (GaN), chất bán dẫn oxit tạo thành từ các oxit kim loại như chất bán dẫn oxit dựa trên In-Ga-Zn-O, hoặc tương tự có thể được sử dụng. Theo phương án này, bóng bán dẫn bao gồm chất bán dẫn oxit được sử dụng làm bóng bán dẫn có dòng điện trạng thái tắt cực kỳ nhỏ trong phần bộ nhớ 32. Lưu ý rằng trong sơ đồ mạch, trong một số trường hợp, ký hiệu "OS" được ghi bên cạnh bóng bán dẫn để chỉ ra rằng bóng bán dẫn này bao gồm chất bán dẫn oxit.

Fig.3A thể hiện cấu trúc mạch cụ thể của chuyển mạch có thể lập trình được 30 bao gồm phần bộ nhớ 32 và phần chuyển mạch 34. Chuyển mạch lập trình được trên

Fig.3A bao gồm bóng bán dẫn 112, bóng bán dẫn 114, và bóng bán dẫn 110. Một trong số điện cực nguồn và điện cực máng của bóng bán dẫn 112 được nối điện với đầu cuối đầu vào thứ nhất PIN1 và điện cực còn lại trong số điện cực nguồn và điện cực máng của bóng bán dẫn 112 được nối điện với đầu ra đầu cuối đầu ra POUT của chuyển mạch lập trình được. Một trong số điện cực nguồn và điện cực máng của bóng bán dẫn 114 được nối điện với đầu cuối đầu vào thứ hai PIN2 và điện cực còn lại của điện cực nguồn và điện cực máng của bóng bán dẫn 114 được nối điện với đầu cuối đầu ra POUT của chuyển mạch lập trình được. Một trong số điện cực nguồn và điện cực máng của bóng bán dẫn 110 được nối điện với điện cực cổng của bóng bán dẫn 112 và bóng bán dẫn 114, điện cực còn lại trong số điện cực nguồn và điện cực máng của bóng bán dẫn 110 được nối điện với đường dữ liệu D, và điện cực cổng của bóng bán dẫn 110 được nối điện với đường ghi W.

Đầu cuối đầu vào thứ nhất PIN1 và đầu cuối đầu vào thứ hai PIN2 là các đầu cuối đầu vào của chuyển mạch lập trình được, và được nối điện với đầu cuối đầu ra của mạch logic 22a và đầu cuối đầu ra của mạch logic 22b trên Fig.1B. Đầu cuối đầu cuối POUT là đầu cuối đầu ra của chuyển mạch có thể lập trình được. Bóng bán dẫn 110 tương ứng với phần bộ nhớ 32 trên Fig.1B và bao gồm lớp bán dẫn oxit. Bóng bán dẫn 112 và bóng bán dẫn 114 tương ứng với phần chuyển mạch 34 trên Fig.1B và có các loại tính dẫn điện khác nhau. Theo phương án này, bóng bán dẫn 112 là bóng bán dẫn kênh n và bóng bán dẫn 114 là bóng bán dẫn kênh p.

Trong chuyển mạch lập trình được trên Fig.3A, điện thế tương ứng với dữ liệu cấu hình được cung cấp cho nút mà tại đó một trong số điện cực nguồn và điện cực máng của bóng bán dẫn 110 và điện cực cổng của bóng bán dẫn 112 và bóng bán dẫn 114 được nối điện với nhau (sau đây cũng được gọi là nút FG) và điện thế được lưu trữ tại nút FG này, nhờ đó đầu vào của đầu cuối đầu vào thứ nhất PIN1 hoặc đầu vào của điện cực đầu vào thứ hai PIN2 có thể được lựa chọn và xuất ra từ đầu cuối đầu ra POUT. Hoạt động ghi và hoạt động lưu trữ dữ liệu cấu hình trong chuyển mạch có thể lập trình được được mô tả dưới đây.

Đầu tiên, điện thế của đường W được thiết lập đến điện thế tại đó bóng bán dẫn 110 được bật, để bóng bán dẫn 110 được bật. Như vậy, điện thế của đường dữ liệu D được cung cấp cho nút FG. Nói cách khác, điện thế nhất định được cung cấp cho mỗi trong số các điện cực cổng của bóng bán dẫn 112 và bóng bán dẫn 114 (ghi dữ liệu). Ở

đây, trong trường hợp điện thế cho trước là điện thế cao, bóng bán dẫn kênh n 112 được bật và bóng bán dẫn kênh p 114 bị tắt, để đầu vào của đầu cuối đầu vào thứ nhất PIN1 là đầu ra từ đầu cuối đầu ra POUT. Một trong trường hợp điện thế này là điện thế thấp, bóng bán dẫn kênh p 114 được bật và bóng bán dẫn kênh n 112 bị tắt, để đầu vào của đầu cuối đầu vào thứ hai PIN2 là đầu ra từ đầu cuối đầu ra POUT.

Sau khi điện thế của đường dữ liệu D được ghi vào nút FG, trong khi điện thế của đường dữ liệu D được lưu trữ, điện thế của đường W được thiết lập đến điện thế mà bóng bán dẫn 110 bị tắt, do đó, bóng bán dẫn 110 bị tắt. Bóng bán dẫn 110 bao gồm chất bán dẫn có khe giữa các dải rộng, chẳng hạn như, chất bán dẫn oxit có dòng điện trạng thái tắt rất nhỏ, do đó, điện thế được cung cấp cho nút FG được lưu trữ (lưu trữ dữ liệu). Nói cách khác, điện thế được cung cấp cho mỗi trong số điện cực cổng của bóng bán dẫn 112 và bóng bán dẫn 114 được lưu trữ, và do đó, trạng thái nổi của bóng bán dẫn 112 và bóng bán dẫn 114 cũng được lưu trữ. Do đó, trạng thái chuyển mạch của chuyển mạch lập trình được trên Fig.3A có thể được lưu trữ mà không cần cung cấp điện thế nguồn cấp điện.

Do đó, bóng bán dẫn trong phần bộ nhớ của chuyển mạch lập trình được bao gồm chất bán dẫn có khe giữa các dải rộng như chất bán dẫn oxit, cho phép giảm đủ nhiều dòng điện trạng thái tắt của bóng bán dẫn, trong đó dữ liệu cấu hình có thể được giữ trong thời gian dài ngay cả khi điện thế nguồn cấp điện không được cung cấp, và trạng thái của chuyển mạch của chuyển mạch lập trình được có thể được giữ. Do đó, ngay cả khi điện thế nguồn cấp điện không được cung cấp cho khối logic bao gồm chuyển mạch có thể lập trình được bằng phương pháp điều khiển (phương pháp điều khiển thường tắt), trong đó việc cung cấp điện thế nguồn cấp điện cho toàn bộ thiết bị logic lập trình được hoặc một phần của nó tạm thời được dừng lại và điện thế được cung cấp chỉ cho khối mạch mà cần điện khi cần thiết, trạng thái chuyển mạch của chuyển mạch lập trình được có thể được giữ. Do đó, bằng phương pháp điều khiển thường tắt, việc ghi dữ liệu cấu hình sau khi điện được cung cấp có thể được bỏ qua, do đó, thời gian khởi động của khối logic có thể rút ngắn. Theo đó, việc giảm tiêu thụ điện năng của thiết bị logic lập trình được trong phương án này có thể đạt được bằng phương pháp điều khiển thường tắt.

Hơn nữa, điện thế tương ứng với dữ liệu cấu hình được cung cấp cho nút FG thông qua bóng bán dẫn 110, nhờ đó dữ liệu có thể được ghi. So với trường hợp cổng

nổi được sử dụng cho phần bộ nhớ của chuyển mạch có thể lập trình được và dữ liệu cấu hình được ghi bằng cách bơm điện tử, thì điện thế và thời gian cần thiết để ghi dữ liệu có thể được giảm đáng kể. Hơn nữa, vấn đề trong đó lớp cách ly cổng của cổng nổi xuống cấp vì dòng điện đường hầm được tạo ra khi bơm điện tử không xảy ra, do đó, số chu kỳ ghi lại dữ liệu có thể được tăng lên.

Trong thiết bị logic lập trình được nói chung, cấu trúc mạch của khối logic được thay đổi bằng cách chuyển mạch phần tử chuyển mạch lập trình được trong trạng thái mà thiết bị bán dẫn bao gồm thiết bị logic lập trình được không hoạt động. Điều này được gọi là cấu hình. Ngược lại, cấu hình được thực hiện trong trạng thái mà thiết bị bán dẫn đang hoạt động được gọi là cấu hình động. Như đã mô tả ở trên, chuyển mạch có thể lập trình được theo phương án này có thể ghi dữ liệu cấu hình ở tốc độ cao, do đó, cấu hình động, có thể dễ dàng được thực hiện.

Trong chuyển mạch có thể lập trình được, trạng thái nổi của dây nổi 11 có thể được lưu trữ trong không chỉ khối logic 10 trên Fig.1A mà còn trong ma trận chuyển mạch trên Fig.1A.

Mỗi chuyển mạch lập trình được có cấu trúc khác với cấu trúc trên Fig.3A được thể hiện trên các hình vẽ từ Fig.3B đến Fig.3D, Fig.4A đến Fig.4C, và Fig. 5A đến Fig.5C.

Chuyển mạch lập trình được trên Fig.3B khác với chuyển mạch có thể lập trình được trên Fig.3A ở chỗ có tụ điện 116. Đầu cuối của tụ điện 116 được nối điện với nút FG và đầu cuối còn lại của tụ điện 116 được nối điện với điện thế cố định. Đầu cuối còn lại của tụ điện 116 được nối mát trong phương án này. Lưu ý rằng các cấu trúc khác cũng tương tự như cấu trúc của chuyển mạch lập trình được trên Fig.3A.

Tụ điện 116 được cung cấp theo cách này, để điện tích được cấp cho nút FG ở đầu vào của điện thế tương ứng với dữ liệu cấu hình cho nút FG từ đường dữ liệu D có thể dễ dàng được giữ, do đó, đặc điểm giữ dữ liệu cấu hình, của chuyển mạch lập trình được có thể dễ dàng được cải thiện. Trong trường hợp điện dung ký sinh của nút FG là đủ lớn, hiệu ứng tương tự hiệu ứng thu được trong trường hợp tụ điện 116 được cung cấp có thể thu được thậm chí khi không có tụ điện.

Chuyển mạch lập trình được trên Fig.3C khác với chuyển mạch có thể lập trình được trên Fig.3A ở chỗ bộ đệm 118 được cung cấp giữa một trong số điện cực nguồn và điện cực máng của bóng bán dẫn 110 và các điện cực cổng của bóng bán dẫn 112

và bóng bán dẫn 114. Ở đây, nút bao gồm các điện cực cổng của bóng bán dẫn 112 và bóng bán dẫn 114 là nút FG. Lưu ý rằng cấu trúc khác tương tự như các cấu trúc của chuyển mạch lập trình được trên Fig.3A.

Bộ đệm 118 được cung cấp theo cách này và điện thế được cung cấp cho nút FG từ đường cung cấp điện, để sự thay đổi điện thế của nút FG do nối điện dung với bóng bán dẫn 112 hoặc bóng bán dẫn 114 có thể được ngăn chặn thậm chí khi điện thế của đầu cuối đầu vào thứ nhất PIN1, đầu cuối đầu vào thứ hai PIN2, hoặc đầu cuối đầu ra POUT bị thay đổi. Hơn nữa, khi bộ đệm 118 được cung cấp, điện thế tương ứng với điện thế nguồn cấp có thể là đầu vào cho nút FG ngay cả khi đầu vào điện thế từ đường dữ liệu D giảm tới điện thế ngưỡng của bóng bán dẫn 110 trong bóng bán dẫn 110.

Chuyển mạch lập trình được trên Fig.3D khác với chuyển mạch có thể lập trình được trên Fig.3A ở chỗ biến tần 120 được cung cấp giữa một trong số điện cực nguồn và điện cực máng của bóng bán dẫn 110 và các điện cực cổng của bóng bán dẫn 112 và bóng bán dẫn 114. Ở đây, nút bao gồm các điện cực cổng của bóng bán dẫn 112 và bóng bán dẫn 114 là nút FG. Lưu ý rằng các cấu trúc khác cũng tương tự như các cấu trúc của chuyển mạch lập trình được trên Fig.3A. Cực tính của đầu vào điện thế từ đường dữ liệu D được đảo ngược bởi biến tần 120, do đó, hoạt động chuyển mạch của chuyển mạch lập trình được trên Fig.3D ngược với hoạt động của chuyển mạch lập trình được trên Fig.3A.

Biến tần 120 được cung cấp theo cách này và điện thế được cấp cho nút FG từ đường cấp điện, để sự thay đổi điện thế của nút FG do nối điện dung với bóng bán dẫn 112 hoặc bóng bán dẫn 114 có thể được ngăn chặn thậm chí khi điện thế của đầu cuối đầu vào thứ nhất PIN1, đầu cuối đầu vào thứ hai PIN2, hoặc đầu cuối đầu ra POUT bị thay đổi. Hơn nữa, khi biến tần 120 được cung cấp, điện thế tương ứng với điện thế nguồn cấp điện có thể là đầu vào cho nút FG ngay cả khi đầu vào điện thế từ đường dữ liệu D giảm tới khả năng ngưỡng của bóng bán dẫn 110 trong bóng bán dẫn 110.

Trong mỗi chuyển mạch lập trình được trên Fig.3A đến Fig.3D, bóng bán dẫn 112 nối điện với đầu cuối đầu vào thứ nhất PIN1 và bóng bán dẫn 114 nối điện với đầu cuối đầu vào thứ hai PIN2, mà được bao gồm trong phần chuyển mạch, có các loại tính dẫn điện khác nhau, tuy nhiên, cấu trúc của phần chuyển mạch theo phương án

này không bị giới hạn ở phương án này. Hai bóng bán dẫn được bao gồm trong phần chuyển mạch có thể có các loại tính dẫn điện tương tự nhau.

Ví dụ, cấu trúc trên Fig.4A có thể được sử dụng. Chuyển mạch lập trình được trên Fig.4A bao gồm bóng bán dẫn 132, bóng bán dẫn 134, bóng bán dẫn 130, và biến tần 144. Một trong số điện cực nguồn và điện cực máng của bóng bán dẫn 132 được nối điện với đầu cuối đầu vào thứ nhất PIN1 và điện cực còn lại trong số điện cực nguồn và điện cực máng của bóng bán dẫn 132 được nối điện với đầu cuối đầu ra POUT của chuyển mạch lập trình được. Một trong số điện cực nguồn và điện cực máng của bóng bán dẫn 134 được nối điện với đầu cuối đầu vào thứ hai PIN2 và điện cực còn lại của điện cực nguồn và điện cực máng của bóng bán dẫn 134 được nối điện với đầu cuối đầu ra POUT của chuyển mạch lập trình được. Một trong số điện cực nguồn và điện cực máng của bóng bán dẫn 130 được nối điện với điện cực cổng của bóng bán dẫn 132, điện cực còn lại trong số điện cực nguồn và điện cực máng của bóng bán dẫn 130 được nối điện với đường dữ liệu D, và điện cực cổng của bóng bán dẫn 130 được nối điện với đường ghi W. Biến tần 144 được nối điện giữa điện cực cổng của bóng bán dẫn 134 và một trong số điện cực nguồn và điện cực máng của bóng bán dẫn 130. Bóng bán dẫn 130 bao gồm lớp bán dẫn oxit. Bóng bán dẫn 132 và bóng bán dẫn 134 có các loại tính dẫn điện tương tự nhau, ở đây, bóng bán dẫn 132 và bóng bán dẫn 134 là bóng bán dẫn kênh n.

Nói cách khác, chuyển mạch có thể lập trình được trên Fig.4A khác với chuyển mạch có thể lập trình được trên Fig.3A ở chỗ bóng bán dẫn 132 nối điện với đầu cuối đầu vào thứ nhất PIN1 và bóng bán dẫn 134 nối điện với đầu cuối đầu vào thứ hai PIN2, được bao gồm trong phần chuyển mạch, có cùng loại tính dẫn điện và rằng biến tần 144 được cung cấp giữa điện cực cổng của bóng bán dẫn 134 và một trong số điện cực nguồn và điện cực máng của bóng bán dẫn 130. Với cấu trúc như vậy, điện thế tương ứng với đầu vào dữ liệu cấu hình từ đường dữ liệu D đến điện cực cổng của bóng bán dẫn 132 (nút FG1) và đến điện cực cổng của bóng bán dẫn 134 (nút FG2) có cực tính ngược nhau, do đó, một trong số bóng bán dẫn 132 và 134 được bật trong khi bóng còn lại được tắt.

Hơn nữa, như được thể hiện trên Fig.4B, bóng bán dẫn kênh p có thể được sử dụng như bóng bán dẫn 136 nối điện với đầu cuối đầu vào thứ nhất PIN1 và bóng bán dẫn 138 nối điện với đầu cuối đầu vào thứ hai PIN2, được bao gồm trong phần chuyển

mạch của chuyển mạch lập trình được. Lưu ý rằng các cấu trúc khác cũng tương tự như các cấu trúc khác trên Fig.4A.

Hơn nữa, như được thể hiện trên Fig.4C, thay vì bóng bán dẫn được bao gồm trong phần chuyển mạch của chuyển mạch lập trình được, cổng truyền 140 nối điện với đầu cuối đầu vào thứ nhất PIN1 và cổng truyền 142 nối điện với đầu cuối đầu vào thứ hai PIN2 có thể được cung cấp. Cổng truyền 140 bao gồm bóng bán dẫn kênh n và bóng bán dẫn kênh p. Một trong số điện cực nguồn và điện cực máng của mỗi bóng bán dẫn này được nối điện với đầu cuối đầu vào thứ nhất PIN1, điện cực còn lại trong số điện cực nguồn và điện cực máng của mỗi bóng bán dẫn được nối điện với đầu cuối đầu ra POUT, điện cực cổng của bóng bán dẫn kênh n (nút FG1) được nối điện với một trong số điện cực nguồn và điện cực máng của bóng bán dẫn 130, và điện cực cổng của bóng bán dẫn kênh p (nút FG2) được nối điện với một trong số điện cực nguồn và điện cực máng của bóng bán dẫn 130 thông qua biến tần 144. Tương tự, cổng truyền 142 bao gồm bóng bán dẫn kênh n và bóng bán dẫn kênh p. Một trong số điện cực nguồn và điện cực máng của mỗi bóng bán dẫn được nối điện với đầu cuối đầu vào thứ hai PIN2, điện cực còn lại trong số điện cực nguồn và điện cực máng của mỗi bóng bán dẫn được nối điện với đầu cuối đầu ra POUT, điện cực cổng của bóng bán dẫn kênh n (nút FG2) được nối điện với một trong số điện cực nguồn và điện cực máng của bóng bán dẫn 130 thông qua biến tần 144, và điện cực cổng của bóng bán dẫn kênh p (nút FG1) được nối điện với một trong số điện cực nguồn và điện cực máng của bóng bán dẫn 130. Lưu ý rằng các cấu trúc khác cũng tương tự như trên Fig.4A.

Trong trường hợp phần chuyển mạch của chuyển mạch lập trình được bao gồm một bóng bán dẫn, điện thế cao hơn (hoặc thấp hơn) so với mức cao nhất (hoặc nhỏ nhất) của điện thế đặt lên điện cực nguồn hoặc điện cực máng của bóng bán dẫn bởi điện áp ngưỡng của bóng bán dẫn cần phải được đặt lên điện cực cổng của bóng bán dẫn để trạng thái nối (trạng thái bật hoặc trạng thái tắt) của bóng bán dẫn được giữ. Tuy nhiên, như đã mô tả ở trên, khi cổng truyền được sử dụng trong phần chuyển mạch của chuyển mạch có thể lập trình được, việc chuyển mạch có thể được thực hiện ngay cả khi không đặt điện thế cao hơn (hoặc thấp hơn) so với điện thế mức cao nhất (hoặc nhỏ nhất) bởi điện áp ngưỡng lên điện cực cổng. Do đó, việc giảm tiêu thụ điện năng của chuyển mạch lập trình được có thể đạt được.

Ngoài ra, cấu trúc trên Fig.5A có thể được sử dụng. Chuyển mạch lập trình được trên Fig.5A bao gồm bóng bán dẫn 154, bóng bán dẫn 156, bóng bán dẫn 150 và bóng bán dẫn 152. Một trong số điện cực nguồn và điện cực máng của bóng bán dẫn 154 được nối điện với đầu cuối đầu vào thứ nhất PIN1 và điện cực còn lại của điện cực nguồn và điện cực máng của bóng bán dẫn 154 được nối điện với đầu cuối đầu ra POUT của chuyển mạch lập trình được. Một trong số điện cực nguồn và điện cực máng của bóng bán dẫn 156 được nối điện với đầu cuối đầu vào thứ hai PIN2 và điện cực còn lại của điện cực nguồn và điện cực máng của bóng bán dẫn 156 được nối điện với đầu cuối đầu ra POUT của chuyển mạch lập trình được. Một trong số điện cực nguồn và điện cực máng của bóng bán dẫn 150 được nối điện với điện cực cổng của bóng bán dẫn 154, điện cực còn lại trong số điện cực nguồn và điện cực máng của bóng bán dẫn 150 được nối điện với đường dữ liệu D, và điện cực cổng của bóng bán dẫn 150 được nối điện với đường ghi W. Một trong số điện cực nguồn và điện cực máng của bóng bán dẫn 152 được nối điện với điện cực cổng của bóng bán dẫn 156, điện cực còn lại trong số điện cực nguồn và điện cực máng của bóng bán dẫn 152 được nối điện với đường dữ liệu DB, và điện cực cổng của bóng bán dẫn 152 được nối điện với đường W. Ở đây, mỗi trong số bóng bán dẫn 150 và bóng bán dẫn 152 bao gồm lớp bán dẫn oxit. Hơn nữa, điện thế của đường dữ liệu D và điện thế của đường dữ liệu DB có cực tính ngược nhau.

Chuyển mạch lập trình được trên Fig.5A khác với chuyển mạch có thể lập trình được trên Fig.3A ở chỗ bóng bán dẫn 154 nối điện với đầu cuối đầu vào thứ nhất PIN1 và bóng bán dẫn 156 nối điện với đầu cuối đầu vào thứ hai PIN2, được bao gồm trong phần chuyển mạch, cùng kiểu dẫn điện, và rằng bóng bán dẫn 150 nối điện với đường dữ liệu D và bóng bán dẫn 152 nối điện với đường dữ liệu DB được cung cấp. Với cấu trúc như vậy, đầu vào điện thế từ đường dữ liệu D và được lưu trữ trong điện cực cổng của bóng bán dẫn 154 (nút FG1) và đầu vào điện thế từ đường dữ liệu DB và được giữ trong điện cực cổng của bóng bán dẫn 156 (nút FG2) có cực tính ngược nhau, do đó, một trong số bóng bán dẫn 154 và bóng bán dẫn 156 được bật trong khi bóng bán dẫn còn lại được tắt.

Hơn nữa, như được thể hiện trên Fig.5B, bóng bán dẫn kênh p có thể được sử dụng như bóng bán dẫn 158 nối điện với đầu cuối đầu vào thứ nhất PIN1 và bóng bán dẫn 160 nối điện với đầu cuối đầu vào thứ hai PIN2, được bao gồm trong phần chuyển

mạch của chuyển mạch lập trình được. Lưu ý rằng các cấu trúc khác cũng tương tự như các cấu trúc trên Fig.5A.

Hơn nữa, như được thể hiện trên Fig.5C, thay vì bóng bán dẫn được bao gồm trong phần chuyển mạch của chuyển mạch lập trình được, cổng truyền 162 nối điện với đầu cuối đầu vào thứ nhất PIN1 và cổng truyền 164 nối điện với đầu cuối đầu vào thứ hai PIN2 có thể được cung cấp. Cổng truyền 162 bao gồm bóng bán dẫn kênh n và bóng bán dẫn kênh p. Một trong số điện cực nguồn và điện cực máng của mỗi bóng bán dẫn được nối điện với đầu cuối đầu vào thứ nhất PIN1, điện cực còn lại trong số điện cực nguồn và điện cực máng của mỗi bóng bán dẫn được nối điện với đầu cuối đầu ra POUT, điện cực cổng của bóng bán dẫn kênh n (nút FG1) được nối điện với một trong số điện cực nguồn và điện cực máng của bóng bán dẫn 150, và điện cực cổng của bóng bán dẫn kênh p (nút FG2) được nối điện với một trong số điện cực nguồn và điện cực máng của bóng bán dẫn 152. Tương tự, cổng truyền 164 bao gồm bóng bán dẫn kênh n và bóng bán dẫn kênh p. Một trong số điện cực nguồn và điện cực máng của mỗi bóng bán dẫn được nối điện với đầu cuối đầu vào thứ hai PIN2, điện cực còn lại trong số điện cực nguồn và điện cực máng của mỗi bóng bán dẫn được nối điện với đầu cuối đầu ra POUT, điện cực cổng của bóng bán dẫn kênh n (nút FG2) được nối điện với một trong số điện cực nguồn và điện cực máng của bóng bán dẫn 152, và điện cực cổng của bóng bán dẫn kênh p (nút FG1) được nối điện với một trong số điện cực nguồn và điện cực máng của bóng bán dẫn 150. Lưu ý rằng các cấu trúc khác cũng tương tự như các cấu trúc trên Fig.5A.

Như đã mô tả ở trên, khi cổng truyền được sử dụng trong phần chuyển mạch của chuyển mạch có thể lập trình được, việc chuyển mạch có thể được thực hiện ngay cả khi không đặt điện thế cao hơn (hoặc thấp hơn) so với mức cao nhất (hoặc nhỏ nhất) của điện thế đặt lên điện cực nguồn hoặc điện cực máng của bóng bán dẫn bởi điện áp ngưỡng của bóng bán dẫn lên điện cực cổng, như trong chuyển mạch có thể lập trình được bao gồm cổng truyền trên Fig.4C. Do đó, việc giảm tiêu thụ điện năng của chuyển mạch lập trình được có thể đạt được.

Lưu ý rằng chuyển mạch bất kỳ trong số các chuyển mạch lập trình được trên Fig.4A đến Fig.4C và Fig.5A đến Fig.5C có thể được sử dụng kết hợp với cấu trúc tương tự như cấu trúc bất kỳ của chuyển mạch lập trình được trên Fig.3B đến Fig.3D. Ví dụ, như được thể hiện trên Fig.3B, tụ điện được cung cấp tại mỗi trong số nút FG1

và nút FG2 trong bất kỳ chuyển mạch lập trình được nào trên Fig.4A đến Fig.4C và Fig.5A đến Fig.5C, trong đó đặc điểm giữ dữ liệu cấu hình của chuyển mạch lập trình được có thể dễ dàng được cải thiện.

Như đã mô tả ở trên, bóng bán dẫn trong phần bộ nhớ của chuyển mạch lập trình được bao gồm chất bán dẫn có khe giữa các dải rộng, chẳng hạn như, chất bán dẫn oxit, cho phép giảm đủ nhiều dòng điện trạng thái tắt của bóng bán dẫn, trong đó dữ liệu cấu hình có thể được giữ ngay cả khi nguồn điện thế nguồn cấp điện không được cung cấp. Do đó, việc ghi dữ liệu cấu hình sau khi điện được cung cấp có thể được bỏ qua, do đó thời gian khởi động của khối logic có thể ngắn. Do đó, việc giảm tiêu thụ điện của thiết bị logic lập trình được có thể được thực hiện bằng phương pháp điều khiển thường tắt.

Các cấu trúc, phương pháp, và yếu tố tương tự trong phương án này có thể được kết hợp với nhau, hoặc cũng có thể được kết hợp với cấu trúc, phương pháp, và yếu tố bất kỳ trong các phương án khác khi phù hợp.

Phương án 2

Trong phương án này, phương pháp sản xuất chuyển mạch lập trình được của thiết bị logic lập trình được trong phương án 1 sẽ được mô tả dựa trên Fig.6A đến Fig.6D, Fig.7A và Fig.7B, Fig.8A đến Fig.8C, và Fig.9A và Fig.9B. Phương pháp để sản xuất chuyển mạch lập trình được bao gồm bóng bán dẫn 110, bóng bán dẫn 112, và bóng bán dẫn 114, được thể hiện trên Fig.3A, sẽ được mô tả làm ví dụ. Lưu ý rằng trên Fig.6A đến Fig.6D, Fig.7A và Fig.7B, Fig.8A đến Fig.8C, và Fig.9A và Fig.9B, mặt cắt ngang theo đường AB tương ứng với mặt cắt ngang qua phần bóng bán dẫn 110 bao gồm màng oxit bán dẫn, bóng bán dẫn kênh n 112, và bóng bán dẫn kênh p 114 được tạo thành, và mặt cắt ngang theo đường CD tương ứng với mặt cắt ngang của nút FG ở đó một trong số điện cực nguồn và điện cực máng của bóng bán dẫn 110 bao gồm lớp bán dẫn oxit được nối điện với điện cực cổng của bóng bán dẫn kênh n 112. Lưu ý rằng mặc dù không được thể hiện trực tiếp trong phương án này, như được thể hiện trên Fig.3A, nhưng điện cực cổng của bóng bán dẫn kênh p 114 cũng được nối điện với nút FG.

Đầu tiên, như được thể hiện trên Fig.6A, vùng cách ly phần tử 203 được tạo thành trên nền bán dẫn loại n 201, và sau đó là vùng giếng p 205 được tạo thành ở phần của nền bán dẫn loại n 201.

Để làm nền bán dẫn loại n 201, nền silic đơn tinh thể (tấm silic) loại dẫn điện n, hoặc nền bán dẫn phức (ví dụ, nền SiC, nền saphia, hoặc nền GaN) có thể được sử dụng.

Thay vì nền chất bán dẫn loại n 201, các nền dưới đây có thể được sử dụng như nền SOI (silic trên lớp cách ly): việc phân tách ra bằng nền SIMOX (oxy cấy) mà được tạo thành theo cách mà sau khi ion oxy được cấy vào tấm bán dẫn đánh bóng gương, lớp oxit được tạo thành ở chiều dày nhất định tính từ bề mặt và các khuyết tật được tạo ra trong lớp bề mặt được loại bỏ bằng cách nung nóng ở nhiệt độ cao, hoặc nền SOI được tạo thành bởi kỹ thuật được gọi là phương pháp cắt thông minh trong đó chất bán dẫn được phân tách bằng cách sử dụng sự phát triển của khoảng trống nhỏ được tạo thành bởi việc cấy ion hydro, bởi quá trình xử lý nhiệt, bởi phương pháp chuyển lớp epitaxy (ELTRAN: nhãn hiệu đã đăng ký của Canon Inc), hoặc các phương pháp tương tự.

Vùng cách ly phần tử 203 được tạo thành bởi quá trình oxy hóa cục bộ silic (LOCOS), phương pháp phân tách rãnh nông (STI), hoặc các phương pháp tương tự.

Thành phần tạp chất tạo ra tính dẫn loại p, chẳng hạn như Bo, được thêm vào vùng giếng p 205 ở nồng độ khoảng $5 \times 10^{15} \text{cm}^{-3}$ đến $1 \times 10^{16} \text{cm}^{-3}$. Vùng giếng p 205 được tạo thành theo cách để mặt n được tạo thành trên phần của nền chất bán dẫn 201, và thành phần tạp chất tạo ra tính dẫn loại p, chẳng hạn như Bo, được thêm vào phần này của nền chất bán dẫn 201.

Lưu ý rằng mặc dù nền bán dẫn loại n được sử dụng ở đây, nền bán dẫn loại p có thể được sử dụng và vùng giếng n mà tạp chất tạo ra tính dẫn loại n, chẳng hạn như, phospho hoặc asen, được thêm vào có thể được tạo thành trong nền bán dẫn loại p. Trong trường hợp bóng bán dẫn bao gồm trong phần chuyển mạch của chuyển mạch lập trình được có cùng loại tính dẫn, chẳng hạn như, chuyển mạch lập trình được thể hiện trên Fig.4A và Fig.4B và Fig.5A và Fig.5B, vùng giếng p hay vùng giếng n không cần phải được tạo thành.

Tiếp theo, như được thể hiện trên Fig.6B, màng cách ly cổng 207a, màng cách ly cổng 207b, điện cực cổng 209a, và điện cực cổng 209b được tạo thành trên nền chất bán dẫn 201.

Bề mặt của nền bán dẫn 201 bị oxy hóa bằng cách xử lý nhiệt, do đó, màng oxit silic được tạo thành. Ngoài ra, màng oxit silic được tạo thành bởi phương pháp oxy

hóa nhiệt, và sau đó bề mặt của màng oxit silic được nitrua hóa bằng cách xử lý nitrua hóa, do đó cấu trúc xếp chồng lên nhau bao gồm màng oxit silic và màng silic có chứa oxy và nitơ (màng silic oxynitrua) được tạo thành. Tiếp theo, phần của màng oxit silic hoặc màng silic oxynitrua được khắc chọn lọc, để các màng cách ly cổng 207a và 207b được tạo thành. Ngoài ra, màng cách ly cổng 207a và 207b được tạo thành theo cách để oxit silic, oxynitrua silic, oxit kim loại như oxit tantan, hafini oxit, hafini oxit silicat, oxit ziricon, oxit nhôm, hoặc oxit titan, là loại vật liệu có hằng số điện môi lớn (cũng được gọi là loại vật liệu k lớn), oxit đất hiếm như lantan oxit, hoặc loại tương tự được tạo thành để có độ dày từ 5nm đến 50nm bằng phương pháp CVD (lắng đọng hơi hóa học), phương pháp phún xạ, hoặc các phương pháp tương tự, và sau đó một phần được khắc chọn lọc.

Tốt hơn là, mỗi điện cực cổng 209a và 209b được tạo thành bằng cách sử dụng kim loại được lựa chọn từ tantan, vonfram, titan, molypden, crom, niobi, và các kim loại tương tự, hoặc vật liệu hợp kim hoặc vật liệu hỗn hợp bao gồm kim loại bất kỳ là thành phần chính của nó. Hơn nữa, silic đa tinh thể mà tạp chất như phospho được thêm vào có thể được sử dụng. Ngoài ra, các điện cực cổng 209a và 209b có thể có cấu trúc xếp chồng lên nhau bao gồm màng nitrua kim loại và màng của kim loại bất kỳ trong số các kim loại trên. Để làm nitrua kim loại, vonfram nitrua, molypden nitrua, hoặc nitrua titan có thể được sử dụng. Khi màng nitrua kim loại được cung cấp, độ bám dính của màng kim loại có thể được tăng lên, theo đó, việc bong tách có thể được ngăn chặn.

Các điện cực cổng 209a và 209b được tạo thành theo cách để màng dẫn điện được tạo thành bởi phương pháp phún xạ, phương pháp CVD, hoặc các phương pháp tương tự và sau đó một phần của màng dẫn được khắc chọn lọc.

Ở đây, bề mặt của nền bán dẫn 201 bị oxy hóa bằng cách xử lý nhiệt, do đó màng oxit silic được tạo thành, màng dẫn bao gồm xếp chồng màng nitrua tantan và màng vonfram được tạo thành trên màng oxit silic bởi phương pháp phún xạ, và sau đó phần màng oxit silic và phần màng dẫn được khắc chọn lọc. Do đó, màng cách ly cổng 207a, màng cách ly cổng 207b, điện cực cổng 209a và 209b được tạo thành.

Lưu ý rằng để có mức tích hợp cao, tốt hơn là, cấu trúc trong đó các lớp cách ly phía bên không được cung cấp trên bề mặt bên của điện cực cổng 209a và 209b cổng sẽ được ưu tiên sử dụng. Mặt khác, khi các đặc điểm của bóng bán dẫn có tính ưu tiên,

lớp cách ly mặt bên có thể được cung cấp trên bề mặt bên của điện cực cổng 209a và điện cực cổng 209b.

Tiếp theo, như được thể hiện trên Fig.6C, thành phần tạp chất tạo ra tính dẫn loại p được thêm vào nền bán dẫn 201, do đó vùng tạp chất loại p 213a và 213b được tạo thành. Hơn nữa, thành phần tạp chất tạo ra tính dẫn loại n được thêm vào vùng giếng p 205, do đó, vùng tạp chất loại n 211a và vùng tạp chất loại n 211b được tạo thành. Nồng độ của thành phần tạp chất tạo ra tính dẫn loại n trong các vùng tạp chất loại n 211a và 211b lớn hơn hoặc bằng $1 \times 10^{19} \text{cm}^{-3}$ và thấp hơn hoặc bằng $1 \times 10^{21} \text{cm}^{-3}$, và nồng độ của thành phần tạp chất tạo ra tính dẫn loại p trong các vùng tạp chất loại p 213a và 213b lớn hơn hoặc bằng $1 \times 10^{19} \text{cm}^{-3}$ và thấp hơn hoặc bằng $1 \times 10^{21} \text{cm}^{-3}$. Thành phần tạp chất tạo ra tính dẫn loại n và tạp chất tạo ra tính dẫn loại p được thêm vào vùng giếng p 205 và nền bán dẫn 201, tương ứng, bằng phương pháp pha tạp ion, phương pháp cấy ion, hoặc các phương pháp tương tự khi thích hợp. Trong trường hợp bóng bán dẫn được bao gồm trong phần chuyển mạch của chuyển mạch lập trình được có cùng tính dẫn, chẳng hạn như trong các trường hợp được thể hiện trên Fig.4A và Fig.4B và Fig.5A và Fig.5B, thì hoặc là thành phần tạp chất tạo ra tính dẫn loại p hoặc thành phần tạp chất tạo ra tính dẫn loại n có thể được thêm vào.

Trong trường hợp lớp cách ly mặt bên được tạo thành trên bề mặt bên của điện cực cổng 209a và điện cực cổng 209b, vùng tạp chất có nồng độ tạp chất khác so với ở các vùng tạp chất loại n 211a và 211b và các vùng tạp chất loại p 213a và 213b có thể được tạo thành trong vùng chồng lên lớp cách ly mặt bên.

Tiếp theo, như được thể hiện trên Fig.6D, màng cách ly 215 và màng cách ly 217 được tạo thành bởi phương pháp phún xạ, phương pháp CVD, hoặc các phương pháp tương tự trên nền bán dẫn 201, vùng cách ly phần tử 203, màng cách ly cổng 207a và 207b, và các điện cực cổng 209a và 209b.

Các màng cách ly 215 và 217 mỗi loại có thể được tạo thành với lớp duy nhất hoặc xếp chồng bao gồm một hoặc nhiều lớp trong số oxit silic, oxynitrua silic, nitrua oxit silic, silic nitrua, oxit nhôm, oxynitrua nhôm, nhôm oxit nitrua, nitrua nhôm, và các loại tương tự. Khi màng cách ly 215 được tạo thành bởi phương pháp CVD, hàm lượng hydro của màng cách ly 215 có thể được tăng lên. Việc xử lý nhiệt được thực hiện sử dụng màng cách ly 215 này, nhờ đó, có thể hydro hóa nền bán dẫn, gắn kết liên kết lơ lửng bằng hydro, và giảm các khuyết tật trên nền chất bán dẫn.

Lưu ý rằng độ phẳng của màng cách ly 217 có thể cao khi màng cách ly 217 được tạo thành bằng cách sử dụng vật liệu vô cơ như thủy tinh bophosphosilicat (BPSG), hoặc vật liệu hữu cơ như polyimit hoặc acrylic.

Sau khi tạo thành màng cách ly 215 hoặc màng cách ly 217, việc xử lý nhiệt được thực hiện để kích hoạt các thành phần tạp chất được bổ sung vào các vùng tạp chất loại n 211a và 211b và các vùng tạp chất loại p 213a và 213b.

Thông qua các bước trên, như được thể hiện trên Fig.6D, bóng bán dẫn kênh n 112 và bóng bán dẫn kênh p 114 có thể được sản xuất. Ở đây, các bóng bán dẫn 112 và 114 được tạo thành bằng cách sử dụng chất bán dẫn khác chất bán dẫn oxit, chẳng hạn như silic đơn tinh thể, do đó, các bóng bán dẫn 112 và 114 có thể hoạt động ở tốc độ cao. Do đó, chuyển mạch có thể lập trình được có khả năng hoạt động ở tốc độ cao có thể được sản xuất.

Tiếp theo, một phần của mỗi màng trong số các màng cách ly 215 và 217 được khắc chọn lọc để tạo thành phần lỗ hở. Sau đó, các chân cắm tiếp xúc từ 219a đến 219d được tạo thành trong phần lỗ hở này. Thông thường, các chân cắm tiếp xúc từ 219a đến 219d được tạo thành theo cách mà sau khi màng dẫn được tạo thành bởi phương pháp phún xạ, phương pháp CVD, hoặc các phương pháp tương tự, xử lý làm phẳng được thực hiện bằng cách đánh bóng cơ khí (CMP), khắc, hoặc các phương pháp tương tự, và phần không cần thiết của màng dẫn được loại bỏ.

Màng dẫn có các chân cắm tiếp xúc từ 219a đến 219d được tạo thành theo cách để mà vonfram silicua được tạo thành bởi phương pháp CVD sử dụng khí WF_6 và khí SiH_4 để đưa vào phần lỗ hở.

Tiếp theo, màng cách ly được tạo thành bởi phương pháp phún xạ, phương pháp CVD, hoặc phương pháp tương tự trên màng cách ly 217 và các chân cắm tiếp xúc từ 219a đến 219d, và sau đó, một phần của màng cách ly này được khắc chọn lọc để tạo thành màng cách ly 221 có phần rãnh. Tiếp theo, sau khi màng dẫn được tạo thành bởi phương pháp phún xạ, phương pháp CVD, hoặc phương pháp tương tự, việc xử lý làm phẳng được thực hiện bằng phương pháp CMP, khắc, hoặc các phương pháp tương tự, và phần không cần thiết của màng dẫn điện được loại bỏ, do đó, các dây nối 223a đến 223c được tạo thành (xem Fig.7A).

Ở đây, dây nối 223a đóng vai trò như một trong số điện cực nguồn và điện cực máng của bóng bán dẫn 112 và được nối điện với đầu cuối đầu vào thứ nhất PIN1 trên

Fig.3A. Dây nối 223c đóng vai trò như một trong số điện cực nguồn và điện cực máng của bóng bán dẫn 114 và được nối điện với đầu cuối đầu vào thứ hai PIN2 trên Fig.3A. Dây nối 223b đóng vai trò như điện cực còn lại trong số điện cực nguồn và điện cực máng của bóng bán dẫn 112 và điện cực còn lại trong số điện cực nguồn và điện cực máng của bóng bán dẫn 114 và được nối điện với đầu cuối đầu ra POUT trên Fig.3A.

Màng cách ly 221 có thể được tạo thành bằng cách sử dụng loại vật liệu tương tự như vật liệu của màng cách ly 215.

Dây nối từ 223a đến 223c được tạo thành có cấu trúc đơn lớp hoặc cấu trúc xếp chồng các lớp bao gồm lớp kim loại bất kỳ như nhôm, titan, crom, niken, đồng, ytri, ziricon, molybden, bạc, tantan, và vonfram và hợp kim có chứa kim loại bất kỳ trong số các kim loại trên là thành phần chính. Ví dụ, cấu trúc đơn lớp của màng nhôm có chứa silic, cấu trúc hai lớp, trong đó màng titan được xếp chồng lên trên màng nhôm, cấu trúc hai lớp, trong đó màng titan được xếp chồng lên trên màng vonfram, cấu trúc hai lớp, trong đó màng đồng được tạo thành trên màng hợp kim đồng-magiê-nhôm, và cấu trúc ba lớp, trong đó màng titan, màng nhôm, và màng titan được xếp chồng lên nhau theo thứ tự này có thể được sử dụng. Lưu ý rằng vật liệu dẫn trong suốt có chứa indi oxit, thiếc oxit, hoặc oxit kẽm có thể được sử dụng.

Màng cách ly 221 và các dây nối từ 223a đến 223c đã làm phẳng được sử dụng, trong đó sự thay đổi về đặc điểm điện của bóng bán dẫn bao gồm lớp bán dẫn oxit, mà được tạo thành sau đó, có thể được giảm. Hơn nữa, bóng bán dẫn có màng bán dẫn oxit có thể được sản xuất với năng suất cao.

Tiếp theo, tốt hơn là, việc xử lý nhiệt hoặc xử lý plasma được thực hiện để hydro trong màng cách ly 221 và các dây nối từ 223a đến 223c được giải phóng. Do đó, trong quá trình xử lý nhiệt được thực hiện sau đó, sự khuếch tán khí hydro vào màng cách ly và màng bán dẫn oxit được tạo thành sau này có thể được ngăn chặn. Việc xử lý nhiệt được thực hiện ở nhiệt độ cao hơn hoặc bằng 100°C và thấp hơn điểm căng bề mặt trong môi trường khí trơ, bầu không khí giảm áp, hoặc bầu không khí không khí khô. Hơn nữa, để xử lý plasma, khí hiêm, oxy, nitơ, hoặc nitơ oxit (ví dụ, nitơ oxit, nitơ monoxit, hoặc nitơ đioxit) được sử dụng.

Tiếp theo, màng cách ly 225 được tạo thành bởi phương pháp phun xạ, phương pháp CVD, hay các phương pháp tương tự trên màng cách ly 221 và các dây nối từ 223a đến 223c. Màng cách ly 225 được tạo thành với lớp duy nhất hoặc lớp xếp chồng

bao gồm một hoặc nhiều oxit silic, silic oxynitrua, nitrua oxit silic, oxit gali, hafni oxit, ytri oxit, oxit nhôm, và oxynitrua nhôm. Tốt hơn là, màng cách ly 225 được tạo thành sử dụng màng cách ly oxit từ đó một phần khí oxy được giải phóng bằng cách nung nóng. Để làm màng cách ly oxit mà từ đó một phần khí oxy được giải phóng bằng cách nung nóng, màng cách ly oxit có chứa oxy ở tỷ lệ vượt quá tỷ lệ cân bằng hóa học được sử dụng. Oxy được giải phóng bằng cách nung nóng từ màng cách ly oxit, vì vậy, oxy có thể được khuếch tán vào các chất bán dẫn oxit bằng cách nung nóng được thực hiện trong các bước sau.

Tốt hơn là, màng cách ly 225 được làm phẳng bằng cách xử lý CMP hoặc xử lý tương tự. Bề mặt của màng cách ly 225 có độ nhám bề mặt trung bình (R_a) bằng 1nm hoặc ít hơn, tốt hơn là, 0,3nm hoặc ít hơn, tốt hơn nữa là 0,1nm hoặc ít hơn.

Lưu ý rằng trong phần mô tả này, độ nhám bề mặt trung bình (R_a) thu được bằng cách mở rộng ba chiều độ nhám bề mặt trung bình trên đường tâm (R_a) được xác định theo tiêu chuẩn JIS B 0601:2001 (ISO 4287:1997) để R_a có thể được áp dụng cho bề mặt đo, và là giá trị trung bình của các giá trị tuyệt đối của độ lệch từ bề mặt tham chiếu đến bề mặt cụ thể.

Khi bề mặt đo là bề mặt được đại diện bởi dữ liệu đo được thể hiện là $Z = F(X, Y)$, độ nhám bề mặt trung bình (R_a) là giá trị trung bình của các giá trị tuyệt đối của độ lệch từ bề mặt tham chiếu đến bề mặt cụ thể và được thể hiện theo công thức sau (công thức 1).

$$\text{Công thức 1: } R_a = \frac{1}{S_0} \int_{x_1}^{x_2} \int_{y_1}^{y_2} |F(X, Y) - Z_0| dXdY$$

Ở đây, bề mặt cụ thể là bề mặt cần đo độ nhám, và là vùng hình chữ nhật được bao quanh bởi bốn điểm có tọa độ (X_1, Y_1) , (X_1, Y_2) , (X_2, Y_1) và (X_2, Y_2) . Với S_0 là diện tích bề mặt cụ thể khi bề mặt cụ thể phẳng lý tưởng. Ngoài ra, bề mặt tham chiếu là bề mặt song song với mặt X-Y ở độ cao trung bình của bề mặt cụ thể. Một cách vắn tắt là khi giá trị trung bình của chiều cao của bề mặt cụ thể được ký hiệu là Z_0 , chiều cao của bề mặt tham chiếu cũng được ký hiệu là Z_0 . Độ nhám bề mặt trung bình (R_a) có thể được đo bằng cách sử dụng kính hiển vi lực nguyên tử (AFM).

Việc xử lý CMP có thể được thực hiện một lần hoặc nhiều lần. Khi xử lý CMP được thực hiện nhiều lần, tốt hơn là, lần đánh bóng đầu tiên được thực hiện với tốc độ đánh bóng cao tiếp theo là lần đánh bóng cuối cùng với tốc độ đánh bóng thấp. Bằng

cách thực hiện các bước đánh bóng kết hợp với tốc độ đánh bóng khác nhau, độ phẳng của bề mặt của màng cách ly 225 có thể được tăng thêm.

Ngoài ra, xử lý plasma có thể được sử dụng để là phẳng màng cách ly 225. Việc xử lý plasma được thực hiện theo cách mà khí trơ, ví dụ như, khí hiếm như khí argon được đưa vào buồng chân không và điện trường được đặt lên bề mặt cần được xử lý đóng vai trò như là cực âm. Việc xử lý plasma có nguyên tắc tương tự như của phương pháp khắc khô plasma và khí trơ được sử dụng trong xử lý plasma. Nói cách khác, việc xử lý plasma là xử lý, trong đó bề mặt cần xử lý được chiếu xạ bằng các ion của khí trơ và sự không đồng đều rất nhỏ của bề mặt được giảm do tác dụng phún xạ. Vì vậy, việc xử lý plasma cũng có thể được gọi là "xử lý phún xạ ngược".

Trong xử lý plasma, các điện tử và cation argon có mặt trong plasma và các cation argon được gia tốc theo hướng cực âm. Bề mặt cần xử lý được phún xạ bởi các cation argon tăng tốc. Tại thời điểm này, phần nhô của bề mặt cần xử lý được ưu tiên phún xạ. Các hạt được tạo ra bằng cách thổi từ bề mặt cần xử lý gắn với vị trí khác của bề mặt cần xử lý. Tại thời điểm này, các hạt được ưu tiên gắn liền với phần lõm của bề mặt cần xử lý. Theo cách này, bằng cách giảm tỷ lệ nhô và trám vào các phần lõm, độ phẳng của bề mặt cần xử lý có thể được cải thiện. Lưu ý rằng kết hợp xử lý plasma và xử lý CMP có thể còn là phẳng thêm nữa màng cách ly 225.

Lưu ý rằng thông qua việc xử lý plasma, có thể loại bỏ các tạp chất như hydro, độ ẩm, và chất hữu cơ gắn trên bề mặt của màng cách ly 225 bằng tác dụng phún xạ.

Tốt hơn là, các tạp chất như hydro, nước, hợp chất có nhóm hydroxyn, và hydrit trong buồng lắng đọng được loại bỏ bằng cách nung nóng và sơ tán khỏi buồng lắng đọng trước khi tạo thành chất bán dẫn oxit. Điều đặc biệt quan trọng là phải loại bỏ các tạp chất được hấp phụ trên thành bên trong của buồng lắng đọng. Ở đây, xử lý nhiệt có thể được thực hiện ở nhiệt độ cao hơn hoặc bằng 100°C và thấp hơn hoặc bằng 450°C. Tốt hơn là, việc sơ tán khỏi buồng lắng đọng được thực hiện bằng bơm chân không thô như bơm khô và bơm chân không cao như bơm ion phún xạ, bơm phân tử turbo, hoặc cryopump, hoặc các kết hợp thích hợp. Bơm phân tử turbo có khả năng rất tốt trong việc sơ tán phân tử có kích thước lớn, trong khi nó có khả năng thấp hơn khi sơ tán hydro hoặc nước. Do đó, kết hợp của bơm phân tử turbo và cryopump có khả năng cao hơn trong việc sơ tán nước hoặc bơm phún xạ ion có khả năng cao trong việc sơ tán khí hydro một cách có hiệu quả hiệu quả. Tại thời điểm này, khi các tạp chất được loại

bỏ trong khi khí trơ được đưa vào, tốc độ giải hấp nước hoặc tương tự, mà rất khó khăn giải hấp bằng cách sơ tán, có thể được tăng thêm nữa. Việc loại bỏ tạp chất trong buồng lắng đọng bằng cách xử lý như vậy trước khi tạo thành màng bán dẫn oxit có thể ngăn chặn hydro, nước, hợp chất có nhóm hydroxyn, hydrit, và tương tự xâm nhập vào chất bán dẫn oxit.

Trước khi màng bán dẫn oxit được tạo thành bởi máy thổi, bề mặt giả có thể được đưa vào máy thổi, và màng bán dẫn oxit có thể được tạo thành trên bề mặt giả này, do đó, hydro và độ ẩm gắn liền với bề mặt mục tiêu hoặc lá chắn lắng đọng có thể được gỡ bỏ.

Tiếp theo, màng bán dẫn oxit 227 được tạo thành trên màng cách ly 225 bằng phương pháp phún xạ, phương pháp sơn, phương pháp in, phương pháp bay hơi, phương pháp PCVD, phương pháp PLD, phương pháp ALD, phương pháp MBE, hoặc các phương pháp tương tự (xem Fig.7B). Ở đây, để làm màng bán dẫn oxit 227, màng bán dẫn oxit có độ dày lớn hơn hoặc bằng 1nm và nhỏ hơn hoặc bằng 50nm, tốt hơn là, lớn hơn hoặc bằng 3nm và nhỏ hơn hoặc bằng 30nm được tạo thành bởi phương pháp phún xạ. Khi màng bán dẫn oxit 227 có độ dày trong khoảng trên, tác dụng kênh ngắn mà có thể được gây ra do thu nhỏ kích thước của bóng bán dẫn có thể được loại bỏ.

Tốt hơn là, chất bán dẫn oxit được sử dụng cho màng bán dẫn oxit 227 có chứa ít nhất là indi (In) hoặc kẽm (Zn). Đặc biệt, tốt hơn là chứa In và Zn. Làm chất ổn định để giảm sự thay đổi về đặc điểm điện của bóng bán dẫn bao gồm chất bán dẫn oxit, tốt hơn là, gali (Ga) được thêm vào. Tốt hơn là, thiếc (Sn) được sử dụng làm chất ổn định. Tốt hơn là, hafnium (HF) được sử dụng làm chất ổn định. Tốt hơn là, nhôm (Al) được sử dụng làm chất ổn định.

Làm chất ổn định khác, một hoặc nhiều loại lanthanoid như lantan (La), xeri (Ce), praseodym (Pr), neodým (Nd), samari (Sm), europi (Eu), gadolini (Gd), tebi (Tb), dysprosi (Dy), holmi (Ho), erbi (Er), tuli (Tm), yttebi (Yb), hoặc luteti (Lu) có thể được sử dụng.

Làm chất bán dẫn oxit, ví dụ, chất bộ lọc sau đây có thể được sử dụng: indi oxit, thiếc oxit, oxit kẽm, oxit kim loại hai thành phần như ooxit dựa trên In- Zn, oxit dựa trên Sn-Zn, oxit dựa trên Al-Zn, oxit dựa trên Zn-Mg, oxit dựa trên Sn-Mg, oxit dựa trên In- Mg, hoặc oxit dựa trên In-Ga, oxit kim loại ba thành phần như oxit dựa

trên In-Ga-Zn (cũng được gọi là IGZO), oxit dựa trên In- Al-Zn, oxit dựa trên In-Sn-Zn, oxit dựa trên Sn-Ga-Zn, oxit dựa trên Al-Ga-Zn, Sn-Al-Zn, In- HF-Zn, In-La-Zn, In-Ce-Zn, In-Pr-Zn, In-Nd-Zn, In- Sm-Zn, In- Eu-Zn, In-Gd-Zn, In-Tb- Zn, In-Dy-Zn, In- Ho-Zn, In- Er-Zn, In- Tm-Zn, In-Yb-Zn, hoặc In- Lu-Zn, và oxit kim loại bốn thành phần như oxit dựa trên In- Sn-Ga-Zn, In- HF-Ga-Zn, In- Al-Ga-Zn, In- Sn-Al-Zn, In-Sn-HF-Zn, hoặc In- HF-Al-Zn. Hơn nữa, oxit silic có thể được bao gồm trong các chất bán dẫn oxit trên. Ở đây, ví dụ, oxit dựa trên In- Ga-Zn có nghĩa là oxit có chứa indi (In), gali (Ga) và kẽm (Zn) là các thành phần chính của nó và không có giới hạn cụ thể về tỷ lệ In: Ga : Zn. Oxit dựa trên In- Ga-Zn có thể chứa nguyên tố kim loại khác In, Ga, và Zn. Trong trường hợp này, lượng oxy trong chất bán dẫn oxit, tốt hơn là vượt quá tỷ lệ cân bằng hóa học của oxy. Khi lượng oxy vượt quá tỷ lệ cân bằng hóa học, việc tạo ra chất mang mà là kết quả từ các hạt oxy trong màng bán dẫn oxit có thể được loại bỏ.

Ngoài ra, vật liệu có công thức $\text{InM O}_3 (\text{ZnO})_m$ ($m > 0$, và m không phải là số nguyên) có thể được sử dụng làm chất bán dẫn oxit. Lưu ý rằng M đại diện cho một hoặc nhiều nguyên tố kim loại được lựa chọn từ Ga, Fe, Mn, và Co. Ngoài ra, để làm chất bán dẫn oxit, loại vật liệu có công thức $\text{In}_3\text{SnO}_5 (\text{ZnO})_n$ ($n > 0$, và n là số nguyên) có thể được sử dụng.

Lưu ý rằng nồng độ của kim loại kiềm hoặc kim loại kiềm thổ trong màng bán dẫn oxit 227, tốt hơn là, thấp hơn hoặc bằng 1×10^{18} nguyên tử/cm³, tốt hơn nữa là, thấp hơn hoặc bằng 2×10^{16} nguyên tử/cm³. Khi kim loại kiềm hoặc kim loại kiềm thổ được liên kết với chất bán dẫn oxit, chất mang được tạo ra trong một số trường hợp, điều này gây ra sự tăng về dòng điện trạng thái tắt.

Màng bán dẫn oxit 227 có thể chứa nitơ ở nồng độ thấp hơn hoặc bằng 5×10^{18} nguyên tử/cm³.

Để làm chất bán dẫn oxit mà có thể được sử dụng cho màng bán dẫn oxit 227, chất bán dẫn có khe giữa các dải rộng có khe giữa các dải rộng hơn và mật độ chất mang nội tại thấp hơn so với silic được sử dụng. Dòng điện trạng thái tắt của bóng bán dẫn có thể được giảm khi sử dụng chất bán dẫn oxit có khoảng cách năng lượng rộng.

Màng bán dẫn oxit 227 có thể có cấu trúc tinh thể hoặc cấu trúc không đơn tinh thể. Trong trường hợp sau, màng bán dẫn oxit 227 có thể có hoặc là cấu trúc vô định

hình hoặc cấu trúc đa tinh thể. Hơn nữa, màng bán dẫn oxit 227 có thể có cấu trúc vô định hình có phần có cấu trúc tinh thể hoặc cấu trúc không vô định hình.

Trong chất bán dẫn oxit trong trạng thái vô định, bề mặt phẳng có thể đạt được tương đối dễ dàng, do đó, khi bóng bán dẫn được sản xuất với việc sử dụng chất bán dẫn oxit, sự tán xạ giao diện có thể được giảm, và độ linh động tương đối cao có thể thu được tương đối dễ dàng.

Trong chất bán dẫn oxit có tinh thể, khuyết tật trong phần khối có thể được giảm nữa và khi độ phẳng bề mặt được cải thiện, độ linh động cao hơn so với chất bán dẫn oxit trong trạng thái vô định hình có thể thu được. Để cải thiện độ phẳng bề mặt, tốt hơn là, chất bán dẫn oxit được tạo thành trên bề mặt phẳng. Như đã mô tả ở trên, độ nhám bề mặt trung bình (R_a) của bề mặt của màng cách ly 225 là 1nm hoặc ít hơn, tốt nhất là 0,3nm hoặc ít hơn, tốt hơn nữa là 0,1nm hoặc ít hơn, và màng bán dẫn oxit 227, tốt hơn là, được tạo thành trên đó.

Ở đây, màng bán dẫn oxit 227 được tạo thành bởi phương pháp phun xạ.

Ví dụ, để làm mục tiêu được sử dụng trong phương pháp phun xạ, các nguyên tố sau đây có thể được sử dụng: indium oxit, thiếc oxit, oxit kẽm, oxit kim loại hai thành phần như oxit dựa trên In-Zn, Sn-Zn, Al-Zn, Zn-Mg, Sn-Mg, In-Mg, hoặc In- Ga, oxit kim loại ba thành phần như oxit dựa trên In-Ga-Zn, (cũng được biểu diễn là IGZO), In-Al-Zn, In-Sn-Zn, Sn-Ga-Zn, Al-Ga -Zn, Sn-Al-Zn, In-HF-Zn, In-La-Zn, In-Ce-Zn, In-Pr -Zn, In- Nd-Zn, In Sm-Zn, In- Eu-Zn, In-Gd-Zn, In-Tb-Zn, In- Dy-Zn, In-Ho-Zn, In-Er-Zn, In-Tm-Zn, In-Yb-Zn, hoặc In- Lu-Zn và oxit kim loại dựa trên bốn thành phần như oxit dựa trên In- Sn-Ga-Zn, In- HF-Ga-Zn, In- Al-Ga-Zn, In- Sn-Al-Zn, In-Sn-HF-Zn, hoặc In- HF-Al-Zn.

Trong trường hợp vật liệu là oxit dựa trên In-Ga-Zn-O được sử dụng làm chất bán dẫn oxit, mục tiêu được sử dụng có thể có tỷ lệ thành phần của In: Ga: Zn là 1:1:1, 4:2:3, 3:1:2, 1:1:2, 2:1:3, 3:1:4, hoặc tương tự như trong tỷ lệ nguyên tử. Mục tiêu là oxit dựa trên IN- Ga-Zn có tỷ lệ nguyên tử bất kỳ nêu trên hoặc oxit có thành phần gần với thành phần trên có thể được sử dụng.

Trong trường hợp vật liệu dựa trên In-Sn-Zn-O được sử dụng làm chất bán dẫn oxit, mục tiêu được sử dụng có thể có tỷ lệ thành phần của In: Sn: Zn là 1:1:1 $= (1/3: 1/3: 1/3)$, 2:1:3 $= (1/3: 1/6: 1/2)$, 2:1:5 $= (1/4: 1/8: 5/8)$, 1: 2:2 $= (1/5: 2/5: 2/5)$,

20:45:35, hoặc tương tự. Mục tiêu là oxit dựa trên In-Sn-Zn có thể có tỷ lệ nguyên tử bất kỳ nêu trên hoặc oxit có thành phần gần thành phần trên có thể được sử dụng.

Trong trường hợp vật liệu dựa trên In- Zn-O được sử dụng làm chất bán dẫn oxit, mục tiêu được sử dụng có tỷ lệ thành phần của In: Zn = từ 50:1 đến 1:2 về tỷ lệ nguyên tử (In_2O_3 : ZnO = 25:1 đến 1:4 về tỷ lệ phân tử), tốt hơn là, In: Zn = 20:01 đến 1:1 theo tỷ lệ nguyên tử (In_2O_3 , ZnO = 10:1 đến 1:2 về tỷ lệ phân tử), tốt hơn nữa là In: Zn = từ 15:01 đến 1.5:1 về tỷ lệ nguyên tử (In_2O_3 , ZnO = 15:2 đến 3:4 theo tỉ lệ phân tử). Ví dụ, trong mục tiêu được sử dụng để tạo thành chất bán dẫn oxit dựa trên In-Zn-O có tỷ lệ nguyên tử In: Zn: O= X:Y:Z, mối quan hệ là $Z > 1,5 X + Y$. Mục tiêu là oxit dựa trên In- Zn-O có tỷ lệ nguyên tử bất kỳ nêu trên hoặc oxit có thành phần gần với thành phần trên có thể được sử dụng.

Tuy nhiên, thành phần không bị giới hạn ở các giá trị mô tả ở trên, và vật liệu có thành phần thích hợp có thể được sử dụng tùy theo tính chất bán dẫn cần thiết (ví dụ, độ linh động, điện áp ngưỡng, và sự thay đổi). Để có được các đặc tính bán dẫn cần thiết, tốt hơn là, mật độ chất mang, nồng độ tạp chất, mật độ khuyết tật, tỷ lệ nguyên tử của nguyên tố kim loại với oxy, khoảng cách giữa các nguyên tử, mật độ, và các yếu tố tương tự được thiết lập cho phù hợp.

Ví dụ, với oxit dựa trên In-Sn-Zn, độ linh động cao có thể có được tương đối dễ dàng. Tuy nhiên, độ linh động có thể được tăng lên bằng cách giảm mật độ khuyết tật trong phân khối trong trường hợp sử dụng oxit dựa trên In-Ga-Zn.

Lưu ý rằng, ví dụ, khái niệm "thành phần của oxit, bao gồm In, Ga, và Zn theo tỷ lệ nguyên tử, In: Ga: Zn = a: b: c ($a + b + c = 1$), có giá trị gần với thành phần oxit, bao gồm In, Ga, và Zn theo tỷ lệ nguyên tử, In: Ga: Zn = A: B: C ($A + B + C = 1$)" có nghĩa là a, b, c thỏa mãn mối quan hệ: $(a - A)^2 + (b - B)^2 + (c - C)^2 \leq r^2$, và r có thể là 0,05, chẳng hạn. Điều này cũng áp dụng đối với các ô xít khác.

Làm khí phún xạ, khí hiếm (thường là argon), bầu không khí oxy, hoặc khí hỗn hợp của khí hiếm và oxy được sử dụng khi phù hợp. Trong trường hợp sử dụng các khí hỗn hợp của khí hiếm và oxy, tốt hơn là, tỷ lệ oxy cao hơn so với khí hiếm. Ngoài ra, để ngăn chặn hydro, nước, nhóm hydroxin, hydrit, và tương tự không thâm nhập vào màng bán dẫn oxit, như khí thổi, tốt hơn là sử dụng bầu không khí của chất khí có độ tinh khiết cao từ đó các tạp chất như hydro, nước, nhóm hydroxin, và hydrit được loại bỏ đủ nhiều.

Trong phương pháp phún xạ, thiết bị cung cấp năng lượng RF (tần số radio), thiết bị cung cấp điện AC, thiết bị cung cấp điện DC, hoặc thiết bị tương tự có thể được sử dụng làm thiết bị cung cấp điện để tạo ra plasma khi thích hợp.

Tốt hơn là, tỷ lệ rò rỉ của buồng xử lý, trong đó màng bán dẫn oxit được tạo thành thấp hơn hoặc bằng $1 \times 10^{-10} \text{Pa} \cdot \text{m}^3/\text{giây}$, nhờ đó sự thâm nhập của tạp chất vào màng sẽ được tạo thành bởi phương pháp phún xạ có thể được giảm xuống. Như đã mô tả ở trên, trong quá trình tạo thành màng bán dẫn oxit và tốt hơn là trong quá trình tạo thành màng cách ly oxit, sự xâm nhập của các tạp chất bị ức chế càng nhiều càng tốt thông qua điều khiển áp lực của buồng xử lý, tỷ lệ rò rỉ của buồng xử lý, và các yếu tố tương tự, theo đó sự xâm nhập của các tạp chất bao gồm hydro vào màng bán dẫn oxit có thể được giảm. Ngoài ra, sự khuếch tán các tạp chất như hydro từ màng cách ly oxit sang màng bán dẫn oxit có thể được giảm.

Để làm màng bán dẫn oxit 227, màng chất bán dẫn oxit liên kết tinh thể trực c (CAAC-OS) bao gồm các phần kết tinh có thể được sử dụng.

Màng CAAC-OS không hoàn toàn đơn tinh thể cũng không hoàn toàn vô định hình. Màng CAAC-OS là màng bán dẫn oxit với cấu trúc pha trộn tinh thể -vô định hình trong đó phần tinh thể được bao gồm trong pha vô định hình. Lưu ý rằng trong nhiều trường hợp, phần tinh thể khít trong khối lập phương có một bên nhỏ hơn 100nm. Từ hình ảnh quan sát được bằng kính hiển vi điện tử truyền qua (TEM), ranh giới giữa phần vô định hình và phần tinh thể trong màng CAAC-OS là không rõ ràng. Hơn nữa, với TEM, ranh giới hạt trong màng CAAC-OS không được tìm thấy. Do đó, trong màng CAAC-OS, việc giảm độ linh động điện tử, do ranh giới hạt, được loại bỏ.

Trong tất cả các phần tinh thể bao gồm trong màng CAAC-OS, trục c được định hướng theo hướng song song với vector pháp tuyến của bề mặt nơi mà màng CAAC-OS được tạo thành hoặc vector pháp tuyến của bề mặt của màng CAAC-OS, sắp xếp nguyên tử tam giác hoặc hình lục giác được nhìn thấy từ hướng vuông góc với mặt phẳng a-b được tạo thành, và các nguyên tử kim loại được sắp xếp thành lớp hoặc các nguyên tử kim loại và các nguyên tử oxy được sắp xếp thành lớp khi nhìn từ hướng vuông góc với trục c. Lưu ý rằng, trong số các phần tinh thể, hướng của trục a và trục b của phần tinh thể có thể khác với của phần tinh thể khác. Trong phần mô tả này, thuật ngữ đơn giản "vuông góc" bao gồm góc trong phạm vi từ 85° đến 95° . Ngoài ra, thuật ngữ đơn giản "song song" bao gồm góc trong dải từ -5° đến 5° .

Trong màng CAAC-OS, phân phối các phần tinh thể không nhất thiết phải đồng đều. Ví dụ, trong quá trình tạo thành màng CAAC-OS, trong trường hợp tăng trưởng tinh thể xảy ra ở bề mặt bên của màng bán dẫn oxit, tỷ lệ của các phần tinh thể trong vùng lân cận của bề mặt của màng bán dẫn oxit cao hơn trong vùng lân cận của bề mặt nơi mà màng bán dẫn oxit được tạo thành trong một số trường hợp. Hơn nữa, khi tạp chất được thêm vào màng CAAC-OS, phần tinh thể trong vùng mà các tạp chất được thêm vào sẽ trở thành vô định hình trong một số trường hợp.

Do trục c của các phần tinh thể bao gồm trong màng CAAC-OS được liên kết theo hướng song song với vector pháp tuyến của bề mặt nơi mà màng CAAC-OS được tạo thành hoặc vector pháp tuyến của bề mặt màng CAAC-OS, hướng của trục c có thể khác nhau tùy thuộc vào hình dạng của màng CAAC-OS (hình dạng mặt cắt ngang của bề mặt nơi mà màng CAAC-OS được tạo thành hoặc hình dạng mặt cắt ngang của bề mặt màng CAAC-OS). Lưu ý rằng khi màng CAAC-OS được tạo thành, hướng của trục c của phần tinh thể là hướng song song với vector pháp tuyến của bề mặt nơi mà màng CAAC-OS được tạo thành hoặc vector pháp tuyến của bề mặt màng CAAC-OS. Phần tinh thể này được tạo thành bởi sự tạo thành màng hoặc bằng cách thực hiện xử lý kết tinh, chẳng hạn như, xử lý nhiệt sau khi tạo thành màng.

Với việc sử dụng màng CAAC-OS trong bóng bán dẫn, sự thay đổi về đặc điểm điện của bóng bán dẫn do chiếu xạ với ánh sáng nhìn thấy hoặc tia cực tím có thể được giảm. Do đó, bóng bán dẫn có độ tin cậy cao.

Lưu ý rằng phần oxy trong màng bán dẫn oxit có thể được thay thế bằng nitơ.

Trong chất bán dẫn oxit có phần tinh thể như CAAC-OS, các khuyết tật trong khối có thể được tiếp tục được giảm và khi độ phẳng bề mặt của chất bán dẫn oxit được cải thiện, độ linh động cao hơn so với chất bán dẫn oxit trong trạng thái vô định hình có thể thu được. Để cải thiện độ phẳng bề mặt, tốt hơn là, chất bán dẫn oxit được tạo thành trên bề mặt phẳng. Cụ thể, chất bán dẫn oxit có thể được tạo thành trên bề mặt với độ nhám bề mặt trung bình (R_a) 1nm hoặc ít hơn, tốt hơn là, 0,3nm hoặc ít hơn, tốt hơn nữa là 0,1nm hoặc ít hơn.

Ví dụ về cấu trúc tinh thể của CAAC-OS sẽ được mô tả chi tiết sau đây dựa trên Fig.12A đến Fig.12E, Fig.13A đến Fig.13C, Fig.14A đến Fig.14C, và Fig.28A và Fig.28B. Trên các hình vẽ Fig.12A đến Fig.12E, Fig.13A đến Fig.13C, Fig.14A đến Fig.14C, và Fig.28A và Fig.28B, hướng thẳng đứng tương ứng với hướng trục c và

mặt phẳng vuông góc với hướng trục c tương ứng với mặt phẳng a-b, trừ trường hợp được quy định rõ. Khi các thuật ngữ "nửa trên" và "nửa dưới" chỉ đơn giản được sử dụng, chúng chỉ đến nửa trên trên mặt phẳng ab và nửa dưới bên dưới mặt phẳng ab (nửa trên và nửa dưới đối với mặt phẳng ab). Hơn nữa, trên Fig.12A đến Fig.12E, O bao quanh bởi vòng tròn đại diện cho tọa độ tứ diện O và O bao quanh bởi vòng tròn đôi đại diện cho tọa độ tam giác O.

Fig.12A thể hiện cấu trúc bao gồm một nguyên tử In tọa độ sáu mặt và sáu nguyên tử oxy tọa độ tứ diện (sau đây gọi là tọa độ tứ diện O) gần với nguyên tử O. Ở đây, cấu trúc bao gồm một nguyên tử kim loại và các nguyên tử oxy gần nó được gọi là nhóm nhỏ. Cấu trúc trên Fig.12A thực sự là cấu trúc bát diện, nhưng được thể hiện như cấu trúc phẳng cho đơn giản. Lưu ý rằng ba nguyên tử O tọa độ tứ diện tồn tại trong mỗi nửa trên và nửa dưới trên Fig.12A. Trong nhóm nhỏ thể hiện trên Fig.12A, điện tích là 0.

Fig.12B thể hiện cấu trúc bao gồm nguyên tử Ga tọa độ ngũ diện, ba nguyên tử oxy tọa độ tam giác (sau đây gọi là tọa độ tam giác O) gần với nguyên tử Ga, và hai nguyên tử O tọa độ tứ diện gần với nguyên tử Ga. Tất cả các nguyên tử O tọa độ tứ diện tồn tại trên mặt phẳng ab. Một nguyên tử O tọa độ tứ diện tồn tại trong mỗi nửa trên và nửa dưới trên Fig.12B. Nguyên tử In cũng có thể có cấu trúc được thể hiện trên Fig.12B bởi vì trong nguyên tử có thể có năm phối tử. Trong nhóm nhỏ được thể hiện trên Fig.12B, điện tích là 0.

Fig.12C thể hiện cấu trúc bao gồm nguyên tử Zn tọa độ tứ diện và bốn nguyên tử O tọa độ tứ diện gần với nguyên tử Zn. Trên Fig.12C, nguyên tử O tọa độ tứ diện tồn tại trong nửa trên và ba nguyên tử O tọa độ tứ diện tồn tại trong nửa dưới. Ngoài ra, ba nguyên tử O tọa độ tứ diện có thể tồn tại ở nửa trên và một nguyên tử O tọa độ tứ diện có thể tồn tại trong nửa dưới trên Fig.12C. Trong nhóm nhỏ thể hiện trên Fig.12C, điện tích là 0.

Fig.12D thể hiện cấu trúc bao gồm nguyên tử Sn tọa độ sáu mặt và sáu nguyên tử O tọa độ tứ diện gần với nguyên tử Sn. Trên Fig.12D, ba nguyên tử O tọa độ tứ diện tồn tại trong mỗi nửa trên và nửa dưới. Trong nhóm nhỏ thể hiện trên Fig.12D, điện tích là + 1.

Fig.12E thể hiện nhóm nhỏ bao gồm hai nguyên tử Zn. Trên Fig.12E, nguyên tử O tọa độ tứ diện tồn tại trong mỗi nửa trên và nửa dưới. Trong nhóm nhỏ thể hiện trên Fig.12E, điện tích là -1 .

Ở đây, nhiều nhóm nhỏ tạo thành nhóm trung bình, và các nhóm trung bình tạo thành nhóm lớn (cũng được gọi là tế bào đơn vị).

Trong phần dưới đây sẽ mô tả quy tắc liên kết giữa các nhóm nhỏ. Ba nguyên tử O ở nửa trên đối với nguyên tử In tọa độ sáu mặt trên Fig.12A mỗi nguyên tử có ba nguyên tử In lân cận theo hướng đi xuống, và ba nguyên tử O trong nửa dưới đều có ba cận nguyên tử In lân cận trong hướng lên. Một nguyên tử O ở nửa trên đối với nguyên tử Ga tọa độ ngũ diện trên Fig.12B có một nguyên tử Ga lân cận theo hướng đi xuống, và nguyên tử O ở nửa dưới có nguyên tử Ga lân cận ở hướng lên. Một nguyên tử O ở nửa trên đối với nguyên tử Zn tọa độ tứ diện trên Fig.12C có một nguyên tử Zn lân cận theo hướng xuống, và ba nguyên tử O trong nửa dưới đều có ba nguyên tử Zn cận theo hướng lên trên. Theo cách này, số lượng nguyên tử O tọa độ tứ diện ở trên nguyên tử kim loại bằng với số lượng nguyên tử kim loại lân cận với và bên dưới mỗi nguyên tử O tọa độ tứ diện. Tương tự, số lượng nguyên tử O tọa độ tứ diện ở dưới nguyên tử kim loại bằng với số lượng nguyên tử kim loại cận với và ở trên mỗi nguyên tử O tọa độ tứ diện. Vì số lượng phối hợp của nguyên tử O tọa độ tứ diện là 4, tổng số nguyên tử kim loại cận với và ở dưới nguyên tử O và số lượng nguyên tử kim loại cận với và ở trên nguyên tử O là 4. Theo đó, khi tổng số nguyên tử O tọa độ tứ diện ở trên nguyên tử kim loại và số lượng nguyên tử O tọa độ tứ diện ở dưới nguyên tử kim loại là 4, hai loại nhóm nhỏ bao gồm các nguyên tử kim loại có thể được liên kết. Ví dụ, trong trường hợp nguyên tử kim loại tọa độ sáu mặt (In hay Sn) được liên kết thông qua ba nguyên tử O tọa độ tứ diện trong nửa dưới, nó được liên kết với nguyên tử kim loại tọa độ ngũ diện (Ga hoặc In) hay nguyên tử kim loại tọa độ tứ diện (Zn).

Nguyên tử kim loại có số lượng phối hợp là 4, 5, 6 hoặc được liên kết với nguyên tử kim loại khác thông qua nguyên tử O tọa độ tứ diện theo hướng trục c. Ngoài việc trên, nhóm trung bình có thể được tạo thành theo cách khác bằng cách kết hợp nhiều nhóm nhỏ để tổng điện tích của cấu trúc lớp là 0.

Fig.13A thể hiện mô hình của nhóm trung bình có trong cấu trúc lớp của vật liệu dựa trên In-Sn-Zn-O. Fig.13B thể hiện nhóm lớn bao gồm ba nhóm trung bình.

Lưu ý rằng Fig.13C thể hiện sự sắp xếp nguyên tử trong trường hợp cấu trúc lớp trên Fig.13B được quan sát từ hướng trục c.

Trên Fig.13A, nguyên tử O tọa độ tam giác được bỏ qua để đơn giản, và nguyên tử O tọa độ tứ diện được thể hiện bằng vòng tròn, số trong vòng tròn chỉ rõ số lượng nguyên tử O tọa độ tứ diện. Ví dụ, ba nguyên tử O tọa độ tứ diện có mặt trong mỗi nửa trên và nửa dưới đối với nguyên tử Sn được biểu thị bằng vòng 3. Tương tự, trên Fig.13A, nguyên tử O tọa độ tứ diện có trong mỗi nửa trên và nửa dưới đối với nguyên tử In được ký hiệu là vòng 1. Fig.13A cũng thể hiện nguyên tử Zn tọa độ tứ diện lân cận nguyên tử O trong nửa dưới và ba nguyên tử O tọa độ tứ diện trong nửa trên, và nguyên tử Zn lân cận nguyên tử O tọa độ tứ diện trong nửa trên và ba nguyên tử O tọa độ tứ diện trong nửa dưới.

Trong nhóm trung bình có trong cấu trúc lớp của vật liệu dựa trên In-Sn-Zn-O trên Fig.13A, theo thứ tự bắt đầu từ đỉnh, nguyên tử Sn lân cận với ba nguyên tử O tọa độ tứ diện trong mỗi nửa trên và nửa dưới được liên kết với một nguyên tử In lân cận với nguyên tử O tọa độ tứ diện trong mỗi nửa trên và dưới nữa, nguyên tử In được liên kết với nguyên tử Zn lân cận với ba nguyên tử O tọa độ tứ diện trong nửa trên, nguyên tử Zn được liên kết với nguyên tử In lân cận với ba nguyên tử O tọa độ tứ diện trong mỗi nửa trên và nửa dưới thông qua một nguyên tử O tọa độ tứ diện ở nửa dưới đối với nguyên tử Zn, nguyên tử In được liên kết với nhóm nhỏ bao gồm hai nguyên tử Zn và lân cận với nguyên tử O tọa độ tứ diện trong nửa trên, và nhóm nhỏ này được liên kết với nguyên tử Sn lân cận với ba nguyên tử O tọa độ tứ diện trong mỗi nửa trên và nửa dưới thông qua một nguyên tử O tọa độ tứ diện trong nửa thấp hơn so với nhóm nhỏ này. Các nhóm trung bình này được liên kết, do đó, nhóm lớn được tạo thành.

Ở đây, điện tích cho một liên kết của nguyên tử O tọa độ tam giác và điện tích cho liên kết của nguyên tử O tọa độ tứ diện có thể được giả định là 0,667 và -0,5, tương ứng. Ví dụ, điện tích của nguyên tử In, điện tích (tọa độ sáu mặt hoặc tọa độ ngũ diện), điện tích của nguyên tử Zn (tọa độ tứ diện) và điện tích của nguyên tử Sn (tọa độ ngũ diện hoặc tọa độ sáu mặt) là $+3 + 2$, và $+4$, tương ứng. Do đó, điện tích trong nhóm nhỏ bao gồm nguyên tử Sn là $+1$. Vì vậy, điện tích -1 , hủy bỏ điện tích $+1$, cần thiết để tạo thành cấu trúc lớp bao gồm nguyên tử Sn. Là cấu trúc có điện tích -1 , nhóm nhỏ bao gồm hai nguyên tử Zn như được thể hiện trên Fig.12E có thể được sử

dụng. Ví dụ, với nhóm nhỏ bao gồm hai nguyên tử Zn, điện tích của nhóm nhỏ bao gồm nguyên tử Sn có thể được hủy, do đó tổng điện tích của cấu trúc lớp có thể là 0.

Khi nhóm lớn được thể hiện trên Fig.13B được lặp đi lặp lại, tinh thể dựa trên In-Sn-Zn-O ($\text{In}_2\text{SnZn}_3\text{O}_8$) có thể thu được. Lưu ý rằng cấu trúc lớp của tinh thể dựa trên In- Sn-Zn-O thu được có thể được thể hiện theo công thức thành phần, $\text{In}_2\text{SnZn}_2\text{O}_7 (\text{ZnO})_m$ (m là 0 hoặc số tự nhiên).

Quy tắc trên đây cũng áp dụng cho các oxit sau đây: oxit kim loại bốn thành phần, chẳng hạn như, oxit dựa trên In-Sn-Ga-Zn-O; oxit kim loại ba thành phần như oxit dựa trên In-Ga-Zn-O (cũng được gọi là IGZO), oxit dựa trên In- Al-Zn-O, oxit dựa trên Sn-Ga-Zn-O, oxit dựa trên Al-Ga-Zn-O, oxit dựa trên Sn- Al-Zn-O, oxit dựa trên HF-Zn-O, oxit dựa trên In- La-Zn-O, oxit dựa trên In- Ce-Zn-O, oxit dựa trên In- Pr- Zn-O, oxit dựa trên In-Nd-Zn-O, oxit dựa trên In- Sm-Zn-O, oxit dựa trên In- Eu-Zn-O, oxit dựa trên In- Gd-Zn- O, oxit dựa trên In- Tb-Zn-O, oxit dựa trên In- Dy-Zn-O, oxit dựa trên In- Ho-Zn-O, oxit dựa trên In-Er-Zn-O, oxit dựa trên In- Tm-Zn-O, oxit dựa trên In- Yb-Zn-O, hoặc oxit dựa trên In- Lu-Zn-O, oxit kim loại hai thành phần như oxit dựa trên Zn-O, oxit dựa trên Sn-Zn-O, oxit dựa trên Al-Zn-O, oxit dựa trên Zn-Mg-O, oxit dựa trên Sn-Mg-O, oxit dựa trên In- Mg-O, hoặc oxit dựa trên In-Ga-O, và v.v..

Ví dụ, Fig.14A thể hiện mô hình của nhóm trung bình có trong cấu trúc lớp của vật liệu dựa trên Ga-Zn-O.

Trong nhóm trung bình có trong cấu trúc lớp của vật liệu dựa trên In-Ga-Zn-O trên Fig.14A, theo thứ tự bắt đầu từ trên, nguyên tử In lân cận với ba nguyên tử O tọa độ tứ diện trong mỗi nửa trên và nửa dưới được liên kết với nguyên tử Zn lân cận với nguyên tử O tọa độ tứ diện trong nửa trên, nguyên tử Zn được liên kết với nguyên tử Ga lân cận với một nguyên tử O tọa độ tứ diện trong mỗi nửa trên và nửa dưới thông qua ba nguyên tử O tọa độ tứ diện trong nửa thấp hơn so với nguyên tử Zn, và nguyên tử Ga được liên kết với một nguyên tử In lân cận với ba nguyên tử O tọa độ tứ diện trong mỗi nửa trên và nửa dưới thông qua một nguyên tử O tọa độ tứ diện trong nửa thấp hơn so với nguyên tử Ga. Các nhóm trung bình này được liên kết, do đó, nhóm lớn được tạo thành.

Fig.14B thể hiện nhóm lớn bao gồm ba nhóm trung bình. Lưu ý rằng Fig.14C cho thấy sự sắp xếp nguyên tử trong trường hợp cấu trúc lớp trên Fig.14B được quan sát từ hướng trục c.

Ở đây, vì điện tích của nguyên tử In (tọa độ sáu mặt hoặc tọa độ ngũ diện), điện tích của nguyên tử In (tọa độ tứ diện), và điện tích của nguyên tử Ga (tọa độ ngũ diện) tương ứng là $+3 + 2$, và $+3$, điện tích của nhóm nhỏ bao gồm nguyên tử bất kỳ trong số In, nguyên tử Zn, và nguyên tử Ga là 0. Kết quả là, tổng điện tích của nhóm trung bình có sự kết hợp của các nhóm nhỏ như vậy luôn luôn là 0.

Để tạo thành cấu trúc lớp của vật liệu dựa trên In- Ga-Zn-O, nhóm lớn có thể được tạo thành sử dụng không chỉ các nhóm trung bình được thể hiện trên Fig.14A mà còn là các nhóm trung bình, trong đó sự sắp xếp của các nguyên tử In, nguyên tử Ga, và nguyên tử Zn khác với được thể hiện trên Fig.14A.

Khi nhóm lớn thể hiện trên Fig.14B được lặp đi lặp lại, tinh thể dựa trên In-Ga-Zn-O có thể thu được. Lưu ý rằng cấu trúc lớp của tinh thể dựa trên In-Ga-Zn-O thu được có thể được thể hiện theo công thức thành phần, $\text{InGaO}_3 (\text{ZnO})_n$ (n là số tự nhiên).

Trong trường hợp $n = 1$ (InGaZnO_4), cấu trúc tinh thể được thể hiện trên Fig.28A có thể thu được. Lưu ý rằng trong cấu trúc tinh thể được thể hiện trên Fig.28A, vì nguyên tử Ga và nguyên tử In, mỗi nguyên tử này có năm có phối tử như được thể hiện trên Fig.12B, cấu trúc tinh thể có thể bao gồm cấu trúc trong đó Ga được thay thế bằng in có thể thu được.

Trong trường hợp $n = 2$ ($\text{InGaZn}_2\text{O}_5$), cấu trúc tinh thể được thể hiện trên Fig.28B có thể thu được. Lưu ý rằng trong cấu trúc tinh thể được thể hiện trên Fig.28B, do nguyên tử Ga và nguyên tử In, mỗi nguyên tử có năm có phối tử như được thể hiện trên Fig.12B, cấu trúc tinh thể có thể bao gồm cấu trúc trong đó Ga được thay thế bằng In có thể thu được.

Trong trường hợp màng bán dẫn oxit 227 bao gồm CAAC-OS, nên được làm nóng đến nhiệt độ cao hơn 200°C và thấp hơn hoặc bằng 700°C , tốt hơn là, cao hơn 300°C và thấp hơn hoặc bằng 500°C , tốt hơn nữa là, cao hơn hoặc bằng 400°C và thấp hơn hoặc bằng 450°C . Màng bán dẫn oxit 227 được tạo thành trong khi nên được làm nóng theo cách này, theo đó màng bán dẫn oxit 227 có thể bao gồm CAAC- OS.

Ngoài ra, màng bán dẫn oxit thứ nhất có độ dày lớn hơn hoặc bằng độ dày của lớp một nguyên tử và nhỏ hơn hoặc bằng 10nm, tốt hơn là, lớn hơn hoặc bằng 2nm và nhỏ hơn hoặc bằng 5nm, đây là màng mỏng, được tạo thành trong khi việc đun nóng được thực hiện ở nhiệt độ trong phạm vi nêu trên, và sau đó màng bán dẫn oxit thứ hai dày được tạo thành trong khi việc đun nóng được thực hiện theo cách tương tự, do đó, màng bán dẫn oxit thứ nhất và màng bán dẫn oxit thứ hai có thể được xếp chồng lên nhau để tạo thành màng bán dẫn oxit 227 bao gồm CAAC-OS.

Để tạo thành màng bán dẫn oxit 227 có cấu trúc vô định hình, nên không được làm nóng hoặc nên được làm nóng đến nhiệt độ bề mặt thấp hơn 200°C, tốt hơn là, thấp hơn 180°C khi tạo thành màng bán dẫn oxit 227. Màng bán dẫn oxit 227 được tạo thành theo cách này, nhờ đó màng bán dẫn oxit 227 có thể có cấu trúc vô định hình.

Ngoài ra, màng bán dẫn oxit 227 bao gồm CAAC-OS có thể được tạo thành theo cách sau đây: sau khi màng bán dẫn oxit có cấu trúc vô định hình được tạo thành theo cách nêu trên, việc xử lý nhiệt ở nhiệt độ cao hơn hoặc bằng 250°C và thấp hơn hoặc bằng 700°C, tốt hơn là, cao hơn hoặc bằng 400°C, tốt hơn nữa là, cao hơn hoặc bằng 500°C, tốt hơn nữa là, cao hơn hoặc bằng 550°C được thực hiện, để ít nhất một phần của màng bán dẫn oxit có cấu trúc vô định hình được kết tinh. Lưu ý là việc xử lý nhiệt có thể được thực hiện trong môi trường khí trơ. Các môi trường khí trơ tốt nhất là bầu không khí có chứa nitơ hoặc khí hiếm (ví dụ, heli, neon, hoặc argon) là thành phần chính của nó và không chứa nước, hydro, hoặc các chất tương tự. Ví dụ, độ tinh khiết của nitơ hoặc khí hiếm như heli, neon, argon đưa vào thiết bị xử lý nhiệt lớn hơn hoặc bằng 6N (99,9999%), tốt hơn là, lớn hơn hoặc bằng 7N (99,99999%) (tức là, nồng độ tạp chất thấp hơn hoặc bằng 1 phần triệu, tốt hơn là, thấp hơn hoặc bằng 0,1ppm). Việc xử lý nhiệt cho hydrat hóa hoặc hydro hóa được mô tả sau đây có thể đóng vai trò như là quá trình xử lý nhiệt này.

Sau khi màng bán dẫn oxit 227 được tạo thành, màng bán dẫn oxit 227 có thể được xử lý nhiệt. Quá trình xử lý nhiệt có thể tiếp tục loại bỏ chất bao gồm nguyên tử hydro trong màng bán dẫn oxit 227; do đó, cấu trúc của màng bán dẫn oxit 227 có thể được cải thiện và mức độ khuyết tật trong khe năng lượng có thể được giảm. Quá trình xử lý nhiệt được thực hiện trong môi trường khí trơ ở nhiệt độ cao hơn hoặc bằng 300°C và thấp hơn hoặc bằng 700°C, tốt hơn là, cao hơn hoặc bằng 450°C và thấp hơn hoặc bằng 600°C. Trong trường hợp bề mặt có điểm căng, việc xử lý nhiệt được thực

hiện ở nhiệt độ thấp hơn điểm căng của bề mặt. Các môi trường khí trơ tốt nhất là bầu không khí có chứa nitơ hoặc khí hiếm (ví dụ, heli, neon, hoặc argon) là thành phần chính của nó và không chứa nước, hydro, hoặc các chất tương tự. Ví dụ, độ tinh khiết của nitơ hoặc khí hiếm như heli, neon, argon đưa vào thiết bị xử lý nhiệt lớn hơn hoặc bằng 6N (99,9999%), tốt hơn là, lớn hơn hoặc bằng 7N (99,99999%) (tức là, nồng độ tạp chất thấp hơn hoặc bằng 1 phần triệu, tốt nhất là, thấp hơn hoặc bằng 0,1ppm).

Quá trình xử lý nhiệt có thể được thực hiện theo cách dễ, chẳng hạn như, nền bán dẫn 201 được đưa vào lò điện sử dụng phần tử đun nóng trở kháng hoặc tương tự và nước nóng ở 450°C trong bầu không khí nitơ trong một giờ.

Thiết bị xử lý nhiệt không bị giới hạn ở lò điện và có thể là thiết bị dùng để làm nóng đối tượng được xử lý bằng bức xạ nhiệt hoặc dẫn nhiệt từ môi trường như khí nóng. Ví dụ, thiết bị ủ nhiệt nhanh (RTA) hoặc thiết bị ủ nhiệt nhanh bằng khí (GRTA) hoặc thiết bị ủ nhiệt nhanh bằng đèn (LRTA) có thể được sử dụng. Thiết bị LRTA là máy để đun nóng đối tượng được xử lý bằng bức xạ của ánh sáng (sóng điện từ) phát ra từ đèn, như đèn halogen, đèn halogen kim loại, đèn hồ quang xenon, đèn hồ quang cacbon, đèn natri áp lực cao, hay đèn thủy ngân cao áp. Thiết bị GRTA là thiết bị để thực hiện xử lý nhiệt bằng cách sử dụng khí đốt ở nhiệt độ cao. Để làm chất khí, khí trơ mà không phản ứng với đối tượng được xử lý bằng cách xử lý nhiệt, chẳng hạn như, nitơ hoặc khí hiếm như argon được sử dụng. Lưu ý rằng trong trường hợp thiết bị GRTA được sử dụng làm máy xử lý nhiệt, nên có thể được đun nóng trong khí trơ nóng đến nhiệt độ cao từ 650°C đến 700°C vì thời gian xử lý nhiệt ngắn.

Ngoài ra, sau khi màng bán dẫn oxit 227 được đun nóng bằng xử lý nhiệt, khí oxy tinh khiết cao, khí N₂O độ tinh khiết cao, hoặc không khí cực kỳ khô (nồng độ ẩm nhỏ hơn hoặc bằng 20ppm (-55°C bằng cách chuyển thành điểm sương), tốt nhất là nhỏ hơn hoặc bằng 1 phần triệu, tốt hơn là, nhỏ hơn hoặc bằng 10ppb, khi đo với việc sử dụng máy đo điểm sương của hệ thống CRDS (phổ laze hốc tròn bên dưới) có thể được đưa vào buồng đốt cùng. Tốt hơn là, nước, khí hydro, và tương tự không có trong các loại khí cụ thể này. Độ tinh khiết của khí oxy hoặc N₂O được đưa vào buồng đốt, tốt hơn là, 6N hoặc cao hơn, tốt hơn nữa là 7N hoặc cao hơn (ví dụ, nồng độ tạp chất trong khí oxy hoặc N₂O là 1ppm hoặc thấp hơn, tốt hơn là, 0,1ppm hoặc thấp hơn). Do tác động của khí oxy hoặc khí N₂O, oxy mà là một trong số các thành phần chính của

chất bán dẫn oxit và đã được loại bỏ cùng với bước loại bỏ các tạp chất do mất nước hoặc khử nước có thể được cung cấp.

Lưu ý rằng quá trình xử lý nhiệt có thể được gọi là xử lý làm mất nước, xử lý khử nước, hoặc tương tự bởi vì tác dụng có lợi của nó loại bỏ hydro, nước, hoặc các chất tương tự. Quá trình xử lý nhiệt có thể được thực hiện vào thời điểm, ví dụ, trước khi lớp bán dẫn oxit được xử lý để có hình dạng đảo, sau khi màng cách ly cổng được tạo thành, hoặc tương tự. Quá trình xử lý nhiệt như để làm mất nước hoặc khử nước có thể được thực hiện một hoặc nhiều lần.

Tiếp theo, phần của màng bán dẫn oxit 227 được khắc chọn lọc để tạo thành màng bán dẫn oxit 229. Sau đó, màng cách ly 231 được tạo thành trên màng bán dẫn oxit 229 bằng phương pháp phún xạ, phương pháp CVD, hoặc các phương pháp tương tự. Sau đó, điện cực cổng 233 được tạo thành trên màng cách ly 231 (xem Fig.8A).

Màng cách ly cổng 231 có thể được tạo thành với lớp duy nhất hoặc chồng sử dụng một hoặc nhiều oxit silic, silic oxynitrua, nitrua oxit silic, silic nitrua, oxit nhôm, hafnium oxit, gali, oxit kim loại dựa trên Ga-Zn-O, và tương tự. Màng cách ly cổng 231 cũng có thể là màng cách ly oxit từ đó oxy được giải phóng bằng cách nung nóng, chẳng hạn như màng có thể được sử dụng làm màng cách ly 225. Bằng cách sử dụng màng mà từ đó oxy được giải phóng bằng cách nung nóng làm màng cách ly 231, các hạt oxy trong màng bán dẫn oxit 229 có thể được giảm bằng cách xử lý nhiệt được thực hiện sau đó và sự suy giảm đặc tính điện của bóng bán dẫn có thể được loại bỏ.

Khi màng cách ly 231 được tạo thành bằng cách sử dụng loại vật liệu k cao, chẳng hạn như, hafnium silicat (HfSiO_x), hafnium silicat mà nitơ được thêm vào ($\text{HfSi}_x\text{O}_y\text{N}_z$), aluminat hafnium mà nitơ được thêm vào ($\text{HfAl}_x\text{O}_y\text{N}_z$), hafni oxit, hoặc oxit ytri, dòng điện rò rỉ cổng có thể được giảm ngay cả khi độ dày của màng cách ly cổng giảm.

Tốt hơn là, độ dày của màng cách ly 231 lớn hơn hoặc bằng 10nm và nhỏ hơn hoặc bằng 300nm, tốt hơn nữa là, lớn hơn hoặc bằng 5nm và nhỏ hơn hoặc bằng 50nm, tốt hơn nữa là, lớn hơn hoặc bằng 10nm và nhỏ hơn hoặc bằng 30nm.

Điện cực cổng 233 có thể được tạo thành bằng cách sử dụng nguyên tố kim loại được lựa chọn từ nhôm, crom, đồng, tantan, titan, molypden, và vonfram, hợp kim có chứa nguyên tố kim loại bất kỳ nêu trên làm thành phần, hợp kim chứa các nguyên tố kim loại kết hợp, hoặc v.v.. Hơn nữa, một hoặc cả hai nguyên tố kim loại mangan và

ziricon có thể được sử dụng. Hơn nữa, điện cực cổng 233 có thể có cấu trúc đơn lớp hoặc cấu trúc lớp xếp chồng lên nhau của hai hay nhiều lớp. Ví dụ, cấu trúc đơn lớp của màng nhôm có chứa silic, cấu trúc hai lớp trong đó màng titan được xếp chồng lên trên màng nhôm, cấu trúc hai lớp trong đó màng titan được xếp chồng lên trên màng nitrua titan, cấu trúc hai lớp trong đó màng vonfram được xếp chồng lên trên màng nitrua titan, cấu trúc hai lớp trong đó màng vonfram được xếp chồng lên trên màng nitrua tantan, cấu trúc ba lớp trong đó màng titan, màng nhôm và màng titan được xếp chồng lên nhau theo thứ tự này, và các cấu trúc tương tự có thể được sử dụng. Ngoài ra, màng, màng hợp kim, hoặc màng nitrua có chứa nhôm và một hoặc nhiều nguyên tố được lựa chọn từ titan, tantan, vonfram, molypden, crom, neodim, scandium và có thể được sử dụng.

Điện cực cổng 233 có thể được tạo thành bằng cách sử dụng vật liệu dẫn truyền ánh sáng như ôxít thiếc indi, indi oxit có chứa oxit vonfram, indi oxit kẽm có chứa oxit vonfram, indi oxit có chứa oxit titan, ôxít thiếc indi có chứa oxit titan, indi oxit kẽm, hoặc indi ôxít thiếc mà oxit silic được thêm vào. Cũng có thể sử dụng cấu trúc xếp chồng lên nhau của các lớp tạo thành bằng cách sử dụng vật liệu dẫn truyền ánh sáng các nguyên tố kim loại nêu trên.

Điện cực cổng 233 được tạo thành bởi phương pháp in hoặc phương pháp phun. Ngoài ra, điện cực cổng 233 được tạo thành theo cách để màng dẫn điện được tạo thành bởi phương pháp phun xạ, phương pháp CVD, phương pháp bay hơi, hoặc các phương pháp tương tự và sau đó phần của màng dẫn được khắc có chọn lọc.

Lớp vật liệu tiếp xúc với màng cách ly 231, chẳng hạn như, màng In-Ga-Zn-O có chứa nitơ, màng In-Sn-O có chứa nitơ, màng In-Ga-O có chứa nitơ, màng In-Zn-O có chứa nitơ, màng Sn-O có chứa nitơ, màng In-O có chứa nitơ, hoặc màng nitrua kim loại (như InN hoặc ZnN), tốt hơn là, được cung cấp giữa điện cực 233 cổng và màng cách ly 231. Các màng này đều có công suất hoạt động cao hơn hoặc bằng 5eV, hoặc cao hơn hoặc bằng 5,5eV, do đó, điện áp ngưỡng trong đặc điểm điện của bóng bán dẫn có thể dương. Theo đó, phần tử chuyển mạch thường tắt có thể thu được. Ví dụ, trong trường hợp sử dụng màng In-Ga-Zn-O có chứa nitơ, màng In-Ga-Zn-O có nồng độ nitơ cao hơn so với màng bán dẫn oxit 229, đặc biệt, màng In-Ga-Zn O có nồng độ nitơ cao hơn hoặc bằng 7% được sử dụng.

Tốt hơn là, việc xử lý nhiệt được thực hiện sau đó. Qua việc xử lý nhiệt này, oxy có thể được khuếch tán từ màng cách ly 225 và màng cách ly 231 đến màng cách ly oxit 229 để sửa chữa khuyết tật oxy có trong màng cách ly oxit 229; như vậy khuyết tật oxy có thể được giảm đi.

Lưu ý rằng sau khi màng cách ly 231 được tạo thành, quá trình xử lý nhiệt (xử lý nhiệt lần thứ hai) có thể được thực hiện trong môi trường khí trơ, hoặc bầu không khí oxy. Tốt hơn là, nhiệt độ xử lý nhiệt cao hơn hoặc bằng 200°C và thấp hơn hoặc bằng 450°C, tốt hơn nữa là, cao hơn hoặc bằng 250°C và thấp hơn hoặc bằng 350°C. Bằng cách thực hiện quá trình xử lý nhiệt này, sự thay đổi về đặc tính điện của bóng bán dẫn có thể được giảm. Trong trường hợp oxy được chứa In màng cách ly 231 hoặc màng cách ly 225 tiếp xúc với màng bán dẫn oxit 229, oxy có thể được cung cấp cho màng bán dẫn oxit 229 và các khuyết tật oxy trong màng bán dẫn oxit 229 có thể được sửa chữa. Như đã mô tả ở trên, quá trình xử lý nhiệt có tác dụng cung cấp oxy, vì vậy, việc xử lý nhiệt cũng có thể được gọi là cung cấp oxy.

Lưu ý rằng trong phương án này, quá trình xử lý nhiệt để cung cấp oxy được thực hiện sau khi màng cách ly 231 được tạo thành, tuy nhiên, thời gian xử lý nhiệt để cung cấp oxy không bị giới hạn và việc xử lý nhiệt có thể được thực hiện sau khi tạo thành màng cách ly 231 khi phù hợp.

Như đã mô tả ở trên, quá trình xử lý nhiệt để làm mát nước hoặc khử nước và quá trình xử lý nhiệt để cung cấp oxy được thực hiện để giảm bớt tạp chất và lấp đầy chỗ trống oxy trong màng bán dẫn oxit 229, trong đó màng bán dẫn oxit 229 có thể được tinh lọc để chứa nguyên tố tạp chất mà không phải là thành phần chính của màng bán dẫn oxit 229 càng ít càng tốt.

Tiếp theo, quá trình xử lý thêm chất pha tạp vào màng bán dẫn oxit 229 được thực hiện với việc sử dụng điện cực cổng 233 làm mặt nạ. Kết quả là, như được thể hiện trên Fig.8B, vùng thứ nhất 235a được phủ với điện cực cổng 233 mà chất pha tạp không được thêm vào và cặp vùng thứ hai 235b và 235c chứa chất pha tạp được tạo thành. do chất pha tạp được thêm vào với việc sử dụng điện cực cổng 233 như mặt nạ, vùng thứ nhất 235a mà chất pha tạp không được thêm vào và cặp vùng thứ hai 235b và 235c chứa chất pha tạp có thể được tạo thành theo cách tự liên kết. Vùng thứ nhất 235a mà chồng lên bởi điện cực cổng 233 đóng vai trò như là vùng kênh. Cặp vùng thứ hai 235b và 235c chứa chất pha tạp đóng vai trò như vùng điện trường điệu bớt. Vùng thứ

nhất 235a và cặp vùng thứ hai 235b và 235c chứa chất pha tạp tạo thành màng bán dẫn oxit 235.

Nồng độ của khí hydro trong vùng thứ nhất 235a của màng bán dẫn oxit 235, tốt hơn là, thấp hơn 5×10^{18} nguyên tử/cm³, tốt hơn nữa là, thấp hơn hoặc bằng 1×10^{18} nguyên tử/cm³, tốt hơn nữa là, thấp hơn hoặc bằng 5×10^{17} nguyên tử/cm³, vẫn còn tốt hơn nữa thấp hơn hoặc bằng 1×10^{16} nguyên tử/cm³. Do liên kết của chất bán dẫn oxit và hydro, một phần chứa hydro đóng vai trò như là phân cung cấp để tạo ra các điện tử làm chất mang. Vì lý do đó, bằng cách giảm nồng độ của khí trong vùng thứ nhất 235a của màng bán dẫn oxit 235, sự thay đổi âm của điện áp ngưỡng có thể được giảm.

Nồng độ của các chất pha tạp trong cặp của vùng thứ hai 235b và 235c cao hơn hoặc bằng 5×10^{18} nguyên tử/cm³ và thấp hơn hoặc bằng 1×10^{22} nguyên tử/cm³, tốt hơn là, cao hơn hoặc bằng 5×10^{18} nguyên tử/cm³ và thấp hơn 5×10^{19} nguyên tử/cm³.

Do cặp vùng thứ hai 235b và 235c chứa chất pha tạp, mật độ chất mang hoặc số lượng khuyết tật có thể được tăng lên. Do đó, độ dẫn có thể cao hơn so với vùng thứ nhất 235a không có các chất pha tạp. Lưu ý rằng sự gia tăng quá mức nồng độ của chất pha tạp gây ra sự ức chế chuyển động của chất mang bởi chất pha tạp, dẫn đến giảm độ dẫn của cặp vùng thứ hai 235b và 235c chứa chất pha tạp.

Cặp vùng thứ hai 235b và 235c chứa chất pha tạp, tốt hơn là, có độ dẫn cao hơn hoặc bằng 0,1S/cm và thấp hơn hoặc bằng 1000S/cm, tốt hơn là, cao hơn hoặc bằng 10S/cm và thấp hơn hoặc bằng 1000S/cm.

Sự tồn tại của cặp vùng thứ hai 235b và 235c chứa chất pha tạp trong màng bán dẫn oxit 235 có thể làm giảm điện trường tác dụng lên phần cuối của vùng thứ nhất 235a đóng vai trò như là vùng kênh. Do đó, hiệu ứng kênh ngắn của bóng bán dẫn có thể được loại bỏ.

Là phương pháp thêm chất pha tạp vào màng bán dẫn oxit 229, phương pháp pha tạp ion hoặc phương pháp cấy ion có thể được sử dụng. Là chất pha tạp, ít nhất một trong số các nguyên tố bo, nitơ, photpho, và asen có thể được thêm vào. Ngoài ra, là chất pha tạp, ít nhất một trong số các nguyên tố heli, neon, argon, krypton và xenon có thể được thêm vào. Hơn nữa, hydro có thể được thêm vào như là chất pha tạp. Tuy nhiên, là chất pha tạp, ít nhất một trong số các nguyên tố bo, nitơ, photpho, và arsen, ít

nhất một trong số heli, neon, argon, krypton và xenon, và hydro được kết hợp thích hợp có thể được thêm vào.

Việc bổ sung chất pha tạp vào màng bán dẫn oxit 229 được thực hiện trong trạng thái mà màng bán dẫn oxit 229 được bao phủ bởi màng cách ly 231 và tương đương; cách khác, việc bổ sung chất pha tạp có thể được thực hiện trong trạng thái mà màng bán dẫn oxit 229 được phơi ra.

Ngoài ra, chất pha tạp có thể được bổ sung bằng phương pháp khác phương pháp pha tạp ion, phương pháp cấy ion, hoặc các phương pháp tương tự. Ví dụ, chất pha tạp có thể được thêm vào theo cách sau đây: plasma được tạo ra trong bầu không khí chứa chất khí có chứa nguyên tố được thêm vào và xử lý plasma được thực hiện trên đối tượng mà chất pha tạp được thêm vào. Thiết bị khắc khô, thiết bị CVD, thiết bị CVD mật độ cao, hoặc các thiết bị tương tự có thể được sử dụng để tạo ra plasma.

Sau đó, quá trình xử lý nhiệt có thể được thực hiện. Việc xử lý nhiệt được thực hiện thường ở nhiệt độ cao hơn hoặc bằng 150°C và thấp hơn hoặc bằng 450°C, tốt hơn là, cao hơn hoặc bằng 250°C và thấp hơn hoặc bằng 325°C. Trong xử lý nhiệt, nhiệt độ có thể tăng dần từ 250°C đến 325°C.

Qua xử lý nhiệt, sức cản của cặp vùng thứ hai 235b và 235c chứa chất pha tạp có thể được giảm. Trong xử lý nhiệt, cặp vùng thứ hai 235b và 235c chứa chất pha tạp có thể ở trong hai trạng thái tinh thể hoặc trạng thái vô định hình.

Tiếp theo, như được thể hiện trên Fig.8C, màng cách ly mặt bên 237 trên bề mặt bên của điện cực cổng 233, màng cách ly cổng 239, điện cực 241A, và điện cực 241b được tạo thành.

Màng cách ly mặt bên 237 có thể được tạo thành với lớp duy nhất hoặc chồng sử dụng một hoặc nhiều trong số oxit silic, oxynitrua silic, nitrua oxit silic, silic nitrua, oxit nhôm, oxynitrua nhôm, nhôm oxit nitrua, nitrua nhôm, và tương tự. màng cách ly mặt bên 237 có thể được tạo thành bằng cách sử dụng màng cách ly oxit từ đó một phân oxy được giải phóng bằng cách nung nóng theo cách tương tự như của màng cách ly 225.

Phương pháp tạo thành màng cách ly mặt bên 237 như được mô tả dưới đây.

Đầu tiên, màng cách ly mặt bên 237 được tạo thành trên màng cách ly 231 và điện cực cổng 233. Màng cách ly được tạo thành bởi phương pháp phún xạ, phương pháp CVD, hoặc các phương pháp tương tự. Ngoài ra, mặc dù độ dày của màng cách

ly không bị giới hạn đặc biệt, độ dày được chọn thích hợp khi xem xét khả năng phủ liên quan đến hình dạng của điện cực cổng 233.

Sau đó, màng cách ly mặt bên 237 được tạo thành bằng cách ăn mòn màng cách ly. Ở đây, việc khắc là quá trình khắc đẳng hướng cao, và màng cách ly mặt bên 237 có thể được tạo thành tự liên kết cách bằng cách thực hiện quá trình khắc đẳng hướng cao trên màng cách ly.

Chiều rộng của vùng để giảm điện trường trong mỗi cặp vùng thứ hai 235b và 235c chứa chất pha tạp phụ thuộc vào độ rộng của màng cách ly mặt bên 237, và độ rộng của màng cách ly mặt bên 237 phụ thuộc vào độ dày của điện cực cổng 233. Do đó, độ dày của điện cực cổng 233 có thể được xác định sao cho độ rộng của vùng để giảm điện trường có giá trị mong muốn.

Khi màng cách ly mặt bên 237 được tạo thành, màng cách ly 231 cũng được khắc bằng quá trình khắc đẳng hướng cao và màng bán dẫn oxit 229 một phần được phơi, nhờ đó màng cách ly cổng 239 được tạo thành.

Cặp điện cực 241A và 241b có thể được tạo thành bằng cách sử dụng loại vật liệu tương tự như của các dây nối từ 223a đến 223c, khi thích hợp. Lưu ý rằng cặp điện cực 241A và 241b có thể hoạt động như dây nối.

Cặp điện cực 241A và 241b được tạo thành bởi phương pháp in hoặc phương pháp in phun. Ngoài ra, cặp điện cực 241A và 241b được tạo thành theo cách sao cho màng dẫn điện được tạo thành bởi phương pháp phun xạ, phương pháp CVD, phương pháp bay hơi, hoặc các phương pháp tương tự và sau đó một phần của màng dẫn được khắc có chọn lọc.

Tốt hơn là, cặp điện cực 241A và 241b được tạo thành tiếp xúc với các bề mặt bên của màng cách ly mặt bên 237 và màng cách ly cổng 239. Nói cách khác, tốt hơn là, phần cuối cùng của cặp điện cực 241A và 241b của bóng bán dẫn được đặt trên màng cách ly mặt bên 237 và cặp điện cực 241A và 241b hoàn toàn phủ trên phần phơi của cặp vùng thứ hai 235b và 235c trong màng bán dẫn oxit 235. Kết quả là, các vùng trong cặp vùng thứ hai 235b và 235c chứa chất pha tạp, mà tiếp xúc với cặp điện cực 241A và 241b, đóng vai trò như vùng nguồn và vùng máng, trong khi các vùng trong cặp vùng thứ hai 235b và 235c chứa chất pha tạp, mà chồng lên hai màng cách ly cổng 239 và một trong số màng cách ly mặt bên 237, đóng vai trò như vùng điện trường giảm. Ngoài ra, do chiều rộng của vùng điện trường giảm có thể được điều

khiến với chiều dài của màng cách ly mặt bên 237, độ chính xác cao trong liên kết của mặt nạ để tạo thành cặp điện cực 241A và 241b không bị yêu cầu chặt chẽ. Theo đó, thay đổi giữa các bóng bán dẫn có thể được giảm.

Lưu ý là màng cách ly mặt bên 237 được cung cấp tiếp xúc với các bề mặt bên của điện cực cổng 233 trong phương án này, tuy nhiên, sáng chế không bị giới hạn ở cấu trúc này, và màng cách ly mặt bên 237 không nhất thiết phải được cung cấp. Mặc dù màng cách ly mặt bên 237 được tạo thành sau khi cặp vùng thứ hai 235b và 235c được tạo thành trong phương án này, sáng chế không bị giới hạn ở cấu trúc này và cặp vùng thứ hai 235b và 235c có thể được tạo thành sau khi màng cách ly mặt bên 237 được tạo thành. Với cấu trúc như vậy, vùng thứ nhất 235a có thể được mở rộng để phần nào chồng lên màng cách ly mặt bên 237.

Tiếp theo, như được thể hiện trên Fig.9A, màng cách ly 243 và màng cách ly 245 được tạo thành bởi phương pháp phun xạ, phương pháp CVD, phương pháp son, phương pháp in, hoặc các phương pháp tương tự.

Các màng cách ly 243 và 245 có thể được tạo thành với lớp duy nhất hoặc chồng bao gồm hoặc một nhiều oxit silic, oxynitrua silic, nitrua oxit silic, silic nitrua, oxit nhôm, oxynitrua nhôm, nhôm oxit nitrua, nitrua nhôm, và các oxit tương tự. Khi màng cách ly 245 được tạo thành bằng cách sử dụng màng cách ly ngăn chặn sự khuếch tán của oxy ra ngoài, oxy được giải phóng từ màng cách ly 243 có thể được cung cấp cho màng bán dẫn oxit. Ví dụ điển hình của màng cách ly giúp ngăn chặn sự khuếch tán của oxy bên ngoài bao gồm màng oxit nhôm, oxynitrua nhôm, và tương tự. Khi màng cách ly giúp ngăn chặn sự khuếch tán của hydro từ bên ngoài được sử dụng làm màng cách ly 245, sự khuếch tán khí hydro từ bên ngoài màng bán dẫn oxit có thể được giảm, và khuyết tật trong màng bán dẫn oxit có thể được giảm. Ví dụ điển hình của màng cách ly giúp ngăn chặn sự khuếch tán của hydro từ bên ngoài bao gồm màng silic nitrua, silic nitrua oxit, nitrua nhôm, nhôm oxit nitrua, và v.v.. Hơn nữa, khi màng cách ly 243 có cấu trúc ba lớp của màng cách ly oxit từ đó một phần của oxy được giải phóng bởi hệ thống gia nhiệt, màng cách ly giúp ngăn chặn sự khuếch tán của oxy ra ngoài, và màng cách ly oxit, oxy có thể được ngăn ngừa một cách hiệu quả không khuếch tán đến màng bán dẫn oxit và oxy có thể được ngăn chặn không giải phóng ra bên ngoài, do đó, sự thay đổi về đặc điểm bóng bán dẫn có thể được giảm ngay cả ở nhiệt độ cao và độ ẩm cao.

Thông qua các bước trên, như được thể hiện trên Fig.9A, bóng bán dẫn 110 bao gồm màng bán dẫn oxit có thể được sản xuất. Lưu ý rằng bóng bán dẫn 110 bao gồm màng bán dẫn oxit 235 bao gồm màng bán dẫn oxit loại i (nội tại) hoặc gần loại i 235a, và do đó có các đặc điểm tuyệt vời.

Mặc dù bóng bán dẫn 110 trong phương án này có cấu trúc cổng trên, sáng chế không bị giới hạn ở cấu trúc cổng trên và cấu trúc cổng dưới có thể được sử dụng. Hơn nữa, trong bóng bán dẫn 110 theo phương án này, cặp điện cực 241A và 241b tiếp xúc với ít nhất một phần của các bề mặt trên của cặp vùng thứ hai 235b và 235c, tuy nhiên, sáng chế không bị giới hạn cấu trúc này, và cặp vùng thứ hai 235b và 235c có thể tiếp xúc với ít nhất một phần của cặp điện cực 241A và 241b.

Tiếp theo, một phần của mỗi màng cách ly 215, màng cách ly 217, màng cách ly 221, màng cách ly 225, màng cách ly 243, và màng cách ly 245 được khắc chọn lọc, do đó phần lỗ hở được tạo thành để lộ một phần của mỗi điện cực cổng 209a, các điện cực 241A, và điện cực 241b. Sau khi màng dẫn điện được tạo thành trong phần lỗ hở, một phần của màng dẫn được khắc chọn lọc, do đó, dây dẫn điện 249 tiếp xúc với điện cực 241A và dây điện 250 tiếp xúc với điện cực 241b được tạo thành. Dây điện 249 và dây điện 250 có thể được tạo thành bằng cách sử dụng vật liệu tương tự như của chân cắm từ 219a đến 219d.

Ở đây, dây 249 đóng vai trò như là nút FG mà nối điện một trong số điện cực nguồn và điện cực máng của bóng bán dẫn 110 và điện cực cổng 209a của bóng bán dẫn 112. Mặc dù không trực tiếp được thể hiện trên Fig.9B, dây điện 249 cũng được nối điện với điện cực cổng 209b của bóng bán dẫn 114. Dây điện 250 đóng vai trò như là điện cực còn lại trong số điện cực nguồn và điện cực máng của bóng bán dẫn 110 và được nối điện với đường dữ liệu D trên Fig.3A. Hơn nữa, mặc dù không trực tiếp được thể hiện trên Fig.9B, điện cực cổng 233 của bóng bán dẫn 110 được nối điện với đường ghi W trên Fig.3A.

Thông qua các bước trên, chuyển mạch có thể lập trình được bao gồm bóng bán dẫn 110, bóng bán dẫn 112, và bóng bán dẫn 114 có thể được sản xuất.

Ví dụ về mặt cắt ngang của chuyển mạch lập trình được trên Fig.9B được thể hiện trên Fig.26A và Fig.26B. Fig.26A là sơ đồ thể hiện cấu trúc trong lớp thấp hơn so với màng cách ly 225, tức là, bóng bán dẫn 112 và bóng bán dẫn 114. Fig.26B là sơ đồ thể hiện cấu trúc trong lớp cao hơn so với màng cách ly 225, tức là, bóng bán dẫn 110.

Lưu ý rằng một số thành phần (ví dụ, màng cách ly 215) không được thể hiện trên Fig.26A và 26B để cho dễ hiểu. Hơn nữa, mỗi mặt cắt ngang trên Fig.6A đến Fig.6D, Fig.7A và Fig.7B, Fig.8A và Fig.8C, và Fig.9A và Fig.9B được thực hiện theo đường chấm chấm A-B và C-D trên Fig.26A và Fig.26B.

Trong chuyển mạch có thể lập trình được thể hiện trên Fig.26A và Fig.26B, như được thể hiện trên Fig.9B, bóng bán dẫn 110 được nối điện với bóng bán dẫn 112 và 114 trong vùng được thể hiện trên mặt cắt ngang được thực hiện theo đường C-D. Ở đây, ít nhất là một phần của bóng bán dẫn 110 chồng lên ít nhất là một phần của bóng bán dẫn 112 hoặc một phần của bóng bán dẫn 114. Tốt hơn là, ít nhất một phần của màng bán dẫn oxit 235 chồng lên ít nhất là một phần của vùng tạp chất loại n 211a, một phần của vùng tạp chất loại n 211b, một phần của vùng tạp chất loại p 213a, hoặc một phần của vùng tạp chất loại p 213b. Với bố trí phẳng, sự gia tăng của vùng chiếm bởi chuyển mạch lập trình được do cung cấp bóng bán dẫn bao gồm chất bán dẫn có khe giữa các dải rộng làm chất bán dẫn oxit có thể được loại bỏ. Vì vậy, tính tích hợp cao của thiết bị logic lập trình được bao gồm chuyển mạch có thể lập trình được có thể đạt được.

Hơn nữa, như đã mô tả ở trên, trong trường hợp bóng bán dẫn 112 và bóng bán dẫn 114 được sản xuất sử dụng nền bán dẫn như nền silic đơn tinh thể và bóng bán dẫn 110 bao gồm màng bán dẫn oxit và tương tự được xếp chồng lên nhau, bóng bán dẫn trong mạch lái để cung cấp điện thế cho đường dữ liệu D và đường ghi W có thể được sản xuất bằng cách sử dụng nền bán dẫn. Cấu trúc của thiết bị logic lập trình được được cung cấp mạch lái được thể hiện trên Fig.27. Thiết bị logic lập trình được trên Fig.27 cũng bao gồm các khối logic 10 nối điện thông qua dây nối, như trong thiết bị logic lập trình được trên Fig.1A. Dây nối tương ứng với dây nối 11 trên Fig.1A không được thể hiện trên Fig.27 cho dễ hiểu. Lưu ý rằng ma trận chuyển mạch 12 để chuyển mạch kết nối của dây nối có thể được cung cấp tại giao giữa dây nối theo hướng hàng và dây nối theo hướng cột, như trong thiết bị logic lập trình được trên Fig.1A.

Thiết bị logic lập trình được trên Fig.27 bao gồm mạch lái thứ nhất 14 được cung cấp ở phía trên của các khối logic 10 trên hình vẽ, mạch lái thứ hai 15 được cung cấp ở phía bên trái của các khối logic 10 trên hình vẽ, các dây nối thứ nhất 16 nối điện với mạch lái thứ nhất 14 và mở rộng theo hướng cột, và các dây nối thứ hai 17 nối điện với mạch lái thứ hai 15 và mở rộng theo hướng hàng. Dây nối thứ nhất 16 mở

rộng theo hướng cột và dây nối thứ hai 17 mở rộng theo hướng hàng được nối điện với các khối logic 10. Lưu ý rằng cấu trúc của mạch lái thứ nhất 14 và mạch lái thứ hai 15 không bị giới hạn ở các cấu trúc được mô tả trên đây, ví dụ, mạch lái thứ nhất 14 và mạch lái thứ hai 15 có thể được cung cấp ở vị trí khác, hoặc ba hoặc nhiều mạch lái có thể được cung cấp.

Trong phương án này, dây nối thứ nhất 16 và dây nối thứ hai 17 có thể được sử dụng như đường dữ liệu D để nhập điện thế của dữ liệu cấu hình được lưu trữ trong phần bộ nhớ và đường ghi W để nhập tín hiệu điều khiển việc ghi dữ liệu cấu hình trong phần bộ nhớ được thể hiện trên Fig.1B và Fig.1C. Hơn nữa, mạch lái thứ nhất 14 và mạch lái thứ hai 15 có thể được sử dụng như là mạch lái đường dữ liệu để cung cấp điện thế cho đường dữ liệu D và mạch lái đường từ để cung cấp điện thế cho đường ghi W. Trong phương án này, mạch lái thứ nhất 14 đóng vai trò như mạch lái cho đường dữ liệu D, mạch lái thứ hai 15 đóng vai trò như mạch lái cho đường ghi W, dây nối thứ nhất 16 đóng vai trò như đường dữ liệu D, và dây nối thứ hai 17 đóng vai trò như đường ghi W, tuy nhiên, sáng chế không bị giới hạn ở cấu trúc này.

Ở đây, các bóng bán dẫn bao gồm trong mạch lái thứ nhất 14 và mạch lái thứ hai 15 có thể có cấu trúc tương tự như của bóng bán dẫn 112 và bóng bán dẫn 114 trên Fig.6D và Fig.26A. Vì vậy, bóng bán dẫn trong mạch lái thứ nhất 14 và mạch lái thứ hai 15 được tạo thành bằng cách sử dụng chất bán dẫn khác với chất bán dẫn oxit, chẳng hạn như silic đơn tinh thể, do đó, hoạt động tốc độ cao là có thể được. Như vậy, mạch lái có khả năng hoạt động tốc độ cao có thể được tạo thành. Là dây nối thứ nhất 16 và dây nối thứ hai 17, lớp dẫn điện được tạo thành trong cùng lớp với dây nối 249 và 250 hoặc lớp được tạo thành trong lớp cao hơn so với dây nối 249 và 250 được thể hiện trên Fig.9B và Fig.26B có thể được sử dụng.

Như đã mô tả ở trên, chất bán dẫn có khe giữa các dải rộng cho phép làm giảm đủ nhiều dòng điện trạng thái tắt của bóng bán dẫn, chẳng hạn như, chất bán dẫn oxit, được sử dụng cho bóng bán dẫn trong phần bộ nhớ của chuyển mạch có thể lập trình được, theo đó chuyển mạch lập trình được có thể lưu trữ dữ liệu cấu hình ngay cả khi điện thế nguồn cấp điện không được cung cấp có thể được sản xuất. Hơn nữa, chuyển mạch có thể lập trình được, trong đó thời gian khởi động ngắn của khối logic sau khi đặt điện thế có thể được sản xuất. Do đó, việc giảm tiêu thụ điện năng của thiết bị logic lập trình được có thể được thực hiện bằng phương pháp điều khiển thường tắt.

Các cấu trúc, phương pháp, và tương tự trong phương án này có thể được kết hợp với nhau, hoặc cũng có thể được kết hợp với cấu trúc, phương pháp bất kỳ, trong các phương án khác.

Phương án 3

Trong phương án này, độ linh động hiệu ứng trường của bóng bán dẫn trong đó có màng bán dẫn oxit được mô tả trong một số phương án trên, được tính toán trên lý thuyết, và đặc tính bóng bán dẫn được tính toán từ độ linh động hiệu ứng trường.

Độ linh động hiệu ứng trường thực sự đo được của bóng bán dẫn cổng cách ly có thể thấp hơn so với độ linh động lý tưởng của nó vì nhiều lý do, hiện tượng này xảy ra không chỉ trong các trường hợp sử dụng chất bán dẫn oxit. Một trong số lý do làm giảm sự độ linh động là khuyết tật trong chất bán dẫn hoặc khuyết tật ở giao diện giữa các chất bán dẫn và màng cách ly. Khi mô hình Levinson được sử dụng, độ linh động hiệu ứng trường trên giả định rằng không có khuyết tật tồn tại bên trong chất bán dẫn có thể được tính toán về mặt lý thuyết.

Giả định rằng độ linh động lý tưởng và độ linh động hiệu ứng trường của chất bán dẫn là μ_0 và μ , tương ứng, và rào cản điện thế (ví dụ như ranh giới hạt) tồn tại trong chất bán dẫn, độ linh động hiệu ứng trường đo được có thể được thể hiện theo công thức 2.

$$\text{Công thức 2: } \mu = \mu_0 \exp\left(-\frac{E}{kT}\right)$$

Ở đây, E là chiều cao của rào cản điện thế, k đại diện cho hằng số Boltzmann, và T là nhiệt độ tuyệt đối. Khi rào cản điện thế được giả định là do khuyết tật, chiều cao của rào cản điện thế có thể được thể hiện theo công thức 3 sau đây theo mô hình Levinson.

$$\text{Công thức 3: } E = \frac{e^2 N^2}{\epsilon n} = \frac{e^3 N^2 t}{\epsilon C_{ox} V_g}$$

Ở đây, e đại diện cho điện tích cơ bản, N đại diện cho mật độ khuyết tật trung bình trên đơn vị diện tích trong kênh, ϵ đại diện cho hằng số điện môi của chất bán dẫn, n đại diện cho số chất mang trên đơn vị diện tích trong các kênh, C_{ox} đại diện cho điện dung trên đơn vị diện tích, V_g đại diện cho điện áp cổng, và t đại diện cho độ dày của kênh. Trong trường hợp độ dày của lớp bán dẫn nhỏ hơn hoặc bằng 30nm, độ dày

của kênh có thể được coi là tương tự như độ dày của lớp bán dẫn. Dòng điện máng I_d trong vùng tuyến tính có thể được thể hiện theo công thức 4 sau đây.

$$\text{Công thức 4: } I_d = \frac{W\mu}{L} \frac{V_g V_d C_{ox}}{L} \exp\left(-\frac{E}{kT}\right)$$

Ở đây, L đại diện cho chiều dài kênh và W đại diện cho chiều rộng kênh, và L và W đều có giá trị $10\mu\text{m}$ trong trường hợp này. Ngoài ra, V_d đại diện cho điện áp máng. Khi chia cả hai vế của công thức 4 cho V_g và sau đó lấy logarit cả hai vế, thu được công thức 5 sau đây.

$$\text{Công thức 5: } \ln\left(\frac{I_d}{V_g}\right) = \ln\left(\frac{W\mu}{L} \frac{V_d C_{ox}}{L}\right) - \frac{E}{kT} = \ln\left(\frac{W\mu}{L} \frac{V_d C_{ox}}{L}\right) - \frac{e^3 N^2 t}{8kT\epsilon C_{ox} V_g}$$

Phía bên phải của công thức 5 là hàm V_g . Từ công thức này, thấy rằng mật độ khuyết tật N có thể thu được từ độ dốc của đường trong đó $\ln(I_d/V_g)$ là trục tung và $1/V_g$ là tọa độ. Tức là, mật độ khuyết tật có thể được đánh giá từ đặc tuyến $I_d - V_g$ của bóng bán dẫn. Mật độ khuyết tật N của chất bán dẫn oxit trong đó tỷ lệ của indi (In), thiếc (Sn) và kẽm (Zn) là 1:1:1 vào khoảng $1 \times 10^{12}/\text{cm}^2$.

Trên cơ sở mật độ khuyết tật thu được theo cách này, hoặc tương tự, μ_0 có thể được tính là $120\text{cm}^2/\text{Vs}$ từ công thức 2 và công thức 3. Độ linh động đo được của oxit In-Sn-Zn có khuyết tật là khoảng $40\text{cm}^2/\text{Vs}$. Tuy nhiên, giả định rằng không có khuyết tật tồn tại bên trong chất bán dẫn và tại giao diện giữa chất bán dẫn và màng cách ly, độ linh động μ_0 của chất bán dẫn oxit dự kiến là $120\text{cm}^2/\text{Vs}$.

Lưu ý rằng ngay cả khi không có khuyết tật tồn tại bên trong chất bán dẫn, phân tán tại giao diện giữa kênh và phần tử cách ly cổng ảnh hưởng đến đặc trưng vận chuyển của bóng bán dẫn. Nói cách khác, độ linh động μ_1 ở vị trí có khoảng cách x từ giao diện giữa kênh và phần tử cách ly cổng có thể được thể hiện bằng công thức 6 sau đây.

$$\text{Công thức 6: } \frac{1}{\mu_1} = \frac{1}{\mu_0} + \frac{D}{B} \exp\left(-\frac{x}{l}\right)$$

Ở đây, D đại diện cho điện trường theo hướng cổng, và B và l là các hằng số. B và l có thể thu được từ kết quả đo đặc thực tế, theo các kết quả đo trên, B là $4,75 \times 10^7 \text{cm/s}$ và l là 10nm (độ sâu mà ảnh hưởng của giao diện tán xạ đạt đến). Khi D tăng lên (ví dụ, khi điện áp cổng được tăng lên), thành phần thứ hai của công thức 6 được tăng lên và do đó, độ linh động μ_1 giảm.

Fig.15 thể hiện kết quả tính toán độ linh động μ_2 của bóng bán dẫn có kênh được tạo thành bằng cách sử dụng chất bán dẫn oxit lý tưởng không có khuyết tật trong chất bán dẫn. Để tính toán, thiết bị mô phỏng phần mềm Sentaurus được sản xuất bởi Synopsys, Inc được sử dụng, và khe giữa các dải, mối quan hệ điện tử, hằng số điện môi tương đối, và độ dày của chất bán dẫn oxit được giả định là 2,8eV, 4,7eV, 15, và 15nm. Các giá trị này thu được bằng cách đo màng mỏng được tạo thành bởi phương pháp phún xạ.

Hơn nữa, công thoát của cổng, nguồn, và máng được giả định là 5,5eV, 4,6eV và 4,6eV, tương ứng. Độ dày của phần tử cách ly cổng được giả định là 100nm, và đó hằng số điện môi tương đối được giả định là 4.1. Chiều dài kênh và độ rộng kênh giả định là 10 μ m, và điện áp máng V_{ds} được giả định là 0,1V.

Như được thể hiện trên Fig.15, độ linh động có cực đại 100cm²/Vs hoặc hơn ở điện áp cổng nhỏ hơn 1V, và được giảm khi điện áp cổng cao hơn do ảnh hưởng của giao diện tán xạ tăng lên. Lưu ý rằng để giảm giao diện tán xạ, mong muốn là bề mặt của màng bán dẫn phẳng ở mức nguyên tử (độ phẳng lớp nguyên tử).

Các kết quả tính toán đặc tính của bóng bán dẫn nhỏ được tạo ra bằng cách sử dụng chất bán dẫn oxit có độ linh động được thể hiện trên Fig.16A đến Fig.16C, Fig.17A đến Fig.17C, và Fig.18A đến Fig.18C. Fig.19A và Fig.19B thể hiện cấu trúc mặt cắt ngang của bóng bán dẫn được sử dụng để tính toán. Bóng bán dẫn được thể hiện trên Fig.19A và Fig.19B mỗi bóng bán dẫn bao gồm vùng thứ hai 1103b và vùng thứ hai 1103c có loại dẫn điện n^+ trong lớp bán dẫn oxit. Điện trở suất của vùng thứ hai 1103b và 1103c là $2 \times 10^{-3} \Omega \text{ cm}$.

Bóng bán dẫn trên Fig.19A được tạo thành trên màng cách ly cơ sở 1101 và chất cách ly nhúng 1102 được nhúng vào trong màng cách ly cơ sở 1101 và tạo thành oxit nhôm. Bóng bán dẫn bao gồm vùng thứ hai 1103b, vùng thứ hai 1103c, vùng thứ nhất nội tại 1103a được đặt giữa các vùng thứ hai 1103b và 1103c và đóng vai trò như là vùng tạo thành kênh, và điện cực cổng 1105. Chiều rộng của điện cực cổng 1105 là 33 nm.

Màng cách ly cổng 1104 được tạo thành giữa điện cực cổng 1105 và vùng thứ nhất 1103a. Màng cách ly mặt bên 1106a và màng cách ly mặt bên 1106b được tạo thành trên bề mặt bên của điện cực cổng 1105, và chất cách ly 1107 được tạo thành trên điện cực cổng 1105 để ngăn chặn ngắn mạch giữa điện cực cổng 1105 và dây điện

khác. Màng cách ly mặt bên có chiều rộng 5nm. Điện cực nguồn 1108a và điện cực máng 1108b được cung cấp tiếp xúc với vùng thứ hai 1103b và vùng thứ hai 1103c, tương ứng. Lưu ý rằng chiều rộng kênh của bóng bán dẫn này là 40nm.

Bóng bán dẫn trên Fig.19B giống như bóng bán dẫn trên Fig.19A ở chỗ nó được tạo thành trên màng cách ly cơ sở 1101 và chất cách ly nhúng 1102 được tạo thành từ oxit nhôm và bao gồm vùng thứ hai 1103b, vùng thứ hai 1103c, vùng thứ nhất 1103a được cung cấp ở giữa, điện cực cổng 1105 có chiều rộng 33nm, màng cách ly cổng 1104, màng cách ly mặt bên 1106a, chất cách ly mặt bên 1106b, chất cách ly 1107, các điện cực nguồn 1108a và điện cực máng 1108b.

Sự khác biệt giữa bóng bán dẫn trên Fig.19A và bóng bán dẫn trên Fig.19B là loại dẫn điện của vùng bán dẫn dưới màng cách ly mặt bên 1106a và 1106b. Trong bóng bán dẫn trên Fig.19A, vùng bán dẫn dưới màng cách ly mặt bên 1106a và màng cách ly mặt bên 1106b là phần của vùng thứ hai 1103b có loại dẫn điện n^+ và phần của vùng thứ hai 1103c có loại dẫn điện n^+ , trong khi đó trong bóng bán dẫn trên Fig.19B, vùng bán dẫn dưới màng cách ly mặt bên 1106a và màng cách ly mặt bên 1106b là phần của vùng thứ nhất nội tại 1103a. Nói cách khác, trong lớp bán dẫn trên Fig.19B, vùng mà chồng lên không phải vùng thứ hai 1103b (vùng thứ hai 1103c) hay điện cực cổng 1105 được cung cấp. Vùng này được gọi là vùng bù đắp và có *Loof* gọi là chiều dài bù đắp. Như có thể thấy từ hình vẽ, chiều dài bù đắp bằng với chiều rộng của màng cách ly mặt bên 1106a (màng cách ly mặt bên 1106b).

Các thông số khác được sử dụng trong tính toán được như mô tả ở trên. Để tính toán, thiết bị mô phỏng phần mềm Sentaurus của Synopsys, Inc được sử dụng. Fig.16A đến Fig.16C thể hiện sự phụ thuộc điện áp cổng (V_g : điện áp giữa điện cực cổng và điện cực nguồn) của dòng điện máng (I_d , đường liền nét) và độ linh động (μ , đường chấm chấm) của bóng bán dẫn có cấu trúc thể hiện trên Fig.19A. Dòng điện máng I_d thu được bằng cách tính toán theo giả định rằng điện áp máng (điện áp giữa điện cực máng và điện cực nguồn) là +1V và μ là độ linh động thu được bằng cách tính toán theo giả định rằng điện áp máng là +0,1V.

Fig.16A thể hiện sự phụ thuộc điện áp cổng của bóng bán dẫn trong trường hợp độ dày của màng cách ly cổng là 15nm, Fig.16B thể hiện bóng bán dẫn trong trường hợp độ dày của màng cách ly cổng 10nm, và Fig.16C thể hiện bóng bán dẫn trong trường hợp độ dày của màng cách ly cổng 5nm. Khi màng cách ly cổng mỏng hơn,

dòng điện máng I_d trong trạng thái tắt (dòng điện trạng thái tắt) đặc biệt được giảm đáng kể. Ngược lại, không có thay đổi đáng kể về giá trị cực đại của độ linh động μ và dòng điện máng I_d trong trạng thái bật (dòng điện trạng thái bật). Các đồ thị cho thấy dòng điện máng vượt quá $10\mu A$, đây là điều cần thiết trong phần tử bộ nhớ và tương tự, ở điện áp cổng khoảng 1V.

Fig.17A đến Fig.17C thể hiện điện áp cổng V_g phụ thuộc của dòng điện máng I_d (đường liền nét) và độ linh động μ (đường chấm chấm) của bóng bán dẫn có cấu trúc trên Fig.19B và chiều dài L_{off} 5nm. Dòng điện máng I_d thu được bằng cách tính toán theo giả định rằng điện áp máng là +1V và độ linh động μ thu được bằng cách tính toán theo giả định rằng điện áp máng là + 0,1V. Fig.17A thể hiện sự phụ thuộc điện áp cổng của bóng bán dẫn trong trường hợp độ dày của màng cách ly cổng là 15nm, Fig.17B thể hiện bóng bán dẫn trong trường hợp độ dày của màng cách ly cổng 10nm, và Fig.17C thể hiện bóng bán dẫn trong trường hợp độ dày của màng cách ly cổng là 5nm.

Fig.18A đến Fig.18C thể hiện sự phụ thuộc điện áp cổng của dòng điện máng I_d (đường liền nét) và độ linh động μ (đường chấm chấm) của bóng bán dẫn có cấu trúc trên Fig.19B và chiều dài L_{off} 15nm. Dòng điện máng I_d thu được bằng cách tính toán theo giả định rằng điện áp máng là +1V và độ linh động μ thu được bằng cách tính toán theo giả định rằng điện áp máng là +0,1V. Fig.18A thể hiện sự phụ thuộc của điện áp cổng của bóng bán dẫn trong trường hợp độ dày của màng cách ly cổng là 15 nm, Fig.18B thể hiện bóng bán dẫn trong trường hợp độ dày của màng cách ly cổng 10nm, và Fig.18C thể hiện bóng bán dẫn trong trường hợp độ dày của màng cách ly cổng là 5nm.

Trong cả hai cấu trúc này, khi màng cách ly cổng mỏng hơn, dòng điện trạng thái tắt giảm đáng kể, trong khi không có sự thay đổi đáng kể nào xuất hiện về giá trị cực đại của độ linh động μ và dòng điện trạng thái bật.

Lưu ý rằng cực đại của độ linh động μ khoảng $80 \text{ cm}^2/\text{Vs}$ trên các hình vẽ từ Fig.16A đến Fig.16C, khoảng $60 \text{ cm}^2/\text{Vs}$ trên Fig.17A đến Fig.17C, và khoảng $40\text{cm}^2/\text{Vs}$ trên Fig.18A đến Fig.18C, do đó, cực đại của độ linh động μ giảm khi chiều dài L_{off} tăng lên. Hơn nữa, cùng kết quả này được áp dụng cho dòng điện trạng thái tắt. dòng điện trạng thái bật cũng được giảm khi chiều dài bù đắp L_{off} được tăng lên, tuy nhiên, sự giảm về dòng điện trạng thái bật từ hơn mức giảm của dòng điện trạng

thái tất. Hơn nữa, các đồ thị này cho thấy trong cả hai cấu trúc, dòng điện máng vượt quá $10\mu\text{A}$, đây là điều cần thiết trong các phần tử bộ nhớ và tương tự, tại điện áp cổng khoảng 1V. Vì vậy, khi bóng bán dẫn có độ linh động cao được sử dụng trong phần bộ nhớ của chuyển mạch lập trình được trong các phương án nêu trên, việc ghi dữ liệu cấu hình có thể được thực hiện ở tốc độ cao, do đó, thiết bị logic lập trình được trong đó cấu hình động có thể được thực hiện dễ dàng có thể được cung cấp.

Phương án 4

Trong phương án này, là bóng bán dẫn bao gồm màng oxit bán dẫn, được mô tả trong các phương án trên, bóng bán dẫn có màng bán dẫn oxit bao gồm In, Sn, và Zn là thành phần chính của nó sẽ được mô tả cụ thể.

Bóng bán dẫn trong đó chất bán dẫn oxit chứa In, Sn, và Zn là thành phần chính được sử dụng cho vùng tạo thành kênh có thể có các đặc điểm thuận lợi bằng cách lắng đọng chất bán dẫn oxit trong khi bề mặt được làm nóng hoặc bằng cách thực hiện xử lý nhiệt sau khi màng bán dẫn oxit được tạo thành. Lưu ý rằng thành phần chính đề cập đến các nguyên tố bao gồm trong thành phần ở mức 5% nguyên tử hoặc cao hơn.

Bằng cách cố tình làm nóng bề mặt sau khi tạo thành màng oxit bán dẫn bao gồm In, Sn, và Zn là thành phần chính, độ linh động hiệu ứng trường của bóng bán dẫn có thể được cải thiện. Hơn nữa, điện áp ngưỡng của bóng bán dẫn có thể được chuyển dịch tích cực để thực hiện bóng bán dẫn thông thường tất. Sau đây, kết quả của các phép đo khác nhau bóng bán dẫn có màng oxit bán dẫn, bao gồm In, Sn, và Zn là thành phần chính sẽ được mô tả.

Đầu tiên, cấu trúc của bóng bán dẫn được sử dụng cho các phép đo khác nhau trong phương án này được mô tả dựa trên Fig.25A và Fig.25B. Fig.25A là sơ đồ của bóng bán dẫn, và Fig.25B là mặt cắt ngang thực hiện theo đường chấm chấm A-B trên Fig.25A.

Bóng bán dẫn được thể hiện trên Fig.25B bao gồm nền 600, màng cách ly cơ sở 602 được cung cấp trên nền 600, màng bán dẫn oxit 606 được cung cấp trên màng cách ly cơ sở 602, cặp điện cực 614 tiếp xúc với màng bán dẫn oxit 606, màng cách ly cổng 608 được cung cấp trên màng bán dẫn oxit 606 và cặp điện cực 614, điện cực cổng 610 được cung cấp chồng lên màng bán dẫn oxit 606 với màng cách ly cổng 608 ở giữa; màng cách ly xen 616 được cung cấp để phủ trên màng cách ly cổng 608 và

điện cực cổng 610; dây nối 618 nối điện với cặp điện cực 614 qua các lỗ được tạo thành trong màng cách ly cổng 608 và màng cách ly xen 616 và màng bảo vệ 620 được cung cấp để phủ trên màng cách ly xen 616 và dây nối 618. Cặp điện cực 614 có chức năng như điện cực nguồn và điện cực máng của bóng bán dẫn.

Để làm nền 600 nền thủy tinh được sử dụng. Để làm màng cách ly cơ sở 602, màng oxit silic được sử dụng. Để làm màng bán dẫn oxit 606, màng In-Sn-Zn-O được sử dụng. Để làm cặp điện cực 614, màng vonfram được sử dụng. Để làm màng cách ly cổng 608, màng oxit silic được sử dụng. Điện cực cổng 610 có cấu trúc lớp màng nitrua tantan và màng vonfram. Màng cách ly xen 616 có cấu trúc lớp màng oxynitrua silic và màng polyimit. Mỗi dây nối 618 đều có cấu trúc lớp, trong đó màng titan, màng nhôm, và màng titan được tạo thành theo thứ tự này. Để làm màng bảo vệ 620 màng polyimit được sử dụng.

Lưu ý rằng trong bóng bán dẫn có cấu trúc được thể hiện trên Fig.25A, chiều rộng của phần mà điện cực cổng 610 chồng lên một trong số cặp điện cực 614 được gọi là Lov . Tương tự, chiều rộng của phần của cặp điện cực 614, mà không chồng lên màng bán dẫn oxit 606 được gọi là dW .

Fig.20A đến Fig.20C thể hiện các đặc điểm của bóng bán dẫn trên Fig.25A và Fig.25B, bao gồm màng bán dẫn oxit có chiều dài kênh L $3\mu m$ và chiều rộng kênh W $10\mu m$ và cách ly màng cổng có độ dày $100nm$. Lưu ý rằng V_d đã được thiết lập đến $10V$.

Fig.20A là biểu đồ thể hiện đặc điểm của bóng bán dẫn mà màng bán dẫn oxit có chứa In, Sn, và Zn là thành phần chính được tạo thành bởi phương pháp phun xạ không làm nóng nền có chủ ý. Độ linh động hiệu ứng trường của bóng bán dẫn là $18,8cm^2/VSEC$.

Mặt khác, khi màng oxit bán dẫn chứa In, Sn, và Zn là thành phần chính được tạo thành trong khi nền được cố ý làm nóng, độ linh động hiệu ứng trường có thể được cải thiện. Fig.20B thể hiện đặc điểm của bóng bán dẫn mà màng bán dẫn oxit có chứa In, Sn, và Zn là thành phần chính được tạo thành trong khi nền được làm nóng ở $200^\circ C$. Độ linh động hiệu ứng trường của bóng bán dẫn là $32,2cm^2/VSEC$.

Độ linh động hiệu ứng trường có thể được cải thiện thêm nữa bằng cách thực hiện xử lý nhiệt sau khi tạo thành màng bán dẫn oxit chứa In, Sn, và Zn là thành phần chính. Fig.20C thể hiện đặc điểm của bóng bán dẫn mà màng bán dẫn oxit có chứa In,

Sn, và Zn là thành phần chính được tạo thành bằng cách phún xạ ở nhiệt độ 200°C và sau đó được xử lý nhiệt ở nhiệt độ 650°C. Độ linh động hiệu ứng trường của bóng bán dẫn là 34,5 cm²/VSEC.

Việc cố ý làm nóng bề mặt được dự kiến sẽ có tác dụng làm giảm độ ẩm đưa vào màng bán dẫn oxit trong quá trình hình thành bằng phương pháp phún xạ. Hơn nữa, việc xử lý nhiệt sau khi tạo thành màng cho phép hydro, nhóm hydroxin, hoặc độ ẩm sẽ được giải phóng và loại bỏ khỏi màng bán dẫn oxit. Theo cách này, độ linh động hiệu ứng trường có thể được cải thiện. Việc cải thiện như vậy về độ linh động hiệu ứng trường được cho là đạt được không chỉ bằng cách loại bỏ tạp chất do mất nước hoặc khử nước mà còn bởi việc giảm khoảng cách giữa các nguyên tử do sự tăng mật độ. Ngoài ra, chất bán dẫn oxit có thể được kết tinh bằng cách tinh lọc bằng cách loại bỏ tạp chất khỏi chất bán dẫn oxit. Trong trường hợp sử dụng chất bán dẫn oxit không đơn tinh thể có độ tinh khiết cao, lý tưởng, độ linh động hiệu ứng trường vượt quá 100 cm²/VSEC dự kiến sẽ được tạo ra.

Chất bán dẫn oxit chứa In, Sn, và Zn là thành phần chính có thể được kết tinh theo các cách sau đây: các ion oxy được cấy vào chất bán dẫn oxit, hydro, nhóm hydroxin, hoặc độ ẩm trong các chất bán dẫn oxit được giải phóng bởi quá trình xử lý nhiệt, chất bán dẫn oxit được kết tinh qua việc xử lý nhiệt hoặc bằng cách xử lý nhiệt khác được thực hiện sau đó. Bởi quá trình xử lý kết tinh hoặc xử lý kết tinh lại, chất bán dẫn oxit không đơn tinh thể có tính tinh thể thuận lợi có thể thu được.

Việc cố ý làm nóng bề mặt trong quá trình tạo thành màng và/hoặc xử lý nhiệt sau khi tạo thành màng góp phần không chỉ nâng cao độ linh động hiệu ứng trường mà còn tạo ra bóng bán dẫn thông thường tất. Trong bóng bán dẫn trong đó màng bán dẫn oxit chứa In, Sn, và Zn là thành phần chính và được tạo thành mà không làm nóng nền cố ý được sử dụng như vùng tạo thành kênh, điện áp ngưỡng có xu hướng chuyển sang giá trị âm. Tuy nhiên, khi màng bán dẫn oxit được tạo thành trong khi nền được cố định làm nóng được sử dụng, các vấn đề về sự thay đổi âm của điện áp ngưỡng có thể được giải quyết. Tức là, điện áp ngưỡng được chuyển để bóng bán dẫn là loại bình thường tất; xu hướng này có thể được khẳng định bằng cách so sánh giữa Fig.20A và Fig.20B.

Lưu ý rằng điện áp ngưỡng cũng có thể được điều khiển bằng cách thay đổi tỷ lệ In, Sn, và Zn, khi tỷ lệ thành phần của In, Sn, và Zn là 2:1:3, bóng bán dẫn thông

thường tắt dự kiến sẽ được tạo thành. Ngoài ra, màng bán dẫn oxit có độ tinh cao có thể đạt được bằng cách thiết lập các tỷ lệ thành phần mục tiêu như sau: In: Sn: Zn = 2:1:3.

Nhiệt độ của việc gia nhiệt cố ý nền hoặc nhiệt độ xử lý nhiệt là 150°C hoặc cao hơn, tốt hơn là 200°C hoặc cao hơn, tốt hơn nữa là, 400°C hoặc cao hơn. Khi việc tạo thành màng màng hoặc xử lý nhiệt được thực hiện ở nhiệt độ cao, bóng bán dẫn có thể là bóng bán dẫn bình thường tắt.

Việc xử lý nhiệt có thể được thực hiện trong bầu không khí oxy; cách khác, xử lý nhiệt có thể được thực hiện đầu tiên trong bầu không khí nitơ hoặc khí trơ, hoặc dưới áp suất thấp, và sau đó trong bầu không khí bao gồm oxy. Oxy được cung cấp cho chất bán dẫn oxit sau khi mất nước hoặc khử nước, nhờ đó ảnh hưởng của xử lý nhiệt có thể được tăng thêm. Để làm phương pháp cung cấp oxy sau khi mất nước hoặc khử nước, phương pháp trong đó các ion oxy được gia tốc bằng điện trường và cấy vào màng bán dẫn oxit có thể được sử dụng.

Khuyết tật do thiếu ôxy có thể dễ dàng bị gây ra trong chất bán dẫn oxit hoặc giao diện giữa chất bán dẫn oxit và màng xếp chồng lên nhau, tuy nhiên, khi oxy dư thừa được bao gồm trong chất bán dẫn oxit bằng cách xử lý nhiệt, việc thiếu oxy bị gây ra liên tục có thể được bù bằng oxy dư. Lượng oxy dư chủ yếu là ôxy tồn tại giữa mạng tinh thể. Khi nồng độ oxy được thiết lập cao hơn hoặc bằng $1 \times 10^{16}/\text{cm}^3$ và thấp hơn hoặc bằng $2 \times 10^{20}/\text{cm}^3$, oxy dư thừa có thể được bao gồm trong chất bán dẫn oxit mà không gây ra sự biến dạng tinh thể hoặc các vấn đề tương tự.

Khi việc xử lý nhiệt được thực hiện để ít nhất một phần của chất bán dẫn oxit bao gồm tinh thể, màng bán dẫn oxit ổn định hơn có thể thu được. Ví dụ, khi màng bán dẫn oxit được tạo thành bằng cách phun xạ sử dụng mục tiêu có tỷ lệ thành phần In: Sn: Zn = 1:1:1 mà không cần làm nóng nền cố ý được phân tích bởi phương pháp nhiễu xạ tia X (XRD), mẫu hào có thể được quan sát thấy. màng bán dẫn oxit được tạo ra có thể được kết tinh qua quá trình xử lý nhiệt. Nhiệt độ của quá trình xử lý nhiệt có thể được thiết lập thích hợp; khi quá trình xử lý nhiệt được thực hiện ở nhiệt độ 650°C, chẳng hạn, cực đại nhiễu xạ có thể được quan sát qua nhiễu xạ tia X.

Việc phân tích nhiễu xạ tia X trên màng In-Sn-Zn-O được thực hiện. Phép phân tích nhiễu xạ tia X được tiến hành sử dụng máy nhiễu xạ tia X D8 ADVANCE sản

xuất bởi Bruker AXS, và việc đo lường được thực hiện bởi phương pháp ngoài mặt phẳng.

Mẫu A và B đã được chuẩn bị và việc phân tích nhiễu xạ tia X được thực hiện trên đó. Phương pháp để sản xuất mẫu A và mẫu B sẽ được mô tả dưới đây.

Màng In-Sn-Zn-O với độ dày 100nm được tạo thành trên nền thạch anh đã được xử lý khử hydro.

Màng In-Sn-Zn-O được tạo thành bởi thiết bị phún xạ có công suất 100W (DC) trong bầu không khí oxy. Mục tiêu In-Sn-Zn-O có tỉ lệ nguyên tử In: Sn: Zn = 1:1:1 được sử dụng. Lưu ý rằng nhiệt độ làm nóng bề mặt trong khi tạo thành màng được thiết lập ở 200°C. Mẫu được sản xuất theo cách này được sử dụng làm mẫu A.

Tiếp theo, mẫu được sản xuất bởi phương pháp tương tự như mẫu A được xử lý nhiệt ở 650°C. Để làm quá trình xử lý nhiệt, quá trình xử lý nhiệt trong bầu không khí nitơ lần thứ nhất được thực hiện trong một giờ và xử lý nhiệt trong bầu không khí oxy được thực hiện tiếp tục trong một giờ mà không giảm nhiệt độ. Mẫu được sản xuất theo cách này được sử dụng làm mẫu B.

Fig.21 thể hiện phổ nhiễu xạ tia X của mẫu A và mẫu B. Không có đỉnh có nguồn gốc từ tinh thể được quan sát thấy trong mẫu A, trong khi đỉnh có nguồn gốc từ tinh thể được quan sát thấy khi có góc 2θ khoảng 35° và ở 37° đến 38° trong mẫu B.

Như đã mô tả ở trên, bằng cách cố tình làm nóng nền trong thời gian lắng đọng của chất bán dẫn oxit chứa In, Sn, và Zn là thành phần chính và/hoặc bằng cách thực hiện xử lý nhiệt sau khi lắng đọng, đặc điểm của bóng bán dẫn có thể được cải thiện.

Việc làm nóng nền và xử lý nhiệt có hiệu quả ngăn cản hydro và nhóm hydroxin, chúng là tạp chất không có lợi cho chất bán dẫn oxit, không được bao gồm trong màng hay loại bỏ được hydro và nhóm hydroxin khỏi màng. Có nghĩa là, chất bán dẫn oxit có thể được tinh lọc bằng cách loại bỏ hydro đóng vai trò như là tạp chất cho khỏi chất bán dẫn oxit, theo đó bóng bán dẫn thông thường tất có thể thu được. Việc tinh lọc cao chất bán dẫn oxit cho phép dòng điện trạng thái tắt của bóng bán dẫn là 1aA/ μm hoặc nhỏ hơn. Ở đây, đơn vị của dòng điện trạng thái tắt đại diện cho dòng điện cho mỗi micromet chiều rộng kênh.

Fig.22 thể hiện mối quan hệ giữa dòng điện trạng thái tắt của bóng bán dẫn và nghịch đảo của nhiệt độ nền (nhiệt độ tuyệt đối) khi đo được. Ở đây, để đơn giản, trục

ngang đại diện cho giá trị ($1000/T$) thu được bằng cách nhân nghịch đảo của nhiệt độ bề mặt đo được với 1000.

Cụ thể, như được thể hiện trên Fig.22, dòng điện trạng thái tắt là $0,1 \text{ aA}/\mu\text{m}$ ($1 \times 10^{-18} \text{ A}/\mu\text{m}$) hoặc nhỏ hơn, $100 \text{ zA}/\mu\text{m}$ ($1 \times 10^{-19} \text{ A}/\mu\text{m}$) hoặc nhỏ hơn, và $1 \text{ zA}/\mu\text{m}$ ($1 \times 10^{-21} \text{ A}/\mu\text{m}$) hoặc nhỏ hơn khi nhiệt độ nền là 125°C và 85°C , và nhiệt độ phòng là 27°C , tương ứng. Tỷ lệ thuận giữa logarit của dòng điện trạng thái tắt và nghịch đảo của nhiệt độ cho thấy rằng dòng điện trạng thái tắt ở nhiệt độ phòng (27°C) là $0,1 \text{ zA}/\mu\text{m}$ ($1 \times 10^{-22} \text{ A}/\mu\text{m}$) hoặc nhỏ hơn. Do đó, dòng điện trạng thái tắt có thể là $1 \text{ aA}/\mu\text{m}$ ($1 \times 10^{-18} \text{ A}/\mu\text{m}$) hoặc nhỏ hơn, $100 \text{ zA}/\mu\text{m}$ ($1 \times 10^{-19} \text{ A}/\mu\text{m}$) hoặc nhỏ hơn, và $1 \text{ zA}/\mu\text{m}$ ($1 \times 10^{-21} \text{ A}/\mu\text{m}$) hoặc nhỏ hơn ở nhiệt độ 125°C , 85°C , và nhiệt độ phòng, tương ứng.

Lưu ý rằng để ngăn chặn hydro và độ ẩm không được bao gồm trong màng bán dẫn oxit trong quá trình tạo thành màng, tốt hơn là, tăng độ tinh khiết của khí phun xạ do khử rò rỉ từ bên ngoài buồng lắng đọng và giải pha khí qua thành bên trong của buồng lắng đọng. Ví dụ, tốt hơn là, khí có điểm sương -70°C hoặc thấp hơn được sử dụng làm khí phun xạ để ngăn độ ẩm được bao gồm trong màng. Ngoài ra, tốt hơn là, sử dụng mục tiêu tinh khiết để không bao gồm các tạp chất như hydro và độ ẩm. Mặc dù có thể loại bỏ độ ẩm khỏi màng chất bán dẫn oxit chứa In, Sn, và Zn là thành phần chính bằng cách xử lý nhiệt, tốt hơn là, màng mà không bao gồm độ ẩm ban đầu nên được tạo thành bởi vì độ ẩm được phát ra từ chất bán dẫn oxit chứa In, sn, và Zn là thành phần chính ở nhiệt độ cao hơn so với chất bán dẫn oxit chứa In, Ga, và Zn là thành phần chính.

Mối quan hệ giữa nhiệt độ nền và đặc tính điện của bóng bán dẫn của mẫu B, mà trên đó quá trình xử lý nhiệt ở 650°C được thực hiện sau khi tạo thành màng bán dẫn oxit, được đánh giá.

Bóng bán dẫn được sử dụng để đo có chiều dài kênh L $3\mu\text{m}$, chiều rộng kênh W $10\mu\text{m}$, Lov $3\mu\text{m}$ ở một bên (tổng cộng Lov $6\mu\text{m}$), và dW là $0\mu\text{m}$. Lưu ý rằng V_{ds} được thiết lập đến 10V . Lưu ý rằng nhiệt độ bề mặt là -40°C , -25°C , 25°C , 75°C , 125°C và 150°C . Ở đây, trong bóng bán dẫn này, chiều rộng của phần nơi điện cực cổng chồng lên một trong cặp điện cực được gọi là Lov , và chiều rộng của phần của cặp điện cực, mà chồng lên màng bán dẫn oxit, được gọi là dW .

Fig.23 thể hiện V_{gs} phụ thuộc vào I_{ds} (đường liền nét) và độ linh động hiệu ứng trường (đường chấm chấm). Fig.24A thể hiện mối quan hệ giữa nhiệt độ nền và điện áp ngưỡng, và Fig.24B cho thấy mối quan hệ giữa nhiệt độ nền và độ linh động hiệu ứng trường.

Từ Fig.24A, có thể thấy rằng điện áp ngưỡng thấp hơn khi nhiệt độ nền tăng lên. Lưu ý rằng điện áp ngưỡng giảm từ 1,09 V đến 0,23 V trong khoảng từ -40°C đến 150°C .

Từ Fig.24B, thấy rằng độ linh động hiệu ứng trường thấp hơn khi nhiệt độ nền tăng lên. Lưu ý rằng độ linh động hiệu ứng trường giảm từ $36\text{ cm}^2/\text{Vs}$ đến $32\text{ cm}^2/\text{Vs}$ trong khoảng từ -40°C đến 150°C . Do đó, có thể thấy rằng sự thay đổi về đặc tính điện nhỏ trong phạm vi nhiệt độ này.

Trong bóng bán dẫn mà chất bán dẫn oxit chứa In, Sn, và Zn là thành phần chính được sử dụng như vùng tạo thành kênh, độ linh động hiệu ứng trường $30\text{ cm}^2/\text{VSEC}$ hoặc cao hơn, tốt hơn là, $40\text{ cm}^2/\text{VSEC}$ hoặc cao hơn, tốt hơn nữa là $60\text{ cm}^2/\text{VSEC}$ hoặc cao hơn có thể thu được với dòng điện trạng thái tắt được duy trì ở mức $1\text{ aA}/\mu\text{ m}$ hoặc nhỏ hơn, mà có thể dòng điện trạng thái bật cần thiết cho LSI. Ví dụ, trong FET mà L/W là $33\text{ nm}/40\text{ nm}$, dòng điện trạng thái bật là $12\mu\text{ A}$ hoặc lớn hơn có thể đạt được khi điện áp cổng là $2,7\text{ V}$ và điện áp máng là $1,0\text{ V}$.

Do đó, bóng bán dẫn có dòng điện trạng thái tắt cực kỳ nhỏ được sử dụng cho phân bộ nhớ của chuyển mạch lập trình được được mô tả trong số phương án nêu trên trong đó dữ liệu cấu hình có thể được giữ ngay cả khi điện thế không được cấp. Do đó, việc ghi dữ liệu cấu hình sau khi nguồn được cung cấp có thể được bỏ qua, do đó thời gian khởi động của khối logic có thể ngắn. Theo đó, thiết bị logic lập trình được trong đó tiêu thụ điện năng được giảm theo phương pháp điều khiển thường tắt có thể được cung cấp.

Hơn nữa, khi bóng bán dẫn có độ linh động cao được sử dụng trong phân bộ nhớ của chuyển mạch lập trình được được mô tả trong các phương án nêu trên, việc ghi dữ liệu cấu hình có thể được thực hiện ở tốc độ cao, do đó, thiết bị logic lập trình được trong đó cấu hình động có thể được thực hiện dễ dàng có thể được cung cấp.

Với đặc điểm như vậy, thiết bị logic lập trình được có thể được cung cấp mà không làm giảm tốc độ hoạt động ngay cả khi bóng bán dẫn bao gồm chất bán dẫn oxit

cũng được cung cấp trong mạch tích hợp được tạo thành bằng cách sử dụng chất bán dẫn Si.

Phương án 5

Với việc sử dụng thiết bị logic lập trình được theo các phương án của sáng chế, thiết bị điện tử công suất thấp có thể được cung cấp. Đặc biệt, trong trường hợp thiết bị điện tử xách tay có khó khăn trong việc liên tục nhận được năng lượng, lợi thế trong việc tăng thời gian làm nhiệm vụ liên tục có thể đạt được khi thiết bị bán dẫn với mức tiêu thụ điện năng thấp theo các phương án của sáng chế được sử dụng là thành phần của thiết bị.

Thiết bị bán dẫn bao gồm thiết bị logic lập trình được theo các phương án của sáng chế có thể được sử dụng cho thiết bị màn hình hiển thị, máy tính cá nhân, hoặc thiết bị tái tạo hình ảnh được cung cấp phương tiện ghi (thông thường, là thiết bị mà tái tạo nội dung của phương tiện ghi như đĩa đa năng kỹ thuật số (DVD) và có màn hình để hiển thị hình ảnh tái tạo). Khác với ở trên, để làm thiết bị điện tử có thể sử dụng thiết bị bán dẫn theo các phương án của sáng chế, điện thoại di động, máy chơi game bao gồm cả máy chơi game cầm tay, đầu cuối thông tin di động, đầu đọc sách điện tử, máy quay phim, máy ảnh kỹ thuật số, màn hình hiển thị goggle (màn hình gắn trên đầu), hệ thống định vị, thiết bị tái tạo âm thanh (ví dụ, hệ thống âm thanh xe hơi và máy nghe nhạc kỹ thuật số), máy photocopy, máy fax, máy in, máy in đa chức năng, máy rút tiền tự động (ATM), máy bán hàng tự động, và tương tự có thể được tạo ra.

Dưới đây mô tả thiết bị bán dẫn bao gồm thiết bị logic lập trình được theo các phương án của sáng chế được áp dụng cho thiết bị điện tử cầm tay như điện thoại di động, điện thoại thông minh, hoặc đầu đọc sách điện tử (e-book).

Fig.10 là sơ đồ khối thể hiện thiết bị điện tử cầm tay. Thiết bị điện tử di động được thể hiện trên Fig.10 bao gồm mạch RF (tần số radio) 421, mạch tương tự băng cơ sở 422, mạch kỹ thuật số băng cơ sở 423, pin 424, nguồn cung cấp năng lượng 425, bộ xử lý ứng dụng 426, bộ nhớ flash 430, màn hình hiển thị 431, bộ điều khiển, bộ nhớ 432, màn hình hiển thị 433, cảm biến tiếp xúc 439, mạch âm thanh 437, bàn phím 438, và v.v.. Màn hình hiển thị 433 bao gồm phần màn hình hiển thị 434, bộ điều khiển nguồn 435, và bộ điều khiển cổng 436. Bộ vi xử lý ứng dụng 426 bao gồm CPU 427, DSP 428, và giao diện (IF) 429. Ví dụ, khi thiết bị logic lập trình được trong phương

án nêu trên được sử dụng làm thiết bị bất kỳ hoặc tất cả trong số CPU 427, mạch kỹ thuật số băng cơ sở 423, bộ nhớ 432, DSP 428, giao diện 429, bộ điều khiển màn hình hiển thị 431, và mạch âm thanh 437, tiêu thụ điện năng có thể được giảm.

Fig.11 là sơ đồ khối thể hiện đầu đọc e-book. Đầu đọc e-book được thể hiện trên Fig.11 bao gồm pin 451, nguồn cung cấp năng lượng 452, bộ vi xử lý 453, bộ nhớ flash 454, mạch âm thanh 455, bàn phím 456, bộ nhớ 457, màn hình cảm ứng 458, màn hình hiển thị 459, và bộ điều khiển màn hình hiển thị 460. Bộ vi xử lý 453 bao gồm CPU 461, DSP 462, và giao diện 463. Ví dụ, khi thiết bị logic lập trình được trong các phương án trên được sử dụng làm thiết bị bất kỳ hoặc tất cả trong số CPU 461, mạch âm thanh 455, mạch bộ nhớ 457, bộ điều khiển màn hình hiển thị 460, DSP 462, và giao diện 463, tiêu thụ điện năng có thể được giảm.

Phương án này có thể được thực hiện kết hợp phù hợp với phương án bất kỳ nào khác.

Các phương pháp và cấu trúc được mô tả ở đây có thể được kết hợp phù hợp với phương pháp, cấu trúc bất kỳ được mô tả trong các phương án khác.

Cần phải hiểu rằng, mặc dù phần mô tả trên đây đã mô tả chi tiết các phương án được ưu tiên của sáng chế, rất nhiều thay đổi và biến thể có thể được thực hiện trên các phương án này và tất cả các thay đổi và biến thể đó đều thuộc phạm vi của sáng chế.

Sáng chế này dựa trên đơn yêu cầu cấp bằng độc quyền sáng chế Nhật Bản số 2011-109838 nộp cho Cơ quan Sáng chế Nhật Bản, ngày 16 tháng 5 năm 2011, toàn bộ nội dung của đơn này được viện dẫn ở đây để tham khảo.

YÊU CẦU BẢO HỘ

1. Thiết bị logic lập trình được bao gồm nhiều tế bào logic được sắp xếp trong ma trận, mỗi tế bào logic bao gồm:

chuyển mạch lập trình được bao gồm đầu cuối đầu vào thứ nhất, đầu cuối đầu vào thứ hai, và đầu cuối đầu ra, và được tạo cấu hình để nối điện đầu cuối đầu ra với một trong số đầu cuối đầu vào thứ nhất và đầu cuối đầu vào thứ hai;

mạch logic;

trong đó chuyển mạch lập trình được có thể giữ cấu hình trong trường hợp không có nguồn cung cấp điện thế nguồn cấp điện đến chuyển mạch lập trình được, và trong đó chuyển mạch có thể lập trình được bao gồm:

bóng bán dẫn thứ nhất bao gồm điện cực nguồn thứ nhất, điện cực máng thứ nhất, và điện cực cổng thứ nhất, một trong số điện cực nguồn thứ nhất và điện cực máng thứ nhất được nối điện với đầu cuối đầu vào thứ nhất, và một trong số điện cực nguồn thứ nhất và điện cực máng thứ nhất còn lại được nối điện với đầu cuối đầu ra;

bóng bán dẫn thứ hai bao gồm điện cực nguồn thứ hai, điện cực máng thứ hai, và điện cực cổng thứ hai, một trong số điện cực nguồn thứ hai và điện cực máng thứ hai đang được nối điện với đầu cuối đầu vào thứ hai, và một trong số điện cực nguồn thứ hai và điện cực máng thứ hai còn lại được nối điện với đầu cuối đầu ra; và

bóng bán dẫn thứ ba bao gồm điện cực nguồn thứ ba, điện cực máng thứ ba, và điện cực cổng thứ ba, một trong số điện cực nguồn thứ ba và điện cực máng thứ ba được nối điện với điện cực cổng thứ nhất và điện cực cổng thứ hai;

trong đó bóng bán dẫn thứ ba bao gồm lớp bán dẫn oxit chồng lên điện cực cổng thứ ba;

trong đó lớp bán dẫn oxit bao gồm lớp bán dẫn oxit bao gồm màng bán dẫn oxit tinh thể thẳng trục c;

trong đó chuyển mạch lập trình được được tạo cấu hình sao cho, khi bóng bán dẫn thứ ba ở trạng thái bật, một trong số cấu hình thứ nhất hoặc cấu hình thứ hai được tạo ra, và một trong số cấu hình thứ nhất hoặc cấu hình thứ hai này được duy trì sau khi bóng bán dẫn thứ ba tắt;

trong đó cấu hình thứ nhất cho phép tín hiệu thứ nhất mà nhập vào từ một điện cực còn lại trong số điện cực nguồn thứ nhất và điện cực máng thứ nhất được xuất ra tới đầu cuối của mạch logic bằng cách đi qua bóng bán dẫn thứ nhất; và

trong đó cấu hình thứ hai cho phép tín hiệu thứ hai mà nhập vào từ một điện cực còn lại trong số điện cực nguồn thứ hai và điện cực máng thứ hai được xuất ra tới đầu cuối của mạch logic bằng cách đi qua bóng bán dẫn thứ hai.

2. Thiết bị bán dẫn bao gồm:

mạch logic;

bóng bán dẫn thứ nhất bao gồm điện cực nguồn thứ nhất, điện cực máng thứ nhất và điện cực cổng thứ nhất;

bóng bán dẫn thứ hai bao gồm điện cực nguồn thứ hai, điện cực máng thứ hai và điện cực cổng thứ hai, một trong số điện cực nguồn thứ hai và điện cực máng thứ hai được nối điện với một trong số điện cực nguồn thứ nhất và điện cực máng thứ nhất và đầu cuối của mạch logic; và

bóng bán dẫn thứ ba bao gồm điện cực nguồn thứ ba, điện cực máng thứ ba và điện cực cổng thứ ba, một trong số điện cực nguồn thứ ba và điện cực máng thứ ba được nối điện với điện cực cổng thứ nhất và điện cực cổng thứ hai,

trong đó bóng bán dẫn thứ ba bao gồm lớp bán dẫn oxit chồng lên điện cực cổng thứ ba;

trong đó lớp bán dẫn oxit bao gồm lớp bán dẫn oxit bao gồm màng bán dẫn oxit tinh thể thẳng trục c;

trong đó thiết bị bán dẫn này được tạo cấu hình sao cho, khi bóng bán dẫn thứ ba ở trạng thái bật, một trong số cấu hình thứ nhất hoặc cấu hình thứ hai được tạo ra, và một trong số cấu hình thứ nhất hoặc cấu hình thứ hai này được duy trì sau khi bóng bán dẫn thứ ba tắt;

trong đó cấu hình thứ nhất cho phép tín hiệu thứ nhất mà nhập vào từ một điện cực còn lại trong số điện cực nguồn thứ nhất và điện cực máng thứ nhất được xuất ra tới đầu cuối của mạch logic bằng cách đi qua bóng bán dẫn thứ nhất; và

trong đó cấu hình thứ hai cho phép tín hiệu thứ hai mà nhập vào từ một điện cực còn lại trong số điện cực nguồn thứ hai và điện cực máng thứ hai được xuất ra tới đầu cuối của mạch logic bằng cách đi qua bóng bán dẫn thứ hai.

3. Thiết bị bán dẫn theo điểm 2, khác biệt ở chỗ, loại dẫn điện của bóng bán dẫn thứ nhất và loại dẫn điện của bóng bán dẫn thứ hai khác nhau.

4. Thiết bị bán dẫn theo điểm 2, khác biệt ở chỗ, thiết bị này còn bao gồm tụ điện được nối điện với điện cực cổng thứ nhất và điện cực cổng thứ hai.

5. Thiết bị bán dẫn theo điểm 2, khác biệt ở chỗ, thiết bị này còn bao gồm:

màng cách ly xen giữa bóng bán dẫn thứ ba và mỗi trong số bóng bán dẫn thứ nhất và bóng bán dẫn thứ hai, bóng bán dẫn thứ ba được tạo thành trên bóng bán dẫn thứ nhất và bóng bán dẫn thứ hai.

6. Thiết bị bán dẫn theo điểm 2, khác biệt ở chỗ, thiết bị này còn bao gồm:

mạch logic thứ nhất được nối điện với điện cực còn lại trong số điện cực nguồn thứ nhất và điện cực máng thứ nhất; và

mạch logic thứ hai được nối điện với điện cực còn lại trong số điện cực nguồn thứ hai và điện cực máng thứ hai.

7. Thiết bị logic lập trình được bao gồm thiết bị bán dẫn theo điểm 2.

8. Thiết bị điện tử bao gồm thiết bị bán dẫn theo điểm 2.

9. Thiết bị bán dẫn theo điểm 2,

trong đó, điện cực còn lại trong số điện cực nguồn thứ ba và điện cực máng thứ ba được tạo cấu hình để được cung cấp điện thế; và

trong đó, một trong số cấu hình thứ nhất hoặc cấu hình thứ hai được xác định bởi điện thế này khi bóng bán dẫn thứ ba ở trạng thái bật.

10. Thiết bị bán dẫn theo điểm 9, trong đó điện thế này là thay đổi

11. Thiết bị bán dẫn bao gồm:

mạch logic;

bóng bán dẫn thứ nhất có một loại dẫn điện, và bao gồm điện cực nguồn thứ nhất, điện cực máng thứ nhất, và điện cực cổng thứ nhất;

bóng bán dẫn thứ hai có một loại dẫn điện, và bao gồm điện cực nguồn thứ hai, điện cực máng thứ hai, và điện cực cổng thứ hai, một trong số điện cực nguồn thứ hai và điện cực máng thứ hai được nối điện với một trong số điện cực nguồn thứ nhất và điện cực máng thứ nhất và đầu cuối của mạch logic;

bóng bán dẫn thứ ba bao gồm điện cực nguồn thứ ba, điện cực máng thứ ba và điện cực cổng thứ ba, một trong số điện cực nguồn thứ ba và điện cực máng thứ ba được nối điện với điện cực cổng thứ nhất; và

biến tần, một trong số điện cực nguồn thứ ba và điện cực máng thứ ba được nối điện với điện cực cổng thứ hai thông qua biến tần này;

trong đó bóng bán dẫn thứ ba bao gồm lớp bán dẫn oxit chồng lên điện cực cổng thứ ba;

trong đó lớp bán dẫn oxit bao gồm lớp bán dẫn oxit bao gồm màng bán dẫn oxit tinh thể thẳng trục c;

trong đó thiết bị bán dẫn này được tạo cấu hình sao cho, khi bóng bán dẫn thứ ba ở trạng thái bật, một trong số cấu hình thứ nhất hoặc cấu hình thứ hai được tạo ra, và một trong số cấu hình thứ nhất hoặc cấu hình thứ hai này được duy trì sau khi bóng bán dẫn thứ ba tắt;

trong đó cấu hình thứ nhất cho phép tín hiệu thứ nhất mà nhập vào từ một điện cực còn lại trong số điện cực nguồn thứ nhất và điện cực máng thứ nhất được xuất ra tới đầu cuối của mạch logic bằng cách đi qua bóng bán dẫn thứ nhất; và

trong đó cấu hình thứ hai cho phép tín hiệu thứ hai mà nhập vào từ một điện cực còn lại trong số điện cực nguồn thứ hai và điện cực máng thứ hai được xuất ra tới đầu cuối của mạch logic bằng cách đi qua bóng bán dẫn thứ hai.

12. Thiết bị bán dẫn theo điểm 11, khác biệt ở chỗ, thiết bị này còn bao gồm;

bóng bán dẫn thứ tư có loại dẫn điện khác, và bao gồm điện cực nguồn thứ tư, điện cực máng thứ tư và điện cực cổng thứ tư, một trong số điện cực nguồn thứ tư và điện cực máng thứ tư được nối bằng điện với một trong số điện cực nguồn thứ nhất và điện cực máng thứ nhất, và điện cực còn lại trong số điện cực nguồn thứ tư và điện cực máng thứ tư được nối điện với điện cực còn lại trong số điện cực nguồn thứ nhất và điện cực máng thứ nhất; và

bóng bán dẫn thứ năm có loại dẫn điện khác, và bao gồm điện cực nguồn thứ năm, điện cực máng thứ năm, và điện cực cổng thứ năm, một trong số điện cực nguồn thứ năm và điện cực máng thứ năm được nối điện với một trong số điện cực nguồn thứ hai và điện cực máng thứ hai, và điện cực còn lại trong số điện cực nguồn thứ năm và điện cực máng thứ năm được nối điện với điện cực còn lại trong số điện cực nguồn thứ hai và điện cực máng thứ hai,

trong đó điện cực cổng thứ tư được nối điện với điện cực cổng thứ hai; và

trong đó điện cực cổng thứ năm được nối điện với điện cực cổng thứ nhất.

13. Thiết bị bán dẫn theo điểm 11, khác biệt ở chỗ, thiết bị này còn bao gồm tụ điện nối điện với điện cực cổng thứ nhất và điện cực cổng thứ hai.

14. Thiết bị bán dẫn theo điểm 11, khác biệt ở chỗ, thiết bị này còn bao gồm:

màng cách ly xen giữa bóng bán dẫn thứ ba và mỗi trong số bóng bán dẫn thứ nhất và bóng bán dẫn thứ hai, bóng bán dẫn thứ ba được tạo thành trên bóng bán dẫn thứ nhất và bóng bán dẫn thứ hai.

15. Thiết bị bán dẫn theo điểm 11, khác biệt ở chỗ, thiết bị này còn bao gồm:

mạch logic thứ nhất nối điện với điện cực còn lại trong số điện cực nguồn thứ nhất và điện cực máng thứ nhất; và

mạch logic thứ hai nối điện với điện cực còn lại trong số điện cực nguồn thứ hai và điện cực máng thứ hai.

16. Thiết bị logic lập trình được bao gồm thiết bị bán dẫn theo điểm 11.

17. Thiết bị điện tử bao gồm thiết bị bán dẫn theo điểm 11.

18. Thiết bị bán dẫn bao gồm:

mạch;

bóng bán dẫn thứ nhất bao gồm điện cực nguồn thứ nhất, điện cực máng thứ nhất, và điện cực cổng thứ nhất;

bóng bán dẫn thứ hai bao gồm điện cực nguồn thứ hai, điện cực máng thứ hai, và điện cực cổng thứ hai, một trong số điện cực nguồn thứ hai và điện cực máng thứ hai được nối điện với một trong số điện cực nguồn thứ nhất và điện cực máng thứ nhất và mạch; và

bóng bán dẫn thứ ba bao gồm điện cực nguồn thứ ba, điện cực máng thứ ba và điện cực cổng thứ ba, một trong số điện cực nguồn thứ ba và điện cực máng thứ ba được nối điện với điện cực cổng thứ nhất và với điện cực cổng thứ hai;

trong đó bóng bán dẫn thứ ba bao gồm lớp bán dẫn oxit bao gồm màng bán dẫn oxit tinh thể thẳng trục c;

trong đó thiết bị bán dẫn này được tạo cấu hình sao cho, khi bóng bán dẫn thứ ba ở trạng thái bật, một trong số cấu hình thứ nhất hoặc cấu hình thứ hai được tạo ra, và một trong số cấu hình thứ nhất hoặc cấu hình thứ hai này được duy trì sau khi bóng bán dẫn thứ ba tắt;

trong đó cấu hình thứ nhất cho phép tín hiệu thứ nhất mà nhập vào từ một điện cực còn lại trong số điện cực nguồn thứ nhất và điện cực máng thứ nhất được xuất ra tới đầu cuối của mạch logic bằng cách đi qua bóng bán dẫn thứ nhất; và

trong đó cấu hình thứ hai cho phép tín hiệu thứ hai mà nhập vào từ một điện cực còn lại trong số điện cực nguồn thứ hai và điện cực máng thứ hai được xuất ra tới đầu cuối của mạch logic bằng cách đi qua bóng bán dẫn thứ hai.

19. Thiết bị bán dẫn theo điểm 18, khác biệt ở chỗ, trong đó loại dẫn điện của bóng bán dẫn thứ nhất và loại dẫn điện của bóng bán dẫn thứ hai khác nhau.

20. Thiết bị bán dẫn theo điểm 18, khác biệt ở chỗ, thiết bị này còn bao gồm tụ điện được nối điện với điện cực cổng thứ nhất và điện cực cổng thứ hai.

21. Thiết bị bán dẫn theo điểm 18, khác biệt ở chỗ, thiết bị này còn bao gồm màng cách ly xen giữa bóng bán dẫn thứ ba và mỗi trong số bóng bán dẫn thứ nhất và bóng bán dẫn thứ hai, và giữa bóng bán dẫn thứ tư và mỗi trong số bóng bán dẫn thứ nhất và bóng bán dẫn thứ hai, bóng bán dẫn thứ ba và bóng bán dẫn thứ tư được tạo thành trên bóng bán dẫn thứ nhất và bóng bán dẫn thứ hai.

22. Thiết bị bán dẫn theo điểm 18, khác biệt ở chỗ, thiết bị này còn bao gồm:

mạch thứ nhất được nối điện với điện cực còn lại trong số điện cực nguồn thứ nhất và điện cực máng thứ nhất; và

mạch thứ hai được nối điện với điện cực còn lại trong số điện cực nguồn thứ hai và điện cực máng thứ hai.

23. Thiết bị logic lập trình được bao gồm thiết bị bán dẫn theo điểm 18.

24. Thiết bị điện tử bao gồm thiết bị bán dẫn theo điểm 18.

25. Thiết bị bán dẫn theo điểm 18,

trong đó, điện cực còn lại trong số điện cực nguồn thứ ba và điện cực máng thứ ba được tạo cấu hình để được cung cấp điện thế; và

trong đó, một trong số cấu hình thứ nhất hoặc cấu hình thứ hai được xác định bởi điện thế này khi bóng bán dẫn thứ ba ở trạng thái bật.

26. Thiết bị bán dẫn theo điểm 25, trong đó điện thế này là thay đổi.

FIG. 1A

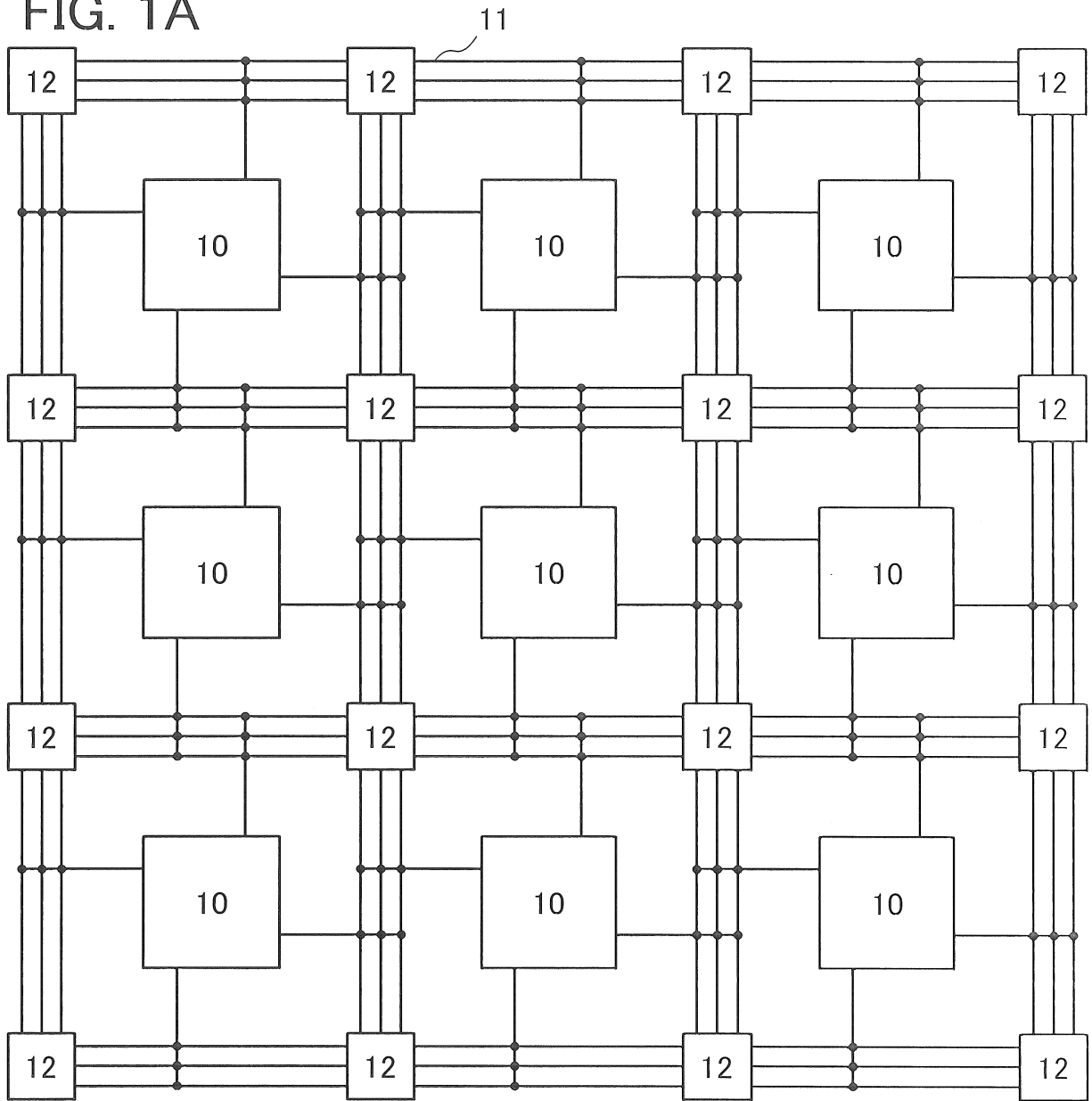


FIG. 1B

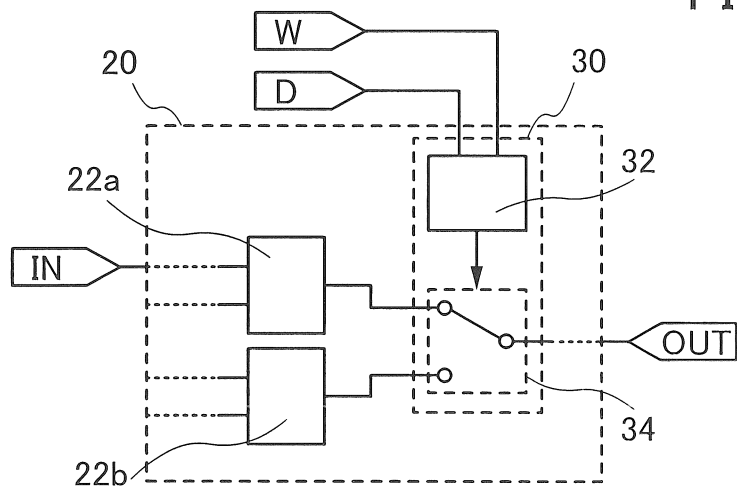


FIG. 1C

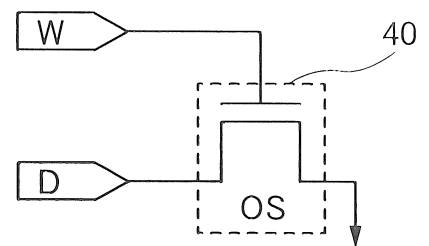


FIG. 2A

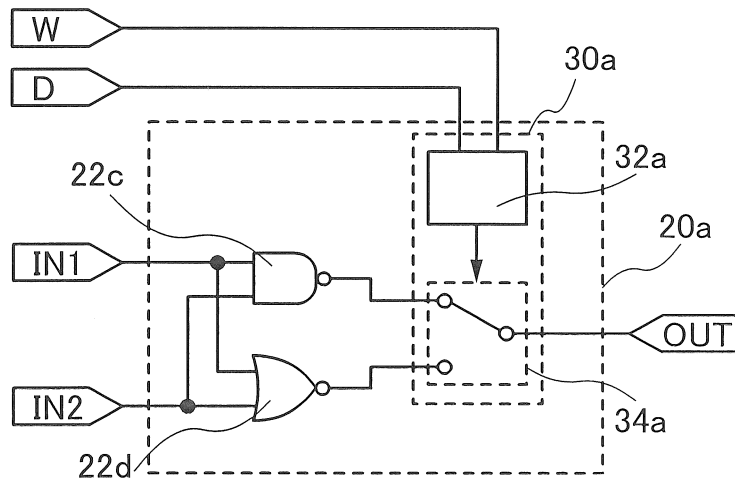


FIG. 2B

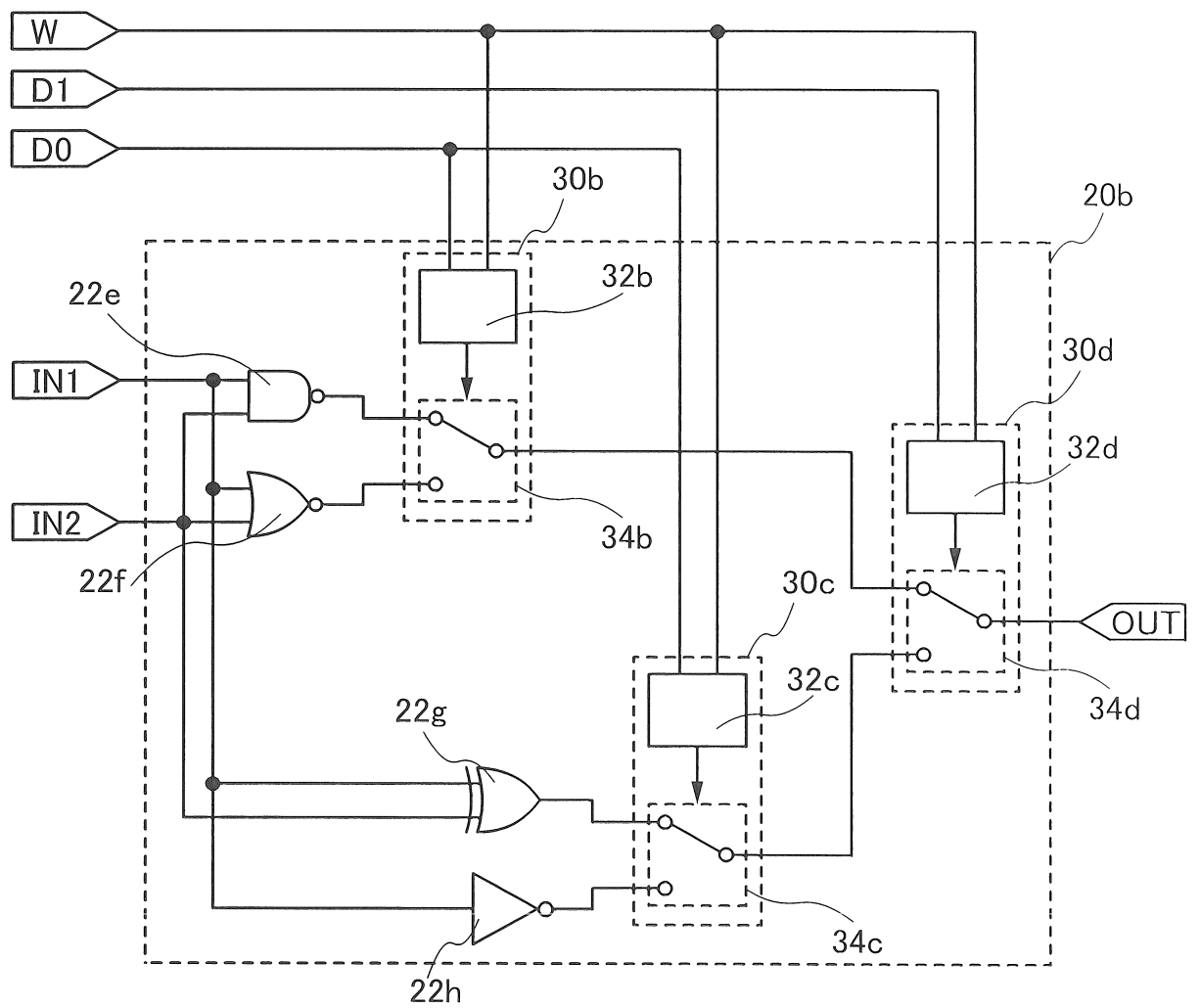


FIG. 3A

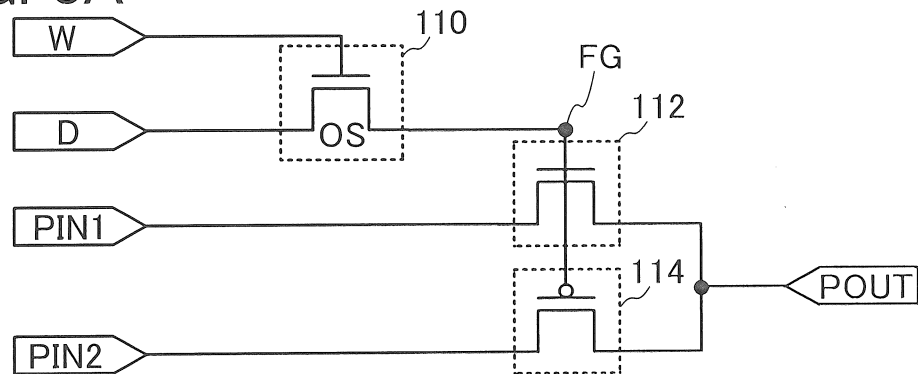


FIG. 3B

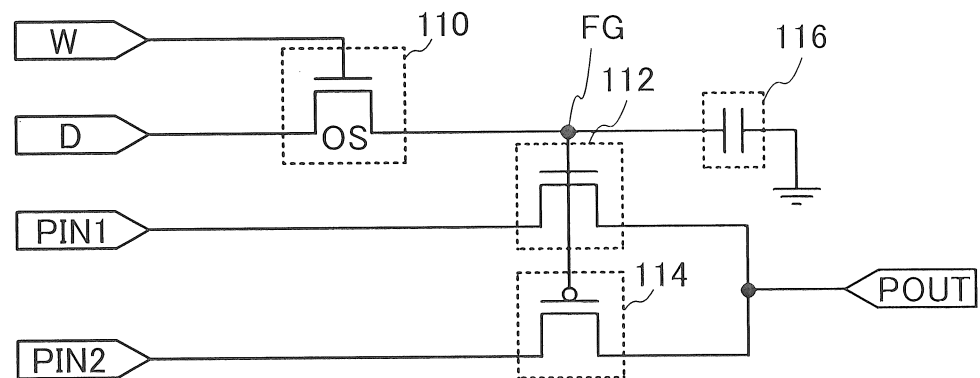


FIG. 3C

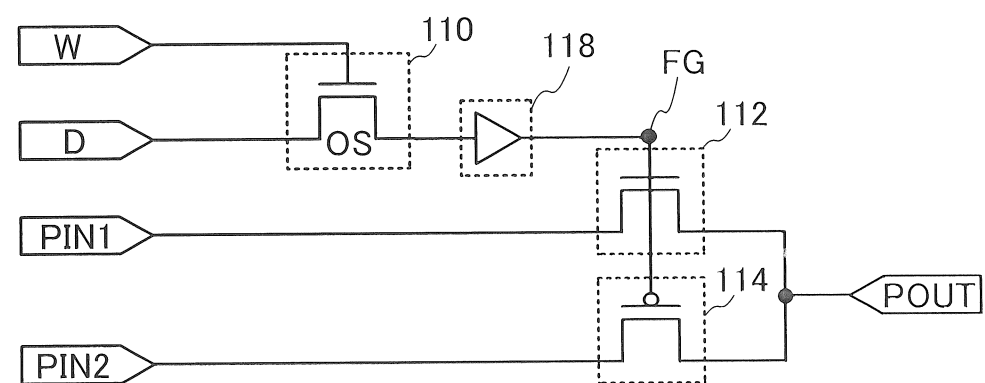


FIG. 3D

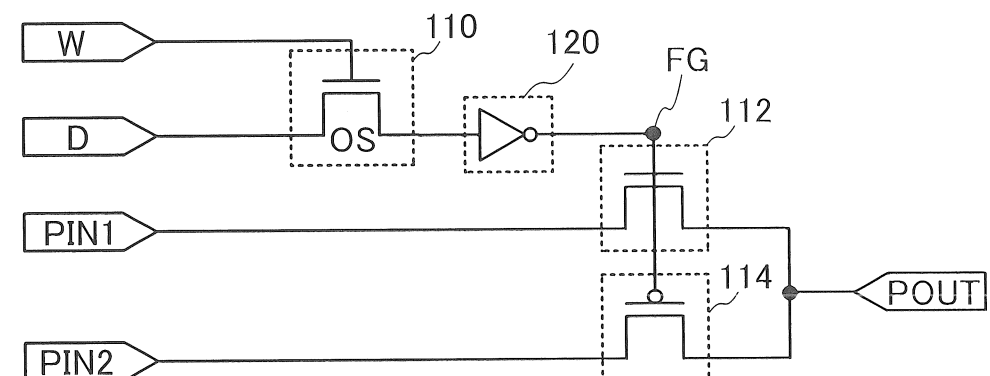


FIG. 4A

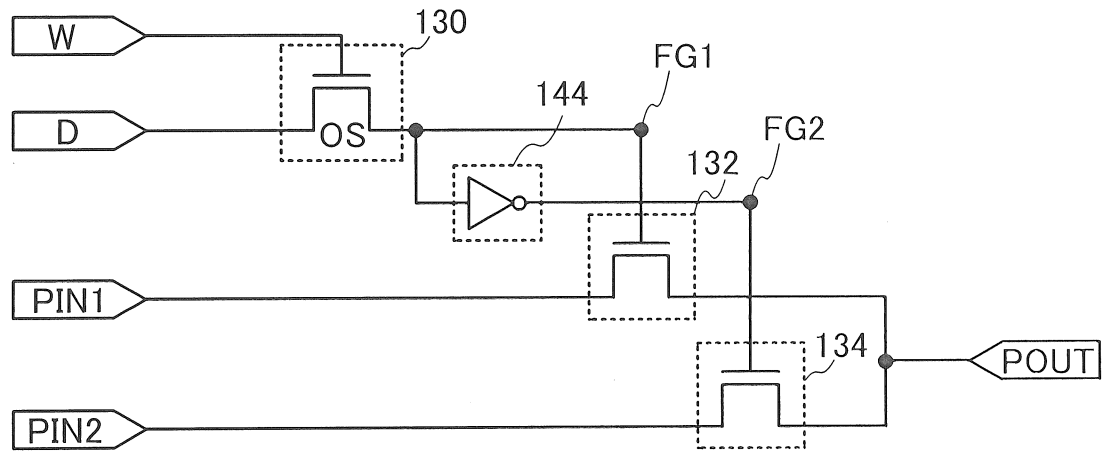


FIG. 4B

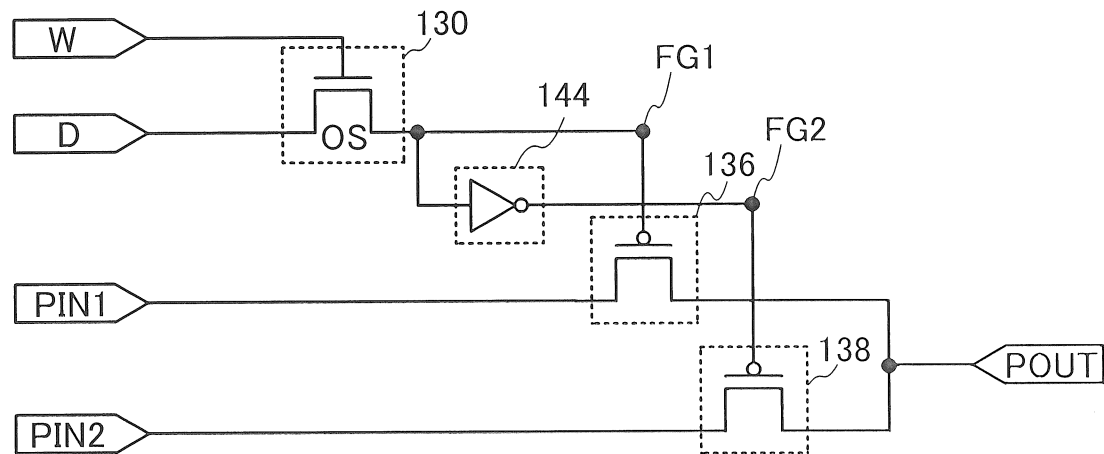


FIG. 4C

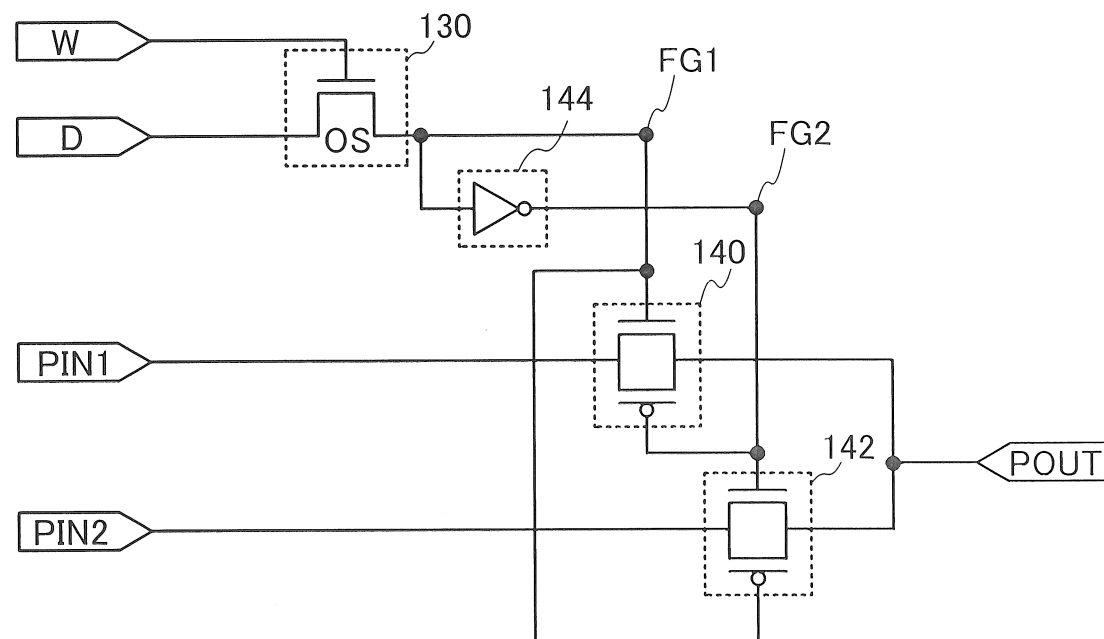


FIG. 5A

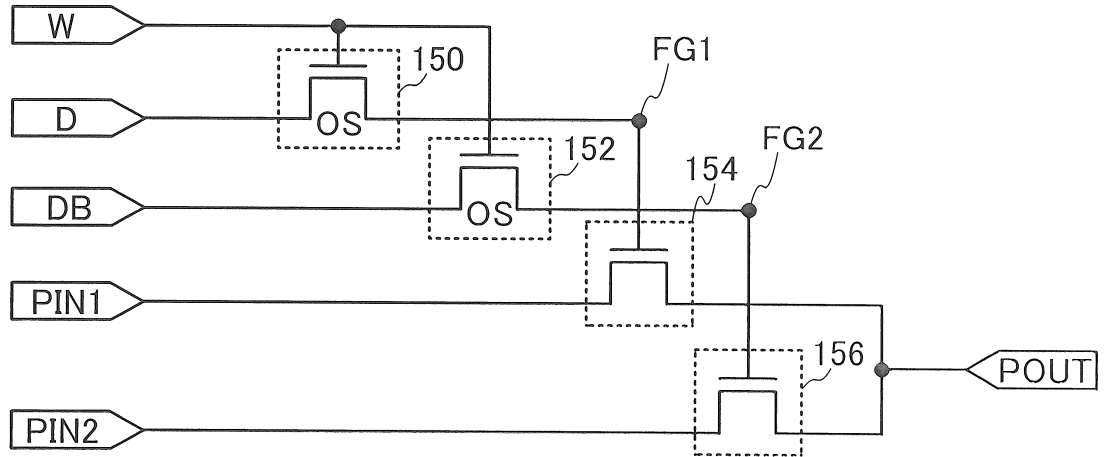


FIG. 5B

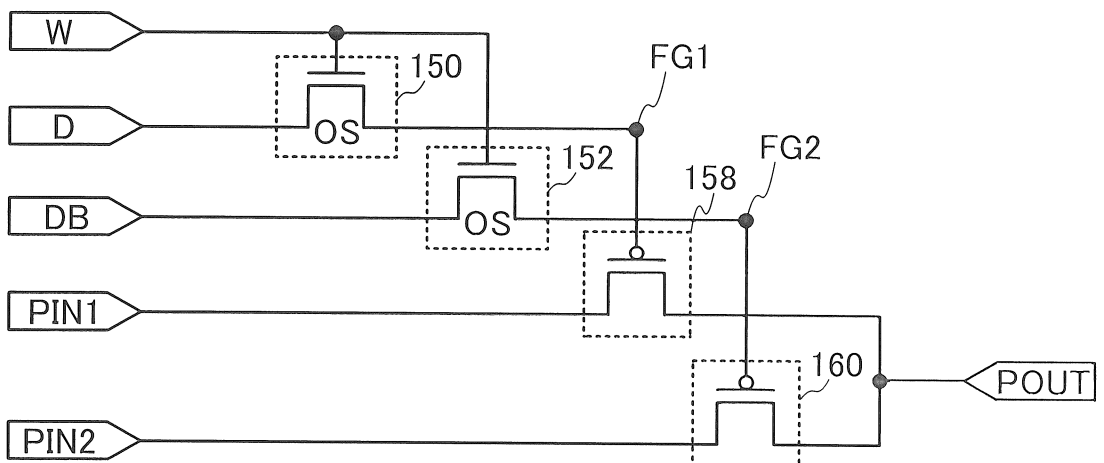


FIG. 5C

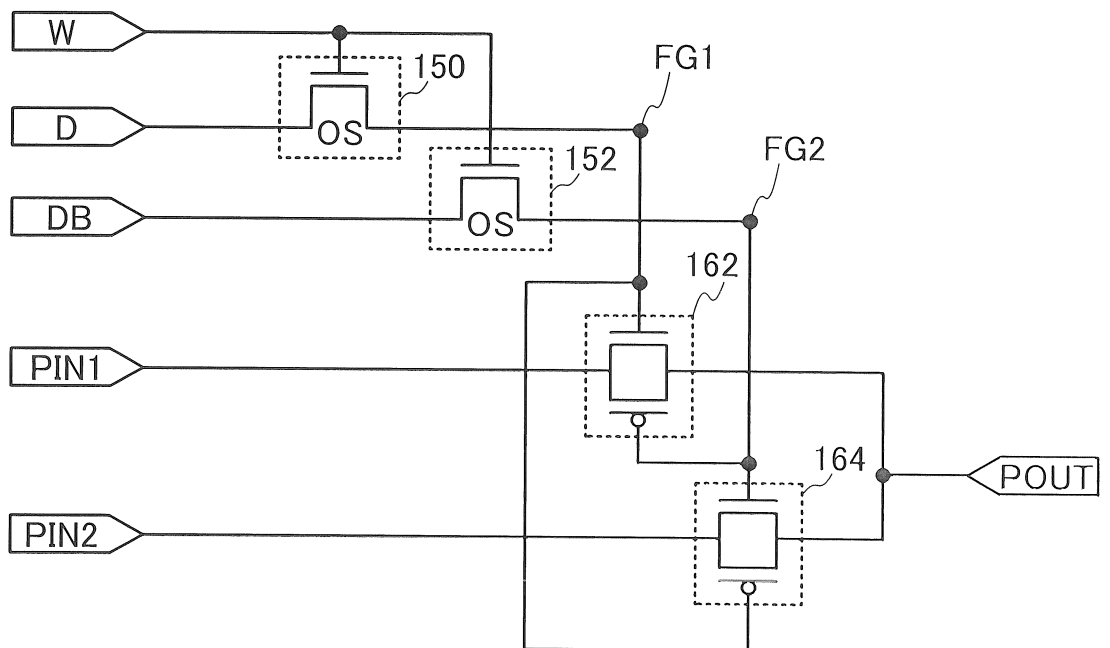


FIG. 6A

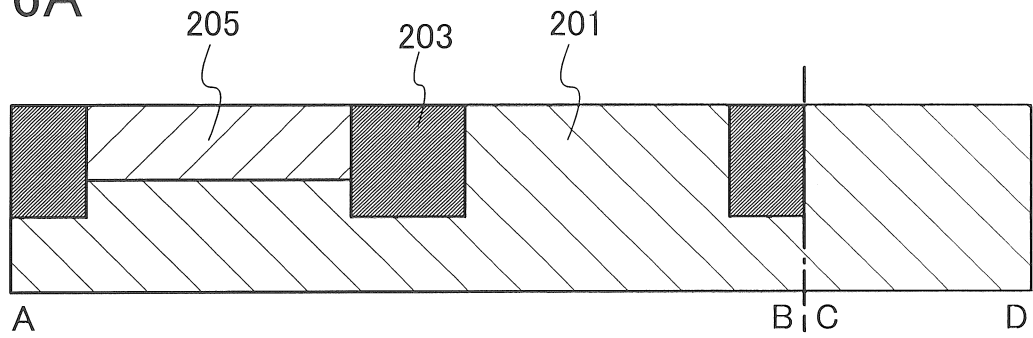


FIG. 6B

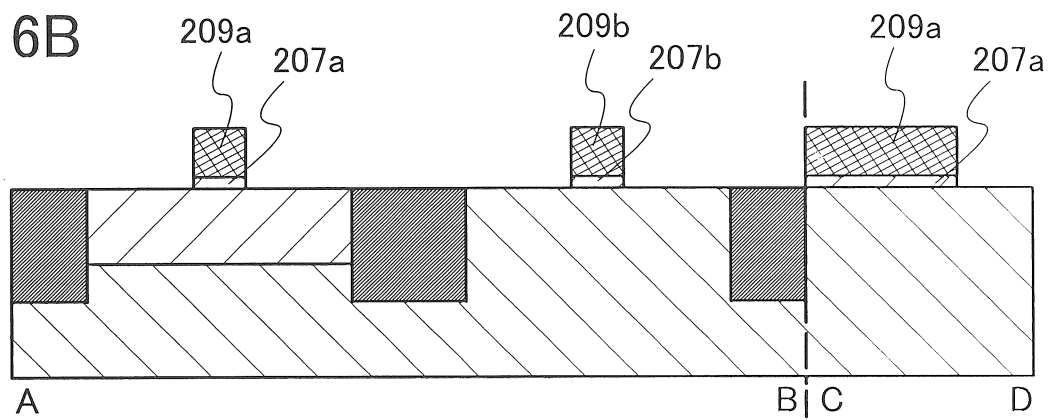


FIG. 6C

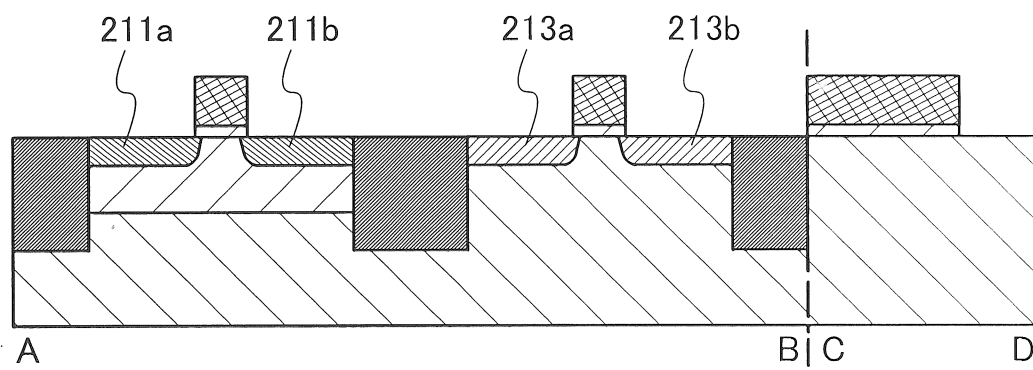


FIG. 6D

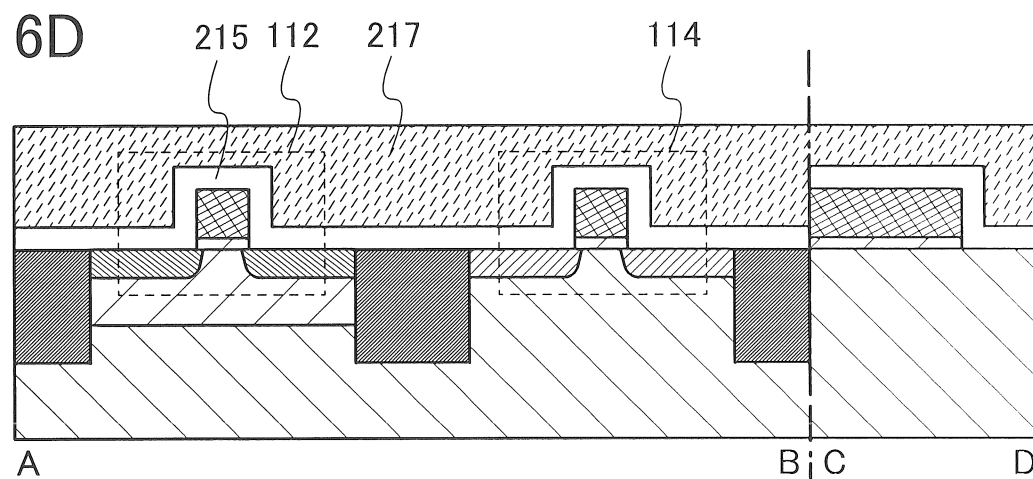


FIG. 7A

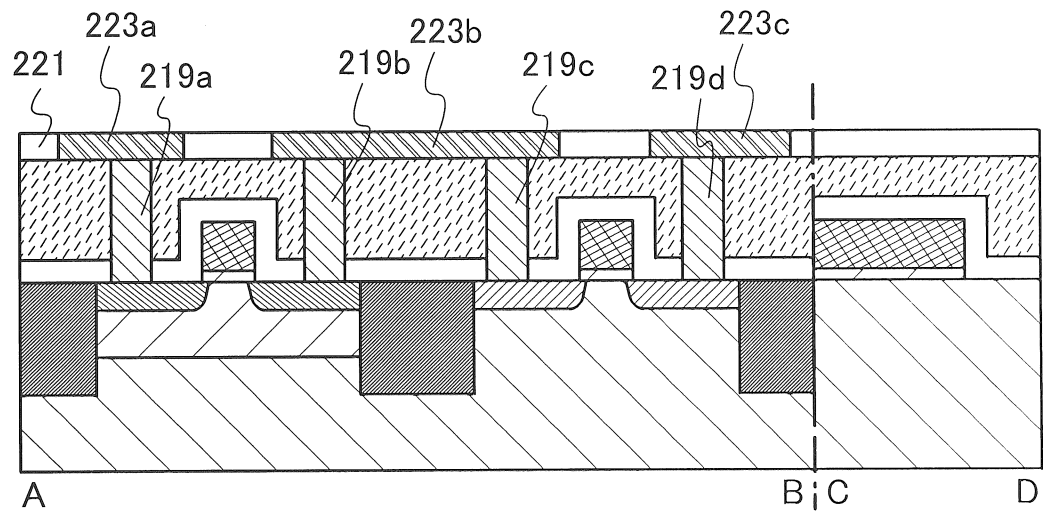


FIG. 7B

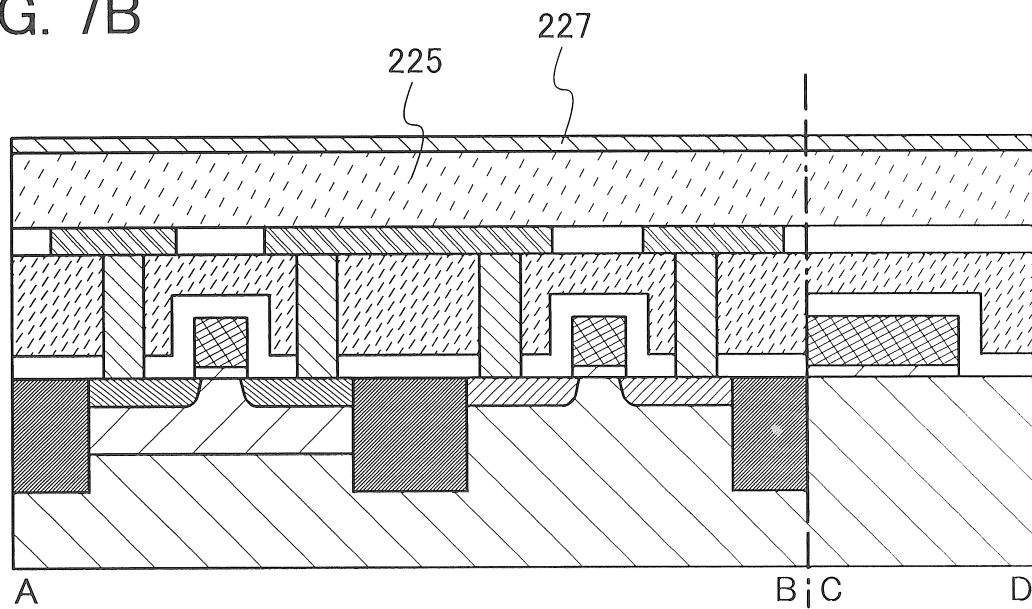


FIG. 8A

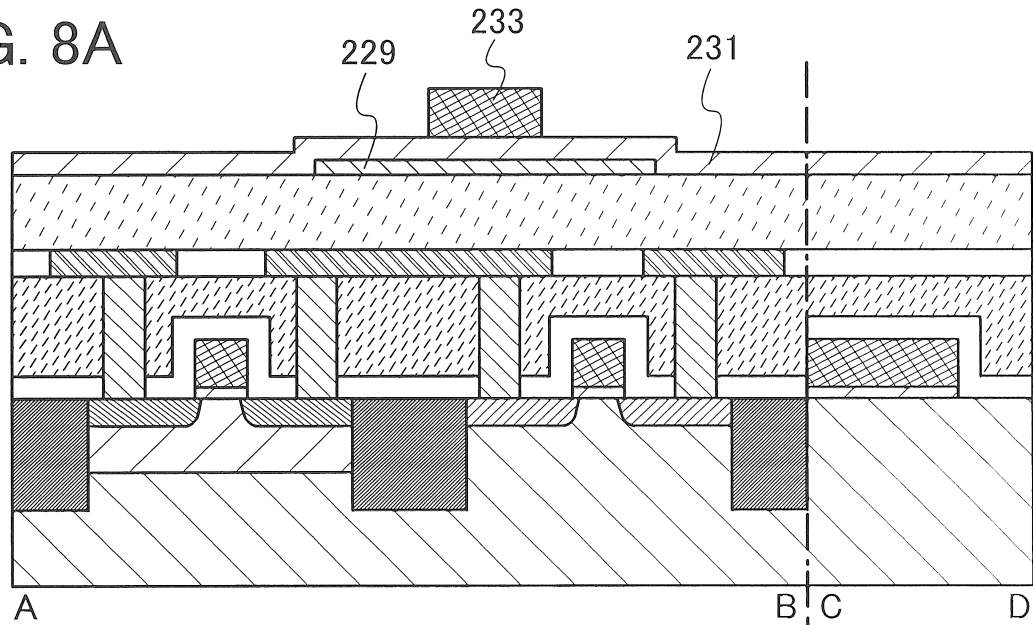


FIG. 8B

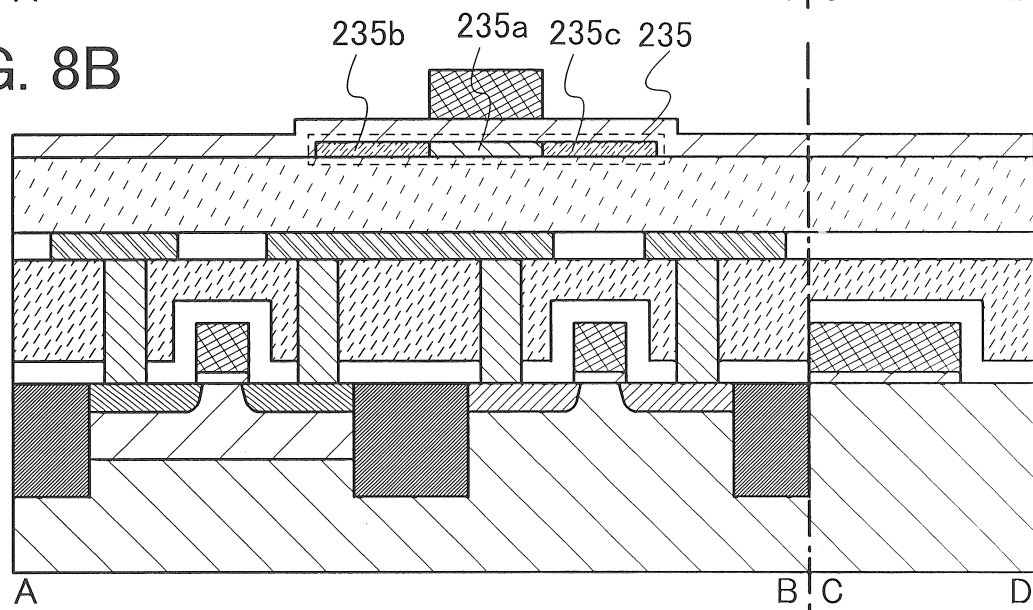


FIG. 8C

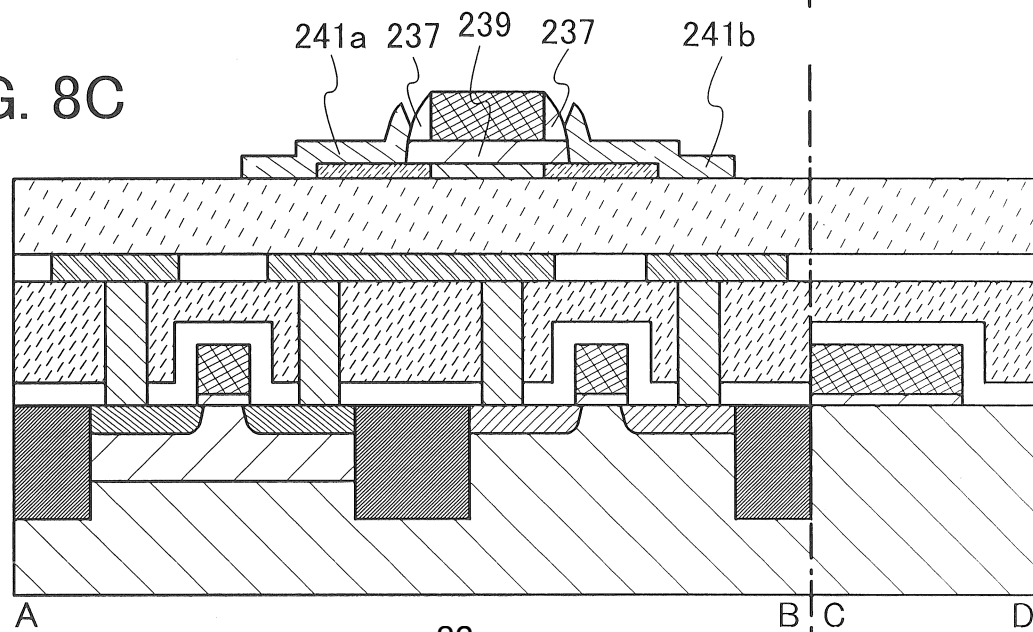


FIG. 9A

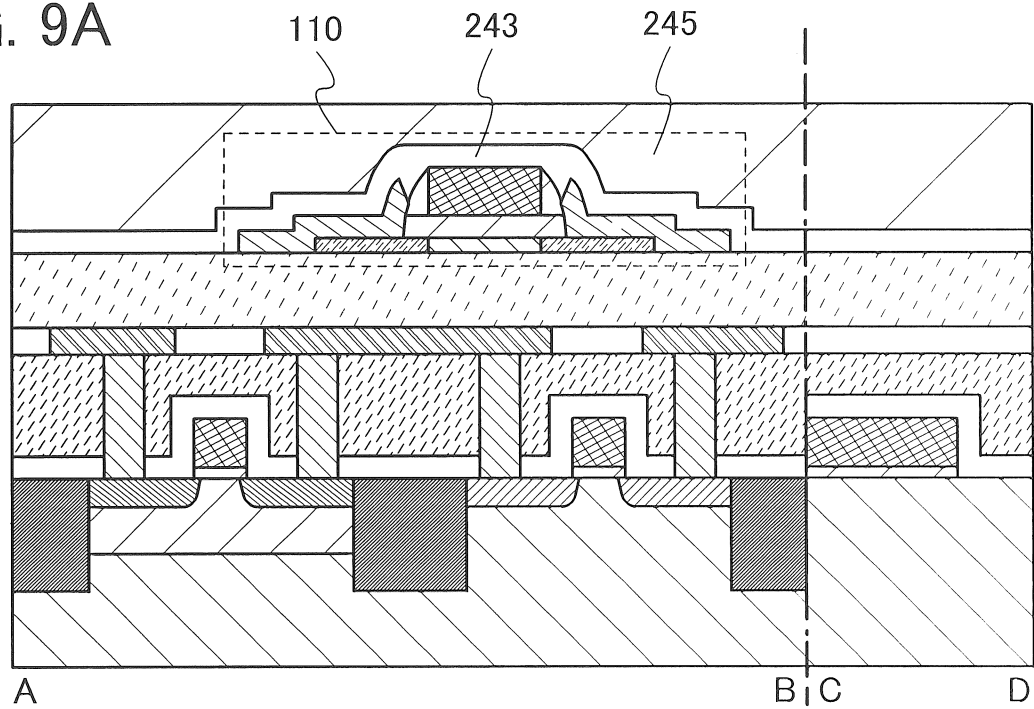


FIG. 9B

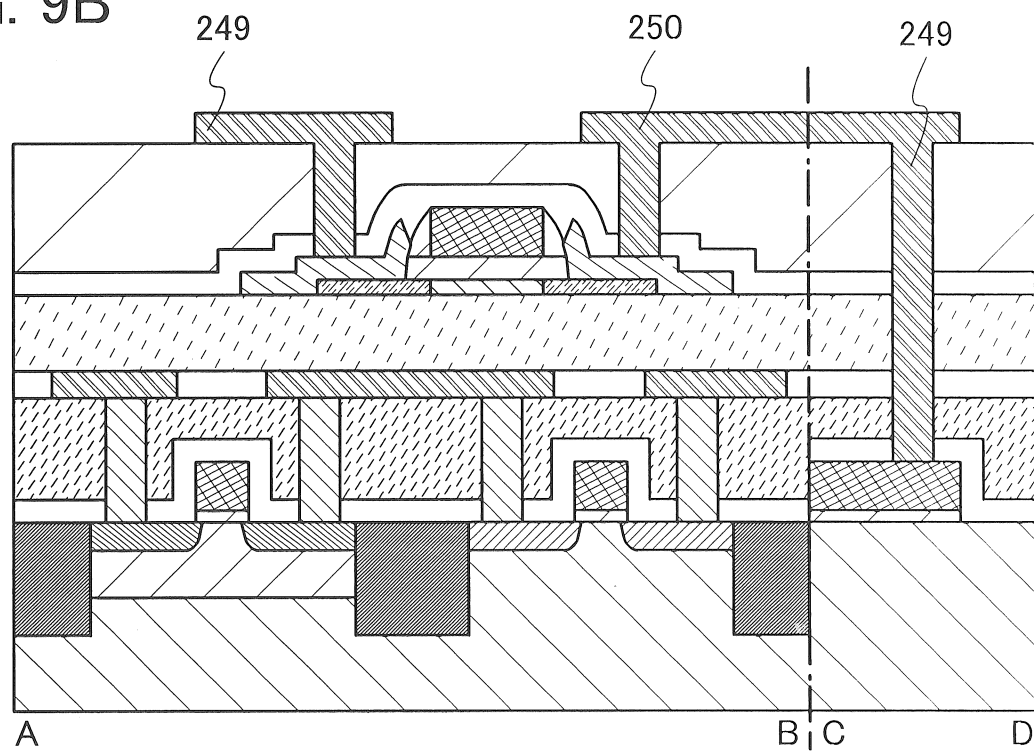


FIG. 10

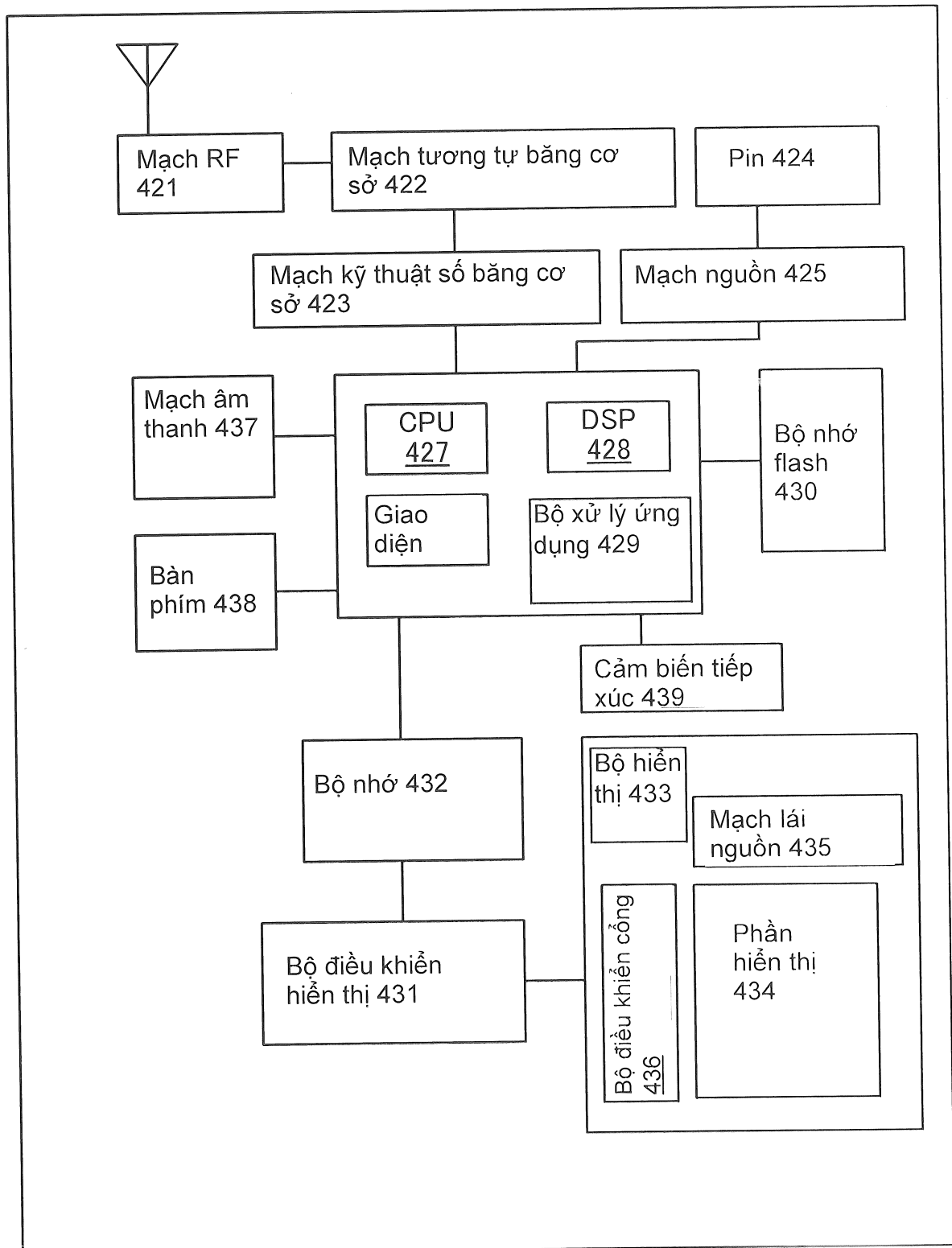


FIG. 11

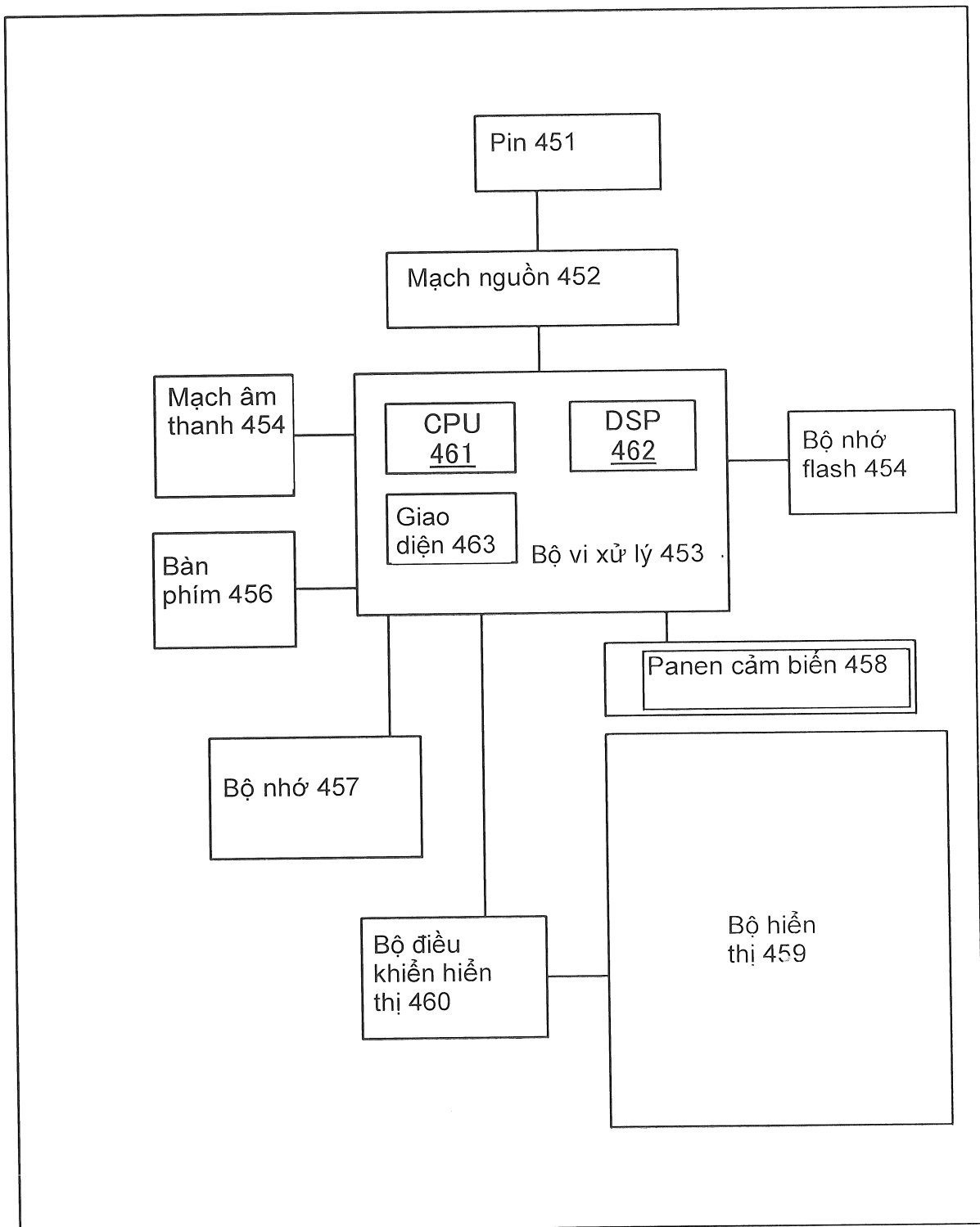


FIG. 12A

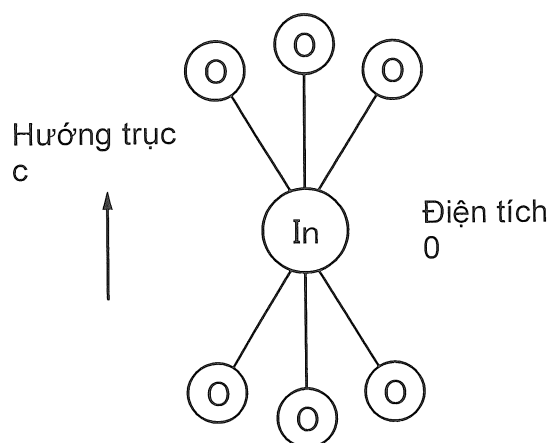


FIG. 12D

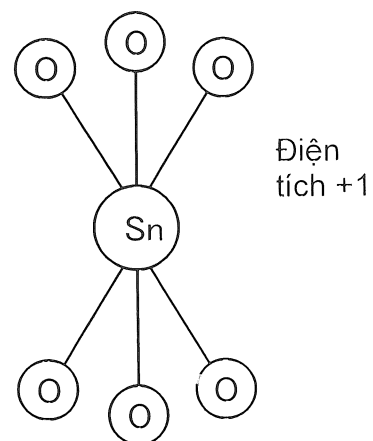


FIG. 12B

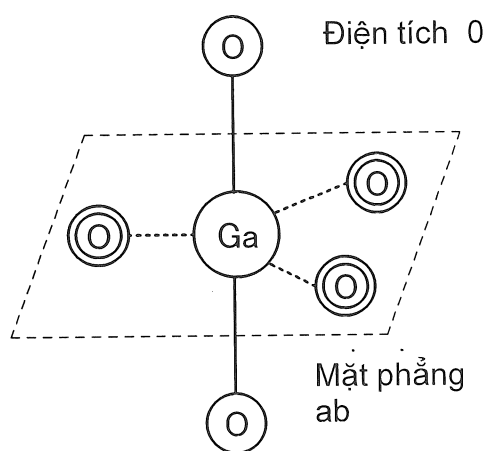


FIG. 12E

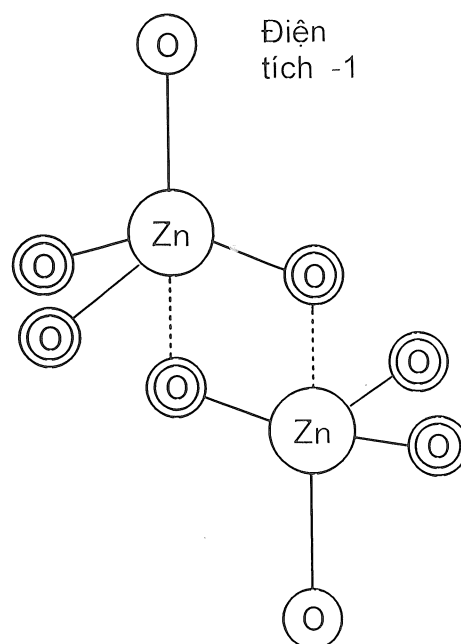


FIG. 12C

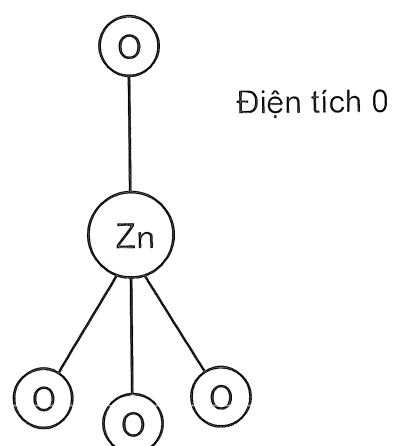


FIG. 13A

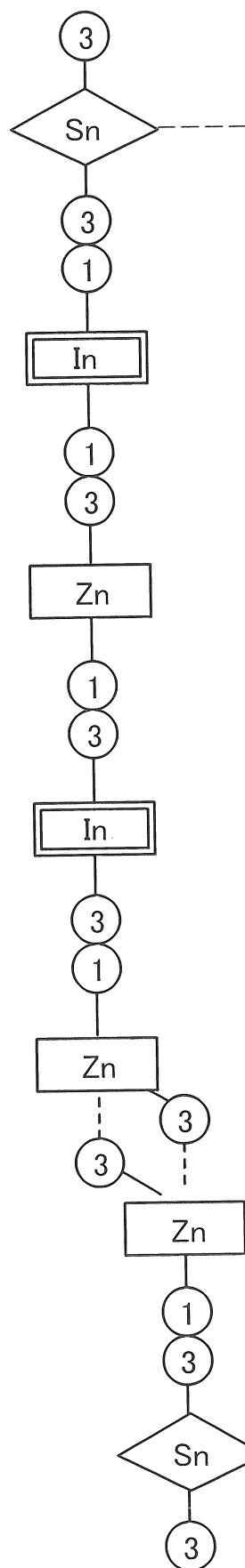


FIG. 13B

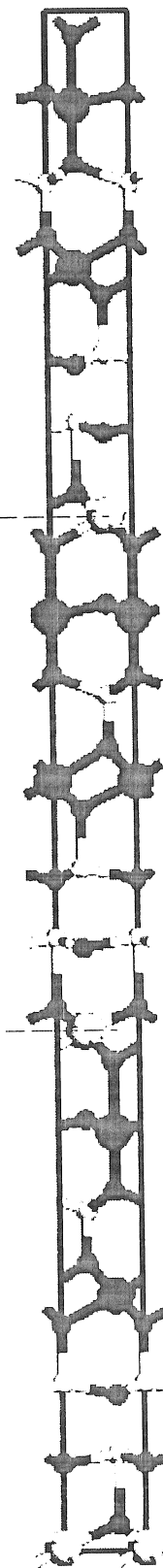


FIG. 13C

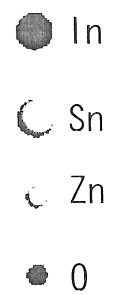
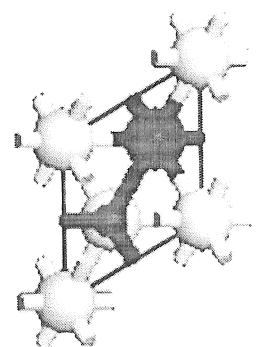


FIG. 14A

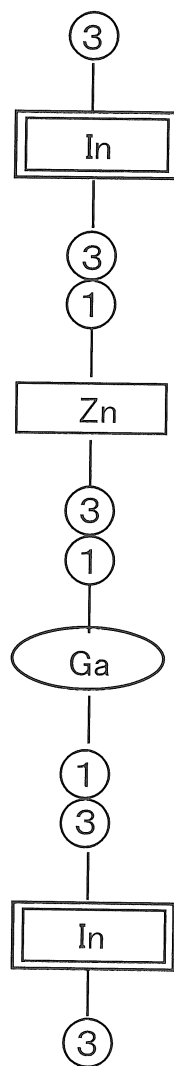


FIG. 14B

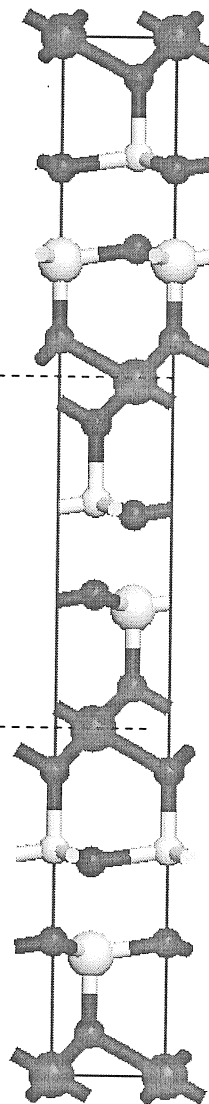


FIG. 14C

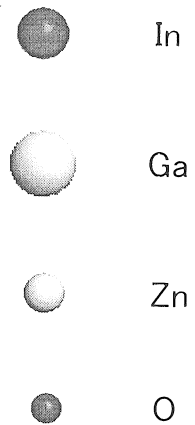
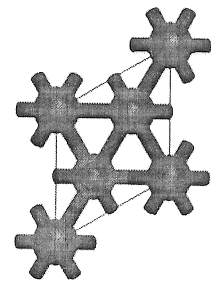


FIG. 15

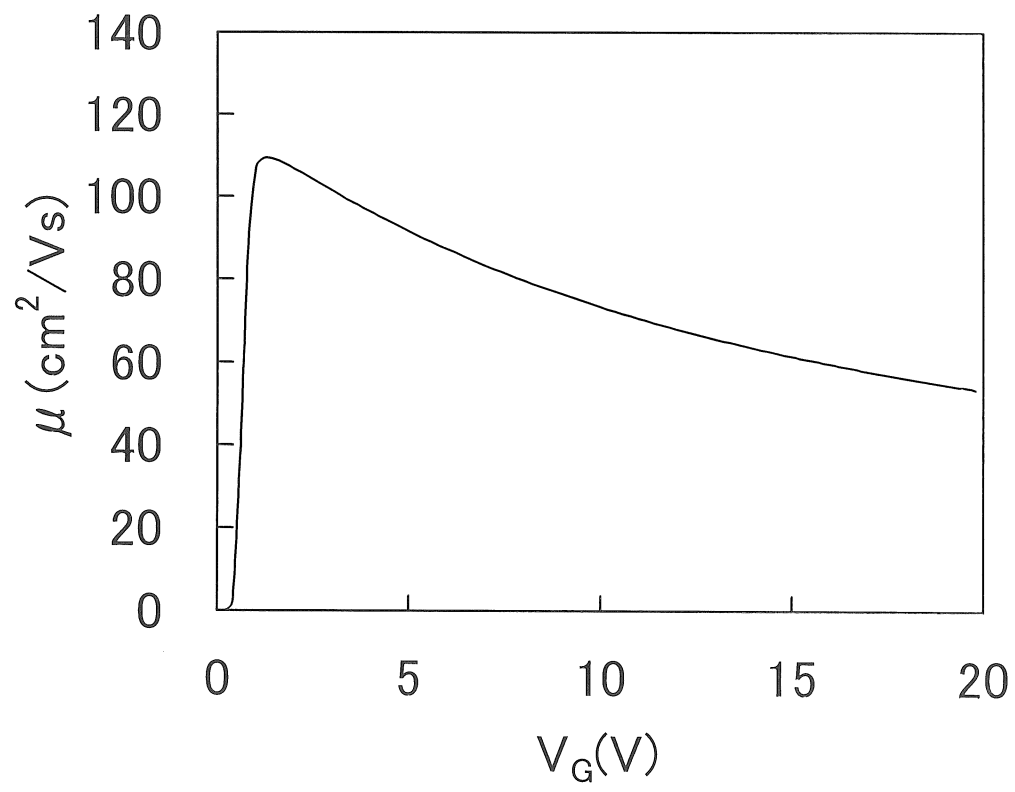


FIG. 16A

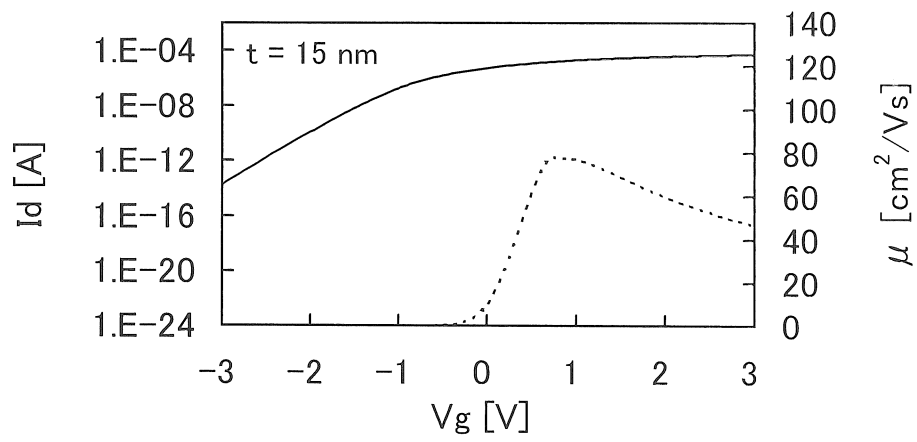


FIG. 16B

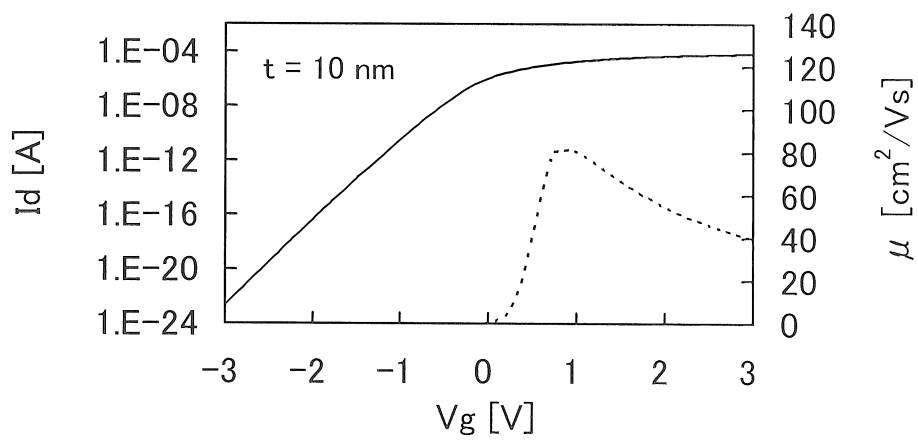


FIG. 16C

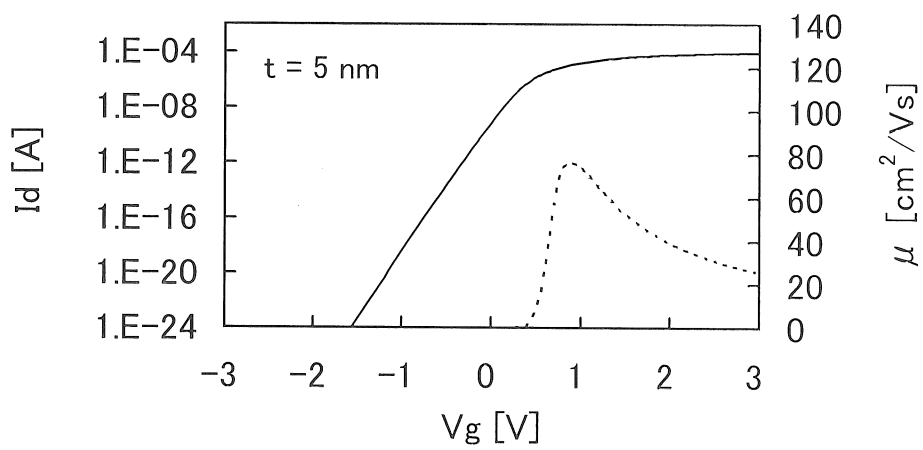


FIG. 17A

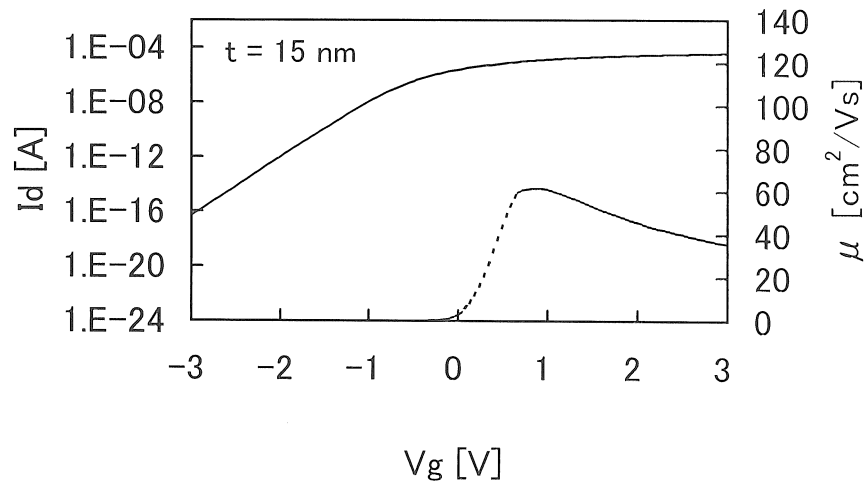


FIG. 17B

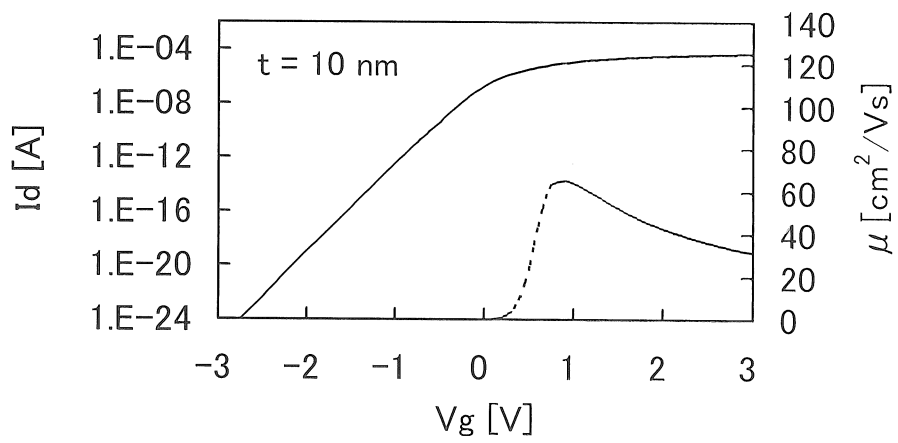


FIG. 17C

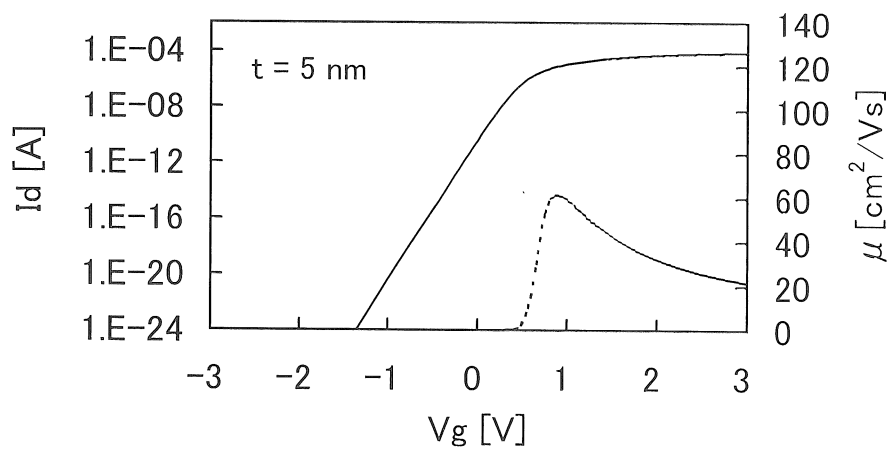


FIG. 18A

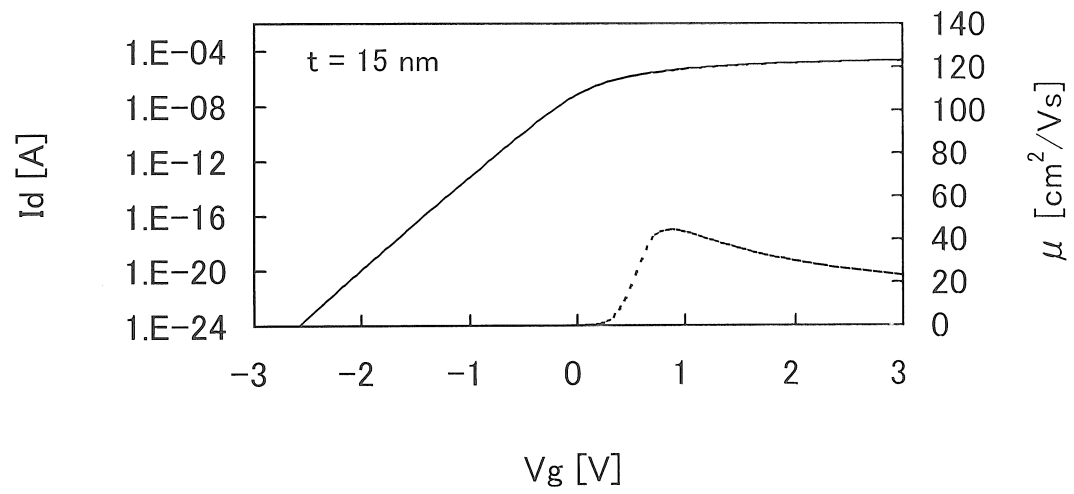


FIG. 18B

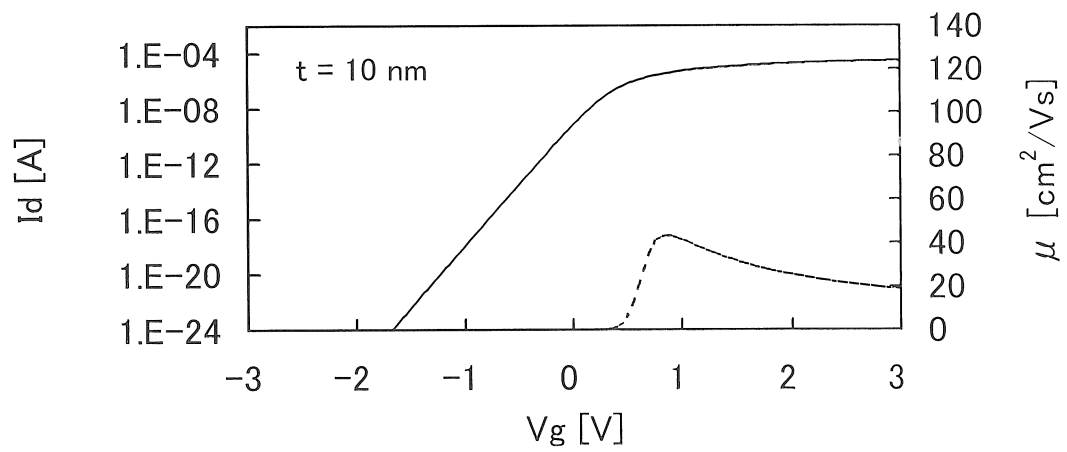


FIG. 18C

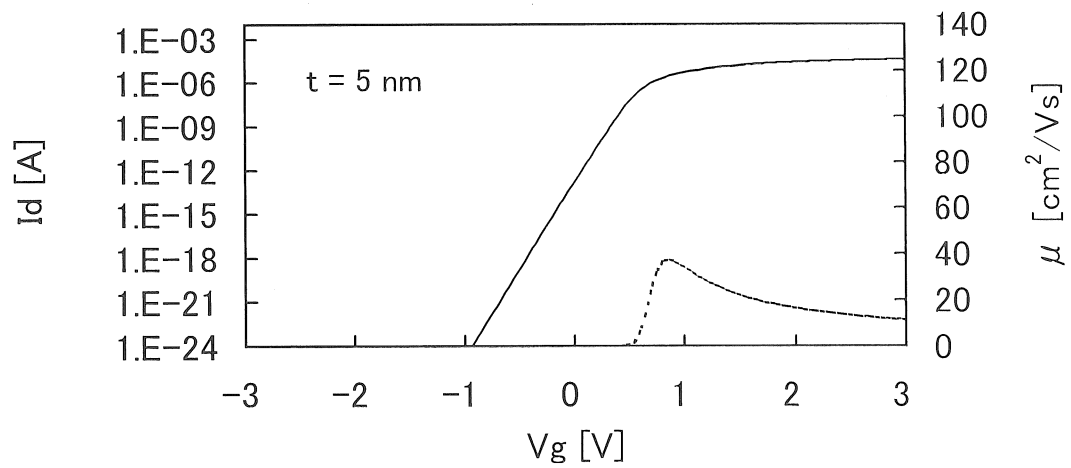


FIG. 19A

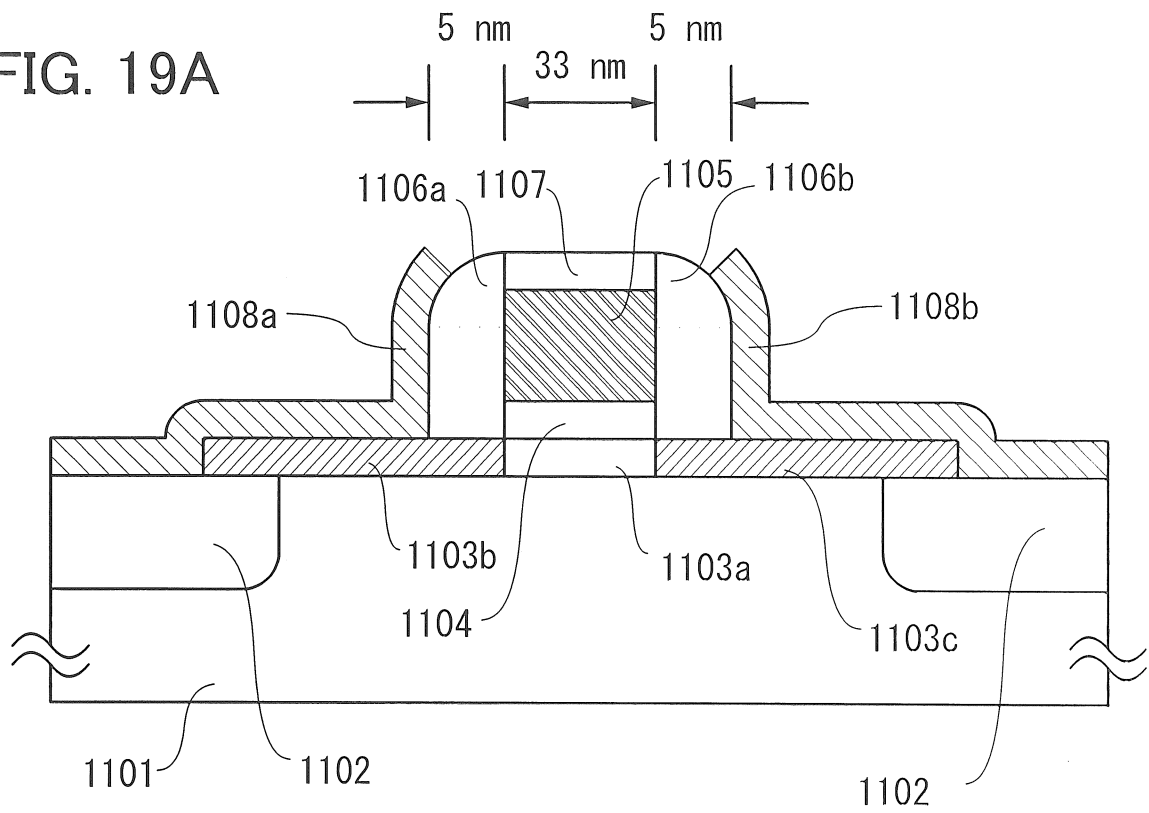


FIG. 19B

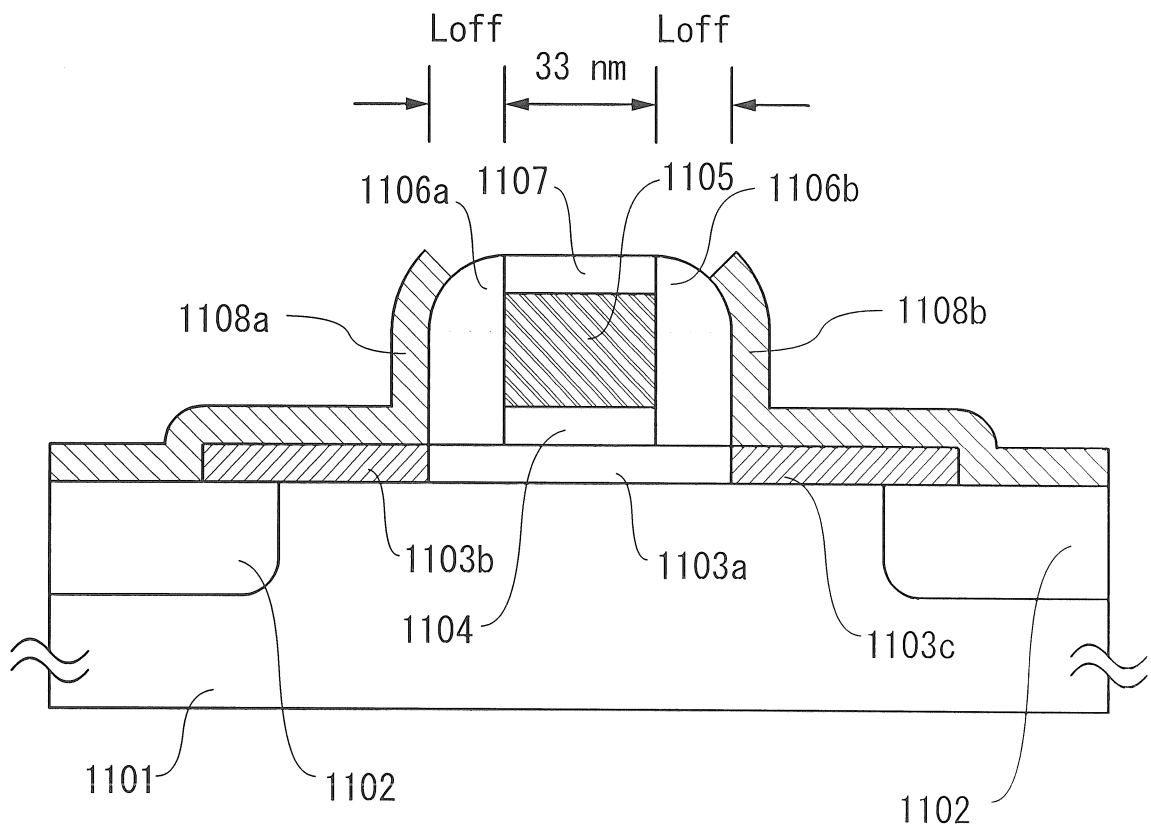


FIG. 20A

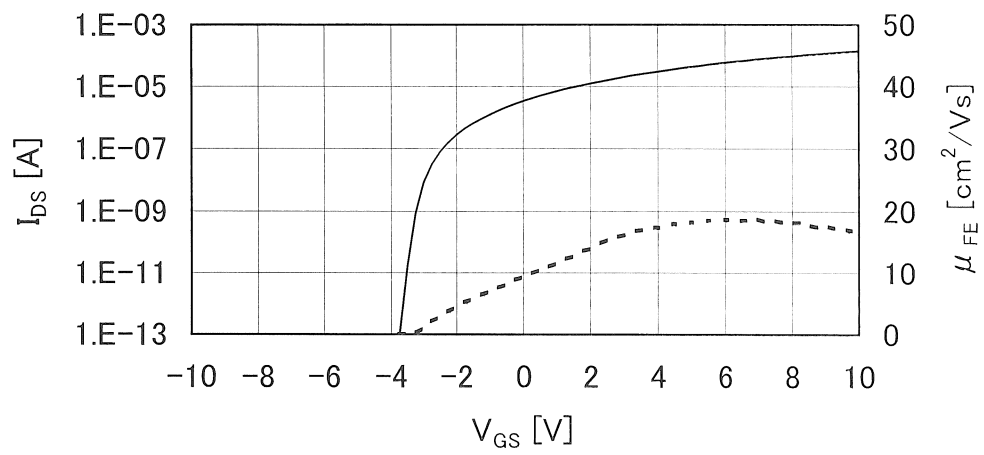


FIG. 20B

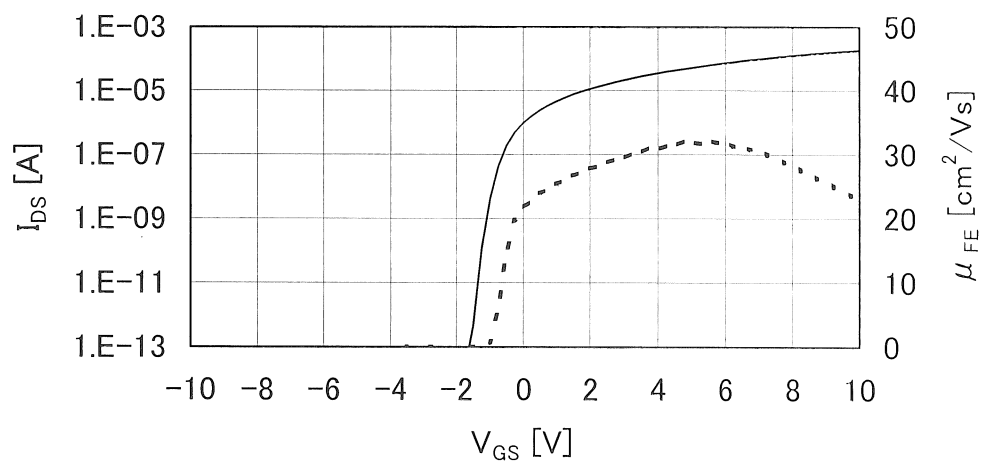


FIG. 20C

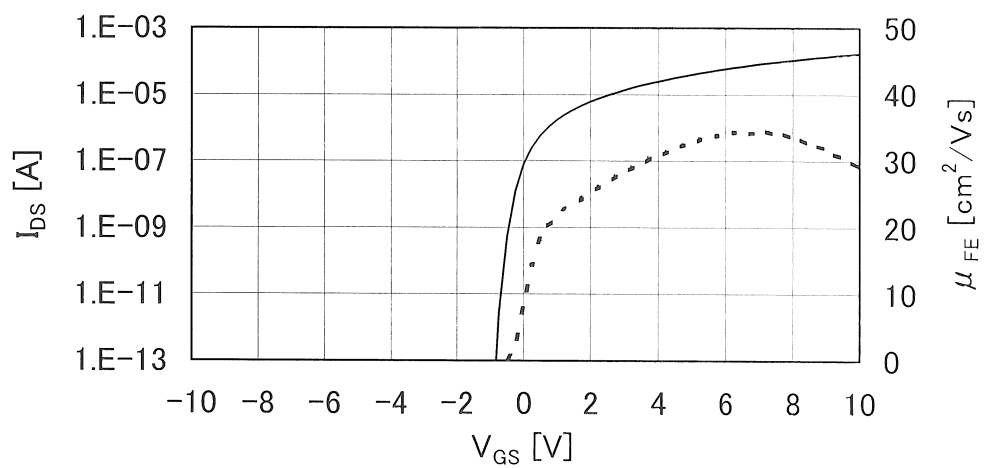


FIG. 21

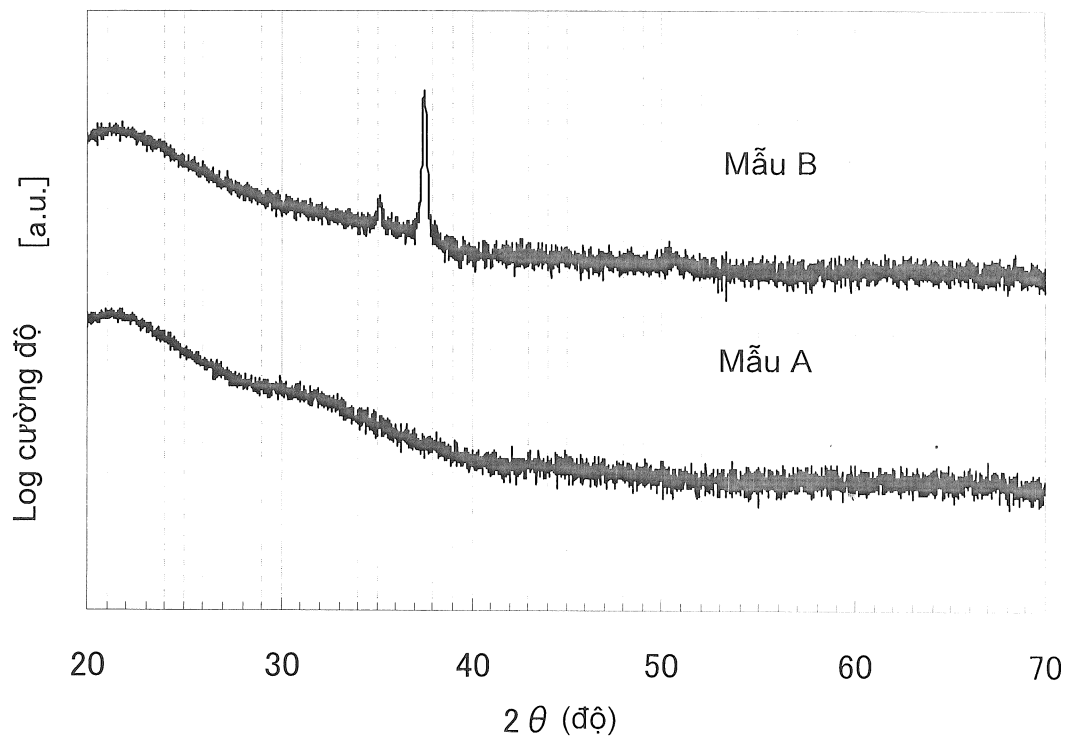


FIG. 22

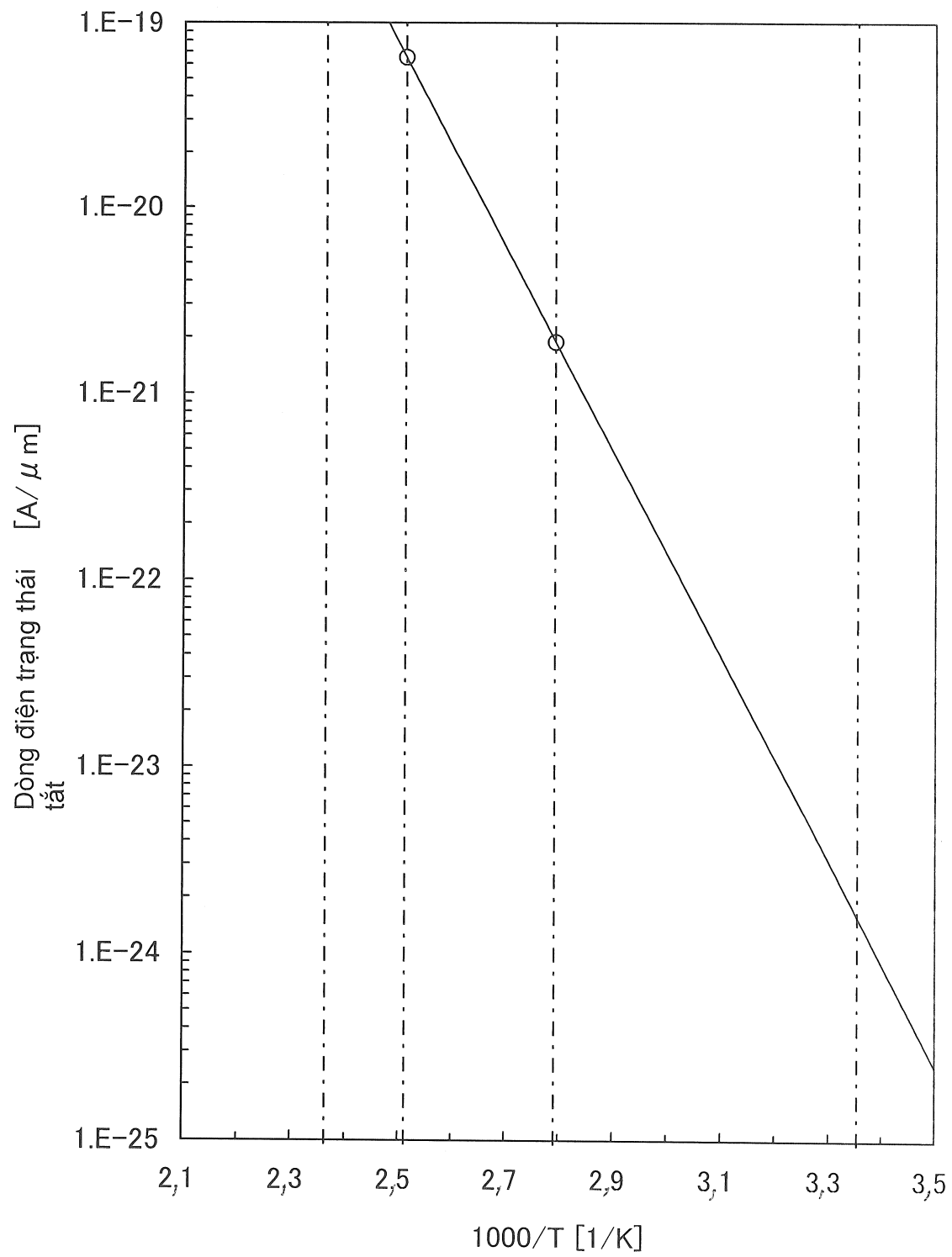


FIG. 23

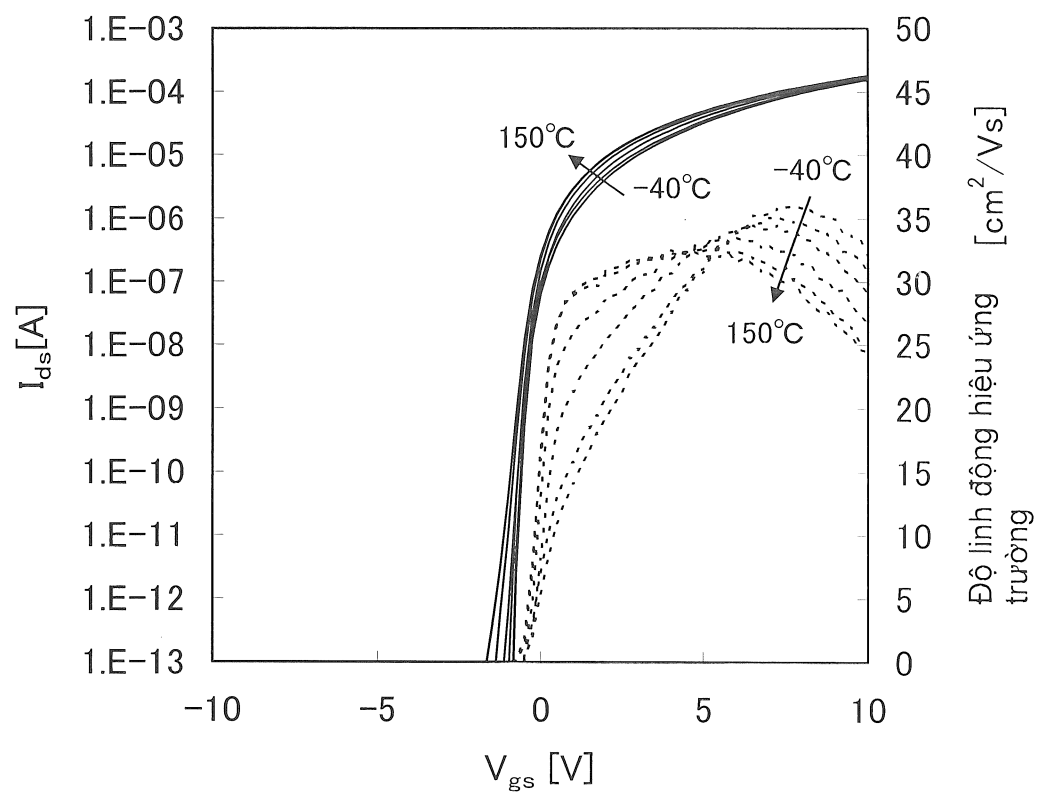


FIG. 24A

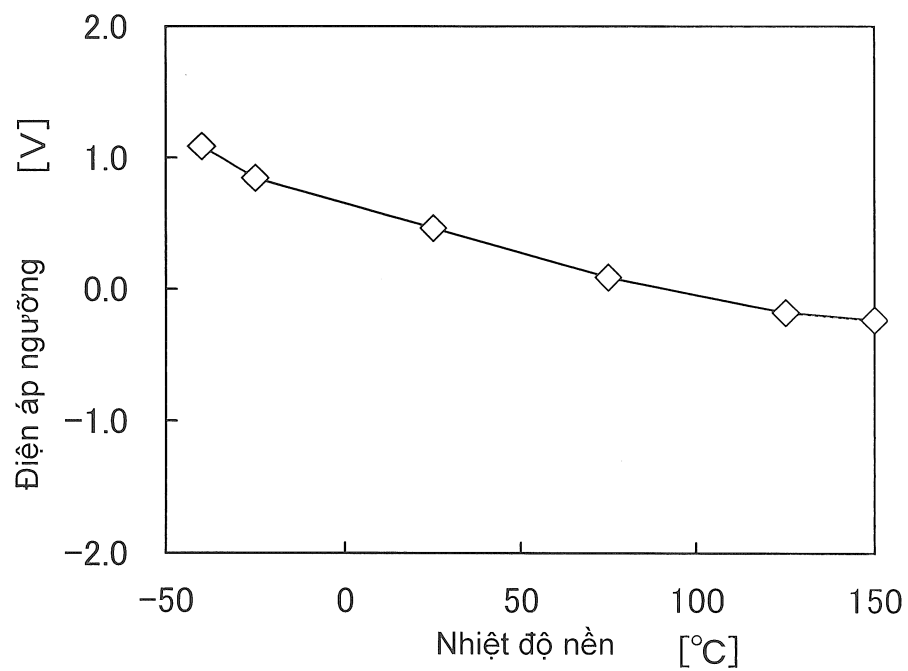


FIG. 24B

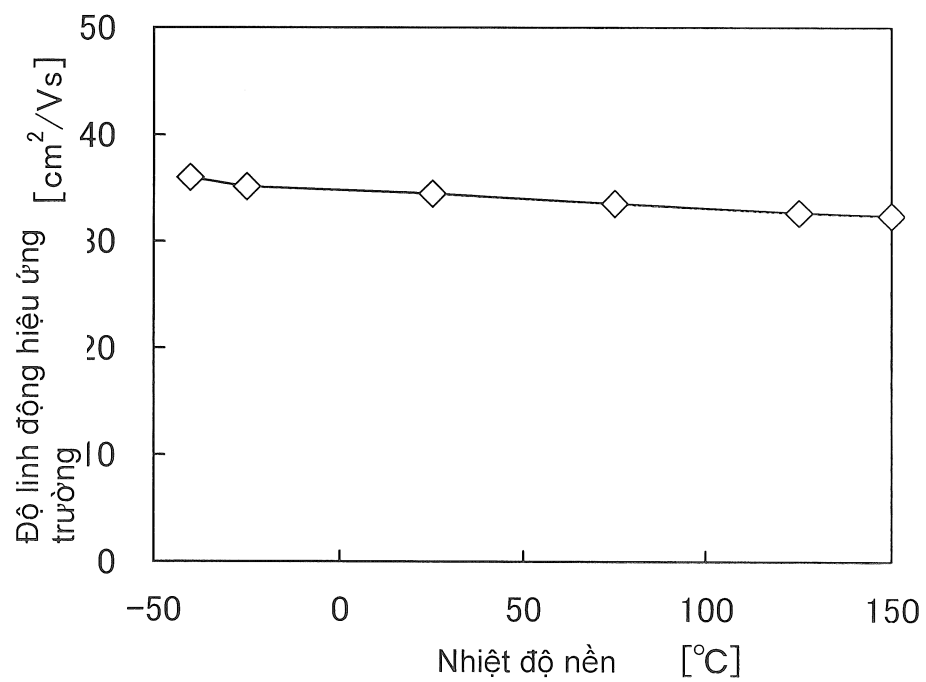


FIG. 25A

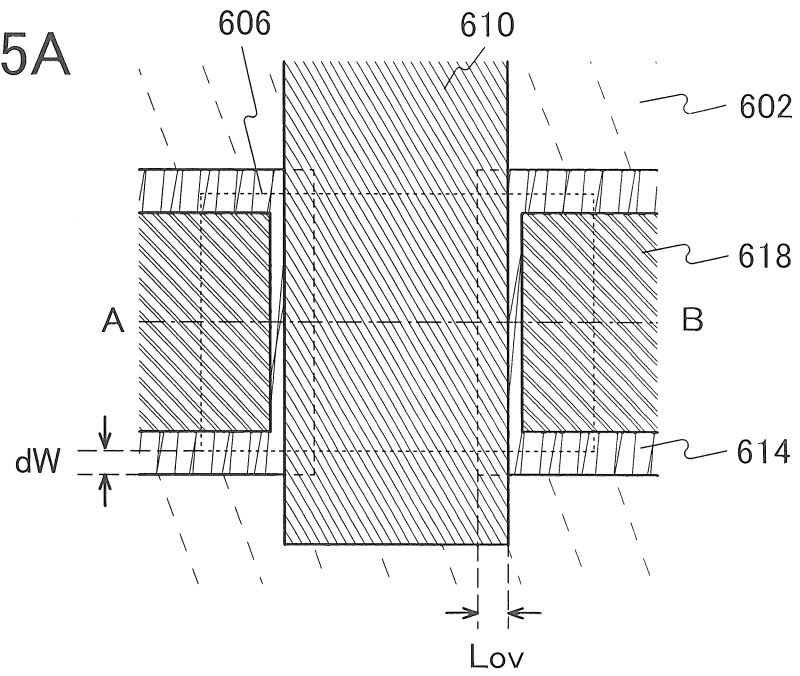


FIG. 25B

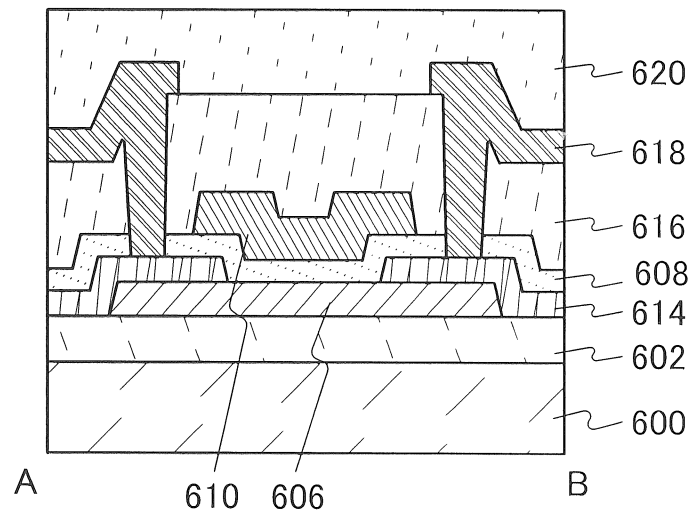


FIG. 26A

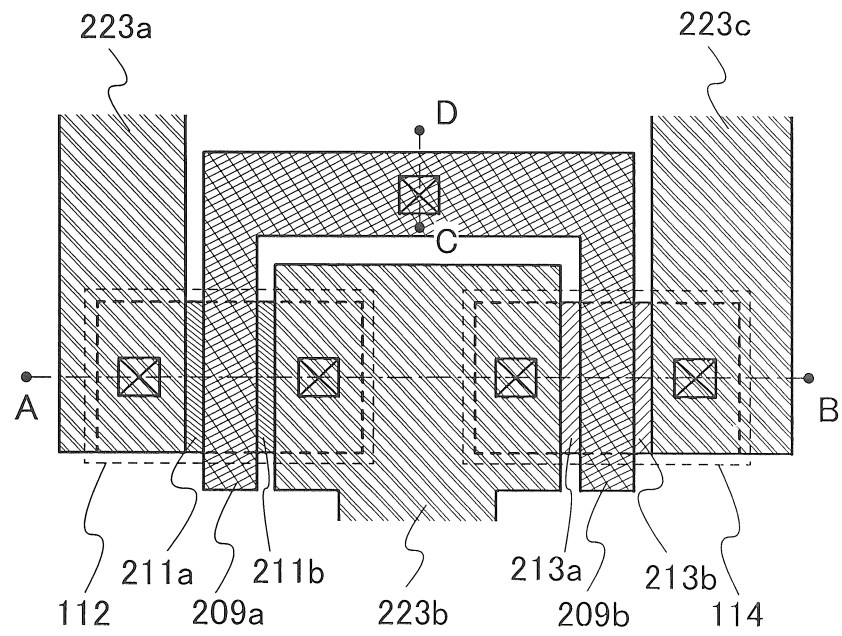


FIG. 26B

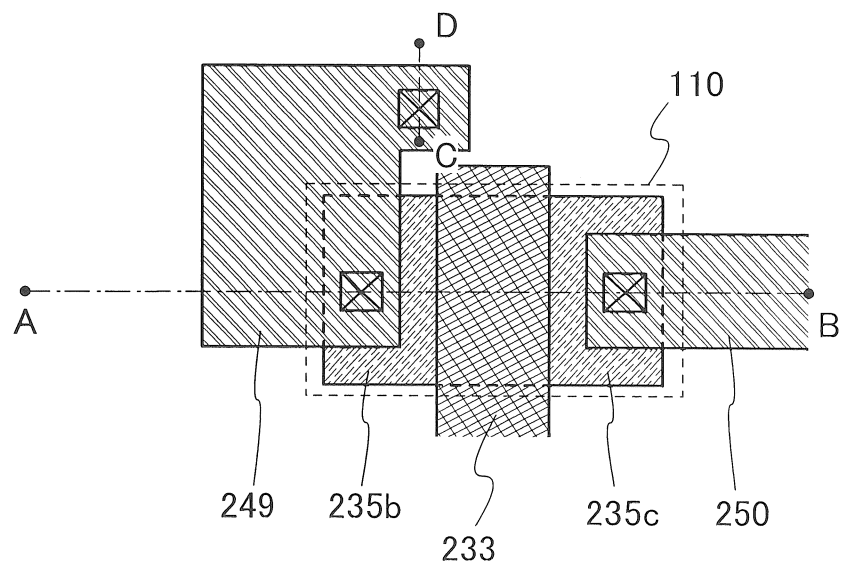


FIG. 27

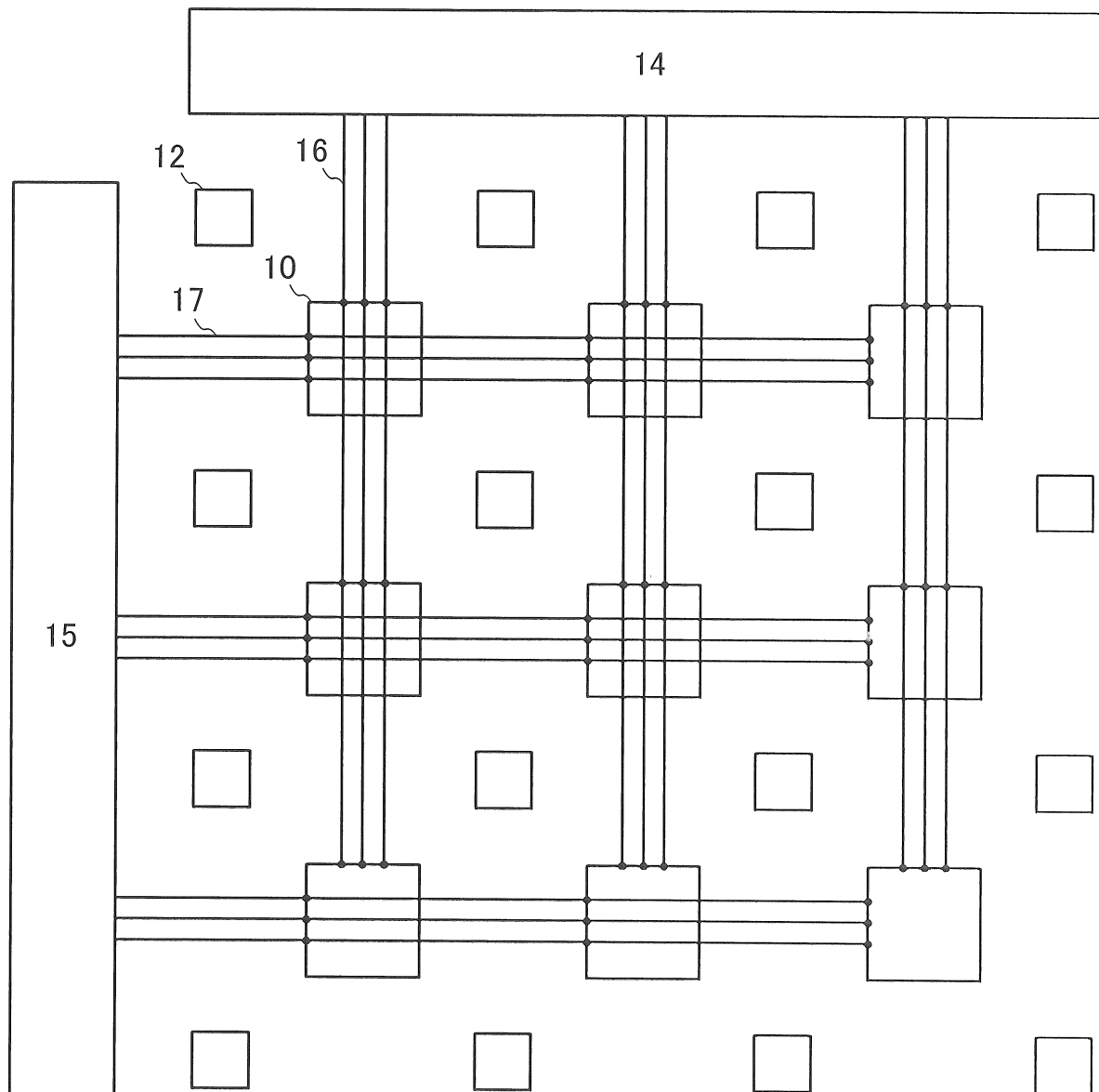


FIG. 28A

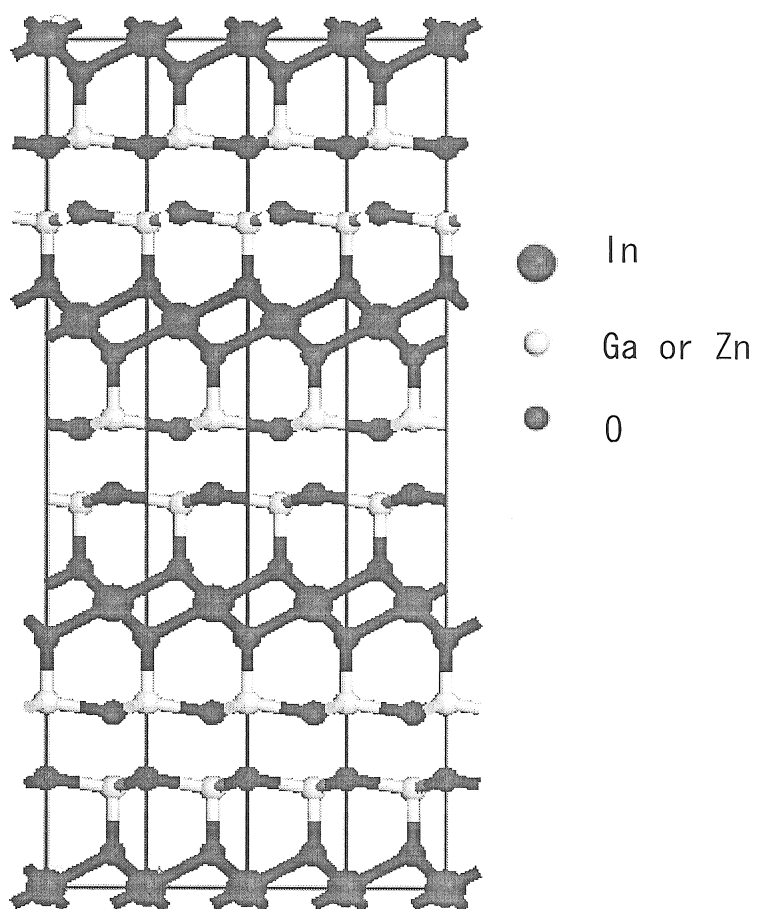


FIG. 28B

