



(12) **BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ**

(19) **Cộng hòa xã hội chủ nghĩa Việt Nam (VN)**
CỤC SỞ HỮU TRÍ TUỆ

(11) 
1-0022323

(51)⁷ **H05K 3/46, 1/11, 3/40**

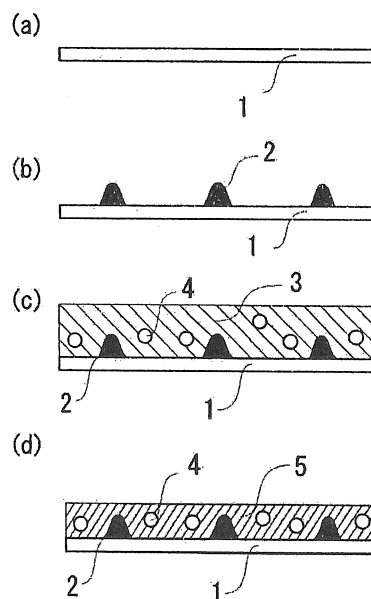
(13) **B**

(21) 1-2012-00334 (22) 30.07.2010
(86) PCT/JP2010/062870 30.07.2010 (87) WO2011/016394 10.02.2011
(30) 2009-184992 07.08.2009 JP
(45) 25.11.2019 380 (43) 25.05.2012 290
(73) NAMICS CORPORATION (JP)
3993 Nigorikawa, Kita-ku, Niigata-shi Niigata 9503131, Japan
(72) FUKUOKA, Yoshitaka (JP), TOIDA, Go (JP), KUMAKURA, Satomi (JP)
(74) Công ty Luật TNHH Phạm và Liên danh (PHAM & ASSOCIATES)

(54) **BẢNG MẠCH ĐA LỚP VÀ PHƯƠNG PHÁP SẢN XUẤT BẢNG MẠCH ĐA LỚP**

(57) Trong quá trình sản xuất các bảng mạch đa lớp được sử dụng để gắn các linh kiện điện tử, thì các kỹ thuật nối dây đa lớp thông thường, chẳng hạn B²it, đã được sử dụng. Các kỹ thuật này tạo ra các mối nối liên lớp nhờ sử dụng các núm dẫn điện. Tuy nhiên, các kỹ thuật này gặp phải vấn đề là dễ bị vênh sẽ gây ra sự ngắn mạch ở dây nối đa lớp hoặc lỗi mối nối giữa các núm dẫn điện với dây nối. Do đó, theo sáng chế, màng cách điện sẽ được tạo ra bằng cách phủ lớp cách điện chứa chất độn cách điện. Nhờ vậy, ngay cả khi dễ bị vênh vẫn có thể duy trì được sự cách điện giữa dây nối đa lớp, và cải thiện được độ ổn định của mối nối dây và năng suất sản xuất. Cụ thể, sáng chế đề cập đến bảng mạch đa lớp có lớp cách điện nêu trên.

Ngoài ra, sáng chế còn đề cập đến phương pháp sản xuất bảng mạch đa lớp.



Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập đến bảng mạch đa lớp để gắn linh kiện điện tử và phương pháp sản xuất bảng mạch đa lớp. Cụ thể là, sáng chế đề cập đến phương pháp sản xuất bảng mạch đa lớp có lỗ xuyên dẫn điện được hình thành từ núm dẫn điện và có khả năng kết nối mật độ cao.

Tình trạng kỹ thuật của sáng chế

Trong những năm gần đây, cùng với việc tiếp tục giảm kích thước, nâng tốc độ và sự đa dạng hoá của các thiết bị điện tử, thì yêu cầu về việc gắn các bảng mạch với mật độ cao lên các thiết bị điện tử cũng tăng lên. Để đáp ứng yêu cầu này, thì các bảng mạch đa lớp đã được phát triển. Ở bảng mạch đa lớp, các linh kiện điện tử được gắn bằng cách xếp xen kẽ các nền cách điện với các mảng dẫn điện.

Kỹ thuật ALIVH của tập đoàn Matsushita Electronic Components Corporation và kỹ thuật B²it của tập đoàn Toshiba Corporation và Dai Nippon Printing Co., Ltd. đã được đã biết trong lĩnh vực kỹ thuật này như những kỹ thuật điển hình để sản xuất các bảng mạch đa lớp.

ALIVH (bảng mạch in đa lớp có kết cấu lỗ xuyên giữa mọi lớp - Any Layer Interstitial Via Hole) là kỹ thuật hình thành các lỗ nối liên lớp trên nền cách điện và nhồi chất dẫn điện vào các lỗ này. Trước hết, các lỗ xuyên cực nhỏ được tạo ra trên phiến nửa đặc (prepreg, tấm nền cách điện để làm vật liệu bảng mạch) bằng cách rọi các chùm laze. Các lỗ xuyên thu được sẽ được nhồi bột dẫn điện để tạo thành các lỗ xuyên dẫn điện (các phần nối liên lớp). Lá đồng được xếp lên phiến nửa đặc bằng kỹ thuật cán ép nóng. Sau đó, mảng dẫn

điện được tạo ra bằng kỹ thuật in ảnh litô và khắc để thu được chi tiết bảng mạch. Các chi tiết bảng mạch thu được theo cách này được xếp lên nhau và được ép nóng để tạo thành bảng mạch đa lớp.

Công nghệ ALIVH cho phép bố trí các dây nối và các linh kiện điện tử trên các lỗ xuyên. Do đó, có thể giảm ngắn chiều dài dây nối và có thể gắn các linh kiện điện tử với mật độ cao.

Tuy nhiên, nếu số lượng lỗ xuyên tăng lên thì cũng làm tăng thời gian xử lý đối với quá trình rọi chùm laze. Vì lý do này mà chi phí sản xuất sẽ cao. Ngoài ra, lá đồng được làm dính bằng kỹ thuật cán ép nóng không đủ sức dính vào lỗ xuyên dẫn điện. Do đó, độ tin cậy sẽ thấp do xu hướng gây ra lỗi hở khi kiểm tra rọi.

Theo công nghệ B²it (Buried Bump Interconnection Technology, công nghệ kết nối núp ngầm), thì các núp dẫn điện dạng ụ hoặc gần như hình nón, được tạo ra trên tấm dẫn điện. Sau đó, nền phiên nửa đặc cách điện được làm mềm bằng nhiệt. Quá trình ép sẽ làm cho các núp đâm thủng nền phiên nửa đặc cách điện. Do đó, các lỗ xuyên dẫn điện có dạng các núp dẫn điện được tạo ra. Các kỹ thuật liên quan đến B²it được bộc lộ trong patent Nhật Bản số 3167840 và Công bố đơn yêu cầu cấp patent Nhật Bản số 2007-13208.

Theo kỹ thuật được bộc lộ trong patent Nhật Bản số 3167840, núp dẫn điện dạng ụ được làm cho đâm thủng tấm đỡ bằng nhựa tổng hợp theo chiều dày của nó. Sau đó, núp dẫn điện này tạo thành dây nối liên lớp.

Theo kỹ thuật được bộc lộ trong Công bố đơn yêu cầu cấp patent Nhật Bản số 2007-13208, nền cách điện chưa lưu hoá sẽ được đặt lên các núp dẫn điện gần như hình nón được tạo ra trên tấm dẫn điện. Sau đó, nền sẽ được gia công áp lực để làm cho các núp đâm thủng nền. Sau đó, tấm dẫn điện được đem tạo mẫu. Như vậy, khối đế đã được sản xuất. Các khối đế được xếp lên nhau và được ép trong điều kiện nhiệt để lưu hoá chúng.

Giống như kỹ thuật ALIVH, kỹ thuật B²it có thể cho phép bố trí dây nối và các linh kiện điện tử trên các lỗ xuyên mà không hình thành các phần bị ép. Do đó, có thể giảm ngắn chiều dài dây nối và có thể gắn các linh kiện điện tử với mật độ cao. Ngoài ra, khác với kỹ thuật ALIVH, các lỗ xuyên dẫn điện có thể được tạo ra một cách đồng thời. Vì lý do này mà chi phí sản xuất sẽ không tăng ngay cả khi số lượng lỗ xuyên tăng lên. Các núm dẫn điện được tạo ra trên lá đồng bằng kỹ thuật in trước khi cán phiến nửa đặc. Do đó, kỹ thuật B²it có ưu điểm là các núm có độ bám dính rất tốt vào lá đồng.

Tuy nhiên, kỹ thuật B²it có các nhược điểm sau đây:

(1) Áp lực lớn được tác động lên phiến nửa đặc và các núm dẫn điện, mỗi chi tiết trong số đó đều có tỷ lệ hình dạng cao khi quá trình đầm thùng bằng các núm dẫn điện được thực hiện và khi quá trình cán ép nóng được thực hiện để tạo thành bảng mạch đa lớp. Hiện nay, mật độ trên mặt phẳng của các lỗ xuyên dẫn điện bằng khoảng 300000 lỗ/m². Trong tương lai, mật độ trên mặt phẳng của các lỗ xuyên dẫn điện được dự tính bằng khoảng 1000000 lỗ/m². Trong trường hợp này, áp lực cực lớn có thể được tác động vào các núm dẫn điện và phiến nửa đặc. Do đó, tỷ lệ phần trăm lỗi do việc các núm dẫn điện hoặc phiến nửa đặc bị vỡ sẽ trở nên cao. Do đó, sẽ khó áp dụng kỹ thuật B²it đối với mật độ cao.

(2) Kỹ thuật B²it yêu cầu các núm dẫn điện phải có độ bền cơ học. Do đó, đường kính ngoài của các núm dẫn điện cần phải bằng 100 μm hoặc lớn hơn. Để có thể gắn mật độ cao, thì những nỗ lực thu nhỏ các núm dẫn điện tới đường kính đáy từ 30 đến 50 μm đã được áp dụng. Tuy nhiên, công nghệ B²it lại vướng phải tỷ lệ hình dạng cao của các núm và dạng màng mỏng hạn hẹp của phiến nửa đặc. Do đó, công việc thu nhỏ cũng gặp phải khó khăn.

(3) Tỷ lệ hình dạng (chiều cao/đường kính ngoài) của các núm dẫn điện cần phải bằng 0,8 đến 1 hoặc lớn hơn, để cho phép các núm dẫn điện đầm

thùng phiên nửa đặc. Ngoài ra, việc làm mỏng miếng vải sợi thủy tinh được tẩm nền nhựa cách điện, là một loại chất tẩm trước phổ biến, cũng bị hạn chế (ở độ dày 30 μm hoặc lớn hơn). Ngoài ra, để làm cho các thuộc tính đâm thủng của các núm dẫn điện phù hợp, thì chiều cao của các núm dẫn điện cần phải cao hơn khoảng ba lần so với độ dày của phiên nửa đặc. Do đó, khi tỷ lệ hình dạng có thể đâm thủng nêu trên được tạo ra, thì việc giảm đường kính đáy của các núm dẫn điện sẽ bị giới hạn (tối thiểu là 72 đến 90 μm). Ngoài ra, các núm dẫn điện hầu như không đâm thủng được phiên nửa đặc trừ phi độ dày của phiên nửa đặc và nhiệt độ của quá trình ép được điều chỉnh một cách phù hợp. Do đó, công nghệ B²it có điều kiện sản xuất khắt khe đối với bước hình thành các núm dẫn điện, bước đâm thủng, bước cán ép nóng, và các bước tương tự. Vì lý do này mà công nghệ B²it có năng suất thấp.

(4) Rất khó phát triển được loại bột dẫn điện mà có thể được in để tạo thành các núm dẫn điện có tỷ lệ hình dạng cao với đường kính nhỏ.

(5) Vấn đề khác cũng được phát hiện ở bước làm mềm phiên nửa đặc, vốn được làm từ nhựa cách điện ở giai đoạn tiền lưu hoá, bằng nhiệt và ép vào các núm dẫn điện nhô để làm cho các núm này đâm thủng phiên nửa đặc. Nói cách khác, phiên nửa đặc là kết cấu được tạo ra từ bó sợi và thu được bằng cách dệt các nền vải sợi thủy tinh theo chiều dọc và theo chiều ngang. Do đó, sẽ có sự chênh lệch lớn về lực cản đâm thủng giữa trường hợp mà các núm dẫn điện gặp phải giao điểm của các bó sợi với trường hợp mà các núm dẫn điện gặp phải mặt giao giữa bó sợi này với bó sợi khác. Lực cản mà càng lớn thì càng tạo ra nhiều phần nhựa cách điện và/hoặc vải sợi thủy tinh còn lại bị nát trên mặt giao giữa phiên nửa đặc bằng nhựa cách điện với các núm dẫn điện. Các phần nhựa cách điện và/hoặc vải sợi thủy tinh còn lại bị nát này có thể làm tăng điện trở tiếp xúc hoặc làm mất dẫn điện sau quá trình cán ép các núm dẫn điện với lớp dẫn điện nối dây ở bước sau đó. Do đó, các phần còn lại bị nát này

là nguyên nhân làm giảm hiệu suất của bảng mạch.

Fig.14(a) và Fig.14(b) thể hiện các hình chiếu mặt cắt và các hình phối cảnh theo trình tự các bước, thể hiện phương pháp sản xuất chi tiết bảng mạch đa lớp dựa trên hệ thống B²it, trong đó các núm được làm cho đậm thủng phần nửa đặc. Trước hết, các núm dẫn điện gần như hình nón 502 được tạo ra trên lá dẫn điện thứ nhất 501 bằng bước in bột dẫn điện. Do đó, thu được sản phẩm trung gian (Fig.14(a)). Tiếp theo, sản phẩm trung gian này được đặt quay mặt vào phần nửa đặc 503, là nhựa cách điện ở giai đoạn tiền lưu hoá (Fig.14(b)). Sau đó, phần nửa đặc 503 được làm mềm bằng cách gia nhiệt đến gần điểm chảy của nó. Đầu mút của các núm dẫn điện 502 được làm nhô ra từ phần nửa đặc 503 (Fig.14(c)). Tiếp theo, lá dẫn điện thứ hai 505 được dính lên phần nửa đặc 503, mà các đầu mút của các núm dẫn điện 502 được làm nhô ra từ đó (Fig.14(d)). Fig.14(e) là mặt cắt ngang của phần trên của núm dẫn điện 502 trong chi tiết bảng mạch đa lớp được sản xuất theo phương pháp nêu trên. Có thể thấy rằng phần thừa 508 của nền sợi thủy tinh của phần nửa đặc còn sót lại trong vùng núm 507. Các chi tiết bảng mạch đa lớp được sản xuất theo phương pháp này sẽ được xếp lên nhau và được gia công áp lực để tạo thành bảng mạch đa lớp. Phương pháp thông thường để sản xuất bảng mạch đa lớp dựa trên hệ thống B²it sẽ làm sót lại các phần thừa trong vùng núm. Do đó, có thể gặp phải vấn đề nối điện kém khi nối dây liên lớp.

Mặt khác, Công bố đơn yêu cầu cấp patent Nhật Bản số 2002-353617 đề xuất kỹ thuật thông thường để hình thành các lỗ xuyên dẫn điện dạng các núm dẫn điện mà không sử dụng phương pháp đậm thủng nào như B²it. Theo kỹ thuật này, hỗn hợp nhựa cách điện được phủ bằng phương pháp phủ màng lên cụm núm dẫn điện được tạo ra trên lá kim loại thứ nhất. Sau đó, lá kim loại thứ hai được đặt chồng lên và được ép lên lá kim loại thứ nhất. Ngoài phương pháp phủ màng để phủ hỗn hợp nhựa cách điện, thì còn có phương pháp phun

và phương pháp làm cho hỗn hợp nhựa cách điện thành màng hoá mềm nhiệt và phủ lên các núm dẫn điện từ trên. Phương pháp được bộc lộ trong Công bố đơn yêu cầu cấp patent Nhật Bản số 2002-353617 không tác động bất kì áp lực cơ học nào lên các núm dẫn điện. Do đó, có thể tránh được các vấn đề nêu trên của công nghệ B²it. Tuy nhiên, theo kỹ thuật này, thì phương pháp phủ màng sẽ trực tiếp phủ nhựa cách điện có tính nhót cao ở dạng lỏng lên các núm dẫn điện, còn phương pháp phun thì sẽ làm cho nhựa thành các giọt chất lỏng. Do đó, sẽ gặp phải các vấn đề là nhựa cách điện có thể dễ dàng dính vào các đầu mút của các núm dẫn điện tương ứng, và tỷ lệ lỗi tiếp xúc giữa các núm dẫn điện với lá kim loại thứ hai là cao. Ngoài ra, việc phủ các núm dẫn điện bằng màng hoá mềm nhiệt sẽ không làm hở ra đầu mút của các núm dẫn điện tương ứng. Do đó, sẽ gặp phải vấn đề khác là không thể kết nối liên lớp được.

Ngoài ra, phương pháp thông thường để sản xuất đế nối dây đa lớp cũng có vấn đề lỗi kết nối dây đa lớp do đế lõi bị vênh. Fig.8(b) và Fig.8(c) là các hình chiếu mặt cắt minh hoạ lỗi nối dây của phương pháp sản xuất bằng mạch đa lớp thông thường. Như được thể hiện trên Fig.8(b), đế lõi thứ nhất 213 và đế lõi thứ hai 208 có các dây nối được tạo ra trên bề mặt của chúng và được xếp lên nhau sao cho các mặt được nối dây của chúng quay mặt vào nhau thông qua lớp nhựa cách điện 211. Một số vùng của dây nối 212 và một số vùng của dây nối 209 được nối dẫn điện qua các núm dẫn điện 210. Nếu đế lõi bị vênh nhiều, ví dụ, như được thể hiện trên Fig.8(b), thì phần tâm của nó sẽ bị vênh lõm, dây nối sẽ bị ngắn mạch do sự tiếp xúc giữa các lớp nối dây vốn được dự kiến là tách khỏi nhau qua lớp nhựa cách điện 211. Mặt khác, như được minh hoạ trên Fig.8 (c), trong trường hợp mà dây nối 215 và dây nối 218 được tách khỏi nhau và được cách điện bởi lớp nhựa cách điện 217, thì dây nối quay mặt vào phần chu vi của các núm dẫn điện 216, vốn được dự kiến là nối dẫn điện với nhau, lại không hề nối với nhau. Như vậy, sẽ xảy ra tình trạng hở mối

nổi. Theo phương pháp sản xuất để nối dây đa lớp thông thường, thì sẽ xuất hiện lỗi nối dây do sự cong vênh của đế. Do đó, không thể tăng được năng suất sản xuất bằng mạch đa lớp lên một cách đầy đủ.

Bản chất kỹ thuật của sáng chế

Vấn đề cần khắc phục

Mục đích của sáng chế là đề xuất chi tiết bằng mạch đa lớp và đề xuất phương pháp sản xuất bằng mạch đa lớp. Chi tiết này cho phép thu nhỏ, tăng mật độ và đa lớp mỏng hoá bằng mạch đa lớp, trong khi làm cho bằng mạch đa lớp có các đặc tính cách điện liên lớp rất tốt. Ngoài ra, phương pháp sản xuất này có thể cho phép kết nối liên lớp các núm dẫn điện nhỏ với độ tin cậy cao trên bằng mạch, trong khi vẫn đạt được năng suất sản xuất cao và có chi phí sản xuất thấp.

Các giải pháp giải quyết vấn đề

(1) Sáng chế đề xuất bằng mạch đa lớp bao gồm cụm núm dẫn điện được tạo ra giữa lớp dẫn điện thứ nhất và lớp dẫn điện thứ hai; và lớp cách điện được tạo ra ở chu vi của cụm núm dẫn điện và chứa chất độn cách điện để ngăn ngừa ngắn mạch.

(2) Sáng chế đề xuất bằng mạch đa lớp bao gồm cụm núm dẫn điện được tạo ra giữa lớp dẫn điện thứ nhất và lớp dẫn điện thứ hai; và lớp cách điện được tạo ra ở chu vi của cụm núm dẫn điện và chứa chất độn cách điện, trong đó kích thước hạt trung bình của chất độn cách điện bằng 20% hoặc lớn hơn và không lớn hơn 100% chiều cao trung bình của cụm núm dẫn điện sau khi cán ép nóng.

(3) Sáng chế đề xuất bằng mạch đa lớp theo mục (1) hoặc (2), trong đó lớp cách điện là lớp được tạo ra bằng cách lưu hoá nhựa dưới dạng dung dịch hỗn hợp nhựa cách điện chứa chất độn cách điện sau khi giảm độ dày màng

bằng cách làm bay hơi dung môi trong điều kiện gần như ngăn chặn phản ứng lưu hoá.

(4) Sáng chế đề xuất bảng mạch đa lớp theo mục bất kỳ trong số các mục từ (1) đến (3), trong đó chất độn cách điện là một hoặc hai hoặc nhiều vật liệu được chọn từ silic đioxit, silic cacbua, nhôm oxit, nhôm nitrat, các hạt ziricon oxit, các hạt thủy tinh, và các hạt acrylic.

(5) Sáng chế đề xuất bảng mạch đa lớp theo mục bất kỳ trong số các mục từ (1) đến (4), trong đó lượng chất độn cách điện được bổ sung vào dung dịch hỗn hợp nhựa cách điện là 1% thể tích hoặc nhiều hơn và không lớn hơn 30% thể tích.

(6) Sáng chế đề xuất bảng mạch đa lớp theo mục bất kỳ trong số các mục từ (1) đến (5), trong đó dung dịch hỗn hợp nhựa cách điện là dung dịch hỗn hợp được điều chế từ nhựa epoxy, nhựa bismaleimit triazin, nhựa polyimit, nhựa acrylic, nhựa phenol, nhựa ete oligophenylene, nhựa polyete và nhựa melamin.

(7) Sáng chế đề xuất bảng mạch đa lớp theo mục bất kỳ trong số các mục từ (1) đến (6), trong đó chiều cao h_2 của cụm núm dẫn điện và độ dày t_3 của lớp cách điện có mối quan hệ $h_2 \geq t_3$.

(8) Sáng chế đề xuất bảng mạch đa lớp theo mục bất kỳ trong số các mục từ (1) đến (7), trong đó thành phần nhựa vốn hình thành nên cụm núm dẫn điện được làm từ vật liệu thu được bằng cách bổ sung nhựa dẻo nhiệt vào nhựa rắn nhiệt sao cho tỷ lệ phần trăm nhựa dẻo nhiệt trong hỗn hợp thu được bằng 10% khối lượng hoặc nhiều hơn và không lớn hơn 30% khối lượng.

(9) Sáng chế đề xuất phương pháp sản xuất bảng mạch đa lớp, phương pháp này bao gồm các bước: tạo thành cụm núm dẫn điện nhô ra ít nhất trên một lớp dẫn điện; hình thành màng chảy được bằng cách phủ dung dịch hỗn hợp nhựa cách điện, chứa chất độn cách điện và dung môi dễ bay hơi, lên trên

lớp dẫn điện và cụm núm dẫn điện; hình thành màng cách điện chưa lưu hoá bằng cách làm bay hơi dung môi dễ bay hơi và làm giảm độ dày của màng chảy được; và hình thành lớp cách điện bằng cách xếp lớp dẫn điện hoặc đế lõi lên màng cách điện chưa lưu hoá, và sau đó thực hiện phản ứng lưu hoá màng cách điện chưa lưu hoá này.

(10) Sáng chế đề xuất phương pháp sản xuất bảng mạch đa lớp, phương pháp này bao gồm các bước: hình thành cụm núm dẫn điện nhô ra ít nhất trên đế lõi thứ nhất; hình thành màng chảy được bằng cách phủ dung dịch hỗn hợp nhựa cách điện, chứa chất độn cách điện và dung môi dễ bay hơi, lên trên cụm núm dẫn điện; hình thành màng cách điện chưa lưu hoá bằng cách làm bay hơi dung môi dễ bay hơi và làm giảm độ dày của màng chảy được; và hình thành lớp cách điện bằng cách xếp lớp dẫn điện hoặc đế lõi thứ hai lên màng cách điện chưa lưu hoá, và sau đó thực hiện phản ứng lưu hoá màng cách điện chưa lưu hoá này.

(11) Sáng chế đề xuất phương pháp sản xuất bảng mạch đa lớp, phương pháp này bao gồm các bước: hình thành cụm núm dẫn điện nhô ra ít nhất trên đế lõi thứ nhất; hình thành màng chảy được bằng cách phủ dung dịch hỗn hợp nhựa cách điện, chứa chất độn cách điện và dung môi dễ bay hơi, lên trên lớp dẫn điện hoặc đế lõi thứ hai; hình thành màng cách điện chưa lưu hoá bằng cách làm bay hơi dung môi dễ bay hơi và làm giảm độ dày của màng chảy được; và cán ép nóng đế lõi thứ nhất với lớp dẫn điện hoặc đế lõi thứ hai mà trên đó màng cách điện chưa lưu hoá được tạo ra.

(12) Sáng chế đề xuất phương pháp sản xuất bảng mạch đa lớp, phương pháp này bao gồm các bước: hình thành màng chảy được bằng cách phủ dung dịch hỗn hợp nhựa cách điện, chứa chất độn cách điện và dung môi dễ bay hơi, lên trên ít nhất lớp dẫn điện thứ nhất được bố trí trên đế lõi thứ nhất; hình thành màng cách điện chưa lưu hoá bằng cách làm bay hơi dung

môi dễ bay hơi và làm giảm độ dày của màng chảy được; hình thành cụm nôm dẫn điện nhô ra ít nhất trên lớp dẫn điện thứ hai hoặc đế lõi thứ hai; và cán ép nóng đế lõi thứ nhất với lớp dẫn điện hoặc đế lõi thứ hai mà trên đó cụm nôm dẫn điện được tạo ra.

(13) Sáng chế đề xuất phương pháp sản xuất bảng mạch đa lớp, phương pháp này bao gồm các bước: tạo thành một hoặc nhiều chi tiết bảng mạch đa lớp bằng cách hình thành cụm nôm dẫn điện trên lớp dẫn điện thứ nhất, hình thành màng chảy được bằng cách phủ dung dịch hỗn hợp nhựa cách điện chứa chất độn cách điện và dung môi dễ bay hơi, và hình thành màng cách điện chưa lưu hoá bằng cách làm bay hơi dung môi dễ bay hơi và làm giảm độ dày của màng chảy được; sau đó đem cán chi tiết bảng mạch đa lớp lên đế lõi bằng quy trình ép nóng, và tạo thành lớp dẫn điện thứ hai trên chi tiết bảng mạch đa lớp này, trong đó các bước này được lặp lại một hoặc nhiều lần để tạo thành bảng mạch đa lớp.

(14) Sáng chế đề xuất phương pháp sản xuất bảng mạch đa lớp, phương pháp này bao gồm các bước: tạo thành một hoặc nhiều chi tiết bảng mạch đa lớp bằng cách hình thành cụm nôm dẫn điện trên lớp dẫn điện thứ nhất, hình thành màng chảy được bằng cách phủ dung dịch hỗn hợp nhựa cách điện chứa chất độn cách điện và dung môi dễ bay hơi, và hình thành màng cách điện chưa lưu hoá bằng cách làm bay hơi dung môi dễ bay hơi và làm giảm độ dày của màng chảy được; sau đó đồng thời cán một hoặc nhiều chi tiết bảng mạch đa lớp lên đế lõi bằng quy trình ép nóng để tạo thành bảng mạch đa lớp.

(15) Sáng chế đề xuất phương pháp sản xuất bảng mạch đa lớp theo mục bất kỳ trong số các mục từ (9) đến (14), trong đó lượng thành phần khó bay hơi trong dung dịch hỗn hợp nhựa cách điện bằng từ 10% khối lượng đến 80% khối lượng.

(16) Sáng chế đề xuất phương pháp sản xuất bảng mạch đa lớp theo mục bất kỳ trong số các mục từ (9) đến (15), trong đó lớp cách điện có nhiệt độ hoá khô/hoá rắn là 60°C hoặc lớn hơn và không lớn hơn 160°C .

(17) Sáng chế đề xuất phương pháp sản xuất bảng mạch đa lớp theo mục bất kỳ trong số các mục từ (9) đến (16), trong đó thành phần nhựa vốn hình thành nên cụm núm dẫn điện được làm từ vật liệu thu được bằng cách bổ sung nhựa dẻo nhiệt vào nhựa rắn nhiệt sao cho tỷ lệ phần trăm nhựa dẻo nhiệt trong hỗn hợp thu được là 10% khối lượng hoặc lớn hơn và không lớn hơn 30% khối lượng.

(18) Sáng chế đề xuất phương pháp sản xuất bảng mạch đa lớp theo mục bất kỳ trong số các mục từ (9) đến (17), trong đó nhiệt độ cán ép nóng không cao hơn nhiệt độ bắt đầu xảy ra phản ứng lưu hoá nhựa cách điện, và không thấp hơn nhiệt độ bắt đầu suy giảm độ nhớt chảy nhiệt của nhựa cách điện.

Hiệu quả của sáng chế

Hiệu quả của giải pháp theo sáng chế sẽ được mô tả dưới đây.

1. So với công nghệ B²it

Không có quá trình đâm thủng nào đối với các núm dẫn điện. Do đó, không có áp lực cơ học nào được tác động lên chi tiết nào, nên có những ưu điểm sau:

Do lớp cách điện có thể được làm mỏng, nên có thể hạ thấp chiều cao của núm dẫn điện. Ngoài ra, các lỗ xuyên dẫn điện có thể được tạo ra ngay cả khi tỷ lệ hình dạng của núm dẫn điện là nhỏ. Do đó, kích thước của núm dẫn điện có thể được giảm. Do đó, có thể sản xuất được bảng mạch đa lớp mật độ cao với các núm dẫn điện có đường kính ngoài từ 30 đến 50 μm . Giải pháp theo sáng chế có thể thích hợp với mật độ núm dẫn điện là một triệu lỗ/ m^2 trong tương lai.

Núm dẫn điện không cần phải có tỷ lệ hình dạng cao. Do đó, các núm dẫn điện có thể được tạo ra ngay cả khi không có bột dẫn điện cụ thể nào được sử dụng, hoặc bước phủ bột để hình thành các núm dẫn điện không được lặp lại nhiều lần. Do đó, có thể giảm giá thành vật liệu và chi phí sản xuất.

Tỷ lệ phần trăm lỗi do sự phá hỏng phần tử bất kỳ trong số các núm dẫn điện, dây nối và màng cách điện, có thể được giảm.

Các yêu cầu về điều kiện sản xuất có thể được nới lỏng. Do đó, năng suất sản xuất có thể được cải thiện ngay cả khi cần tăng tỷ lệ hình dạng của các núm dẫn điện cần thiết để tạo ra các mối nối liên lớp tốt.

2. So với công nghệ ALIVH

Giải pháp theo sáng chế không áp dụng kỹ thuật đục laze. Do đó, có thể ngăn ngừa tình trạng không đồng nhất về hình dạng giữa các phần lỗ. Sự không đồng nhất về hình dạng do kỹ thuật đục laze sẽ dẫn đến sự bám dính kém giữa các phần lỗ với tác nhân dẫn điện lỗ trong quá trình sản xuất. Sự bám dính kém này sẽ gây ra sự thâm nhập của chất lỏng hoặc sự thấm ẩm vào bảng mạch, trở thành một trong số các nguyên nhân gây nhiều lỗi khác nhau. Ngược lại, theo phương pháp sản xuất theo sáng chế, mặt giao giữa các núm dẫn điện với màng cách điện được tạo ra bằng cách phủ nhựa chảy được có độ nhớt thấp vào chu vi của các núm dẫn điện. Do đó, độ bám dính giữa các núm dẫn điện (tương đương với lỗ) với màng cách điện, và độ tin cậy của bảng mạch theo sáng chế, là cực kì cao.

Giải pháp theo sáng chế là hệ thống đồng thời tạo ra các lỗ xuyên dẫn điện. Do đó, chi phí sản xuất vẫn không tăng ngay cả khi số lượng lỗ xuyên dẫn điện tăng lên.

3. So với hệ thống mạ lỗ xuyên

Giải pháp theo sáng chế phù hợp cho việc vi gia công do hiệu quả tận dụng không gian cao của các lỗ xuyên dẫn điện. Kết cấu theo sáng chế là kết

cầu mà trong đó các lỗ nối liên lớp được nhồi các phân tử dẫn điện. Do đó, kết cấu theo sáng chế có hiệu quả tản nhiệt cao, nên có thể phù hợp để gắn các thiết bị, chẳng hạn CPU (Central Processing Unit - bộ xử lý trung tâm) tốc độ cao, có công suất toả nhiệt cao. Kết cấu theo sáng chế không có phần hốc nào, cho phép hình thành dây nối và các lỗ cắm bổ sung trên các lỗ xuyên dẫn điện. Ngoài ra, các linh kiện bổ sung có thể được gắn lên các lỗ cắm bề mặt. Do đó, mật độ đóng gói có thể được cải thiện.

4. Sự khác biệt so với hệ thống phủ hỗn hợp nhựa cách điện bằng phương pháp phủ màng

Phương pháp sản xuất theo sáng chế sẽ làm hở ra các núm dẫn điện bằng cách giảm độ dày màng nhờ việc hình thành màng phủ bằng cách phủ dung dịch hỗn hợp nhựa với nồng độ tương đối thấp. Do đó, nhựa cách điện sẽ không sót lại trên đầu mút của các núm dẫn điện tương ứng. Do đó, có thể hình thành mối nối liên lớp chắc chắn và có thể giảm điện trở lỗ.

5. Theo sáng chế, có thể tạo ra các lỗ xuyên dẫn điện ngay cả khi tiết diện phía trên của các núm dẫn điện có dạng cung tròn tròn với góc tâm không quá 180 độ. Khác với các núm dẫn điện với diện tích đỉnh nhỏ vốn được sử dụng theo phương pháp thông thường, diện tích tiết diện của các lỗ xuyên dẫn điện theo sáng chế là lớn. Ngoài ra, lượng chất cách điện thừa tại phần tiếp xúc giữa lỗ với dây nối có thể được giảm. Do đó, diện tích tiếp xúc giữa lỗ với dây nối có thể được mở rộng. Do đó, điện trở lỗ xuyên dẫn điện có thể được giảm.

6. Theo sáng chế, bảng mạch đa lớp được sản xuất bằng cách xếp các chi tiết bảng mạch có các màng cách điện chưa lưu hoá lên nhau, nên sẽ có những ưu điểm sau đây:

Độ bền bám dính giữa màng cách điện với màng dẫn điện tăng lên. Do đó, dây nối sẽ khó bị bong.

Độ bền bám dính giữa các màng cách điện cạnh nhau tăng lên. Do đó,

có thể sản xuất bảng mạch đa lớp bền.

Màng cách điện có tính dẻo. Do đó, ngay cả khi đế có bề mặt không đều, thì màng cách điện vẫn có đặc tính bao phủ tốt, và làm phẳng bề mặt của đế.

Độ bền bám dính giữa các núm dẫn điện với dây nối tiếp xúc với chúng tăng lên. Do đó, điện trở lỗ có thể được giảm.

7. Bằng cách kết hợp quy trình tạo màng dày với quy trình ăn mòn màng mỏng dẫn điện thì có thể giảm chi phí sản xuất bảng mạch đa lớp mật độ cao.

8. Có thể tạo ra bảng mạch đa lớp với mật độ đóng gói cao. Do đó, bảng mạch theo sáng chế sẽ góp phần vào việc giảm kích thước, trọng lượng và đa dạng hoá các thiết bị điện tử.

9. Màng cách điện được tạo ra bằng chất cách điện có hằng số điện môi tương đối thấp và sự tổn hao điện môi thấp. Do đó, có thể sản xuất bảng mạch gói có đặc tính lan truyền tín hiệu điện rất tốt. Cụ thể là, việc sử dụng ADFLEMA dựa trên OPE (tên thương nghiệp của tập đoàn NAMICS CORPORATION) sẽ gây ra sự suy giảm hằng số điện môi tương đối và góc tổn hao điện môi. Do đó, có thể sản xuất bảng mạch gói có đặc tính lan truyền tín hiệu điện rất tốt. Ngoài ra, do hàm lượng dung môi cao, nên có thể dễ dàng tạo ra màng cách điện mỏng.

10. Dây nối và các núm dẫn điện được tạo ra bằng vật liệu nối dây có các đặc tính dẫn điện cao. Do đó, có thể sản xuất được bảng mạch gói có các đặc tính lan truyền tín hiệu điện rất tốt ngay cả với nhiệt độ xử lý nhiệt thấp hơn, độ dày màng nối dây nhỏ hơn và bề rộng nối dây nhỏ hơn.

11. Có thể sản xuất bảng mạch đa lớp bằng quy trình cán đồng thời. Do đó, số lượng các bước sản xuất có thể được giảm bớt so với phương pháp sản xuất bảng mạch đa lớp bằng quy trình cán tuần tự. Do đó, chi phí sản xuất có thể được giảm. Ngoài ra, có ít dấu vết nhiệt xuất hiện trên các chi tiết bảng mạch. Do đó, các chi tiết này và bảng mạch đa lớp được tạo ra từ các chi tiết

này có độ tin cậy cao.

12. Chất độn cách điện được phân tán vào vật liệu màng cách điện. Do đó, các lỗi nối dây, như ngắn mạch và hở mạch, do sự cong vênh của đế lõi có thể được giảm. Do đó, có thể cải thiện năng suất sản xuất.

Mô tả vắn tắt các hình vẽ

Các hình vẽ từ Fig.1(a) đến Fig.1(d) thể hiện các sơ đồ mặt cắt được biểu diễn theo trình tự các bước, minh họa ví dụ cụ thể thứ nhất của phương pháp sản xuất chi tiết bảng mạch đa lớp theo phương án thực hiện sáng chế.

Các hình vẽ từ Fig.2(a) đến Fig.2(d) thể hiện các sơ đồ mặt cắt được biểu diễn theo trình tự các bước, minh họa ví dụ cụ thể thứ hai của phương pháp sản xuất chi tiết bảng mạch đa lớp theo một phương án thực hiện sáng chế.

Các hình vẽ từ Fig.3(a) đến Fig.3(i) thể hiện các sơ đồ mặt cắt được biểu diễn theo trình tự các bước, minh họa ví dụ cụ thể thứ ba của phương pháp sản xuất chi tiết bảng mạch đa lớp theo một phương án thực hiện sáng chế.

Các hình vẽ từ Fig.4(a) đến Fig.4(i) thể hiện các sơ đồ mặt cắt được biểu diễn theo trình tự các bước, minh họa ví dụ cụ thể thứ nhất của phương pháp sản xuất bảng mạch đa lớp theo một phương án thực hiện sáng chế.

Các hình vẽ từ Fig.5(a) đến Fig.5(d) thể hiện các sơ đồ mặt cắt được biểu diễn theo trình tự các bước, minh họa ví dụ cụ thể thứ hai của phương pháp sản xuất bảng mạch đa lớp theo một phương án thực hiện sáng chế.

Fig.6(a) và Fig.6(b) thể hiện các sơ đồ mặt cắt được biểu diễn theo trình tự các bước, minh họa ví dụ cụ thể thứ ba của phương pháp sản xuất bảng mạch đa lớp theo một phương án thực hiện sáng chế.

Các hình vẽ từ Fig.7(a) đến Fig.7(d) thể hiện các sơ đồ mặt cắt, minh họa quy trình phủ dưới hoặc quy trình phủ trên theo phương pháp sản xuất chi tiết bảng mạch đa lớp theo một phương án thực hiện sáng chế.

Các hình vẽ từ Fig.8(a) đến Fig.8(c) thể hiện các sơ đồ mặt cắt để so sánh giữa phương pháp sản xuất bảng mạch đa lớp theo sáng chế với phương pháp sản xuất bảng mạch đa lớp thông thường.

Fig.9 thể hiện các đồ thị minh họa sự phụ thuộc của độ ổn định dẫn điện vào sự có mặt hoặc sự vắng mặt của chất độn.

Các hình vẽ từ Fig.10(a) đến Fig.10(c) là các đồ thị minh họa sự phụ thuộc của tính dẫn điện của các núm dẫn điện vào kích thước hạt của chất độn.

Các hình vẽ từ Fig.10(d) đến Fig.10(f) là các đồ thị minh họa sự phụ thuộc của tính dẫn điện của các núm dẫn điện vào lượng chất độn được bổ sung.

Fig.11(a) và Fig.11(b) là các đồ thị minh họa sự phụ thuộc của độ dày (chiều cao) màng hoặc giá trị điện trở của các núm dẫn điện vào lượng nhựa dẻo nhiệt được bổ sung vào các núm dẫn điện.

Các hình vẽ từ Fig.12(a) đến Fig.12(c) là các sơ đồ minh họa cách xác định các thông số kích thước của chi tiết bảng mạch đa lớp theo sáng chế.

Fig.13 thể hiện sơ đồ mặt phẳng và sơ đồ mặt cắt của mẫu kiểm tra để đo điện trở lỗ.

Các hình vẽ từ Fig.14(a) đến Fig.14(d) thể hiện các sơ đồ mặt cắt và các sơ đồ phối cảnh được biểu diễn theo trình tự các bước, minh họa phương pháp sản xuất chi tiết bảng mạch đa lớp thông thường. Fig.14(e) thể hiện mặt cắt ngang của phần trên của núm dẫn điện trong bảng mạch đa lớp thông thường.

Mô tả chi tiết sáng chế

Dưới đây, các phương án thực hiện ưu tiên của sáng chế sẽ được mô tả.

(chi tiết bảng mạch đa lớp, bảng mạch đa lớp, và bảng mạch đa lớp tổng hợp).

Trong quá trình sản xuất bảng mạch đa lớp, các chi tiết bảng mạch đa

lớp, dưới dạng các thành phần tạo nên bảng mạch đa lớp (tức là các chi tiết của bảng mạch, hay đơn giản là các chi tiết bảng mạch), được tạo ra. Sau đó, các chi tiết bảng mạch đa lớp này được xếp lên nhau và được ép trong điều kiện nhiệt để tạo thành bảng mạch đa lớp. Cụ thể, thuật ngữ "bảng mạch đa lớp tổng hợp" được dùng để chỉ bảng mạch đa lớp thu được bằng cách xếp lớp mạch bề mặt chứa chi tiết bảng mạch đa lớp có mật độ nôm dẫn điện cao, vốn được sản xuất theo kỹ thuật theo sáng chế, với đế lõi có mật độ nôm dẫn điện thấp. Mặt khác, bảng mạch đa lớp tổng hợp chứa đế lõi cũng được gọi một cách đơn giản là bảng mạch đa lớp. Đế lõi có nhiệm vụ tạo ra độ cứng vật lý. Ngoài ra, các mạch, chẳng hạn dây nối nguồn cấp và dây nối mát, vốn không nhỏ, cũng được tạo ra trên đế lõi. Dây nối nhỏ được tạo ra trên lớp mạch bề mặt của đế lõi. Bằng cách sản xuất chi tiết bảng mạch đa lớp vốn hình thành lớp mạch bề mặt nhờ sử dụng kỹ thuật theo sáng chế, thì bảng mạch đa lớp tổng hợp có mật độ đóng gói cao có thể được tạo ra bằng cách kết hợp quy trình tạo màng dày, vốn có chi phí sản xuất thấp, với quy trình ăn mòn vi gia công để tạo màng mỏng dẫn điện.

(Quy trình cán đồng thời, cán tuần tự, và cán lõi/lõi)

Quy trình được gọi là cán đồng thời là quy trình sản xuất bảng mạch đa lớp bằng cách tạo ra nhiều chi tiết bảng mạch đa lớp có dây nối rồi sau đó cán ép nóng các chi tiết bảng mạch đa lớp này một cách đồng thời. Theo cách khác, đó cũng là quy trình sản xuất bảng mạch đa lớp tổng hợp bằng cách cán ép nóng các chi tiết bảng mạch đa lớp và đế lõi một cách đồng thời. Ngược lại, quy trình được gọi là quy trình cán tuần tự sẽ lần lượt lặp lại các bước bao gồm tạo ra chi tiết bảng mạch đa lớp có hoặc không có dây nối, dán lá dẫn điện lên bảng mạch đa lớp, hình thành dây nối bằng cách ăn mòn, rồi đặt chi tiết bảng mạch đa lớp tiếp theo lên đó, và cán ép nóng chúng. Theo đó, sản xuất được bảng mạch đa lớp hoặc bảng mạch đa lớp tổng hợp.

Do quy trình cán đồng thời có thể làm giảm số lượng các bước, nên có thể giảm chi phí sản xuất. Ngoài ra, có ít dấu vết nhiệt còn lại trên chi tiết bảng mạch. Do đó, sẽ có ưu điểm là các chi tiết này, và bảng mạch đa lớp được tạo ra từ các chi tiết này, có độ tin cậy cao. Ngược lại so với công nghệ B²it thông thường vốn gặp khó khăn với kỹ thuật cán đồng thời, thì kỹ thuật theo sáng chế cho phép sản xuất bảng mạch đa lớp một cách dễ dàng bằng kỹ thuật cán đồng thời.

Ngược lại, kỹ thuật cán tuần tự có ưu điểm là có thể đồng chỉnh các núm dẫn điện mà không cần đồng chỉnh các mảng dây nối. Tuy nhiên, lại cần phải thực hiện quy trình ăn mòn và cán ép nóng mỗi lần xếp chi tiết bảng mạch đa lớp. Do đó, số lượng các bước sẽ tăng lên. Điều này làm tăng chi phí sản xuất cũng như làm tăng dấu vết nhiệt. Vì lý do này mà độ tin cậy của các chi tiết sẽ bị giảm.

Theo kỹ thuật cán lõi/lõi, một lớp màng cách điện được bố trí giữa đế lõi này với đế lõi khác. Sau đó, các đế lõi được nối dẫn điện bằng các núm dẫn điện.

Phương pháp sản xuất bảng mạch đa lớp theo sáng chế có thể bao gồm quy trình cán đồng thời, quy trình cán tuần tự và quy trình cán lõi/lõi, được minh họa dưới dạng các phương án thực hiện cải biến.

(Phương pháp sản xuất các chi tiết bảng mạch)

Theo phương pháp sản xuất các chi tiết bảng mạch, theo một phương án thực hiện sáng chế, các núm dẫn điện có dạng lõi, chẳng hạn dạng gần như hình nón cụt hoặc hình trụ, được sử dụng làm các chi tiết nối liên lớp. Ngoài ra, dung dịch hỗn hợp nhựa cách điện cũng được phủ lên trên và trong chu vi của các núm dẫn điện (cụm núm dẫn điện) được tạo ra với mật độ cao trên chi tiết đỡ, từ đó tạo thành màng chảy được. Sau đó, dung môi được làm bay hơi trong điều kiện gần như giữ cho nhựa trong dung dịch hỗn hợp nhựa cách điện khỏi

bị phản ứng lưu hoá để hoá rắn màng chảy được, trong khi giảm bớt độ dày của màng. Do đó, màng chảy được sẽ được tạo ra dưới dạng màng cách điện.

Quy trình cán ép các chi tiết bằng mạch đa lớp mà không làm hở ra các núm dẫn điện vẫn thường được coi là sẽ không tạo thành mối nối điện liên lớp nào. Tuy nhiên, các tác giả sáng chế đã phát hiện ra rằng việc làm hở ra các núm dẫn điện có thể không phải là điều cốt yếu. Nói cách khác, các tác giả sáng chế trước hết đã phát hiện thấy rằng nhựa cách điện, vốn cách điện các bảng mạch khỏi nhau, được cán trong trạng thái màng chưa lưu hoá và được đem ép nóng để tạo ra bảng mạch đa lớp hoặc bảng mạch đa lớp tổng hợp; và phương pháp này có thể tạo thành mối nối điện liên lớp với độ ổn định cao. Mối nối điện có độ tin cậy cao cũng đã được xác nhận đối với bảng mạch đa lớp hoặc bảng mạch đa lớp tổng hợp được sản xuất theo phương pháp này. Ngoài ra, trong trường hợp mà các núm dẫn điện được làm hở ra, thì bảng mạch đa lớp theo sáng chế cũng có những tác dụng có lợi, chẳng hạn cho phép đóng gói với mật độ cao theo cách tương tự như trường hợp mà các núm dẫn điện không hở ra, cho dù số lượng các bước tăng lên. So với trường hợp mà các núm dẫn điện được làm hở ra, thì độ ổn định dẫn điện giữa các dây nối có thể được cải thiện thêm nữa. Để làm hở ra các núm dẫn điện, thì độ dày màng của màng cách điện được giảm bớt bằng cách làm bay hơi ít nhất một phần dung môi ở màng chảy được. Do đó, có thêm bước làm cho các đầu mút của các núm dẫn điện thò ra từ màng cách điện. Việc chỉ phủ lớp mỏng dung dịch hỗn hợp nhựa cách điện lên các núm dẫn điện sẽ làm cho dung dịch hỗn hợp nhựa còn lại trên các đầu mút của các núm dẫn điện. Khi dung môi được làm bay hơi sau khi phủ dung dịch hỗn hợp nhựa dày hơn chiều cao của các núm dẫn điện, thì các núm dẫn điện có thể được làm hở ra với mức độ tái tạo cao.

Ở đây, thuật ngữ "màng chảy được" được dùng để chỉ màng cách điện sau khi phủ dung dịch hỗn hợp nhựa và trước khi giảm độ dày màng. Mặt khác,

thuật ngữ "màng cách điện chưa lưu hoá" được dùng để chỉ màng cách điện sau khi giảm độ dày màng và trước khi bắt đầu phản ứng lưu hoá. Do đó, hai thuật ngữ này có thể được phân biệt.

Giải pháp theo sáng chế khác với phương pháp sản xuất, chẳng hạn công nghệ B²it, vốn làm cho các đầu mút của các núm dẫn điện thò ra từ màng cách điện bằng cách đâm thủng. Nói cách khác, trong giai đoạn hình thành màng cách điện ở chu vi của các núm dẫn điện, thì các núm dẫn điện và màng cách điện không phải chịu áp lực cơ học nào. Do đó, giải pháp theo sáng chế có thể tương ứng với các núm dẫn điện mật độ cao xét về mặt độ bền cơ học của màng cách điện. Ngoài ra, đường kính đáy của núm dẫn điện có thể được giảm. Ngoài ra, tỷ lệ hình dạng của núm dẫn điện cũng có thể được giảm. Do đó, phạm vi thiết kế cho phép và phạm vi điều kiện cho phép có thể được nói lỏng đối với hình dạng của các núm dẫn điện. Do đó, năng suất sản xuất bảng mạch đa lớp có thể được cải thiện.

Ở đây, dấu hiệu khác biệt của chi tiết bảng mạch đa lớp theo sáng chế chính là màng cách điện chưa lưu hoá thu được bằng cách làm khô/làm rắn sau khi làm ướt hoàn toàn chu vi của các núm dẫn điện bằng cách đúc chảy nhựa hoà tan trong dung môi vào chu vi của cụm núm. Do đó, các núm dẫn điện và nhựa sẽ có kết cấu bám dính chặt. Ngược lại, nhựa cách điện thông thường, chẳng hạn nhựa cách điện B²it, là phiến rắn được làm bay hơi dung môi và thường được gọi là giai đoạn B. Theo công nghệ B²it, phiến rắn sẽ được hoá mềm bằng nhiệt để cho phép các núm dẫn điện đâm thủng phiến. Trong quy trình này, thao tác đâm thủng sẽ được thực hiện bằng cách đục lỗ nhờ làm thủng cưỡng bức. Do đó, khe hở có thể hình thành trên chu vi của núm. Do đó, so với giải pháp theo sáng chế, thì công nghệ B²it có độ tin cậy bám dính kém giữa các núm dẫn điện với nhựa.

(Quy trình rải chất độn cách điện)

Để giải quyết vấn đề lỗi nối dây liên lớp do sự cong vênh của đế như đã mô tả trên đây, các tác giả sáng chế đã tìm ra rằng việc rải chất độn cách điện vào màng cách điện liên lớp của đế đa lớp có thể rất hiệu quả.

Bảng mạch đa lớp theo sáng chế khác biệt ở chỗ bao gồm cụm nùm dẫn điện được tạo ra giữa lớp dẫn điện thứ nhất với lớp dẫn điện thứ hai, và lớp cách điện được tạo ra ở chu vi của cụm nùm dẫn điện và chứa chất độn cách điện để làm ổn định độ dẫn điện. Ngoài ra, sẽ tốt hơn nếu kích thước hạt trung bình của chất độn cách điện nằm trong khoảng 20%, hoặc lớn hơn nhưng không quá 100%, chiều cao trung bình của cụm nùm dẫn điện sau khi cán ép nóng.

Fig.8 (a) thể hiện sơ đồ mặt cắt của đế nối dây đa lớp theo sáng chế. Đế lõi 201 và đế lõi 207 được xếp lên nhau thông qua lớp nhựa cách điện 204 mà trong đó chất độn cách điện 205 đã được phân tán. Dây nối trên đế lõi 201 và dây nối trên đế lõi 207 được bố trí đối diện nhau. Các phần của các vùng nối dây được nối dẫn điện với nhau thông qua nùm dẫn điện 203. Đế lõi có, ví dụ, độ cong vênh lớn với hình dạng nhô ở tâm. Do đó, khoảng cách giữa các đế lõi tính từ các phần chu vi của chúng sẽ trở nên lớn. Do đó, các đế lõi sẽ đủ gần với nhau để tạo ra mối nối liên lớp giữa các phần chu vi của chúng. Nếu chất độn cách điện không được phân tán, như được minh họa trên Fig.8(b), thì dây nối tại phần tâm của đế sẽ bị ngắn mạch. Theo phương pháp sản xuất theo sáng chế, thì chất độn cách điện, chẳng hạn silic đioxit, đã được làm biến dạng một chút bằng áp lực, sẽ được phân tán vào lớp nhựa cách điện 204. Do đó, như được minh họa trên Fig.8(a), ngay cả phần tâm của đế cũng khó có thể bị ngắn mạch.

Như đã mô tả trên đây, bảng mạch đa lớp theo sáng chế khác biệt ở chỗ lớp cách điện, vốn chứa chất độn cách điện để ngăn ngừa sự ngắn mạch, được tạo ra dưới dạng thành phần kết cấu. Lớp cách điện để ngăn ngừa sự ngắn

mạch này được sử dụng không chỉ để ngăn không cho các dây dẫn bị ngắn mạch với nhau, mà còn được sử dụng để tránh sự ảnh hưởng của các nóm dẫn điện, vốn được sử dụng để nối điện liên lớp cho bảng mạch đa lớp, lên tính dẫn điện theo chiều đỉnh-đáy, vốn đạt được nhờ các nóm này, và bảo đảm độ dày của lớp cách điện để ngăn ngừa sự ngắn mạch.

(Quy trình xử lý màng mỏng và quy trình xử lý màng dày)

Thông thường, các kỹ thuật xử lý được sử dụng để sản xuất các bảng mạch đa lớp có thể được phân loại thành quy trình xử lý màng mỏng và quy trình xử lý màng dày.

Quy trình xử lý màng mỏng là kỹ thuật xử lý vốn chủ yếu sử dụng quy trình xử lý chân không hoặc quy trình xử lý ướt. Các ví dụ về kỹ thuật tạo màng được sử dụng trong quy trình xử lý màng mỏng bao gồm kỹ thuật lắng đọng hơi, kỹ thuật phun, kỹ thuật CVD (Chemical Vapor Deposition - lắng đọng hơi hoá học), kỹ thuật PVD (Physical Vapor Deposition - lắng đọng hơi vật lý), và kỹ thuật mạ kim loại. Ngoài ra, các ví dụ về kỹ thuật tạo mẫu bao gồm kỹ thuật in ảnh litô và kỹ thuật ăn mòn khô. Đối với bảng mạch gói, còn được gọi là bảng mạch hay bảng mạch in, thì quy trình xử lý màng mỏng, chẳng hạn kỹ thuật bán phụ gia, đã được sử dụng để xử lý bề rộng nối dây/không gian nhỏ, không lớn hơn mức $50\mu\text{m}/50\mu\text{m}$. Quy trình này cho phép hình thành mẫu nhỏ. Tuy nhiên, quy trình này có nhược điểm là chi phí sản xuất cao.

Ngược lại, quy trình xử lý màng dày thường là kỹ thuật xử lý vốn chủ yếu sử dụng phương pháp in, chẳng hạn in lưới. Quy trình xử lý màng dày là quy trình xử lý khô và được thực hiện trong điều kiện môi trường khí quyển. Ưu điểm của quy trình xử lý màng dày là có khả năng giảm các chi phí sản xuất, so với quy trình xử lý màng mỏng.

Ví dụ, quá trình tạo bảng mạch đa lớp có bề rộng nối dây là $100\mu\text{m}$

hoặc nhỏ hơn, với mật độ nổi dây cao, cần được thực hiện đồng thời cùng với quá trình hình thành nùm dẫn điện nhô, vốn tương đương với lỗ nổi liên lớp, với đường kính đáy là 100 μm hoặc nhỏ hơn. Tuy nhiên, theo phương pháp thông thường, thì phương pháp sản xuất mà theo đó các nùm dẫn điện đâm thủng phiến nửa đặc đã tẩm trước nhựa cách điện, thì độ dày của phiến nửa đặc này bằng ít nhất là 30 μm hoặc lớn hơn. Để làm cho các nùm dẫn điện đâm thủng một cách ổn định qua độ dày này, thì chiều cao của các nùm dẫn điện cần phải gần như gấp ba lần, hoặc nhiều hơn, độ dày của phiến nửa đặc. Do đó, bắt buộc phải giảm đường kính của nùm dẫn điện đi một chút để tăng tỷ lệ hình dạng của các nùm dẫn điện. Việc hình thành các nùm dẫn điện nhỏ với kích thước không quá 100 μm là cực kì khó. Thông thường, để tạo ra bảng mạch mật độ cao với đường kính lỗ xuyên dẫn điện và bề rộng nổi dây không quá 100 μm , thì quy trình xử lý màng mỏng đã được sử dụng rộng rãi (ví dụ, trong quá trình hình thành các mảng dây nổi mảnh bằng phương pháp bán phụ gia, và trong quá trình hình thành các lỗ nhỏ bằng phương pháp ảnh lỗ) bất kể chi phí sản xuất cao và việc đầu tư cơ sở sản xuất cho nó.

(Bảng mạch hữu cơ)

Nói chung, bảng mạch đa lớp thường được phân loại thành bảng mạch hữu cơ và bảng mạch vô cơ dựa trên vật liệu đế của chúng. Mục đích của sáng chế là đề xuất bảng mạch hữu cơ sử dụng vật liệu hữu cơ làm vật liệu đế cách điện.

(Định nghĩa các thuật ngữ đối với lớp cách điện và lớp dẫn điện)

Các thuật ngữ được sử dụng trong bản mô tả này đối với lớp cách điện được xác định như sau.

Thuật ngữ "dung dịch hỗn hợp nhựa cách điện" được dùng để chỉ dạng lỏng của nhựa cách điện được hoà tan trong dung môi. Thuật ngữ "màng cách điện chưa lưu hoá" được dùng để chỉ màng thu được bằng cách phủ dung dịch

hỗn hợp nhựa cách điện lên một chi tiết và làm bay hơi dung môi khỏi chi tiết đó. Thuật ngữ "màng cách điện" được dùng để chỉ màng thu được bằng cách nung màng cách điện chưa lưu hoá và cho phản ứng lưu hoá nhựa trong màng cách điện chưa lưu hoá này. Thuật ngữ "lớp cách điện" được dùng để chỉ màng cách điện được xếp lên lớp dẫn điện hoặc đế lõi.

Ngoài ra, thuật ngữ "lớp dẫn điện" còn được dùng để chỉ lớp kim loại, hoặc vật liệu tương tự, có tính dẫn điện cao, và các ví dụ về lớp dẫn điện bao gồm lớp mẫu dây dẫn, lớp rắn, lớp lót dây dẫn.

[Các chi tiết bảng mạch đa lớp theo sáng chế và các phương pháp sản xuất các chi tiết bảng mạch đa lớp này]

(Ví dụ cụ thể thứ nhất của phương pháp sản xuất chi tiết bảng mạch đa lớp)

Các hình vẽ từ Fig.1(a) đến Fig.1(d) thể hiện các sơ đồ mặt cắt được biểu diễn theo trình tự các bước, minh họa ví dụ cụ thể thứ nhất của phương pháp sản xuất chi tiết bảng mạch đa lớp theo một phương án thực hiện sáng chế. Trước hết, lá dẫn điện 1, chẳng hạn lá đồng, được chuẩn bị (Fig.1(a)). Tiếp theo, các núm dẫn điện 2 được tạo ra tại các vị trí định trước trên lá dẫn điện 1 (Fig.1(b)). Tốt hơn nếu núm dẫn điện 2 được tạo ra với hình dạng gần như hình nón cụt hoặc hình trụ, hoặc các hình dạng tương tự, sao cho đường kính tiết diện phần đầu mút của nó nhỏ hơn đường kính phần đáy. Các núm dẫn điện có thể được tạo ra bằng cách, ví dụ, in lưới bột dẫn điện. Bột dẫn điện dưới dạng vật liệu của các núm dẫn điện 2 có thể là, ví dụ, bột thu được bằng cách rải các hạt kim loại (ví dụ, bạc, vàng, đồng, hoặc chất hàn), và một cách tùy chọn, trộn lẫn với dung môi dễ bay hơi. Các núm dẫn điện sẽ được in sao cho chúng có thể được tạo hình thành hình dạng định trước với chiều cao định trước. Nếu quá trình in lưới được thực hiện một lần mà vẫn chưa đạt được chiều cao mong muốn, thì quá trình in có thể được lặp lại với hình dạng của

mặt nạ có thể được thay đổi một cách tùy chọn. Tiếp theo, màng chảy được 3 được tạo ra bằng cách phủ dung dịch hỗn hợp nhựa cách điện đã được phân tán chất độn cách điện 4 lên trên và chu vi các núm dẫn điện 2 (Fig.1(c)). Tiếp theo, màng chảy được 3 được làm khô để làm bay hơi dung môi, nhờ đó hình thành màng phủ cách điện chưa lưu hoá 5. Như vậy, đã hoàn thành chi tiết bảng mạch để làm thành phần của bảng mạch đa lớp (Fig.1(d)). Theo ví dụ cụ thể thứ nhất, như được minh họa trên Fig.1(d), màng phủ cách điện chưa lưu hoá 5 cao hơn so với các núm dẫn điện 2. Điều này thể hiện rằng không cần phải làm hở ra các núm dẫn điện ở giai đoạn trên Fig.1(d).

(Ví dụ cụ thể thứ hai về phương pháp sản xuất chi tiết bảng mạch đa lớp)

Các hình vẽ từ Fig.2(a) đến Fig.2(d) thể hiện các sơ đồ mặt cắt được biểu diễn theo trình tự các bước, minh họa ví dụ cụ thể thứ hai của phương pháp sản xuất chi tiết bảng mạch đa lớp theo một phương án thực hiện sáng chế. Trước hết, lá dẫn điện 11, chẳng hạn lá đồng, được chuẩn bị (Fig.2(a)). Tiếp theo, các núm dẫn điện 12 được tạo ra tại các vị trí định trước trên lá dẫn điện 11 (Fig.2(b)). Tốt hơn nếu núm dẫn điện 12 được tạo ra với hình dạng gần như hình nón cụt hoặc hình trụ, hoặc các hình dạng tương tự, sao cho đường kính tiết diện phần đầu mút của nó nhỏ hơn đường kính phần đáy. Các núm dẫn điện có thể được tạo ra bằng cách, ví dụ, in lưới bột dẫn điện. Bột dẫn điện dưới dạng vật liệu của các núm dẫn điện 12 có thể là, ví dụ, bột thu được bằng cách rải các hạt kim loại (ví dụ, bạc, vàng, đồng, hoặc chất hàn), và một cách tùy chọn, trộn lẫn với dung môi dễ bay hơi. Các núm dẫn điện sẽ được in sao cho chúng có thể được tạo hình thành hình dạng định trước với chiều cao định trước. Nếu quá trình in lưới được thực hiện một lần mà vẫn chưa đạt được chiều cao mong muốn, thì quá trình in có thể được lặp lại với hình dạng của mặt nạ có thể được thay đổi một cách tùy chọn. Tiếp theo, màng chảy được 13

được tạo ra bằng cách phủ dung dịch hỗn hợp nhựa cách điện đã được phân tán chất độn cách điện 14 lên trên và lên chu vi các núm dẫn điện 12 (Fig.2(c)). Tiếp theo, bằng cách, ví dụ, nung trong lò nung, thì thành phần dễ bay hơi trong màng chảy được 13 sẽ được làm bay hơi tới lượng định trước. Điều này làm giảm độ dày màng của màng chảy được 13, tạo thành màng phủ cách điện chưa lưu hoá 15. Như vậy, đã hoàn thành chi tiết bảng mạch để làm thành phần của bảng mạch đa lớp (Fig.2(d)). Trong quy trình này, hàm lượng thành phần dễ bay hơi trong dung dịch hỗn hợp nhựa cách điện và các điều kiện nung được điều chỉnh sao cho sự giảm độ dày của màng chảy được 13 sẽ làm lộ ra các phần đầu mút của các núm dẫn điện tương ứng 12.

(Ví dụ cụ thể thứ ba về phương pháp sản xuất chi tiết bảng mạch đa lớp)

Các hình vẽ từ Fig.3(a) đến Fig.3(i) thể hiện các sơ đồ mặt cắt được biểu diễn theo trình tự các bước, minh họa ví dụ cụ thể thứ ba của phương pháp sản xuất bảng mạch đa lớp theo một phương án thực hiện sáng chế. Trước hết, lá dẫn điện 21, chẳng hạn lá đồng, được chuẩn bị (Fig.3(a)). Tiếp theo, các núm dẫn điện 22 được tạo ra tại các vị trí định trước trên lá dẫn điện 21 (Fig.3(b)). Tốt hơn nếu núm dẫn điện 22 được tạo ra với hình dạng gần như hình nón cụt hoặc hình trụ, hoặc các hình dạng tương tự, sao cho đường kính tiết diện phần đầu mút của nó nhỏ hơn đường kính phần đáy. Các núm dẫn điện có thể được tạo ra bằng cách, ví dụ, in lưới bột dẫn điện. Bột dẫn điện dưới dạng vật liệu của các núm dẫn điện 22 có thể là, ví dụ, bột thu được bằng cách rải các hạt kim loại (ví dụ, bạc, vàng, đồng, hoặc chất hàn), và một cách tùy chọn, trộn lẫn với dung môi dễ bay hơi. Các núm dẫn điện sẽ được in sao cho chúng có thể được tạo hình thành hình dạng định trước với chiều cao định trước. Nếu quá trình in lưới được thực hiện một lần mà vẫn chưa đạt được chiều cao mong muốn, thì quá trình in có thể được lặp lại với hình dạng của mặt nạ có thể được thay đổi một cách tùy chọn. Tiếp theo, màng chảy được 23

được tạo ra bằng cách phủ dung dịch hỗn hợp nhựa cách điện đã được phân tán chất độn cách điện 24 lên trên và lên chu vi các núm dẫn điện 22 (Fig.3(c)). Tiếp theo, bằng cách, ví dụ, nung trong lò nung, thì thành phần dễ bay hơi trong màng chảy được 23 sẽ được làm bay hơi tới lượng định trước. Điều này làm giảm độ dày màng của màng chảy được 23, tạo thành màng phủ cách điện chưa lưu hoá 25 (Fig.3(d)). Trong quy trình này, hàm lượng thành phần dễ bay hơi trong dung dịch hỗn hợp nhựa cách điện và các điều kiện nung được điều chỉnh sao cho sự giảm độ dày của màng chảy được 23 sẽ làm lộ ra các phần đầu mút của các núm dẫn điện tương ứng 22. Độ lỏng của màng phủ cách điện chưa lưu hoá 23 sẽ thay đổi với quá trình nung trong quy trình giảm độ dày. Như vậy, màng cách điện 25 được tạo ra. Tốt hơn nếu các điều kiện nung đối với màng cách điện 25 được điều chỉnh sao cho phản ứng lưu hoá có thể bắt đầu xảy ra nhưng chưa lưu hoá hoàn toàn. Do đó, bảng mạch có thể dễ dàng được xử lý trong quá trình hình thành mảng dẫn điện trên mặt sau của bảng mạch mà không làm giảm độ bám dính tại thời điểm xếp màng cách điện. Tiếp theo, màng bảo vệ 26 được tạo ra trên màng cách điện 25 với độ dày màng đã được giảm và các núm dẫn điện 22 bằng kỹ thuật cán (Fig.3(e)). Màng bảo vệ 26 được tạo ra từ màng nhựa hữu cơ (ví dụ, KURERAP, PYLEN, NYLON, PET, PPT, hoặc PI) và có thể được ép bởi đầu mút của núm dẫn điện 22. Màng bảo vệ 26 được tạo ra để bảo vệ các núm dẫn điện 22 khỏi bị biến dạng hoặc bị phá hỏng bởi quy trình hậu xử lý, quy trình in mảng dẫn điện lên mặt sau. Tiếp theo, mảng cản được tạo ra trên lá dẫn điện 21 trên mặt sau của màng cách điện 25 bằng, ví dụ, kỹ thuật in ảnh litô. Sau đó, mảng cản được sử dụng làm mặt nạ để ăn mòn lá dẫn điện 21 bằng kỹ thuật ăn mòn ướt. Quá trình ăn mòn sẽ loại bỏ mảng cản để hình thành dây nối 27. Sau đó, màng bảo vệ 26 được bóc ra (Fig.3(g)). Tiếp theo, màng chảy được 28 được tạo ra bằng cách phủ dung dịch hỗn hợp nhựa cách điện lên trên và lên chu vi của các núm dẫn điện

22 (Fig.3(h)). Tiếp theo, bằng cách, ví dụ, nung trong lò nung, thì một lượng định trước của thành phần dễ bay hơi trong màng chảy được 28 sẽ được làm bay hơi tới lượng định trước. Điều này làm giảm độ dày màng của màng chảy được 28, tạo thành màng phủ cách điện chưa lưu hoá 29. Như vậy, đã hoàn thành chi tiết bảng mạch (Fig.3(i)). Do màng cách điện 29 là màng chưa lưu hoá, nên độ bám dính giữa màng cách điện 29 với chi tiết được xếp lên để chạm vào màng cách điện 29 có thể được cải thiện.

[Phần mô tả chi tiết đối với phương pháp sản xuất, các vật liệu, và các yếu tố tương tự]

Dưới đây, phương pháp sản xuất ưu tiên, các vật liệu, và các yếu tố tương tự, sẽ được mô tả chi tiết đối với các núm dẫn điện, màng cách điện, dây nối vốn cấu thành chi tiết bảng mạch đa lớp theo một phương án thực hiện sáng chế.

[Phương pháp sản xuất]

(Quy trình hình thành các núm dẫn điện)

1. Quy trình điều chế bột dẫn điện

Bột dẫn điện được sử dụng được điều chế bằng cách hoà tan hoặc rải thành phần nhựa và các hạt dẫn điện vào dung môi.

2. Bước in và bước làm khô/làm rắn bột dẫn điện

Các núm dẫn điện được tạo ra bằng quy trình, ví dụ, in lưới. Nói cách khác, các núm dẫn điện được tạo ra bằng cách in bột dẫn điện lên bảng mạch hoặc đế đỡ nhờ sử dụng mặt nạ định trước. Để hình thành các núm dẫn điện với chiều cao và tỷ lệ hình dạng định trước, thì quá trình in có thể được thực hiện một cách tùy chọn hai hoặc nhiều lần nhờ sử dụng các mặt nạ khác nhau.

(Quy trình hình thành màng cách điện)

1. Quy trình điều chế dung dịch hỗn hợp nhựa cách điện

Dung dịch hỗn hợp nhựa cách điện được điều chế bằng cách hoà tan

hoặc rải thành phần nhựa rắn nhiệt vào dung môi. Dung môi này có thể là, ví dụ, dung môi hữu cơ. Dung môi hữu cơ bao gồm, ví dụ, các dung môi xeton và các dung môi thơm. Các dung môi xeton có thể là, ví dụ, methyl ethyl xeton và methyl isobutyl xeton, và các dung môi thơm có thể là, ví dụ, toluen và xylen.

Đồng thời, chất độn cách điện được phân tán vào dung môi.

Tốt hơn nếu chất độn cách điện được phân tán đều vào dung môi. Tốt hơn nếu lượng chất độn cách điện được bổ sung vào thành phần nhựa cách điện bằng 10% thể tích hoặc nhiều hơn. Để làm hở ra các núm dẫn điện một cách phù hợp bằng cách làm bay hơi dung môi, thì tốt hơn nếu lượng dung môi được sử dụng được điều chỉnh sao cho hàm lượng thành phần dễ bay hơi trong dung dịch hỗn hợp nhựa cách điện nằm trong khoảng thích hợp. Ví dụ, tốt hơn nếu nhựa được pha loãng bằng dung môi sao cho N.V. (hàm lượng thành phần nhựa khó bay hơi) có thể nằm trong khoảng từ 10 đến 80% khối lượng. Ngoài ra, tốt hơn nếu độ nhớt của dung dịch hỗn hợp nhựa cách điện nằm trong khoảng từ 100 đến 600 mPas. Nếu độ nhớt quá nhỏ, thì dung dịch hỗn hợp nhựa sẽ bị chảy ra khi phủ dung dịch hỗn hợp nhựa, nên sẽ gặp phải vấn đề là không thể phủ được dung dịch hỗn hợp nhựa. Nếu độ nhớt quá lớn, thì sẽ gặp phải vấn đề là độ phẳng của bề mặt được phủ bị giảm.

Nhựa epoxy và nhựa ete oligophenylen, vốn được sử dụng trong quá trình sản xuất màng cách điện của bảng mạch đa lớp theo sáng chế, là nhựa ở thể rắn ở nhiệt độ thường, và bộc lộ đặc tính hoá mềm nhiệt ở nhiệt độ xấp xỉ 100°C. Vật liệu rắn dạng bột hoặc dạng màng được hoà tan hoặc được phân tán vào dung môi và có thể được nung nóng để tạo ra dung dịch hỗn hợp nhựa (chất lỏng). Sau khi phủ dung dịch hỗn hợp nhựa lên đế, dung dịch hỗn hợp nhựa sẽ được làm khô và làm nguội xuống nhiệt độ thường. Như vậy, dung dịch hỗn hợp nhựa được chuyển thành màng phủ (dạng rắn). Cụ thể là, tốt hơn nếu quá trình sản xuất bảng mạch đa lớp theo sáng chế có thể sử dụng kết hợp

dung môi và nhựa để làm cho nhiệt độ hoá khô/hoá rắn nằm trong khoảng 60°C, hoặc cao hơn nhưng không quá 160°C.

2. Quy trình phủ đối với dung dịch hỗn hợp nhựa cách điện

Màng cách điện được tạo ra bằng cách phủ dung dịch hỗn hợp nhựa cách điện thu được lên bề mặt của đế đỡ có các núm dẫn điện. Phương pháp phủ không bị giới hạn ở phương pháp cụ thể. Tuy nhiên, tốt hơn nếu phương pháp phủ bao gồm, ví dụ: phương pháp lưỡi dao bác sĩ, phương pháp phủ màng, phương pháp vi khắc ảnh và phương pháp khe-khuôn. Ngoài ra, trong quy trình phủ, tốt hơn nếu phủ màng cách điện cao hơn chiều cao của các núm dẫn điện. Sau khi làm cho độ dày của màng cách điện lớn hơn chiều cao của các núm dẫn điện, thì độ dày của màng cách điện được giảm cho đến khi nhỏ hơn chiều cao của các núm dẫn điện để làm hở đều các núm dẫn điện với khả năng tái tạo tốt.

3. Quy trình làm bay hơi dung môi

Quy trình làm bay hơi dung môi là tùy chọn trong quá trình sản xuất chi tiết bảng mạch đa lớp theo sáng chế. Tuy nhiên, quy trình làm bay hơi dung môi sẽ làm cho môi nổi dây ổn định hơn so với trường hợp mà quy trình làm bay hơi dung môi không được thực hiện. Cụ thể là, thành phần dễ bay hơi trong màng cách điện có thể được làm bay hơi bằng cách nung hoặc làm khô tự nhiên màng phủ cách điện. Do đó, độ dày màng của màng cách điện có thể được giảm. Thời gian xử lý tại nhiệt độ định trước cần được điều chỉnh một cách phù hợp tùy theo loại dung môi, vận tốc và thể tích gió được thổi từ máy làm khô, và các yếu tố tương tự. Ví dụ, thời gian xử lý tại nhiệt độ định trước được đặt xấp xỉ bằng từ 1 đến 30 phút tại nhiệt độ từ 80 đến 120°C.

(Quy trình cán ép nóng)

Trong trường hợp cán đồng thời, thì các chi tiết bảng mạch và đế lõi được xếp lên nhau trong khi được đồng chỉnh một cách tùy chọn. Sau đó,

chúng được ép trong điều kiện nhiệt để tạo thành bảng mạch đa lớp. Ngược lại, trong trường hợp cán tuần tự, thì các chi tiết bảng mạch được xếp lên nhau và được ép nóng từng chi tiết một lên để lồi. Đối với các điều kiện nung, thì tốt hơn nếu nhiệt độ được đặt không cao quá nhiệt độ chịu nhiệt của nhựa rắn nhiệt mà cấu thành bảng mạch đa lớp và cho phép nhựa rắn nhiệt bị lưu hoá hoàn toàn. Các điều kiện để ép nóng có thể được xác định một cách phù hợp. Tốt hơn nếu nhiệt độ nung được đặt không cao hơn nhiệt độ bắt đầu xảy ra phản ứng lưu hoá nhựa cách điện và không thấp hơn nhiệt độ bắt đầu suy giảm tính nhớt chảy nhiệt. Ngoài ra, tốt hơn nếu các điều kiện để ép nóng đủ để bảo đảm các mối nối điện mà không gây ra sự nứt nẻ các núm dẫn điện trong quy trình cán ép nóng ngay cả khi có mặt chất độn cách điện trên các núm dẫn điện. Các điều kiện này có thể là, ví dụ, nhiệt độ từ 170 đến 210°C và áp suất thực từ 5 đến 15 kgf/cm². Quy trình cán ép nóng cho phép độ nhớt chảy tối thiểu của màng chưa lưu hoá tương đối cao. Do đó, nhựa sẽ được ngăn không cho chảy trong quá trình cán ép nóng. Do đó, chiều dày của nhựa có thể gần như không đổi trước và sau khi lưu hoá. Ngoài ra, nhựa sau khi lưu hoá có thể có độ đồng đều cao về độ dày.

[Các vật liệu]

(Các vật liệu núm dẫn điện)

Các thành phần nhựa cấu thành bột dẫn điện thường bao gồm, ví dụ, các nhựa rắn nhiệt, chẳng hạn nhựa phenol và nhựa epoxy. Do nhựa rắn nhiệt có tính lỏng nên nó có thể được đúc một cách dễ dàng. Do đó, nhựa rắn nhiệt có thể được tạo độ bền cơ học bằng cách lưu hoá nhiệt ở quy trình tiếp theo.

Hiện nay đã có dung môi hữu cơ để, ví dụ, làm dung môi mà trong đó thành phần nhựa được hoà tan hoặc được phân tán. Dung môi hữu cơ bao gồm, ví dụ, các dung môi thơm, chẳng hạn toluen, xylen, và các dung môi xeton. Các dung môi xeton bao gồm, ví dụ, metyl etyl xeton và metyl isobutyl xeton.

Tốt hơn nếu các hạt dẫn điện để rải vào dung dịch hỗn hợp nhựa có thể là hạt kim loại bất kỳ trong số các kim loại Ag, Cu, Au, và Ni hoặc hỗn hợp của ít nhất hai hoặc nhiều kim loại trong số các kim loại này, hoặc hợp chất giữa các kim loại bất kỳ trong số các kim loại này.

Ngoài ra, vật liệu được ưu tiên sử dụng làm thành phần nhựa vốn cấu thành các nút dẫn điện là vật liệu thu được bằng cách bổ sung nhựa dẻo nhiệt vào nhựa rắn nhiệt sao cho tỷ lệ phần trăm của nhựa dẻo nhiệt bằng từ 10 đến 30% khối lượng trong hỗn hợp. Có thể đạt được hiệu quả ngăn ngừa các nút dẫn điện khỏi bị nứt nẻ trong quy trình cán ép nóng để nối dây đa lớp.

(Vật liệu màng cách điện)

Trong xã hội nối mạng cao độ trong những năm gần đây, để truyền một lượng lớn thông tin với tốc độ cao, thì tần số hoạt động của các thiết bị điện tử đã và đang tăng lên hàng năm. Đối với các bảng mạch đa lớp được lắp đặt trong các thiết bị điện tử này, thì cũng cần phải sử dụng vật liệu có hằng số điện môi tương đối thấp và sự tổn hao điện môi thấp làm vật liệu của màng cách điện vốn cấu thành bảng mạch.

Ngoài ra, cũng cần phải giảm chiều dày bảng mạch kết hợp với việc thu nhỏ và giảm độ dày các thiết bị điện tử. Do đó, tốt hơn nếu vật liệu màng cách điện là vật liệu mà cho phép tạo ra màng cách điện mỏng với khả năng tái tạo cao. Ngoài ra, để giảm chi phí sản xuất, thì tốt hơn nếu sử dụng vật liệu mà có thể tạo thành màng mỏng ngay cả với trường hợp sử dụng quy trình xử lý màng dày.

Tốt hơn nếu vật liệu của chi tiết cách điện trong quá trình sản xuất bảng mạch đa lớp theo sáng chế có thể là nhựa rắn nhiệt với hằng số điện môi tương đối thấp và góc tổn hao điện môi thấp. Các vật liệu được ưu tiên sử dụng bao gồm, ví dụ, nhựa epoxy, nhựa bismaleimide triazin, nhựa polyimide, nhựa acrylic, nhựa phenol, nhựa ete oligophenylene, nhựa polyete và nhựa melamin.

Tốt hơn nếu vật liệu của nhựa rắn nhiệt là vật liệu mà thoả mãn ít nhất một trong số các yêu cầu bao gồm: có hằng số điện môi tương đối hậu lưu hoá bằng 2 đến 3 tại tần số 5 GHz, hoặc có góc tổn hao điện môi bằng 0,001 đến 0,005 tại tần số 5 GHz.

<Nhựa epoxy>

Ngoài ra, tốt hơn nếu thành phần nhựa rắn nhiệt nêu trên là thành phần nhựa epoxy được mô tả trong công bố quốc tế số WO 2005/100435. Cụ thể là, thành phần nhựa epoxy này chứa nhựa epoxy mạch thẳng (A) với trọng lượng phân tử trung bình từ 1500 đến 70000, có một hoặc nhiều nhóm hydroxyl và hai hoặc nhiều nhóm epoxy; và phenol novolac đã được biến tính (B) thu được bằng cách este hoá ít nhất một phần của nhóm phenolic hydroxyl bằng axit béo. Ngoài ra, trong thành phần nhựa epoxy này, hàm lượng của phenol novolac đã được biến tính (B) nêu trên là 30 đến 200 phần trọng lượng so với 100 phần trọng lượng của nhựa epoxy mạch thẳng (A) nêu trên. Thành phần nhựa epoxy này có các đặc tính điện môi rất tốt (ví dụ, hằng số điện môi tương đối thấp và góc tổn hao điện môi thấp).

Trọng lượng phân tử trung bình của nhựa epoxy mạch thẳng (A) bằng từ 1500 đến 70000.

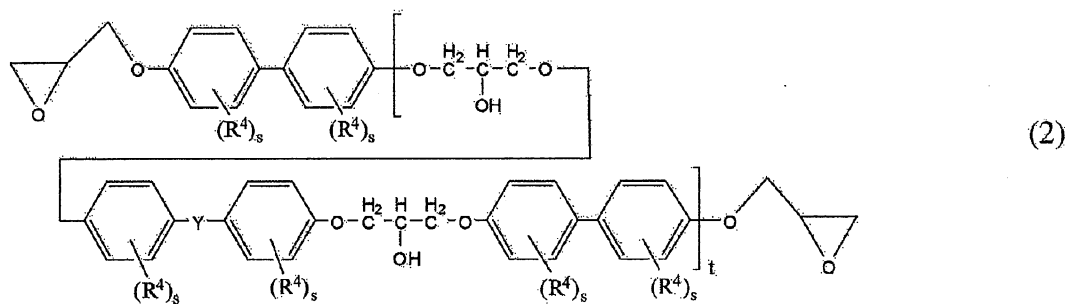
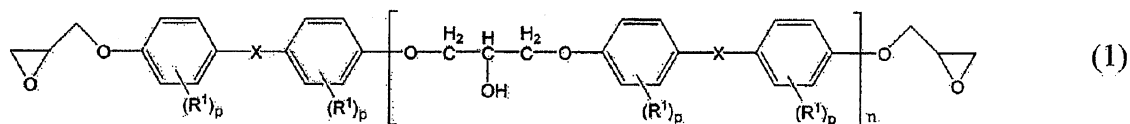
Tốt hơn nếu trọng lượng phân tử trung bình số của nhựa epoxy mạch thẳng (A) nêu trên bằng từ 3700 đến 74000, và tốt hơn nữa nếu bằng từ 5500 đến 26000.

Tốt hơn nếu đương lượng epoxy của nhựa epoxy mạch thẳng (A) này bằng 5000 g/eq hoặc hơn.

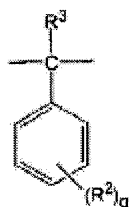
Trọng lượng phân tử trung bình và trọng lượng phân tử trung bình số trong phần mô tả này là các giá trị thu được bằng phương pháp sắc ký thẩm gel (Gel Permeation Chromatography - GPC) nhờ sử dụng đường lấy chuẩn dựa trên polystyren tiêu chuẩn.

Đặc biệt tốt nếu nhựa epoxy (A) có tỷ lệ trọng lượng phân tử trung bình/trọng lượng phân tử trung bình số là 2/3.

Cụ thể là, nhựa epoxy mạch thẳng (A) bao gồm, ví dụ, các hợp chất được biểu diễn bằng công thức (1) được mô tả dưới đây, và tốt hơn nếu là các hợp chất được biểu diễn bằng công thức (2) được mô tả dưới đây.



Trong công thức trên, X và Y đều biểu diễn liên kết đơn, nhóm hydrocacbon có từ 1 đến 7 nguyên tử cacbon, -O-, -S-, -SO₂-, -CO-, hoặc nhóm được biểu diễn bằng công thức sau đây. Nếu có nhiều X và Y, thì các giá trị này có thể bằng hoặc khác nhau.



Ở đây, trong công thức nêu trên, R² biểu thị nhóm hydrocacbon có từ 1 đến 10 nguyên tử cacbon hoặc nguyên tử halogen. Nếu có nhiều R², thì các giá trị này có thể giống hoặc khác nhau. R³ biểu thị nguyên tử hydro, nhóm hydrocacbon có từ 1 đến 10 nguyên tử cacbon, hoặc nguyên tử halogen. q biểu

thị số nguyên từ 0 đến 5.

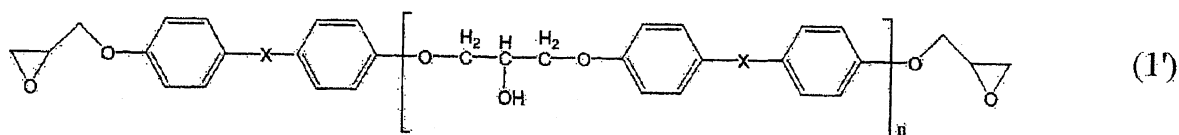
Trong các công thức (1) và (2) nêu trên, mỗi trong số các kí hiệu R^1 và R^4 đều biểu diễn nhóm hydrocacbon có từ 1 đến 10 nguyên tử cacbon hoặc nguyên tử halogen. Nếu có nhiều R^1 và R^4 , thì các giá trị này có thể giống hoặc khác nhau.

p và s đều biểu diễn số nguyên từ 0 đến 4. Các giá trị này có thể bằng hoặc khác nhau.

Trong công thức (1) nêu trên, n biểu thị giá trị trung bình. n nằm trong khoảng từ 25 đến 500.

Trong công thức (2) nêu trên, t biểu thị giá trị trung bình. t nằm trong khoảng từ 10 đến 250.

Tốt hơn nữa nếu nhựa epoxy mạch thẳng (A) là hợp chất được biểu diễn bằng công thức (1) nêu trên, trong đó p bằng 0, hoặc hợp chất được biểu diễn bằng công thức (1').



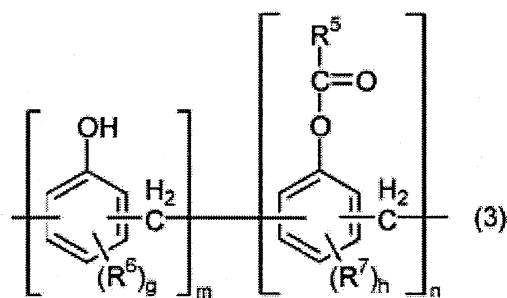
Trong công thức nêu trên, X và n tương đương với X và n trong công thức (1) nêu trên.

Các nhựa epoxy mạch thẳng (A) đã mô tả trên đây có thể được sử dụng một cách độc lập.

Hai hoặc nhiều nhựa epoxy mạch thẳng (A) khác nhau có thể được sử dụng kết hợp.

Phenol novolac đã được biến tính (B) được ưu tiên sử dụng và thu được bằng cách ete hoá ít nhất một phần của nhóm phenolic hydroxyl bằng axit béo có thể là, ví dụ, phenol novolac đã được biến tính được biểu diễn bằng

công thức (3) sau đây.



Trong công thức (3) nêu trên, R^5 biểu thị nhóm alkyl có 1 đến 5 nguyên tử cacbon. Tốt hơn nếu R^5 biểu thị nhóm metyl. Các giá trị của R^5 có thể giống hoặc khác nhau.

R^6 biểu thị nhóm alkyl có 1 đến 5 nguyên tử cacbon, nhóm phenyl vốn có thể có nhóm thế, nhóm aralkyl vốn có thể có nhóm thế, nhóm alkoxy hoặc nhóm halogen. Các giá trị của R^6 có thể giống hoặc khác nhau.

R^7 biểu thị nhóm alkyl có 1 đến 5 nguyên tử cacbon, nhóm phenyl vốn có thể có nhóm thế, nhóm aralkyl vốn có thể có nhóm thế, nhóm alkoxy hoặc nhóm halogen. Các giá trị của R^7 có thể giống hoặc khác nhau.

g biểu thị số nguyên từ 0 đến 3. Các giá trị của g có thể giống hoặc khác nhau.

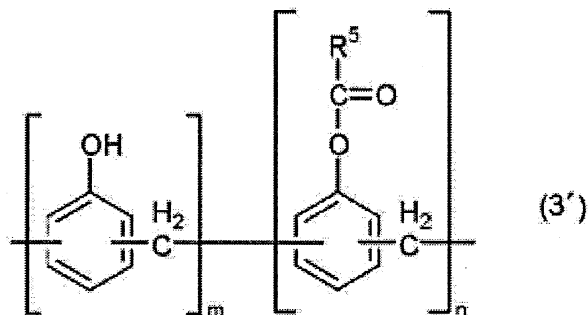
h biểu thị số nguyên từ 0 đến 3. Các giá trị của h có thể giống hoặc khác nhau.

Tỉ số $n:m$ biểu thị các giá trị từ 1:1 đến 1,2:1, và tốt hơn nếu bằng khoảng 1:1.

Tổng số của n và m có thể bằng, ví dụ, từ 2 đến 4.

Trong công thức (3) nêu trên, mỗi trong số các kí hiệu n và m đều là giá trị trung bình của đơn vị lặp. Bậc của các đơn vị lặp này không bị giới hạn. Bậc này có thể là khối hoặc ngẫu nhiên.

Phenol novolac đã được biến tính (B) được ưu tiên sử dụng có thể là phenol novolac đã được biến tính được biểu diễn bằng công thức (3') sau đây.



Trong công thức (3'), R^5 và n và m cũng lần lượt giống như R^5 và n và m của công thức (3) nêu trên.

Phenol novolac đã được biến tính được đặc biệt ưu tiên sử dụng là phenol novolac đã được axetylen hoá, trong đó R^5 trong công thức (3') nêu trên là nhóm metyl.

Các phenol novolac này có thể được sử dụng một cách độc lập. Theo cách khác, hai hoặc nhiều phenol novolac khác nhau có thể được sử dụng kết hợp.

Hàm lượng của thành phần (B) nêu trên bằng từ 30 đến 200 phần trọng lượng so với 100 phần trọng lượng của thành phần (A) nêu trên. Hàm lượng của thành phần (B) trong khoảng này sẽ đem lại các thuộc tính điện môi, các thuộc tính tạo màng và khả năng phản ứng lưu hoá rất tốt. Tốt hơn nữa nếu hàm lượng của thành phần (B) nêu trên bằng từ 50 đến 180 phần trọng lượng so với 100 phần trọng lượng của thành phần (A) nêu trên.

Tốt hơn nếu thành phần nhựa epoxy nêu trên còn bao gồm hợp chất isoxyanat (C). Nếu có nhóm hydroxyl trong nhựa epoxy, thì nhóm hydroxyl này, hoặc nhóm hydroxyl được hình thành do sự mở vòng của nhựa epoxy, sẽ phản ứng với nhóm isoxyanat trong hợp chất isoxyanat để tạo ra liên kết uretan. Do đó, polyme đã lưu hoá sẽ có mật độ liên kết chéo tăng và tính lưu động phân tử giảm, cũng như sự giảm tiếp về số lượng các nhóm hydroxyl có cực tính lớn. Điều này dẫn đến sự tiếp tục giảm hằng số điện môi tương đối và góc

tổn hao điện môi. Ngoài ra, nhựa epoxy thường có lực liên phân tử lớn. Vì vậy, trong trường hợp tạo dạng cho nhựa epoxy thành màng, thì khó làm cho màng được đều. Ngoài ra, ngay cả khi nhựa epoxy đã được tạo thành màng, thì màng tạo ra được cũng có độ bền màng nhỏ và có xu hướng bị nứt nẻ trong quá trình hình thành màng. Tuy nhiên, nhược điểm này có thể được khắc phục bằng cách đưa hợp chất isoxyanat vào nhựa.

Hợp chất isoxyanat nêu trên bao gồm, ví dụ, các hợp chất có hai hoặc nhiều nhóm isoxyanat. Các ví dụ về hợp chất isoxyanat nêu trên bao gồm hexametylen diisoxyanat, diphenylmetan diisoxyanat, tolylen diisoxyanat, isophoron diisoxyanat, đixyclohexylmetan diisoxyanat, tetrametylxylylen diisoxyanat, xylylen diisoxyanat, naphtalen diisoxyanat, trimetylhexametylen diisoxyanat, toliđin diisoxyanat, p-phenylen diisoxyanat, xyclohexylen diisoxyanat, dime axit diisoxyanat, hydro hoá xylylen diisoxyanat, lysin diisoxyanat, triphenylmetan triisoxyanat, và tri(isoxyanatophenyl)triphosphat. Các hợp chất này có thể được sử dụng một cách độc lập. Theo cách khác, hai hoặc nhiều hợp chất isoxyanat nêu trên có thể được sử dụng kết hợp.

Trong số các hợp chất này, hexametylen diisoxyanat và diphenylmetan diisoxyanat được ưu tiên sử dụng.

Ngoài ra, các hợp chất isoxyanat này còn bao gồm các prepolymer được tạo ra từ hợp chất isoxyanat mà một phần của nó tạo thành vòng isoxyanurat bằng phản ứng vòng hoá. Ví dụ, các prepolymer này bao gồm các prepolymer chứa trime của các hợp chất isoxyanat.

Cụ thể là, tốt hơn nếu hợp chất isoxyanat nêu trên được sử dụng kết hợp với nhựa epoxy mạch thẳng (A) nêu trên. Trong trường hợp này, nhóm hydroxyl trong nhựa epoxy mạch thẳng (A) có thể được cho phản ứng với nhóm isoxyanat, ngoài phản ứng của nhóm isoxyanat với nhóm hydroxyl được hình thành do phản ứng mở vòng của nhựa epoxy. Do đó, có thể đạt được

nhiều ưu điểm hơn.

Tốt hơn nếu hàm lượng của thành phần (C) nêu trên bằng từ 100 đến 400 phần trọng lượng, và tốt hơn nữa nếu bằng từ 300 đến 350 phần trọng lượng so với 100 phần trọng lượng của thành phần (A) nêu trên. Hàm lượng của thành phần (C) trong khoảng này có thể ngăn ngừa sự tạo bọt trong quá trình lưu hoá. Do đó, có thể dễ dàng thu được màng đều, còn các vết nứt nẻ thì hầu như không xuất hiện sau khi lưu hoá. Ngoài ra, màng tạo được có thể có các thuộc tính điện môi rất tốt (ví dụ, hằng số điện môi thấp và góc tổn hao điện môi thấp).

Tốt hơn nếu thành phần nhựa epoxy nêu trên còn bao gồm divinylbenzen (D). Việc bao gồm divinylbenzen có lợi là sẽ làm giảm nhiệt độ chảy của thành phần liên kết chéo, làm tăng độ lỏng trong quá trình đúc, làm giảm nhiệt độ lưu hoá, và cải thiện khả năng tương hợp.

Tốt hơn nếu hàm lượng của thành phần (D) nêu trên bằng từ 40 đến 180 phần trọng lượng so với 100 phần trọng lượng của thành phần (A) nêu trên.

Thành phần nhựa epoxy nêu trên có thể chứa chất tăng tốc lưu hoá như một thành phần tùy chọn.

Chất tăng tốc lưu hoá có thể là chất bất kỳ trong số các chất tăng tốc lưu hoá đã biết đối với thành phần nhựa epoxy. Các chất tăng tốc lưu hoá này bao gồm, ví dụ, các imidazol hợp chất khác vòng, chẳng hạn 2-metylimidazol và 2-etyl-4-metylimidazol; các hợp chất phospho, chẳng hạn triphenyl phosphin và tetraphenyl phosphonium tetraphenylborat; các amin thứ ba, chẳng hạn 2,4,6-tri(dimetyl aminometyl)phenol và benzyldimetylamin; các BBU, chẳng hạn 1,8-điazabicyclo (5, 4, 0) undecene và muối của nó; và các chất tăng tốc kiểu khép được điều chế bằng cách khép epoxy, ure, axit, hoặc các nhóm tương tự, vào các amin hoặc imidazol.

Tốt hơn nếu hàm lượng của chất tăng tốc lưu hoá bằng từ 1 đến 10 phần trọng lượng so với 100 phần trọng lượng của thành phần (A) nêu trên.

Thành phần nhựa epoxy nêu trên có thể chứa chất khơi mào polyme hoá như một thành phần tuỳ chọn.

Chất khơi mào polyme hoá này có thể là chất bất kỳ trong số các chất khơi mào polyme hoá đã biết. Các chất khơi mào polyme hoá này bao gồm, ví dụ, benzoyl peroxit, azobisisobutyronitril, t-butyl paroxybenzoat, và 1,1,3,3-tetrametylbutylperoxy-2-ethylhexanoat.

Tốt hơn nếu hàm lượng của chất khơi mào polyme hoá bằng từ 1 đến 10 phần trọng lượng so với 100 phần trọng lượng của thành phần (A) nêu trên.

Thành phần nhựa epoxy nêu trên có thể chứa một cách tuỳ chọn các chất phụ gia, chẳng hạn chất dính, chất chống cháy, chất khử bọt, tác nhân điều chỉnh dòng chảy và chất làm phân tán.

Thành phần nhựa epoxy nêu trên có thể tuỳ chọn bao gồm nhựa epoxy bổ sung khác với thành phần A, ví dụ, để cải thiện suất đàn hồi, hạ thấp hệ số giãn nở, hay thay đổi nhiệt độ hoá thuỷ tinh (T_g), miễn là không ảnh hưởng đến mục đích của sáng chế.

Các nhựa epoxy bổ sung khác với thành phần (A) nêu trên bao gồm, ví dụ, nhựa epoxy bisphenol A, nhựa epoxy bisphenol F, nhựa epoxy alixyclic, và nhựa epoxy biphenyl. Các nhựa epoxy này có thể được sử dụng một cách độc lập, hoặc hai hay nhiều trong số các nhựa này có thể được sử dụng kết hợp.

Ngoài ra, thành phần nhựa epoxy nêu trên có thể bao gồm chất lưu hoá nhựa epoxy đã biết, chẳng hạn phenol novolac đã được khử este bằng axit béo, nhựa cresol novolac, hoặc chất bao gồm một số hạt nhân phenol, miễn là không ảnh hưởng đến mục đích của sáng chế.

Các chất bao gồm một số hạt nhân phenol này bao gồm, ví dụ, các phenol có từ 3 đến 5 hạt nhân.

Thành phần nhựa epoxy nêu trên có thể được sản xuất bằng phương pháp đã biết. Các thành phần (A) và (B) được trộn lẫn, ví dụ, với sự có mặt hoặc vắng mặt dung môi, bằng máy khuấy đầy, máy trộn kiểu Banbury, máy trộn kiểu hành tinh, máy nhào trộn nung chân không.

Ngoài ra, ví dụ, thành phần nhựa được hoà tan vào dung môi với nồng độ định trước, và lượng hỗn hợp định trước được rót vào buồng phản ứng được nung ở nhiệt độ từ 25 đến 60°C, sau đó được trộn ở áp suất bình thường trong khoảng thời gian từ 30 phút đến 6 tiếng. Sau đó, trong chân không (tối đa là 1 Torr), quá trình trộn có thể tiếp tục được thực hiện bằng cách khuấy từ 5 đến 60 phút.

<Nhựa OPE >

Hợp chất nhựa ete oligophenylen cũng có thể được ưu tiên sử dụng làm thành phần nhựa rắn nhiệt nêu trên. Cụ thể, thành phần (A) có thể là ete oligophenylen nhiệt rắn với các nhóm chức năng ở các đầu đối diện và trọng lượng phân tử trung bình số bằng 1000, hoặc lớn hơn nhưng không quá 3000. Ngoài ra, thành phần (B) có thể là hợp chất nhựa ete oligophenylen vốn là copolyme khối có phần khối phân đoạn cứng chủ yếu được tạo thành từ hydrocacbon vinyl thơm và khối phân đoạn mềm chủ yếu được tạo thành từ dien liên hợp. Hợp chất nhựa ete oligophenylen thu được bằng cách làm bay hơi dung môi từ dung dịch hỗn hợp nhựa cách điện vốn được trộn với dung môi mà không gây ra phản ứng lưu hoá.

Ở đây, trong dung dịch hỗn hợp nhựa cách điện nêu trên, hàm lượng của thành phần (B) là 67 phần hoặc nhiều hơn, nhưng không quá 150 phần, so với 100 phần của thành phần (A). Ngoài ra, thành phần (B) trong màng cách điện chưa lưu hoá là một hoặc nhiều chất đàn hồi nhiệt dẻo được chọn từ cao su và/hoặc copolyme khối styren butadien-styren, copolyme khối styren-isopren-styren, và copolyme styren-etylen/butadien-styren.

Các ví dụ về nhựa rắn nhiệt được sử dụng cho thành phần nhựa rắn nhiệt nêu trên bao gồm nhựa ete oligophenylene nhiệt rắn hoặc nhựa epoxy có nhóm chức năng bất kỳ trong số các nhóm chức năng trên các đầu đối diện của nó, chẳng hạn nhóm chức năng styren, nhóm vinyl, nhóm glycidyl, nhóm amino, nhóm hydroxyl và nhóm cacboxyl. Trong số các nhựa nêu trên, nhựa ete oligophenylene nhiệt rắn hoặc nhựa epoxy có các nhóm chức năng styren trên các đầu đối diện của nó được ưu tiên sử dụng do có các thuộc tính điện môi rất tốt (ví dụ, hằng số điện môi tương đối thấp và góc tổn hao điện môi thấp), tính hấp thụ thấp, và các thuộc tính tạo màng.

Cụ thể là, tốt hơn nếu thành phần nhựa rắn nhiệt nêu trên là hợp chất nhựa ete oligophenylene được mô tả trong Công bố đơn yêu cầu cấp patent Nhật Bản số 2006-215464, mà đã được nộp bởi cùng người nộp đơn. Cụ thể là, do các thuộc tính điện môi rất tốt (ví dụ, hằng số điện môi tương đối thấp và góc tổn hao điện môi thấp), tính đàn hồi thấp, và các thuộc tính tạo màng, nên thành phần nhựa rắn nhiệt được ưu tiên sử dụng được nêu làm ví dụ là nhựa bao gồm 100 phần trọng lượng ete oligophenylene nhiệt rắn (A) có các nhóm chức năng styren trên các đầu đối diện của nó, và trọng lượng phân tử trung bình số bằng từ 500 đến 5000; và 50 đến 250 phần trọng lượng copolyme khối (B) chứa đơn vị lặp được dẫn xuất từ monome hydrocarbon thơm vinyl và đơn vị lặp được dẫn xuất từ monome dien liên hợp.

Các ví dụ về ete oligophenylene nhiệt rắn (A) bao gồm sản phẩm của phản ứng giữa polyme hoá ngưng tụ 2,2',3,3',5,5'-hexametyl biphenyl 4,4'-diol-2,6-dimetylphenol với clorometyl styren, đã được mô tả trong Công bố đơn yêu cầu cấp patent Nhật Bản số 2006-28111.

Oligophenylene nhiệt rắn (A) nêu trên có thể được sản xuất bằng phương pháp đã biết. Theo cách khác, bất kỳ sản phẩm nào đã có trên thị trường cũng có thể được sử dụng. Ví dụ, OPE-2st2200 (được sản xuất bởi tập

đoàn Mitsubishi Gas Chemical Co., Inc.) có thể được ưu tiên sử dụng.

Ete oligophenylene nhiệt rắn (A) sẽ trở nên khó bị hoà tan trong dung môi dễ bay hơi nếu trọng lượng phân tử trung bình số của nó vượt quá 5000. Mặt khác, nếu ete oligophenylene nhiệt rắn (A) có trọng lượng phân tử trung bình số nhỏ hơn 500, thì mật độ liên kết chéo của nó sẽ trở nên quá cao. Do đó, suất đàn hồi và độ dẻo của sản phẩm lưu hoá có thể bị ảnh hưởng. Do đó, trọng lượng phân tử trung bình số của ete oligophenylene nhiệt rắn (A) phải bằng từ 500 đến 5000, và tốt hơn nếu từ 1000 đến 3000.

Copolymer khối (B) nêu trên là copolymer khối chứa phần khối phân đoạn cứng chủ yếu được tạo thành từ hydrocarbon thơm vinyl, và phần khối phân đoạn mềm chủ yếu được tạo thành từ dien liên hợp.

Các ví dụ về copolymer khối (B) nêu trên bao gồm copolymer khối styren-butadien-styren, copolymer khối styren-isopren-styren, và copolymer styren-etylen/butadien-styren.

Copolymer khối (B) có thể được sản xuất bằng phương pháp đã biết. Theo cách khác, bất kỳ sản phẩm nào đã có trên thị trường cũng có thể được sử dụng. Ví dụ, TR2003 (được sản xuất bởi tập đoàn JSR Co., Ltd.) có thể được ưu tiên sử dụng.

Trong thành phần nhựa rắn nhiệt nêu trên, hàm lượng của copolymer khối (B) bằng từ 50 đến 250 phần trọng lượng, tốt hơn nếu bằng 65 đến 200 phần trọng lượng, và tốt hơn nữa nếu bằng 80 đến 150 phần trọng lượng, so với 100 phần trọng lượng của ete oligophenylene nhiệt rắn (A). Hàm lượng của copolymer khối (B) trong khoảng này sẽ đem lại khả năng tạo màng cũng như khả năng tương hợp tốt với ete oligophenylene nhiệt rắn (A).

Các ví dụ về dung môi dễ bay hơi được sử dụng trong thành phần nhựa ete oligophenylene nêu trên bao gồm các dung môi thơm, chẳng hạn toluen và xylen; và các dung môi xeton, chẳng hạn metyl etyl xeton và metyl isobutyl

xeton. Các dung môi này có thể được sử dụng một cách độc lập. Theo cách khác, hai hoặc nhiều dung môi dễ bay hơi có thể được sử dụng kết hợp.

Hàm lượng dung môi dễ bay hơi không bị giới hạn ở hàm lượng cụ thể. Nó có thể được điều chỉnh một cách phù hợp sao cho độ nhớt của hợp chất nằm trong khoảng đã mô tả trên đây. Dung môi dễ bay hơi được ưu tiên sử dụng sao cho hàm lượng của thành phần nhựa có thể bằng 15 đến 45% khối lượng, và tốt hơn nữa nếu bằng 15 đến 35% khối lượng. Nếu tỷ lệ phần trăm của thành phần nhựa trong hợp chất mà nằm trong khoảng này, thì nó sẽ làm cho thành phần nhựa dễ dàng được thấm vào chất sợi nền. Do đó, số lượng bong bóng khí có thể được giảm bớt. Để nồng độ nhựa nêu trên được thấp như vậy, thì thiết bị thấm kiểu đứng thông thường cần tăng lượng vecni bám dính để thu được lượng nhựa bám dính mong muốn. Trong trường hợp này, khi đế được di chuyển theo chiều đứng, thì nhựa được tẩm có thể rủ xuống. Điều này dẫn đến sự hình thành các sọc đứng không đều, và tạo thành các đốm nhựa xấu xí. Ngoài ra, còn xảy ra hiện tượng là chỉ có bề mặt của màng được phủ mới được làm khô cho dù dung môi vẫn còn lại bên trong màng được phủ. Như vậy, sẽ không thể đạt được trạng thái chưa lưu hoá đều.

Thành phần nhựa ete oligophenylen nêu trên có thể chứa các chất phụ gia, chẳng hạn chất độn vô cơ, chất dính, chất chống cháy, chất khử bọt, chất điều chỉnh dòng chảy, chất phụ trợ tạo màng, và chất làm phân tán.

Thành phần nhựa ete oligophenylen nêu trên có thể chứa chất xúc tác lưu hoá. Thành phần nhựa ete oligophenylen nêu trên có thể được lưu hoá bằng cách chỉ cần nung.

Phương pháp sản xuất thành phần nhựa ete oligophenylen nêu trên có thể là, nhưng không bị giới hạn cụ thể ở, phương pháp bất kỳ trong số các phương pháp sản xuất đã biết. Thành phần nhựa ete oligophenylen nêu trên có thể được sản xuất bằng cách, ví dụ, trộn đầy đủ các thành phần nêu trên bằng

máy trộn.

<ADFLEMA>

Ví dụ, ADFLEMA (tên thương nghiệp; được sản xuất bởi tập đoàn NAMICS Corporation) được ưu tiên sử dụng làm nhựa cách điện. ADFLEMA là một trong số các nhựa OPE, là nhựa chứa ete oligophenylene và chất đàn hồi styren butadien. Sản phẩm ADFLEMA là màng ở trạng thái chưa lưu hoá. Tuy nhiên, sản phẩm được lưu hoá nhiệt của nó có hằng số điện môi tương đối ϵ nhỏ và tang góc tổn hao điện môi δ nhỏ; $\epsilon = 2$ đến 3 , và tang $\delta = 0,001$ đến $0,005$. Do đó, sản phẩm ADFLEMA có đặc tuyến tần số rất cao. Ngoài ra, sản phẩm ADFLEMA có thể có độ dày màng mỏng bằng khoảng 2 đến $90\ \mu\text{m}$. Ngoài ra, sản phẩm ADFLEMA còn chứa, ví dụ, khoảng 70% dung môi dễ bay hơi. Do đó, độ dày màng của sản phẩm ADFLEMA có thể được giảm, ví dụ, 70% , bằng cách nung hoặc làm khô sau khi được phủ. Do đó, tốt hơn nếu sản phẩm ADFLEMA được sử dụng trong quá trình sản xuất bảng mạch đa lớp theo sáng chế mà trong đó bao gồm quy trình làm hờ ra các núm dẫn điện bằng cách giảm độ dày màng.

<Chất sợi nền được chứa trong nhựa cách điện>

Tốt hơn nếu nhựa cách điện được sử dụng trong chi tiết bảng mạch đa lớp theo sáng chế không chứa chất sợi nền. Trong trường hợp này, do dung dịch hỗn hợp nhựa cách điện không chứa chất sợi nền, nên độ nhớt của dung dịch hỗn hợp có thể được giảm. Do đó, nhựa có thể có khả năng phủ cao lên chu vi của các núm dẫn điện và bề mặt của đế. Trong quá trình giảm độ dày màng, thì lượng dung dịch hỗn hợp thừa trên đỉnh của các núm dẫn điện tương ứng có thể được giảm. Ngược lại, nếu chất sợi nền, chẳng hạn chất sợi thủy tinh, được trộn với dung dịch nhựa cách điện, thì sẽ rất khó thu được vữa phân tán đều. Ngoài ra, ngay cả khi có thể hình thành được vữa phân tán đều, thì cũng khó có thể ngăn chặn được việc các gọn sợi tạo thành cầu nối trên đỉnh

của các núm dẫn điện tương ứng. Ngoài ra, việc sử dụng nền sợi thủy tinh với với các thuộc tính điện môi kém nêu trên sẽ mâu thuẫn với những hiệu quả mà giải pháp theo sáng chế đem lại.

<Chất độn cách điện>

Tốt hơn nếu chất độn cách điện được sử dụng trong chi tiết bảng mạch đa lớp theo sáng chế có thuộc tính cách điện cao, được ngăn không cho biến dạng trong quá trình cán ép nóng, được làm đủ bền để duy trì sự cách điện liên lớp cho đến nối dây đa lớp, và được tạo ra từ vật liệu mà có thể được phân tán đều trong dung môi. Vật liệu của chất độn cách điện có thể là một, hai hoặc nhiều vật liệu được chọn từ, ví dụ, silic đioxit, silic cacbua, nhôm oxit, nhôm nitrat, các hạt ziricon oxit, các hạt thủy tinh và các hạt acrylic.

Tốt hơn nếu chất độn cách điện có dạng bột hoặc dạng hạt. Tốt hơn nếu kích thước hạt trung bình của chất độn cách điện bằng 20% hoặc lớn hơn, nhưng không quá 100%, chiều cao của các núm dẫn điện, và bằng 50%, hoặc nhỏ hơn, đường kính đáy của các núm dẫn điện.

(Vật liệu dây nối)

Đối với dây nối của bảng mạch đa lớp, thì màng dẫn điện có thể được tạo ra bằng cách ăn mòn lá dẫn điện, hoặc màng dẫn điện có thể được tạo ra bằng cách in bột dẫn điện.

Thành phần nhựa mà hình thành bột dẫn điện, ví dụ, các nhựa rắn nhiệt, chẳng hạn nhựa phenol, nhựa epoxy và nhựa melamin, có thể được ưu tiên sử dụng. Nhựa rắn nhiệt có tính lỏng và có thể được đúc một cách dễ dàng. Ngoài ra, nhựa rắn nhiệt có thể được tạo độ bền cơ học bằng cách lưu hoá nhiệt trong quy trình tiếp theo.

Hiện nay đã có dung môi hữu cơ dễ, ví dụ, làm dung môi mà trong đó thành phần nhựa được hoà tan hoặc được phân tán. Dung môi hữu cơ bao gồm, ví dụ, các dung môi thơm, chẳng hạn toluen, xylen, và các dung môi xeton.

Các dung môi xeton bao gồm, ví dụ, metyl etyl xeton và metyl isobutyl xeton. Tốt hơn nếu các hạt dẫn điện để rải vào dung dịch hỗn hợp nhựa có thể là hạt kim loại bất kỳ trong số các kim loại Ag, Cu, Au, và Ni hoặc hỗn hợp của ít nhất hai hoặc nhiều kim loại trong số các kim loại này, hoặc hợp chất giữa các kim loại bất kỳ trong số các kim loại này.

Có thể thu được bột dẫn điện bằng cách rải các hạt dẫn điện (ví dụ, hạt của kim loại bất kỳ trong số các kim loại Ag, Cu, Au, và Ni hoặc hỗn hợp của ít nhất hai hoặc nhiều kim loại trong số các kim loại này) vào nhựa và trộn với dung môi dễ bay hơi, sau đó được ổn định điều kiện cho phù hợp.

<Bột dẫn điện loại nhiệt rắn >

Ngoài ra, bột dẫn điện loại nhiệt rắn có thể được sử dụng làm vật liệu dây nối. Trong trường hợp này, dây nối có điện trở đủ thấp có thể được tạo ra ngay cả bằng quy trình xử lý nhiệt ở nhiệt độ thấp, từ 100 đến 200°C. Nếu sử dụng bột dẫn điện loại nhiệt rắn, thì tốt hơn nếu độ dày của dây nối nằm trong khoảng từ 1 đến 20 μm .

<Bột dẫn điện chứa các hạt bạc mịn>

Ngoài ra, vật liệu được bộc lộ trong Công bố đơn yêu cầu cấp patent Nhật Bản số 2006-183072 có thể được sử dụng làm vật liệu của bột dẫn điện. Bột (vật liệu) dẫn điện chứa các hạt bạc mịn được bộc lộ trong Công bố đơn yêu cầu cấp patent Nhật Bản số 2006-183072 là bột dẫn điện thu được từ sản phẩm phản ứng được điều chế bằng cách trộn muối bạc của axit cacboxylic với amine béo, bổ sung thêm chất giảm vào hỗn hợp, cho phép hỗn hợp phản ứng tại nhiệt độ phản ứng từ 20 đến 80°C với sự có mặt hoặc vắng mặt dung môi hữu cơ.

Các hạt bạc mịn được chứa trong bột dẫn điện được ưu tiên sử dụng là vì

(a) kích thước hạt trung bình của các hạt chính bằng từ 40 đến 350 nm,

(b) kích thước tinh thể từ 20 đến 70 nm, và

(c) tỷ lệ giữa kích thước hạt trung bình với kích thước tinh thể là 1/4.

Ngoài ra, các hạt bạc mịn được chứa trong bột dẫn điện được ưu tiên sử dụng hơn nữa là do

(a) kích thước hạt trung bình của các hạt chính bằng từ 50 đến 80 nm,

(b) kích thước tinh thể từ 20 đến 50 nm, và

(c) tỷ lệ giữa kích thước hạt trung bình với kích thước tinh thể là 1/5.

Vật liệu bột dẫn điện này bộc lộ tính dẫn điện đủ lớn ngay cả trong trường hợp xử lý nhiệt ở nhiệt độ thấp, khoảng 200°C hoặc thấp hơn. Vật liệu bột dẫn điện này có thể lưu hoá được ngay cả tại nhiệt độ không cao hơn so với nhiệt độ chịu nhiệt của bảng mạch hữu cơ. Do đó, vật liệu bột dẫn điện này cho phép tạo thành màng dẫn điện với điện trở tương đối thấp (khoảng $10 \times 10^{-5} \Omega\text{cm}$ hoặc nhỏ hơn) ngay cả khi vật liệu bột dẫn điện này được lưu hoá ở nhiệt độ thấp. Do đó, độ dày màng của dây nối có thể được giảm. Ngoài ra, ngay cả trong trường hợp bề rộng nối dây là hẹp, thì vẫn có thể ngăn ngừa hoặc hạ thấp được sự gia tăng độ trễ nối dây. Do kích thước hạt là nhỏ, nên sự tắc nghẽn hầu như không xảy ra ngay cả tại thời điểm in lưới các dây mảnh. Kích thước hạt của vật liệu bột dẫn điện này tương đối lớn hơn so với kích thước hạt của bột dẫn điện chứa các hạt dẫn điện mịn khác (ví dụ, bột dẫn điện chứa các hạt nano). Do đó, tốt hơn nếu vật liệu bột dẫn điện này được sử dụng để hình thành các dây nối có độ dày màng từ 1 đến 10 μm . Ngoài ra, việc sử dụng vật liệu bột dẫn điện này có thể giữ cho giá thành vật liệu thấp hơn. Nếu sử dụng bột dẫn điện được bộc lộ trong Công bố đơn yêu cầu cấp patent Nhật Bản số 2006-183072, thì tốt hơn nếu chiều dày của dây nối bằng 5 μm , hoặc nhỏ hơn.

[Mức độ lưu hoá]

(Mức độ lưu hoá các nóm dẫn điện)

Trong quy trình sản xuất, tình trạng lưu hoá của các núm dẫn điện và tình trạng lưu hoá của màng cách điện, vốn cấu thành chi tiết bảng mạch đa lớp, có thể được chọn từ những tổ hợp sau đây:

(1) Núm dẫn điện: trạng thái lưu hoá hoàn toàn, màng cách điện: trạng thái chưa lưu hoá

(2) Núm dẫn điện: trạng thái giữa trạng thái chưa lưu hoá với trạng thái lưu hoá hoàn toàn, màng cách điện: trạng thái chưa lưu hoá.

Ở đây, "trạng thái giữa trạng thái chưa lưu hoá với trạng thái lưu hoá hoàn toàn" có nghĩa là trạng thái nhựa được lưu hoá đến mức độ nào đó nhưng chưa được lưu hoá hoàn toàn, bằng quy trình xử lý nhiệt phù hợp.

Trong trường hợp màng cách điện theo kỹ thuật B²it thông thường, thì màng cách điện gần như ở trạng thái lưu hoá được gọi là trạng thái B đã được làm mềm bằng nhiệt và được đâm thủng bằng các núm dẫn điện. Kỹ thuật này sẽ hình thành các lỗ xuyên dẫn điện bằng cách đâm thủng bằng các núm dẫn điện. Do đó, các núm dẫn điện cần phải có tỷ lệ hình dạng không nhỏ hơn giá trị định trước. Ngoài ra, các núm dẫn điện cần phải có độ cứng không nhỏ hơn giá trị định trước. Do đó, các núm dẫn điện cần phải được chuyển sang trạng thái lưu hoá hoàn toàn.

Ngược lại, kỹ thuật theo sáng chế không thực hiện quá trình đâm thủng bằng các núm dẫn điện. Theo kỹ thuật này, màng cách điện được hình thành trên các núm dẫn điện và độ dày của màng cách điện được giảm xuống để tạo thành màng cách điện chưa lưu hoá. Sau đó, các núm dẫn điện được nối với lớp dẫn điện thứ hai hoặc đế lõi. Do đó, các núm dẫn điện không cần phải có độ cứng gần như độ cứng cần thiết để thực hiện quy trình đâm thủng. Núm dẫn điện chỉ cần có đủ độ cứng để giữ được hình dạng của nó ở mức độ nào đó. Độ cứng của các núm dẫn điện có thể được thiết đặt tùy ý như trạng thái lưu hoá hoàn toàn hoặc trạng thái giữa trạng thái chưa lưu hoá với trạng thái lưu hoá

hoàn toàn. Ngoài ra, theo sáng chế, màng cách điện chưa lưu hoá sẽ không bị lưu hoá. Cụ thể là, ít nhất là bề mặt của màng cách điện chưa lưu hoá sẽ không bị lưu hoá. Độ cứng của mỗi chi tiết có thể được điều chỉnh đến độ cứng tùy ý bằng cách điều chỉnh nhiệt độ xử lý hoặc thời gian xử lý trong quy trình làm khô, quy trình nung, hoặc quy trình tương tự, sau khi in hoặc phủ. Tùy theo vật liệu của chi tiết và các yếu tố tương tự mà các điều kiện tối ưu về nhiệt độ, thời gian, và các yếu tố tương tự, sẽ được thay đổi. Các điều kiện tối ưu đối với mỗi vật liệu cụ thể có thể được xác định trước bằng thực nghiệm hoặc những cách tương tự.

Dưới đây, ví dụ cụ thể về độ cứng của các núm dẫn điện sẽ được mô tả.

Các núm dẫn điện thông thường được mong muốn là nằm ở trạng thái lưu hoá hoàn toàn tại giai đoạn đâm thủng (các điều kiện nhiệt độ từ 80 đến 120°C) để đâm thủng phần nửa đặc. Độ cứng cần thiết của các núm dẫn điện là từ 35 đến 40.

Trong trường hợp các núm dẫn điện được chuyển sang trạng thái giữa trạng thái chưa lưu hoá với trạng thái lưu hoá hoàn toàn bằng kỹ thuật theo sáng chế, thì các núm dẫn điện được sử dụng có thể được làm từ, ví dụ, vật liệu có nhiệt độ hoá thủy tinh trong khoảng từ 110 đến 140°C, và được điều chỉnh đến độ cứng từ 15 đến 30.

Các ưu điểm của việc làm cho các núm dẫn điện chuyển sang trạng thái giữa trạng thái chưa lưu hoá với trạng thái lưu hoá hoàn toàn là như sau:

1. Độ bám dính và tính dẫn điện giữa các núm dẫn điện với màng dây nối, vốn tiếp xúc với các núm dẫn điện, là rất tốt so với độ bám dính và tính dẫn điện thu được khi các núm dẫn điện được lưu hoá hoàn toàn. Khi các núm dẫn điện chưa được lưu hoá hoàn toàn, thì các núm dẫn điện có xu hướng bị biến dạng dẻo dưới các điều kiện nung định trước trong quy trình cán ép. Do đó, độ bám dính giữa các núm dẫn điện với chi tiết dây nối, vốn tiếp xúc với

các nùm dẫn điện, có thể được cải thiện. Đồng thời, do diện tích tiếp xúc được tăng lên, nên điện trở lỗ sẽ giảm. Như vậy, độ chắc chắn của mối nối điện có thể được cải thiện. Đồng thời, thành phần liên kết trong bột dẫn điện, vốn hình thành các nùm dẫn điện, sẽ được nén và được đùn vào màng cách điện chưa lưu hoá. Do đó, sự liên kết giữa các hạt dẫn điện được phân tán vào bột dẫn điện với chi tiết dây nối, vốn tiếp xúc với các nùm dẫn điện, sẽ trở nên bền. Do đó, các hạt dẫn điện có thể được nâng cao mật độ. Do sự co ngót sau đó, các hạt dẫn điện trong các nùm dẫn điện sẽ được sắp xếp lại. Như vậy, tính dẫn điện có thể được cải thiện thêm.

2. Trong quy trình cán ép, băng mạch đa lớp có thể được hình thành bằng áp lực ép nhỏ hơn rất nhiều so với quy trình thông thường. Do đó, mức độ biến dạng của chi tiết sẽ nhỏ. Do đó, độ tin cậy của chi tiết có thể được cải thiện.

3. Phương pháp sản xuất theo sáng chế sử dụng biện pháp làm giảm độ dày màng của dung dịch hỗn hợp nhựa cách điện để hình thành màng cách điện chưa lưu hoá. Sau đó, các nùm dẫn điện và lớp dẫn điện thứ hai hoặc để lõi được nối với nhau. Do đó, lực thông thường vốn để cho phép các nùm dẫn điện đâm xuyên qua phiên nửa đặc sẽ không được tác động lên các nùm dẫn điện. Ngoài ra, các điều kiện nhiệt độ hoá khô/hoá rắn để giảm độ dày màng được thiết đặt ở các khoảng mà không ảnh hưởng đến các điều kiện lưu hoá của các nùm dẫn điện. Do đó, hình dạng của các nùm dẫn điện ngay sau quy trình in sẽ được giữ nguyên vẹn một cách ổn định.

4. Khi các nùm dẫn điện và mảng dây nối được gắn chặt vào nhau, thì các đầu mút của các nùm dẫn điện tương ứng sẽ bị biến dạng dẻo một cách mềm mại.

Độ cứng của các nùm dẫn điện nêu trên đã được đo bằng máy kiểm tra vi độ cứng MXT50 (được sản xuất bởi công ty Matsuzawa Seiki) tại nhiệt độ

kiểm tra 23°C, tải kiểm tra 25 kgf, và thời gian giữ tải 15 giây.

(Mức độ lưu hoá màng cách điện)

Theo phương pháp sản xuất bảng mạch đa lớp theo sáng chế, khi ở giữa quy trình sản xuất, thì màng cách điện được hình thành trên chu vi của các núm dẫn điện nằm trong trạng thái tiền lưu hoá, được gọi là trạng thái "chưa lưu hoá". Sau đó, trong quy trình ép nóng, các điều kiện nung được ưu tiên điều chỉnh sao cho màng cách điện có thể được chuyển sang trạng thái được gọi là "trạng thái lưu hoá hoàn toàn" hay "trạng thái lưu hoá".

Vật liệu dựa trên nhựa epoxy hoặc vật liệu dựa trên nhựa OPE mà phù hợp để làm vật liệu màng cách điện của chi tiết bảng mạch đa lớp theo sáng chế là vật liệu bất kỳ trong số các vật liệu đã được mô tả ở một số phần trên đây. Nếu màng cách điện bao gồm vật liệu dựa trên nhựa epoxy, thì mức độ lưu hoá màng cách điện sẽ nằm giữa "trạng thái chưa lưu hoá" và "trạng thái lưu hoá hoàn toàn" trong các điều kiện nhiệt độ từ 130 đến 180°C và thời gian từ 10 phút đến 1 giờ. Nếu màng cách điện là vật liệu dựa trên nhựa ete oligophenylene, thì mức độ lưu hoá màng cách điện sẽ nằm giữa "trạng thái chưa lưu hoá" và "trạng thái lưu hoá hoàn toàn" trong các điều kiện nhiệt độ từ 130 đến 200°C và thời gian từ 10 phút đến 1 giờ. Trong bản mô tả này, màng cách điện đã được lưu hoá mà ở trạng thái này thì được gọi là màng cách điện chưa lưu hoá. Khi nung tại nhiệt độ thấp hơn hoặc trong khoảng thời gian ngắn hơn, so với các điều kiện nung nêu trên, thì màng cách điện sẽ chuyển sang trạng thái chưa lưu hoá. Khi nung tại nhiệt độ cao hơn hoặc trong khoảng thời gian dài hơn, so với các điều kiện nung nêu trên, thì màng cách điện sẽ chuyển sang trạng thái lưu hoá hoàn toàn. Ví dụ, trong trường hợp vật liệu dựa trên nhựa ete oligophenylene, thì phản ứng lưu hoá sẽ không xảy ra đủ nếu thời gian nung chỉ bằng khoảng 5 phút cho dù nung ở 160°C. Do đó, màng cách điện sẽ giữ trạng thái gần như chưa lưu hoá của nó.

Với trường hợp màng chưa lưu hoá được tạo thành từ màng cách điện, thì độ bền bám dính giữa chi tiết được tạo ra tiếp xúc với màng cách điện (ví dụ, chi tiết này là màng dẫn điện, chẳng hạn màng dẫn điện hoặc lớp trên hay lớp dưới của màng cách điện) với màng cách điện sẽ cao. Điều này là do sự cải thiện về khả năng thấm ướt đối với chất cùng bám dính do màng cách điện là nhựa có trọng lượng phân tử thấp trước khi liên kết chéo, và sau đó cả chi tiết nêu trên lẫn màng cách điện sẽ được làm tiếp xúc với nhau trong tình trạng có khả năng chảy nhiệt. Do đó, sẽ đạt được các ưu điểm là dây nối hầu như không bị bong ra, và bảng mạch trở nên rắn. Ngoài ra, do mức độ lưu hoá giảm đi, nên những chỗ không đều, vốn sinh ra bởi các linh kiện được gắn lên để, có thể được lấp đầy hoàn toàn mà không để lại khe hở. Có thể đạt được ưu điểm nữa mà không cần làm phẳng bề mặt của bảng mạch.

Mặt khác, màng chưa lưu hoá có độ bền cơ học kém. Ví dụ, màng có độ bền cơ học kém có thể dẫn đến việc khó xử lý khi màng dẫn điện được tạo ra bằng cách in lên màng này. Trong trường hợp này, màng nằm ở mặt tạo màng dẫn điện sẽ được nung tại các điều kiện phù hợp, và màng chưa lưu hoá được xếp lên đó sau khi đã làm cho màng kia chuyển sang trạng thái lưu hoá hoàn toàn. Bằng cách xếp màng chưa lưu hoá và màng đã lưu hoá hoàn toàn lên nhau, thì độ bám dính và độ phẳng bề mặt có thể được cải thiện. Ngoài ra, khả năng làm việc trong quy trình xử lý màng dẫn điện cũng có thể được cải thiện.

Ngoài ra, vật liệu dựa trên nhựa epoxy theo sáng chế còn có tính lỏng quá nhiệt, tùy theo việc sử dụng. Do đó, trong một số trường hợp, tốt hơn nếu thực hiện quy trình cán áp lực sau khi tăng độ nhót chảy bằng cách tăng nhiệt độ lưu hoá lên một chút (sau giai đoạn tiền nung) ở quy trình trước đó.

[Các thông số hình dạng và kích thước của chi tiết]

(Định nghĩa các thông số kích thước)

Các hình vẽ từ Fig.12(a) đến Fig.12(c) là các sơ đồ minh hoạ cách xác

định các thông số kích thước của chi tiết bảng mạch đa lớp theo sáng chế.

Fig.12(a) thể hiện sơ đồ mặt cắt của chi tiết bảng mạch đa lớp thu được bằng cách hình thành màng chảy được 222 trên núm dẫn điện 221 bằng cách phủ. Fig.12(b) và Fig.12(c) thể hiện sơ đồ mặt cắt của chi tiết bảng mạch đa lớp thu được bằng cách tạo thành màng cách điện chưa lưu hoá 223 bằng cách giảm độ dày màng của màng chảy được 222. Trong quá trình làm hở ra núm dẫn điện, như được minh hoạ trên Fig.12(b), thì đầu của núm dẫn điện sẽ được làm hở ra hoàn toàn. Tuy nhiên, trong trường hợp xấu nhất, như được minh hoạ trên Fig.12(c), màng cách điện vẫn phủ một phần lên một phần đầu của núm dẫn điện.

Ở đây, t_1 là độ dày của màng chảy được 222, t_2 là độ dày của màng cách điện chưa lưu hoá 223, h_1 là độ dày của núm dẫn điện 221, và a_1 là đường kính đáy (tức đường kính của phần đáy) của núm dẫn điện. θ_1 là góc tâm của tiết diện trên của núm dẫn điện 221. Ngoài ra, trong trường hợp xấu nhất như được minh hoạ trên Fig.12(c), S_{b1} là diện tích đáy của núm. Trên đầu của núm dẫn điện, S_{e1} là diện tích hở của núm dẫn điện 221. Tỉ số giữa diện tích hở với diện tích đáy của núm dẫn điện được xác định bằng tỉ số $S_{e1}/S_{b1} \times 100 (\%)$.

Ngoài ra, chiều cao của núm dẫn điện sau khi cán ép nóng được xác định bằng h_2 , và độ dày của lớp cách điện sau khi cán ép nóng được xác định bằng t_3 (không được minh hoạ). Tốt hơn nếu t_3 được đặt bằng 5 μm hoặc lớn hơn.

(Hình dạng của núm dẫn điện)

Tốt hơn nếu núm dẫn điện có hình dạng mà tiết diện đầu mút của nó có đường kính nhỏ hơn đường kính đáy. Tốt hơn nếu hình dạng này là, ví dụ, hình nón, hình gần như hình nón cụt, hoặc hình γ . Tốt hơn nếu hình dạng tiết diện trên của núm dẫn điện là cung tròn tròn có góc tâm θ_1 bằng 180 độ hoặc nhỏ

hơn. Ở đây, mặt cắt đầu mút của núm dẫn điện là mặt cắt ngang của núm dẫn điện khi đầu mút của núm dẫn điện được đặt quay lên trên. Mặt cắt trên của phần dẫn điện là mặt cắt theo chiều vuông góc với núm dẫn điện. Theo phương pháp sản xuất bằng mạch đa lớp theo sáng chế, núm dẫn điện không cần phải đâm thủng phiến nửa đặc. Do đó, không cần phải làm sắc đầu mút. Bằng cách làm cho đầu mút của núm dẫn điện thành cung tròn trơn, thì diện tích tiết diện của lỗ xuyên dẫn điện có thể được mở rộng. Do đó, điện trở lỗ xuyên dẫn điện có thể được giảm.

Nếu tiết diện trên của núm dẫn điện được tạo thành dạng cung tròn với góc tâm lớn hơn 180 độ, thì đỉnh của núm dẫn điện sẽ có dạng lõm. Do đó, nhựa cách điện chưa lưu hoá sẽ sót lại ở phần lõm. Do đó, sẽ xuất hiện các lỗi, chẳng hạn lỗi mối nối, và làm tăng điện trở lỗ. Trong chi tiết bằng mạch đa lớp theo sáng chế, tiết diện trên của núm dẫn điện được tạo ra dạng cung tròn với góc tâm bằng 180 độ hoặc nhỏ hơn. Do đó, nhựa cách điện chưa lưu hoá sẽ không sót lại trên đầu mút của các núm dẫn điện. Do đó, sẽ đạt được các ưu điểm là mối nối lỗ chắc chắn và giảm điện trở lỗ. Ngoài ra, đầu mút của núm dẫn điện cũng không nhọn. Vì lý do này mà ngay cả khi thực hiện quy trình cán ép nóng đồng thời thì cũng không làm nát hay uốn cong đỉnh lỗ. Do đó, có thể tạo ra mối nối điện chắc chắn giữa các lỗ với chi tiết dẫn điện lớp trên.

(Quy trình làm hở các núm dẫn điện)

Khi dung dịch hỗn hợp nhựa cách điện được phủ và sau đó được nung hoặc được làm khô để giảm độ dày màng, thì ranh giới giữa màng cách điện chưa lưu hoá với núm dẫn điện có thể làm sót lại một lượng chất cách điện thừa trên mặt đỉnh của núm dẫn điện, như được minh hoạ trên Fig.12(c). Nếu tỷ lệ giữa phần núm dẫn điện không bị phủ chất cách điện thừa với mặt trên của núm dẫn điện được biểu diễn bằng tỉ số giữa diện tích hở của núm dẫn điện với diện tích đáy của nó, thì giải pháp kỹ thuật theo sáng chế cho phép tỷ

lệ diện tích hở này bằng 20% hoặc hơn. Do mặt cắt của lỗ có thể gần như được tăng lên, nên điều này sẽ giảm điện trở lỗ một cách hiệu quả.

[Bảng mạch đa lớp và phương pháp sản xuất bảng mạch đa lớp theo sáng chế]

Dưới đây, ví dụ cụ thể của phương pháp sản xuất bảng mạch đa lớp có sử dụng chi tiết bảng mạch và đế lõi sẽ được mô tả dựa vào các hình vẽ từ Fig.4 đến Fig.6. Phương pháp sản xuất bảng mạch đa lớp theo sáng chế là phương pháp có sử dụng lá dẫn điện, đế cách điện, hoặc chi tiết bảng mạch đa lớp thay cho đế lõi theo phương pháp sản xuất đế bảng mạch đa lớp đã được mô tả trong bản mô tả này.

(Ví dụ cụ thể thứ nhất của phương pháp sản xuất bảng mạch đa lớp)

Theo ví dụ cụ thể thứ nhất, phương pháp sản xuất bảng mạch đa lớp kiểu cán sẽ được mô tả dựa vào lần lượt các hình vẽ từ Fig.4(a) đến Fig.4(i). Ví dụ về việc sử dụng bảng mạch in đa lớp, được sản xuất bằng hệ thống mạ kim loại lỗ xuyên, làm đế lõi sẽ được mô tả. Trước hết, các chi tiết bảng mạch đa lớp 51 và 53, vốn được sản xuất theo ví dụ cụ thể thứ hai (Fig.2) của phương pháp sản xuất chi tiết bảng mạch đa lớp theo sáng chế, sẽ được đồng chỉnh lần lượt trên mặt trên và mặt dưới của đế lõi 52 (Fig.4(a)), rồi sau đó được cán ép nóng. Do đó, màng cách điện của chi tiết bảng mạch đa lớp, vốn là màng cách điện chưa lưu hoá, được tạo thành màng đã lưu hoá (Fig.4(b)). Tiếp theo, các mảng cản 54 lần lượt được tạo ra trên các chi tiết bảng mạch đa lớp 51 và 53 bằng, ví dụ, phương pháp in ảnh litô (Fig.4(c)). Tiếp theo, trong quy trình ăn mòn ướt, các mảng cản 54 sẽ được sử dụng làm mặt nạ, và sau đó, các lá dẫn điện 55 được ăn mòn bằng quy trình ăn mòn ướt. Sau đó, các mảng cản 54 được bỏ ra. Như vậy, dây nối 56 đã được tạo ra (Fig.4(d)). Tiếp theo, các chi tiết bảng mạch đa lớp 57 và 58, vốn được sản xuất theo ví dụ cụ thể thứ hai (Fig.2) của phương pháp sản xuất chi tiết bảng mạch đa lớp theo sáng chế,

sẽ được đồng chỉnh lần lượt trên mặt trên của các bảng mạch đa lớp 51 và 53 và dây nối 56 (Fig.4(e)), rồi sau đó được cán ép nóng. Do đó, màng cách điện của chi tiết bảng mạch đa lớp, vốn là màng cách điện chưa lưu hoá, được tạo thành màng đã lưu hoá (Fig.4(f)). Tiếp theo, các mảng cản 62 lần lượt được tạo ra trên các chi tiết bảng mạch đa lớp 59 và 60 bằng, ví dụ, phương pháp in ảnh litô (Fig.4(g)). Tiếp theo, trong quy trình ăn mòn ướt, các mảng cản 62 sẽ được sử dụng làm mặt nạ, và sau đó, các lá dẫn điện 61 được ăn mòn bằng quy trình ăn mòn ướt. Sau đó, các mảng cản 62 được bỏ ra. Như vậy, dây nối 63 được hình thành, và bảng mạch đa lớp 66 được hoàn tất (Fig.4(h)).

Theo phương pháp sản xuất đế bảng mạch đa lớp tổng hợp trong hệ thống cán tuần tự như được minh hoạ trên Fig.4, tất nhiên là chi tiết đế được chuẩn bị bằng phương pháp sản xuất được minh hoạ trên Fig.1 và Fig.3 có thể được sử dụng làm bảng mạch đa lớp, và bảng mạch in đa lớp được nối liên lớp bằng các nút dẫn điện có thể được sử dụng làm đế lõi.

(Ví dụ cụ thể thứ hai về phương pháp sản xuất bảng mạch đa lớp)

Ví dụ cụ thể thứ hai này mô tả phương pháp sản xuất bảng mạch đa lớp trong hệ thống cán đồng thời dựa vào các hình vẽ từ Fig.5(a) đến Fig.5(d). Ví dụ về việc sử dụng bảng mạch in đa lớp, được sản xuất với các nút dẫn điện, làm đế lõi sẽ được mô tả.

Nói chung, mật độ đóng gói của đế lõi được sản xuất bằng hệ thống mạ kim loại lỗ xuyên là thấp. Do đó, đế được sản xuất bằng phương pháp thông thường, ví dụ B²it, có thể được sử dụng. Trước hết, các chi tiết bảng mạch đa lớp 74, 73, 76, và 77, mà trên đó các mảng dây nối được tạo ra trước bằng, ví dụ, phương pháp in ảnh litô và phương pháp ăn mòn, và bảng mạch đa lớp được sản xuất theo ví dụ cụ thể thứ nhất (Fig.1) của phương pháp sản xuất chi tiết bảng mạch đa lớp theo sáng chế, được đồng chỉnh với các chi tiết bảng mạch đa lớp được tạo ra trên mặt trên và mặt dưới của đế lõi 75 theo ví dụ cụ

thể thứ ba (Fig.3) của phương pháp của sản xuất chi tiết bảng mạch đa lớp theo sáng chế (Fig.5(a)). Tiếp theo, quy trình cán ép nóng được thực hiện. Sau đó, màng cách điện của chi tiết bảng mạch đa lớp, vốn là màng cách điện chưa lưu hoá, được tạo thành màng đã lưu hoá (Fig.5(b)). Tiếp theo, các mảng cán 84 được tạo ra trên lá dẫn điện 71, ví dụ, bằng phương pháp in ảnh litô (Fig.5(c)). Tiếp theo, trong quy trình ăn mòn ướt, các mảng cán 84 sẽ được sử dụng làm mặt nạ, và sau đó, các lá dẫn điện 71 được ăn mòn bằng quy trình ăn mòn ướt. Sau đó, các mảng cán 84 được bỏ ra. Do đó, dây nối 83 được tạo ra (Fig.5(d)). Như vậy, bảng mạch đa lớp 87 được hoàn tất.

Theo phương pháp sản xuất đế bảng mạch đa lớp trong hệ thống cán đồng thời như được minh hoạ trên Fig.5, tất nhiên là chi tiết đế được chuẩn bị bằng phương pháp sản xuất được minh hoạ trên Fig.1 và Fig.2 có thể được sử dụng làm bảng mạch đa lớp, và bảng mạch in đa lớp được sản xuất bằng hệ thống mạ kim loại lỗ xuyên có thể được sử dụng làm đế lõi.

(Ví dụ cụ thể thứ ba và thứ tư của phương pháp sản xuất bảng mạch đa lớp)

Ví dụ cụ thể thứ ba và ví dụ cụ thể thứ tư mô tả phương pháp sản xuất bảng mạch đa lớp của hệ thống cán lõi/lõi dựa vào Fig.6(a) và Fig.6(b). Ví dụ về việc sử dụng bảng mạch in đa lớp, được sản xuất với các núm dẫn điện, làm đế lõi sẽ được mô tả.

Theo ví dụ cụ thể thứ ba, trước hết, các núm dẫn điện 94 được tạo ra trên mặt trên của đế lõi 95. Sau đó, dung dịch hỗn hợp nhựa cách điện đã được phân tán chất độn cách điện 93 được phủ lên đỉnh và chu vi của các núm dẫn điện 94. Do đó, màng chảy được hình thành. Màng chảy được sẽ được làm khô để làm bay hơi dung môi. Do đó, màng cách điện chưa lưu hoá 92 được hình thành. Tiếp theo, đế lõi 91 được đồng chỉnh (Fig.6(a)), và quy trình cán ép nóng được thực hiện. Do đó, màng cách điện của chi tiết bảng mạch đa

lớp, tức là màng cách điện chưa lưu hoá, trở thành màng đã lưu hoá. Do đó, bảng mạch đa lớp được hoàn tất.

Theo ví dụ cụ thể thứ tư, trước hết, các núm dẫn điện 99 được tạo ra trên mặt trên của đế lõi 100. Dung dịch hỗn hợp nhựa cách điện đã được phân tán chất độn cách điện 98 được phủ lên mặt trên của đế lõi 96 khác. Do đó, màng chảy được hình thành. Màng chảy được sẽ được làm khô để làm bay hơi dung môi. Do đó, màng cách điện chưa lưu hoá 97 được hình thành. Tiếp theo, đế lõi 96 và các núm dẫn điện 99 được đồng chỉnh (Fig.6(b)), và quy trình cán ép nóng được thực hiện. Do đó, màng cách điện của chi tiết bảng mạch đa lớp, tức là màng cách điện chưa lưu hoá, trở thành màng đã lưu hoá. Do đó, bảng mạch đa lớp được hoàn tất.

Theo phương pháp sản xuất đế bảng mạch đa lớp trong hệ thống cán lõi/lõi như được minh họa trên Fig.6, tất nhiên là bảng mạch in đa lớp được sản xuất bằng hệ thống mạ kim loại lỗ xuyên có thể được sử dụng làm đế lõi.

[Quy trình phủ trên và quy trình phủ dưới]

Trong quy trình sản xuất đế nối dây đa lớp, thì kỹ thuật bố trí lớp nhựa cách điện và núm dẫn điện trước quy trình cán ép nóng bao gồm quy trình phủ trên và quy trình phủ dưới.

Fig.7(a) và Fig.7(b) thể hiện các sơ đồ mặt cắt của bảng mạch đa lớp trước quy trình cán khi quy trình phủ dưới được thực hiện. Quy trình phủ dưới là kỹ thuật phủ dung dịch hỗn hợp cách điện trước khi xử lý các núm dẫn điện. Fig.7(a) minh họa sự đồng chỉnh chi tiết bảng mạch đa lớp có các núm dẫn điện với chất cách điện để quay mặt vào đế lõi 122. Fig.7(b) minh họa cách bố trí các lá dẫn điện 124 và 128 trên chi tiết bảng mạch đa lớp có các núm dẫn điện và chất cách điện được hình thành trên đế lõi 126.

Fig.7(c) và Fig.7(d) thể hiện các sơ đồ mặt cắt của bảng mạch đa lớp trước quy trình cán khi quy trình phủ trên được thực hiện. Quy trình phủ trên

là kỹ thuật phủ dung dịch hỗn hợp cách điện vào mặt đối diện với mặt xử lý. Fig.7(c) minh họa phương pháp sản xuất bảng mạch đa lớp. Phương pháp này bao gồm các bước: hình thành màng chảy được chưa lưu hoá bằng cách phủ dung dịch hỗn hợp nhựa cách điện chứa chất độn cách điện và dung môi dễ bay hơi lên lớp dẫn điện hoặc đế lõi thứ hai vốn quay mặt vào đế lõi thứ nhất 131 mà trên đó các núm dẫn điện 130 và 132 được tạo ra; hình thành màng cách điện chưa lưu hoá bằng cách làm bay hơi dung môi dễ bay hơi và giảm độ dày của màng chảy được; và thực hiện quy trình cán ép nóng đối với đế lõi thứ nhất và lớp dẫn điện, hoặc đế lõi thứ hai mà trên đó màng cách điện chưa lưu hoá được hình thành, trong đó mỗi nối điện giữa lớp dẫn điện của bảng mạch lõi thứ nhất, mà trên đó các núm dẫn điện được tạo ra, với lớp dẫn điện của bảng mạch lõi thứ hai, mà trên đó màng cách điện chưa lưu hoá được tạo ra, sẽ được hình thành trên các núm dẫn điện. Fig.7(d) minh họa phương pháp sản xuất bảng mạch đa lớp. Phương pháp này bao gồm các bước: hình thành màng chảy được bằng cách phủ dung dịch hỗn hợp nhựa cách điện, chứa chất độn cách điện và dung môi dễ bay hơi, lên lớp dẫn điện thứ nhất được bố trí trên đế lõi thứ nhất; hình thành màng cách điện chưa lưu hoá bằng cách làm bay hơi dung môi dễ bay hơi và giảm độ dày của màng chảy được; hình thành cụm núm dẫn điện nhô ra trên lớp dẫn điện thứ hai hoặc đế lõi thứ hai; cán ép nóng đế lõi thứ nhất với lớp cách điện, trong đó mỗi nối điện giữa lớp dẫn điện của bảng mạch lõi thứ nhất, mà trên đó màng cách điện chưa lưu hoá được hình thành, với lớp dẫn điện của bảng mạch lõi thứ hai, mà trên đó các núm dẫn điện được tạo ra, sẽ được hình thành trên các núm dẫn điện.

Đối với phương pháp sản xuất chi tiết bảng mạch đa lớp được minh họa trên các hình vẽ từ Fig.1 đến Fig.3, và phương pháp sản xuất bảng mạch đa lớp được minh họa trên các hình vẽ từ Fig.4 đến Fig.6, thì các sơ đồ mặt cắt được minh họa theo trình tự của quy trình phủ dưới. Thế nhưng, dĩ nhiên là

ngay cả khi sản xuất chi tiết bảng mạch đa lớp và bảng mạch đa lớp bằng quy trình phủ trên, thì vẫn có thể đạt được hiệu quả nổi bật như trường hợp áp dụng quy trình phủ dưới.

[Quy trình đo điện trở lỗ]

Điện trở lỗ của bảng mạch đa lớp được tạo ra theo kỹ thuật các núm dẫn điện, hoặc các kỹ thuật tương tự, thường được đo bằng mẫu kiểm tra được gọi là vòng hoa cúc. Fig.13(a) và Fig.13(b) thể hiện sơ đồ mặt phẳng và sơ đồ mặt cắt của mẫu kiểm tra để đo điện trở lỗ. Mẫu kiểm tra này được cấu hình bằng dây nối lớp thứ nhất 234, lỗ 235, dây nối lớp thứ hai 233, và các cực đo 231 và 232. Dây nối lớp thứ nhất 234 là dây được tạo ra ở mặt dưới của màng cách điện 236. Dây nối lớp thứ hai 233 là dây nối được tạo ra ở mặt trên của màng cách điện 236. Giữa cực đo 231 và cực đo 232, một số lỗ 235 được nối nối tiếp qua mảng dây nối của đường dây nối lớp thứ nhất 234 và mảng dây nối của đường dây nối lớp thứ hai 233. Điện trở lỗ có thể được đánh giá bằng cách đặt điện áp định trước vào cực đo 231 và cực đo 232 và đo dòng điện chạy qua mẫu kiểm tra. Cụ thể là, lấy điện trở giữa các cực trừ đi điện trở dây nối. Sau đó, kết quả được chia cho số lượng lỗ để tính toán điện trở lỗ. Nói chung, các giá trị của điện trở dây nối và điện trở lỗ là rất thấp so với điện trở của linh kiện điện tử thông thường. Do đó, để tính toán điện trở lỗ với độ chính xác cao, thì phép đo cần được thực hiện với mẫu gồm nhiều lỗ được nối nối tiếp. Nói chung, mẫu thu được bằng cách bố trí nối tiếp vài chục đến vài trăm lỗ thường được sử dụng. Điện trở dây nối có thể được tính toán về mặt lý thuyết dựa trên kích thước của dây nối nếu có dữ liệu về điện trở cố hữu của vật liệu dây nối và điện trở tấm của dây nối. Bằng cách đo một vài mẫu có số lượng lỗ khác nhau mà điện trở lỗ và điện trở dây nối có thể được đo một cách độc lập.

Các ví dụ

Sau đây, sáng chế được mô tả chi tiết dựa vào các ví dụ và các ví dụ so sánh. Cần lưu ý rằng sáng chế không bị giới hạn ở các ví dụ này.

[Sự phụ thuộc của độ ổn định dẫn điện vào chất độn]

Để kiểm tra sự ảnh hưởng của chất độn cách điện được phân tán vào nhựa cách điện đối với độ ổn định dẫn điện giữa các lớp trong bảng mạch đa lớp, thì điện trở của mẫu kiểm tra độ dẫn được tạo ra trên để được đo.

Fig.9 thể hiện các đồ thị minh họa sự phụ thuộc của điện trở của vòng hoa cúc vào sự có mặt hoặc vắng mặt chất độn cách điện. Đồ thị bên trái là đồ thị khi không có chất độn cách điện. Đồ thị bên phải là đồ thị khi có mặt chất độn cách điện. Chất độn cách điện được sử dụng là silic đioxit ($D50 = 10 \mu\text{m}$). Áp lực tác động của quy trình cán ép nóng là từ 50 đến 500 kgf/cm^2 . Trục hoành của đồ thị biểu thị số lượng điện cực tách để đo điện trở nối của vòng hoa cúc. Các số tương ứng với các điểm đo khác nhau trên đế. Như được minh họa trên các đồ thị này, trong trường hợp không có chất độn cách điện, thì sẽ có sự biến thiên lớn về điện trở nối liên lớp trên đế và độ ổn định dẫn điện là kém. Ngược lại, trong trường hợp có chất độn cách điện, thì sự biến thiên điện trở nối liên lớp trên đế sẽ nhỏ, và độ ổn định dẫn điện là cao.

Dựa vào kết quả đánh giá khi thay đổi tỷ lệ trộn của chất độn cách điện trong nhựa cách điện, thì thấy rằng tốt hơn nếu tỷ lệ trộn của chất độn cách điện bằng 1% thể tích, hoặc nhiều hơn nhưng không quá 50% thể tích. Tốt hơn nữa nếu tỷ lệ trộn này bằng 1% thể tích hoặc nhiều hơn nhưng không quá 30% thể tích. Nếu xét đến điện trở nối thấp, thì tốt hơn nữa nếu tỷ lệ trộn này bằng 1% thể tích hoặc nhiều hơn nhưng không quá 20% thể tích.

Các hình vẽ từ Fig.10(a) đến Fig.10(f) thể hiện các đồ thị mà trong đó điện trở của nôm dẫn điện được biểu diễn trên trục tung và các điểm trên đế được biểu diễn trên trục hoành. Fig.10 (a), Fig.10(b) và Fig.10(c) lần lượt

tương ứng với các trường hợp mà đường kính của chất độn cách điện bằng từ 0 đến 4 μm , 5 đến 20 μm , và 25 đến 50 μm . Lượng chất độn cách điện được bổ sung vào vật liệu lớp cách điện là 10% thể tích. Đường kính đáy trung bình của các nôm dẫn điện sau quy trình cán là 100 μm và chiều cao trung bình của chúng là 20 μm .

Như có thể thấy từ các hình vẽ này, nếu đường kính của chất độn cách điện nhỏ hơn 20% chiều cao của nôm dẫn điện, thì chất độn cách điện được coi là quá nhỏ. Do đó, sẽ gặp phải các vấn đề, ví dụ, sự ngắn mạch giữa các dây nối hay xảy ra, và sinh ra chất độn cách điện thừa trên các nôm dẫn điện. Như vậy, độ ổn định dẫn điện sẽ giảm. Nếu đường kính của chất độn cách điện bằng 20%, hoặc lớn hơn nhưng không quá 100%, chiều cao của nôm dẫn điện, thì sẽ khó xảy ra các vấn đề như ngắn mạch hay hở mạch giữa các dây nối. Do đó, độ ổn định dẫn điện sẽ cao. Nếu đường kính của chất độn cách điện lớn hơn 100% chiều cao của nôm dẫn điện thì sẽ gây ra sự hở mạch giữa nôm dẫn điện với dây nối cần được nối với nôm dẫn điện này bởi vì chất độn cách điện quá lớn. Do đó, độ ổn định dẫn điện sẽ thấp.

Fig.10(d), Fig.10(e) và Fig.10(f) lần lượt tương ứng với các trường hợp mà lượng chất độn cách điện được thêm vào chất cách điện bằng 0% thể tích, 25 đến 30% thể tích, và 10 đến 15% thể tích,. Khi lượng chất độn cách điện được bổ sung bằng 0% thể tích, thì sự cong vênh của đế sẽ gây ra những sự thay đổi về tính dẫn điện, và giá trị điện trở tuyệt đối sẽ tăng thêm 10 Ω hoặc hơn. Mặt khác, khi lượng chất độn cách điện được bổ sung bằng 25% thể tích hoặc nhiều hơn, thì giá trị tuyệt đối của dòng điện và sự biến thiên của nó có thể được cải thiện, so với trường hợp 0% thể tích. Khi lượng được bổ sung bằng 30% thể tích, thì độ dẫn điện của nôm dẫn điện sẽ bằng 10 Ω hoặc nhỏ hơn. Đã xác định được rằng giá trị này là ở mức độ khả dụng để sử dụng bảng mạch đa lớp (Fig.10(d)). Mặt khác, nếu lượng chất độn cách điện bằng 1 đến

20% thể tích, thì độ cong vênh sẽ có xu hướng được cải thiện thêm. Giá trị tuyệt đối và sự biến thiên của điện trở có thể được giảm tiếp một cách đáng kể. Đã xác định được rằng nếu lượng chất độn cách điện bằng 10 đến 15% thể tích, thì điện trở sẽ giảm xuống 100Ω hoặc nhỏ hơn, và sự biến thiên của điện trở là rất nhỏ.

[Sự phụ thuộc của độ ổn định dẫn điện vào chiều cao của núm dẫn điện]

Quá trình đánh giá đã được thực hiện để đánh giá sự phụ thuộc của độ ổn định dẫn điện của dây nối giữa hai lớp, vốn được nối qua các núm dẫn điện, vào hình dạng và kích thước của các núm dẫn điện. Chất độn cách điện được phân tán vào lớp cách điện có kích thước hạt khoảng $10\mu\text{m}$ trong D50. Lớp cách điện có độ dày khoảng $10\mu\text{m}$. Các núm dẫn điện được chuẩn bị làm các mẫu đánh giá có ba đường kính khác nhau là $50\mu\text{m}$, $80\mu\text{m}$ và $100\mu\text{m}$, và hai độ cao khác nhau, là lớn và nhỏ. Do đó, có tổng số sáu loại núm dẫn điện khác nhau. Trong trường hợp các mẫu có các núm dẫn điện có đường kính đáy $80\mu\text{m}$ hoặc $100\mu\text{m}$ thì các núm dẫn điện này cao hơn chiều dày của lớp cách điện. Ngoài ra, với mẫu mà trong đó các núm dẫn điện có đường kính đáy $50\mu\text{m}$ thì các núm dẫn điện này cao hơn chiều dày của lớp cách điện nếu mẫu này bao gồm các núm dẫn điện cao. Tuy nhiên, với mẫu bao gồm các núm dẫn điện đường kính đáy $50\mu\text{m}$ và chiều cao nhỏ thì sự chênh lệch chiều cao giữa các núm dẫn điện là lớn. Trong mẫu này, các núm dẫn điện cao hơn chiều dày của lớp cách điện và các núm dẫn điện thấp hơn chiều dày của lớp cách điện là lẫn lộn với nhau.

Theo kết quả đánh giá độ ổn định dẫn điện của các mẫu này, thì sẽ đạt được độ ổn định dẫn điện tốt nếu các mẫu có đường kính đáy $80\mu\text{m}$ hoặc $100\mu\text{m}$ và có núm dẫn điện cao hơn hoặc thấp hơn, hoặc nếu các mẫu này có đường kính đáy $50\mu\text{m}$ và núm dẫn điện cao hơn. Ngược lại, các mẫu có đường kính đáy $50\mu\text{m}$ và núm dẫn điện nhỏ hơn thì không cho thấy độ ổn

định dẫn điện tốt.

[Sự phụ thuộc của độ ổn định dẫn điện vào chiều cao của núm dẫn điện]

Fig.11(a) và Fig.11(b) là các đồ thị minh họa sự phụ thuộc của độ dày (chiều cao) màng và giá trị điện trở của các núm dẫn điện vào lượng nhựa dẻo nhiệt được thêm vào các núm dẫn điện. Như có thể thấy từ Fig.11(a) và Fig.11(b), nếu lượng nhựa dẻo nhiệt được bổ sung mà tăng lên, thì độ dày màng của các núm dẫn điện sau quá trình cán ép nóng sẽ trở nên mỏng và các núm dẫn điện sẽ mở rộng theo chiều ngang (chiều XY), và giá trị điện trở của các núm dẫn điện sẽ giảm và ổn định. Tuy nhiên, nếu xét đến đường đi/không gian của màng dây nối, nếu sự mở rộng của các núm dẫn điện mà tăng lên theo chiều ngang thì có thể gây ra sự ngắn mạch theo chiều XY, nhất là khi tiến hành kiểm tra trong điều kiện nhiệt độ/độ ẩm cao, hoặc các thông số tương tự, ví dụ, nhiệt độ 85°C, độ ẩm 85%, và điện áp đặt bằng 50V. Do đó, đã xác định được rằng tốt hơn nếu lượng nhựa dẻo nhiệt được bổ sung vào vật liệu núm dẫn điện bằng 10% khối lượng, hoặc nhiều hơn nhưng không quá 30% khối lượng.

[Đánh giá độ hở của các núm nhờ sử dụng nhựa epoxy]

Mẫu để đánh giá độ hở của các núm dẫn điện được chuẩn bị bằng cách sử dụng nhựa epoxy trong dung dịch hỗn hợp cách điện. Quá trình chuẩn bị và đánh giá mẫu được thực hiện bằng cách phủ dung dịch hỗn hợp nhựa cách điện chứa nhựa epoxy lên đế đỡ mà trên đó các núm dẫn điện được tạo ra, và sau đó làm khô. Sau đó, sự thay đổi độ dày màng được đo đạc, và sự xuất hiện của các núm dẫn điện được quan sát.

(Điều chế bột dẫn điện)

Bột dẫn điện được điều chế bằng cách trộn lẫn các thành phần nhựa, thành phần dẫn điện và dung môi với nhau trong các điều kiện sau:

Các thành phần nhựa

Nhựa epoxy lỏng loại biphenyl: 2 đến 10% khối lượng

Tỷ lệ nhựa epoxy/phenol: 1 đến 20% khối lượng

Nhựa epoxy loại Biphenyl: 5% khối lượng hoặc ít hơn

Các chất phụ gia: 5% khối lượng hoặc ít hơn

Thành phần dẫn điện: Các bột Ag (tỷ lệ các bột dạng vảy : các bột dạng cầu = 1 : 1) được trộn với tỷ lệ 80% khối lượng hoặc nhiều hơn.

Dung môi: Độ nhớt được điều chỉnh bằng cách bổ sung methyl ethyl xeton.

(Điều chế dung dịch hỗn hợp nhựa cách điện)

Dung dịch hỗn hợp nhựa cách điện được điều chế bằng cách trộn các thành phần nhựa với dung môi trong các điều kiện sau:

Thành phần nhựa (nhựa epoxy):

(A) YX695BH30 (tên thương mại, được sản xuất bởi công ty Japan Epoxy Resin, Co., Ltd.) : 100 phần trọng lượng

(B) Epicure DC808 (tên thương mại, được sản xuất bởi công ty Japan Epoxy Resin, Co., Ltd.) : 154 phần trọng lượng

(C) Coronate 2507 (tên thương mại, được sản xuất bởi công ty Nippon Polyurethane Industry Co., Ltd.) : 312 phần trọng lượng

(D) 2E4MZ (tên thương mại, chất xúc tác liên kết chéo imidazol, được sản xuất bởi công ty Shikoku Chemicals Co., Ltd.) : 9,6 phần trọng lượng

DVB-0960 (tên thương mại, được sản xuất bởi công ty Nippon Steel Chemical Co., Ltd.) : 98,6 phần trọng lượng

PEROCTA O (tên thương mại, được sản xuất bởi công ty Nippon Oils & Fats Co., Ltd.) : 9,6 phần trọng lượng

(E) Chất độn cách điện silic đioxit D50 = 10 $\mu\text{m}\phi$, 10% thể tích

Dung môi: Độ nhớt được điều chỉnh bằng cách bổ sung methyl ethyl xeton.

(Quy trình hình thành các nùm dẫn điện)

Bột dẫn điện được phủ bằng cách in lưới lên đế đỡ được làm từ nhựa PET. Do đó, các nùm dẫn điện dạng nhô được tạo ra. Các nùm dẫn điện này có đường kính đáy từ 80 đến 110 μm , và chiều cao từ 25 đến 40 μm .

(Quy trình phủ và làm khô dung dịch hỗn hợp nhựa cách điện)

Dung dịch hỗn hợp nhựa cách điện được phủ, bằng phương pháp lưới dao bác sĩ, lên đế đỡ mà trên đó các nùm dẫn điện được tạo ra. Điều kiện phủ là khe hở từ 50 μm đến 100 μm và tốc độ phủ là 1m/phút. Như vậy, màng cách điện có độ dày từ 30 đến 100 μm được hình thành. Sau đó, độ dày của màng cách điện được đo, và sau đó, mẫu này được đặt vào lò nung. Mẫu này được làm khô tại 100°C trong 3 phút. Do đó, dung môi được làm bay hơi khỏi màng phủ, nhờ đó làm giảm độ dày của màng cách điện chưa lưu hoá.

Sau khi làm khô mẫu, độ dày của màng cách điện được đo. Ngoài ra, quá trình hờ ra của các nùm dẫn điện cũng được theo dõi.

(Đo đặc các thuộc tính điện môi)

Các thuộc tính điện môi của nhựa epoxy thu được sẽ được xác định.

Các thuộc tính điện môi sau khi lưu hoá là như sau:

Hằng số điện môi tương đối 2,71/1GHz, 2,68/5GHz

Góc tổn hao điện môi 0,019/1GHz, 0,0098/5GHz.

[Đánh giá độ hờ của các nùm dẫn điện nhờ sử dụng nhựa OPE]

Mẫu để đánh giá độ hờ của các nùm dẫn điện được chuẩn bị nhờ sử dụng nhựa OPE trong màng cách điện. Quá trình chuẩn bị và đánh giá mẫu được thực hiện bằng cách phủ dung dịch hỗn hợp nhựa cách điện chứa nhựa OPE lên đế đỡ mà trên đó các nùm dẫn điện được tạo ra, và sau đó làm khô. Sau đó, sự thay đổi độ dày màng được đo đặc, và sự xuất hiện của các nùm dẫn điện được quan sát.

(Điều chế bột dẫn điện)

Bột dẫn điện được điều chế bằng cách trộn lẫn các thành phần nhựa, thành phần dẫn điện và dung môi với nhau trong các điều kiện sau:

Các thành phần nhựa

Nhựa epoxy lỏng loại biphenyl: 2 đến 10% khối lượng

Tỷ lệ nhựa epoxy/phenol: 1 đến 10% khối lượng

Nhựa epoxy loại Biphenyl: 5% khối lượng hoặc ít hơn

Các chất phụ gia: 5% khối lượng hoặc ít hơn

Thành phần dẫn điện: Các bột Ag (tỷ lệ các bột dạng vảy : các bột dạng cầu = 1 : 1) được trộn với tỷ lệ 80% khối lượng hoặc nhiều hơn.

Dung môi: Độ nhớt được điều chỉnh bằng cách bổ sung methyl ethyl xeton.

(Điều chế dung dịch hỗn hợp nhựa cách điện)

Dung dịch hỗn hợp nhựa cách điện được điều chế bằng cách trộn các thành phần nhựa với dung môi trong các điều kiện sau:

Thành phần nhựa (nhựa OPE):

(A) OPE-2st2200 (tên thương nghiệp, được sản xuất bởi tập đoàn Mitsubishi Gas Chemical Co., Inc.) : 5 đến 40% khối lượng

(B) TR2003 (tên thương nghiệp, được sản xuất bởi công ty JSR) : 5 đến 40% khối lượng

Dung môi: Toluen, 20 đến 90% khối lượng

(C) Chất độn cách điện silic đioxit D50 = 10 μm , 10% thể tích

(Quy trình hình thành các nôm dẫn điện)

Bột dẫn điện được phủ bằng cách in lưới lên đế đỡ được làm từ nhựa PET. Do đó, các nôm dẫn điện dạng nhô được tạo ra. Các nôm dẫn điện này có đường kính đáy từ 80 đến 110 μm , và chiều cao từ 16 đến 40 μm .

(Quy trình phủ và làm khô dung dịch hỗn hợp nhựa cách điện)

Dung dịch hỗn hợp nhựa cách điện được phủ, bằng phương pháp lưới

dao bác sĩ, lên để đỡ mà trên đó các nùm dẫn điện được tạo ra. Điều kiện phủ là khe hở từ $20\mu\text{m}$ đến $100\mu\text{m}$ và tốc độ phủ là 1m/phút . Như vậy, màng cách điện có độ dày từ 20 đến $100\mu\text{m}$ được hình thành. Sau đó, độ dày của màng cách điện được đo, và sau đó, mẫu này được đặt vào lò nung. Mẫu này được làm khô tại 100°C trong 3 phút. Do đó, dung môi được làm bay hơi khỏi màng phủ, nhờ đó làm giảm độ dày của màng cách điện chưa lưu hoá.

Sau khi làm khô mẫu, độ dày của màng cách điện được đo. Ngoài ra, quá trình hở ra của các nùm dẫn điện cũng được theo dõi.

(Đo đặc các thuộc tính điện môi)

Các thuộc tính điện môi của nhựa OPE thu được sẽ được xác định.

Các thuộc tính điện môi sau khi lưu hoá là như sau:

Hằng số điện môi tương đối 2,4/5GHz

Góc tổn hao điện môi 0,0019/5GHz

Khả năng ứng dụng trong công nghiệp

Như đã được mô tả chi tiết, sáng chế đề xuất bảng mạch đa lớp có mật độ gắn cao. Cụ thể, sáng chế đề xuất bảng mạch đa lớp và phương pháp sản xuất bảng mạch đa lớp với năng suất cao và chi phí thấp trong khi vẫn có thể cải thiện độ ổn định của mối nối liên lớp. Do đó, sáng chế có đóng góp lớn cho lĩnh vực điện tử.

YÊU CẦU BẢO HỘ

1. Bảng mạch đa lớp, khác biệt ở chỗ, bảng mạch này bao gồm:

cụm núm dẫn điện được tạo ra giữa lớp dẫn điện thứ nhất với lớp dẫn điện thứ hai; và

lớp cách điện bao gồm chất độn cách điện, và được tạo ra ở chu vi của cụm núm dẫn điện,

trong đó kích thước hạt trung bình của chất độn cách điện bằng hoặc lớn hơn 20% và không lớn hơn 100% chiều cao trung bình của cụm núm dẫn điện sau khi cán ép nóng.

2. Bảng mạch đa lớp theo điểm 1, khác biệt ở chỗ, lớp cách điện là lớp được tạo ra bằng cách lưu hoá nhựa ở dạng dung dịch hỗn hợp nhựa cách điện chứa chất độn cách điện sau khi giảm độ dày màng bằng cách làm bay hơi dung môi dưới các điều kiện gần như ngăn ngừa nhựa chứa dung dịch hỗn hợp nhựa cách điện với chất độn cách điện khỏi phản ứng lưu hoá.

3. Bảng mạch đa lớp theo điểm 1, khác biệt ở chỗ, chất độn cách điện là một hoặc nhiều vật liệu được chọn từ silic đioxit, silic cacbua, nhôm oxit, nhôm nitrat, các hạt ziricon oxit, các hạt thủy tinh và các hạt acrylic.

4. Bảng mạch đa lớp theo điểm 1, khác biệt ở chỗ, lượng bổ sung của chất độn cách điện so với dung dịch hỗn hợp nhựa cách điện là bằng hoặc lớn hơn 1% thể tích và không quá 30% thể tích.

5. Bảng mạch đa lớp theo điểm 1, khác biệt ở chỗ, dung dịch hỗn hợp nhựa cách điện bao gồm nhựa epoxy, nhựa bismaleimide triazin, nhựa polyimide, nhựa acrylat, nhựa phenol, nhựa ete oligophenylene, nhựa polyete và nhựa melamin.

6. Bảng mạch đa lớp theo điểm 1, khác biệt ở chỗ, chiều cao h_2 của cụm núm dẫn điện và độ dày t_3 của lớp cách điện có mối quan hệ $h_2 \geq t_3$.

7. Bảng mạch đa lớp theo điểm 1, khác biệt ở chỗ, thành phần nhựa, mà hình thành nên cụm núm dẫn điện, được làm từ vật liệu thu được bằng cách bổ sung nhựa dẻo nhiệt vào nhựa rắn nhiệt sao cho tỷ lệ phần trăm nhựa dẻo nhiệt trong hỗn hợp thu được bằng 10% khối lượng hoặc lớn hơn nhưng không lớn hơn 30% khối lượng.

8. Phương pháp sản xuất bảng mạch đa lớp, khác biệt ở chỗ, phương pháp này bao gồm ít nhất là các bước:

tạo thành cụm núm dẫn điện nhô ra trên lớp dẫn điện;

tạo thành màng phủ chảy được bằng cách phủ dung dịch hỗn hợp nhựa cách điện chứa chất độn cách điện và dung môi dễ bay hơi, lên trên lớp dẫn điện và cụm núm dẫn điện;

tạo thành màng phủ cách điện chưa lưu hoá bằng cách làm bay hơi dung môi dễ bay hơi và làm giảm độ dày của màng phủ chảy được; và

tạo thành lớp cách điện bằng cách xếp lớp dẫn điện hoặc đế lõi lên trên màng phủ cách điện chưa lưu hoá bằng cách cán ép nóng, và sau đó tiến hành phản ứng lưu hoá màng phủ cách điện chưa lưu hoá này,

kích thước hạt trung bình của chất độn cách điện bằng hoặc lớn hơn 20% và không lớn hơn 100% chiều cao trung bình của cụm núm dẫn điện sau khi cán ép nóng.

9. Phương pháp sản xuất bảng mạch đa lớp, khác biệt ở chỗ, phương pháp này bao gồm ít nhất là các bước:

tạo thành cụm núm dẫn điện nhô ra trên đế lõi thứ nhất;

tạo thành màng phủ chảy được bằng cách phủ dung dịch hỗn hợp nhựa cách điện chứa chất độn cách điện và dung môi dễ bay hơi, lên trên cụm núm dẫn điện;

tạo thành màng phủ cách điện chưa lưu hoá bằng cách làm bay hơi dung môi dễ bay hơi và làm giảm độ dày của màng phủ chảy được; và

tạo thành lớp cách điện bằng cách xếp lớp dẫn điện hoặc đế lõi thứ hai lên trên màng phủ cách điện chưa lưu hoá, và sau đó thực hiện phản ứng lưu hoá màng phủ cách điện chưa lưu hoá này,

kích thước hạt trung bình của chất độn cách điện là lớn hơn hoặc bằng 20% và không lớn hơn 100% chiều cao trung bình của cụm núm dẫn điện sau khi cán ép nóng.

10. Phương pháp sản xuất bảng mạch đa lớp, khác biệt ở chỗ, phương pháp này bao gồm ít nhất là các bước:

tạo thành cụm núm dẫn điện nhô ra trên đế lõi thứ nhất;

tạo thành màng phủ chảy được bằng cách phủ dung dịch hỗn hợp nhựa cách điện chứa chất độn cách điện và dung môi dễ bay hơi, lên trên lớp dẫn điện hoặc đế lõi thứ hai;

tạo thành màng phủ cách điện chưa lưu hoá bằng cách làm bay hơi dung môi dễ bay hơi và làm giảm độ dày của màng phủ chảy được; và

cán ép nóng đế lõi thứ nhất với lớp dẫn điện hoặc đế lõi thứ hai mà trên đó màng phủ cách điện chưa lưu hoá được tạo ra,

kích thước hạt trung bình của chất độn cách điện bằng hoặc lớn hơn 20% và không lớn hơn 100% chiều cao trung bình của cụm núm dẫn điện sau khi cán ép nóng.

11. Phương pháp sản xuất bảng mạch đa lớp, khác biệt ở chỗ, phương pháp này bao gồm ít nhất là các bước:

tạo thành màng phủ chảy được bằng cách phủ dung dịch hỗn hợp nhựa cách điện chứa chất độn cách điện và dung môi dễ bay hơi, lên trên lớp dẫn điện thứ nhất được bố trí trên đế lõi thứ nhất;

tạo thành màng phủ cách điện chưa lưu hoá bằng cách làm bay hơi dung môi dễ bay hơi và làm giảm độ dày của màng phủ chảy được;

tạo thành cụm núm dẫn điện nhô ra trên lớp dẫn điện thứ hai hoặc đế lõi thứ hai; và

cán ép nóng đế lõi thứ nhất với lớp dẫn điện hoặc đế lõi thứ hai mà trên đó cụm núm dẫn điện được tạo ra,

kích thước hạt trung bình của chất độn cách điện bằng hoặc lớn hơn 20% và không lớn hơn 100% chiều cao trung bình của cụm núm dẫn điện sau khi cán ép nóng.

12. Phương pháp sản xuất bảng mạch đa lớp, khác biệt ở chỗ, phương pháp này bao gồm ít nhất là các bước:

tạo ra chi tiết bảng mạch đa lớp bằng cách hình thành cụm núm dẫn điện trên lớp dẫn điện thứ nhất, tạo thành màng phủ chảy được bằng cách phủ dung dịch hỗn hợp nhựa cách điện chứa chất độn cách điện và dung môi dễ bay hơi, và tạo thành màng phủ cách điện chưa lưu hoá bằng cách làm bay hơi dung môi dễ bay hơi và làm giảm độ dày của màng chảy được;

tạo thành bảng mạch đa lớp bằng cách thực hiện một hoặc nhiều lần các bước chỉ gồm xếp chi tiết bảng mạch đa lớp lên đế lõi bằng cách cán ép nóng và tạo ra lớp dẫn điện thứ hai trên chi tiết bảng mạch đa lớp này sau khi tạo thành một hoặc nhiều trong số các chi tiết bảng mạch đa lớp,

kích thước hạt trung bình của chất độn cách điện bằng hoặc lớn hơn

20% và không lớn hơn 100% chiều cao trung bình của cụm núp dẫn điện sau khi cán ép nóng.

13. Phương pháp sản xuất bảng mạch đa lớp, khác biệt ở chỗ, phương pháp này bao gồm ít nhất là các bước:

tạo ra chi tiết bảng mạch đa lớp bằng cách hình thành cụm núp dẫn điện trên lớp dẫn điện thứ nhất, tạo thành màng phủ chảy được bằng cách phủ dung dịch hỗn hợp nhựa cách điện chứa chất độn cách điện và dung môi dễ bay hơi, và tạo thành màng phủ cách điện chưa lưu hoá bằng cách làm bay hơi dung môi dễ bay hơi và làm giảm độ dày của màng chảy được;

tạo thành bảng mạch đa lớp bằng cách xếp một hoặc nhiều trong số các chi tiết bảng mạch đa lớp lên trên để lõi trong một lần bằng cách cán ép nóng sau khi tạo thành một hoặc nhiều trong số các chi tiết bảng mạch đa lớp này,

kích thước hạt trung bình của chất độn cách điện bằng hoặc lớn hơn 20% và không lớn hơn 100% chiều cao trung bình của cụm núp dẫn điện sau khi cán ép nóng.

14. Phương pháp sản xuất bảng mạch đa lớp theo điểm bất kỳ trong số các điểm từ 8 đến 13, khác biệt ở chỗ, lượng thành phần khó bay hơi trong dung dịch hỗn hợp nhựa cách điện là từ 10% khối lượng đến 80% khối lượng.

15. Phương pháp sản xuất bảng mạch đa lớp theo điểm 8 hoặc 9, khác biệt ở chỗ, lớp cách điện có nhiệt độ hoá khô/hoá rắn bằng hoặc lớn hơn 60°C và không lớn hơn 160°C.

16. Phương pháp sản xuất bảng mạch đa lớp theo điểm bất kỳ trong số các điểm từ 8 đến 13, khác biệt ở chỗ, thành phần nhựa vốn tạo thành cụm núp

dẫn điện được làm bằng vật liệu thu được bằng cách cho nhựa dẻo nhiệt vào nhựa rắn nhiệt sao cho tỷ lệ phần trăm nhựa dẻo nhiệt trong hỗn hợp thu được bằng hoặc lớn hơn 10% khối lượng và không lớn hơn 30% khối lượng.

17. Phương pháp sản xuất băng mạch đa lớp theo điểm bất kỳ trong số các điểm từ 10 đến 13, khác biệt ở chỗ, nhiệt độ cán ép nóng không lớn hơn nhiệt độ bắt đầu xảy ra phản ứng lưu hoá nhựa cách điện, và không nhỏ hơn nhiệt độ bắt đầu suy giảm độ nhớt chảy nhiệt của nhựa cách điện.

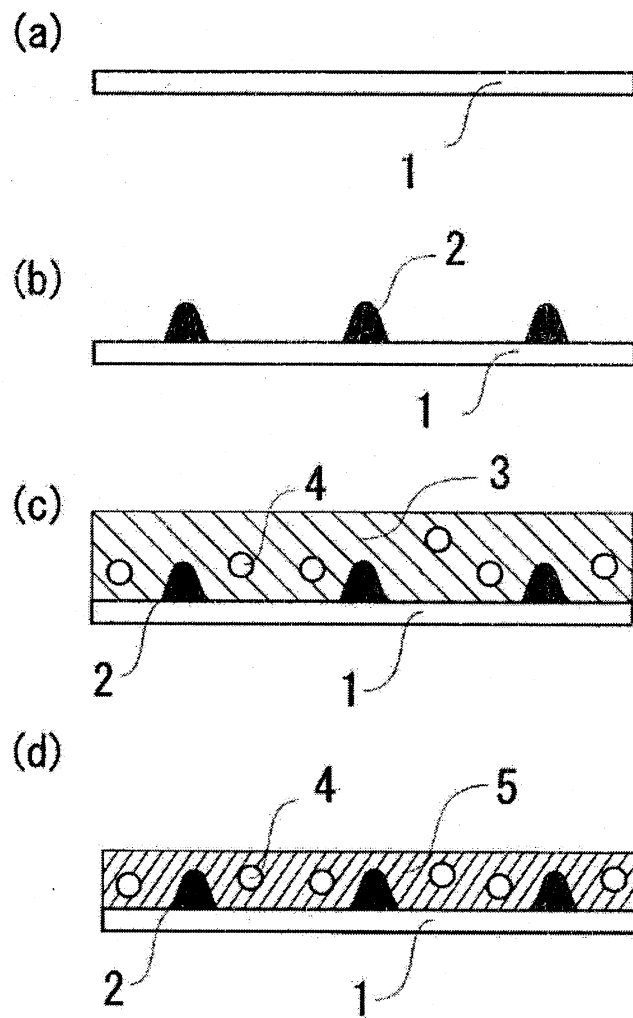


Fig.1

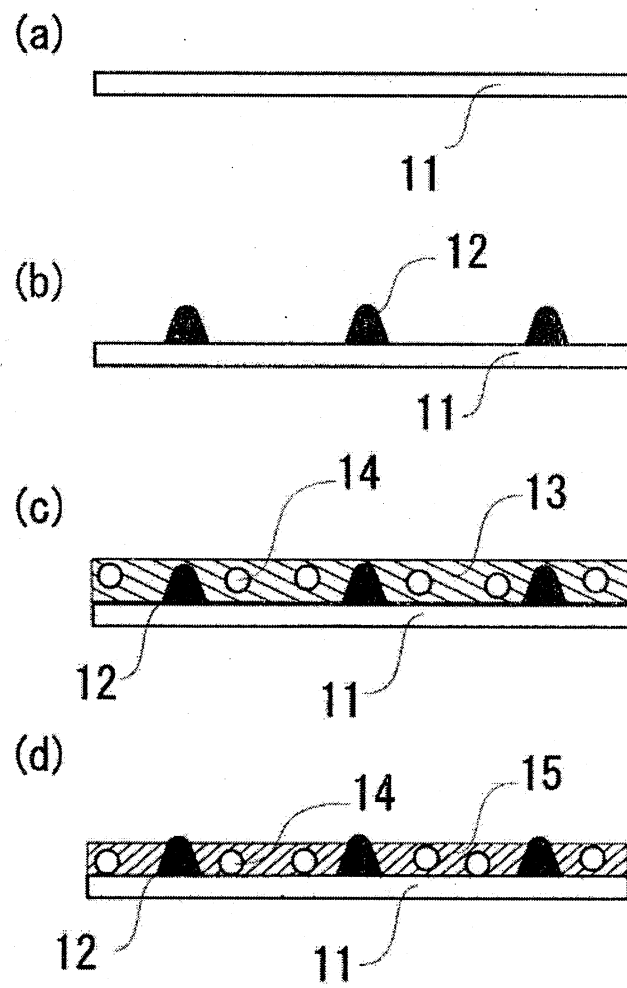


Fig.2

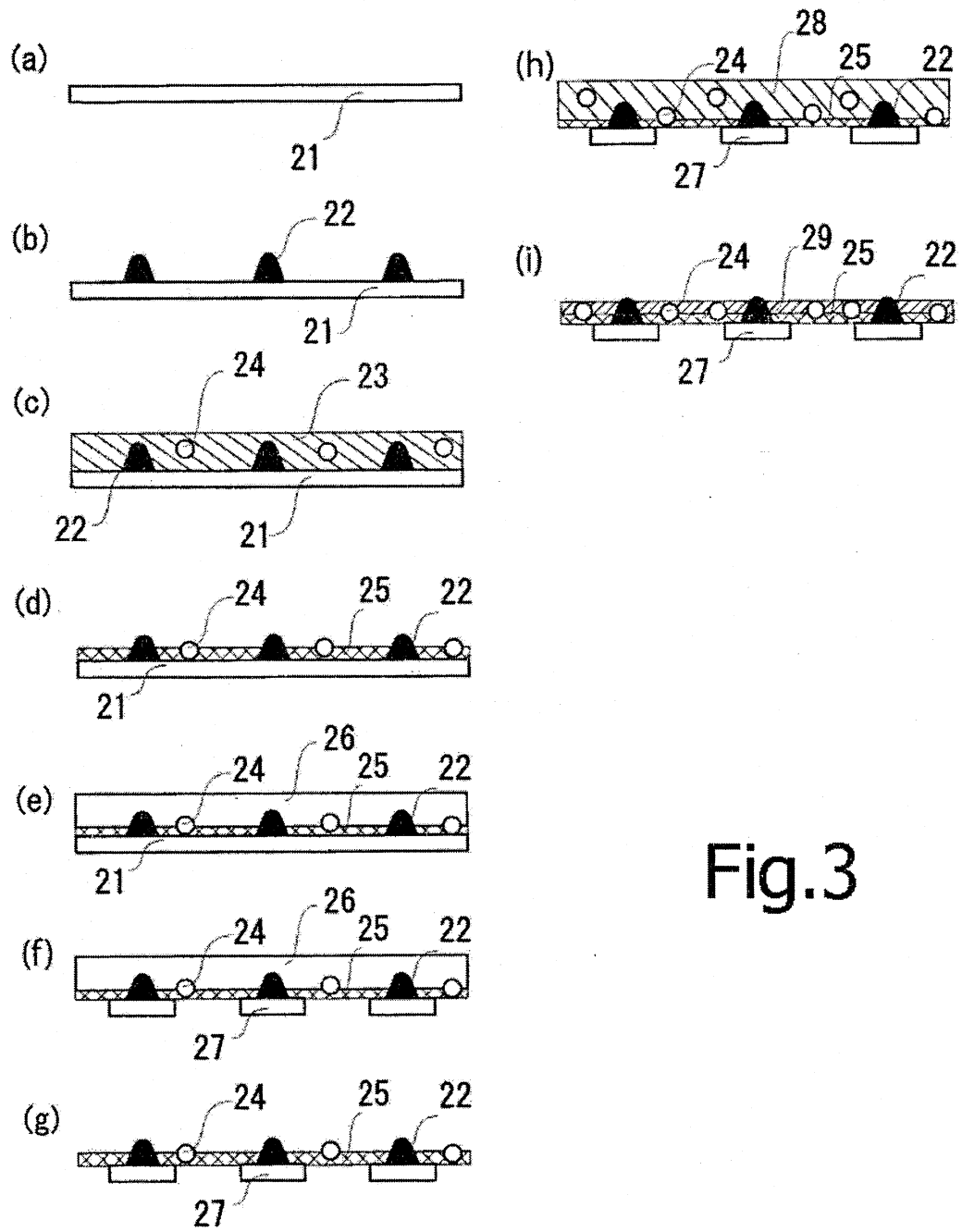


Fig.3

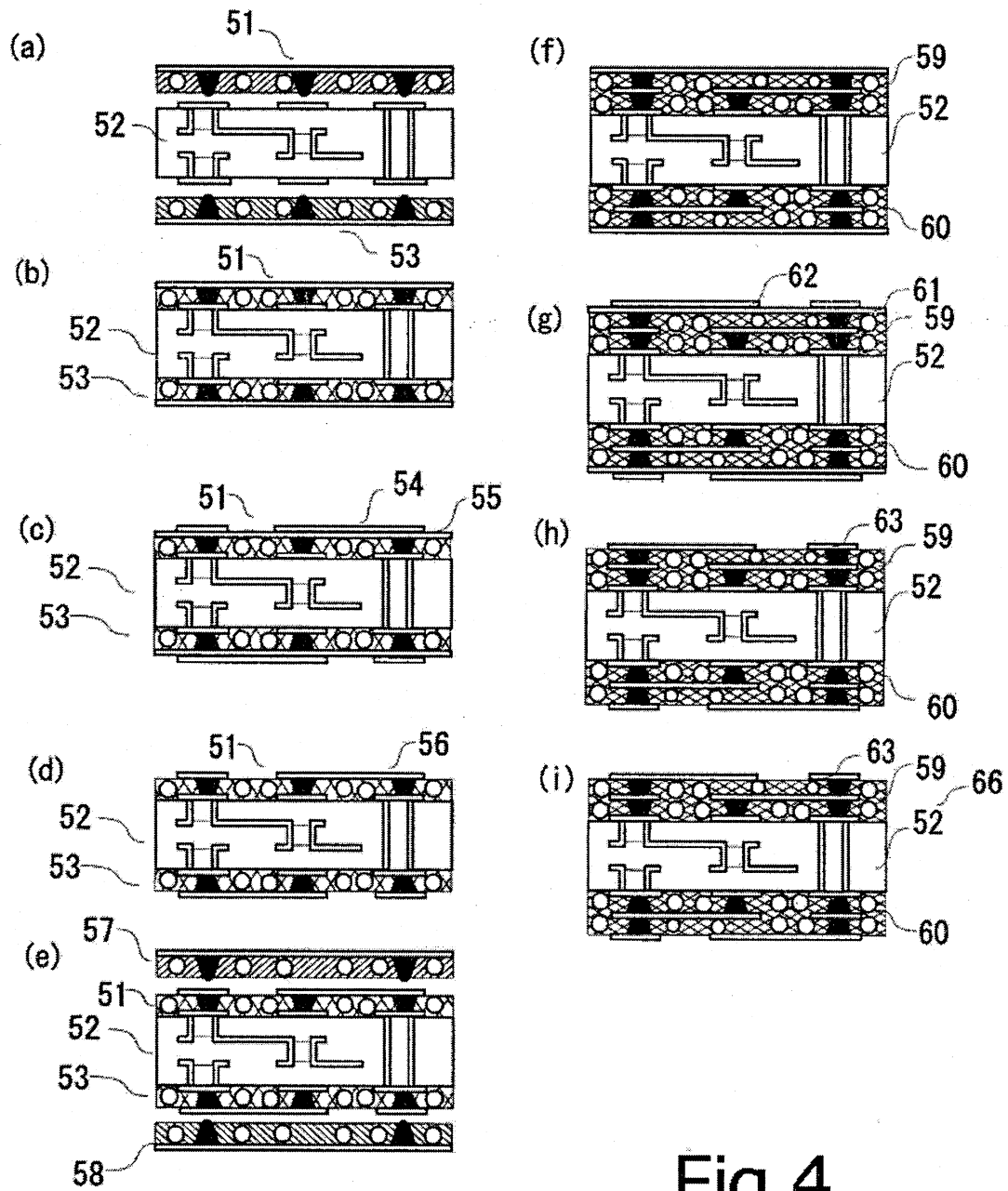


Fig.4

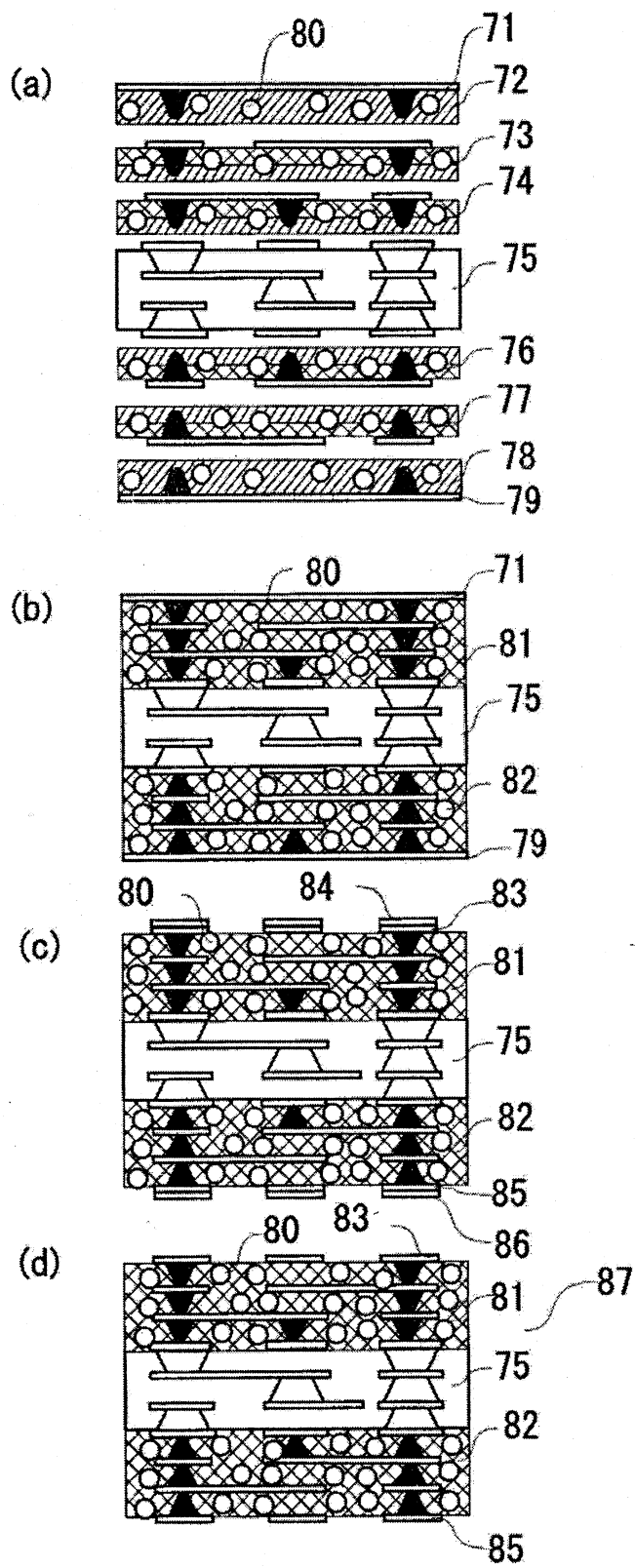


Fig.5

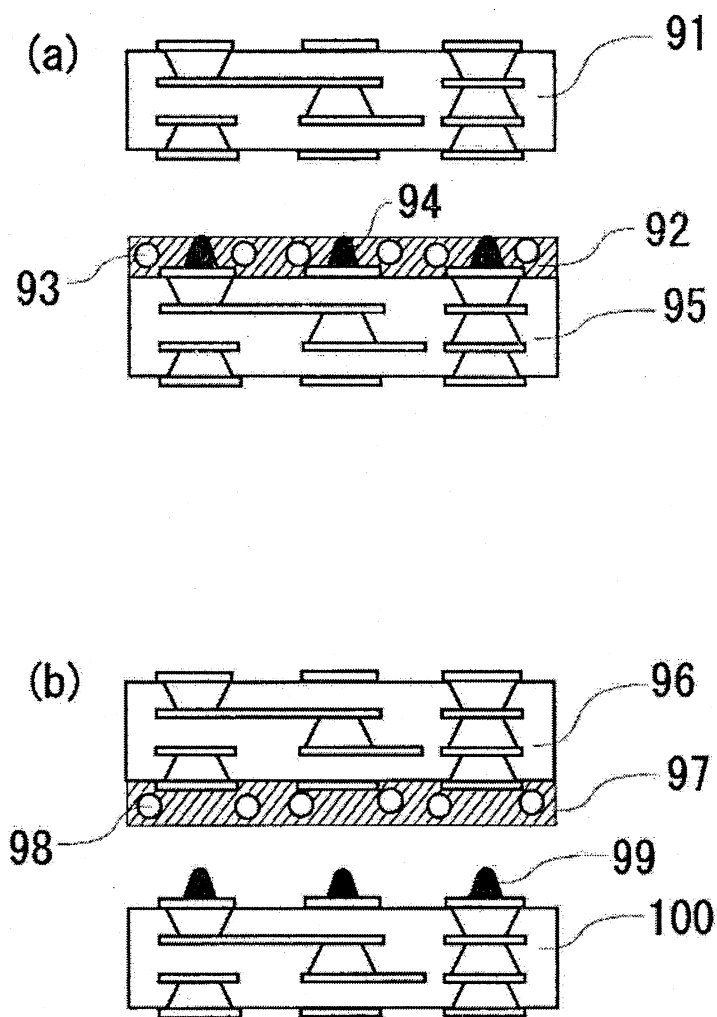


Fig.6

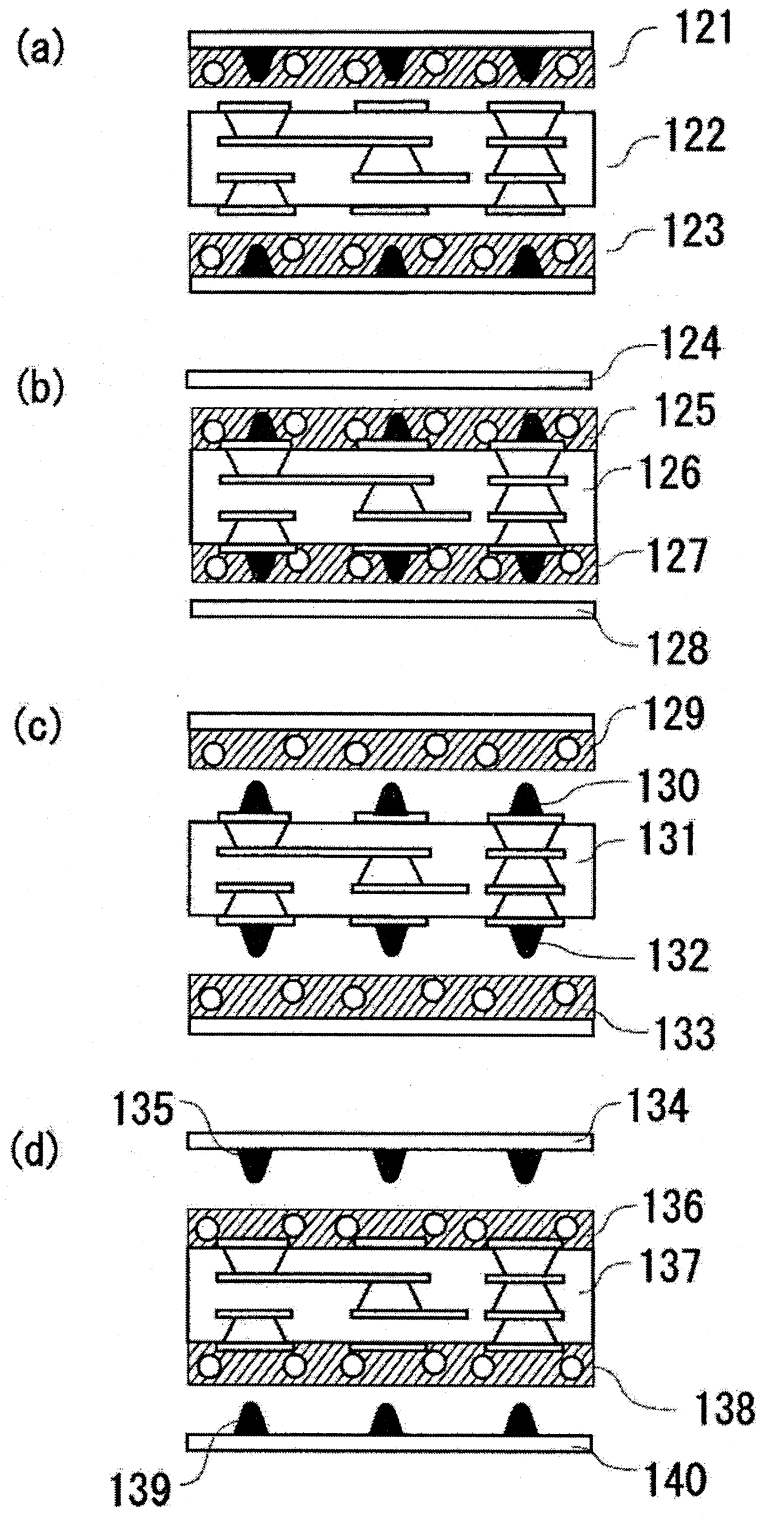
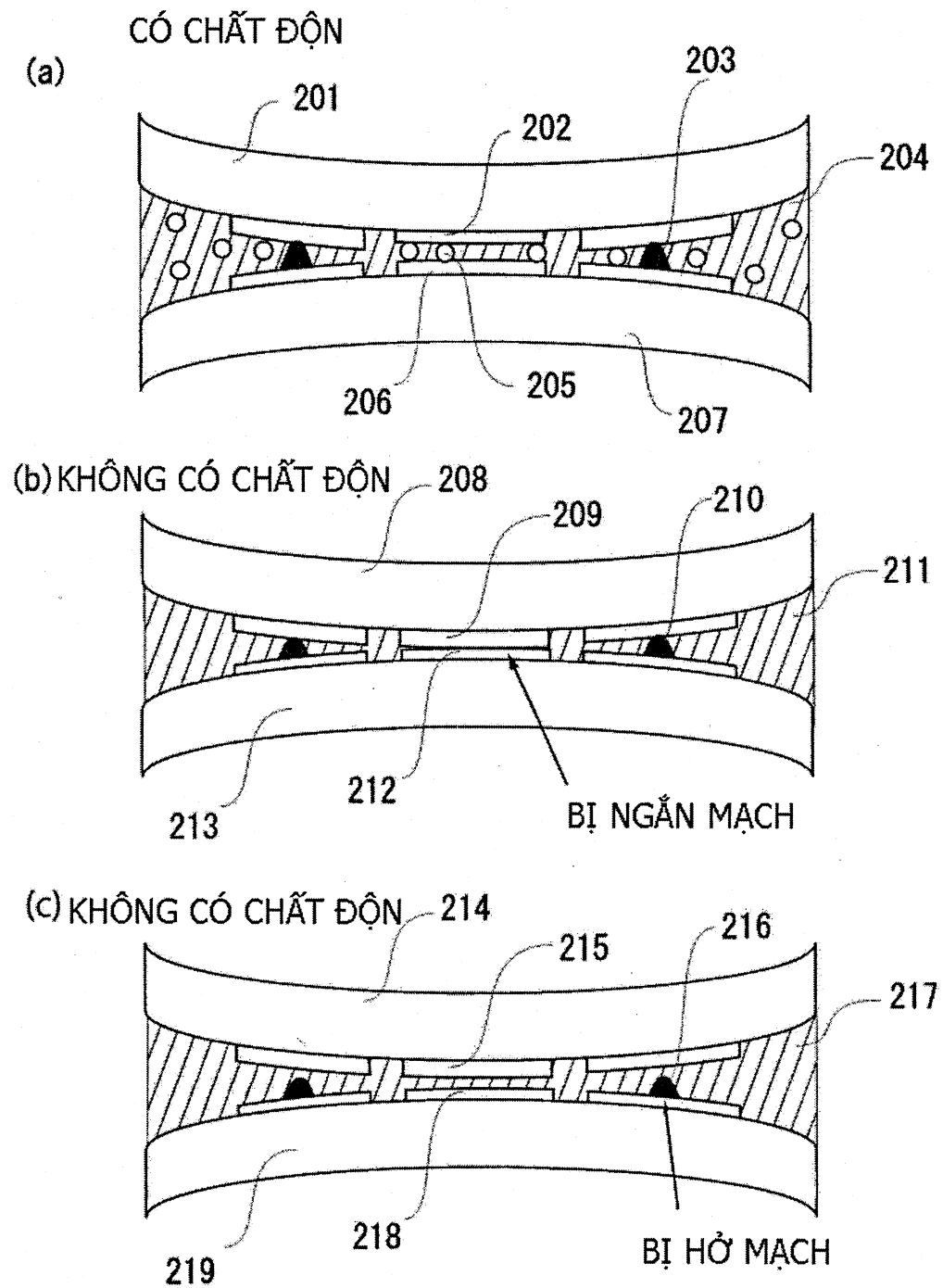


Fig.7



SỰ PHỤ THUỘC CỦA ĐỘ ỔN ĐỊNH DẪN ĐIỆN VÀO SỰ CÓ MẶT HOẶC VẮNG MẶT CỦA CHẤT ĐỘN

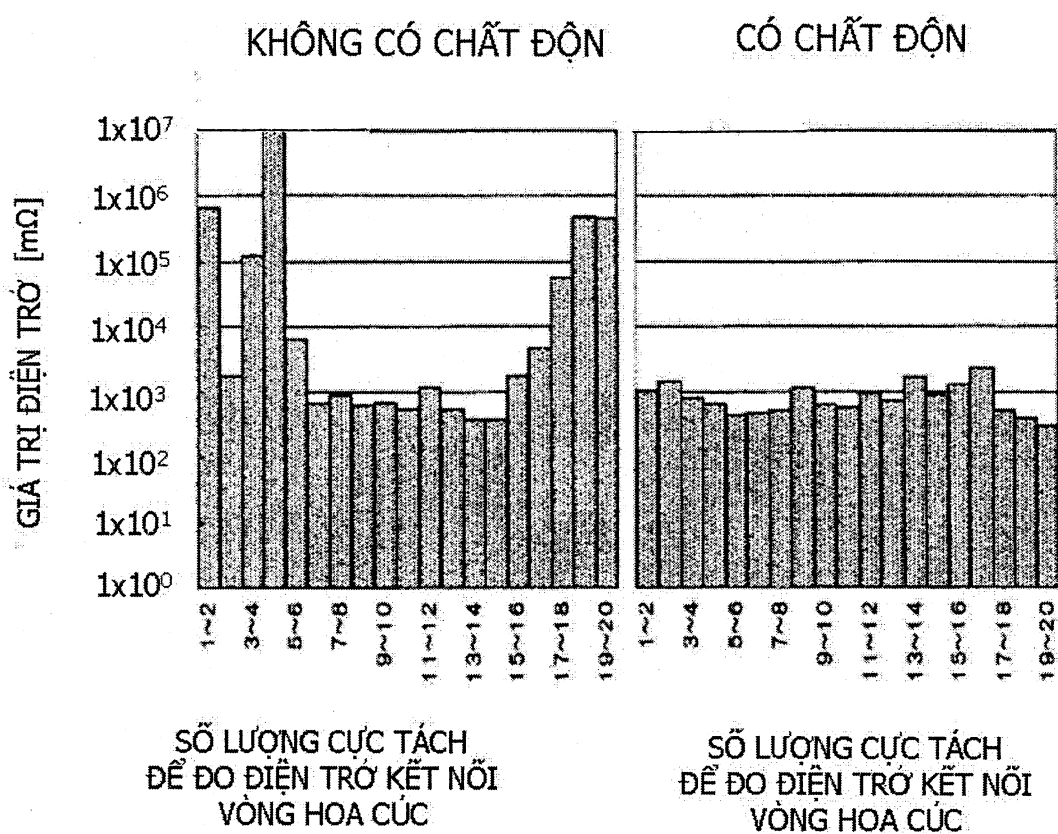
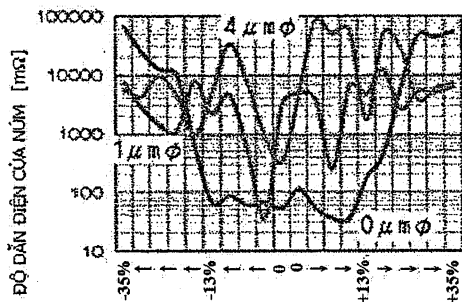


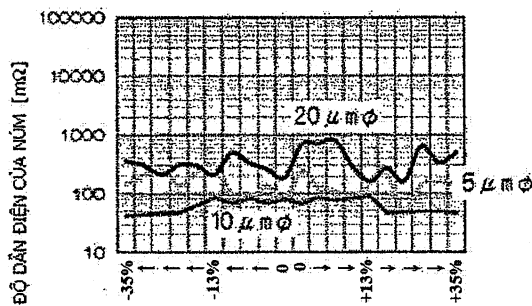
Fig.9

SỰ PHỤ THUỘC CỦA ĐỘ DẪN ĐIỆN CỦA NÚM
VÀO KÍCH THƯỚC CHẤT ĐỘN

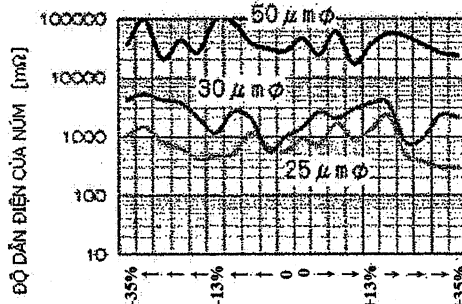
(a) KÍCH THƯỚC CHẤT ĐỘN: 0-4 $\mu\text{m}\phi$



(b) KÍCH THƯỚC CHẤT ĐỘN: 5-20 $\mu\text{m}\phi$

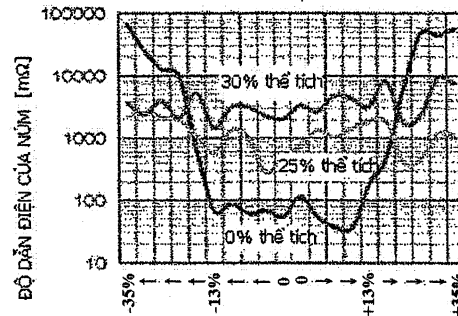


(c) KÍCH THƯỚC CHẤT ĐỘN: 25-50 $\mu\text{m}\phi$

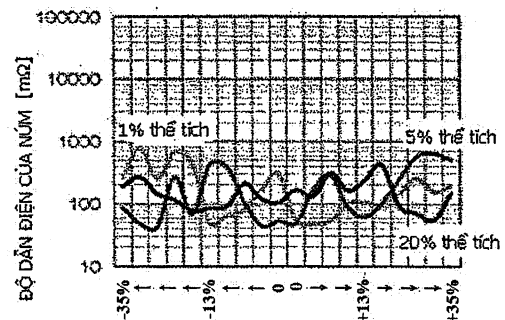


SỰ PHỤ THUỘC CỦA ĐỘ DẪN ĐIỆN CỦA NÚM
VÀO LƯỢNG CHẤT ĐỘN ĐƯỢC BỔ SUNG

(d) LƯỢNG CHẤT ĐỘN BỔ SUNG: 0% thể tích;
25-30% thể tích



(e) LƯỢNG CHẤT ĐỘN BỔ SUNG: 1-20% thể tích



(f) LƯỢNG CHẤT ĐỘN BỔ SUNG: 10-15% thể tích

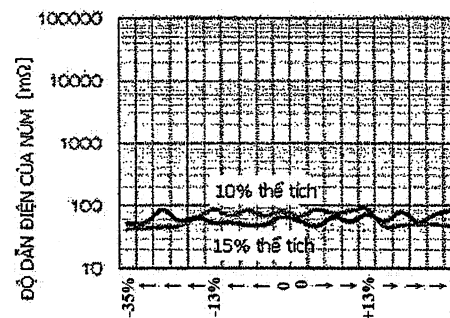


Fig.10

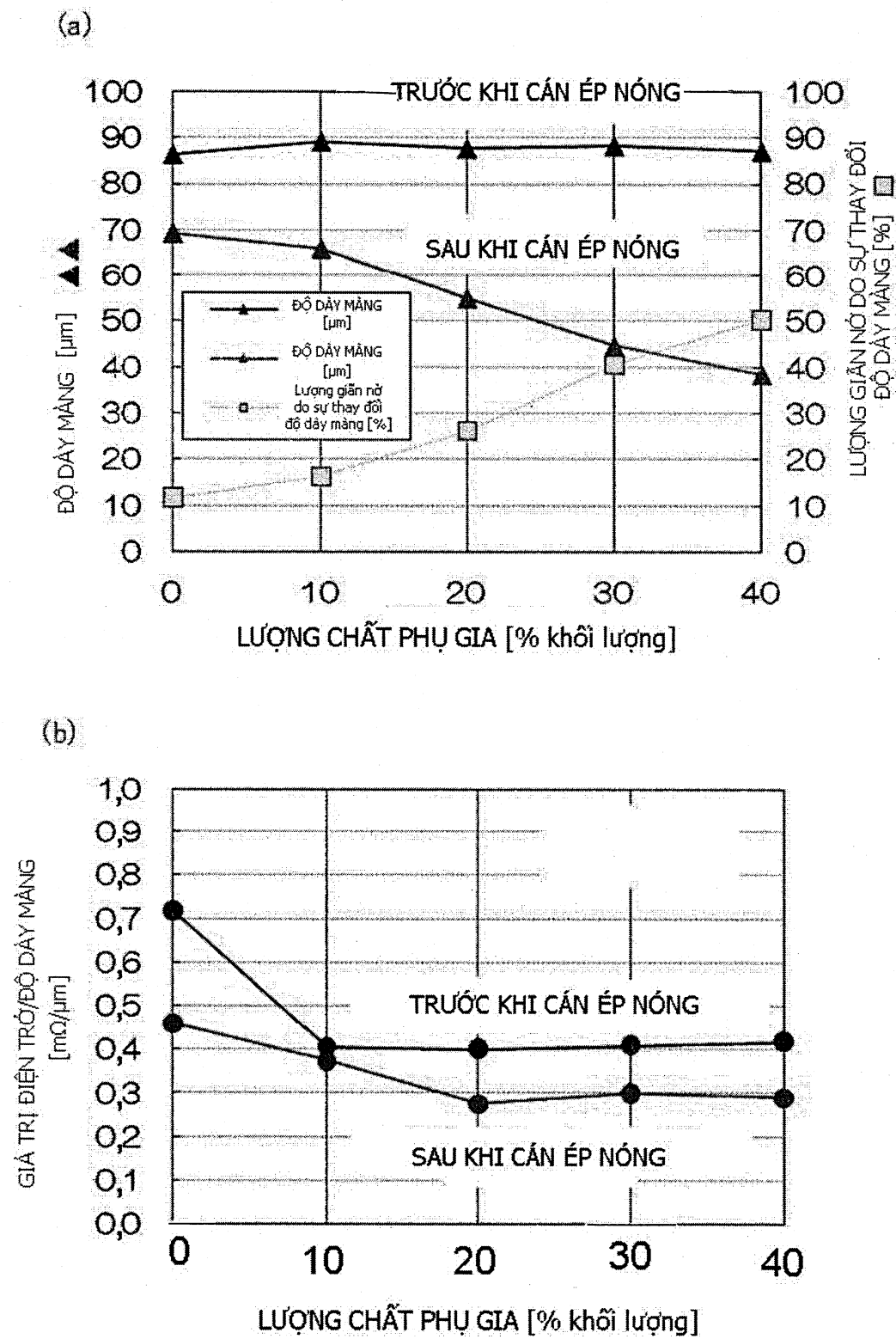


Fig.11

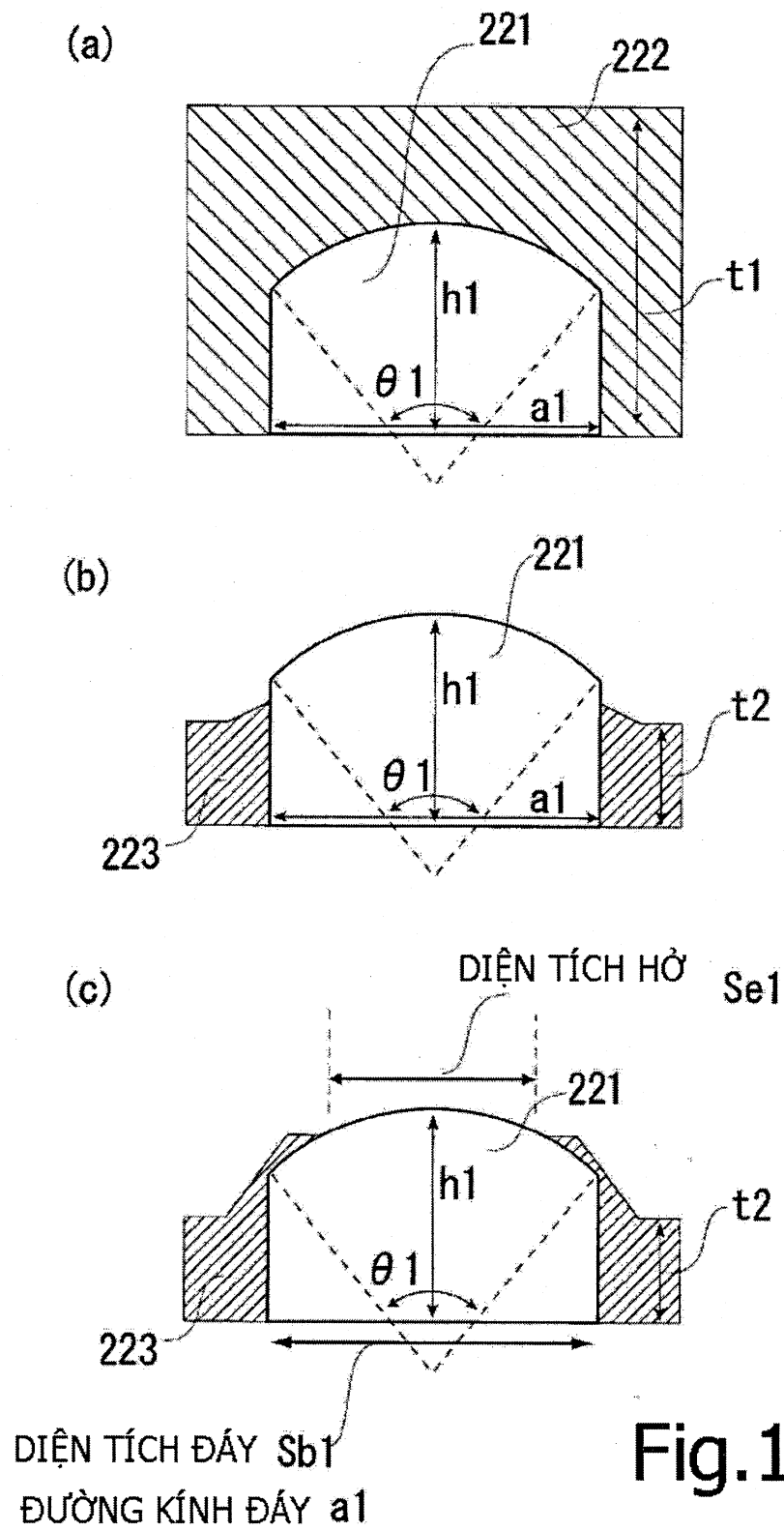


Fig.12

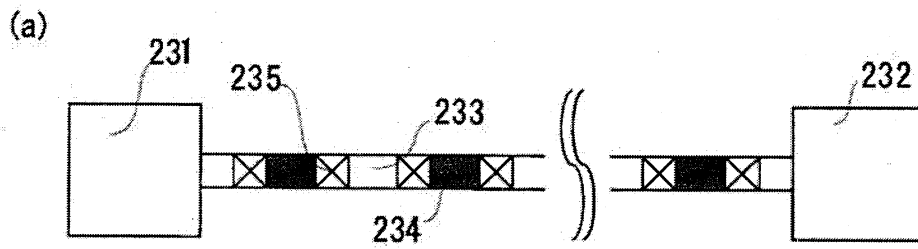


Fig.13

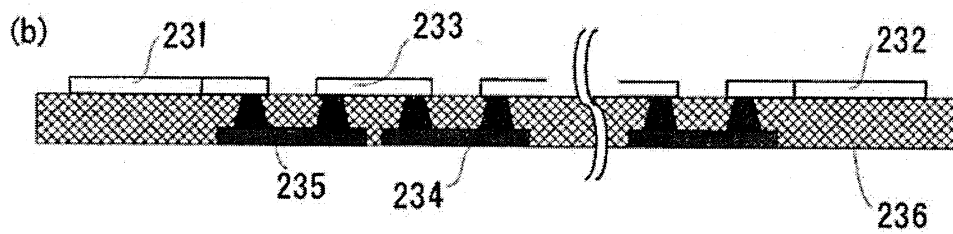


Fig.14

