



(12) **BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ**

(19) **Cộng hòa xã hội chủ nghĩa Việt Nam (VN)**
CỤC SỞ HỮU TRÍ TUỆ

(11) 
1-0021840

(51)⁷ **H05K 3/38, 3/46**

(13) **B**

(21)	1-2011-03134	(22)	15.04.2010		
(86)	PCT/EP2010/054923	15.04.2010	(87)	WO2010/121938	28.10.2010
(30)	09158711.3	24.04.2009	EP		
(45)	25.10.2019	379	(43)	25.04.2012	289
(73)	ATOTECH DEUTSCHLAND GMBH (DE) Erasmusstrasse 20, 10553 Berlin, Germany				
(72)	SPARING, Christian (DE), HUELSMANN, Thomas (DE), BROOKS, Patrick (US), CLICQUE, Arno (DE)				
(74)	Công ty Luật TNHH Phạm và Liên danh (PHAM & ASSOCIATES)				

(54) **QUY TRÌNH SẢN XUẤT BẢNG MẠCH IN ĐA LỚP**

(57) Sáng chế đề cập đến quy trình sản xuất bảng mạch in đa lớp và sản phẩm được tạo ra từ quy trình này, đặc biệt là bản nền IC (IC: integrated circuit/mạch tích hợp). Quy trình theo sáng chế sử dụng silicat vô cơ và hỗn hợp gắn kết silan hữu cơ trong từng bước riêng biệt để tạo ra sự bám dính giữa các lớp đồng và lớp cách điện. Quy trình này làm gia tăng cường độ bám dính, cải thiện khả năng chịu ứng suất cơ và nhiệt cũng như khả năng chịu ẩm của bảng mạch in đa lớp và bản nền IC.

Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập đến quy trình sản xuất bảng mạch in đa lớp, chẳng hạn như bản nền IC (IC: integrated circuit/mạch tích hợp), bảng mạch in dùng cho ứng dụng tần số cao và bản nền dẻo; bảng mạch in đa lớp và bản nền IC được sản xuất bằng quy trình này, trong đó hỗn hợp gắn kết silan hữu cơ và việc xử lý bằng cách sử dụng hỗn hợp chứa ít nhất một silicat vô cơ được sử dụng.

Tình trạng kỹ thuật của sáng chế

Bản nền của bảng mạch in đa lớp và IC thường được tạo ra bằng cách ghép xen các lớp dẫn điện đã được tạo hình, như bản nền chứa đồng với các lớp cách điện như nhựa giai đoạn B được hóa rắn một phần, tức là tấm bán thành phẩm, vào lớp xen đa lớp, tiếp theo chúng được gắn lại với nhau nhờ tác dụng của nhiệt và áp suất. Do lớp dẫn điện có bề mặt đồng mịn không gắn chặt với tấm bán thành phẩm, nên bề mặt đồng nhám đã được sử dụng để tạo ra sự gắn kết tốt hơn với lớp cách điện. Do đó, trong công nghệ sản xuất bảng mạch in đa lớp phải có bước làm thô nhám bằng cơ hoặc hoá học để đảm bảo sự gắn kết tốt hơn. Tuy nhiên, do sơ đồ mạch ngày càng nhỏ, nên có nguy cơ gia tăng các hư hại vật lý cho các đường dẫn điện trong quá trình sản xuất bề mặt này. Quy trình khác được sử dụng trong công nghiệp để cải thiện sự gắn kết giữa lớp dẫn điện và lớp cách điện là các quy trình oxy hoá bề mặt đồng khác nhau được ứng dụng rộng rãi trong công nghiệp mạ để đảm bảo sự bám dính tốt giữa các pha.

Theo quy trình khác, silan hữu cơ được sử dụng để gia tăng độ bám dính giữa bề mặt đồng và bề mặt tấm bán thành phẩm. Silan hữu cơ này được lắng phủ thành các lớp mỏng lên bề mặt đồng và trong quá trình cán mỏng các phân tử silan hữu cơ gắn kết với epoxy, tức là, bề mặt tấm bán thành phẩm. Nhằm gia tăng độ bám dính giữa silan hữu cơ với bề mặt đồng, bề mặt đồng được phủ lót bằng kim loại, như thiếc, là chất có khả năng phản ứng với silan hữu cơ. Khi

được áp dụng một cách thích hợp, việc xử lý bằng silan hữu cơ rất ổn định và nó chịu được tác động của hoá chất và quá trình cán mỏng. Quy trình silan hữu cơ có ưu điểm là có thể sử dụng băng tải trong hệ quy trình trực tiếp.

EP 0 431 501 B1 mô tả quy trình sản xuất bảng mạch in đa lớp sử dụng hỗn hợp gắn kết silan hữu cơ được phủ lên bề mặt thiếc đã oxy hoá. Quy trình này không đề cập đến việc sản xuất bản nền IC có đường mạch mịn.

EP 1 978 024 A1 đề cập đến các hỗn hợp khác nhau gồm silan hữu cơ và các hạt oxit silic dạng keo, cũng như hỗn hợp kết dính chứa silicat kiềm và oxit silic dạng keo, để sản xuất bảng mạch in đa lớp.

JP 2007-10780 đề cập đến quy trình sản xuất bảng mạch in đa lớp, trong đó tác nhân gắn kết silan hữu cơ được phủ lên, ví dụ, lớp paladi.

Nhược điểm chính của các quy trình được đề cập trong tình trạng kỹ thuật là các lớp silan hữu cơ không có tác dụng trong một số môi trường và trong quá trình sản xuất bản nền IC có kích thước chi tiết $\leq 20\mu\text{m}$ và được sản xuất bằng cách sử dụng kỹ thuật SAP (Semi-Additive Process-quy trình bán phụ gia).

Bản chất kỹ thuật của sáng chế

Do đó, mục đích của sáng chế là đề xuất quy trình sản xuất bảng mạch in đa lớp hoặc bản nền IC, đặc biệt là bảng mạch được sản xuất bằng kỹ thuật SAP có cấu trúc mạch rất mịn. Quy trình này bao gồm các bước:

(a) tạo ra hệ mạch điện bằng đồng dẫn điện trên bề mặt của nền mang cách điện với hệ mạch điện có độ dày ít nhất là $4\mu\text{m}$;

(b) tạo ra trên hệ mạch điện bằng đồng nêu trên lớp chứa thiếc oxit, thiếc hydroxit hoặc hỗn hợp của nó bằng cách phủ thiếc lên hệ mạch điện bằng đồng, nhờ đó trong quá trình phủ hoặc sau đó thiếc bám trên bề mặt được chuyển hoá trên bề mặt của nó thành oxit, hydroxit hoặc hỗn hợp của nó. Tốt hơn, nếu lớp chứa thiếc oxit, thiếc hydroxit hoặc hỗn hợp của nó có độ dày không lớn hơn $40\mu\text{m}$;

(c) phủ hỗn hợp chứa ít nhất một silicat vô cơ lên bề mặt chứa thiếc oxit, thiếc hydroxit hoặc hỗn hợp của nó được tạo ra ở bước (b) hoặc lên lớp cách điện cần gắn vào hệ mạch điện bằng đồng, lớp cách điện này chứa hỗn hợp polyme nhiệt rắn hóa rắn một phần;

(d) phủ hỗn hợp gắn kết silan hữu cơ lên lớp chứa ít nhất một silicat vô cơ được tạo ra ở bước (c);

(e) lặp lại các bước (a), (b), (c) và (d);

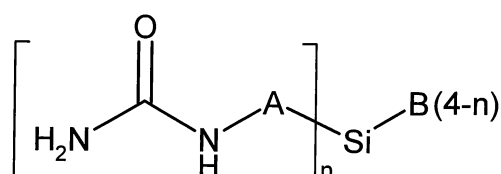
(f) gắn kết các lớp vật liệu được tạo ra ở các bước (a), (b), (c), (d) và (e) thành một vật thể, nhờ đó lớp phủ silan hữu cơ nằm giữa lớp ít nhất là một silicat vô cơ và lớp cách điện, nhờ đó trong quá trình gắn kết, lớp cách điện hóa rắn một phần được hóa rắn; và, tùy ý

(g) tạo ra các lỗ xuyên qua sản phẩm được tạo ra ở bước (f); và

(h) mạ phun vách của các lỗ xuyên này để tạo ra đường dẫn điện giữa các miệng đối diện của các lỗ xuyên nhằm tạo ra bảng mạch đa lớp;

khác biệt ở chỗ, hỗn hợp gắn kết silan hữu cơ gồm:

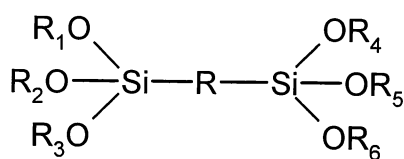
(I) ít nhất một ureido silan có công thức cấu tạo I:



công thức I

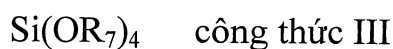
trong đó A là alkylen có từ 1 đến 8 nguyên tử cacbon, B là hydroxyl hoặc alkoxy có từ 1 đến 8 nguyên tử cacbon và n là số nguyên bằng 1, 2 hoặc 3 với điều kiện nếu n bằng 1 hoặc 2, mỗi gốc B sẽ phải khác nhau; và

(II) ít nhất một tác nhân tạo liên kết ngang, được chọn từ nhóm gồm các hợp chất có công thức cấu tạo II và công thức III,



công thức II

trong đó R_1, R_2, R_3, R_4, R_5 và R_6 độc lập với nhau là alkyl có từ 1 đến 8 nguyên tử cacbon và trong đó R là nhóm alkylen có từ 1 đến 8 nguyên tử cacbon, và



trong đó R_7 được chọn từ nhóm gồm metyl, etyl và propyl và hỗn hợp của các hợp chất có công thức II và III,

và trong đó tổng hàm lượng ít nhất là một ureido silan có công thức cấu tạo I và ít nhất một tác nhân tạo liên kết ngang nằm trong khoảng từ 1 g/l và 50 g/l và đề xuất bảng mạch và bản nền IC được sản xuất bằng quy trình nêu trên.

Mô tả chi tiết sáng chế

Sáng chế đề cập đến quy trình sản xuất bảng mạch in đa lớp hoặc bản nền IC như được xác định trong điểm 1 yêu cầu bảo hộ. Bảng mạch này có các lớp xen kẽ chứa lớp cách điện làm nền mang cho hệ mạch điện bằng đồng được gắn vào lớp cách điện bằng các lớp trung gian. Bảng mạch này có lỗ xuyên tạo ra đường điện ngang qua toàn bộ độ dày của bảng mạch này.

Quy trình này theo sáng chế đặc biệt thích hợp cho mạch có cấu trúc chịu được đường mạch mịn có kích thước chi tiết với mật độ liên kết trong cao (high-density interconnect-HDI) là 50 μm và thậm chí là 25 μm hoặc nhỏ hơn.

Bản nền IC thường được sản xuất bằng kỹ thuật SAP và có kích thước chi tiết đường và khoảng cách $\leq 20\mu\text{m}$. Bản nền IC là thành phần chính của bộ IC, mà nó được kết hợp với các thành phần điện tử khác thành một bộ phận, kiểm soát các chức năng của thiết bị điện tử. Bộ IC có thể được chia thành 2 nhóm chính: môđun một chip (single chip modules-SCM) và môđun đa chip (multi-chip modules-MCM), với môđun thứ nhất chứa một chip IC, và môđun sau chứa đa chip và các thiết bị điện tử khác.

Trong quá trình sản xuất bảng mạch đa lớp hoặc bản nền IC, có thể sử dụng vài tá lớp dẫn điện và không dẫn điện. Tương tự, để sản xuất bảng mạch

đa lớp hoặc bản nền IC, cần phải khoan lỗ và khuyết tật có thể xuất hiện do sự tách lớp của các lớp trong vùng ngay xung quanh lỗ. Nếu khuyết tật xuất hiện trong một trong số các lớp hoặc nếu sự tách lớp xảy ra, thông thường toàn bộ bảng hoặc bản nền IC bị loại bỏ. Do đó, cao chất lượng trong mỗi bước sản xuất bảng mạch in hoặc bản nền IC là điều thiết yếu để sản xuất thương mại. Bằng phương pháp này, có thể tạo ra các vật thể khác nhau. Một vật thể minh họa có thể chứa theo thứ tự, lớp cách điện, hệ mạch điện bằng đồng với lớp chứa thiếc và oxit, hydroxit hoặc hỗn hợp của nó bên dưới, lớp chứa ít nhất một silicat vô cơ, lớp chứa hỗn hợp gắn kết silan hữu cơ, lớp cách điện, lớp cách điện thứ hai, hệ mạch điện bằng đồng thứ hai với lớp thứ hai chứa thiếc, oxit, hydroxit hoặc hỗn hợp của nó bên dưới, lớp thứ hai chứa ít nhất một silicat vô cơ, lớp thứ hai chứa hỗn hợp gắn kết silan hữu cơ và lớp thứ hai cách điện. Trong vật thể nêu trên lớp cách điện (thứ nhất) có thể được cho tiếp xúc với lớp cách điện thứ hai trực tiếp hoặc bằng lớp bám dính. Các chất bám dính này là đã biết trong lĩnh vực này, ví dụ, epoxy chịu nhiệt độ cao. Trong vật thể khác, lớp cách điện thứ hai không cần có mặt cùng tất cả các lớp khác có cùng thứ tự. Theo phương án khác nữa của sáng chế, lớp cách điện có thể có mặt với hệ mạch điện bằng đồng trên bề mặt đối diện. Sau đó, trên bề mặt đối diện một số lớp khác có thể được đưa vào bao gồm tùy ý lớp chứa thiếc với oxit, hydroxit hoặc hỗn hợp của nó của lớp thiếc bên dưới, silicat vô cơ, hỗn hợp gắn kết silan hữu cơ và lớp cách điện.

Nguyên liệu ban đầu trong quy trình theo sáng chế là lớp cách điện chứa lớp phủ bằng đồng trên một hoặc nhiều bề mặt đối diện. Lớp đồng này có độ dày ít nhất là $1\mu\text{m}$ và tốt hơn là $15\mu\text{m}$ và nó được sử dụng để tạo ra hệ mạch điện dẫn điện. Kỹ thuật đã biết trong tình trạng kỹ thuật có thể sử dụng để tạo ra hệ mạch điện này như bằng kỹ thuật chụp ảnh màng chống ăn mòn nhạy quang, tiếp đó là khắc ăn mòn vùng đồng không được bảo vệ. Ví dụ về kỹ thuật thích hợp được mô tả trong patent Mỹ số 3,469,982. Thành phần của lớp cách điện không bị giới hạn miễn là nó có chức năng làm chất cách điện. Các vật liệu nền

mang hữu ích được mô tả trong patent Mỹ số 4,499,152 như epoxy được gia cường bằng sợi thủy tinh. Tốt hơn, nếu hỗn hợp polyme nhiệt rắn hóa rắn một phần được sử dụng, là hỗn hợp đã được biết đến trong lĩnh vực này là tấm bán thành phẩm hoặc nhựa giai đoạn "B".

Chất nền hoặc các lớp cách điện hữu ích có thể được điều chế bằng cách tẩm các vật liệu gia cường bằng thủy tinh dệt bằng nhựa hóa rắn một phần, thường là nhựa epoxy (ví dụ, epoxy hai chức, bốn chức và đa chức). Nhựa epoxy là đặc biệt thích hợp. Một ưu điểm của hỗn hợp silan hữu cơ theo sáng chế là chúng có độ bám dính rất tốt với cả vùng thủy tinh và nhựa của vật liệu chất nền, là vấn đề thường gặp với các hỗn hợp đã biết của tình trạng kỹ thuật.

Ví dụ về nhựa hữu ích bao gồm nhựa loại amino được tạo ra từ phản ứng của formaldehyt với ure hoặc formaldehyt và melamin, polyeste, phenolic, silic, polyamit, polyimit, di-allyl phtalat, phenylsilan, polybenzimidazol, diphenyloxit, polytetrafloetylen, xyanat este, v.v.. Chất nền điện môi này thường được gọi là tấm bán thành phẩm. Chất nền epoxy thuộc thế hệ mới nhất là Ajinomoto GX-3 và GX-13, chứa chất độn bi thủy tinh và cũng có thể được xử lý bằng quy trình theo sáng chế. Lớp cách điện và lớp cách điện này có thể được tạo ra bằng cách tẩm các vật liệu gia cường bằng thủy tinh dệt bằng nhựa hóa rắn một phần như đã mô tả trên đây. Do đó, lớp cách điện hoặc các lớp này cũng có thể là tấm bán thành phẩm.

Trong quá trình sản xuất bảng mạch in đa lớp hoặc bản nền IC, có thể sử dụng vài lớp cách điện chứa lớp phủ kim loại dẫn điện hoặc hệ mạch điện kim loại trên ít nhất một bề mặt và vài lớp cách điện.

Sau khi tạo ra hệ mạch điện dẫn điện, thông thường cần phải tạo ra lớp ngoài mỏng chứa thiếc oxit, thiếc hydroxit hoặc hỗn hợp của nó. Lớp này có độ dày không lớn hơn $1,5\mu\text{m}$ và tốt hơn là không lớn hơn $1,0\mu\text{m}$, có thể được tạo ra trực tiếp bằng cách oxy hoá hệ mạch điện bằng đồng.

Theo một phương án của sáng chế, lớp dẫn điện được làm bằng thiếc. Như được mô tả cụ thể hơn dưới đây, kỹ thuật được ưu tiên để đưa lớp phủ vào

là bằng cách mạ nhúng kim loại. Độ dày của lớp kim loại không bị giới hạn và có thể là, ví dụ nằm trong khoảng từ $0,06\mu\text{m}$ đến $0,25\mu\text{m}$. Trong, và sau khi đưa thiếc vào, lớp phủ mỏng chứa thiếc oxit, thiếc hydroxit hoặc hỗn hợp của nó được tạo ra. Do lớp phủ này có thể vô cùng mỏng, tốt hơn là không lớn hơn $1,5\mu\text{m}$ hoặc trong một số trường hợp chỉ có các lớp đơn có độ dày, có thể sử dụng không khí để oxy hoá. Trong trường hợp này, oxit/hydroxit có thể được tạo ra khi để yên ở nhiệt độ trong phòng, trong đó bề mặt đồng phản ứng với oxy và hơi nước của môi trường. Kỹ thuật khác để tạo ra oxit/hydroxit bao gồm nhúng vào hoặc tiếp xúc với trong nước bề oxy hóa.

Hỗn hợp phủ thiếc nhúng được ưu tiên chứa hợp chất thioure, muối thiếc, chất khử, axit và hợp chất ure. Tốt hơn, nếu muối thiếc gồm muối thiếc (II). Mặc dù, có thể sử dụng các muối thiếc (II) của axit vô cơ (khoáng) hoặc axit hữu cơ (ví dụ, thiếc (II) format và thiếc (II) axetat), muối thiếc có thể bao gồm muối thiếc (II) của axit vô cơ như axit của lưu huỳnh, phosphor, và halogen, đặc biệt là axit của lưu huỳnh như axit sulfuric hoặc axit sulfamic. Stanat kim loại kiềm cũng có thể được sử dụng như natri hoặc kali stanat và lĩnh vực này đã biết các dạng tương đương của nó. Theo một phương án, thiếc (II) sulfat, thiếc (II) sulfamat hoặc thiếc (II) axetat được sử dụng làm muối thiếc. Khi các lớp phủ thiếc chỉ được lắng phủ, chì axetat có thể sử dụng làm muối chì. Axit được sử dụng có thể là axit hữu cơ hoặc axit vô cơ (axit khoáng) gốc lưu huỳnh, phosphor hoặc halogen, axit gốc lưu huỳnh là được ưu tiên như axit sulfuric, axit metan sulfonic (MSA) hoặc axit sulfamic. Một vài axit trong số các axit hữu cơ có thể sử dụng bao gồm axit monocarboxylic hoặc dicarboxylic có đến khoảng sáu nguyên tử cacbon như axit formic, axit axetic, axit malic và axit maleic. Tốt hơn, nếu có thể không sử dụng axit halogenua hoặc các muối halogen do các gốc halogenua sẽ được tạo ra trong lớp phủ thiếc được lắng phủ, các muối này làm ảnh hưởng đến đặc tính điện của thiếc và cũng có thể có vai trò làm các chất ăn mòn trong lớp phủ. Theo một phương án của sáng chế, hỗn hợp phủ thiếc nhúng còn bao gồm ít nhất một tác nhân chelat hóa. Tác nhân

chelate hóa được đặc biệt ưu tiên bao gồm axit aminocarboxylic và axit hydroxycarboxylic. Một số axit aminocarboxylic cụ thể có thể sử dụng cho phương án này bao gồm axit etylenđiamintetraaxetic, axit hydroxyetylenđiamintriaxetic, axit nitrilotriaxetic, N-đihydroxyetyl glyxin, và etylenbis(hydroxyphenylglyxin). Axit hydroxy carboxylic có thể sử dụng bao gồm axit tartric, axit citric, axit gluconic và axit 5-sulfosalixylic.

Một số chất khử có thể sử dụng là đã biết trong lĩnh vực này và thường bao gồm aldehyde hữu cơ, cho dù ở dạng bão hòa hoặc chưa bão hòa, béo hoặc mạch vòng, có đến mười nguyên tử cacbon. Có thể sử dụng alkyl aldehyde thấp có đến sáu nguyên tử cacbon cho phương án này như formaldehyde, axetaldehyde, propionaldehyde, butyraldehyde, và các chất tương tự. Aldehyde được đặc biệt ưu tiên bao gồm các hydroxy aldehyde béo như glyxeraldehyde; erythroza; threoza; arabinoza và một số chất đồng phân vị trí khác của nó với glucoza và các chất đồng phân vị trí khác nhau của nó. Đã xác định được rằng glucoza không những đóng vai trò ngăn ngừa sự oxy hóa các muối kim loại lên trạng thái oxy hóa cao hơn, ví dụ từ Sn(II) lên Sn(IV), mà còn là tác nhân chelate hóa và đặc biệt là hữu ích cho mục đích này. Các chất hoạt động bề mặt có thể sử dụng bao gồm chất hoạt động bề mặt không ion, anion, cation hoặc lưỡng tính bất kỳ. Chất hoạt động bề mặt không ion là được đặc biệt ưu tiên.

Hỗn hợp chứa ít nhất một silicat vô cơ được đưa vào ở bước (c) dưới dạng lớp phủ lên thiếc oxit, thiếc hydroxit hoặc hỗn hợp của chúng hoặc lên hỗn hợp polyme nhiệt rắn hóa rắn một phần, cũng là đã biết trong lĩnh vực này dưới dạng tấm bán thành phẩm hoặc nhựa giai đoạn "B". Các vật liệu tương tự của construction as lớp cách điện có thể sử dụng cho lớp này được gọi là lớp cách điện để dễ dàng phân biệt các lớp này với nhau. Ít nhất một silicat vô cơ được chọn từ nhóm gồm silicat vô cơ tan được trong nước được đặc trưng bởi công thức chung $xM_2O \cdot nSiO_2 \cdot mH_2O$, trong đó x nằm trong khoảng từ 1 đến 4, tốt hơn nếu từ 1 đến 3, n nằm trong khoảng từ 0 đến 9 và M được chọn từ nhóm gồm Na^+ , K^+ và NH_4^+ . Hàm lượng của ít nhất là một silicat vô cơ nằm trong khoảng

từ 0,05 g/l đến 50 g/l, tốt hơn nếu nằm trong khoảng từ 0,5g/l đến 10g/l. Tùy ý, hỗn hợp này chứa thêm ít nhất một tan được trong nước phosphat được chọn từ nhóm gồm natri phosphat, kali phosphat, amoni phosphat, đinatri phosphat, natri phosphat ba lần, đikali phosphat, kali phosphat ba lần, điamoni phosphat, amoni phosphat ba lần, natri tripolyphosphat, kali tripolyphosphat và amoni tripolyphosphat và các chất tương tự. Hàm lượng ít nhất là một tan được trong nước phosphat nằm trong khoảng từ 0,05g/l đến 50g/l, tốt hơn nếu nằm trong khoảng từ 0,5g/l đến 10g/l.

Hỗn hợp chứa ít nhất một silicat vô cơ được lắng phủ lên lớp đồng có bề mặt thiếc đã được oxy hoá bằng các phương pháp thông thường tức là, ví dụ bằng cách nhúng, phun, quét và ngâm. Hỗn hợp này được lắng phủ lên bề mặt thiếc đã oxy hoá ở nhiệt độ nằm trong khoảng từ 15°C đến 60°C, tốt hơn nếu nằm trong khoảng từ 20°C đến 40°C.

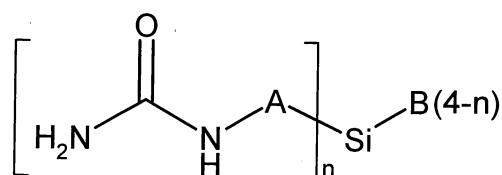
Theo một phương án của sáng chế, chất nền được nhúng vào hỗn hợp chứa ít nhất một silicat vô cơ trong thời gian từ 5 giây đến 100 giây, tốt hơn nếu nằm trong khoảng từ 10 giây đến 30 giây.

Theo phương án khác nữa, lớp chứa ít nhất một silicat vô cơ không được sấy khô trước khi lắng phủ hỗn hợp gắn kết silan hữu cơ.

Tiếp theo, hỗn hợp gắn kết silan hữu cơ theo sáng chế được đưa vào ở bước (d) dưới dạng lớp phủ lên lớp chứa ít nhất một silicat vô cơ. Về hỗn hợp gắn kết silan hữu cơ có thể sử dụng trong sáng chế, yêu cầu là hỗn hợp gắn kết silan hữu cơ tạo ra lớp trung gian bám dính gắn vào lớp chứa ít nhất một silicat vô cơ và với lớp cách điện được hóa rắn một phần và được chuyển hoá thành hóa rắn hoàn toàn. Yêu cầu là lớp chứa ít nhất một silicat vô cơ và hỗn hợp gắn kết silan hữu cơ có chức năng ngăn ngừa sự tách lớp theo thử nghiệm ứng suất nhiệt như được xác định trong bản mô tả này. Theo phương án được ưu tiên, bảng mạch đa lớp có lớp cách điện hóa rắn hoàn toàn đáp ứng tất cả đặc điểm kỹ thuật của MIL-P-55110D.

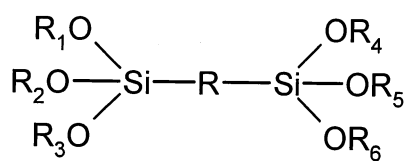
Cần phải lưu ý rằng ureido silan tạo ra hydro liên kết cầu với silanol (SIGH)- của silan hữu cơ và/hoặc tạo ra liên kết kim loại-O-Si cộng hóa trị trong phản ứng ngưng tụ. Silan hữu cơ được cho là to tương tác với các lớp liên kế qua nhóm hữu cơ được thể chức để tạo ra lực tương tác van der Wals, lực tương tác mạnh với cầu hydro có cực hoặc tạo ra liên kết cộng hóa trị với nhựa điện môi. Cần phải lưu ý rằng tác nhân tạo liên kết ngang tạo ra mạng lưới với ureido silan để làm giảm độ nhạy ẩm của lớp silan hữu cơ bám dính thu được. Các lớp silan hữu cơ bám dính, có khả năng chịu ẩm theo sáng chế được điều chế từ hỗn hợp gắn kết silan hữu cơ có các thành phần chủ yếu là

(I) ít nhất một ureido silan có cấu tạo theo công thức I:



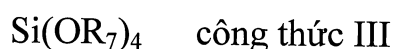
công thức I

trong đó A là alkylen có từ 1 đến 8 nguyên tử cacbon, B là hydroxy hoặc alkoxy có từ 1 đến 8 nguyên tử cacbon và n là số nguyên bằng 1, 2 hoặc 3 với điều kiện nếu n bằng 2 hoặc 3, B sẽ phải khác nhau; và (II) ít nhất một tác nhân tạo liên kết ngang, được chọn từ nhóm gồm các hợp chất có cấu tạo theo công thức II



công thức II

trong đó $\text{R}_1, \text{R}_2, \text{R}_3, \text{R}_4, \text{R}_5$ và R_6 độc lập với nhau là alkyl có từ 1 đến 8 nguyên tử cacbon và trong đó R là nhóm alkylen có từ 1 đến 8 nguyên tử cacbon, các hợp chất có công thức III



trong đó R_7 được chọn từ nhóm gồm metyl, etyl và propyl và hỗn hợp của các hợp chất có công thức II và III.

Tốt hơn, nếu trong công thức I mỗi nhóm B là giống nhau nếu nhiều hơn một nhóm B có mặt. Tốt hơn nữa, nếu $\text{R}_1, \text{R}_2, \text{R}_3, \text{R}_4, \text{R}_5$ và R_6 là giống nhau.

Trong ureido silan, nhóm alkylen, A, tốt hơn là etylen hoặc propylen hóa trị hai và nhóm alkoxy, B, tốt hơn nếu là nhóm metoxy hoặc etoxy. Ureido silan được đặc biệt ưu tiên là γ -ureidopropyl-trietoxy-silan. Trong tác nhân tạo liên kết ngang theo công thức II, tốt hơn nếu nhóm alkyl là metyl hoặc etyl và nhóm alkylen, R, tốt hơn là nhóm etylen hoặc propylen hóa trị hai. Tác nhân tạo liên kết ngang có công thức II được đặc biệt ưu tiên là hexametoxydisilyletan. Hàm lượng của hỗn hợp gắn kết silan có thể biến đổi rộng rãi để đáp ứng nhu cầu ứng dụng cụ thể. Do đó, tỷ lệ khối lượng của ureido silan và tác nhân tạo liên kết ngang có thể nằm trong khoảng từ 99:1 đến 1:99. Tốt hơn, nếu tỷ lệ khối lượng của ureido silan và tác nhân tạo liên kết ngang nằm trong khoảng từ 10:1 đến 1:1. Thông thường, một ureido silan được sử dụng với một tác nhân tạo liên kết ngang, tuy nhiên, trong phạm vi của sáng chế sử dụng hỗn hợp gắn kết silan, hai hoặc nhiều ureido silan như đã nêu và/hoặc hai hoặc nhiều tác nhân tạo liên kết ngang như đã nêu. Để thực hiện sáng chế, hỗn hợp gắn kết silan hữu cơ có thể được đưa vào dưới dạng dung dịch lỏng lên lớp chứa ít nhất một silicat vô cơ hoặc bề mặt lớp cách điện. Trong trường hợp này, hỗn hợp gắn kết silan hữu cơ chứa dung môi chung cho cả ureido silan và tác nhân tạo liên kết ngang. Tổng hàm lượng của silan hữu cơ nằm trong khoảng từ 1 g/l và 50 g/l, được ưu tiên hơn là nằm trong khoảng từ 2 g/l đến 10 g/l. Dung dịch này được đưa vào bằng phương pháp thông thường bất kỳ tức là, ví dụ bằng cách nhúng, phun, quét và ngâm.

Bảng mạch in đa lớp hoặc bản nền IC được sản xuất như được mô tả trên đây có thể được cho qua các nhiệt độ và áp suất cán mỏng thông thường giữa các đĩa của máy ép cán mỏng. Theo cách này, thao tác cán mỏng thông thường được thực hiện ở áp suất nằm trong khoảng từ 1,72 MPa đến 5,17 MPa, nhiệt độ nằm trong khoảng từ 130°C đến khoảng 350°C và chu kỳ cán mỏng nằm trong khoảng từ 30 phút đến 2 giờ. Theo cách khác, phương pháp cán mỏng trong chân không được sử dụng để tạo ra màng nhiều lớp trong bản nền IC. Màng

mỏng được đặt trên bề mặt đồng, được cán mỏng ở nhiệt độ 100°C và ép trong thời gian 30 giây ở áp suất 3kg/cm².

Ưu điểm của quy trình theo sáng chế bao gồm gia tăng độ bám dính, gia tăng khả năng chịu oxy hoá và gia tăng khả năng chịu ẩm, đặc biệt là đối với bản nền có mật độ liên kết trong cao và bản nền IC.

Ví dụ thực hiện sáng chế

Các mẫu thử nghiệm được sử dụng để thử nghiệm là:

(i) tấm bảng làm hoàn toàn bằng đồng được tạo ra từ các lớp vật liệu tiêu FR4 chuẩn có độ dày 0,8mm với độ dày lớp đồng là 35µm và kích thước 310 x 500 mm

(ii) tấm bảng được tạo cấu trúc có mặt được tạo cấu trúc một mặt FR4 có độ dày 1,6mm với độ dày của lớp đồng là 35µm và kích thước 200 x 150 mm

(iii) màng ABF (Ajinomoto GX13) có độ dày 32µm

Bề mặt đồng của các mẫu thử nghiệm (i) và (ii) được làm sạch bằng hóa chất, được xử lý bằng hỗn hợp thiếc ngâm và hỗn hợp gắn kết silan hữu cơ và tuý ý bằng hỗn hợp chứa silicat vô cơ trước khi xử lý bằng hỗn hợp gắn kết silan hữu cơ trong hệ phun trực tiếp và được đánh giá so với mẫu A được mô tả trong Ví dụ 1 của EP 0 431 501 B1 (tức là, không được xử lý bằng silicat vô cơ trước khi lắng phủ hỗn hợp gắn kết silan hữu cơ).

Việc làm sạch bằng hoá chất và xử lý bằng hỗn hợp thiếc ngâm được sử dụng cho tất cả các ví dụ được tổng kết trong bảng 1:

Bước xử lý	Nhiệt độ [°C]	Thời gian xử lý [giây]	Hỗn hợp
Làm sạch bằng hóa chất:			
Làm sạch lớp lót bằng axit	35	17	Chất tẩy rửa có tính axit

(sản phẩm của Atotech Deutschland GmbH)			
Rửa	25	35	Nước
Xử lý bằng cách ngâm vào dung dịch thiếc theo bước (b):			
Chất gia tăng độ an toàn MSA (Secure Enhancer MSA) (sản phẩm của Atotech Deutschland GmbH)			Chứa ion Sn^{2+} , MSA và thioure
Rửa	25	35	Nước
Rửa	25	17	Nước khử ion

Các bước xử lý từ (c)-(d) được áp dụng trong các Ví dụ từ 1 đến 5 được tổng kết trong bảng 2:

Bước xử lý	Nhiệt độ [°C]	Thời gian xử lý [giây]	Hỗn hợp
Xử lý bằng silicat vô cơ theo bước (c):			
	40	25	Natri silicat kim loại (x = 1)
Rửa	25	17	Nước
Xử lý bằng hỗn hợp gắn kết silan hữu cơ theo bước (d)			
	35	20	Hỗn hợp gồm 3-[Tri(etoxy/metoxysilyl)propyl]ure và 2-Bis(trietoxysilyl)etan
Sấy khô	65	35	

Trong tất cả các tấm thử nghiệm loại (i) hoặc (ii) đều được dát màng ABF sau khi sử dụng silicat vô cơ và hỗn hợp gắn kết silan hữu cơ. Trước khi dát mỏng, tấm này là được làm nóng sơ bộ ở 65°C trong 5 phút. Quá trình cán mỏng được thực hiện bằng máy cán trục nóng và tốc độ cán mỏng là 1m/phút ở nhiệt độ của trục cán là 100°C. Việc cán mỏng cả hai mặt của tấm đòi hỏi hai bước cán mỏng. Sau đó, lớp phủ PET được bóc ra.

Sau khi cán mỏng, màng mỏng được hóa rắn ở 180°C trong thời gian 30 phút trong lò tuần hoàn không khí.

Tiếp theo, tất cả các tấm được xử lý hai lần bằng quy trình tẩy chất bẩn và sau đó quy trình mạ qua lỗ được thực hiện, trong đó đồng được lắng phủ bằng quy trình mạ đồng không dùng điện và gia cố bằng 10 µm đồng mạ điện.

Việc tôi bằng nhiệt được thực hiện sau khi mạ đồng bằng điện. Quá trình tôi ba giai đoạn được thực hiện: giai đoạn tôi thứ nhất ở 180°C trong 60 phút, giai đoạn tôi thứ hai ở 200°C trong 60 phút và giai đoạn tôi thứ ba ở 200°C trong 60 phút.

Các vết giập được đếm sau đó bằng cách đánh giá các mẫu bằng mắt thường. Quan sát thấy có hai loại vết giập: Loại thứ nhất do sự tách lớp cục bộ của màng ABF ra khỏi lớp thiếc (tức là, không có sự bám dính các lớp xúc tác), loại thứ hai do sự tách lớp của các lớp mạ đồng ra khỏi vật liệu nền FR4. Chỉ có vết giập loại 1 được xem xét trong các Ví dụ từ 1 đến 5.

Ví dụ 1 (so sánh)

Trong ví dụ này, cùng loại hỗn hợp gắn kết silan hữu cơ được dùng làm mẫu A trong ví dụ 1 của EP 0431 501 B1 chứa 1,0% khối lượng là 3-[Tri(etoxy/metoxy)silyl]propyl]ure và 0,2% khối lượng là 2-Bis(trietoxysilyl)etan được lắng phủ lên bề mặt thiếc đã oxy hoá. Không áp dụng việc xử lý theo bước (c).

Quan sát thấy có vết giập.

Ví dụ 2 (so sánh)

Tấm được xử lý bằng hỗn hợp gắn kết silan hữu cơ chứa 1,0% khối lượng là 3-[Tri(etoxy/metoxy)silyl]propyl]ure và 1,0% khối lượng 2-

Bis(trietoxysilyl)etan ở bước (d). Không áp dụng việc xử lý theo bước (c).

Quan sát thấy có vết giộp.

Ví dụ 3

Sử dụng cùng loại hỗn hợp gắn kết silan hữu cơ như được sử dụng trong Ví dụ 1. Trước khi sử dụng hỗn hợp gắn kết silan hữu cơ nêu trên, tấm này được xử lý bằng hỗn hợp chứa 2 g/l natri silicat kim loại ($x = 1$) theo bước (c) của quy trình xử lý như được mô tả trong các trang 2-3.

Không quan sát thấy vết giộp.

Ví dụ 4

Tấm được xử lý bằng hỗn hợp chứa 2 g/l natri silicat kim loại ($x = 1$) theo bước (c) và hỗn hợp gắn kết silan hữu cơ chứa 1,0% khối lượng là 3-[Tri(etoxy/metoxy)silyl]propyl]ure và 1,0% khối lượng 2-Bis(trietoxysilyl)etan ở bước (d) của quy trình xử lý như được mô tả trong các trang 2-3.

Không quan sát thấy vết giộp.

Ví dụ 5

Ví dụ này thể hiện mức độ gia tăng khả năng thấm ướt của bề mặt thiếc đã oxy hoá của hỗn hợp gắn kết silan hữu cơ khi lớp silicat vô cơ được lắng phủ trên bề mặt thiếc đã oxy hoá này trước khi lắng phủ hỗn hợp gắn kết silan hữu cơ.

Chất nền FR4 có bề mặt đồng được xử lý theo quy trình được tổng kết trong Bảng 1. Sau đó, hỗn hợp chứa 2 g/l natri silicat kim loại ($x = 1$) được lắng phủ lên bề mặt thiếc đã oxy hoá (lắng phủ ở nhiệt độ = 35°C, thời gian = 30 giây), rửa và được sấy khô. Khả năng thấm ướt của bề mặt đồng đã làm sạch,

bề mặt thiếc đã oxy hoá và a bề mặt thiếc đã oxy hoá có lớp phủ natri silicat kim loại được so sánh bằng phương pháp giọt cố định sử dụng glyxerin làm chất lỏng thử nghiệm.

Góc tiếp xúc đối với glyxerin sau 100 giây lần lượt là 85° (bề mặt đồng đã làm sạch), 50° (bề mặt thiếc đã oxy hoá) và 35° (bề mặt thiếc đã oxy hoá được phủ bằng hỗn hợp chứa natri silicat kim loại).

Góc tiếp xúc đối với glyxerin thu được càng nhỏ, khả năng thấm ướt của bề mặt của hỗn hợp gắn kết silan hữu cơ càng tốt.

Ví dụ 6

Khả năng chịu ẩm được gia tăng của màng được điều chế theo quy trình của sáng chế được chứng minh bằng đo độ bền tróc của bề mặt chung giữa chất nền FR4 có bề mặt đồng và màng ABF trước và sau khi đưa vào thử nghiệm nội áp suất.

Mẫu đối chứng được chuẩn bị theo Bảng 1 và 2 mà không áp dụng lớp phủ silicat vô cơ. Mẫu theo quy trình của sáng chế được chuẩn bị theo quy trình được nêu trong Bảng 1 và 2.

Sau đó, cả hai loại mẫu được cho qua thử nghiệm nội áp suất theo tiêu chuẩn Jedec JESD22-A102-C 121°C , độ ẩm tương đối 100%, áp suất 205kPa trong 24 giờ). Độ bền tróc được xác định theo tiêu chuẩn IPC-TM-650 số 2.4.8.

Độ bền tróc của cả hai loại mẫu sau khi dát mỏng là 13,33 N/cm và sau thử nghiệm nội áp suất là 10,75 N/cm đối với mẫu đối chứng và 11,96 N/cm đối với mẫu được điều chế theo quy trình của sáng chế.

YÊU CẦU BẢO HỘ

1. Quy trình sản xuất bảng mạch in đa lớp có lỗ xuyên dẫn điện để tạo ra kết nối điện giữa nhiều lớp dẫn điện qua vài lớp cách điện bao gồm các bước:

(a) tạo ra hệ mạch điện bằng đồng dẫn điện trên bề mặt của nền mang cách điện với hệ mạch điện có độ dày ít nhất là $4\mu\text{m}$;

(b) tạo ra trên hệ mạch điện bằng đồng này một lớp chứa thiếc oxit, thiếc hydroxit hoặc hỗn hợp của nó bằng cách phủ thiếc lên hệ mạch điện bằng đồng, nhờ đó trong hoặc sau khi phủ, thiếc bám trên bề mặt được chuyển hóa thành thiếc oxit, thiếc hydroxit hoặc hỗn hợp của nó sao cho lớp chứa thiếc oxit, thiếc hydroxit hoặc hỗn hợp của nó có độ dày không lớn hơn $40\mu\text{m}$;

(c) phủ hỗn hợp chứa ít nhất một silicat vô cơ lên bề mặt chứa thiếc oxit, thiếc hydroxit hoặc hỗn hợp của nó được tạo ra ở bước (b);

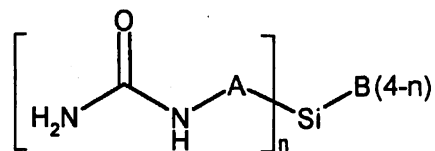
(d) phủ hỗn hợp gắn kết silan hữu cơ lên bề mặt chứa thiếc oxit, thiếc hydroxit hoặc hỗn hợp của nó được tạo ra ở bước (c);

(e) lặp lại các bước (a), (b), (c) và (d) ít nhất một lần; và

(f) gắn kết các vật liệu được tạo ra ở các bước (a), (b), (c), (d) và (e) thành một vật thể, nhờ đó lớp phủ silan hữu cơ nằm giữa lớp chứa thiếc oxit, thiếc hydroxit hoặc hỗn hợp của nó và lớp cách điện, nhờ đó trong khi gắn kết, lớp cách điện đã được hoá rắn một phần được hoá rắn;

hỗn hợp gắn kết silan này chủ yếu gồm:

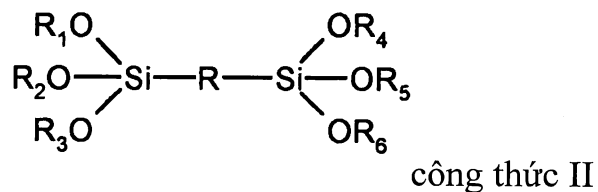
(I) ít nhất một ureido silan có công thức cấu tạo (I):



công thức I

trong đó A là alkylen có 1 tới 8 nguyên tử cacbon, B là hydroxyl hoặc alkoxy có 1 tới 8 nguyên tử cacbon và n là số nguyên bằng 1, 2 hoặc 3 với điều kiện nếu n bằng 1 hoặc 2, mỗi gốc B sẽ phải khác nhau; và

(II) ít nhất một tác nhân tạo liên kết ngang, được chọn từ nhóm gồm các hợp chất có công thức cấu tạo (II):



trong đó R1, R2, R3, R4, R5 và R6 độc lập với nhau là alkyl có 1 tới 8 nguyên tử cacbon và trong đó R là nhóm alkylen có 1 tới 8 nguyên tử cacbon, các hợp chất có công thức (III):



trong đó R7 được chọn từ nhóm gồm metyl, etyl và propyl, và hỗn hợp của các hợp chất có công thức II và III.

2. Quy trình theo điểm 1, trong đó tổng hàm lượng của ureido silan có công thức cấu tạo (I), tác nhân tạo liên kết ngang có công thức cấu tạo (II) và công thức (III) nằm trong khoảng từ 1 đến 50g/l.

3. Quy trình theo điểm 1, trong đó ít nhất một silicat vô cơ được sử dụng ở bước (c) được chọn từ nhóm có công thức chung: $x\text{M}_2\text{O} \cdot \text{SiO}_2 \cdot n\text{H}_2\text{O}$, trong đó x nằm trong khoảng từ 1 đến 4, n nằm trong khoảng từ 0 đến 9 và M được chọn từ nhóm gồm Na^+ , K^+ và NH_4^+ .

4. Quy trình theo bất kỳ trong số các điểm nêu trên, trong đó hỗn hợp được sử dụng ở bước (c) còn bao gồm ít nhất một hợp chất phosphat dễ tan trong nước.

5. Quy trình theo điểm 4, trong đó ít nhất một hợp chất phosphat dễ tan trong nước được chọn từ nhóm gồm natri phosphat, kali phosphat, amoni phosphat, đinatri phosphat, natri phosphat ba lần, đikali phosphat, kali phosphat ba lần, amoni điphosphat, amoni phosphat ba lần, natri tripolyphosphat, kali tripolyphosphat và amoni tripolyphosphat.

6. Quy trình theo bất kỳ trong số các điểm nêu trên, trong đó tỷ lệ khối lượng giữa ít nhất một ureido silan và ít nhất một tác nhân tạo liên kết ngang nằm trong khoảng từ 10:1 đến 1:1.
7. Quy trình theo điểm 5, trong đó ureido silan là 3-[tri(etoxy/metoxy)silyl]propyl]ure.
8. Quy trình theo điểm 6, trong đó tác nhân tạo liên kết ngang là 2-bis(trietoxysilyl)etan.
9. Quy trình theo bất kỳ trong số các điểm nêu trên, trong đó sau bước (f), quy trình này còn bao gồm các bước sau:
 - (g) tạo ra các lỗ xuyên qua sản phẩm được tạo ra ở bước (f); và
 - (h) mạ phun vách của các lỗ xuyên này để tạo ra đường dẫn điện giữa các miệng đối diện của các lỗ xuyên nhằm tạo ra bảng mạch in.