(12) **BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ**

(19) **Cộng hòa xã hội chủ nghĩa Việt Nam (VN)**
CỤC SỞ HỮU TRÍ TUỆ

(11) **1-0020672**

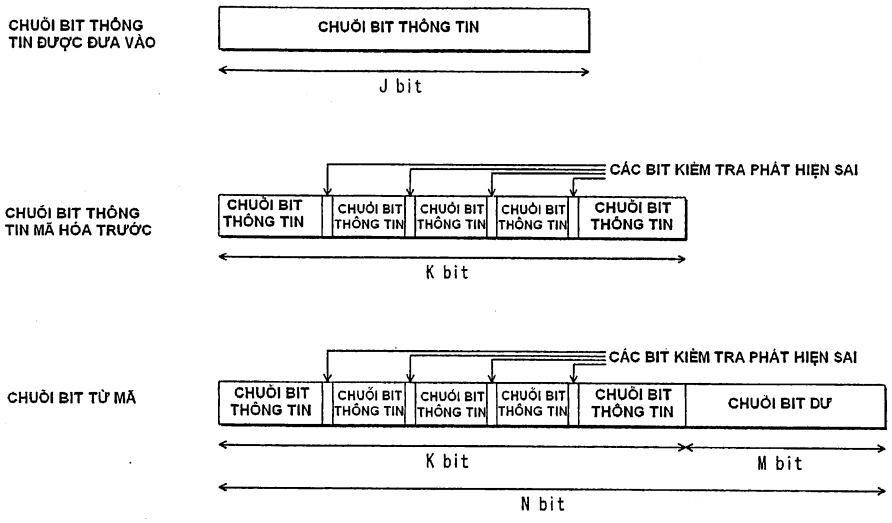
(51)[7] **H03M 13/19**, 13/15

(13) **B**

(21) 1-2011-01340
(22) 17.09.2010
(86) PCT/JP2010/005700 17.09.2010
(87) WO2011/036864A1 31.03.2011
(30) 2009-220707 25.09.2009 JP
(45) 25.04.2019 373
(43) 25.09.2011 282
(73) PANASONIC INTELLECTUAL PROPERTY CORPORATION OF AMERICA (US)
20000 Mariner Avenue, Suite 200, Torrance CA 90503 United States of America
(72) OKAMURA, Shutai (JP), SAKAIBARA, Kunihiko (JP)
(74) Công ty TNHH một thành viên Sở hữu trí tuệ VCCI (VCCI-IP CO.,LTD)

(54) THIẾT BỊ MÃ HOÁ, THIẾT BỊ GIẢI MÃ, PHƯƠNG PHÁP MÃ HOÁ, PHƯƠNG PHÁP GIẢI MÃ VÀ HỆ THỐNG TRUYỀN THÔNG

(57) Sáng chế đề cập đến thiết bị mã hóa và giải mã, phương pháp mã hoá và giải mã và hệ thống truyền thông, trong đó các vị trí giữ các giá trị bit khác nhau giữa từ mã thứ nhất, mà từ mã này thu được bằng cách mã hóa chuỗi bit thông tin dựa vào phương pháp mã hóa sử dụng các mã tựa tuần hoàn, và từ mã thứ hai, mà có khoảng cách Hamming gần kề so với từ mã thứ nhất và thỏa mãn việc kiểm tra chẵn lẻ của phương pháp mã hóa, được xác định. Sau đó, từ mã được tạo bằng cách chèn các giá trị bit đã biết đối với thiết bị truyền và thiết bị thu vào các vị trí xác định của chuỗi bit thông tin và mã hóa chuỗi bit thông tin. Khi nhận tín hiệu dựa vào từ mã được tạo ra, thiết bị thu đánh giá xem các giá trị bit đã biết được giữ bởi các vị trí tương ứng trong từ mã thu được bằng cách giải mã tín hiệu thu được có tương tự như với các giá trị bit thiết đặt trước hay không. Nếu kết quả đánh giá là âm, từ mã dựa vào tín hiệu thu được được đánh giá bị lỗi ngay cả khi nó thỏa mãn phương trình kiểm tra chẵn lẻ.



Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập đến việc mã hóa được thực hiện với việc sử dụng các mã tựa tuần hoàn và việc giải mã tương ứng, và cụ thể là sáng chế đề cập đến kỹ thuật để ngăn ngừa các từ mã bị lỗi không được đánh giá là không có lỗi. Việc đánh giá sai như vậy dưới đây được gọi là sự phát hiện sai.

Tình trạng kỹ thuật của sáng chế

Trong các hệ thống truyền thông như mạng LAN (Local Area Network - Mạng vùng cục bộ) không dây và PLC (Power Line Communication - Truyền thông trên đường dây điện lực), khi thiết bị truyền truyền dữ liệu tới thiết bị thu, lỗi xuất hiện trong dữ liệu được thu bởi thiết bị thu có tốc độ phụ thuộc vào trạng thái của kênh. Có các biện pháp để giải quyết lỗi như vậy mà có thể xuất hiện trong dữ liệu khi truyền/thu dữ liệu. Một ví dụ trong số các biện pháp để giải quyết vấn đề này là phương pháp điều khiển truyền lại. Theo phương pháp này, thiết bị thu kiểm tra xem liệu dữ liệu mà đã thu có lỗi hay không, và nếu dữ liệu có lỗi, dữ liệu được truyền lại từ thiết bị truyền. Theo cách này, dữ liệu không có lỗi cuối cùng sẽ được truyền từ thiết bị truyền đến thiết bị thu.

Phương pháp điều khiển truyền lại được mô tả dưới đây bằng cách lấy ví dụ về việc truyền thông phù hợp với IEEE (Institute of Electrial and Electronics Engineers - Viện các kỹ sư điện và điện tử) chuẩn truyền thông 802.11n. Fig.25 thể hiện cấu trúc khung PHY theo IEEE 802.11n. Trong khung PHY được thể hiện trên Fig.25, tín hiệu mở đầu bao gồm các mục dưới đây được gắn vào trước dữ liệu cần được truyền (nghĩa là, dữ liệu được mang bởi trường dữ liệu (DATA) trên Fig.25): 8-μs L-STS (Legacy-Short Training Symbol - Biểu tượng đào tạo kế thừa ngắn); 8-μs L-LTS (Legacy-Long Training Symbol - Biểu tượng đào tạo kế thừa dài); 4-μs SIG (SIGnal field - Trường tín hiệu); 8-μs H-SIG (High throughput-SIGnal field - Trường tín hiệu-lưu lượng cao); 4-μs HSTF (High throughput Short

Training Field - Trường đào tạo ngắn lưu lượng cao); và 4-μs HLTF (High throughput Long Training Field - Trường đào tạo dài lưu lượng cao) 1.

Tín hiệu mở đầu được sử dụng bởi thiết bị thu để thực hiện việc đồng bộ tần số và thời gian, AGC (Automatic Gain Control - Điều khiển độ khuếch đại tự động), và ước lượng kênh truyền. Vì tín hiệu mở đầu chứa thông tin được yêu cầu để giải điều biến trường tín hiệu (DATA), như độ dài của dữ liệu được truyền và phương pháp điều biến/ mã hóa đối với dữ liệu, tín hiệu mở đầu luôn luôn được gắn ở phần trước của khung PHY. Hơn nữa, mã phát hiện lỗi được gọi là mã CRC (Cyclic Redundancy Check - Kiểm tra độ dư chu kỳ) được gắn vào dữ liệu cần được truyền qua trường dữ liệu (DATA).

Sau khi thiết bị thu nhận khung PHY và thực hiện việc xử lý tín hiệu định trước, thiết bị thu truyền dữ liệu được thu tới bộ xử lý lớp MAC mà nó thực hiện việc xử lý định trước trong lớp MAC. Việc xử lý được thực hiện trong lớp MAC bao gồm phát hiện lỗi sử dụng mã CRC được bổ sung vào dữ liệu được thu. Nếu dữ liệu được thu được đánh giá không bị lỗi từ kết quả của việc phát hiện lỗi, thì thiết bị thu truyền tín hiệu đáp báo nhận (ACK - ACKnowledge) đến thiết bị truyền chỉ báo việc thu dữ liệu không bị lỗi. Mặt khác, nếu dữ liệu được thu được đánh giá chứa lỗi từ kết quả của việc phát hiện lỗi, thiết bị thu không truyền tín hiệu ACK. Khi thiết bị truyền không thu tín hiệu ACK tương ứng với khung PHY đối với khoảng thời gian định trước từ khi hoàn thành việc truyền khung PHY, điều này cho thấy rằng dữ liệu đã không được thu một cách phù hợp bởi thiết bị thu và do đó truyền lại dữ liệu tương tự. Thông qua các phương pháp nêu trên, thiết bị truyền liên tục truyền dữ liệu tương tự cho đến khi thiết bị thu thu dữ liệu mà không có lỗi. Kết quả là, độ tin cậy của việc truyền dữ liệu từ thiết bị truyền đến thiết bị thu có thể được cải thiện.

Lưu ý là việc điều khiển truyền lại cũng có thể đạt được khi thiết bị thu được kết cấu để truyền yêu cầu truyền lại, mà đó là tín hiệu để yêu cầu việc truyền lại khung dữ liệu khi phát hiện lỗi, đến thiết bị truyền. Trong trường hợp này, thiết bị

truyền truyền lại khung dữ liệu được xác định bởi yêu cầu truyền lại khi nhận yêu cầu truyền lại.

Tuy nhiên, khi khung PHY là dài, nghĩa là, khi kích thước dữ liệu của trường dữ liệu (DATA) là lớn, việc phát hiện lỗi nêu trên và việc điều khiển truyền lại mà được thực hiện trên cơ sở khung trên PHY gặp khó khăn vì chúng làm giảm lưu lượng. Điều này là bởi vì thiết bị truyền sẽ cần truyền lại khung PHY dài ở trạng thái đầy đủ của nó thậm chí khi chỉ một phần dữ liệu được thu bởi thiết bị thu chứa lỗi do sự dao động cục bộ của kênh truyền dẫn không dây. Hơn nữa, khung PHY càng dài, càng mất nhiều thời gian để thực hiện sự truyền lại đơn. Dựa vào thực tế này, khi có nhiều cổng hoạt động như các thiết bị truyền hoặc các thiết bị thu, lưu lượng của toàn hệ thống bị giảm.

Đối với phương pháp để giải quyết vấn đề này, phương pháp truyền lại khối phụ đã được nghiên cứu. Phương pháp truyền lại khối phụ chia trường dữ liệu (DATA) thành các khối nhỏ và thực hiện việc điều khiển truyền lại trên cơ sở mỗi khối phụ. Phương pháp truyền lại khối phụ hoạt động như sau. Khi thiết bị thu thu khung PHY, thiết bị thu thực hiện việc phát hiện lỗi trên cơ sở mỗi khối phụ và yêu cầu thiết bị truyền truyền lại chỉ khối/ các khối phụ mà chứa lỗi. Khi nhận yêu cầu truyền, thiết bị truyền kết cấu khung PHY mới bằng cách gắn dữ liệu khởi đầu vào khối/ các khối phụ cụ thể, và truyền khung PHY mới. Phương pháp này chỉ yêu cầu việc truyền lại khối/ các khối phụ chứa lỗi, thay vì truyền lại toàn khung PHY. Do đó, việc giảm lưu lượng do việc truyền lại có thể được giảm tới mức độ lớn. Phương pháp này cũng cho phép việc truyền lại dữ liệu trong khoảng thời gian ngắn do kích thước dữ liệu nhỏ, do đó ngăn ngừa việc giảm lưu lượng của toàn hệ thống.

Tài liệu sáng chế 1 mô tả phương pháp giải mã sử dụng việc giải mã xác suất hậu nghiệm tối đa. Theo phương pháp này, khi giải mã các từ truyền mà bao gồm các bit đã biết mang các giá trị đã biết, việc dự phòng từ được giải mã trong đó giá trị đã biết trong phần từ truyền lại được chuyển đổi sang giá trị khác bị loại trừ

khỏi các trường hợp dự phòng từ được giải mã. Trong tài liệu sáng chế 1, byte đồng bộ hóa của gói MPEG-2TS được sử dụng làm bit đã biết nhờ ví dụ.

Danh sách các tài liệu trích dẫn

Tài liệu sáng chế

Tài liệu sáng chế 1 – Bằng độc quyền sáng chế Nhật bản số 4208017

Tài liệu phi sáng chế

Tài liệu phi sáng chế 1 - Hu et al. "On the Computation of the Minimum Distance of Low-Density Parity Check codes." IEEE ICC2004.

Tài liệu phi sáng chế 2 - IEEE 802.11n, Draft 2.0

Bản chất kỹ thuật của sáng chế

Vấn đề cần được giải quyết bởi sáng chế

Để áp dụng phương pháp truyền lại khối phụ đối với hệ thống truyền thông không dây phù hợp với tiêu chuẩn IEEE 802.11n, có thể sử dụng các khối mã của mà LDPC (Low-Density Parity-Check - Mã kiểm tra chẵn lẻ mật độ thấp), mà được sử dụng như mã sửa lỗi, như các khối phụ. Tuy nhiên, việc thực hiện điều khiển truyền lại trong khi sử dụng các khối mã LDPC làm các khối phụ phải yêu cầu phát hiện xem mỗi khối mã LDPC có chứa lỗi hay không.

Đối với phương pháp phát hiện lỗi là phương pháp đã được biết đến rộng rãi, mã CRC là mã phát hiện lỗi mà sử dụng mã tuần hoàn. Mã CRC được sử dụng rộng rãi bởi vì mã CRC có thể phát hiện lỗi với độ chính xác cao và có thể dễ dàng thực hiện xử lý mã hóa/giải mã với việc sử dụng thanh di dịch. Tuy nhiên, để phát hiện xem mỗi khối mã LDPC chứa lỗi với việc sử dụng mã CRC hay không, các bit dư phải được bổ sung cho mỗi khối mã LDPC cho các mục đích phát hiện lỗi. Điều này gây ra vấn đề giảm lưu lượng.

Đối vối trường hợp giảm lưu lượng như vậy, dưới đây mô tả trường hợp trong đó mã CRC 32 bit được sử dụng cho khối mã LDPC có độ dài mã 648 bit và lưu lượng mã 1/2 như được chuẩn hóa trong IEEE 802.11n. Khối mã LDPC có độ dài

mã 648 bit và lưu lượng mã 1/2 cấu thành các bit thông tin 324 và các bit thông tin dư 324. Để áp dụng mã CRC 32 bit cho khối mã LDPC này, 32 bit trong số 324 bit thông tin dư phải được sử dụng cho các bit dư của mã CRC. Trong trường hợp này, tối đa 292 bit thông tin (324 – 32 = 292) có thể chỉ được truyền qua một khối mã LDPC, và do đó lưu lượng bị giảm 10% (32/324 ≈ 10%) so sánh với trường hợp trong đó tất cả 324 bit được sử dụng như các bit thông tin.

Trong khi đó, cũng có phương pháp để thực hiện phát hiện lỗi trên khối mã LDPC mà không cần bổ sung các bit phát hiện lỗi dư. Cụ thể hơn, phương pháp này sử dụng việc kiểm tra chẵn lẻ của mã LDPC. Mã LDPC được xác định bởi ma trận kiểm tra chẵn lẻ. Từ mã c của mã LDPC luôn thỏa mãn phương trình kiểm tra chẵn lẻ được thể hiện trong biểu thức 1 dưới đây.

Biểu thức 1

$$Hc = 0$$

Việc phát hiện lỗi sử dụng bit kiểm tra chẵn lẻ tận dụng mối tương quan nêu trên để kiểm tra xem khối mã LDPC mà được trải qua việc xử lý giải mã sửa lỗi trong thiết bị thu có thỏa mãn phương trình kiểm tra chẵn lẻ $Hc = 0$ hay không. Nếu khối mã LDPC thỏa mãn phương trình kiểm tra chẵn lẻ, khối mã LDPC được đánh giá không chứa lỗi. Nếu khối mã LDPC không thỏa mãn phương trình kiểm tra chẵn lẻ, khối mã LDPC được đánh giá chứa lỗi. Vì phương pháp này sử dụng bit kiểm tra chẵn lẻ được bao gồm trong mã LDPC, ưu điểm của phương pháp là các bit phát hiện lỗi dư không cần được bổ sung và sự giảm lưu lượng không bị tác động.

Tuy nhiên, vấn đề với phương pháp phát hiện lỗi sử dụng việc kiểm tra chẵn lẻ của mã LDPC là, mặc dù phương pháp này có thể ngăn ngừa việc giảm lưu lượng, phương pháp cũng làm tăng sự phát hiện sai nhờ đó khối mã LDPC mà chứa lỗi được đánh giá không có lỗi với tỷ lệ bằng khoảng 10^{-6} đến 10^{-8}. Bây giờ phần mô tả trình bày về phương pháp phát hiện lỗi sử dụng sự kiểm tra chẵn lẻ của mã LDPC dựa vào Fig.26.

Bộ giải mã LDPC 2610 thực hiện xử lý giải mã LDPC trên từ mã được thu c_r và đưa ra kết quả từ mã được giải mã c_d. Bộ kiểm tra chẵn lẻ 2620 kiểm tra xem từ mã được giải mã c_d có phải là từ mã của mã LDPC hay không (quy trình này được gọi là kiểm tra chẵn lẻ). Kiểm tra chẵn lẻ được thực hiện bằng cách kiểm tra xem từ mã được giải mã c_d có thỏa mãn biểu thức 2 dưới đây hay không với việc sử dụng ma trận kiểm tra chẵn lẻ H của mã LDPC.

Biểu thức 2

$$Hc_d = 0$$

Bộ giải mã LDPC 2610 nhìn chung thực hiện việc xử lý giải mã LDPC sử dụng giải mã MAP, như giải mã kết quả tổng, hoặc giải mã tựa MAP. Giải mã MAP và giải mã tựa MAP được thực hiện dựa vào thuật toán mà đưa ra tối đa xác suất hậu nghiệm cho mỗi bit cấu thành từ mã. Do đó, từ mã thu được từ kết quả của việc giải mã không nhất thiết là từ mã của mà LDPC. Khi từ mã được giải mã c_d không thỏa mãn biểu thức 2 nêu trên, sự không chính xác kết quả giải mã có thể được phát hiện.

Mặt khác, khi từ mã được giải mã c_d là từ mã của mã LDPC, nghĩa là, khi từ mã được giải mã c_d thỏa mãn biểu thức 2 nêu trên, có thể là từ mã được giải mã c_d là mã không bị lỗi. Lưu ý rằng từ mã được giải mã c_d không phải là mã không bị lỗi có nghĩa rằng từ mã được giải mã c_d, mà thu được từ việc giải mã được thực hiện bởi thiết bị thu, tương tự như từ mã được truyền bởi thiết bị truyền. Ngoài ra cũng lưu ý rằng từ mã được giải mã c_d là mã không bị lỗi của mã LDPC có nghĩa rằng từ mã được giải mã c_d thỏa mãn việc kiểm tra chẵn lẻ của mã LDPC, nghĩa là, từ mã được giải mã c_d được đánh giá là từ mã không bị lỗi trong cách kiểm tra chẵn lẻ.

Tuy nhiên, từ mã được giải mã c_d là từ mã của mã LDPC không ngang bằng với từ mã được giải mã c_d là từ mã không bị lỗi. Điều này là bởi vì, giả sử rằng số lượng các bit thông tin trong khối mã LDPC là k, có 2^k từ mã của mã LDPC, và việc kiểm tra chẵn lẻ chỉ cho phép kiểm tra xem từ mã được giải mã c_d có phù hợp với trong số bất kỳ 2^k từ mã hay không. Do đó, khi việc phát hiện lỗi sử dụng kiểm tra chẵn lẻ được thực hiện chỉ bởi chính nó, từ mã mà vừa là (i) từ mã của mã

LDPC vừa là (ii) từ mã bị lỗi có thể được đánh giá không chứa lỗi. Đây là lý do cho sự chính xác trong việc phát hiện mật độ thấp nêu trên.

Dưới đây mô tả tỷ lệ mà nhờ đó việc phát hiện sai xảy ra. Bảng 1 thể hiện tỷ lệ lỗi khối và tỷ lệ phát hiện sai thu được bằng mô phỏng máy tính đối với mã LDPC có độ dài mã 648 bit và tỷ lệ mã 1/2 như được chuẩn hóa trong IEEEE 802.11n, tương ứng với Eb/N0 (dB) trong kênh truyền dẫn AWGN (tạp âm Gausse trắng cộng sinh). Tỷ lệ lỗi khối biểu diễn tỷ lệ nhờ đó từ mã mà được hướng tới việc giải mã LDPC (khối mã LDPC) chứa lỗi. Tỷ lệ phát hiện sai biểu diễn tỷ lệ xuất hiện sự kiện nhờ đó từ mã mà được hướng tới việc giải mã LDPC thỏa mãn kiểm tra chẵn lẻ mà không phải là từ mã không bị lỗi. Thể hiện rõ ràng trong bảng 1 rằng, xét đến Eb/N0 tương ứng với tỷ lệ lỗi khối 10^{-4} hoặc nhỏ hơn, việc phát hiện sai xảy ra với tỷ lệ bằng khoảng 10^{-6} đến 10^{-7}.

Bảng 1

Eb/N0 (dB)	Tỷ lệ lỗi khối	Tỷ lệ phát hiện sai
2	1,3199E-02	1,4248929E-05
2,5	6,1278E-04	3,7118917E-06
3	2,5790E-05	6,1274873E-07
3,5	1,5200E-06	1,0000021E-07

Sáng chế được tạo ra để giải quyết vấn đề nêu trên, sáng chế đề cập đến phương pháp phát hiện lỗi sử dụng việc kiểm tra chẵn lẻ. Mục đích của sáng chế là cung cấp (i) thiết bị mã hóa và phương pháp mã hóa có thể tạo ra từ mã mà có thể làm giảm tỷ lệ phát hiện sai mà bởi đó từ mã bị lỗi được đánh giá là từ mã không bị lỗi với việc sử dụng việc kiểm tra mã LDPC, và (ii) thiết bị giải mã và phương pháp giải mã có thể thu và giải mã từ mã được tạo ra bởi thiết bị giải mã và phương pháp mã hóa.

Phương tiện để giải quyết vấn đề

Để giải quyết vấn đề nêu trên, thiết bị mã hóa của sáng chế là để mã hóa chuỗi bit thông tin và đưa ra chuỗi bit thông tin được mã hóa, và bao gồm: bộ xác định có thể hoạt động để, phù hợp với phương pháp mã hóa đã được áp dụng, xác định ít nhất một vị trí bit trong chuỗi bit thông tin là vị trí chèn vào nhờ đó giá trị bit

định trước được chèn vào, trong đó vị trí bit trong từ mã thứ nhất mà tương ứng với vị trí chèn vào giữ một giá trị bit khác nhau từ vị trí bit bên trong ít nhất từ mã thứ hai mà tương ứng với vị trí chèn vào, từ mã thứ nhất thu được bằng cách mã hóa chuỗi bit thông tin phù hợp với phương pháp mã hóa, từ mã thứ hai được đánh giá là từ mã không bị lỗi bằng việc kiểm tra chẵn lẻ của phương pháp mã hóa nhưng khác với từ mã thứ nhất ở khoảng cách Hamming tối thiểu; đơn vị chèn vào có thể thao tác được để tạo ra chuỗi bit mã hóa trước phù hợp với phương pháp mã hóa.

Ngoài ra, phương pháp mã hóa của sáng chế là để mã hóa chuỗi bit thông tin, bao gồm các bước: (A) xác định, phù hợp với phương pháp mã hóa đã được xác định mà sử dụng mã tựa tuần hoàn, ít nhất một vị trí bit trong chuỗi bit thông tin là vị trí chèn vào nhờ đó giá trị bit định trước được chèn vào, trong đó vị trí bit bên trong từ mã thứ nhất mà tương ứng với vị trí chèn vào giữ một giá trị khác với vị trí bit bên trong ít nhất từ mã thứ hai mà tương ứng với vị trí chèn vào, từ mã thứ nhất thu được bằng cách mã hóa chuỗi bit thông tin phù hợp với phương pháp mã hóa, từ mã thứ hai được đánh giá là từ mã không bị lỗi bằng việc kiểm chẵn lẻ phương pháp mã hóa nhưng khác với từ mã thứ nhất ở khoảng cách Hamming tối thiểu; (B) tạo chuỗi bit mã hóa trước bằng cách chèn giá trị bit định trước vào vị trí chèn vào của chuỗi bit thông tin; và (C) tạo từ mã thứ ba bằng cách mã hóa chuỗi bit mã hóa trước phù hợp với phương pháp mã hóa.

Ngoài ra, thiết bị giải mã của sáng chế bao gồm: bộ giải mã có thể thao tác được để tạo chuỗi bit được giải mã bằng cách thực hiện việc xử lý giải mã đối với tín hiệu vào chuỗi bit giải mã trước, việc xử lý giải mã tuân theo phương pháp giải mã đã được áp dụng mà sử dụng mã tựa tuần hoàn; bộ kiểm tra có thể thao tác được để kiểm tra xem chuỗi bit được giải mã được đánh giá là từ mã không bị lỗi hay không bằng việc kiểm tra chẵn lẻ của phương pháp mã hóa; bộ đánh giá có thể thao tác được để đánh giá xem ít nhất một vị trí chèn vào trong chuỗi bit được giải mã giữ ít nhất một giá trị bit định trước hay không, trong đó theo phương pháp mã hóa, vị trí bit bên trong từ mã thứ nhất mà tương ứng với vị trí chèn vào được xác định trước để giữ một giá trị khác với vị trí bên trong từ mã thứ hai mà tương ứng

với vị trí chèn vào, từ mã thứ nhất được tạo bởi thiết bị truyền theo phương pháp mã hóa, và từ mã thứ hai được đánh giá là từ mã không bị lỗi bằng việc kiểm tra chẵn lẻ nhưng khác với từ mã thứ nhất ở khoảng cách Hamming tối thiểu; và bộ phát hiện lỗi để, trong trường hợp trong đó bộ đánh giá đánh giá âm, đánh giá rằng chuỗi bit được giải mã bị lỗi ngay khi kết quả của việc kiểm tra bởi bộ kiểm tra thể hiện chuỗi bit được giải mã được đánh giá là từ mã bị lỗi bằng việc kiểm tra chẵn lẻ.

Ngoài ra, phương pháp giải mã của sáng chế bao gồm các bước: (A) tạo từ mã bằng cách giải mã tín hiệu thu được tương ứng với phương pháp mã hóa được áp dụng mà sử dụng mã tựa tuần hoàn; (B) kiểm tra xem từ mã được tạo ở bước (A) có phải là từ mã không bị lỗi hay không bằng việc kiểm tra chẵn lẻ của phương pháp mã hóa; (C) đánh giá xem ít nhất một vị trí chèn vào bên trong từ mã được tạo giữ ít nhất một giá trị bit định trước hay không, trong đó theo phương pháp mã hóa, vị trí bit bên trong từ mã thứ nhất mà tương ứng với vị trí chèn vào được xác định trước giữ một giá trị bit khác với vị trí bit bên trong từ mã thứ hai mà tương ứng với vị trí chèn vào, từ mã thứ nhất được tạo bởi thiết bị truyền theo phương pháp mã hóa, và từ mã thứ hai được đánh giá là từ mã không bị lỗi bằng việc kiểm tra chẵn lẻ nhưng khác với từ mã thứ nhất ở khoảng cách Hamming tối thiểu; và (D) trong trường hợp trong đó việc đánh giá ở bước (C) là âm, đánh giá rằng từ mã được tạo bị lỗi ngay khi kết quả của việc kiểm tra ở bước (B) thể hiện từ mã được tạo được đánh giá là từ mã không bị lỗi bằng việc kiểm tra chẵn lẻ.

Ngoài ra, hệ thống truyền thông của sáng chế bao gồm thiết bị truyền và thiết bị thu. Thiết bị truyền, mà mã hóa chuỗi bit thông tin và truyền chuỗi bit thông tin được mã hóa, bao gồm: bộ xác định có thể hoạt động để, tương ứng với phương pháp mã hóa được áp dụng mà sử dụng từ mã tựa tuần hoàn, xác định ít nhất một vị trí bit trong chuỗi bit thông tin là vị trí chèn vào nhờ đó giá trị bit định trước được chèn vào, trong đó vị trí bit bên trong từ mã thứ nhất mà tương ứng với vị trí chèn vào giữ một giá trị bit khác với vị trí bit bên trong ít nhất một từ mã thứ hai mà tương ứng với vị trí chèn vào, từ mã thứ nhất thu được bằng cách mã hóa chuỗi bit thông tin phù hợp với phương pháp mã hóa, từ mã thứ hai được đánh giá là từ

mã không bị lỗi bằng việc kiểm chẵn lẻ phương pháp mã hóa nhưng khác với từ mã thứ nhất ở khoảng cách Hamming tối thiểu; bộ chèn có thể thao tác được để tạo chuỗi bit mã hóa trước bằng cách chèn giá trị bit định trước vào vị trí của chuỗi bit thông tin; bộ mã hóa có thể thao tác được để tạo từ mã thứ ba bằng cách mã hóa chuỗi bit mã hóa trước tương ứng với phương pháp mã hóa; và bộ truyền có thể thao tác được để truyền tín hiệu không dây chứa từ mã thứ ba. Thiết bị thu bao gồm: bộ thu có thể thao tác được để thu tín hiệu không dây; bộ giải mã có thể thao tác được để tạo từ mã bằng cách giải mã tín hiệu thu được tương ứng với phương pháp mã hóa; bộ kiểm tra có thể thao tác được để kiểm tra xem từ mã được tạo bởi bộ giải mã được đánh giá là từ mã không bị lỗi hay không bằng việc kiểm tra chẵn lẻ theo phương pháp mã hóa; bộ đánh giá có thể thao tác được để đánh giá xem ít nhất một vị trí trong chuỗi bit được giải mã giữ ít nhất một giá trị bit định trước hay không, trong đó theo phương pháp mã hóa, vị trí bit bên trong từ mã thứ nhất mà tương ứng với vị trí chèn vào được xác định trước để giữ một giá trị khác với vị trí bên trong từ mã thứ hai mà tương ứng với vị trí chèn vào, từ mã thứ nhất được tạo bởi thiết bị truyền theo phương pháp mã hóa, và từ mã thứ hai được đánh giá là từ mã không bị lỗi bằng việc kiểm tra chẵn lẻ nhưng khác với từ mã thứ nhất ở khoảng cách Hamming tối thiểu; và bộ phát hiện lỗi có thể hoạt động để, trong trường hợp trong đó bộ đánh giá âm, đánh giá rằng chuỗi bit được giải mã bị lỗi ngay khi kết quả của việc kiểm tra bởi bộ kiểm tra thể hiện chuỗi bit được giải mã được đánh giá là từ mã bị lỗi bằng việc kiểm tra chẵn lẻ.

Hiệu quả của sáng chế

Kết cấu nêu trên cho phép thiết bị mã hóa, phù hợp với phương pháp mã hóa được áp dụng mà sử dụng các từ mã tựa tuần hoàn, xác định các vị trí chèn vào của chuỗi bit thông tin nhờ đó các bit đã biết được chèn vào. Sau khi các bit đã biết được chèn vào các vị trí chèn, việc giải mã có thể được thực hiện. Các vị trí chèn vào này giữ các giá trị bit khác nhau giữa (i) từ mã thu được bằng cách mã hóa chuỗi bit thông tin để được truyền như hiện trạng, và (ii) từ mã mà khác với từ mã (i) ở khoảng cách Hamming tối thiểu nhưng được đánh giá là từ mã không bị lỗi bằng việc kiểm tra chẵn lẻ theo phương pháp mã hóa được áp dụng. Do đó, bằng

cách chèn các giá trị bit mà đáng tin đối với thiết bị truyền và thiết bị thu vào các vị trí chèn, thiết bị thu có thể phát hiện lỗi bên trong tín hiệu mà thiết bị thu được nếu từ mã được giải mã, mà từ mã được giải mã này thu được bằng cách giải mã tín hiệu thu được, khác với từ mã gốc được truyền bởi thiết bị truyền ở khoảng cách Hamming tối thiểu, ngay khi từ mã được giải mã thay đổi từ từ mã gốc nhưng được đánh giá là từ mã không bị lỗi bằng việc kiểm tra chẵn lẻ theo phương pháp mã hóa đã được áp dụng. Điều này có thể làm giảm tỷ lệ mà tại đó từ mã mà khác với từ mã gốc được đánh giá sai là từ mã không bị lỗi.

Mô tả vắn tắt các hình vẽ

Fig.1 thể hiện ví dụ về ma trận kiểm tra chẵn lẻ theo phương án 1.

Fig.2 thể hiện các từ mã mà khác với từ mã toàn zero ở khoảng cách Hamming tối thiểu.

Fig.3 là sơ đồ khái niệm thể hiện các vị trí chèn của từ mã nhờ đó các bit kiểm tra phát hiện sai được chèn vào.

Fig.4 thể hiện cấu trúc hệ thống của hệ thống truyền thông theo phương án 1.

Fig.5 là sơ đồ khối chức năng thể hiện cấu trúc chức năng của thiết bị mã hóa được bao gồm trong thiết bị truyền thông theo phương án 1.

Fig.6 là sơ đồ khối chức năng thể hiện cấu trúc chức năng của thiết bị giải mã được bao gồm trong thiết bị truyền thông theo phương án 1.

Fig.7 là sơ đồ khối chức năng thể hiện cấu trúc chức năng của bộ phát hiện lỗi.

Fig.8 thể hiện bảng xác định vị trí chèn tương ứng với mỗi chế độ mã hóa.

Fig.9 là lưu đồ thể hiện các thao tác mã hóa được thực hiện bởi thiết bị mã hóa theo phương án 1.

Các hình vẽ từ Fig.10A đến Fig.10C là các sơ đồ khái niệm thể hiện khái niệm chèn các giá trị bit định trước chèn vào chuỗi bit thông tin.

Fig.11 là lưu đồ thể hiện các thao tác giải mã được thực hiện bởi thiết bị giải mã theo phương án 1.

Các hình vẽ từ Fig.12A-1 đến Fig.12B-4 là các sơ đồ khái niệm đề cập đến việc chèn các bit rút ngắn theo phương án 2.

Các hình vẽ từ Fig.13A đến Fig.13E là các sơ đồ khái niệm đề cập đến việc chèn các bit kiểm tra phát hiện sai theo phương án 2.

Fig.14 là sơ đồ khối chức năng thể hiện cấu trúc chức năng của thiết bị mã hóa theo phương án 2.

Fig.15 là sơ đồ khối chức năng thể hiện cấu trúc chức năng của thiết bị mã hóa theo phương án 2.

Fig.16 là lưu đồ thể hiện các thao tác mã hóa được thực hiện bởi thiết bị mã hóa theo phương án 2.

Fig.17 là lưu đồ thể hiện các thao tác mã hóa được thực hiện bởi thiết bị mã hóa theo phương án 2.

Fig.18A thể hiện cấu trúc của từ mã LDPC bao gồm các bit ID khối.

Fig.18B là sơ đồ khái niệm thể hiện khái niệm mã hóa theo phương án 3.

Fig.18C thể hiện cấu trúc của chuỗi bit mã hóa trước.

Fig.18D thể hiện cấu trúc của từ mã theo phương án 3.

Fig.19 là sơ đồ khối chức năng thể hiện cấu trúc chức năng của thiết bị mã hóa theo phương án 2.

Fig.20 là sơ đồ khối chức năng thể hiện cấu trúc chức năng của thiết bị giải mã theo phương án 3.

Fig.21 là sơ đồ khối chức năng thể hiện cấu trúc chức năng của bộ phát hiện lỗi theo phương án 3.

Fig.22 là lưu đồ thể hiện các thao tác mã hóa được thực hiện bởi thiết bị mã hóa theo phương án 3.

Fig.23 là lưu đồ thể hiện các thao tác mã hóa được thực hiện bởi thiết bị giải mã theo phương án 3.

Fig.24 là sơ đồ khối chức năng thể hiện ví dụ về cấu trúc thay thế cho bộ phát hiện lỗi.

Fig.25 là sơ đồ cấu trúc dữ liệu thể hiện cấu trúc khung của các tín hiệu được trao đổi giữa các thiết bị truyền thông.

Fig.26 thể hiện khái niệm về giải mã LDPC thông thường.

Mô tả chi tiết sáng chế

Một khía cạnh của sáng chế đề cập đến thiết bị mã hóa thứ nhất để mã hóa chuỗi bit thông tin và đưa ra chuỗi bit thông tin được mã hóa, bao gồm: bộ xác định có thể hoạt động để, phù hợp với phương pháp mã hóa đã được áp dụng mà sử dụng mã tựa chu kỳ, xác định ít nhất một vị trí bit trong chuỗi bit thông tin là vị trí chèn vào nhờ đó giá trị bit định trước được chèn vào, trong đó vị trí bit trong từ mã thứ nhất mà tương ứng với vị trí chèn vào giữ một giá trị bit khác nhau từ vị trí bit bên trong ít nhất một từ mã thứ hai mà tương ứng với vị trí chèn vào, từ mã thứ nhất thu được bằng cách mã hóa chuỗi bit thông tin phù hợp với phương pháp mã hóa, từ mã thứ hai được đánh giá là từ mã không bị lỗi bằng việc kiểm tra chẵn lẻ của phương pháp mã hóa nhưng khác với từ mã thứ nhất ở khoảng cách Hamming tối thiểu; đơn vị chèn vào có thể thao tác được để tạo ra chuỗi bit mã hóa trước phù hợp với phương pháp mã hóa.

Một khía cạnh khác của sáng chế là đề cập đến thiết bị giải mã thứ nhất bao gồm: bộ giải mã có thể thao tác được để tạo chuỗi bit được giải mã bằng cách thực hiện việc xử lý giải mã đối với tín hiệu vào chuỗi bit giải mã trước, việc xử lý giải mã tuân theo phương pháp giải mã đã được áp dụng mà sử dụng mã tựa tuần hoàn; bộ kiểm tra có thể thao tác được để kiểm tra xem chuỗi bit được giải mã được đánh giá là từ mã không bị lỗi hay không bằng việc kiểm tra chẵn lẻ của phương pháp mã hóa; bộ đánh giá có thể thao tác được để đánh giá xem ít nhất một vị trí chèn vào trong chuỗi bit được giải mã giữ ít nhất một giá trị bit định trước hay không, trong đó theo phương pháp mã hóa, vị trí bit bên trong từ mã thứ nhất mà tương ứng với vị trí chèn vào được xác định trước để giữ một giá trị khác với vị trí bên

trong từ mã thứ hai mà tương ứng với vị trí chèn vào, từ mã thứ nhất được tạo bởi thiết bị truyền theo phương pháp mã hóa, và từ mã thứ hai được đánh giá là từ mã không bị lỗi bằng việc kiểm tra chẵn lẻ nhưng khác với từ mã thứ nhất ở khoảng cách Hamming tối thiểu; và bộ phát hiện lỗi để, trong trường hợp trong đó bộ đánh giá đánh giá âm, đánh giá rằng chuỗi bit được giải mã bị lỗi ngay khi kết quả của việc kiểm tra bởi bộ kiểm tra thể hiện chuỗi bit được giải mã được đánh giá là từ mã bị lỗi bằng việc kiểm tra chẵn lẻ.

Khía cạnh khác nữa của sáng chế đề cập đến phương pháp mã hóa để mã hóa chuỗi bit thông tin, bao gồm các bước: (A) xác định, phù hợp với phương pháp mã hóa đã được xác định mà sử dụng mã tựa tuần hoàn, ít nhất một vị trí bit trong chuỗi bit thông tin là vị trí chèn vào nhờ đó giá trị bit định trước được chèn vào, trong đó vị trí bit bên trong từ mã thứ nhất mà tương ứng với vị trí chèn vào giữ một giá trị khác với vị trí bit bên trong ít nhất từ mã thứ hai mà tương ứng với vị trí chèn vào, từ mã thứ nhất thu được bằng cách mã hóa chuỗi bit thông tin phù hợp với phương pháp mã hóa, từ mã thứ hai được đánh giá là từ mã không bị lỗi bằng việc kiểm chẵn lẻ phương pháp mã hóa nhưng khác với từ mã thứ nhất ở khoảng cách Hamming tối thiểu; (B) tạo chuỗi bit mã hóa trước bằng cách chèn giá trị bit định trước vào vị trí chèn vào của chuỗi bit thông tin; và (C) tạo từ mã thứ ba bằng cách mã hóa chuỗi bit mã hóa trước phù hợp với phương pháp mã hóa.

Khía cạnh khác nữa của sáng chế đề cập đến phương pháp giải mã bao gồm các bước: (A) tạo từ mã bằng cách giải mã tín hiệu thu được tương ứng với phương pháp mã hóa được áp dụng mà sử dụng mã tựa tuần hoàn; (B) kiểm tra xem từ mã được tạo ở bước (A) có phải là từ mã không bị lỗi hay không bằng việc kiểm tra chẵn lẻ của phương pháp mã hóa; (C) đánh giá xem ít nhất một vị trí chèn vào bên trong từ mã được tạo giữ ít nhất một giá trị bit định trước hay không, trong đó theo phương pháp mã hóa, vị trí bit bên trong từ mã thứ nhất mà tương ứng với vị trí chèn vào được xác định trước giữ một giá trị bit khác với vị trí bit bên trong từ mã thứ hai mà tương ứng với vị trí chèn vào, từ mã thứ nhất được tạo bởi thiết bị truyền theo phương pháp mã hóa, và từ mã thứ hai được đánh giá là từ mã không bị lỗi bằng việc kiểm tra chẵn lẻ nhưng khác với từ mã thứ nhất ở khoảng cách

Hamming tối thiểu; và (D) trong trường hợp trong đó việc đánh giá ở bước (C) là âm, đánh giá rằng từ mã được tạo bị lỗi ngay khi kết quả của việc kiểm tra ở bước (B) thể hiện từ mã được tạo được đánh giá là từ mã không bị lỗi bằng việc kiểm tra chẵn lẻ.

Khía cạnh khác nữa của sáng chế là đề cập đến hệ thống truyền thông bao gồm thiết bị truyền và thiết bị thu. Thiết bị truyền, mà mã hóa chuỗi bit thông tin và truyền chuỗi bit thông tin được mã hóa, bao gồm: bộ xác định có thể hoạt động để, tương ứng với phương pháp mã hóa được áp dụng mà sử dụng từ mã tựa tuần hoàn, xác định ít nhất một vị trí bit trong chuỗi bit thông tin là vị trí chèn vào nhờ đó giá trị bit định trước được chèn vào, trong đó vị trí bit bên trong từ mã thứ nhất mà tương ứng với vị trí chèn vào giữ một giá trị bit khác với vị trí bit bên trong ít nhất một từ mã thứ hai mà tương ứng với vị trí chèn vào, từ mã thứ nhất thu được bằng cách mã hóa chuỗi bit thông tin phù hợp với phương pháp mã hóa, từ mã thứ hai được đánh giá là từ mã không bị lỗi bằng việc kiểm chẵn lẻ phương pháp mã hóa nhưng khác với từ mã thứ nhất ở khoảng cách Hamming tối thiểu; bộ chèn có thể thao tác được để tạo chuỗi bit mã hóa trước bằng cách chèn giá trị bit định trước vào vị trí của chuỗi bit thông tin; bộ mã hóa có thể thao tác được để tạo từ mã thứ ba bằng cách mã hóa chuỗi bit mã hóa trước tương ứng với phương pháp mã hóa; và bộ truyền có thể thao tác được để truyền tín hiệu không dây chứa từ mã thứ ba. Thiết bị thu bao gồm: bộ thu có thể thao tác được để thu tín hiệu không dây; bộ giải mã có thể thao tác được để tạo từ mã bằng cách giải mã tín hiệu thu được tương ứng với phương pháp mã hóa; bộ kiểm tra có thể thao tác được để kiểm tra xem từ mã được tạo bởi bộ giải mã được đánh giá là từ mã không bị lỗi hay không bằng việc kiểm tra chẵn lẻ theo phương pháp mã hóa; bộ đánh giá có thể thao tác được để đánh giá xem ít nhất một vị trí trong chuỗi bit được giải mã giữ ít nhất một giá trị bit định trước hay không, trong đó theo phương pháp mã hóa, vị trí bit bên trong từ mã thứ nhất mà tương ứng với vị trí chèn vào được xác định trước để giữ một giá trị khác với vị trí bên trong từ mã thứ hai mà tương ứng với vị trí chèn vào, từ mã thứ nhất được tạo bởi thiết bị truyền theo phương pháp mã hóa, và từ mã thứ hai được đánh giá là từ mã không bị lỗi bằng việc kiểm tra

chẵn lẻ nhưng khác với từ mã thứ nhất ở khoảng cách Hamming tối thiểu; và bộ phát hiện lỗi có thể hoạt động để, trong trường hợp trong đó bộ đánh giá âm, đánh giá rằng chuỗi bit được giải mã bị lỗi ngay khi kết quả của việc kiểm tra bởi bộ kiểm tra thể hiện chuỗi bit được giải mã được đánh giá là từ mã bị lỗi bằng việc kiểm tra chẵn lẻ.

Thiết bị giải mã thứ nhất nêu trên thực hiện việc giải mã sau khi chèn các giá trị bit định trước vào các vị trí mà giữ các giá trị khác nhau giữa từ mã được tạo tương ứng với phương pháp mã hóa đã được áp dụng mà sử dụng các mã tựa tuần hoàn và (ii) từ mã mà được đánh giá là từ mã không bị lỗi bằng việc kiểm tra chẵn lẻ của phương pháp mã hóa nhưng khác với từ mã được tạo ở khoảng cách Hamming tối thiểu. Từ mã được mã hóa theo cách nêu trên giúp cho thiết bị có thể phát hiện từ mã bị lỗi mà được đánh giá là từ mã không bị lỗi bằng việc kiểm tra chẵn lẻ bằng cách kiểm tra các bit được chèn khác với các bit định trước.

Khía cạnh khác nữa của sáng chế đề cập đến thiết bị mã hóa thứ hai, mà là thiết bị mã hóa thứ nhất bao gồm thêm bộ gắn bit đã biết có thể thao tác được để bổ sung ít nhất một bit đã biết vào, mà bit này được xác định trước là bit rút ngắn của mã ngắn, chuỗi bit thông tin khi độ dài thông tin của chuỗi bit thông tin ngắn hơn độ dài thông tin của phần bit thông tin của từ mã được xác định trên cơ sở độ dài từ mã và tỷ lệ mã tương ứng với phương pháp mã hóa, trong đó bộ chèn bố trí lại chuỗi bit thông tin mà bit đã biết được bổ sung vào, sao cho bit đã biết được chèn vào vị trí chèn như giá trị bit định trước.

Khía cạnh khác nữa của sáng chế đề cập đến thiết bị giải mã thứ hai, mà là thiết bị giải mã thứ nhất còn bao gồm bộ chèn có thể hoạt động để, khi từ mã rút gọn tiền giải mã mà từ đó một hay nhiều hơn trong số ít nhất một giá trị bit định trước được loại bỏ bởi thiết bị truyền được đưa vào, tạo chuỗi bit giải mã trước bằng cách chèn ít nhất một bit đã biết giữ giá trị đã biết vào từ mã rút gọn tiền giải mã tín hiệu vào.

Thiết bị mã hóa thứ hai nêu trên chèn các bit đã biết mà được xác định ban đầu để được bổ sung nhằm hiệu chỉnh độ dài thông tin của khối mã LDPC. Điều này có

thể ngăn chặn sự giảm lưu lượng truyền dữ liệu vào gây ra bởi thiết bị mã hóa thứ nhất chèn các bit định trước.

Khía cạnh khác nữa của sáng chế đề cập đến thiết bị mã hóa thứ ba, mà là thiết bị mã hóa thứ nhất còn bao gồm bộ loại bỏ có thể thao tác được để loại bỏ một hay nhiều trong số ít nhất một bit đã biết được gắn bởi bộ gắn bit đã biết từ mã thứ ba.

Thiết bị mã hóa thứ ba có thể làm giảm kích thước của thông tin được truyền bằng cách loại bỏ các bit đã biết. Theo cách này, lưu lượng của việc truyền dữ liệu có thể được gia tăng.

Khía cạnh khác nữa của sáng chế đề cập đến thiết bị mã hóa thứ tư, mà là thiết bị mã hóa thứ nhất trong đó từ mã thứ ba được tạo bởi bộ mã hóa bao gồm ID khối để nhận biết từ mã thứ ba trong số các từ mã thứ khác, và bộ chèn chèn giá trị bit của bit đại diện ID khối vào vị trí chèn như giá trị bit định trước.

Khía cạnh khác nữa của sáng chế đề cập đến thiết bị giải mã thứ ba, mà là thiết bị giải mã thứ nhất trong đó bộ đánh giá đánh giá xem vị trí chèn trong chuỗi bit được giải mã giữ giá trị bit mà có thể được dự đoán trước từ giá trị bit định trước của chuỗi bit được giải mã khác hay không, thay vì đánh giá xem vị trí chèn trong chuỗi bit được giải mã giữ ít nhất một giá trị bit định trước.

Thiết bị mã hóa thứ tư nêu trên sử dụng, như các bit đã biết được chèn, các ID khối mà được xác định ban đầu để bổ sung và xác định thứ tự của các từ mã. Điều này có thể ngăn chặn sự giảm lưu lượng của việc truyền dữ liệu bị gây ra bởi thiết bị mã hóa thứ nhất chèn các bit định trước.

Thiết bị giải mã thứ ba có thể phát hiện xem ID khối đích có bị lỗi hay không dựa vào ID khối thu được từ khối mã trước hoặc kế tiếp. Điều này cải thiện tỷ lệ phát hiện sai mà do đó mã bị lỗi được đánh giá không bị lỗi.

Phương án 1

Dưới đây mô tả một phương án về thiết bị mã hóa và thiết bị giải mã theo sáng chế dựa vào các hình vẽ.

Các khái niệm

Các khái niệm của sáng chế được mô tả trước dưới đây nhờ giải thích trước về thiết bị mã hóa và thiết bị giải mã của sáng chế.

Như được thể hiện ở phần bản chất kỹ thuật của sáng chế nêu trên, thiết bị mã hóa và thiết bị giải mã theo phương án của sáng chế làm tăng tỷ lệ ngăn ngừa việc phát hiện sai nhờ đó từ mã bị lỗi mà thỏa mãn việc kiểm tra chẵn lẻ được đánh giá là từ mã không bị lỗi từ kết quả phát hiện lỗi.

Như được đề cập nêu trên, trong trường hợp tỷ lệ tín hiệu – nhiễu đủ được bảo toàn trong kênh truyền dẫn, tỷ lệ mà tại đó từ mã được giải mã c_d vừa là từ mã của mã LDPC và từ mã bị lỗi là vào khoảng 10^{-6} đến 10^{-8}. Lưu ý rằng tỷ lệ này thay đổi tùy thuộc vào ma trận kiểm tra chẵn lẻ H xác định mã LDPC.

Dưới đây là phần mô tả về từ mã được giải mã mà chứa lỗi nhưng được đánh giá sai bởi thiết bị giải mã là từ mã không bị lỗi. Cụ thể hơn, phần mô tả dưới đây tập trung vào, đối với từ mã được giải mã, đó là từ mã của mã LDPC nhưng là từ mã bị lỗi, được đánh giá là một trong số $(2^k - 1)$ từ mã mà là các từ mã của mã LDPC nhưng là các từ mã bị lỗi. Từ mã được giải mã c_r thu được bằng cách thực hiện việc giải mã LDPC đối với từ mã thu được c_r. Từ mã thu được c_r thu được bởi thiết bị thu nhận tín hiệu được tạo dựa vào từ mã không bị lỗi tương ứng. Giả sử rằng SNR đủ được bảo toàn trong quá trình truyền tin, thậm chí nếu từ mã không bị lỗi tương ứng thay đổi trong quá trình truyền tin, lượng thay đổi như vậy bên trong từ mã không bị lỗi tương ứng được xem như nhỏ nhất. Cụ thể hơn, khi từ mã được giải mã c_d là từ mã của mã LDPC nhưng là từ mã bị lỗi, có thể là từ mã được giải mã c_d tương tự với từ mã không bị lỗi tương ứng xét về khoảng cách Hamming. Đặc biệt, rất có thể là từ mã được giải mã c_d là từ mã mà khác với từ mã không bị lỗi tương ứng ở khoảng cách Hamming (dưới đây được gọi là từ mã khoảng cách nhỏ nhất). Do đó, bằng cách kiểm tra xem từ mã được giải mã c_d có phải là từ mã khoảng cách nhỏ nhất hay không tương quan với từ mã không bị lỗi tương ứng bênh cạnh thực hiện việc kiểm tra chẵn lẻ thông thường, sự chính xác trong việc phát hiện lỗi có thể được cải thiện đạt được mức độ thỏa đáng thực tế. Lưu ý rằng thao tác "kiểm tra xem từ mã được giải mã c_d có phải là từ mã khoảng

cách nhỏ nhất hay không" dưới đây được gọi là kiểm tra từ mã khoảng cách nhỏ nhất. Trong phần mô tả của sáng chế, từ mã khoảng cách nhỏ nhất biểu thị từ mã mà khác với từ mã không bị lỗi tương ứng ở khoảng cách Hamming một hay nhiều hơn.

Phần dưới đây mô tả việc kiểm tra từ mã khoảng cách nhỏ nhất bằng cách đưa ra ví dụ cụ thể.

Trong phần mô tả sau đây về việc kiểm tra từ mã khoảng cách nhỏ nhất, mã LDPC có độ dài mã 648 bit và tỷ lệ mã 1/2 như được chuẩn hóa trong IEEE 802.11n được sử dụng làm ví dụ.

Fig.1 thể hiện ma trận kiểm tra chẵn lẻ Hb648 của mã LDPC có độ dài mã 648 bit và tỷ lệ mã 1/2 như được chuẩn hóa trong IEEE 802.11n. Ma trận kiểm tra chẵn lẻ Hb648 được thể hiện trên Fig.1 là ma trận 12x24.

Trong số tất cả các cửa vào trong Hb648, dấu "-" biểu thị ma trận zero 27x27.

Ngoài ra, trong số tất cả các cửa vào trong Hb648, mỗi cửa vào được biểu diễn bằng số nguyên p (trong đó $0 \leq p$) biểu thị ma trận thu được bằng cách thực hiện dịch chuyển quay vòng về phía phải của ma trận đơn vị 27x27 p lần. Ví dụ, cửa vào được biểu diễn bởi p có giá trị 0 là ma trận đơn vị 27x27, và cửa vào được biểu diễn bởi p có giá trị 22 là ma trận thu được bằng cách thực hiện dịch chuyển quay vòng về phía phải ma trận đơn vị 27x27 22 lần.

Ma trận kiểm tra chẵn lẻ Hb648 bao gồm các cửa vào nêu trên. Khi được mở rộng, ma trận kiểm tra Hb648 thực chất là ma trận 324x648 (được định nghĩa là Hf648).

Các cột Hf648 tương ứng với 648 bit cấu thành một từ mã, tương ứng. Các cột từ thứ nhất đến thứ 324 tạo nên phần bit thông tin tương ứng với các bit thông tin, trong khi các cột thứ 325 đến 648 tạo nên phần bit bậc. Hơn nữa, mỗi hàng Hf648 tương ứng với phương trình kiểm tra chẵn lẻ. Trong mỗi hàng, tổng các bit thuộc về mỗi cột thể hiện cửa vào với giá trị 1 (nghĩa là, kết quả của việc thực hiện phép

toán loại trừ OR trên các bit như vậy) là 0. Mã LDPC được xác định bởi Hb648 được gọi là mã LDPC tựa tuần hoàn.

Bằng cách sử dụng phương pháp khôi phục khoảng cách tối thiểu được bộc lộ trong tài liệu phi sáng chế 1, phần sau đây có thể được khôi phục: (i) khoảng cách Hamming tối thiểu giữa từ mã không bị lỗi gốc và từ mã bị lỗi tương ứng của mã LDPC được xác định bởi Hb648 là 15; và (ii) có 27 từ mã khoảng cách nhỏ nhất. Khoảng cách tối thiểu bằng 15 nghĩa là giữa từ mã không bị lỗi gốc và từ mã bị lỗi tương ứng của mã LDPC, 15 bit trong số 648 bit thể hiện các giá trị khác nhau, trong khi 633 bit còn lại thể hiện giá trị như nhau. Để đơn giản, phần mô tả sau đây được đề xuất với giả định rằng từ mã không bị lỗi là từ mã toàn zero 648 bit. Từ mã toàn zero 648 bit thỏa mãn Hc=0 và do đó là từ mã của Hb648. Điều sẽ được đề cập là vì mã LDPC là mã tuyến tính, nguyên tắc chung của phần mô tả sau đây sẽ không bị mất đi ngay khi từ mã không bị lỗi khác với từ mã toàn zero.

Fig.2 thể hiện danh sách các phần bit thông tin của 27 từ mã khoảng cách nhỏ nhất. Giữa từ mã toàn zero và mỗi từ mã khoảng cách nhỏ nhất, 15 bit là khác nhau – nghĩa là, có một khoảng cách Hamming bằng 15 giữa chúng. Tuy nhiên, đối với phần bit thông tin của mỗi từ mã khoảng cách nhỏ nhất, 4 bit trong số toàn bộ 324 bit là khác nhau. Có thể thấy từ Fig.2 rằng 27 từ mã khoảng cách tối thiểu có sự liên quan với nhau. Sự "liên quan" có nghĩa là 4 bit khác với bản sao của chúng bên trong từ mã không bị lỗi tương ứng (trong ví dụ này, là từ mã toàn zero) được phân bố như sau: trong số 4 bit, 2 bit nằm ở cột thứ 4, 1 bit nằm ở cột thứ 10, và 1 bit nằm ở cột thứ 12 của Hb648 như được thể hiện trên Fig.2.

Hơn nữa, khi ma trận đơn vị được mở rộng, mỗi một trong số 27 từ mã khoảng cách nhỏ nhất có sự sắp xếp bit như sau: giả sử n = 1 đến 27, các giá trị của các bit thứ n và bit thứ (n + 1)%27 trong cột thứ 4, bit thứ (n+17)%27 trong cột thứ 10, và bit thứ (n+1)%27 trong cột thứ 12 của Hb648 là khác với bản sao của chung bên trong từ mã không bị lỗi tương ứng. Sự liên quan nêu trên xuất phát từ lý do sau. Vì mã LDPC phù hợp với IEEE 802.11n được thể hiện trên Fig.2 là mã tựa tuần hoàn (mã QC-LDPC), chuỗi bit thu được bằng cách xoay vòng từ mã đưa ra trong

các đơn vị của kích thước ma trận đồng nhất (nghĩa là, trong các đơn vị của 27 bit) cũng là từ mã, và tải trọng Hamming của nó giữ nguyên không thay đổi. Lưu ý là ký hiệu "%" được sử dụng ở đây biểu thị thao tác môđun.

Phần dưới đây mô tả phương pháp phát hiện xem từ mã được giải mã c_d thỏa mãn phương trình kiểm tra chẵn lẻ là từ mã khoảng cách tối thiểu với n=1 hay không (nghĩa là, từ mã mà khác với từ mã không bị lỗi tương ứng với các giá trị của các bit thứ 82, 83, 261 và 299 trong phần bit thông tin) bằng cách tận dụng sự liên quan nêu trên giữa từ mã không bị lỗi và mỗi một trong 27 từ mã khoảng cách nhỏ nhất.

Thiết bị truyền tạo từ mã không bị lỗi bao gồm ít nhất một từ mã đã biết (nghĩa là, bit giữ giá trị đã biết), một bit ít nhất đã nêu tương ứng với một trong bốn bit mà được bao gồm bên trong từ mã khoảng cách - tối thiểu tương ứng với n =1 và giữ các giá trị khác nhau từ các bản sao của chúng bên trong từ mã không bị lỗi. Điều cần lưu ý là thông tin chỉ báo bit nào được thiết đặt là bit đã biết và thông tin chỉ báo giá trị nào được giữ bởi bit đã biết được chia sẻ giữa thiết bị truyền và thiết bị thu trước. Với bit đã biết như vậy được chèn vào chuỗi bit thông tin, thiết bị thu có thể đánh giá rằng từ mã được mã hóa c_d không phải là từ mã khoảng cách nhỏ nhất với n=1 khi giá trị của bit đã biết trong từ mã được giải mã c_d tương tự như giá trị được thiết đặt trước bởi thiết bị truyền. Mặt khác, khi giá trị của bit đã biết bên trong từ mã được giải mã c_d khác với giá trị đã biết được thiết đặt trước bởi thiết bị truyền, thiết bị thu có thể đánh giá rằng có thể là từ mã được giải mã c_d ít nhất không phải là từ mã không bị lỗi nhưng là từ mã khoảng cách tối thiểu với n =1.

Thiết bị thu đánh giá từ mã được giải mã c_d không chứa lỗi chỉ trong trường hợp trong đó từ mã được giải mã c_d thỏa mãn việc kiểm tra chẵn lẻ và bit đã biết của từ mã được giải mã giữ một giá trị đã biết. Trong các trường hợp khác, thiết bị thu đánh giá từ mã được giải mã c_d chứa lỗi. Điều này có thể loại bỏ khả năng phát hiện sai nhờ đó từ mã được giải mã c_d mà là từ mã khoảng cách nhỏ nhất với n =1 được đánh giá không chứa lỗi.

Điều tương tự cũng xảy ra đối với các từ mã khoảng cách nhỏ nhất với n =2 đến 27. Nghĩa là, trong số bốn bit của từ mã khoảng cách nhỏ nhất mà giữ các giá trị khác với bản sao của chúng trong từ mã không bị lỗi tương ứng, ít nhất một bit được thiết đặt làm bit đã biết. Điều này có thể loại bỏ khả năng phát hiện sai nhờ đó từ mã được giải mã c_d mà là một trong các từ mã khoảng cách nhỏ nhất với n =1 đến 27 được đánh giá không chứa lỗi. Để cụ thể hơn, thiết bị thu sẽ được kết cấu như sau. Thiết bị thu đánh giá từ mã được giải mã c_d không chứa lỗi chỉ trong trường hợp các điều kiện sau được thỏa mãn cả hai: (i) từ mã được giải mã c_d thỏa mãn việc kiểm tra chẵn lẻ; và (ii) tất cả các bit đã biết bên trong từ mã được giải mã c_d giữ các giá trị được thiết đặt trước bởi thiết bị truyền. Thiết bị thu đánh giá từ mã được giải mã c_d chứa lỗi trong trường hợp khác.

Như được nêu trên, trong phần bit thông tin của mỗi từ mã khoảng cách nhỏ nhất, ít nhất một bit trong số tất cả các bit giữ các giá trị khác với bản sao của chúng bên trong từ mã không bị lỗi tương ứng được thiết đặt trước là bit đã biết. Theo cách này, khi từ mã được giải mã c_d không phải là từ mã không bị lỗi mà là từ mã khoảng cách nhỏ nhất, thiết bị thu được ngăn ngừa không thực hiện phát hiện sai nhờ đó từ mã được giải mã c_d được đánh giá không chứa lỗi. Dưới đây, bit đã biết mà giữ một giá trị đã biết với mục đích tránh hiện tượng phát hiện sai nêu trên được gọi là bit kiểm tra phát hiện sai.

Trong trường hợp mã LDPC phù hợp với tiêu chuẩn IEEE 802.11n với độ dài từ mã 648 bit và tỷ lệ mã 1/2, cột thứ 4 trong ma trận kiểm tra chẵn lẻ Hb648 bao gồm các bit giữ các giá trị khác nhau giữa từ mã không bị lỗi và từ mã khoảng cách nhỏ nhất tương ứng. Do đó, bằng cách thiết đặt một bit mà nằm trong vị trí tương ứng với cột thứ tư của ma trận kiểm tra chẵn lẻ Hb648 là bit đã biết, hai từ mã khoảng cách nhỏ nhất có thể được phát hiện ngay.

Do đó, như được thể hiện trên Fig.3, trong trường hợp của mã LDPC phù hợp với tiêu chuẩn IEEE 802.11n với độ dài từ mã 648 bit và tỷ lệ mã 1/2, 14 bit tương ứng với các cột đánh số lẻ trong số tất cả 27 cột được thể hiện trong cột thứ 4 của ma trận kiểm tra chẵn lẻ Hb648 được thiết đặt là các bit đã biết x. Cách bố trí này

cho phép kiểm tra xem từ mã được giải mã c_d có phải là từ mã khoảng cách nhỏ nhất hay không, cho dù một trong số 27 từ mã khoảng cách nhỏ nhất mà từ mã được giải mã c_d đại diện. Lưu ý rằng bit kiểm tra phát hiện sai x có thể giữ bất kỳ giá trị nào miễn là giá trị đó đã biết đối với thiết bị truyền và thiết bị thu, nghĩa là, miễn là giá trị đó được chia sẻ giữa thiết bị truyền và thiết bị thu trước.

Trong ví dụ này, tất cả 27 từ mã có khoảng cách Hamming tối thiểu có thể bị loại trừ bằng cách thiết đặt 14 bit tương ứng với các cột được đánh số lẻ trong số tất cả 27 cột được thể hiện trong cột thứ 4 của Hb648 là các bit kiểm tra phát hiện sai. Tuy nhiên, miễn là ít nhất một trong 14 bit này được thiết đặt là bit kiểm tra phát hiện sai, có thể loại trừ khả năng phát hiện sai ít nhất hai từ mã có các khoảng cách Hamming nhỏ như các từ mã không bị lỗi và do đó làm giảm tỷ lệ phát hiện sai. Do đó, để tăng lưu lượng truyền thông tin, chỉ một phần trong số 14 bit này có thể được thiết đặt là (các) bit đã biết. Trong khi đó, bằng cách thiết đặt ít nhất một bit trong các cột khác với cột thứ 4 của Hb648 (nghĩa là, trong các cột thứ 10 và thứ 12) là bit kiểm tra phát hiện sai (nghĩa là, bit đã biết), có thể loại trừ khả năng phát hiện sai ít nhất một từ mã có khoảng cách Hamming nhỏ như từ mã không bị lỗi.

Cấu trúc

Dưới đây là phần mô tả về thiết bị truyền và thiết bị thu mà có thể ngăn ngừa việc phát hiện sai nêu trên.

Fig.4 thể hiện ví dụ về cấu trúc hệ thống của hệ thống truyền thông sử dụng thiết bị mã hóa và thiết bị giải mã. Hệ thống truyền thông bao gồm các thiết bị truyền thông 10a và 10b mà mỗi thiết bị có chức năng như thiết bị truyền hoặc thiết thu. Các thiết bị truyền thông 10a và 10b bao gồm thiết bị mã hóa 100 và thiết bị giải mã 200.

Như được thể hiện trên Fig.4, trong hệ thống truyền thông, phần lớn các thiết bị truyền thông được nối với một thiết bị khác qua hệ thống mạng. Mỗi một trong các thiết bị bao gồm thiết bị mã hóa và thiết bị giải mã. Các ví dụ về thiết bị truyền thông bao gồm điện thoại di động và thiết bị trạm gốc.

Thiết bị truyền thông truyền thông tin đến thiết bị truyền thông khác sau khi thực hiện quy trình mã hóa được thể hiện trong phương án của sáng chế (cụ thể được mô tả dưới đây). Thiết bị truyền thông khác đã được đề cập thu tín hiệu được truyền và thực hiện quy trình giải mã được thể hiện trong phương án của sáng chế (cụ thể được mô tả dưới đây).

Trong phần mô tả này, quy trình truyền tin mà không bao gồm quy trình mã hóa và giải mã LDPC được thực hiện bởi các thiết bị truyền thông (ví dụ, AGC, ADC (Analog-to-digital converter - chuyển đổi tương tự-số), DAC (Digital-to-analog converter - chuyển đổi số-tương tự), FFT (Fast Fourier Transform - biến đổi Fourier nhanh), IFFT (Inverse Fast Fourier Transform - biến đổi Fourier nhanh ngược) được thực hiện theo các phương pháp thông thường. Do đó, các chi tiết của quy trình như vậy được loại bỏ. Điều tất nhiên là mỗi thiết bị truyền thông, như theo như tên gọi của nó, bao gồm các mạch khác để truyền/ thu tín hiệu. Các chi tiết của các mạch như vậy cũng được loại bỏ.

Fig.5 là sơ đồ khối chức năng thể hiện cấu trúc chức năng của thiết bị mã hóa được bao gồm trong mỗi thiết bị truyền tin.

Như được thể hiện trên Fig.5, thiết bị mã hóa 100 bao gồm bộ lưu trữ thông số mã hóa LDPC 101, bộ điều khiển bit kiểm tra phát hiện sai 102, bộ chèn bit kiểm tra phát hiện sai 103, và bộ mã hóa LDPC 104.

Bộ lưu trữ thông số mã hóa LDPC 101 có chức năng lưu trữ các kiểu thông số khác nhau yêu cầu cho việc mã hóa LDPC tương ứng với chế độ mã hóa mà với phương thức này việc mã hóa LDPC được thực hiện, cũng như có chức năng cho biết chế độ mã hóa như vậy mà với phương thức này việc mã hóa được thực hiện đối với bộ điều khiển bit kiểm tra phát hiện sai 102 và bộ mã hóa LDPC 104. Chế độ mã hóa được xác định dựa vào độ dài từ mã và tỷ lệ mã. Trong trường hợp của IEEE 802.11n, ba kiểu trong số các độ dài từ mã được xác định, đó là 648 bit, 1296 bit, và 1944 bit, và bốn kiểu trong số các tỷ lệ mã được xác định, đó là 1/2, 2/3, 3/4, và 5/6. Nghĩa là có tổng cộng 12 chế độ mã hóa. Mỗi thiết bị truyền thông chọn một trong ba kiểu trong số các độ dài từ mã và một trong bốn kiểu trong số

các tỷ lệ mã. Thiết bị mã hóa thực hiện mã hóa tương ứng với độ dài từ mã đã được chọn và tỷ lệ mã. Các kiểu thông số khác nhau bao gồm chẳng hạn độ dài từ mã N, độ dài bit kiểm tra phát hiện sai K, các vị trí chèn bit kiểm tra phát hiện sai p, v.v.. Cần lưu ý rằng thiết bị truyền bao gồm thông tin chỉ báo một hay nhiều các thông số nêu trên (dưới đây được gọi là thông tin chế độ mã hóa) trong nhóm SIG và nhóm H-SIG, mà được truyền như tín hiệu mở đầu của khung PHY nêu trên. Theo cách này, thiết bị thu có thể phân tích SIG và H-SIG để đạt được chế độ mã hóa.

Bộ lưu trữ thông số mã hóa LDPC 101 xác định chế độ mã hóa mà với phương thức này việc mã hóa được thực hiện tương ứng với thông tin chế độ mã hóa được được xác định bởi CPU hoặc tương tự như vậy của thiết bị truyền thông, bằng cách sử dụng bảng xác định vị trí chèn mà xác định các vị trí chèn bit kiểm tra phát hiện sai, mà là một trong các thông số khác đã được đề cập (các chi tiết của bảng được mô tả sau). Sau đó, bộ lưu trữ thông số mã hóa LDPC 101 thông báo thông tin đề cập đến chế độ mã hóa đã được xác định đến bộ điều khiển bit kiểm tra phát hiện sai 102 và bộ mã hóa LDPC 104. Bộ lưu trữ thông số mã hóa LDPC 101 thông báo cho bộ điều khiển bit kiểm tra phát hiện sai về số lượng các bit kiểm tra phát hiện sai để được chèn cũng như các vị trí chèn của các bit kiểm tra phát hiện sai. Bộ lưu trữ thông số mã hóa LDPC 101 cũng thông báo đến bộ mã hóa 104 LDPC về ma trận kiểm tra chẵn lẻ H cần được sử dụng.

Bộ điều khiển bit kiểm tra phát hiện sai 102 tạo số lượng các bit kiểm tra phát hiện sai cần thiết dựa vào thông tin được thông báo bởi bộ lưu trữ thông số mã hóa LDPC 101. Lưu ý rằng các bit kiểm tra phát hiện sai có thể giữ bất kỳ giá trị nào miễn là các giá trị đã biết đối với cả thiết bị truyền và thiết bị thu. Để đơn giản, phần mô tả sau đây sẽ được cung cấp giả sử rằng các bit kiểm tra phát hiện sai giữ giá trị 0. Bộ điều khiển bit kiểm tra phát hiện sai 102 thông báo đến bộ chèn bit kiểm tra phát hiện sai 103 về các vị trí chèn bit kiểm tra phát hiện sai p của chế độ mã hóa tương ứng, cùng với các bit kiểm tra phát hiện sai được tạo.

Bộ chèn bit kiểm tra phát hiện sai 103 tạo chuỗi bit mã hóa trước bằng cách chèn, vào các vị trí chèn bit kiểm tra phát hiện sai được xác định bởi bộ điều khiển bit kiểm tra phát hiện sai 102, các bit kiểm tra phát hiện sai mà đã được thông báo bởi bộ điều khiển bit kiểm tra phát hiện sai 102 là các giá trị bit định trước. Sau đó, bộ chèn bit kiểm tra phát hiện sai 103 chuyển chuỗi bit mã hóa trước được tạo đến bộ mã hóa LDPC 104.

Bộ mã hóa LDPC 104 có chức năng (i) tạo từ mã bằng cách thực hiện quy trình mã hóa LDPC trên chuỗi bit thông tin mà trong đó các bit kiểm tra phát hiện sai được chèn – nghĩa là, chuỗi bit mã hóa trước được chuyển từ bộ chèn bit kiểm tra phát hiện sai 103 – theo ma trận kiểm tra chẵn lẻ H được thông báo bởi bộ lưu trữ thông số mã hóa LDPC 101, và (ii) đưa ra các từ mã được tạo.

Từ mã này được điều biến bởi mạch truyền và sau đó được truyền qua anten.

Fig.6 là sơ đồ khối chức năng thể hiện cấu trúc chức năng của thiết bị giải mã được bao gồm trong mỗi thiết bị truyền thông.

Như được thể hiện trên Fig.6, thiết bị giải mã 200 bao gồm bộ lưu trữ thông số mã hóa LDPC 201, bộ giải mã LDPC 202, bộ chèn bit kiểm tra phát hiện sai 203, bộ phát hiện lỗi 204, và bộ loại bỏ bit kiểm tra phát hiện sai 205.

Bộ lưu trữ thông số mã hóa LDPC 201 lưu trữ tập hợp các thông số yêu cầu cho quy trình giải mã LDPC và quy trình phát hiện lỗi, như độ dài mã N, độ dài bit thông tin K, độ dài bit dư M, ma trận kiểm tra chẵn lẻ H, số lượng D các bit kiểm tra phát hiện sai, và các vị trí chèn bit kiểm tra phát hiện sai p. Lưu ý rằng số lượng tập hợp các thông số được lưu trữ trong bộ lưu trữ thông số mã hóa LDPC 201 bằng với số lượng các chế độ mã hóa mà được thực hiện bởi thiết bị giải mã 200. Bộ lưu trữ thông số mã hóa LDPC 201 được thông báo về chế độ mã hóa để được thực hiện thông qua, thông tin chế độ mã hóa chẳng hạn mà xác định ít nhất độ dài từ mã và tỷ lệ mã mà thu được bằng cách giải mã tín hiệu thu được qua mạch thu (không được minh họa) của thiết bị truyền thông và phân tích nhóm SIG và H-SIG được bao gồm trong tín hiệu mào đầu của tín hiệu được giải mã.

Ngoài ra, bộ lưu trữ thông số mã hóa LDPC 201 chuyển ma trận kiểm tra chẵn lẻ H và các vị trí chèn bit kiểm tra phát hiện sai p tương ứng với thông tin chế độ mã hóa được thông báo đến bộ điều khiển bit kiểm tra phát hiện sai 203.

Bộ giải mã LDPC 202 thực hiện quy trình giải mã LDPC trên từ mã thu được được đưa vào thiết bị giải mã 200. Bộ giải mã LDPC 202 thực hiện quy trình giải mã tùy ý để giải mã mã LDPC, như giải mã kết quả tổng và giải mã tổng nhỏ nhất. Bộ giải mã LDPC 202 chuyển từ mã thu được từ kết quả của quá trình giải mã LDPC đến bộ loại bỏ bit kiểm tra phát hiện sai 205 và bộ phát hiện lỗi 204. Ở đây điều sẽ được đề cập là sáng chế có thể sử dụng bất kỳ phương pháp đối với việc giải mã LDPC.

Bộ điều khiển bit kiểm tra phát hiện sai 203 thông báo đến bộ phát hiện lỗi 204 về các vị trí chèn bit kiểm tra phát hiện sai p được thông báo từ bộ lưu trữ thông số mã hóa LDPC 201, cũng như các giá trị bit được giữ bởi các bit kiểm tra phát hiện sai được chèn.

Bộ điều khiển bit kiểm tra phát hiện sai 203 cũng thông báo đến bộ loại bỏ bit kiểm tra phát hiện sai 205 về các vị trí chèn bit kiểm tra phát hiện sai p được thông báo từ bộ lưu trữ thông số mã hóa 201 LDCP.

Bộ phát hiện lỗi 204 có chức năng (i) thực hiện phát hiện lỗi trên từ mã thu được từ kết quả của việc giải mã LDPC, và (ii) đưa ra kết quả phát hiện lỗi từ kết quả phát hiện bởi thiết bị giải mã 200.

Fig.7 thể hiện cấu trúc chức năng chi tiết của bộ phát hiện lỗi 204. Như được thể hiện trên Fig.7, bộ phát hiện lỗi 204 bao gồm bộ phụ kiểm tra chẵn lẻ 211 và bộ phụ kiểm tra phát hiện sai 212.

Bộ phụ kiểm tra chẵn lẻ 211 kiểm tra xem từ mã được giải mã c_d mà được đưa vào và ma trận kiểm tra chẵn lẻ H của mã LDPC mà được đề xuất như thông tin điều khiển thỏa mãn phương trình kiểm tra chẵn lẻ $Hc_d = 0$. Bộ phụ kiểm tra chẵn lẻ 211 đưa ra kết quả của việc kiểm tra chẵn lẻ dưới dạng mà có thể được thể hiện bởi phần mềm hoặc phần cứng. Ví dụ, bộ phụ kiểm tra chẵn lẻ 211 đưa ra kết quả

"0" khi phương trình kiểm tra chẵn lẻ được thỏa mãn, và đưa ra "1" khi phương trình kiểm tra chẵn lẻ không được thỏa mãn.

Từ mã được giải mã c_d, kết quả của việc kiểm tra chẵn lẻ, và thông tin điều khiển chỉ báo số lượng, các giá trị và các vị trí chèn của các bit kiểm tra phát hiện sai được đưa đến bộ phụ kiểm tra phát hiện sai 212.

Khi kết quả của việc kiểm tra chẵn lẻ thể hiện "0", nghĩa là, khi bộ phụ kiểm tra chẵn lẻ 211 đánh giá rằng việc kiểm tra chẵn lẻ không được thỏa mãn, bộ phụ kiểm tra chẵn lẻ phát hiện sai 212 kiểm tra xem các bit kiểm tra chẵn lẻ phát hiện sai mà được chèn bởi thiết bị truyền vào các phần bit thông tin là các bit đã biết. Bộ phụ kiểm tra chẵn lẻ 212 đưa ra kết quả của việc kiểm tra phát hiện sai dưới dạng mà có thể được thể hiện bằng phần mềm hoặc phần cứng. Ví dụ, bộ phụ kiểm tra chẵn lẻ 212 đưa ra "0" khi không có phát hiện sai được xác định, và "1" khi việc phát hiện sai được xác định. Kết quả của đầu ra việc kiểm tra phát hiện sai từ bộ phụ kiểm tra chẵn lẻ 212 cũng là kết quả kết quả của đầu ra phát hiện lỗi từ bộ phát hiện lỗi 204. Mặt khác, khi kết quả của việc kiểm tra thể hiện là "1", nghĩa là, khi bộ phụ kiểm tra chẵn lẻ 211 đánh giá rằng việc kiểm tra chẵn lẻ không thỏa mãn, hiển nhiên là từ mã được giải mã c_d không phải là từ mã của mã LDPC và do đó bị lỗi. Trong trường hợp này, bộ phụ kiểm tra phát hiện sai 212 đưa ra "1" như kết quả của việc kiểm tra phát hiện sai mà không thực hiện việc kiểm tra phát hiện sai.

Quay lại Fig.6, bộ loại bỏ bit kiểm tra phát hiện sai 205 loại bỏ D bit kiểm tra phát hiện sai và M bit dư dựa vào các vị trí chèn bit kiểm tra phát hiện sai p mà được bao gồm bên trong từ mã được hướng đến việc giải mã LDPC và được thông bao từ bộ điều khiển bit kiểm tra phát hiện sai 203. Do đó, bộ loại bỏ bit kiểm tra phát hiện sai 205 chỉ đưa ra chuỗi bit thông tin được giải mã J-bit là đầu ra của thiết bị giải mã 200.

Dữ liệu

Dưới đây là phần mô tả về bảng xác định vị trí chèn tương ứng với thông tin chế độ mã hóa trong bộ lưu trữ thông số giải mã LDPC 101. Bảng xác định vị trí chèn là thông tin thể hiện sự tương quan giữa số chế độ, độ dài từ mã, tỷ lệ mã, và

các vị trí chèn. Bảng xác định vị trí chèn được lưu trữ trước trong cả thiết bị truyền và thiết bị thu.

Số chế độ được thiết đặt bởi thiết bị mã hóa để thuận tiện cho việc quản lý mỗi kiểu.

Độ dài từ mã là thông tin chỉ báo độ dài từ mã của từ mã được tạo ra. Trong trường hợp của IEEE 802.11n, độ dài từ mã là một trong số 648 bit, 1296 bit, và 1944 bit.

Tỷ lệ mã là thông tin chỉ báo tỷ số của chuỗi bit thông tin đối với từ mã được tạo. Trong trường hợp của IEEE 802.11n, tỷ lệ mã là một trong các tỷ lệ 1/2, 2/3, 3/4 và 5/6.

Các vị trí chèn bit kiểm tra phát hiện sai là thông tin chỉ báo các vị trí chèn trong đó các bit kiểm tra phát hiện sai sẽ được chèn để ngăn ngừa việc phát hiện sai bên trong từ mã được tạo dựa vào độ dài từ mã tương ứng và tỷ lệ mã. Các vị trí chèn bit kiểm tra phát hiện sai cũng là thông tin mà xác định thứ tự của các bit trong đó các bit kiểm tra phát hiện sai sẽ được chèn tính từ phần đầu của phần bit thông tin của từ mã được tạo.

Vì thiết bị truyền chứa bảng xác định vị trí chèn, có thể xác định các vị trí chèn tương ứng với độ dài từ mã và tỷ lệ mã được chỉ báo bởi thông tin chế độ mã hóa, và chèn các bit kiểm tra phát hiện sai để ngăn chặn hiện tượng phát hiện sai.

Hơn nữa, vì thiết bị thu cũng chứa bảng xác định vị trí chèn, có thể xác định các vị trí trong đó các bit kiểm tra phát hiện sai được chèn, và phát hiện xem từ mã được thu có phải là từ mã không bị lỗi hay không bằng cách kiểm tra xem các giá trị bit tại các vị trí xác định có tương tự với các giá trị bit định trước hay không, sau đó điều này cho phép từ mã được thu khác với từ mã tương ứng được tạo bởi thiết bị truyền. Trong trường hợp này, lỗi trong khi thu có thể được phát hiện ngay cả nếu từ mã được thu được đánh giá là từ mã không bị lỗi từ kết quả của việc kiểm tra chẵn lẻ.

Cần lưu ý rằng bảng xác định vị trí chèn được mô tả dưới đây có thể được bao gồm như phần thông tin liên quan đến các thông số được lưu trữ bên trong các bộ lưu trữ thông số mã hóa LDPC 101 và 201. Một cách lần lượt, bảng xác định vị trí chèn có thể đề cập đến thông tin chỉ báo số lượng các bit kiểm tra phát hiện lỗi để được chèn, độ dài thông tin của chuỗi bit thông tin, v.v. cho mỗi chế độ mã hóa.

Các thao tác

Dưới đây là phần mô tả về các thao tác mã hóa được thực hiện bởi thiết bị mã hóa 100 của sáng chế dựa vào lưu đồ trên Fig.9.

Thứ nhất, thiết bị mã hóa 100 thu thông tin chế độ mã hóa như tín hiệu vào (bước S901). Thông tin chế độ mã hóa này được thông báo từ CPU (không được minh họa) hoặc tương tự của thiết bị truyền thông và được xác định chẳng hạn phù hợp với tiêu chuẩn truyền thông để chấp thuận.

Bộ lưu trữ thông số mã hóa LDPC 101 xác định các vị trí bit kiểm tra phát hiện sai p dựa vào độ dài từ mã và tỷ lệ mã được xác định bởi thông tin chế độ mã hóa, và thông báo đến bộ điều khiển bit kiểm tra phát hiện sai 102 về các vị trí bit kiểm tra phát hiện sai p và số lượng D các bit kiểm tra phát hiện sai để được chèn. Ngoài ra, bộ lưu trữ thông số mã hóa LDPC 101 thông báo đến bộ mã hóa LDPC 104 về ma trận kiểm tra chẵn lẻ H được xác định bởi thông tin chế độ mã hóa (bước S902).

Bộ điều khiển bit kiểm tra phát hiện sai 102 tạo các bit đã biết định trước khi có các bit kiểm tra phát hiện sai D được chèn, và thông báo đến bộ chèn bit kiểm tra phát hiện sai 103 về các bit đã biết được tạo và các vị trí chèn bit kiểm tra phát hiện sai p (bước S903).

Sau khi bộ điều khiển bit kiểm tra phát hiện sai 102 thông báo đến bộ chèn bit kiểm tra phát hiện sai 103 về các vị trí chèn bit kiểm tra phát hiện sai p và các giá trị bit để được chèn như các bit kiểm tra phát hiện sai, bộ chèn bit kiểm tra phát hiện sai 103 thu được, từ bộ đệm hoặc tương tự (không được minh họa) của thiết bị truyền thông lưu trữ thông tin để được truyền, chuỗi bit thông tin một phần có độ

dài thông tin ngắn hơn phần bit thông tin được đề cập ở số lượng các bit kiểm tra phát hiện sai để được chèn.

Sau đó, bộ chèn bit kiểm tra phát hiện sai 103 liên tục chèn các bit đã biết được thông báo vào các vị trí được xác định bởi các vị trí chèn bit kiểm tra phát hiện sai p, bắt đầu từ phần đầu của chuỗi bit thông tin thu được từng phần. Bộ chèn bit kiểm tra phát hiện sai 103 tạo chuỗi bit mã hóa trước qua quy trình nêu trên, và chuyển chuỗi bit mã hóa trước được tạo đến bộ mã hóa LDPC (bước S904).

Bộ mã hóa LDPC 104 tạo từ mã bằng cách mã hóa chuỗi bit mã hóa trước được chuyển từ bộ chèn bit kiểm tra phát hiện sai 103 tương ứng với ma trận kiểm tra chẵn lẻ H được thông báo từ bộ lưu trữ thông số mã hóa LDPC 101, đưa ra từ mã được tạo (bước S905), và kết thúc quy trình. Các từ mã được tạo bằng cách lặp lại các thao tác nêu trên miễn là dữ liệu tồn tại trong bộ đệm lưu trữ thông tin trong đó cần được truyền.

Mạch truyền được bố trí trong thiết bị truyền thông thực hiện điều biến sóng mang phụ, FFT, chuyển đổi D/A, điều biến vuông góc, v.v., trên bộ từ mã được tạo bởi bộ mã hóa LDPC 104. Do đó, từ mã được truyền qua anten.

Dưới đây là phần mô tả ví dụ cụ thể về việc thực hiện mã hóa dựa vào lưu đồ trên Fig.9.

Cụ thể hơn, phần dưới đây mô tả các thao tác được thực hiện bởi thiết bị mã hóa 100 với việc sử dụng mã LDPC được xác định bởi ma trận kiểm tra chẵn lẻ Hb648 được thể hiện trong Fig.1 và có độ dài mã 648 bit và tỷ lệ mã bằng 1/2 như được xác định trong IEEE 801.11n.

Thiết bị truyền đưa thông tin chế độ mã hóa và chuỗi bit thông tin để được mã hóa đến bộ mã hóa 100. Ở đây, chuỗi bit thông tin đầu vào là dãy nhị phân 310 bit, mà ngắn hơn độ dài khối thông tin K (324 bit) bằng số lượng D các bit kiểm tra phát hiện sai (14 bit). Nghĩa là, $J = K - D = 310$. Thông tin chế độ mã hóa được đưa vào bộ lưu trữ thông số mã hóa LDPC 101. Bộ lưu trữ thông số mã hóa LDPC 101 thiết đặt các thông số yêu cầu cho mã hóa LDPC trong bộ điều khiển bit kiểm tra phát hiện sai 102 và bộ mã hóa LDPC 104 tương ứng với thông tin chế độ mã

hóa nhập. Các ví dụ về các thông số để được thiết đặt trong bộ điều khiển bit kiểm tra phát hiện sai 102 bao gồm số lượng D các bit kiểm tra phát hiện sai (14 bit), và các vị trí chèn bit kiểm tra phát hiện sai p (các bit thứ 82, 84, 86, 88, 90, 92, 94, 96, 98, 100, 102, 104, 106, và 108). Các ví dụ về các thông số để được thiết đặt trong bộ mã hóa 104 LDPC bao gồm độ dài mã N (648 bit), độ dài bit thông tin K (324 bit), độ dài bit dư M (324), ma trận kiểm tra chẵn lẻ H (hoặc địa chỉ bộ nhớ lưu trữ thông tin đề cập đến ma trận kiểm tra chẵn lẻ H), và trong trường hợp quy trình khác được thực hiện cho mỗi chế độ mã hóa, tín hiệu chỉ báo quy trình nào sẽ được thực hiện.

Bộ điều khiển bit kiểm tra phát hiện sai 102 tạo 14 bit kiểm tra phát hiện sai và chuyển các bit tương tự đến bộ chèn bit kiểm tra phát hiện sai 103. Bộ chèn bit kiểm tra phát hiện sai 103 đặt các bit kiểm tra phát hiện sai tương ứng vào các bit thứ 82, 84, 86, 88, 90, 92, 94, 96, 98, 100, 102, 104, 106, và 108 của chuỗi 324 bit cần được chuyển đến bộ mã hóa LDPC, như được xác định bởi các vị trí chèn bit kiểm tra phát hiện sai. Bộ chèn bit kiểm tra phát hiện sai 103 cũng đặt 310 bit thông tin bên trong chuỗi bit thông tin được đưa vào từ bộ mã hóa 100 vào 310 vị trí còn lại. Sau đó, bộ chèn bit kiểm tra phát hiện sai 103 chuyển chuỗi bit thông tin vào chỗ mà các bit kiểm tra phát hiện sai được chèn (chuỗi bit thông tin mã hóa trước) đến bộ mã hóa LDPC 104.

Bộ mã hóa LDPC 104 thực hiện quy trình mã hóa LDPC trên chuỗi bit thông tin mã hóa trước được đưa vào, tạo chuỗi bit dư 324 bit, kết hợp chuỗi bit dư 324 bit với chuỗi bit thông tin được mã hóa 324 bit, và cuối cùng đưa ra kết quả của bộ như từ mã 648 bit.

Dựa vào các hình vẽ từ Fig.10A đến Fig.10C, dưới đây là phần mô tả sơ đồ khái niệm về mã hóa theo phương án 1 của sáng chế được thực hiện tương ứng với phương pháp mã hóa được thể hiện trên Fig.9.

Trước hết, giả sử rằng chuỗi bit thông tin được thể hiện trên Fig.10A sẽ được truyền.

Phù hợp với thông tin chế độ mã hóa, bộ điều khiển bit kiểm tra phát hiện sai 102 xác định các vịt trí chèn trong đó các bit kiểm tra phát hiện sai sẽ được chèn, và chèn các bit kiểm tra phát hiện sai, mà đó là các bit đã biết, vào các vị trí chèn được xác định. Trong ví dụ này, số lượng D các bit kiểm tra phát hiện sai để được chèn là bốn (nghĩa là, D =4).

Trong trường hợp, như được thể hiện trên Fig.10B, mỗi bit kiểm tra phát hiện sai được chèn giữa các chuỗi bit thông tin. Kết quả là, chuỗi bit mã hóa trước được tạo.

Bộ mã hóa LDPC 104 tạo các bit từ mã bằng cách bổ sung chuỗi bit dư dựa vào ma trận kiểm ta chẵn lẻ của mã QC-LDPC (chuỗi bit chẵn lẻ) vào chuỗi bit mã hóa trước được thể hiện trên Fig.10B.

Lưu ý rằng các hình vẽ từ Fig.10A đến Fig.10C, các bit K, các bit M và các bit N biểu diễn độ dài thông tin của chuỗi/ các chuỗi bit thông tin trong từ mã, độ dài của chuỗi bit dư trong từ mã, và độ dài của từ mã tương ứng. Độ dài từ mã, đó là N bit, được xác định dựa vào thông tin chế độ mã hóa. K và M được xác định dựa vào tỷ lệ mã được bao gồm trong thông tin chế độ mã hóa.

Thiết bị mã hóa theo phương án của sáng chế tạo từ mã theo cách nêu trên. Việc chèn các bit kiểm tra phát hiện sai giữa các chuỗi bit thông tin làm giảm lưu lượng chuyển dữ liệu. Tuy nhiên, lượng thông tin được chèn theo cách này nhỏ hơn lượng thông tin được chèn bằng cách bổ sung mã CRC (ví dụ, như được thể hiện trên Fig.2, 14 bit kiểm tra phát hiện lỗi được chèn để loại bỏ tất cả các từ mã có khoảng cách Hamming gần kề). Do đó, lưu lượng chuyển dữ liệu tạo ra từ việc chèn các bit kiểm tra phát hiện sai giữa các chuỗi bit thông tin thì vẫn cao hơn lưu lượng tạo ra từ việc bổ sung mã CRC.

Dưới đây mô tả các thao tác của thiết bị giải mã 200 theo phương án của sáng chế dựa vào lưu đồ trên Fig.11.

Thiết bị giải mã 200 thu thông tin chế độ mã hóa thể hiện độ dài mã và tỷ lệ mã bằng cách phân tích tín hiệu mở đầu được thu bởi thiết bị truyền tin (bước S1101).

Khi thu thông tin chế độ mã hóa, bộ lưu trữ thông số mã hóa LDPC 201 thông báo đến bộ điều khiển bit kiểm tra phát hiện sai 203 về các vị trí chèn bit kiểm tra phát hiện sai p và số lượng các bit kiểm tra phát hiện sai, mà được xác định bởi thông tin chế độ mã hóa. Bộ lưu trữ thông số mã hóa LDPC 201 cũng thông báo đến bộ giải mã LDPC 202 về ma trận kiểm tra chẵn lẻ H tương ứng với thông tin chế độ mã hóa (bước S1102).

Bộ điều khiển bit kiểm tra phát hiện sai 203 thông báo đến bộ phát hiện lỗi 204 và bộ loại bỏ bit kiểm tra phát hiện sai 205 về các vị trí chèn bit kiểm tra phát hiện sai p cũng như các giá trị của các bit đã biết được chèn như các bit kiểm tra phát hiện sai (bước S1103).

Bộ giải mã LDPC 202 thực hiện việc giải mã LDPC tương ứng với ma trận kiểm tra chẵn lẻ H được thông báo từ bộ lưu trữ thông số mã hóa LDPC 201, và thông báo đến bộ phát hiện lỗi 204 và bộ loại bỏ bit kiểm tra phát hiện sai về từ mã được giải mã hợp thành (bước S1104).

Bộ phát hiện lỗi 204 phát hiện xem các giá trị bit được chèn vào các vị trí bit kiểm tra phát hiện sai có tương tự như các giá trị của các bit đã biết được thông báo hay không. Nếu kết quả của việc phát hiện là dương, bộ phát hiện lỗi 204 đánh giá từ mã được giải mã là từ mã không bị lỗi và đưa ra kết quả "0" như kết quả của việc phát hiện lỗi. Mặt khác, nếu kết quả của việc phát hiện lỗi là âm, bộ phát hiện lỗi 204 đánh giá từ mã được giải mã là từ mã bị lỗi và đưa ra kết quả "1" như kết quả của việc phát hiện lỗi (bước S1105).

Bộ loại bỏ bit kiểm tra phát hiện sai 205 loại bỏ các giá trị bit tại các vị trí chèn bit kiểm tra phát hiện sai được thông báo và các bit dư được bổ sung khỏi từ mã được giải mã, đưa ra chuỗi bit thông tin được giải mã kết hợp (bước S1106), và kết thúc quy trình giải mã.

Theo cách nêu trên, thiết bị giải mã 200 có thể phát hiện (i) xem từ mã thu được và được giải mã có thỏa mãn việc kiểm tra chẵn lẻ hay không, và (ii) xem từ mã thu được và được giải mã có khác với từ mã tương ứng được tạo bởi thiết bị truyền với khoảng cách Hamming gần kề. Quy trình nêu trên cho phép giảm bớt tỷ lệ phát

hiện sai nhờ đó từ mã mà khác với từ mã tương ứng được tạo bởi thiết bị truyền với khoảng cách gần kề được đánh giá là từ mã không bị lỗi.

Dưới đây là phần giải thích ví dụ cụ thể về việc giải mã và phát hiện lỗi nêu trên.

Cụ thể hơn, dưới đây là phần mô tả về các thao tác được thực hiện bởi thiết bị mã hóa 200 với việc sử dụng mã LDPC được xác định bởi ma trận kiểm tra chẵn lẻ Hb648 được thể hiện trên Fig.1 và có độ dài mã bằng 648 bit và tỷ lệ mã bằng 1/2 như được xác định trong IEEE 802.11n.

Trước khi từ mã được giải mã được đưa vào, thông tin chế độ mã hóa được đưa đến thiết bị giải mã 200. Bộ lưu trữ thông số mã hóa LDPC 201 chuyển các thông số mã hóa LDPC mà được lưu trữ bên trong tương ứng với thông tin chế độ mã hóa thu được đến bộ giải mã LDPC 202 và bộ điều khiển bit kiểm tra phát hiện sai 203. Các ví dụ về các thông số được thiết đặt trong bộ điều khiển bit kiểm tra phát hiện sai 203 bao gồm số lượng các bit kiểm tra phát hiện sai (14) và các vị trí chèn bit kiểm tra phát hiện sai p (các bit thứ 82, 84, 86, 88, 90, 92, 94, 96, 98, 100, 102, 104, 106, và 108). Các ví dụ về các thông số được thiết đặt trong bộ giải mã LDPC 202 bao gồm độ dài mã N (648 bit), độ dài bit thông tin K (324), độ dài bit dư M (324 bit), ma trận kiểm tra chẵn lẻ H (hoặc địa chỉ bộ nhớ lưu trữ thông tin đề cập đến ma trận kiểm tra chẵn lẻ H), và trong trường hợp ở đó quy trình khác được thực hiện cho mỗi chế độ mã hóa, tín hiệu chỉ báo quy trình nào sẽ được thực hiện.

Sau khi các thông số được sử dụng được thiết đặt, quy trình giải mã LDPC bắt đầu đối với từ mã thu được. Từ mã 648-bit thu được được đưa vào bộ giải mã LDPC 202. Vào thời điểm này, trong từ mã thu được, một bit có thể mang thông tin một bit (giải mã quyết định chính thức), hoặc một bit có thể mang thông tin nhiều bit (giải mã quyết định không chính thức). Trong trường hợp giải mã quyết định không chính thức, các hệ số hợp lẽ bản ghi của các bit từ mã được số hóa có thể được sử dụng như từ mã thu được. Bộ giải mã LDPC 202 thực hiện quy trình giải mã trên từ mã thu được, và chuyển từ mã kết hợp đến bộ phát hiện lỗi 204 và bộ loại bỏ bit kiểm tra phát hiện sai 205.

Bộ loại bỏ bit kiểm tra phát hiện sai 205 loại bỏ, khỏi từ mã được chuyển từ bộ giải mã LDPC 202, các bit trong các vị trí chèn bit kiểm tra phát hiện sai p được thông báo từ bộ điều khiển bit kiểm tra phát hiện sai 203 (các bit thứ 82, 84, 86, 88, 90, 92, 94, 96, 98, 100, 102, 104, 106, và 108). Bộ loại bỏ bit kiểm tra phát hiện sai 205 cũng loại bỏ 324 bit dư khỏi từ mã, và đưa ra chuỗi 310 bit còn lại như chuỗi bit thông tin được giải mã.

Nhờ cấu trúc nêu trên, thiết bị giải mã 200 có thể giảm bớt tỷ lệ phát hiện sai từ mã thu được mà thỏa mãn việc kiểm tra chẵn lẻ nhưng từ mã bị lỗi được đánh giá là từ mã không bị lỗi.

Như được nêu trên, thiết bị mã hóa theo phương án 1 của sáng chế chèn các bit kiểm tra phát hiện sai, mà đó là các bit đã biết được định trước bởi thiết bị truyền và thiết bị thu, vào từ mã được tạo dựa vào chuỗi bit thông tin để được truyền. Một cách cụ thể, trong từ mã được tạo, các bit kiểm tra phát hiện sai được chèn vào các phần mà sẽ khác với từ mã khác để được thu và được giải mã bởi thiết bị thu, mã khác đã đề cập thỏa mãn việc kiểm tra chẵn lẻ và có khoảng cách Hamming gần kề tương ứng với từ mã được tạo. Trong thiết bị thu, nếu các bit kiểm tra phát hiện sai được chèn vào từ mã thu được và được giải mã khác với các bit đã biết được định trước, từ mã thu được và được giải mã được đánh giá là khác với từ mã tương ứng được tạo bởi thiết bị truyền, và do đó lỗi trong quá trình thu của từ mã không bị lỗi có thể được phát hiện. Ngoài ra, cấu trúc nêu trên cho phép giảm bớt tỷ lệ phát hiện sai mà trong đó ít nhất phần của từ mã thu được và được giải mã mà (i) được đánh giá là không bị lỗi bằng việc kiểm tra chẵn lẻ trong thiết bị thu nhưng (ii) không phải là từ mã tương ứng được tạo bởi thiết bị truyền được đánh giá là không bị lỗi.

Nhận xét

Phần dưới đây mô tả sự khác nhau giữa phương án ưu tiên của sáng chế và công nghệ bộc lộ trong tài liệu sáng chế 1 mà, như với phương án của sáng chế, sử dụng các bit đã biết giữ các giá trị đã biết trong quy trình giải mã hiệu chỉnh lỗi.

Tài liệu sáng chế 1 mô tả phương pháp giải mã sử dụng tối đa giải mã xác suất hậu nghiệm. Theo phương pháp giải mã này, khi giải mã các từ truyền mà bao gồm các bit đã biết với các giá trị đã biết, sự dự phòng từ được giải mã mà trong đó giá trị đã biết trong phần từ truyền tin được thay đổi sang giá trị khác được loại trừ khỏi các trường hợp dự phòng từ mã được giải mã.

Kết quả của việc so sánh giữa phương án 1 của sáng chế và công nghệ bộc lộ trong tài liệu sáng chế 1 xét về cấu trúc của thiết bị truyền, sự khác nhau sau đây được nhận ra: vì công nghệ bộc lộ trong tài liệu sáng chế 1 sử dụng các bit đã biết được bao gồm trong dữ liệu để được truyền, như các byte đồng bộ hóa của các gói MPEG-2TS, nó hoặc không chèn các bit đã biết vào chuỗi dữ liệu, hoặc không điều khiển các phần chèn của các bit đã biết. Nghĩa là, công nghệ bộc lộ trong tài liệu sáng chế 1 không thể đạt hiệu quả cải thiện sự chính xác trong việc phát hiện lỗi mà có thể đạt được bằng cách, như được mô tả trong phương án 1, việc chèn các bit đã biết vào các phần bit mà giữ các giá trị khác nhau giữa từ mã không bị lỗi từ mã khoảng cách nhỏ nhất.

Hơn nữa, vì kết quả của việc so sánh giữa phương án 1 của sáng chế và công nghệ bộc lộ trong tài liệu sáng chế 1 xét về cấu trúc của thiết bị truyền, sự khác nhau sau đây cũng được phát hiện: theo phương pháp giải mã được bộc lộ trong tài liệu sáng chế 1, việc giải mã được thực hiện sau khi loại bỏ, khỏi phần lớn các trường hợp dự phòng từ mã được giải, một hoặc nhiều các trường hợp dự phòng từ mã được giải mã mà các bit đã biết của chúng giữ các giá trị khác nhau. Điều đó có nghĩa là, công nghệ bộc lộ trong tài liệu sáng chế 1 không đề cập đến phương pháp phát hiện lỗi. Dường như công nghệ bộc lộ trong tài liệu sáng chế 1 có kết cấu mà trong đó việc kiểm tra phát hiện sai được thực hiện trước việc mã hóa hiệu chỉnh lỗi. Tuy nhiên việc giải mã MAP được sử dụng trong công nghệ bộc lộ trong tài liệu sáng chế 1 là phương pháp giải mã để tối đa xác suất hậu nghiệm của mỗi bit của các từ mã. Do đó, chuỗi từ mã thu được từ kết quả của giải mã MAP không nhất thiết bao gồm các từ mã của mã được sử dụng bởi thiết bị truyền. Ngay cả nếu chuỗi từ mã như vậy bao gồm các từ mã của mã được sử dụng bởi thiết bị truyền, có thể là các giá trị của các bit tại các vị trí của các bit đã biết thay đổi trong quá

trình giải mã MAP. Vì những lý do nêu trên, theo công nghệ bộc lộ trong tài liệu sáng chế 1 kết quả cải thiện sự chính xác trong việc phát hiện lỗi không thể đạt được bằng việc kiểm tra phát hiện sai.

Công nghệ theo phương án 1 này để ngăn ngừa phát hiện sai có thể hợp nhất bất kỳ phương pháp giải mã nào trong quá trình giải mã hiệu chỉnh lỗi. Do đó, kỹ thuật ngăn ngừa phát hiện sai của phương án 1 này có thể thích hợp với phương pháp giải mã của tài liệu sáng chế 1. Trong trường hợp đó, kết quả cải thiện sự chính xác trong việc phát hiện lỗi, mà không thể đạt được chỉ duy nhất bằng phương pháp giải mã của tài liệu sáng chế 1, có thể đạt được.

Phương án 2

Phương án 1 nêu trên bộc lộ kỹ thuật để điều khiển các vị trí chèn của các bit kiểm tra phát hiện sai để giảm bớt tỷ lệ phát hiện sai nhờ đó từ mã bị lỗi được đánh giá là từ mã không bị lỗi. Phương án 2 của sáng chế đề cập đến phần mô tả về kỹ thuật mà sử dụng thông tin để được truyền thay vì chèn các giá trị bit định trước như các bit kiểm tra phát hiện sai, và do đó có thể làm triệt sự giảm lưu lượng truyền dữ liệu bị gây ra bởi việc chèn các bit kiểm tra phát hiện sai.

Các khái niệm

Trong trường hợp mà trong đó độ dài thông tin của chuỗi bit thông tin thực tế ngắn hơn độ dài thông tin của phần bit thông tin được xác định bởi độ dài từ mã và tỷ lệ mã, từ mã được tạo theo cách như sau: các bit đã biết mà được xác định trước như thông tin giả (cũng được gọi là các bit rút ngắn) được bổ sung sao cho độ dài thông tin của chuỗi bit thông tin thực tế bằng với độ dài thông tin của phần thông bit thông tin. Nói cách khác, việc bổ sung các bit đã biết được xác định từ đầu, và do đó không gây ra vấn đề giảm lưu lượng truyền.

Để giải quyết vấn đề trên, phương án 2 mô tả ví dụ về cách làm tăng tỷ lệ ngăn ngừa vấn đề phát hiện sai nhờ đó từ mã bị lỗi được đánh giá là từ mã không bị lỗi bằng việc kiểm tra chẵn lẻ. Cụ thể hơn, tỷ lệ ngăn ngừa của việc phát hiện sai có thể được tăng bằng cách chèn các bit đã biết mà được xác định để được bổ sung như các bit kiểm tra phát hiện sai vào chuỗi bit thông tin.

Trong phần dưới đây, ví dụ cụ thể về phương pháp thông thường để chèn các bit rút ngắn cũng như khái niệm về việc chèn các bit kiểm tra phát hiện sai bằng cách sử dụng các bit rút ngắn theo phương án 2 của sáng chế, sẽ được giải thích theo thứ tự đo dựa vào các hình vẽ từ Fig.12A-1 đến Fig.13E.

Mã LDPC là mã khối, việc mã hóa mã LDPC được thực hiện như sau. Quy trình mã hóa được thực hiện trên tín hiệu vào, đó là chuỗi bit thông tin K-bit; chuỗi bit dư M-bit được bổ sung vào chuỗi bit thông tin K-bit; và từ mã N-bit kết hợp là đầu ra. Fig.12A-1 và Fig.12B-1 minh họa chuỗi bit thông tin đầu vào. Fig.12A-2 và Fig.12B-2 minh họa trạng thái ở đó chuỗi bit thông tin đã được chia thành các chuỗi bit thông tin nhỏ hơn, từng chuỗi này có kích thước dùng cho khối mã LDPC. Fig.12A-3 và Fig.12B-3 minh họa trạng thái ở đó các chuỗi bit thông tin được chia được mã hóa. Fig.12A-4 và Fig.12b-4 đều minh họa từ mã được đưa ra sau cùng.

Giả sử trường hợp trong đó chuỗi bit thông tin đầu vào ngắn hơn K bit. Trong hệ thống truyền thông dựa theo tiêu chuẩn IEEE 802.11n và tương tự, kích thước của dữ liệu để được truyền không phải là bội số tích hợp của độ dài bit thông tin K của mã LDPC. Trong trường hợp trong đó kích thước của dữ liệu để được truyền không phải là bội số tích hợp của độ dài bit thông tin K của mã LDPC, nếu các chuỗi bit thông tin K-bit được đưa vào bộ mã hóa LDPC từng chuỗi một, số lượng các bit chứa trong khối mã LDPC cuối để được mã hóa ít hơn K. Vào thời điểm này, như được thể hiện trên Fig.12A-3, chuỗi K-bit được tạo bằng cách bổ sung số lượng nhất định (trong ví dụ này, là S) các bit đã biết (các bit rút ngắn, thường có giá trị "0") ở đầu cuối hoặc ở vị trí đã xác định của các bit thông tin của khối mã LDPC cuối, sao cho khối mã LDPC cuối sẽ có độ dài là K bit. Do đó, chuỗi K-bit được tạo được mã hóa. Sau khi mã hóa được thực hiện, S bit đã biết được bổ sung được loại bỏ, và chuỗi kết hợp được đưa ra như từ mã. Phương pháp mã hóa nêu trên được gọi là mã hóa rút gọn (theo cách khác, từ mã thu được mà không phải loại bỏ S bit đã biết có thể được truyền như vốn có).

Tương tự, trong trường hợp trong đó phần lớn các khối được mã hóa sau khi cố gắng đặt cùng số lượng các bit thông tin cho mỗi khối, một trong các khối kết thúc chứa ít hơn K bit thông tin như được thể hiện trên Fig.12B-2. Trong trường hợp này, mã hóa rút gọn được thực hiện bằng cách chèn S bit đã biết. Như được chỉ báo trong tài liệu sáng chế 2 không chính thức, trong trường hợp của IEEE 802.11n, các bit đã biết được bổ sung vào đầu cuối của chuỗi bit thông tin của khối mã LDPC, sao cho mỗi khối chứa số lượng các bit đã biết như nhau.

Các bit đã biết được sử dụng cho việc mã hóa rút gọn (dưới đây được gọi là các bit rút gọn) được bổ sung để đưa chuỗi bit vào bộ mã hóa chứa K bit. Các vị trí trong đó các bit rút gọn được bổ sung vào chuỗi nhập không làm ảnh hưởng đến quy trình mã hóa rút gọn. Thiết bị mã hóa hiệu chỉnh lỗi theo phương án của sáng chế chèn các bit kiểm tra phát hiện sai vào các vị trí chèn của các bit rút gọn- nghĩa là, thiết bị mã hóa hiệu chỉnh lỗi sử dụng các bit đã biết như nhau cho các mục đích rút gọn và kiểm tra phát hiện lỗi. Điều này giúp giảm bớt mức độ giảm lưu lượng.

Dựa vào các hình vẽ từ Fig.13A đến Fig.13E, dưới đây là phần mô tả khái niệm về mã hóa theo phương án 2 của sáng chế, mà sử dụng các bit rút gọn được thể hiện trong Fig.12A-3 và Fig.12B-3. Fig.13A thể hiện chuỗi bit thông tin. Vì chuỗi bit thông tin này có kích thước nhỏ hơn khối mã LDPC, các bit rút gọn được bổ sung vào chuỗi bit thông tin này như được thể hiện trên Fig.13B.

Ở thời điểm này, cả thiết bị truyền và thiết bị thu đều sử dụng các giá trị đã biết cho các bit rút gọn. Hơn nữa, các bit rút gọn có thể được chèn ở bất kỳ đâu trong chuỗi bit thông tin. Do đó, các bit rút gọn được bổ sung và các bit thông tin trong chuỗi bit thông tin được kết cấu lại để đặt lại các bit rút gọn vào các vị trí chèn của các bit kiểm tra phát hiện sai của chuỗi bit thông tin. Nói cách khác, các bit rút gọn được chèn vào các vị trí của các bit kiểm tra phát hiện sai trong số các bit thông tin.

Kết quả là, chuỗi bit mã hóa trước được thể hiện trên Fig.13C được tạo. Sau đó, các bit dư (các bit chẵn lẻ) dựa vào mã LDPC được bổ sung vào chuỗi bit mã hóa trước được tạo như được thể hiện trên Fig.13D. Sau đó, các bit rút gọn được chèn

vào có thể được loại bỏ. Lưu ý rằng, trên Fig.13C và Fig.13D, các phần chữ nhật với các đường cắt chéo thể hiện chuỗi bit thông tin.

Ngoài ra cũng lưu ý rằng Fig.13E đơn giản thể hiện ví dụ về từ mã thông thường mà được mã hóa với các bit rút gọn được bổ sung vào đầu cuối của các bit thông tin.

Như được thiết đặt nêu trên, phương án 2 của sáng chế kết hợp các bit rút gọn để được bổ sung như các bit kiểm tra phát hiện sai.

Cấu trúc

Fig.14 thể hiện cấu trúc chức năng của thiết bị mã hóa 1400 theo phương án 2 của sáng chế. Như được thể hiện trên Fig.14, thiết bị mã hóa 1400 bao gồm bộ lưu trữ thông số mã hóa LDPC 101, bộ mã hóa LDPC 104, bộ điều khiển bit kiểm tra phát hiện sai, bộ chèn bit rút gọn 1402, bộ sắp xếp lại 1403, và bộ loại bỏ bit rút gọn 1404. Phần mô tả dưới đây về thiết bị mã hóa 1400 được thể hiện tập trung vào sự khác nhau giữa thiết bị mã hóa 1400 và thiết bị mã hóa 100 được mô tả trong phương án 1.

Bộ điều khiển bit kiểm tra phát hiện sai 1401 thông báo thông tin chỉ báo số lượng D các bit kiểm tra phát hiện sai và các vị trí chèn bit kiểm tra phát hiện sai p, mà các vị trí này được chuyển từ bộ lưu trữ thông số mã hóa LDPC 101, đến bộ sắp xếp lại 1403.

Bộ chèn bit rút gọn 1402 chèn các bit rút gọn vào phần cuối của chuỗi bit thông tin. Tại đây, số lượng các bit rút gọn được chèn được cung cấp cho bộ chèn bit rút gọn 1402 như thông tin điều khiển. Nếu cả thiết bị truyền và thiết bị thu cùng báo nhận vị trí mà các bit rút gọn được chèn, các vị trí chèn, các vị trí chèn của các bit rút gọn được giới hạn đến phần cuối của chuỗi bit thông tin. Hơn nữa, các bit rút gọn được chèn sao cho độ dài thông tin của chuỗi bit thông tin là bội số của độ dài của phần chuỗi bit thông tin của từ mã được tạo. Nói cách khác, số lượng các bit rút gọn để được chèn được xác định dựa vào độ dài thông tin của phần chuỗi bit thông tin của từ mã để được tạo.

Bộ sắp xếp lại 1403 bố trí lại thứ tự các bit trong chuỗi bit thông tin mà các bit rút gọn được chèn vào. Cụ thể hơn, sự sắp xếp lại này được thực hiện bằng cách di chuyển các bit rút gọn đang được định vị ở phần cuối của chuỗi bit thông tin đến các vị trí chèn bit kiểm tra phát hiện sai.

Bộ loại bỏ bit rút gọn 1404 loại bỏ các bit rút gọn được bao gồm bên trong các bit từ mã được tạo từ bộ mã hóa LDPC 104. Bộ loại bỏ bit rút gọn 1404 tạo các bit từ mã mà từ các bit này các bit rút gọn được loại bỏ.

Fig.15 thể hiện cấu trúc chức năng của thiết bị giải mã 1500 theo phương án 2 của sáng chế. Như được thể hiện trên Fig.15, thiết bị giải mã 1500 bao gồm bộ lưu trữ các thông số mã hóa LDPC 201, bộ giải mã LDPC 202, bộ điều khiển bit kiểm tra phát hiện sai 203, bộ phát hiện lỗi 204, bộ chèn bit rút gọn 1501, bộ sắp xếp lại 1502, bộ sắp xếp lại 1503, và bộ loại bỏ bit rút gọn 1504. Đối với phần mô tả nêu trên về thiết bị mã hóa 1400, phần mô tả dưới đây về thiết bị giải mã 1500 ttập trung vào các sự khác nhau giữa thiết bị giải mã 1500 và thiết bị giải mã 200 được mô tả trong phương án 1.

Bộ chèn bit rút gọn 1501 chèn các khả năng của bit rút gọn vào phần cuối của từ mã được thu. Điều cần lưu ý ở đây là các khả năng của bit rút gọn là các giá trị tương ứng với các bit rút gọn được chèn bởi thiết bị truyền và phù hợp với phương pháp giải mã được sử dụng trong bộ giải mã LDPC 202. Ví dụ, trong trường hợp mà thiết bị truyền chèn giá trị "0" như các bit rút gọn và bộ giải mã LDPC 202 thực hiện việc giải mã quyết định mềm, trị số dương có giá trị tuyệt đối cần được chèn như khả năng của bit rút gọn. Mặt khác, trong trường hợp mà bộ giải mã LDPC 202 thực hiện việc giải mã quyết định cứng, giá trị "0" được chèn như khả năng của bit rút gọn. Bộ chèn bit rút gọn 1501 truyền từ mã thu được mà các khả năng của bit rút gọn được chèn vào từ mã này đến bộ sắp xếp lại 1502.

Bộ sắp xếp lại 1502 bố trí lại các bit trong từ mã thu được được chuyển từ bộ chèn các bit rút gọn 1501. Cụ thể hơn, sự sắp xếp lại này được thực hiện bằng cách dịch chuyển các khả năng của bit rút gọn được chèn bởi bộ chèn bit rút gọn 1501 đến các vị trí được xác định bởi các vị trí bit kiểm tra phát hiện sai p được chuyển

từ bộ điều khiển bit kiểm tra phát hiện sai 203. Bộ sắp xếp lại 1502 chuyển từ mã thu được có các bit đã được sắp xếp lại đến bộ giải mã LDPC 202. Các bit rút gọn, mà được loại bỏ vào thời điểm truyền, được lưu trữ. Do đó, các bit rút gọn có thể được sắp xếp lại sao cho các bit này trở lại các vị trí mà tại đó các bit này lúc đầy được chèn như các bit kiểm tra phát hiện sai.

Bộ sắp xếp lại 1503 bố trí lại các bit bên trong từ mã thu được từ kết quả của quy trình giải mã được thực hiện bởi bộ giải mã LDPC 202. Cụ thể hơn, sự sắp xếp lại này được thực hiện bằng cách dịch chuyển các bit rút gọn tại các vị trí chèn bit rút gọn p đến phần cuối của các bit của từ mã được giải mã. Bộ sắp xếp lại 1503 chuyển từ mã được giải mã có các bit đã được sắp xếp lại đến bộ loại bỏ bit rút gọn 1504.

Bộ loại bỏ bit rút gọn 1504 loại bỏ các bit rút gọn và các bit chẵn lẻ từ phần cuối của các bit của từ mã được giải mã mà các bit này được sắp bố trí lại và được chuyển từ bộ sắp xếp lại 1503. Kết quả là, bộ loại bỏ bit rút gọn 1504 thu chuỗi bit thông tin J-bit. Bộ loại bỏ bit rút gọn 1504 đưa ra chuỗi bit thông tin J-bit như kết quả từ bộ giải mã 1500.

Đến đây kết thúc phần mô tả về các cấu trúc của thiết bị mã hóa 1400 và thiết bị giải mã 1500 theo phương án 2.

Các thao tác

Dưới đây là phần mô tả về các thao tác mã hóa được thực hiện bởi thiết bị mã hóa 1400 dựa vào lưu đồ trên Fig.16. Lưu ý rằng một phần của lưu đồ trên Fig.16 tương tự như ở lưu đồ trên Fig.9 theo phương án 1 được loại bỏ trong phần mô tả dưới đây.

Như được thể hiện trên Fig.16, bộ điều khiển bit kiểm tra phát hiện sai 1401 thông báo đến bộ sắp xếp lại 1403 về các vị trí chèn và số lượng các bit kiểm tra phát hiện sai (bước S1601).

Bộ chèn bit rút gọn 1402 trong thiết bị mã hóa 1400 thu thông tin điều khiển chỉ báo số lượng các bit rút gọn để được chèn, bổ sung số lượng các bit rút gọn được

chỉ báo bởi thông tin điều khiển vào phần cuối của chuỗi bit thông tin đầu vào, và đưa ra chuỗi bit thông tin kết hợp đến bộ sắp xếp lại 1403 (bước 1602).

Tiếp theo, bộ sắp xếp lại 1403 bố trí lại các bit trong chuỗi bit thông tin thu được mà các bit rút gọn được bổ sung vào. Cụ thể hơn, bộ sắp xếp lại 1403 thực hiện việc bố trí lại sao cho, mỗi độ dài thông tin của phần bit thông tin trong từ mã được tạo, các bit rút gọn được đặt tại các vị trí chèn bit kiểm tra phát hiện sai được thông báo từ bộ điều khiển bit kiểm tra phát hiện sai 1401. Do đó, bộ sắp xếp lại 1403 chuyển chuỗi bit mã hóa trước được bố trí lại đến bộ mã hóa LDPC 104 (bước S1603).

Bộ mã hóa LDPC 104 tạo từ mã bằng cách mã hóa chuỗi bit mã hóa trước được chuyển đến tương ứng với ma trận kiểm tra chẵn lẻ được thông báo từ bộ lưu trữ thông số mã hóa LDPC, và chuyển từ mã được tạo đến bộ loại bỏ bit rút gọn 1404 (bước S905).

Bộ loại bỏ bit rút gọn 1404 loại bỏ bit rút gọn khỏi từ mã được tạo (bước S1604), và kết thúc quy trình.

Trong phần nêu trên đã giải thích lưu đồ trên Fig.16 liên quan đến trường hợp trong đó các bit rút gọn đã được chèn. Tuy nhiên, khi các bit rút gọn không cần được chèn vào chuỗi bit thông tin - nghĩa là, khi độ dài thông tin của chuỗi bit thông tin bằng với độ dài thông tin của khối thuộc về phương pháp mã hóa sử dụng các mã tựa tuần hoàn, các bit kiểm tra phát hiện sai giữ các giá trị đã biết sẽ được chèn vào các vị trí xác định như được mô tả trong phương án 1 nêu trên.

Dưới đây là phần mô tả về ví dụ cụ thể của phương pháp mã hóa này. Trước hết, phần mô tả thể hiện ví dụ cụ thể trong đó số lượng các bit rút gọn để được gắn là lớn hơn hoặc bằng 14.

Cụ thể hơn, phần mô tả dưới đây đề cập đến trường hợp J = 300, là trường hợp mẫu trong đó độ dài J của chuỗi bit thông tin đầu vào ngắn hơn độ dài khối thông tin K (324) ít nhất số lượng D các bit kiểm tra phát hiện sai (14). Vào thời điểm này, số lượng S các bit rút gọn là 24. Thông tin chế độ mã hóa được đưa vào bộ lưu trữ thông số mã hóa LDPC 101. Tương ứng với thông tin chế độ mã hóa nhập,

bộ lưu trữ thông số mã hóa LDPC 101 thiết đặt các thông số yêu cầu cho việc mã hóa LDPC trong bộ điều khiển bit kiểm tra phát hiện sai 102 và bộ mã hóa LDPC 104. Các trường hợp về các thông số được thiết đặt trong bộ điều khiển bit kiểm tra phát hiện sai 102 bao gồm số lượng các bit kiểm tra phát hiện sai, đó là 14, và các vị trí chèn bit kiểm tra phát hiện sai p (các bit thứ 82, 84, 86, 88, 90, 92, 94, 96, 98, 100, 102, 104, 106, và 108). Các trường hợp về các thông số được thiết đặt trong bộ mã hóa LDPC 104 bao gồm độ dài mã N (648 bit), độ dài bit thông tin K (324 bit), độ dài bit dư M (324 bit), ma trận kiểm tra chẵn lẻ H (hoặc địa chỉ của bộ nhớ lưu trữ thông tin đề cập đến ma trận kiểm tra chẵn lẻ H), và trong trường hợp trong đó quy trình khác được thực hiện cho mỗi chế độ mã hóa, tín hiệu chỉ báo quy trình nào sẽ được thực hiện.

Chuỗi bit thông tin đầu vào bao gồm 300 bit được đưa vào bộ chèn bit rút gọn 1402. Bộ chèn bit rút gọn 1402 chèn 24 bit rút gọn vào phần cuối của chuỗi bit thông tin đầu vào. Bộ chèn bit rút gọn 1402 chuyển chuỗi bit thông tin, lúc này có độ dài 324 bit từ kết quả của việc chèn các bit rút gọn, đến bộ sắp xếp lại 1403.

Bộ sắp xếp lại 1403 bố trí lại chuỗi bit thông tin 324-bit. Chi tiết hơn, bộ sắp xếp lại 1403 bố trí lại (i) các bit rút gọn, mà cấu thành 14 bit cuối của chuỗi bit thông tin, và (ii) các bit được đặt tại các vị trí chèn bit kiểm tra phát hiện sai p, đó là các bit thứ 82, 84, 86, 88, 90, 92, 94, 96, 98, 100, 102, 104, 106, và 108. Điều này khiến tất cả các bit được đặt tại các vị trí chèn bit phát hiện sai p là các bit đã biết. Bộ sắp xếp lại 1403 chuyển chuỗi bit thông tin được bố trí lại đến bộ mã hóa LDPC 104. Trong khi thực hiện quy trình sắp xếp lại, bộ sắp xếp lại 1403 có thể áp dụng bất kỳ quy tắc sắp xếp lại nào miễn là bộ này có thể bố trí lại các bit được đặt tại các vị trí chèn bit kiểm tra phát hiện sai p và các bit rút gọn.

Bộ mã hóa LDPC 104 thực hiện quy trình mã hóa LDPC trên chuỗi bit thông tin mã hóa trước nhập, tạo chuỗi bit dư 324-bit, kết hợp chuỗi bit dư 324-bit được tạo với chuỗi bit thông tin được mã hóa 324-bit, và đưa ra kết quả kết hợp là từ mã 648-bit đến bộ loại bỏ bit rút gọn 1404.

Bộ loại bỏ bit rút gọn 1404 thực hiện quy trình loại bỏ S (24) các bit rút gọn được chèn bởi bộ chèn bit rút gọn 1402 khỏi các bit từ mã. Từ kết quả của việc loại bỏ các bit rút gọn, từ mã có độ dài 624-bit (300+324 = 624). Bộ loại bỏ bit rút gọn 1404 đưa ra từ mã 624 bit như kết quả từ thiết bị mã hóa 1400.

Từ mã được tạo ra nhờ quy trình nêu trên.

Trong khi đó, như được mô tả trong phương án 1 nêu trên, ít nhất 14 bit cần được chèn như các bit kiểm tra phát hiện sai để thực hiện phát hiện sai cho tất cả các từ mã khoảng cách nhỏ nhất. Tuy nhiên, trong một số trường hợp, số lượng các bit rút gọn nhỏ hơn 14 tùy theo độ dài thông tin của chuỗi bit thông tin. Xét đến các trường hợp như vậy, phần dưới đây mô tả trường hợp cụ thể trong đó số lượng các bit rút gọn để được bổ sung nhỏ hơn 14. Điều cần lưu ý là thiết bị mã hóa tự nó chỉ bổ sung số lượng xác định các bit rút gọn và bố trí lại các bit rút gọn bằng cách dịch chuyển chúng đến các vị trí chèn bit kiểm tra phát hiện sai xác định. Nghĩa là, thiết bị mã hóa về cơ bản hoạt động tương ứng với lưu đồ trên Fig.16. Tính tổng quát của lưu đồ trên Fig.16 được giữ lại mà không cần biết số lượng các bit rút gọn được gắn.

Tiếp theo, phần mô tả thể hiện trường hợp trong đó số lượng S các bit rút gọn nhỏ hơn số lượng D các bit kiểm tra phát hiện sai. Trong trường hợp dưới đây sẽ thảo luận về trường hợp J = 320 bit. Cụ thể hơn là, trong trường hợp này S = 4 và D = 14.

Chuỗi bit thông tin đầu vào bao gồm 320 bit được đưa vào bộ chèn bit rút gọn 1402. Bộ chèn bit rút gọn 1402 chèn 4 bit rút gọn vào phần cuối của chuỗi bit thông tin đầu vào. Bộ chèn bit rút gọn 1402 chuyển chuỗi bit thông tin, lúc này có độ dài 324 bit từ kết quả của việc chèn các bit rút gọn, đến bộ sắp xếp lại 1403.

Bộ sắp xếp lại 1403 bố trí lại chuỗi bit thông tin 324 bit. Cụ thể hơn, bộ sắp xếp lại 1403 bố trí lại (i) các bit rút gọn, mà cấu thành bốn bit cuối của chuỗi bit thông tin, và (ii) bốn bit này được đặt tại các vị trí chèn bit kiểm tra phát hiện sai p, chẳng hạn đó là, các bit thứ 82, 84, 86, và 88. Điều này khiến bốn bit này tại các vị trí chèn bit kiểm tra phát hiện sai p là các bit đã biết. Bộ sắp xếp lại 1403 chuyển

chuỗi bit thông tin được bố trí lại đến bộ mã hóa LDPC 104. Trong quá trình bố trí lại được thực hiện bởi bộ sắp xếp lại 1403, bốn vị trí này được chọn từ vị trí các bit kiểm tra phát hiện sai p không bị giới hạn đối với bốn vị trí nêu trên, miễn là bốn bit này quen thuộc đối với thiết bị truyền và thiết bị thu. Việc chọn bốn vị trí khác với bốn vị trí nêu trên chỉ làm thay đổi từ mã mà trên từ mã việc phát hiện sai được thực hiện, và không làm thay đổi tỷ lệ mà tại đó việc phát hiện sai có thể được thực hiện ở mức trung bình. Tuy nhiên, trong trường hợp nêu trên, không phải tất cả các từ mã khoảng cách nhỏ nhất có thể được phát hiện bởi vì số lượng S các bit rút gọn nhỏ hơn số lượng D các bit kiểm tra. Do đó, trong trường hợp nêu trên, tỷ lệ mà tại đó việc phát hiện sai có thể được thực hiện là thấp khi so sánh với trường hợp $S \geq D$.

Bộ mã hóa LDPC 104 thực hiện quy trình mã hóa LDPC trên chuỗi bit thông tin mã hóa trước nhập, tạo chuỗi bit dư 324 bit, kết hợp chuỗi bit dư 324 bit với chuỗi bit thông tin được mã hóa 324, và đưa ra kết quả kết hợp là từ mã 648 bit đến bộ loại bỏ bit rút gọn 1404.

Bộ loại bỏ bit rút gọn 1404 thực hiện quy trình loại bỏ S (4) bit rút gọn, mà các bit này được chèn bởi bộ chèn bit rút gọn 1402, từ các bit từ mã. Từ kết quả của việc loại bỏ các bit rút gọn, từ mã có độ dài 644 bit (320+324 = 644). Bộ loại bỏ bit rút gọn 1404 đưa ra từ mã 644 bit như kết quả từ thiết bị mã hóa 1400.

Trong phần mô tả nêu trên, thiết bị mã hóa 1400 bao gồm bộ chèn bit rút gọn 1402 và thực hiện việc chèn các bit rút gọn trên chính thiết bị. Tuy nhiên, phương án của sáng chế không bị giới hạn đối với cấu trúc này. Lần lượt, chẳng hạn chuỗi bit thông tin mà các bit rút gọn đã được chèn vào có thể được đưa vào thiết bị mã hóa 1400. Trong trường hợp này, thiết bị mã hóa 1400 không cần bao gồm bộ chèn bit rút gọn 1402 bởi vì thiết bị không thực hiện quy trình chèn các bit rút gọn trên chính nó.

Dựa vào lưu đồ trên Fig.17, phần dưới đây mô tả các thao tác được thực hiện bởi thiết bị giải mã 1500 khi thu từ mã mà từ mã này được tạo theo cách thức nêu trên, được điều biến, và được truyền. Trong phần mô tả dưới đây, một phần của

lưu đồ trên Fig.17 mà giống như ở lưu đồ trên Fig.11 theo phương án 1 được loại bỏ.

Ở bước S1701, bộ điều khiển bit kiểm tra phát hiện sai 203 thông báo đến bộ phát hiện lỗi 204, bộ sắp xếp lại 1502, và bộ loại bỏ bit rút gọn 1504 về các vị trí chèn bit kiểm tra phát hiện sai, cũng như các giá trị đã biết được sử dụng như các bit kiểm tra phát hiện sai.

Tiếp theo, bộ chèn bit rút gọn 1501 chèn các khả năng của bit rút gọn vào từ mã thu được tương ứng với thông tin điều khiển (bước S1702). Vào thời điểm này, số lượng các khả năng của bit rút gọn để được chèn tương ứng với số lượng các bit rút gọn và số lượng các bit chẵn lẻ được dựa vào các bit rút gọn.

Tiếp theo, bộ sắp xếp lại 1502 bố trí lại các bit trong từ mã thu được mà các khả năng của bit rút gọn được bổ sung vào, bằng cách dịch chuyển các khả năng của bit rút gọn đến các vị trí chèn bit kiểm tra phát hiện sai (bước S1703).

Ở bước S1704, bộ sắp xếp lại 1503 tách các bit được đặt tại các vị trí chèn bit kiểm tra phát hiện sai và dịch chuyển các bit được tách đến phần cuối của chuỗi bit thông tin, để đặt các khả năng của bit rút gọn được chèn trong từ mã được giải mã ở phần cuối của chuỗi bit thông tin.

Sau đó, bộ loại bỏ bit rút gọn 1504 loại bỏ các bit chẵn lẻ cũng như các bit rút gọn được dịch chuyển đến phần cuối khỏi từ mã được giải mã được bố trí lại (bước S1705), đưa ra chuỗi bit thông tin được giải mã, và kết thúc quy trình.

Trong phần sau đây mô tả trường hợp cụ thể về các thao tác được thực hiện khi thiết bị giải mã thực hiện việc giải mã tương ứng với lưu đồ trên Fig.17.

Cụ thể hơn, phần mô tả sau đây đề cập đến các thao tác được thực hiện bởi thiết bị giải mã 1500 với việc sử dụng mã LDPC được xác định bởi ma trận kiểm tra chẵn lẻ Hb648 được thể hiện trên Fig.1 và có độ dài mã bằng 648 bit và tỷ lệ mã 1/2 được xác định trong IEEE 802.11n.

Trước khi từ mã thu được được đưa vào, thông tin chế độ mã hóa và số lượng các bit rút gọn được đưa vào thiết bị giải mã 1500. Tương ứng với thông tin chế độ

mã hóa, bộ lưu trữ thông số mã hóa LDPC 201 chuyển các thông số mã hóa LDPC mà các thông số này được lưu trữ tương ứng với thông tin chế độ mã hóa thu được đến bộ giải mã LDPC 202 và bộ điều khiển bit kiểm tra phát hiện sai 203. Các trường hợp về các thông số được thiết đặt trong bộ điều khiển bit kiểm tra phát hiện sai 203 bao gồm số lượng các bit kiểm tra phát hiện sai, đó là 14, và các vị trí chèn bit kiểm tra phát hiện sai p (các bit thứ 82, 84, 86, 88, 90, 92, 94, 96, 98, 100, 102, 104, 106, và 108). Các trường hợp về các thông số được thiết đặt trong bộ giải mã LDPC 202 bao gồm độ dài mã N (648 bit), độ dài bit thông tin K (324 bit), độ dài bit dư M (324 bit), ma trận kiểm tra chẵn lẻ H (hoặc địa chỉ của bộ nhớ lưu trữ thông tin tương quan với ma trận kiểm tra H), và trong trường hợp trong đó quy trình khác được thực hiện cho mỗi chế độ mã hóa, tín hiệu chỉ báo quy trình nào sẽ được thực hiện.

Trong phần mô tả sau đề cập đến trường hợp trong đó số lượng J bit trong chuỗi bit thông tin là 300, và số lượng S các bit rút gọn là 24. Sau khi các tham chiếu cần sử dụng được thiết đặt, quy trình giải mã LDPC bắt đầu đối với từ mã thu được. Từ mã 624 bit thu được được đưa vào bộ chèn bit rút gọn 1501. Bộ chèn bit rút gọn 1501 chèn các khả năng của bit rút gọn vào giữa phần bit thông tin và phần bit chẵn lẻ (nghĩa là, vào phần cuối của phần bit thông tin) trong từ mã thu được. Kết quả là, phần bit thông tin trong từ mã thu được tăng lên là 24 bit. Bộ chèn bit rút gọn 1501 chuyển từ mã thu được mà các khả năng của bit rút gọn được chèn vào đến bộ sắp xếp lại 1502.

Bộ sắp xếp lại 1502 bố trí lại các bit trong từ mã thu được. Vì số lượng D các bit kiểm tra phát hiện sai là 14, bộ sắp xếp lại 1320 thực hiện bố trí lại bằng cách chèn 14 khả năng cuối của phần bit thông tin trong từ mã thu được (nghĩa là, các bit tương ứng với các khả năng của bit rút gọn 24 bit được chèn vào) vào các phần được xác định bởi các vị trí chèn bit kiểm tra phát hiện sai p (các bit thứ 82, 84, 86, 88, 90, 92, 94, 96, 98, 100, 102, 104, 106, và 108). Bộ sắp xếp lại 1502 chuyển từ mã thu được có các bit đã được bố trí lại đến bộ giải mã LDPC 202.

Bộ giải mã LDPC 202 thực hiện quy trình giải mã LDPC trên từ mã thu được, và chuyển từ mã tổng hợp đến bộ phát hiện lỗi 204 và bộ sắp xếp lại 1503.

Bộ sắp xếp lại 1503 dịch chuyển các bit được đặt tại các vị trí chèn bit kiểm tra phát hiện sai p (các bit thứ 82, 84, 86, 88, 90, 92, 94, 96, 98, 100, 102, 104, 106, và 108) đến phần cuối của phần bit thông tin của từ mã được giải mã. Bộ sắp xếp lại 1503 chuyển từ mã được giải mã có các bit được bố trí lại đến bộ loại bỏ bit rút gọn 1504.

Bộ loại bỏ bit rút gọn 1504 loại bỏ 24 bit cuối của phần bit thông tin, cũng như 324 bit tương ứng với chuỗi bit chẵn lẻ, khỏi từ mã được giải mã được chuyển từ bộ sắp xếp lại 1503. Bộ loại bỏ bit rút gọn 1504 đưa ra 300 bit thu được từ kết quả của việc loại bỏ nêu trên như chuỗi bit thông tin được giải mã.

Cấu trúc của bộ phát hiện lỗi 204 và quy trình được thực hiện (nghĩa là, quy trình so sánh các khả năng của bit rút gọn được chèn như các bit kiểm tra phát hiện sai có các giá trị đã biết như các bit rút gọn) nhờ đó tương tự với quy trình được mô tả trong phương án 1. Các phần mô tả về cấu trúc và quy trình như vậy do đó được loại bỏ.

Phần mô tả dưới đây đề cập đến trường hợp trong đó số lượng J của các bit thông tin là 320 và số lượng S các bit rút gọn là 4. Từ mã 620 bit thu được được đưa đến bộ chèn bit rút gọn 1501. Bộ chèn bit rút gọn 1501 chèn các khả năng của bit rút gọn 4 bit vào giữa phần bit thông tin và phần bit chẵn lẻ (nghĩa là, vào phần cuối của phần bit thông tin) trong từ mã thu được. Kết quả là, phần bit thông tin của từ mã tăng lên là 4 bit. Bộ chèn bit rút gọn 1501 chuyển từ mã thu được mà các khả năng của bit rút gọn được chèn vào đến bộ sắp xếp lại 1502.

Bộ sắp xếp lại 1502 bố trí lại các bit trong từ mã thu được. Để cụ thể hơn, bộ sắp xếp lại 1502 thực hiện bố trí lại bằng cách chèn 4 khả năng cuối của phần bit thông tin trong từ mã thu được (nghĩa là, các bit tương ứng với các khả năng của bit rút gọn 4 bit) vào, trong số các vị trí chèn bit kiểm tra phát hiện sai p, các vị trí mà các bit rút gọn được chèn bởi bộ sắp xếp lại 1403 của thiết bị mã hóa 1400 trong thiết bị truyền (trong trường hợp nêu trên là các bit thứ 82, 84, 86, và 88). Bộ

sắp xếp lại 1502 chuyển từ mã thu được có các bit đã được bố trí lại đến bộ giải mã LDPC 202.

Bộ giải mã LDPC 202 thực hiện quy trình giải mã LDPC trên từ mã thu được, và chuyển từ mã tổng hợp đến bộ phát hiện lỗi 204 và bộ sắp xếp lại 1503.

Bộ sắp xếp lại 1503 dịch chuyển, trong số các bit được đặt tại các vị trí chèn bit kiểm tra phát hiện sai p, các bit được đặt tại bốn vị trí mà tại đó các bit rút gọn được chèn vào (đó là các bit 82, 84, 86, và 88) đến phần cuối của phần bit thông tin của từ mã thu được. Bộ sắp xếp lại 1503 chuyển từ mã được giải mã có các bit được bố trí lại đến bộ loại bỏ bit rút gọn 1504.

Bộ loại bỏ bit rút gọn 1504 loại bỏ 4 bit cuối của phần bit thông tin, cũng như 324 bit tương ứng với chuỗi bit chẵn lẻ, khỏi từ mã thu được được chuyển từ bộ sắp xếp lại 1503. Bộ loại bỏ bit rút gọn 1504 đưa ra 320 bit thu được từ kết quả của việc loại bỏ nêu trên như chuỗi bit thông tin được giải mã.

Trong phương án 1, việc chèn các bit kiểm tra phát hiện sai làm giảm lưu lượng truyền dữ liệu tương ứng với các bit kiểm tra phát hiện sai đã được chèn. Ngược lại, như được mô tả trong phương án 2 của sáng chế, mức độ giảm lưu lượng như vậy có thể được ngăn ngừa bằng cấu trúc dưới đây: trong trường hợp trong đó độ dài của chuỗi bit thông tin không phải là bội số của độ dài của phần bit thông tin được tính dựa vào độ dài mã và tỷ lệ mã của từ mã, các bit đã biết mà lúc đầu được xác định cần được chèn để bổ sung sự thiếu hụt các bit được sử dụng như các bit kiểm tra phát hiện sai. Bằng cách sử dụng thứ gì đó mà đã được xác định ban đầu để chèn, không cần thiết chèn các bit kiểm tra phát hiện mới. Kết quả là, sự giảm lưu lượng được gây ra nhờ chèn các bit kiểm tra phát hiện sai có thể được ngăn ngừa.

Với cấu trúc nêu trên, thiết bị giải mã 1500 có thể giải mã từ mã thu được và thực hiện phát hiện lỗi từ kết quả của việc giải mã. Thiết bị giải mã 1500 theo phương án của sáng chế được kết cấu không chỉ để thực hiện kiểm tra chẵn lẻ với việc sử dụng ma trận H của mã LDPC, mà còn để kiểm tra xem từ mã thu được sau

khi giải mã LDPC có phải là từ mã khoảng cách nhỏ nhất không tương quan với từ mã không bị lỗi tương ứng.

Do đó, thiết bị giải mã 1500 theo phương án của sáng chế có thể làm tăng sự chính xác trong việc phát hiện lỗi đạt được mức độ đáng kể khi so sánh với việc phát hiện lỗi thông thường mà chỉ sử dụng việc kiểm tra chẵn lẻ.

Phương án này mô tả cấu trúc mà trong đó các bit rút gọn được thay thế cho các bit kiểm tra phát hiện sai, và các bit đã biết khác không được sử dụng. Tuy nhiên, sáng chế không bị giới hạn đối với cấu trúc như vậy. Chẳng hạn, khi số lượng các bit rút gọn nhỏ hơn số lượng các bit kiểm tra phát hiện sai, các bit đã biết có thể được chèn cùng với các bit rút gọn sao cho tổng số lượng các bit đã biết và các bit rút gọn bằng với số lượng các bit kiểm tra phát hiện sai. Theo cách này, độ chính xác trong việc phát hiện lỗi có thể vẫn cần được cải thiện ngay cả khi số lượng các bit rút gọn nhỏ hơn số lượng các bit kiểm tra phát hiện sai.

Phương án 3

Phương án 2 nêu trên đã mô tả trường hợp mẫu mà trong đó các bit đã biết được chèn như các bit kiểm tra phát hiện sai khi có sự thiếu hụt về độ dài thông tin. Phương án 3 của sáng chế mô tả trường hợp mẫu trong đó các giá trị bit khác được sử dụng như các bit kiểm tra phát hiện sai.

Các khái niệm

Khi độ dài thông tin của phần bit thông tin của từ mã, mà từ mã này được xác định bởi độ dài từ mã và tỷ lệ mã, ngắn hơn độ dài của chuỗi bit thông tin cần được truyền, các từ mã được tạo để truyền các mẫu dữ liệu của chuỗi bit thông tin sẽ được truyền. Vào thời điểm này, mỗi một trong số các từ mã được tạo được truyền với các bit ID khối được bổ sung vào từ mã, các bit ID khối chỉ báo thứ tự mà trong đó từ mã được đặt trong số tất cả các từ mã mang chuỗi bit thông tin được truyền. Như được thể hiện trên Fig.18A, mỗi một trong số các từ mã được tạo trong trường hợp này bao gồm các bit sau đây: (i) các bit ID khối cấu thành các bit B thứ nhất; (ii) các bit thông tin J; và (iii) các bit chẵn lẻ M (các bit dư).

Lưu ý rằng các bit K+M biểu diễn độ dài từ mã, và các bit K và các bit M được xác định bởi tỷ lệ mã.

Trong phương án 3, các giá trị của các bit của ID khối được bổ sung được chèn như các bit kiểm tra phát hiện sai. Các mẩu dữ liệu được truyền về cơ bản được thu theo thứ tự được chỉ báo bởi các ID khối tương ứng của chúng, và do đó cần được giải mã theo thứ tự. Khi thiết bị thu lưu trữ ID khối bằng cách tách các bit khỏi các vị trí trong đó các bit kiểm tra phát hiện sai được chèn, trong một số trường hợp số lượng được chỉ báo bởi ID khối có thể khác với thứ tự mà trong đó mẩu dữ liệu tương ứng được thu. Trong các trường hợp như vậy, giả thiết rằng các mẩu dữ liệu được truyền thay đổi trong quá trình truyền dữ liệu, và do đó các từ mã thu được được đánh giá là các từ mã bị lỗi, ngay cả nếu chúng được đánh giá là các từ mã không bị lỗi bằng việc kiểm tra chẵn lẻ QC-LDPC.

Dưới đây là phần mô tả thể hiện các bit ID khối được bao gồm trong khối mã LDPC. Để thực hiện phương pháp truyền lại khối, điều cần thiết đối với thiết bị truyền và thiết bị thu là thông báo khối nào đã được truyền hoặc không được truyền đúng đắn, và khối nào cần được truyền có chọn lọc. Cách thức điển hình để thông báo các khối như vậy là chèn các bit ID khối, đó là các bộ nhận biết khối, vào khối mã LDPC. Phương pháp này tận dụng phần các bit được bao gồm trong khối mã LDPC như các bit ID khối.

Các hình vẽ từ Fig.18A đến Fig.18D thể hiện chuỗi bit của mã LDPC mà các bit ID khối được chèn vào. Như được thể hiện trên Fig.18A, trong chuỗi bit của mã LDPC mà các bit ID khối được chèn, chuỗi bit thông tin K bit của khối mã LDPC bao gồm B bit ID khối và J bit thông tin. Hơn nữa, các bit từ mã thu được nhờ việc giải mã LDPC cấu thành (i) chuỗi thông tin K bit bao gồm các bit ID khối (K =B+ J), và (ii) chuỗi bit chẵn lẻ M bit được bổ sung vào chuỗi thông tin K bit. Ngoài ra, các giá trị được chèn trong các bit ID khối khác với các giá trị trong mỗi khối mã LDPC.

Lưu ý rằng các bit ID khối được chèn để xác định khối mã LDPC tương ứng. Do đó, không có quy tắc nào đề cập đến đâu là vị trí mà các bit ID khối cần được

chèn, miễn là cả hai thiết bị truyền và thiết bị thu đều báo nhận các vị trí chèn của các bit ID khối. Để giải quyết vấn đề trên, thiết bị mã hóa hiệu chỉnh lỗi theo phương án 3 của sáng chế chèn các bit ID khối vào các vị trí chèn của các bit kiểm tra phát hiện sai - nghĩa là, thiết bị mã hóa hiệu chỉnh lỗi sử dụng các bit ID khối như các khối đã biết vừa để xác định khối mã LDPC tương ứng và vừa để kiểm tra phát hiện sai. Điều này giúp cho việc làm giảm mức độ lưu lượng.

Fig.18A thể hiện từ mã mà các bit ID khối thông thường được bổ sung vào. Ngược lại, trong phương án 3 của sáng chế, các bit ID khối được bổ sung vào chuỗi bit thông tin được chèn vào các vị trí chèn bit kiểm tra phát hiện sai mà được tính từ phần đầu của phần bit thông tin như được thể hiện trên Fig.18B. Kết quả là, chuỗi bit mã hóa trước được thể hiện trên Fig.18C được tạo. Và cuối cùng, từ mã được thể hiện trong Fig.18D được tạo bằng cách mã hóa chuỗi bit mã hóa trước. Lưu ý rằng trong các Fig.18C và 18D, các phần hình chữ nhật có các đường chéo biểu diễn phần bit thông tin, và mỗi phần hình chữ nhật trống được đặt vào giữa hai phần hình chữ nhật có các đường chéo biểu diễn bit ID khối được chèn như bit kiểm tra phát hiện sai.

Cấu trúc

Fig.19 thể hiện cấu trúc chức năng của thiết bị mã hóa 1900 theo phương án 3 của sáng chế. Như được thể hiện trên Fig.19, thiết bị mã hóa 1900 bao gồm bộ lưu trữ thông số mã hóa 101, bộ mã hóa LDPC 104, bộ điều khiển bit kiểm tra phát hiện sai 1901, và bộ sắp xếp lại 1902.

Bộ điều khiển bit kiểm tra phát hiện sai 1901 thông báo đến bộ sắp xếp lại 1902 về các vị trí chèn bit kiểm tra phát hiện sai được thông báo từ bộ lưu trữ thông số mã hóa LDPC 101.

Bộ sắp xếp lại 1902 tạo ra chuỗi bit mã hóa trước bằng cách bố trí lại chuỗi bit thông tin để dịch chuyển các bit thông tin mà cấu thành ID khối đến các vị trí chèn bit kiểm tra phát hiện sai được thông báo từ bộ điều khiển bit kiểm tra phát hiện sai 1901. Sau đó, bộ sắp xếp lại 1902 đưa ra chuỗi bit mã hóa trước đến bộ mã hóa LDPC 104.

Fig.20 thể hiện cấu trúc chức năng của thiết bị giải mã 2000 theo phương án 3. Như được thể hiện trên Fig.20, thiết bị giải mã 2000 bao gồm bộ lưu trữ thông số mã hóa LDPC 201, bộ giải mã LDPC 202, bộ điều khiển bit kiểm tra phát hiện sai 203, bộ loại bỏ bit chẵn lẻ 2001, bộ sắp xếp lại 2002, và bộ phát hiện lỗi 2003.

Bộ loại bỏ bit chẵn lẻ 2001 loại bỏ M bit chẵn lẻ khỏi các bit từ mã được giải mã được lấy ra từ bộ giải mã LDPC 202. Do đó, bộ loại bỏ bit chẵn lẻ 2001 chỉ chuyển chuỗi bit thông tin (nghĩa là các bit từ mã được giải mã loại trừ các bit chẵn lẻ được loại bỏ) đến bộ sắp xếp lại 2002.

Bộ sắp xếp lại 2002 trích các bit được đặt tại các vị trí chèn bit kiểm tra phát hiện sai, và dịch chuyển các bit được tách đến phần trước của chuỗi bit thông tin. Bộ sắp xếp lại 2002 đưa ra chuỗi bit thông tin được giải mã, mà chuỗi này thu được bằng cách dịch chuyển các bit ở các vị trí chèn bit kiểm tra phát hiện sai đến phần trước của chuỗi bit thông tin.

Bộ phát hiện lỗi 2003 thực hiện phát hiện lỗi đối với các bit từ mã được giải mã được chuyển từ bộ giải mã LDPC 202. Bộ phát hiện lỗi 2003 đưa ra kết quả phát hiện lỗi như kết quả từ bộ giải mã 2000.

Fig.21 thể hiện cấu trúc chi tiết của bộ phát hiện lỗi 2003. Như được thể hiện trên Fig.21, bộ phát hiện lỗi 2003 bao gồm bộ phụ kiểm tra chẵn lẻ 211 và bộ phụ kiểm tra phát hiện sai 2101. Bộ phụ kiểm tra chẵn lẻ 211 thực hiện quy trình tương tự như bộ phụ kiểm tra chẵn lẻ 211 được mô tả trong phương án 1. Do đó, trong phần mô tả dưới đây, việc giải thích chi tiết về bộ phụ kiểm tra chẵn lẻ 211 được bỏ qua.

Khi kết quả từ việc kiểm tra chẵn lẻ thể hiện giá trị "0", bộ phụ kiểm tra phát hiện sai 2101 kiểm tra các bit ID khối được chèn vào các vị trí chèn bit kiểm tra phát hiện sai p1. Từ mã được giải mã c_d, kết quả của việc kiểm tra chẵn lẻ, và thông tin điều khiển chỉ báo số lượng, các giá trị và các vị trí chèn của các bit kiểm tra phát hiện sai được đưa vào bộ phụ kiểm tra phát hiện sai 2101. Bộ phụ kiểm tra phát hiện sai 2101 đánh giá xem bất kỳ bit nào trong số các bit ID khối giữ giá trị bị lỗi hay không. Nếu kết quả của việc đánh giá là khẳng định, bộ con phát hiện

kiểm tra phát hiện sai 2101 đánh giá các bit ID khối chứa lỗi. Khi các bit ID khối được chèn vào các vị trí chèn bit kiểm tra phát hiện sai p1 chứa lỗi, từ mã là từ mã khoảng cách tối thiểu tương quan với từ mã không bị lỗi tương ứng, và do đó bộ phụ kiểm tra phát hiện lỗi 2101 đánh giá là có sự phát hiện sai. Mặt khác, nếu không một bit nào trong số các bit ID khối giữ giá trị bị lỗi, bộ phụ kiểm tra phát hiện lỗi 2101 đánh giá là không có sự phát hiện lỗi.

Một ví dụ về trường hợp trong đó các bit ID khối giữ giá trị bị lỗi khi giá trị của bit ID khối không phù hợp với bất kỳ giá trị bội số nào được định trước bởi thiết bị truyền và thiết bị thu. Chẳng hạn, giả sử rằng thiết bị truyền và thiết bị thu xác định các giá trị bội số để được sử dụng như các ID khối trước. Ở đây, nếu thiết bị thu phát hiện rằng ít nhất một trong các giá trị được giữ bởi các bit ID khối thu được bằng cách tách các bit được đặt tại các vị trí chèn bit kiểm tra phát hiện sai không phù hợp với bất kỳ giá trị nào trong số các giá trị bội số định trước, ít nhất một trong các giá trị đã được đề cập được đánh giá là giá trị bị lỗi.

Ví dụ khác về trường hợp trong đó bit ID khối giữ giá trị bị lỗi là khi bit ID khối được phát hiện không tuân theo quy tắc định trước bởi thiết bị truyền và thiết bị thu từ kết quả so sánh giá trị của bit ID khối với các giá trị của các bit ID khối trước và sau. Chẳng hạn, giả sử rằng các khối mã LDPC được bao gồm trong khung PHY được gán các ID khối biểu diễn các trị số kế tiếp theo thứ tự. Ở đây, nếu ID khối mà không tiếp tục với ID khối của khối mã LDPC trước hoặc sau được xác định từ kết quả của việc kiểm tra phát hiện sai, ID khối đó được đánh giá bị lỗi. Cụ thể hơn, giả sử rằng các khối mã LDPC được tạo bởi thiết bị truyền được gán các số liên tiếp (ví dụ 01, 02, 03, 04, và v.v.), và các số liên tiếp này cũng được sử dụng như các ID khối. Ở đây, nếu thiết bị thu phát hiện rằng các ID khối được đặt tại các vị trí chèn bit kiểm tra phát hiện sai thể hiện 01, 02, 13 và 04 tương ứng, khối mã LDPC bao gồm các bit ID khối thể hiện 13 có thể được đánh giá bị lỗi, ngay cả khi từ mã tương ứng là từ mã của mã LDPC.

Bộ phụ kiểm tra phát hiện sai 2101 đưa ra kết quả của việc kiểm tra phát hiện sai dưới dạng mà có thể được diễn giải bằng phần mềm hoặc phần cứng. Chẳng

hạn, bộ phụ kiểm tra phát hiện sai 2101 đưa ra giá trị "0" khi không có sự phát hiện sai nào được xác định, và giá "1" khi sự phát hiện sai được xác định. Kết quả của việc kiểm tra phát hiện sai từ bộ phụ kiểm tra phát hiện sai 2101 cũng là kết quả của việc phát hiện lỗi từ bộ phát hiện lỗi 2003. Mặc khác, khi kiểm tra chẵn lẻ thể hiện giá trị "1", rõ ràng là từ mã được giải mã c_d không phải là từ mã của mã LDPC và do đó bị lỗi. Trong trường hợp này, không cần thực hiện kiểm tra phát hiện sai. Do đó, trong trường hợp này, bộ phụ kiểm tra phát hiện sai 2102 đưa ra giá trị "1" từ kết quả của việc kiểm tra phát hiện sai mà không thực hiện kiểm tra phát hiện sai.

Các thao tác

Dưới đây là phần mô tả thể hiện các thao tác mã hóa được thực hiện bởi thiết bị mã hóa 1900 dựa vào lưu đồ trên Fig.22. Trong phần mô tả dưới đây, chỉ các thao tác mà khác với các thao tác được thể hiện trên Fig.9 thuộc về phương án 1 được trình bày.

Bộ điều khiển bit kiểm tra phát hiện sai 1901 thông báo đến bộ sắp xếp lại 1902 về các vị trí chèn bit kiểm tra phát hiện sai (bước S2201).

Bộ sắp xếp lại 1902 tạo chuỗi bit mã hóa trước bằng cách bố trí lại chuỗi bit thông tin tương ứng với các vị trí chèn bit kiểm tra phát hiện sai được thông báo, để dịch chuyển các bit ID khối, mà ban đầu được đặt ở phần trước của phần thông tin của chuỗi bit thông tin, đến các vị trí chèn bit kiểm tra phát hiện sai. Dó đó, bộ sắp xếp lại 1902 chuyển chuỗi bit mã hóa trước được tạo đến bộ mã hóa LDPC 104 (bước S2202).

Trong phần dưới đây mô tả ví dụ cụ thể về các thao tác mã hóa được thực hiện bởi thiết bị mã hóa 1900.

Cụ thể hơn, trong phần dưới đây mô tả các thao tác được thực hiện bởi thiết bị mã hóa 1900 với việc sử dụng mã LDPC được xác định bởi ma trận kiểm tra chẵn lẻ Hb648 được thể hiện trên Fig.1 và có độ dài mã bằng 648 bit và tỷ lệ mã bằng 1/2 như được xác định trong IEEE 802.11n.

Thiết bị truyền đưa vào, tới thiết bị mã hóa 1900, thông tin chế độ mã hóa cũng như chuỗi bit thông tin chứa các bit ID khối. Ở đây, giả sử rằng 8 bit thứ nhất của chuỗi bit thông tin là các bit ID khối. Trong trường hợp này, B = 8. Thông tin chế độ mã hóa được đưa vào bộ lưu trữ thông số mã hóa LDPC 101. Tương ứng với thông tin chế độ mã hóa được đưa vào, bộ lưu trữ thông số mã hóa LDPC 101 thiết đặt các thông số yêu cầu cho việc mã hóa LDPC trong bộ điều khiển bit kiểm tra phát hiện sai 1901 và bộ mã hóa LDPC 104. Các ví dụ về các thông số được thiết đặt trong bộ điều khiển bit kiểm tra phát hiện sai 1901 bao gồm các vị trí chèn bit kiểm tra phát hiện sai B p1 (ví dụ đó là các bit thứ 82, 84, 86, 88, 90, 92, 94, và 96). Các ví dụ về các thông số được thiết đặt trong bộ mã hóa LDPC 104 bao gồm độ dài mã N (648 bit), độ dài bit thông tin K (324), độ dài bit dư M (324 bit), ma trận kiểm tra chẵn lẻ H (hoặc địa chỉ của bộ nhớ lưu trữ thông tin đề cập đến ma trận kiểm tra chẵn lẻ H), và trong trường hợp trong đó quy trình khác được thực hiện cho mỗi chế độ mã hóa, tín hiệu chỉ báo quy trình nào sẽ được thực hiện.

Chuỗi bit thông tin 324 bit chứa 8 bit ID khối được đưa vào bộ sắp xếp lại 1902.

Bộ sắp xếp lại 1902 bố trí lại chuỗi bit thông tin 324 bit. Để cụ thể hơn, bộ sắp xếp lại 1902 bố trí lại (i) các bit ID khối, mà cấu thành 8 bit thứ nhất của chuỗi bit thông tin, và (ii) các bit được đặt tại các vị trí chèn bit kiểm tra phát hiện sai p1, đó là các bit thứ 82, 84, 86, 88, 90, 92, 94, và 96. Bộ sắp xếp lại 1902 chuyển chuỗi bit thông tin được bố trí lại đến bộ mã hóa LDPC 104. Trong việc thực hiện quy trình bố trí lại, bộ sắp xếp lại 1902 có thể sử dụng bất kỳ quy tắc sắp xếp lại nào miễn là nó có thể được bố trí lại các bit được đặt tại các vị trí chèn bit kiểm tra phát hiện sai p1 và các bit ID khối.

Bộ mã hóa LDPC 104 thực hiện quy trình mã hóa LDPC đối với chuỗi bit thông tin mã hóa trước được đưa vào, tạo chuỗi bit dư 324 bit, kết hợp chuỗi bit dư 324 bit với chuỗi bit thông tin được mã hóa 324 bit, và cuối cùng đưa ra từ kết quả kết hợp là từ mã 648 bit như kết quả từ thiết bị mã hóa 1900.

Dựa vào lưu đồ trên Fig.23, trong phần dưới đây mô tả các thao tác được thực hiện bởi thiết bị mã hóa 2000 khi thu từ mã mà được tạo theo cách nêu trên, được điều biến, và được truyền. Trong phần mô tả dưới đây, chỉ các thao tác mà khác với các thao tác được thể hiện trên Fig.11 theo phương án 1 được trình bày.

Ở bước S2301, bộ phát hiện lỗi 2003 thực hiện phát hiện lỗi theo cách sau đây. Sau khi việc kiểm tra chẵn lẻ được thực hiện bởi bộ phụ kiểm tra chẵn lẻ 211, bộ phụ kiểm tra phát hiện sai 2101 đánh giá xem các bit ID khối được đặt tại các vị trí chèn bit kiểm tra phát hiện sai có cùng giá trị với các giá trị bit được đánh giá trước bằng cách so sánh các bit ID khối với các giá trị bit được đánh giá trước. Bộ phụ kiểm tra phát hiện sai 2101 đưa ra kết quả của việc phát hiện lỗi. Chẳng hạn trong trường hợp trong đó thiết bị truyền và thiết bị thu đưa ra một quy tắc để sử dụng một số trong số các giá trị định trước như các bit ID khối, bộ phụ kiểm tra phát hiện sai 2101 phát hiện xem các bit ID khối giữ một số các giá trị đã đề cập trong số các giá trị định trước. Một cách tuần tự, trong trường hợp trong đó thứ tự của các khối mã liên tiếp được kiểm tra, bộ phụ kiểm tra phát hiện sai 2101 phát hiện xem mỗi bit ID khối có kế tiếp với bit ID khối của khối mã LDPC trước hoặc khối mã LDPC kế tiếp hay không. Trong trường hợp thứ hai, bộ phụ kiểm tra phát hiện sai 2101 phát hiện xem mỗi ID khối có khớp với ID khối được dự báo trước hay không từ ID khối của khối mã LPDC trước hoặc kế tiếp bằng cách so sánh cả hai (bước S2301).

Bộ loại bỏ bit chẵn lẻ 2301 loại bỏ M bit chẵn lẻ khỏi từ mã được giải mã, và chỉ truyền chuỗi bit thông tin đến bộ sắp xếp lại 2002 (bước S2302).

Sau đó, bộ sắp xếp lại 2002 bố trí lại chuỗi bit thông tin bằng cách dịch chuyển các bit được đặt vào các vị trí chèn bit kiểm tra phát hiện sai đến phần trước của chuỗi bit thông tin. Bộ sắp xếp lại 2002 tạo chuỗi bit thông tin được giải mã theo quy trình này, và đưa ra chuỗi bit thông tin được giải mã (bước S2303).

Trong phần dưới đây mô tả ví dụ cụ thể về các thao tác giải mã được thực hiện bởi thiết bị giải mã 2000.

Cụ thể hơn, phần dưới đây mô tả các thao tác được thực hiện bởi thiết bị giải mã 2000 với việc sử dụng mã LDPC được xác định bởi ma trận kiểm tra chẵn lẻ Hb648 được thể hiện trên Fig.1 và có độ dài mã là 648 bit và tỷ lệ mã là 1/2 như được xác định trong IEEE 802.11n.

Trước khi từ mã thu được được đưa vào, thông tin chế độ mã hóa được đưa vào thiết bị giải mã 2000. Đối với thông tin chế độ mã hóa, bộ lưu trữ thông số mã hóa LDPC 201 chuyển các thông số mã hóa LDPC mà các thông số này được lưu trữ tương ứng với thông tin chế độ mã hóa thu được đến bộ giải mã LDPC 202 và bộ điều khiển bit kiểm tra phát hiện sai 203. Các ví dụ về các thông số được thiết đặt trong bộ điều khiển bit kiểm tra phát hiện sai 203 bao gồm số lượng các bit kiểm tra phát hiện sai, là 14, và các vị trí chèn bit kiểm tra phát hiện sai p (đó là các bit thứ 82, 84, 86, 88, 90, 92, 94, 96, 98, 100, 102, 104, 106, và 108). Các ví dụ về các thông số được thiết đặt trong bộ giải mã LDPC 202 bao gồm độ dài mã N (648 bit), độ dài bit thông tin K (324), độ dài bit dư M (324 bit), ma trận kiểm tra chẵn lẻ H (hoặc địa chỉ của bộ nhớ lưu trữ thông tin đề cập đến ma trận kiểm tra chẵn lẻ), và trong trường hợp trong đó quy trình khác được thực hiện cho mỗi chế độ mã hóa, tín hiệu chỉ báo quy trình nào sẽ được thực hiện, và trong trường hợp trong đó quy trình khác được thực hiện cho mỗi chế độ mã hóa, tín hiệu chỉ báo quy trình nào sẽ được thực hiện.

Sau khi các thông số được sử dụng được thiết đặt, bộ giải mã 2000 bắt đầu quy trình giải mã LDPC đối với từ mã thu được. Từ mã 648 bit thu được được đưa vào bộ giải mã LDPC 202. Vào thời điểm này, trong từ mã thu được, mỗi bit mang thông tin một bit (giải mã quyết định cứng), hoặc mỗi bit có thể mang thông tin nhiều bit (giải mã quyết định mềm). Trong trường hợp của giải mã quyết định mềm, các tỷ lệ hợp lý logarit của các bit từ mã được số hóa có thể được sử dụng như từ mã thu được.

Bộ giải mã LDPC 202 thực hiện quy trình giải mã LDPC đối với từ mã thu được, và truyền từ mã kết hợp đến bộ loại bỏ bit chẵn lẻ 2001 và bộ phát hiện lỗi 2003.

Bộ loại bỏ bit chẵn lẻ 2001 loại bỏ M bit chẵn lẻ khỏi từ mã được truyền từ bộ giải mã 202, và chỉ đưa ra chuỗi bit thông tin K bit đến bộ sắp xếp lại 2002.

Bộ phụ kiểm tra chẵn lẻ 211 được bao gồm trong bộ phát hiện lỗi 2003 kiểm tra xem từ mã được giải mã c_d mà được đưa vào và ma trận kiểm tra chẵn lẻ h của từ mã LDPC mà được cung cấp như thông tin điều khiển thỏa mãn phương trình kiểm tra chẵn lẻ $Hc_d = 0$. Bộ phụ kiểm tra chẵn lẻ 211 đưa ra kết quả của việc kiểm tra chẵn lẻ dưới dạng mà có thể được thể hiện bằng phần mềm hoặc phần cứng.

Khi kết quả của phương trình kiểm tra chẵn lẻ thể hiện giá trị "0", bộ phụ kiểm tra phát hiện sai kiểm tra xem các bit ID khối được chèn vào các vị trí chèn bit kiểm tra phát hiện sai p hay chưa. Bộ phụ kiểm tra phát hiện sai 2101 đánh giá xem bất kỳ bit nào trong số các bit ID khối giữ giá trị lỗi hay không. Nếu kết quả đánh giá là khẳng định, bộ phụ kiểm tra phát hiện sai 2101 đánh giá các bit ID khối chứa lỗi. Khi các bit ID khối được chèn vào các vị trí chèn bit kiểm tra phát hiện sai p1 chứa lỗi, từ mã là từ mã khoảng cách tối thiểu tương quan với từ mã không bị lỗi tương ứng, và do đó bộ phụ kiểm tra phát hiện sai 2101 đánh giá là có sự phát hiện sai. Chẳng hạn, giả sử rằng các khối mã LDPC được bao gồm trong khung PHY được gán các ID khối biểu diễn các số liên tiếp theo thứ tự. Ở đây, nếu ID khối mà không kế tiếp với ID khối của khối mã trước hoặc khối mã LDPC kế tiếp được phát hiện từ kết quả của việc kiểm tra phát hiện sai, ID khối này được đánh giá là bị lỗi.

Bộ phụ kiểm tra phát hiện sai 2101 đưa ra kết quả từ việc phát hiện sai dưới dạng mà có thể được diễn giải bằng phần mềm hoặc phần cứng. Chẳng hạn, bộ phụ kiểm tra phát hiện sai 212 đưa ra giá trị "0" khi không có sự phát hiện lỗi nào được xác định, và giá trị "1" khi sự phát hiện sai được xác định. Kết quả của việc kiểm tra phát hiện sai được lấy ra từ bộ phụ kiểm tra phát hiện sai 2101 cũng là kết quả của việc phát hiện sai được lấy ra từ bộ phát hiện lỗi 2003. Mặt khác, khi kết quả của phương trình kiểm tra chẵn lẻ thể hiện giá trị "1", điều rõ ràng là từ mã được giải mã c_d không phải là từ mã của mã LDPC và do đó bị lỗi. Trong trường hợp này, không cần thực hiện kiểm tra phát hiện sai. Do đó, trong trường hợp này, bộ

phụ kiểm tra phát hiện sai 2101 đưa ra giá trị "1" như kết quả của việc kiểm tra phát hiện sai mà không thực hiện việc kiểm tra phát hiện sai.

Như được nêu trên, trong phương án 3 của sáng chế, các bit khối ID mà lúc đầu được xác định cần để được bổ sung được sử dụng như các bit kiểm tra phát hiện sai. Điều này cho phép làm triệt hiện tượng giảm lưu lượng được gây ra bằng việc chèn các bit kiểm tra phát hiện sai. Hơn nữa, trong phương án 3 của sáng chế, việc kiểm tra phát hiện sai được thực hiện bằng cách so sánh thứ tự dựa vào các giá trị số thu được nhờ việc giải mã các khối ID có thứ tự mà trong đó các khối ID thực sự được nhận. Nghĩa là, một lợi thế của phương án 3 của sáng chế là không phải thiết bị truyền và cũng không phải thiết bị thu cần xác định loại bit nào sẽ được sử dụng như các bit kiểm tra phát hiện sai (nghĩa là các bit đã biết).

Đối với cấu trúc nêu trên, thiết bị giải mã 2000 có thể giải mã từ mã thu được và thực hiện phát hiện lỗi dựa vào kết quả giải mã. Thiết bị giải mã 2000 thuộc về phương án 3 của sáng chế được kết cấu không chỉ để thực hiện việc kiểm tra chẵn lẻ với việc sử dụng ma trận kiểm tra chẵn lẻ H của mà LDPC, mà còn kiểm tra xem từ mã thu được sau khi giải mã LDPC có phải là từ mã khoảng cách tối thiểu hay không tương quan với từ mã không bị lỗi tương ứng. Do đó, thiết bị giải mã 2000 theo phương án 3 sáng chế có thể nâng cao độ chính xác trong việc phát hiện lỗi đạt được mức độ cao khi so sánh với việc phát hiện lỗi thông thường mà chỉ sử dụng việc kiểm tra chẵn lẻ.

Đối với phương án 2 nêu trên, khi số lượng các bit ID khối nhỏ hơn số lượng yêu cầu như các bit kiểm tra phát hiện sai, các bit kiểm tra phát hiện sai bổ sung có thể được tạo và được chèn như được mô tả trong phương án 1 nêu trên.

Các lưu ý bổ sung

Các phương án nêu trên đã mô tả các phương pháp để thực hiện sáng chế. Tuy nhiên, rõ ràng là sáng chế không bị giới hạn ở các phương án này. Phần sau đây mô tả các ví dụ sửa đổi khác nhau mà nó không chệch khỏi tinh thần của sáng chế cùng với các phương án nêu trên.

(1) Các ví dụ được mô tả trong các phương án nêu trên phù hợp với tiêu chuẩn IEEE 802.11n. Tuy nhiên, việc truyền tin phù hợp với tiêu chuẩn khác với tiêu chuẩn IEEE 802.11n có thể được thực hiện miễn là mục đích sau đạt được: phát hiện sai (nghĩa là, việc đánh giá từ mã bị lỗi là từ mã không bị lỗi) được ngăn ngừa, trong quá trình mã hóa QC-LDPC, bằng cách chèn các bit để ngăn ngừa việc phát hiện sai (nghĩa là, các bit kiểm tra phát hiện sai) vào các vị trí xác định trong chuỗi bit thông tin để được truyền, các vị trí nhất định khác giữa (i) từ mã gốc thu được bằng cách mã hóa chuỗi bit thông tin và (ii) từ mã mà được đánh giá là từ mã bị lỗi bằng việc kiểm tra chẵn lẻ nhưng khác với từ mã gốc với khoảng cách Hamming gần kề. Trong trường hợp này, ma trận kiểm tra chẵn lẻ được sử dụng và các vị trí chèn bit kiểm tra phát hiện sai, mà cả hai là khác nhau tùy thuộc vào độ dài từ mã và tỷ lệ mã theo tiêu chuẩn được thừa nhận, cần được tính toán trước.

(2) Trong các phương án nêu trên, bảng xác định vị trí chèn được lưu trữ trước trong thiết bị thu. Tuy nhiên, theo cách khác, bảng xác định vị trí chèn có thể được truyền từ thiết bị truyền đến thiết bị thu dựa vào phương pháp truyền tin thông thường. Lưu ý rằng trong trường hợp này, bảng xác định vị trí chèn được truyền trước khi chuyển dữ liệu được mô tả trong phương án nêu trên – nghĩa là, truyền dữ liệu mà dữ liệu đã được mã hóa với các bit kiểm tra phát hiện sai được chèn vào đó.

(3) Như được thể hiện trên Fig.4, thiết bị truyền thông thuộc về các phương án nêu trên được minh họa như thể thiết bị chỉ có một anten cho thuận tiện. Tuy nhiên, thiết bị truyền thông của sáng chế không bị giới hạn đối với cấu trúc như vậy; thiết bị có thể có nhiều anten.

(4) Trong các phương án từ 1 đến 3 nêu trên, bộ phụ kiểm tra phát hiện sai được mô tả là không thực hiện việc kiểm tra phát hiện sai khi từ mã được xác định cho việc giải mã LDPC không thỏa mãn phương trình kiểm tra chẵn lẻ. Điều này đơn giản bởi vì không cần thực hiện kiểm tra phát hiện sai. Theo cách khác, có thể cho phép thực hiện kiểm tra phát hiện sai bất kể kết quả của việc kiểm tra chẵn lẻ. Trong trường hợp này, việc tách rời lôgic được thực hiện dựa vào kết quả của việc

kiểm tra chẵn lẻ và kết quả của việc kiểm tra phát hiện sai, và giá trị thu được từ việc tách rời lôgic được rút ra từ kết quả của việc phát hiện sai. Fig.24 thể hiện cấu trúc mẫu của các bộ phát hiện lỗi 204 và 2003 mà các bộ này có thể thực hiện việc tách rời lôgic nêu trên.

Bộ phụ kiểm tra chẵn lẻ 241 và bộ phụ kiểm tra phát hiện sai 242 được thể hiện trên Fig.24 về bản chất là tương tự với bộ phụ kiểm tra chẵn lẻ 211 và bộ phụ kiểm tra phát hiện sai 212 được thể hiện trên Fig.7, tương ứng. Bộ phụ kiểm tra chẵn lẻ 241 đánh giá xem liệu chuỗi bit được giải mã mà đã được đưa vào có thỏa mãn phương trình kiểm tra chẵn lẻ hay không. Bộ phụ kiểm tra phát hiện sai 242 đánh giá xem các giá trị được giữ bởi các bit được đặt vào các vị trí chèn bit kiểm tra phát hiện sai khác với các giá trị được định trước như các bit phát hiện sai. Các kết quả đánh giá được lấy ra từ bộ phụ kiểm tra chẵn lẻ 241 và bộ phụ kiểm tra phát hiện sai 242 là tương tự nhau như trong Phương án 1 nêu trên.

Khi nhận các giá trị từ kết quả đánh giá được lấy từ bộ phụ kiểm tra chẵn lẻ 241 và bộ phụ kiểm tra phát hiện sai 242, bộ con phân tách lôgic 243 thực hiện việc phân tách lôgic đối với các giá trị này, và đưa ra giá trị thu được từ việc phân tách lôgic là kết quả của việc phát hiện lỗi.

Đoạn này kết thúc phần mô tả về cấu trúc mẫu của bộ phát hiện sai 204.

(5) Trong các phương án nêu trên, từ mã có khoảng cách tối thiểu Hamming tương quan với từ mã được truyền được xác định trước, và các giá trị bit định trước có khoảng cách Hamming tối thiểu và từ mã được truyền. Theo cách khác, các giá trị bit định trước như vậy để ngăn ngừa phát hiện sai có thể được chèn vào các vị trí mà khác với giữa từ mã có khoảng cách Hamming gần kề nhất thứ hai hoặc thứ ba tương quan với từ mã được truyền, bên cạnh các vị trí mà khác biệt giữa từ mã có khoảng cách tối thiểu và từ mã được truyền. Điều này còn giúp tăng cường tỷ lệ mà tại đó việc phát hiện sai được ngăn ngừa.

Trong trường hợp trong đó thí nghiệm hoặc tương tự dẫn đến việc phát hiện rằng từ mã được truyền dễ dàng thay đổi thành từ mã khác mà từ mã này khác với từ mã có khoảng cách Hamming tối thiểu tương quan với từ mã được truyền, các

bit kiểm tra phát hiện sai có thể được chèn vào các vị trí mà có các giá trị bit khác nhau giữa từ mã được truyền và từ mã được đề cập mà dễ dàng thay đổi thành từ mã khác, thay vì các vị trí mà có các giá trị bit khác nhau giữa từ mã được truyền và từ mã khoảng cách tối thiểu.

(6) Đối với mỗi lưu đồ được giải thích trong các phương án nêu trên (ví dụ, dựa vào Fig.9, Fig.11, Fig.16, Fig.17, Fig.22 và Fig.23 chẳng hạn), thiết bị mã hóa và thiết bị giải mã không nhất thiết phải hoạt động theo thứ tự được minh họa, miễn là các bộ chức năng của thiết bị mã hóa và thiết bị giải mã nhận thông tin cần thiết vào thời điểm khi chúng thực hiện quy trình riêng. Do đó, các bước S1104, S1105 và S1106 trên Fig.11 có thể được thực hiện song song. Theo cách khác, các bước S1105 và S1106 có thể được thực hiện trước bước S1104. Tương tự, các bước S1601 và S1602 trên Fig.16 có thể được thực hiện song song. Theo cách khác, bước S1602 có thể được thực hiện trước bước S1601.

(7) Mỗi một trong số các bộ chức năng được bao gồm trong thiết bị mã hóa và thiết bị giải mã được minh họa trong Fig.5, Fig.6, Fig.7, Fig.14, Fig.15, Fig.19, Fig.20 và Fig.21 có thể được kết hợp và được thực hiện như một hoặc nhiều LSI (các tích hợp cỡ lớn). Theo cách khác, hai hoặc nhiều hơn trong số các bộ chức năng có thể được thực hiện có chọn lọc như LSI đơn.

Ở đây, LSI có thể là mạch IC (mạch tích hợp), hệ thống LSI, VLSI (tích hợp cỡ rất lớn), SLSI (tích hợp cỡ rất lớn), hoặc ULSI (tích hợp cỡ siêu lớn), tùy thuộc vào mức độ tích hợp.

Hơn nữa, việc tích hợp các mạch không bị giới hạn cho việc thực hiện với LSI, nhưng có thể được thực hiện với mạch chuyên dụng hoặc bộ xử lý đa dụng. Theo cách khác, sự tích hợp có thể được thực hiện với việc sử dụng FPGA (Field programmable gate array - mảng cổng có thể lập trình bằng trường) mà có thể lập trình sau khi sản xuất LSI, hoặc bộ xử lý có thể kết cấu lại mà giúp cho việc kết cấu lại sự kết nối và các thiết đặt của các ô mạch trong LSI.

Hơn nữa, nếu công nghệ dùng cho mạch tích hợp mà thay thế các LSI ra đời do sự tiến bộ trong hoặc bắt nguồn từ công nghệ bán dẫn, công nghệ này có thể được

sử dụng để tích hợp các khối chức năng. Công nghệ sinh học là một trường hợp có thể áp dụng.

(8) Các thao tác và quy trình được mô tả trong các phương án nêu trên, như các thao tác mã hóa/giải mã và quy trình chèn các bit phát hiện sai (ví dụ xem Fig.9, Fig.11, Fig.16, Fig.17 và Fig.23), có thể được thực hiện bằng bộ xử lý được bao gồm thiết bị truyền, thiết bị thu, và tương tự, hoặc bằng các mạch khác nhau được nối với các bộ xử lý như vậy. Chương trình điều khiển bao gồm các mã chương trình để khiến các bộ xử lý và các mạch khác nhau thực hiện các thao tác và quy trình như vậy có thể được ghi lên phương tiện ghi, hoặc được phân bố/ khuếch tán qua các loại kênh thông tin khác nhau. Các ví dụ về phương tiện ghi như vậy bao gồm thẻ IC, đĩa cứng, đĩa quang, đĩa mềm và ROM. Khi chương trình điều khiển được phân bố/ khuếch tán có thể được đề xuất để sử dụng. Ở đây, các chức năng khác nhau được mô tả trong các phương án nêu trên có thể được thực hiện bởi các bộ xử lý thực hiện chương trình điều khiển.

Khả năng ứng dụng trong công nghiệp

Thiết bị mã hóa và thiết bị giải mã của sáng chế có thể làm giảm tỷ lệ phát hiện sai nhờ đó các từ mã bị lỗi được chẩn đoán là từ mã không bị lỗi trong khi kiểm tra chẵn lẻ QC-LDPC, mà không làm giảm lưu lượng truyền dữ liệu khi so sánh với trường hợp trong đó mã CRC hoặc tương tự được sử dụng. Do đó, việc sử dụng hiệu quả thiết bị mã hóa và thiết bị giải mã như vậy có thể được kỳ vọng trong các hệ thống truyền thông.

Danh mục các số chỉ dẫn

100, 1400, 1900	Thiết bị mã hóa
101	Bộ lưu trữ thông số mã hóa LDPC
102, 1401, 1901	Bộ điều khiển bit kiểm tra phát hiện sai
103	Bộ chèn bit kiểm tra phát hiện sai
104	Bộ mã hóa LDPC
200, 1500, 2000	Thiết bị giải mã

201	Bộ lưu trữ thông số mã hóa LDPC
202	Bộ giải mã LDPC
203	Bộ điều khiển bit kiểm tra phát hiện sai
204, 2003	Bộ phát hiện lỗi
205	Bộ loại bỏ bit kiểm tra phát hiện sai
211	Bộ phụ kiểm tra chẵn lẻ
212, 2101	Bộ phụ kiểm tra phát hiện sai
1402	Bộ chèn bit rút gọn
1403	Bộ sắp xếp lại
1404	Bộ loại bỏ bit rút gọn
1501	Bộ chèn bit rút gọn
1502	Bộ sắp xếp lại
1503	Bộ sắp xếp lại
1504	Bộ loại bỏ bit rút gọn
2001	Bộ loại bỏ bit chẵn lẻ
2002	Bộ sắp xếp lại

YÊU CẦU BẢO HỘ

1. Thiết bị mã hóa để mã hóa chuỗi bit thông tin và đưa ra chuỗi bit thông tin được mã hóa, bao gồm:

bộ xác định có thể thao tác được để, phù hợp với phương pháp mã hóa được áp dụng mà sử dụng các mã tựa tuần hoàn, xác định ít nhất một vị trí bit trong chuỗi bit thông tin là vị trí chèn vào mà trong đó giá trị bit kiểm tra phát hiện sai để ngăn không để thiết bị thu phát hiện sai từ mã sai là từ mã không bị lỗi được chèn vào, trong đó vị trí bit trong từ mã thứ nhất tương ứng với vị trí chèn vào giữ giá trị bit khác nhau từ vị trí bit trong ít nhất một từ mã thứ hai mà nó tương ứng với vị trí chèn vào, từ mã thứ nhất thu được bằng cách mã hóa chuỗi bit thông tin phù hợp với phương pháp mã hóa, từ mã thứ hai được đánh giá là từ mã không bị lỗi bằng việc kiểm tra chẵn lẻ của phương pháp mã hóa, và từ mã thứ hai khác với từ mã thứ nhất ở khoảng cách Hamming tối thiểu;

bộ chèn có thể thao tác được để tạo ra chuỗi bit mã hóa trước bằng cách chèn giá trị bit kiểm tra phát hiện sai vào vị trí chèn của chuỗi bit thông tin; và

bộ mã hóa có thể thao tác được để tạo từ mã thứ ba bằng cách mã hóa chuỗi bit mã hóa trước tương ứng với phương pháp mã hóa.

2. Thiết bị mã hóa theo điểm 1, trong đó còn bao gồm;

bộ gắn bit đã biết có thể thao tác được để gắn ít nhất một bit đã biết, mà được xác định trước như bit rút gọn của mã rút gọn, vào chuỗi bit thông tin khi độ dài thông tin của chuỗi bit thông tin ngắn hơn độ dài thông tin của phần bit thông tin của từ mã được xác định dựa vào độ dài từ mã và tỷ lệ mã theo phương pháp mã hóa, trong đó

bộ chèn bố trí lại chuỗi bit thông tin mà bit đã biết được gắn vào, sao cho bit đã biết được chèn vào vị trí chèn như giá trị bit kiểm tra phát hiện sai.

3. Thiết bị mã hóa theo điểm 2, trong đó còn bao gồm;

bộ loại bỏ có thể thao tác được để loại bỏ một hoặc nhiều trong số ít nhất một bit đã biết được gắn bởi bộ gắn bit đã biết từ từ mã thứ ba.

4. Thiết bị mã hóa theo điểm 1, trong đó:

từ mã thứ ba được tạo ra bởi bộ mã hóa bao gồm ID khối để xác định từ mã thứ ba trong số các từ mã thứ ba khác, và

bộ chèn chèn giá trị bit của bit biểu diễn ID khối vào vị trí chèn giá trị bit được định trước.

5. Thiết bị giải mã bao gồm:

bộ giải mã có thể thao tác được để tạo chuỗi bit được giải mã bằng cách thực hiện quy trình giải mã đối với chuỗi bit giải mã trước được đưa vào, quy trình giải mã phù hợp với phương pháp đã được áp dụng sử dụng mã tựa tuần hoàn;

bộ kiểm tra có thể thao tác được kiểm tra xem chuỗi bit được giải mã được đánh giá là từ mã không bị lỗi hay không bằng việc kiểm tra chẵn lẻ của phương pháp mã hóa;

bộ đánh giá có thể thao tác được để đánh giá xem có phải ít nhất mỗi vị trí chèn trong chuỗi bit được giải mã giữ ít nhất một giá trị bit kiểm tra phát hiện sai để ngăn không để thiết bị giải mã phát hiện sai từ mã sai là từ mã không bị lỗi hay không, trong đó theo phương pháp mã hóa, vị trí bit trong từ mã thứ nhất mà tương ứng với vị trí chèn được xác định trước để giữ giá trị bit khác với vị trí bit trong từ mã thứ hai mà tương ứng với vị trí chèn, từ mã thứ nhất được tạo bởi thiết bị truyền theo phương pháp mã hóa, và từ mã thứ hai được đánh giá là từ mã không bị lỗi bằng việc kiểm tra chẵn lẻ, và từ mã thứ hai khác với từ mã thứ nhất ở khoảng cách Hamming tối thiểu; và

bộ phát hiện lỗi có thể hoạt động, trong trường hợp trong đó bộ đánh giá đánh giá âm, để đánh giá là chuỗi bit được giải mã là bị lỗi ngay khi kết quả của việc kiểm tra bằng bộ kiểm tra thể hiện là chuỗi bit được giải mã được đánh giá là từ mã không bị lỗi nhờ việc kiểm tra chẵn lẻ.

6. Thiết bị giải mã theo điểm 5, trong đó còn bao gồm:

bộ chèn có thể thao tác được, khi từ mã rút gọn mã hóa trước mà từ đó một hoặc nhiều của ít nhất một giá trị bit kiểm tra phát hiện sai được loại bỏ bởi thiết bị

truyền được đưa vào, để tạo chuỗi bit giải mã trước bằng cách chèn ít nhất một bit đã biết giữ giá trị đã biết vào từ mã rút gọn mã hóa trước được đưa vào.

7. Thiết bị giải mã theo điểm 5, trong đó:

bộ đánh giá đánh giá xem vị trí chèn trong chuỗi bit được giải mã giữ giá trị mà có thể được đánh giá trước từ giá trị bit kiểm tra phát hiện sai của chuỗi bit được giải mã khác hay không, thay vì đánh giá xem vị trí chèn trong chuỗi bit được giải mã giữ ít nhất một giá trị bit kiểm tra phát hiện sai.

8. Phương pháp mã hóa được thực hiện bởi thiết bị mã hóa để mã hóa chuỗi bit thông tin, bao gồm các bước:

(A) xác định ít nhất một vị trí bit trong chuỗi bit thông tin làm vị trí chèn mà giá trị bit kiểm tra phát hiện sai để ngăn không để thiết bị thu phát hiện sai từ mã sai là từ mã không bị lỗi được chèn vào phù hợp với phương pháp mã hóa đã được áp dụng sử dụng từ mã tựa tuần hoàn, trong đó vị trí bit trong từ mã thứ nhất mà tương ứng với vị trí chèn vào giữ một giá trị bit khác nhau từ vị trí bit bên trong ít nhất từ mã thứ hai mà tương ứng với vị trí chèn vào, từ mã thứ nhất thu được bằng cách mã hóa chuỗi bit thông tin phù hợp với phương pháp mã hóa, từ mã thứ hai được đánh giá là từ mã không bị lỗi bằng việc kiểm tra chẵn lẻ của phương pháp mã hóa, từ mã thứ hai khác với từ mã thứ nhất ở khoảng cách Hamming tối thiểu;

(B) tạo ra chuỗi bit mã hóa trước bằng cách chèn giá trị bit kiểm tra phát hiện sai vào vị trí chèn của chuỗi bit thông tin; và

(C) tạo từ mã thứ ba bằng cách mã hóa chuỗi bit mã hóa trước tương ứng với phương pháp mã hóa.

9. Phương pháp giải mã được thực hiện bởi thiết bị giải mã bao gồm các bước:

(A) tạo từ mã bằng cách giải mã tín hiệu thu được tương ứng với phương pháp mã hóa được áp dụng sử dụng từ mã tựa tuần hoàn;

(B) kiểm tra xem từ mã được tạo ở bước (A) có phải là từ mã không bị lỗi hay không bằng cách kiểm tra chẵn lẻ theo phương pháp mã hóa;

(C) đánh giá xem ít nhất một vị trí chèn vào từ mã được tạo giữ ít nhất một giá trị bit kiểm tra phát hiện sai để ngăn không để thiết bị giải mã phát hiện sai từ mã sai là từ mã bị lỗi hay không, trong đó theo phương pháp mã hóa, vị trí bit bên trong từ mã thứ nhất mà tương ứng với vị trí chèn vào được xác định trước để giữ một giá trị bit khác với vị trí bit trong từ mã thứ hai mà tương ứng với vị trí chèn vào, từ mã thứ nhất được tạo bởi thiết bị truyền theo phương pháp mã hóa, và từ mã thứ hai được đánh giá là từ mã không bị lỗi bằng việc kiểm tra chẵn lẻ nhưng khác với từ mã thứ nhất ở khoảng cách Hamming tối thiểu; và

(D) trong trường hợp trong đó việc đánh giá ở bước (C) là âm, đánh giá rằng từ mã được tạo ra bị lỗi ngay khi kết quả của việc kiểm tra ở bước (B) thể hiện rằng từ mã được tạo được đánh giá là từ mã không bị lỗi bằng cách kiểm tra chẵn lẻ.

10. Hệ thống truyền thông bao gồm thiết bị truyền và thiết bị thu,

thiết bị truyền, mà nó mã hóa chuỗi bit thông tin và truyền chuỗi bit thông tin được mã hóa, bao gồm:

bộ xác định có thể thao tác được để, phù hợp với phương pháp mã hóa đã được áp dụng mà phương pháp này ứng dụng mã tựa tuần hoàn, xác định ít nhất một vị trí bit trong chuỗi bit thông tin là vị trí chèn mà trong đó giá trị bit kiểm tra phát hiện sai để ngăn không để thiết bị thu phát hiện sai từ mã sai là từ mã không bị lỗi được chèn vào, trong đó vị trí bit trong từ mã thứ nhất mà tương ứng với vị trí chèn vào giữ một giá trị bit khác nhau từ vị trí bit bên trong ít nhất từ mã thứ hai mà tương ứng với vị trí chèn vào, từ mã thứ nhất thu được bằng cách mã hóa chuỗi bit thông tin phù hợp với phương pháp mã hóa, từ mã thứ hai được đánh giá là từ mã không bị lỗi bằng việc kiểm tra chẵn lẻ của phương pháp mã hóa, từ mã thứ hai khác với từ mã thứ nhất ở khoảng cách Hamming tối thiểu;

bộ chèn có thể thao tác được để tạo ra chuỗi bit mã hoá trước bằng cách chèn giá trị bit kiểm tra phát hiện sai vào vị trí chèn của chuỗi bit thông tin;

bộ mã hóa có thể thao tác được để tạo từ mã thứ ba bằng cách mã hóa chuỗi bit mã hóa trước theo phương pháp mã hóa; và

bộ truyền có thể thao tác được để truyền tín hiệu vô tuyến chứa từ mã thứ ba,

thiết bị thu bao gồm:

bộ thu có thể thao tác được để thu tín hiệu vô tuyến;

bộ giải mã có thể thao tác được để tạo từ mã bằng cách giải mã tín hiệu thu theo phương pháp mã hóa;

bộ kiểm tra có thể thao tác được để kiểm tra xem từ mã được tạo bởi bộ giải mã được đánh giá là từ mã không bị lỗi bằng việc kiểm tra chẵn lẻ của phương pháp mã hóa;

bộ đánh giá có thể thao tác được để đánh giá xem có phải ít nhất mỗi vị trí chèn trong từ mã được tạo ra giữ ít nhất một giá trị bit kiểm tra phát hiện sai hay không, trong đó theo phương pháp mã hóa, vị trí bit trong từ mã thứ nhất mà tương ứng với vị trí chèn được xác định trước để giữ giá trị bit khác với vị trí bit trong từ mã thứ hai mà tương ứng với vị trí chèn, từ mã thứ nhất được tạo bởi thiết bị truyền theo phương pháp mã hóa, và từ mã thứ hai được đánh giá là từ mã không bị lỗi bằng việc kiểm tra chẵn lẻ nhưng khác với từ mã thứ nhất ở khoảng cách Hamming tối thiểu; và

bộ phát hiện lỗi có thể hoạt động, trong trường hợp trong đó bộ đánh giá đánh giá kết quả âm, để đánh giá rằng từ mã được tạo là bị lỗi ngay khi kết quả của việc kiểm tra bởi bộ kiểm tra thể hiện rằng từ mã được tạo được đánh giá từ mã không bị lỗi bằng việc kiểm tra chẵn lẻ.

FIG. 1

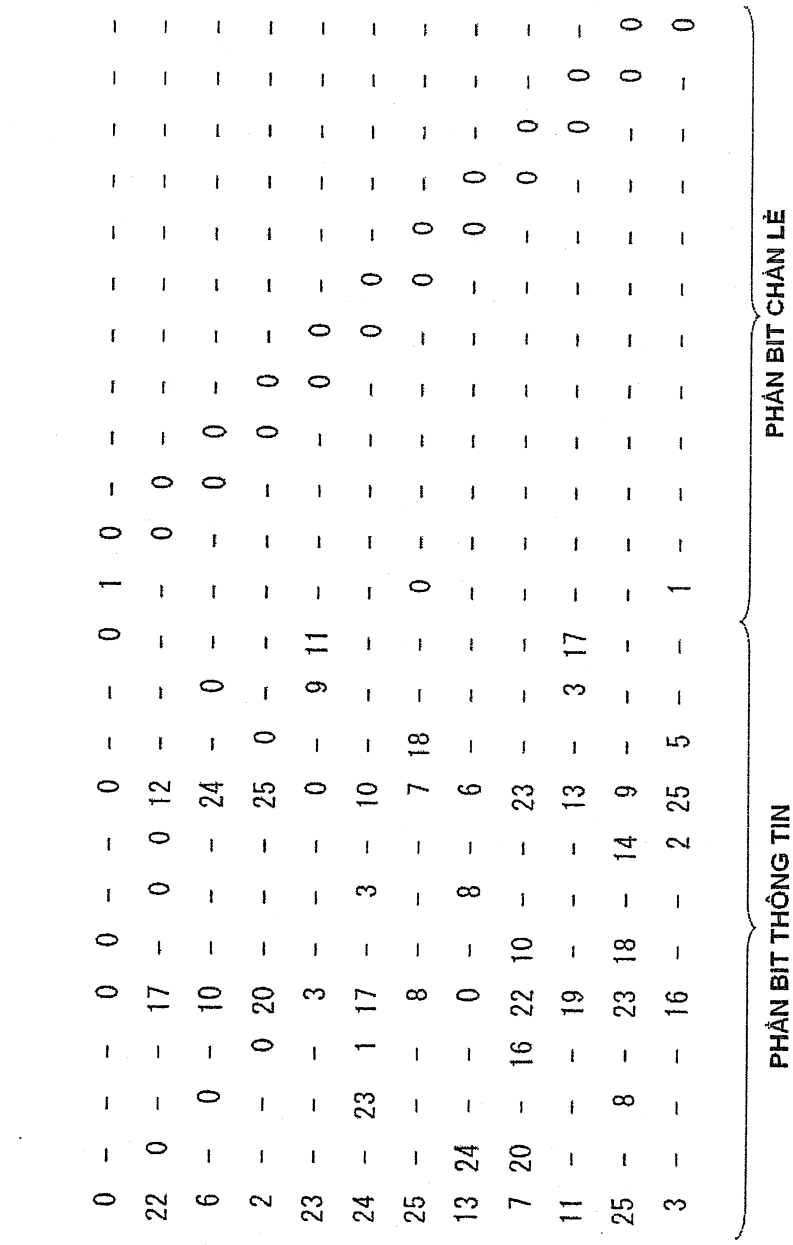


FIG. 2

TỪ MÃ SỐ 01 :	0000	· · ·	110000000000000000000000000	· · ·	000000000000000001000000000	· · ·	010000000000000000000000000
TỪ MÃ SỐ 02 :	0000	· · ·	011000000000000000000000000	· · ·	000000000000000000100000000	· · ·	001000000000000000000000000
TỪ MÃ SỐ 03 :	0000	· · ·	001100000000000000000000000	· · ·	000000000000000000010000000	· · ·	000100000000000000000000000
TỪ MÃ SỐ 04 :	0000	· · ·	000110000000000000000000000	· · ·	000000000000000000001000000	· · ·	000010000000000000000000000
TỪ MÃ SỐ 05 :	0000	· · ·	000011000000000000000000000	· · ·	000000000000000000000100000	· · ·	000001000000000000000000000
TỪ MÃ SỐ 06 :	0000	· · ·	000001100000000000000000000	· · ·	000000000000000000000010000	· · ·	000000100000000000000000000
TỪ MÃ SỐ 07 :	0000	· · ·	000000110000000000000000000	· · ·	000000000000000000000001000	· · ·	000000010000000000000000000
TỪ MÃ SỐ 08 :	0000	· · ·	000000011000000000000000000	· · ·	000000000000000000000000100	· · ·	000000001000000000000000000
TỪ MÃ SỐ 09 :	0000	· · ·	000000001100000000000000000	· · ·	000000000000000000000000010	· · ·	000000000100000000000000000
TỪ MÃ SỐ 10 :	0000	· · ·	000000000110000000000000000	· · ·	000000000000000000000000001	· · ·	000000000010000000000000000
TỪ MÃ SỐ 11 :	0000	· · ·	000000000011000000000000000	· · ·	100000000000000000000000000	· · ·	000000000001000000000000000
TỪ MÃ SỐ 12 :	0000	· · ·	000000000001100000000000000	· · ·	010000000000000000000000000	· · ·	000000000000100000000000000
TỪ MÃ SỐ 13 :	0000	· · ·	000000000000110000000000000	· · ·	001000000000000000000000000	· · ·	000000000000010000000000000
TỪ MÃ SỐ 14 :	0000	· · ·	000000000000011000000000000	· · ·	000100000000000000000000000	· · ·	000000000000001000000000000
TỪ MÃ SỐ 15 :	0000	· · ·	000000000000001100000000000	· · ·	000010000000000000000000000	· · ·	000000000000000100000000000
TỪ MÃ SỐ 16 :	0000	· · ·	000000000000000110000000000	· · ·	000001000000000000000000000	· · ·	000000000000000010000000000
TỪ MÃ SỐ 17 :	0000	· · ·	000000000000000011000000000	· · ·	000000100000000000000000000	· · ·	000000000000000001000000000
TỪ MÃ SỐ 18 :	0000	· · ·	000000000000000001100000000	· · ·	000000010000000000000000000	· · ·	000000000000000000100000000
TỪ MÃ SỐ 19 :	0000	· · ·	000000000000000000110000000	· · ·	000000001000000000000000000	· · ·	000000000000000000010000000
TỪ MÃ SỐ 20 :	0000	· · ·	000000000000000000011000000	· · ·	000000000100000000000000000	· · ·	000000000000000000001000000
TỪ MÃ SỐ 21 :	0000	· · ·	000000000000000000001100000	· · ·	000000000010000000000000000	· · ·	000000000000000000000100000
TỪ MÃ SỐ 22 :	0000	· · ·	000000000000000000000110000	· · ·	000000000001000000000000000	· · ·	000000000000000000000010000
TỪ MÃ SỐ 23 :	0000	· · ·	000000000000000000000011000	· · ·	000000000000100000000000000	· · ·	000000000000000000000001000
TỪ MÃ SỐ 24 :	0000	· · ·	000000000000000000000001100	· · ·	000000000000010000000000000	· · ·	000000000000000000000000100
TỪ MÃ SỐ 25 :	0000	· · ·	000000000000000000000000110	· · ·	000000000000001000000000000	· · ·	000000000000000000000000010
TỪ MÃ SỐ 26 :	0000	· · ·	000000000000000000000000011	· · ·	000000000000000100000000000	· · ·	000000000000000000000000001
TỪ MÃ SỐ 27 :	0000	· · ·	100000000000000000000000001	· · ·	000000000000000010000000000	· · ·	100000000000000000000000000
			CỘT THỨ TƯ CỦA Hb648		CỘT THỨ MƯỜI CỦA Hb648		CỘT THỨ MƯỜI HAI CỦA Hb648

FIG. 3

0000 . . . x0x0x0x0x0x0x0x0x0x0x0x0x
CỘT THỨ TƯ CỦA Hb648
. . . 00000000000000000000000000
CỘT THỨ MƯỜI CỦA Hb648
. . . 00000000000000000000000000
CỘT THỨ MƯỜI HAI CỦA Hb648

FIG. 4

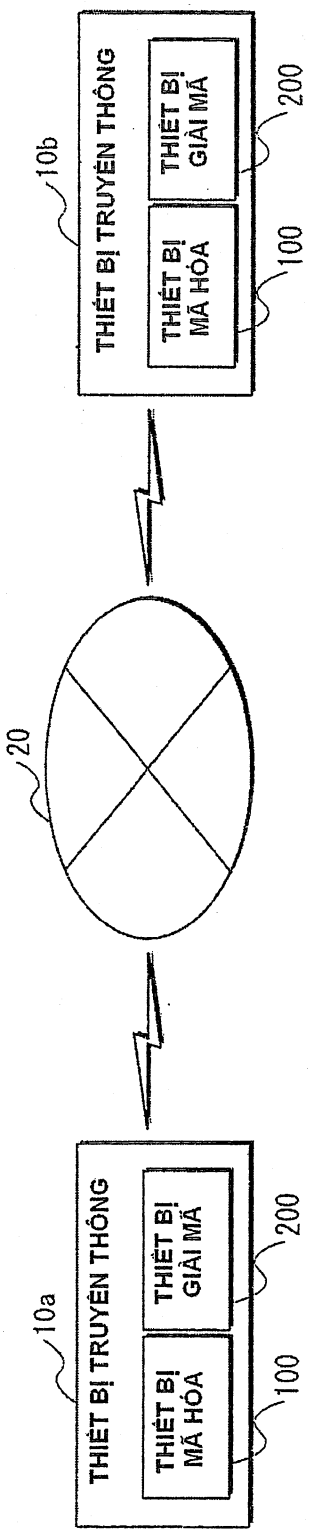

10b
THIẾT BỊ TRUYỀN THÔNG
THIẾT BỊ MÃ HÓA
THIẾT BỊ GIẢI MÃ
100
200
20
10a
THIẾT BỊ TRUYỀN THÔNG
THIẾT BỊ MÃ HÓA
THIẾT BỊ GIẢI MÃ
100
200

FIG. 5

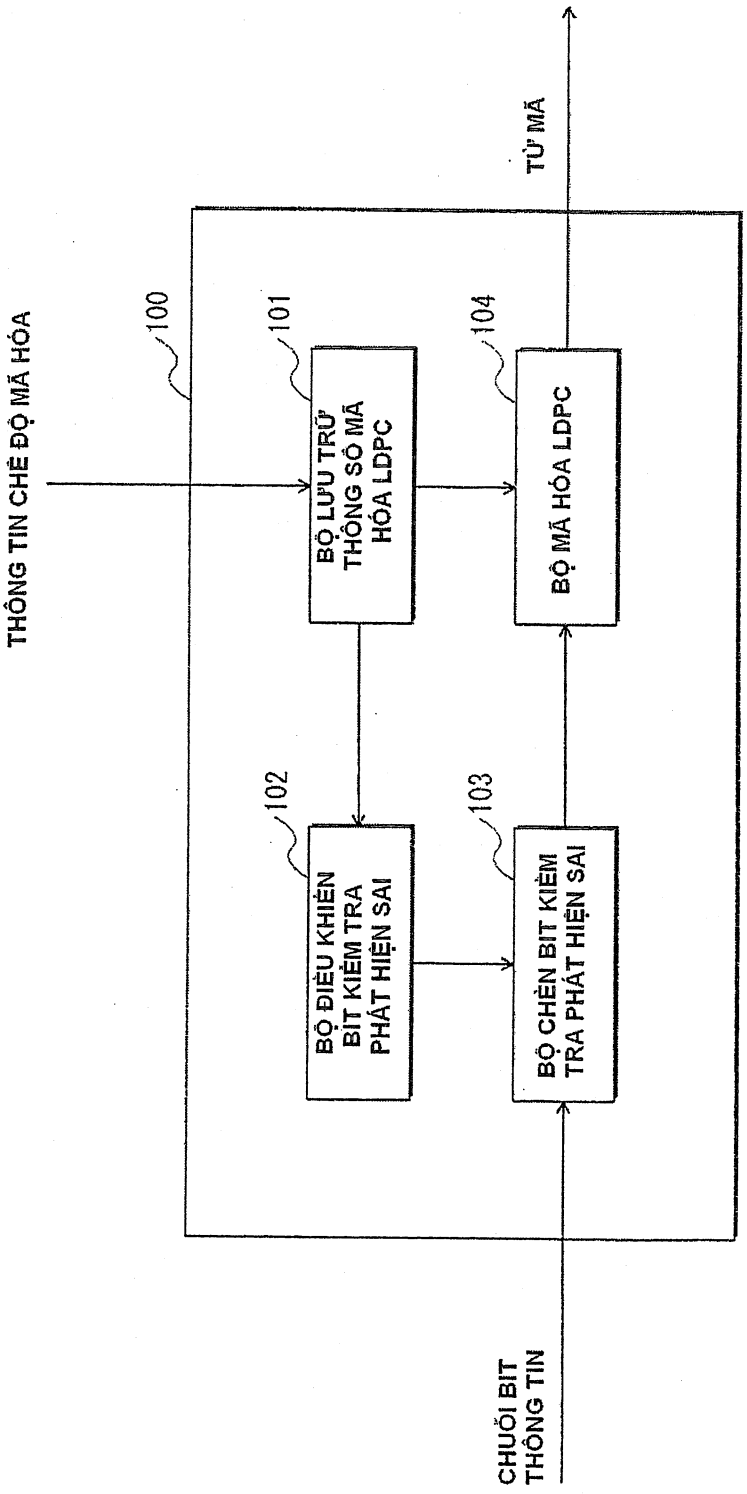

THÔNG TIN CHẾ ĐỘ MÃ HÓA
100
101
BỘ LƯU TRỮ THÔNG SỐ MÃ HÓA LDPC
104
BỘ MÃ HÓA LDPC
TỪ MÃ
102
BỘ ĐIỀU KHIỂN BIT KIỂM TRA PHÁT HIỆN SAI
103
BỘ CHÈN BIT KIỂM TRA PHÁT HIỆN SAI
CHUỖI BIT THÔNG TIN

FIG. 6

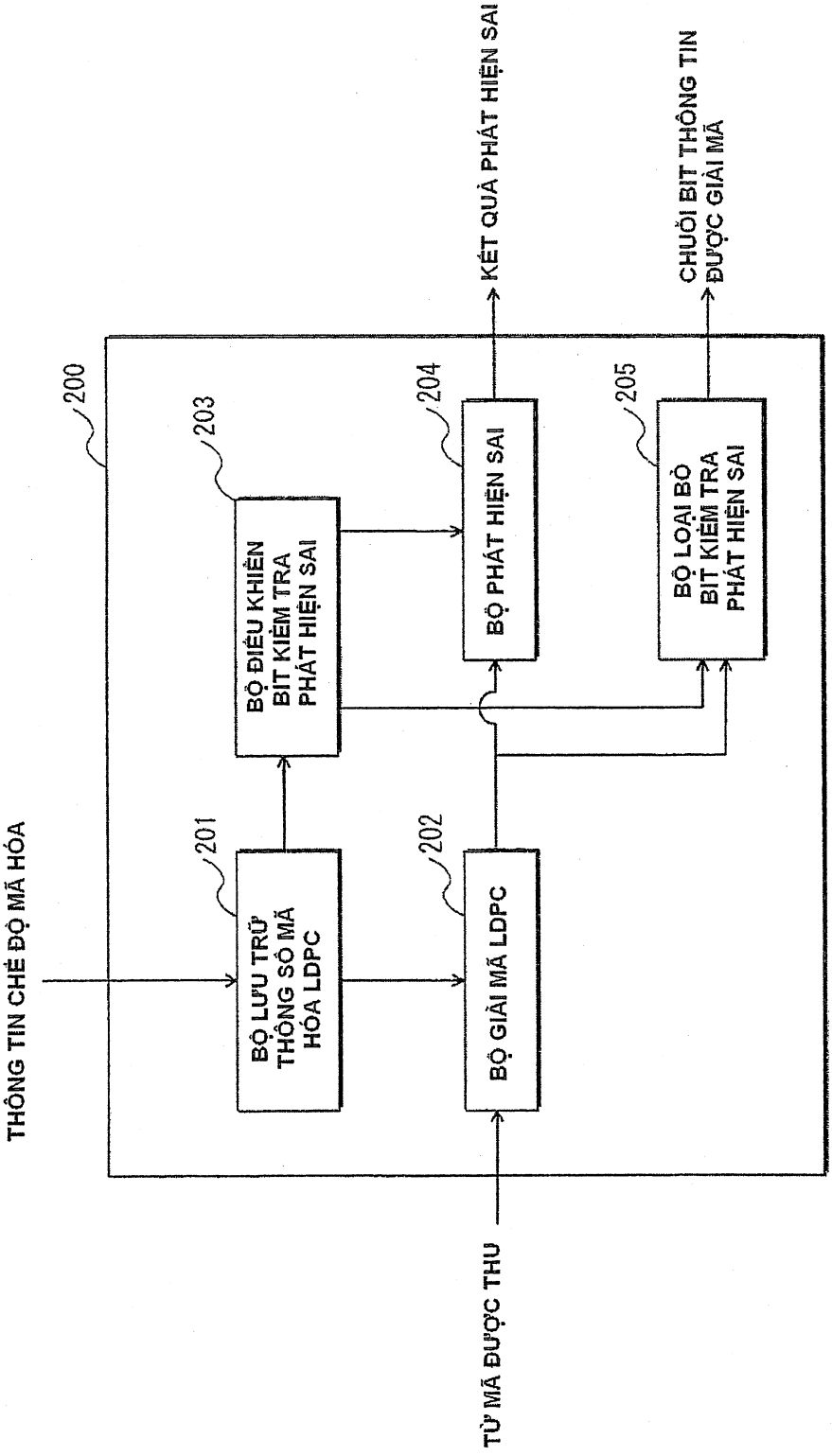

THÔNG TIN CHẾ ĐỘ MÃ HÓA
TỪ MÃ ĐƯỢC THU
200
201
BỘ LƯU TRỮ THÔNG SỐ MÃ HÓA LDPC
202
BỘ GIẢI MÃ LDPC
203
BỘ ĐIỀU KHIỂN BIT KIỂM TRA PHÁT HIỆN SAI
204
BỘ PHÁT HIỆN SAI
205
BỘ LOẠI BỎ BIT KIỂM TRA PHÁT HIỆN SAI
KẾT QUẢ PHÁT HIỆN SAI
CHUỖI BIT THÔNG TIN ĐƯỢC GIẢI MÃ

FIG. 7

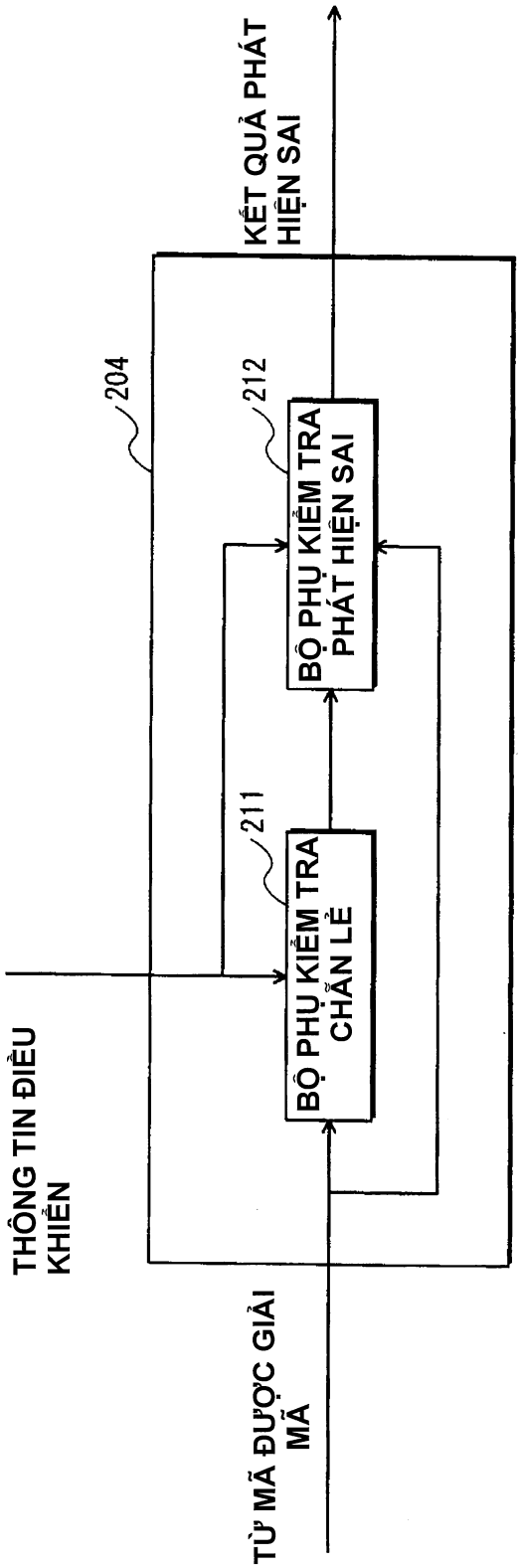

KẾT QUẢ PHÁT HIỆN SAI
204
212
BỘ PHỤ KIỂM TRA PHÁT HIỆN SAI
211
BỘ PHỤ KIỂM TRA CHẴN LẺ
THÔNG TIN ĐIỀU KHIỂN
TỪ MÃ ĐƯỢC GIẢI MÃ

FIG. 8

800

801 CHẾ ĐỘ SỐ	802 ĐỘ DÀI TỪ MÃ	803 TỶ LỆ MÃ	804 CÁC VỊ TRÍ CHÈN BIT KIỂM TRA PHÁT HIỆN SAI	...
01	648	1/2	82, 84, 86, 88, 90, 92, 94, 96, 98, 100, 102, 104, 106, 108	...
02	648	2/3	. . .	...
03	648	3/4	. . .	...
04	648	5/6	. . .	...
05	1296	1/2	. . .	...
. . .	. . .	. . .	. . .	...

FIG. 9

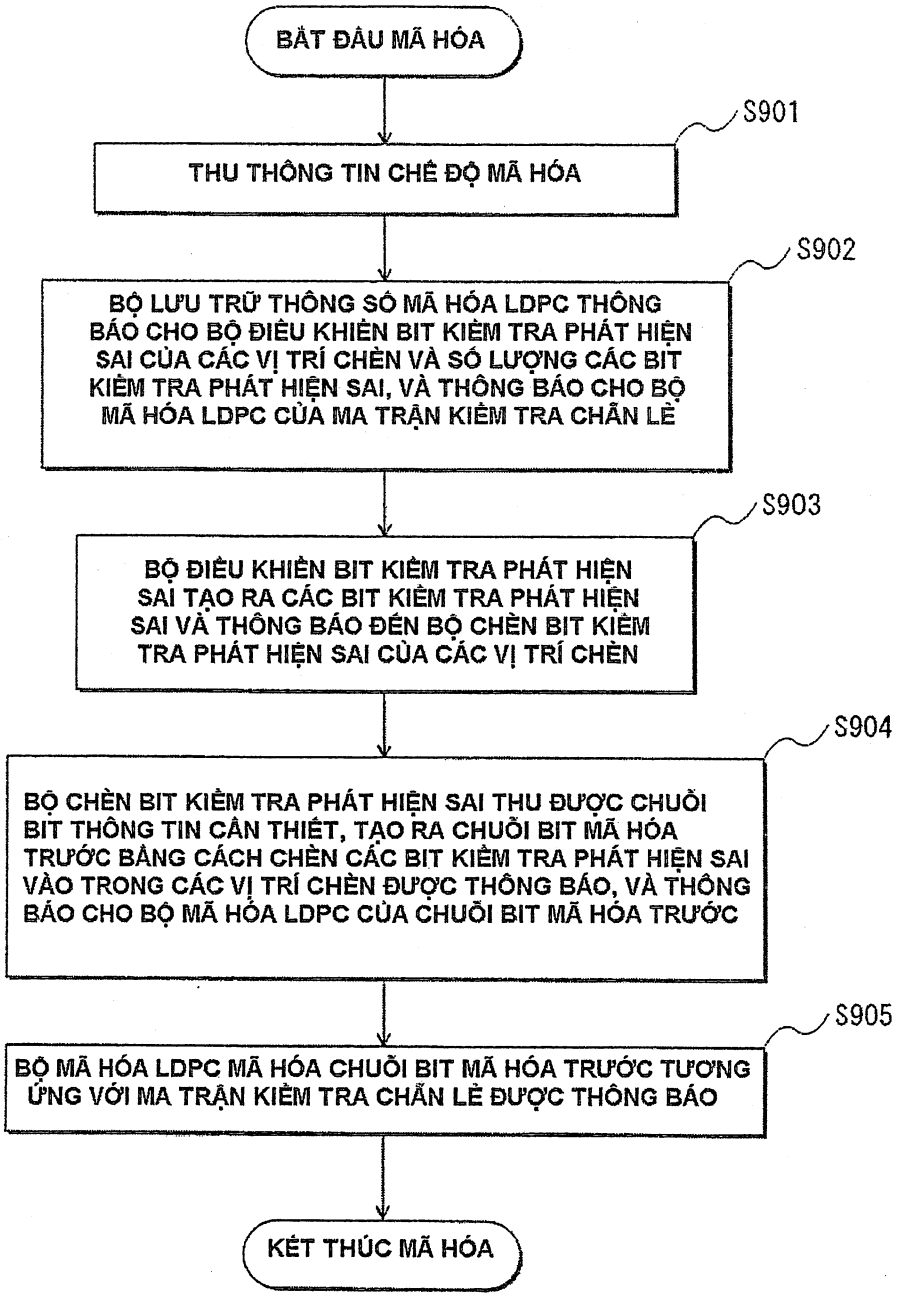
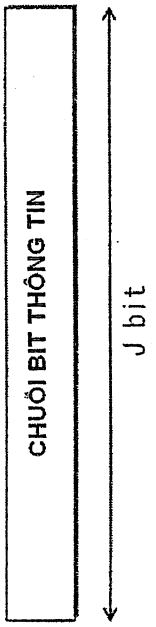
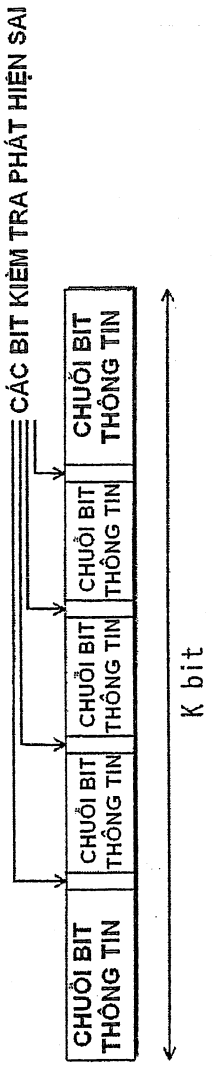

BẮT ĐẦU MÃ HÓA
S901
THU THÔNG TIN CHẾ ĐỘ MÃ HÓA
S902
BỘ LƯU TRỮ THÔNG SỐ MÃ HÓA LDPC THÔNG BÁO CHO BỘ ĐIỀU KHIỂN BIT KIỂM TRA PHÁT HIỆN SAI CỦA CÁC VỊ TRÍ CHÈN VÀ SỐ LƯỢNG CÁC BIT KIỂM TRA PHÁT HIỆN SAI, VÀ THÔNG BÁO CHO BỘ MÃ HÓA LDPC CỦA MA TRẬN KIỂM TRA CHẴN LẺ
S903
BỘ ĐIỀU KHIỂN BIT KIỂM TRA PHÁT HIỆN SAI TẠO RA CÁC BIT KIỂM TRA PHÁT HIỆN SAI VÀ THÔNG BÁO ĐẾN BỘ CHÈN BIT KIỂM TRA PHÁT HIỆN SAI CỦA CÁC VỊ TRÍ CHÈN
S904
BỘ CHÈN BIT KIỂM TRA PHÁT HIỆN SAI THU ĐƯỢC CHUỖI BIT THÔNG TIN CẦN THIẾT, TẠO RA CHUỖI BIT MÃ HÓA TRƯỚC BẰNG CÁCH CHÈN CÁC BIT KIỂM TRA PHÁT HIỆN SAI VÀO TRONG CÁC VỊ TRÍ CHÈN ĐƯỢC THÔNG BÁO, VÀ THÔNG BÁO CHO BỘ MÃ HÓA LDPC CỦA CHUỖI BIT MÃ HÓA TRƯỚC
S905
BỘ MÃ HÓA LDPC MÃ HÓA CHUỖI BIT MÃ HÓA TRƯỚC TƯƠNG ỨNG VỚI MA TRẬN KIỂM TRA CHẴN LẺ ĐƯỢC THÔNG BÁO
KẾT THÚC MÃ HÓA

FIG. 10A



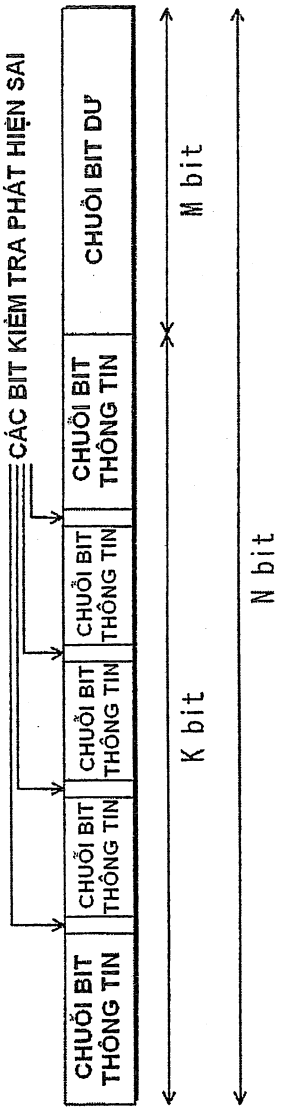
CHUỖI BIT THÔNG TIN ĐƯỢC ĐƯA VÀO

FIG. 10B



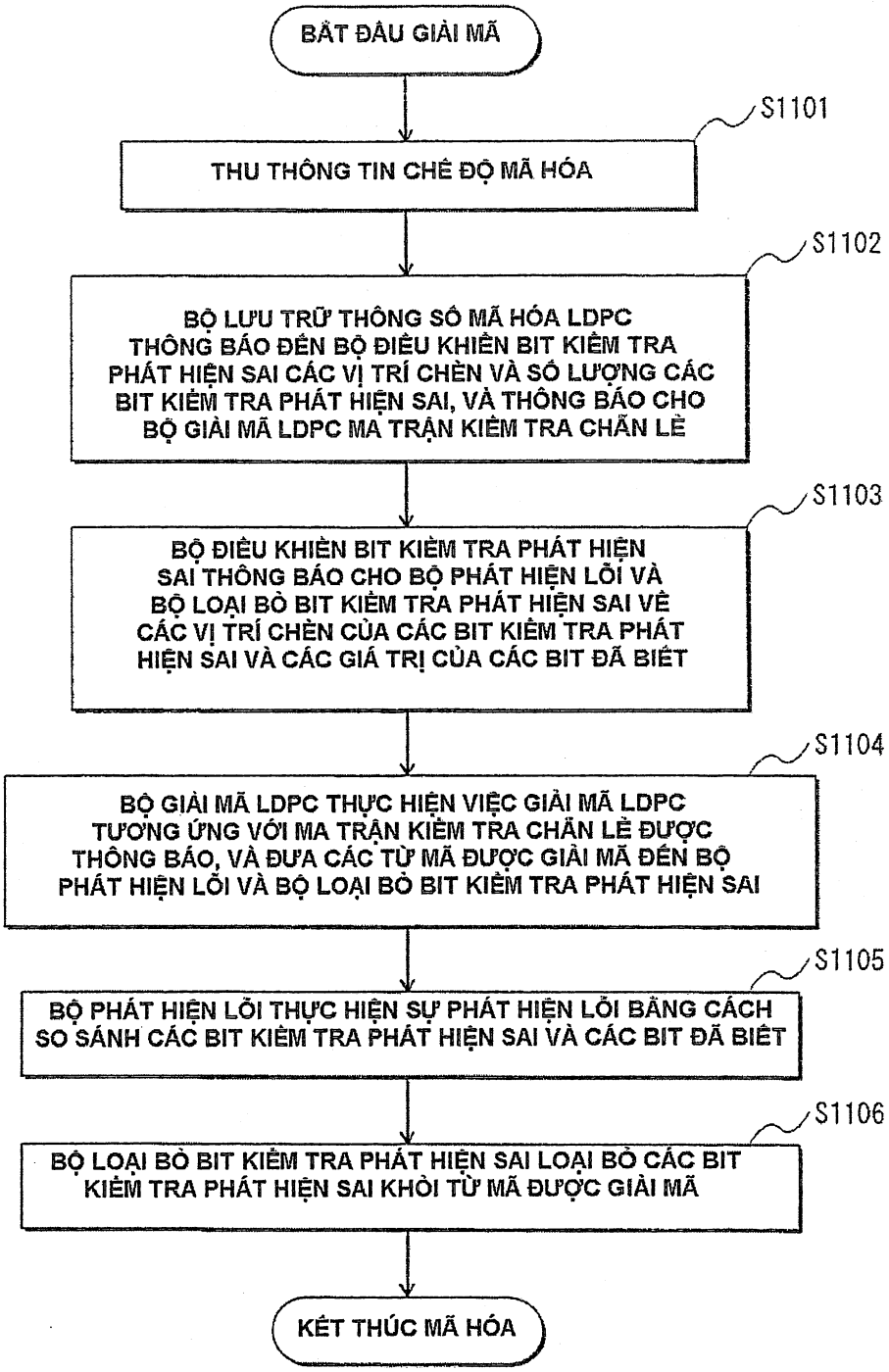
CHUỖI BIT THÔNG TIN MÃ HÓA TRƯỚC

FIG. 10C



CHUỖI BIT TỪ MÃ

FIG. 11


BẮT ĐẦU GIẢI MÃ
S1101
THU THÔNG TIN CHẾ ĐỘ MÃ HÓA
S1102
BỘ LƯU TRỮ THÔNG SỐ MÃ HÓA LDPC THÔNG BÁO ĐẾN BỘ ĐIỀU KHIỂN BIT KIỂM TRA PHÁT HIỆN SAI CÁC VỊ TRÍ CHÈN VÀ SỐ LƯỢNG CÁC BIT KIỂM TRA PHÁT HIỆN SAI, VÀ THÔNG BÁO CHO BỘ GIẢI MÃ LDPC MA TRẬN KIỂM TRA CHẴN LẺ
S1103
BỘ ĐIỀU KHIỂN BIT KIỂM TRA PHÁT HIỆN SAI THÔNG BÁO CHO BỘ PHÁT HIỆN LỖI VÀ BỘ LOẠI BỎ BIT KIỂM TRA PHÁT HIỆN SAI VỀ CÁC VỊ TRÍ CHÈN CỦA CÁC BIT KIỂM TRA PHÁT HIỆN SAI VÀ CÁC GIÁ TRỊ CỦA CÁC BIT ĐÃ BIẾT
S1104
BỘ GIẢI MÃ LDPC THỰC HIỆN VIỆC GIẢI MÃ LDPC TƯƠNG ỨNG VỚI MA TRẬN KIỂM TRA CHẴN LẺ ĐƯỢC THÔNG BÁO, VÀ ĐƯA CÁC TỪ MÃ ĐƯỢC GIẢI MÃ ĐẾN BỘ PHÁT HIỆN LỖI VÀ BỘ LOẠI BỎ BIT KIỂM TRA PHÁT HIỆN SAI
S1105
BỘ PHÁT HIỆN LỖI THỰC HIỆN SỰ PHÁT HIỆN LỖI BẰNG CÁCH SO SÁNH CÁC BIT KIỂM TRA PHÁT HIỆN SAI VÀ CÁC BIT ĐÃ BIẾT
S1106
BỘ LOẠI BỎ BIT KIỂM TRA PHÁT HIỆN SAI LOẠI BỎ CÁC BIT KIỂM TRA PHÁT HIỆN SAI KHỎI TỪ MÃ ĐƯỢC GIẢI MÃ
KẾT THÚC MÃ HÓA

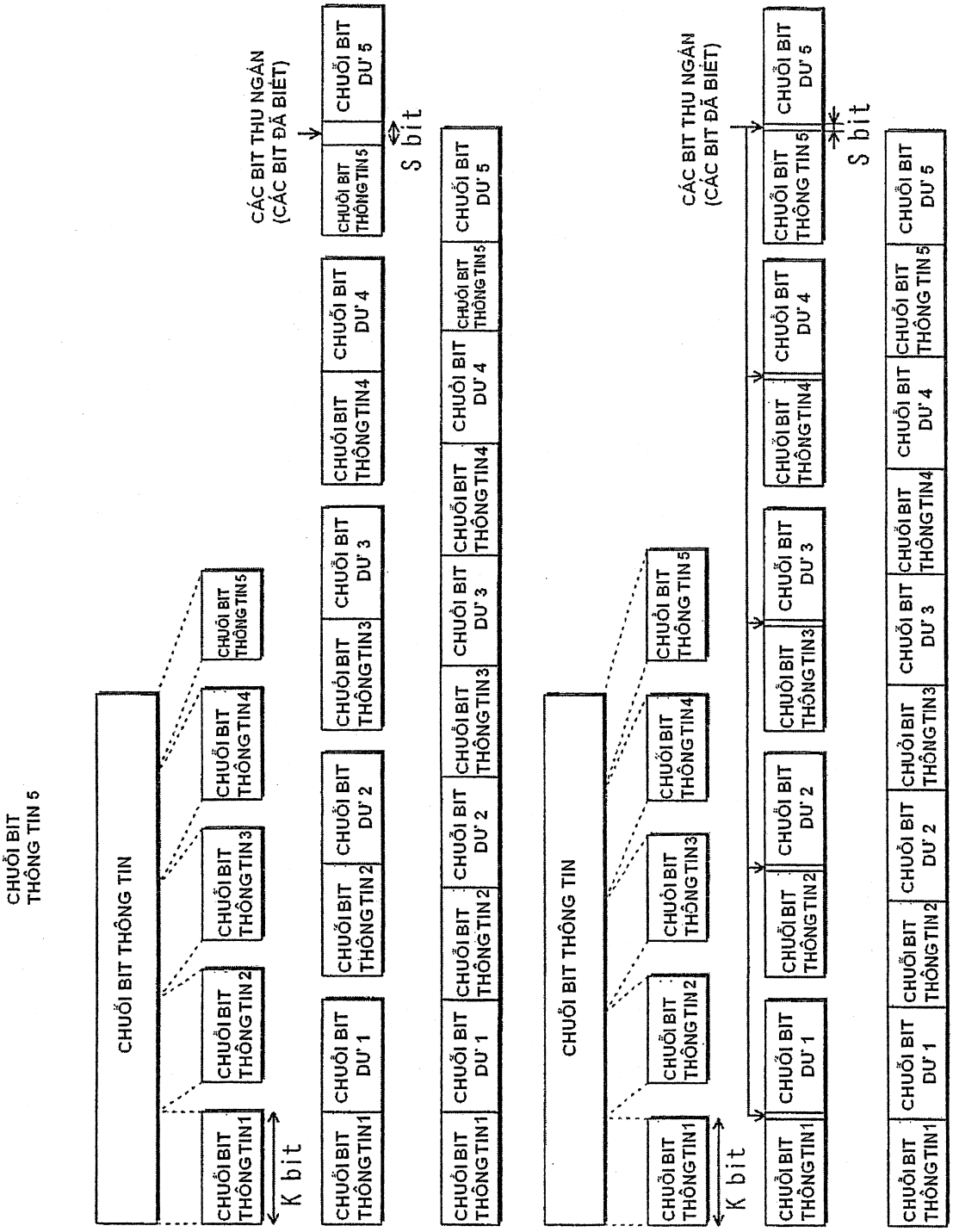


FIG. 12A-1

FIG. 12A-2

FIG. 12A-3

FIG. 12A-4

FIG. 12B-1

FIG. 12B-2

FIG. 12B-3

FIG. 12B-4

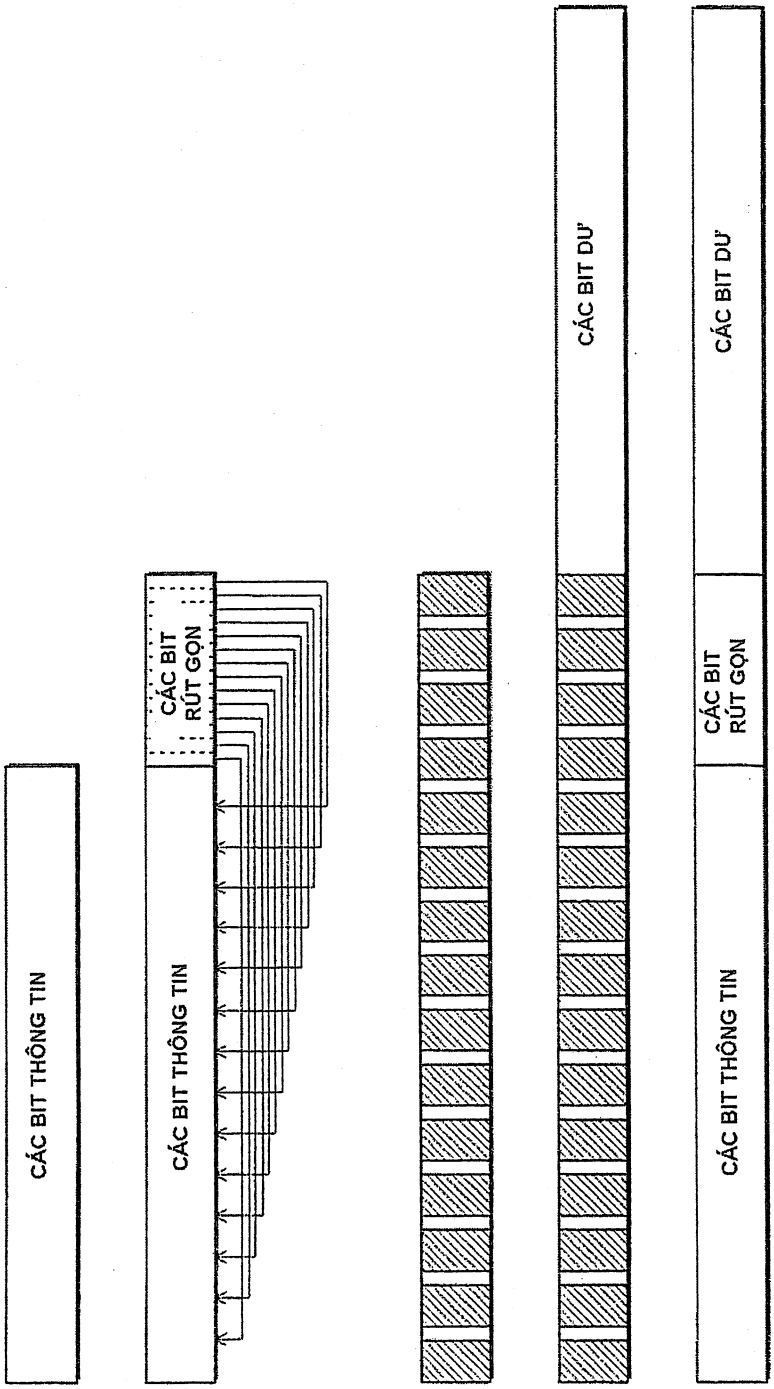


FIG. 13A FIG. 13B FIG. 13C FIG. 13D FIG. 13E

FIG. 14

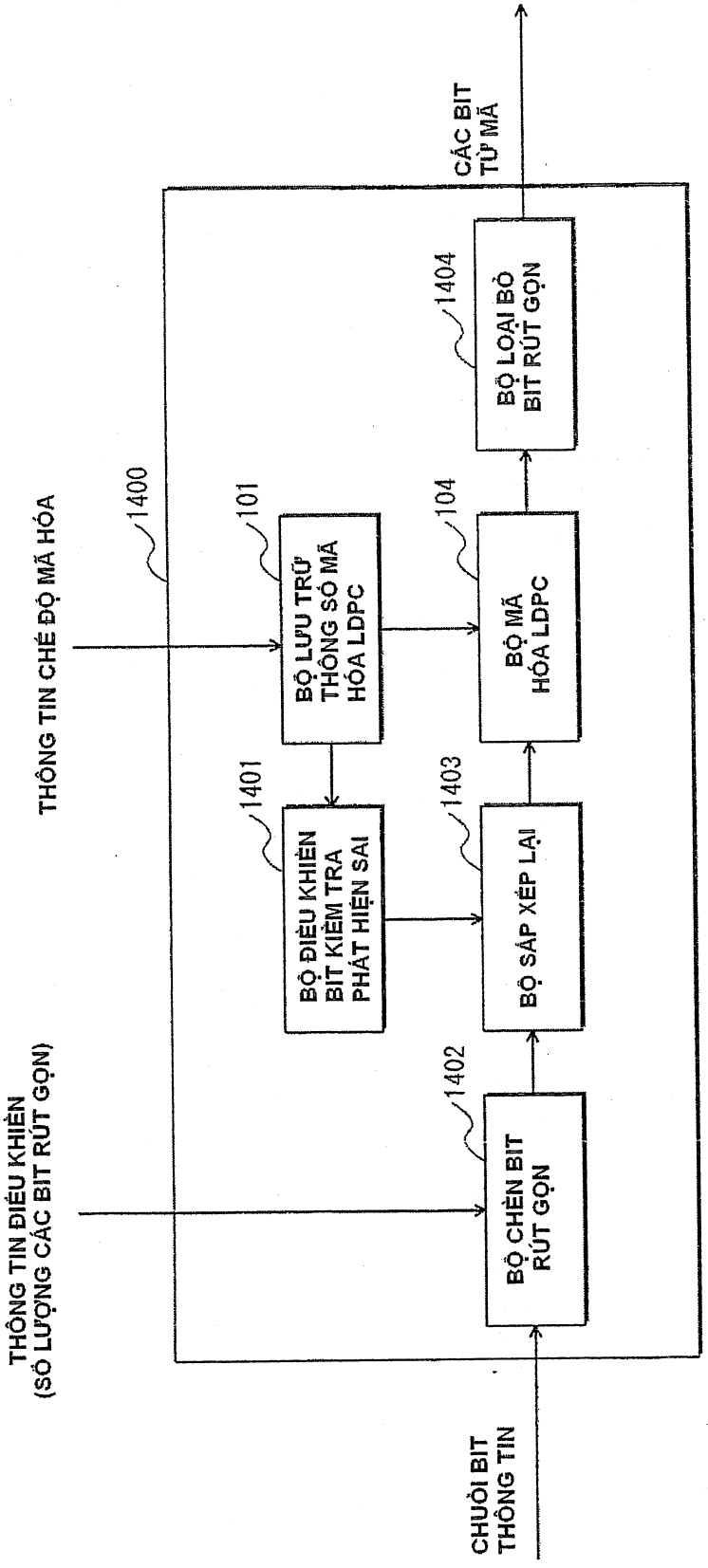

CHUỖI BIT THÔNG TIN
THÔNG TIN ĐIỀU KHIỂN (SỐ LƯỢNG CÁC BIT RÚT GỌN)
THÔNG TIN CHẾ ĐỘ MÃ HÓA
1400
1401
1402
1403
1404
101
104
BỘ ĐIỀU KHIỂN BIT KIỂM TRA PHÁT HIỆN SAI
BỘ CHÈN BIT RÚT GỌN
BỘ SẮP XẾP LẠI
BỘ LƯU TRỮ THÔNG SỐ MÃ HÓA LDPC
BỘ MÃ HÓA LDPC
BỘ LOẠI BỎ BIT RÚT GỌN
CÁC BIT TỪ MÃ

FIG. 15

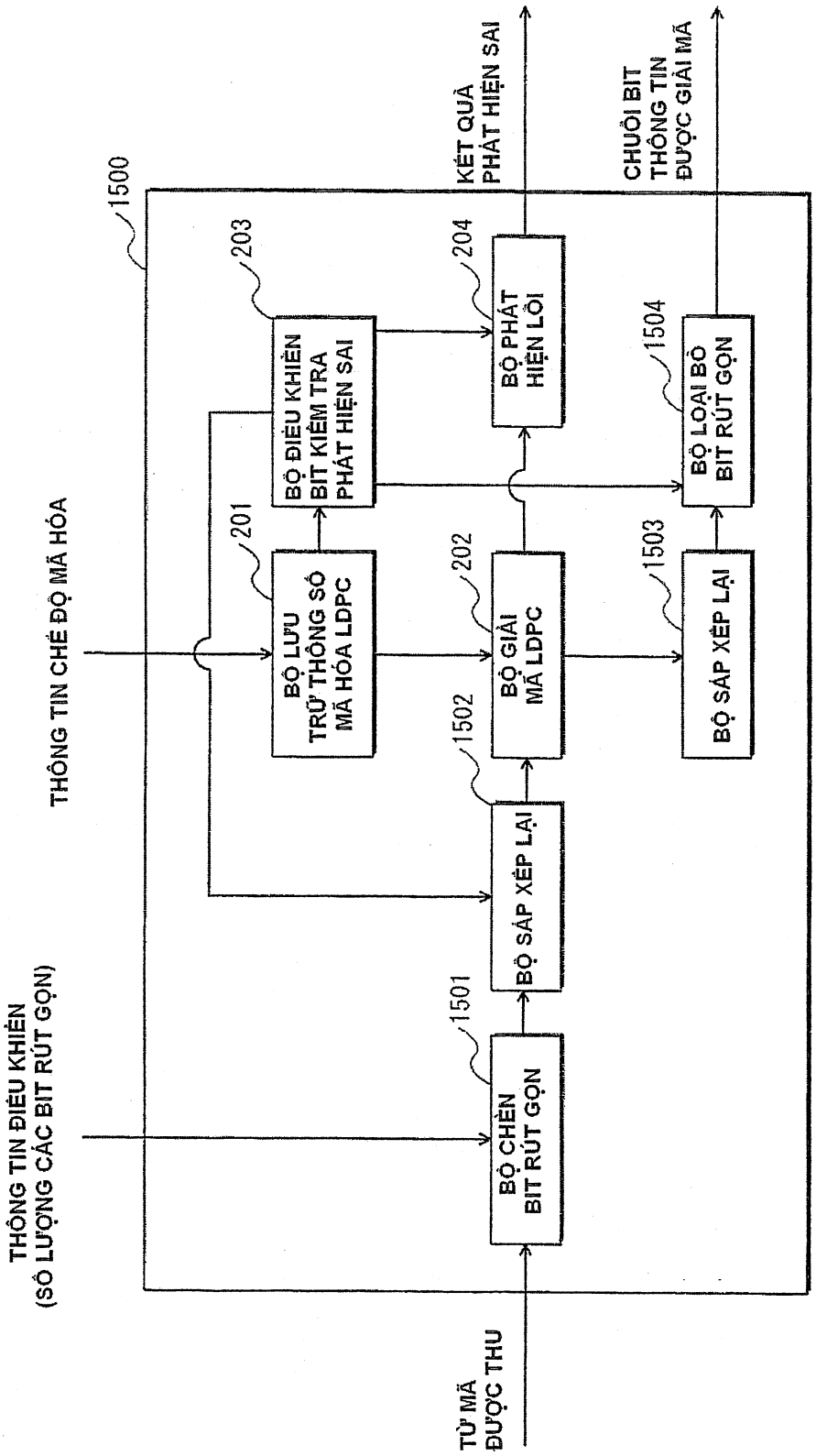

1500
THÔNG TIN CHẾ ĐỘ MÃ HÓA
THÔNG TIN ĐIỀU KHIỂN
(SỐ LƯỢNG CÁC BIT RÚT GỌN)
TỪ MÃ
ĐƯỢC THU
KẾT QUẢ
PHÁT HIỆN SAI
CHUỖI BIT
THÔNG TIN
ĐƯỢC GIẢI MÃ
201
BỘ LƯU
TRỮ THÔNG SỐ
MÃ HÓA LDPC
202
BỘ GIẢI
MÃ LDPC
203
BỘ ĐIỀU KHIỂN
BIT KIỂM TRA
PHÁT HIỆN SAI
204
BỘ PHÁT
HIỆN LỖI
1501
BỘ CHÈN
BIT RÚT GỌN
1502
BỘ SẮP XẾP LẠI
1503
BỘ SẮP XẾP LẠI
1504
BỘ LOẠI BỎ
BIT RÚT GỌN

FIG. 17

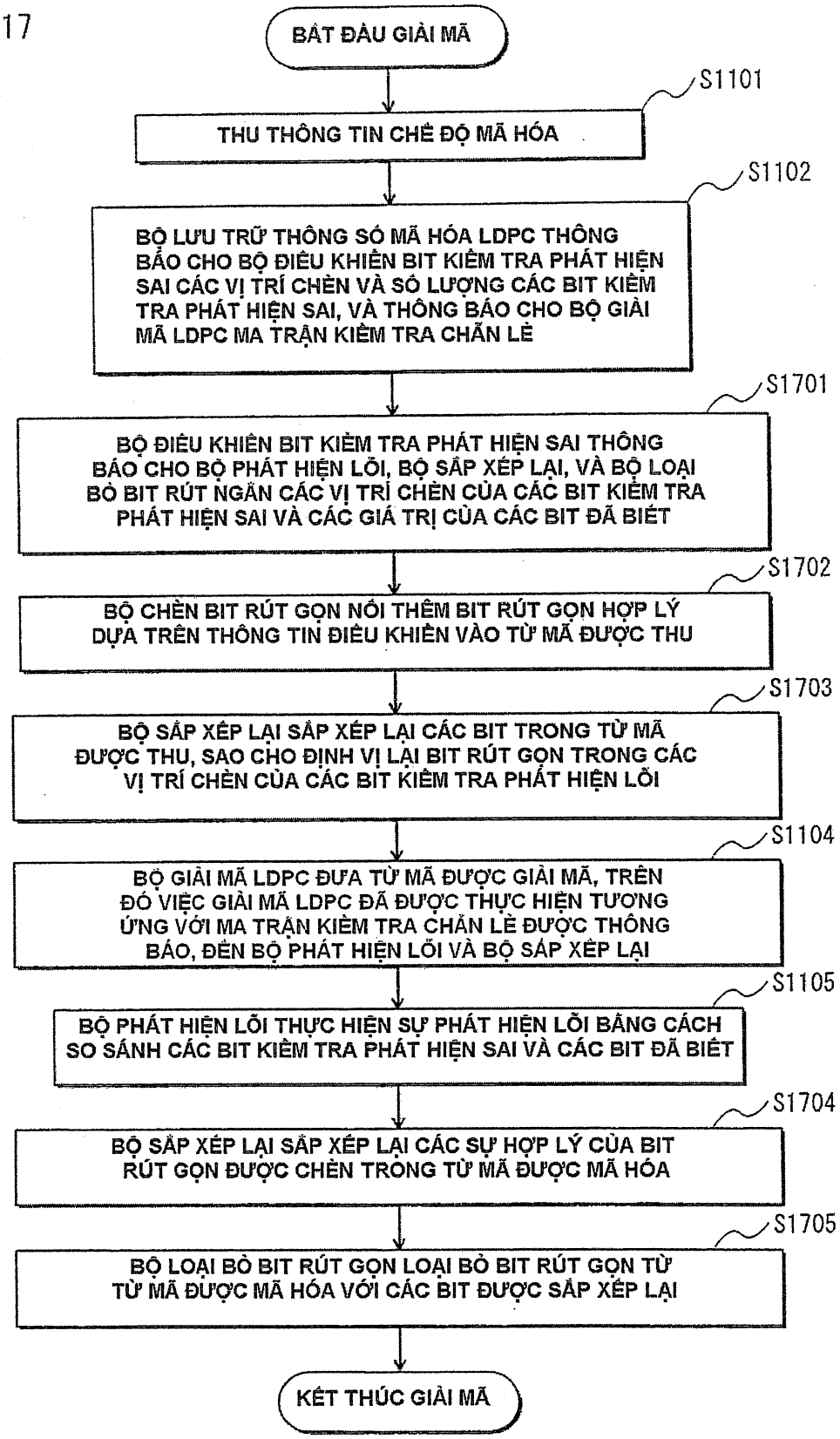
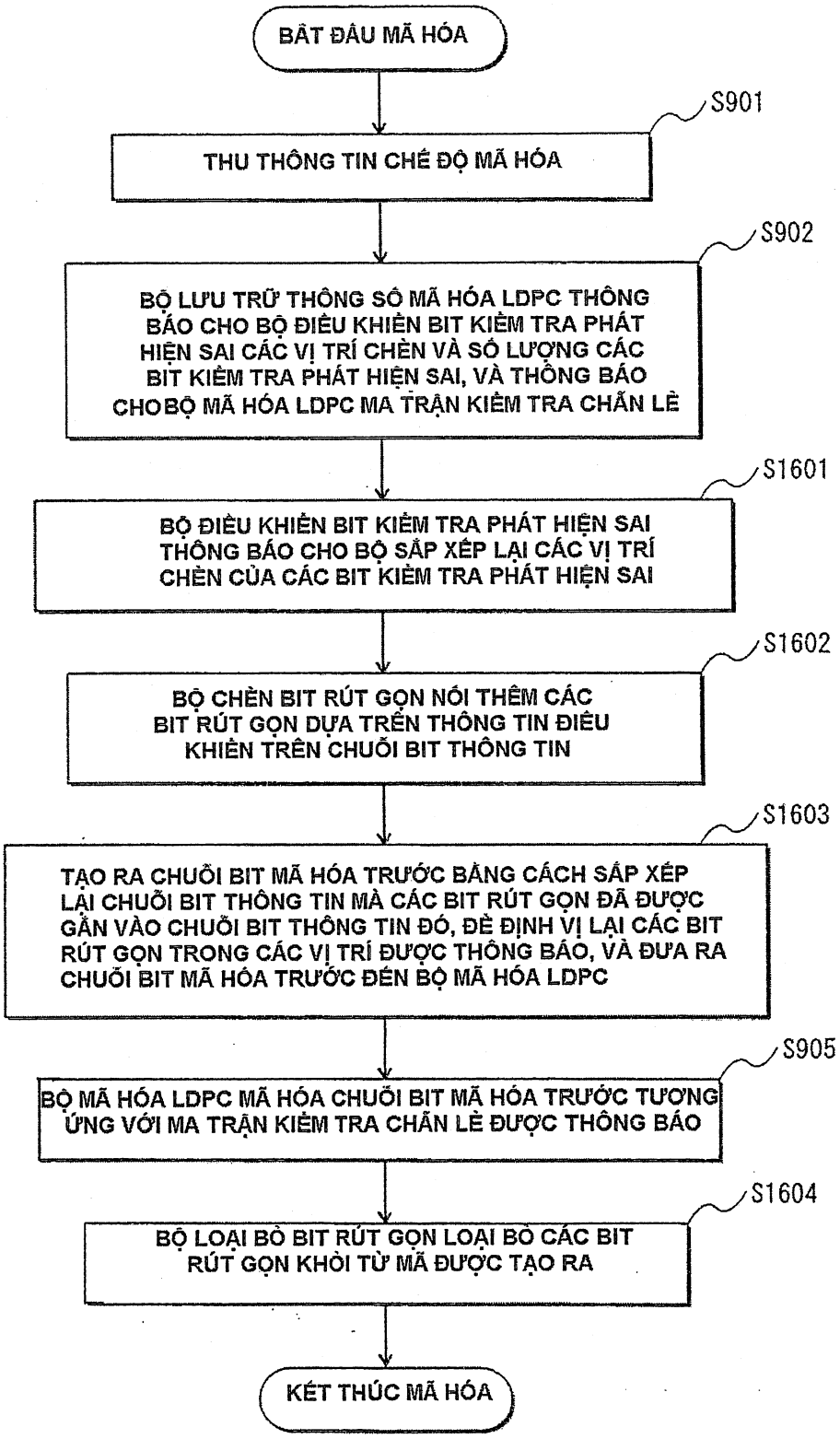

BẮT ĐẦU GIẢI MÃ
S1101
THU THÔNG TIN CHẾ ĐỘ MÃ HÓA
S1102
BỘ LƯU TRỮ THÔNG SỐ MÃ HÓA LDPC THÔNG BÁO CHO BỘ ĐIỀU KHIỂN BIT KIỂM TRA PHÁT HIỆN SAI CÁC VỊ TRÍ CHÈN VÀ SỐ LƯỢNG CÁC BIT KIỂM TRA PHÁT HIỆN SAI, VÀ THÔNG BÁO CHO BỘ GIẢI MÃ LDPC MA TRẬN KIỂM TRA CHẴN LẺ
S1701
BỘ ĐIỀU KHIỂN BIT KIỂM TRA PHÁT HIỆN SAI THÔNG BÁO CHO BỘ PHÁT HIỆN LỖI, BỘ SẮP XẾP LẠI, VÀ BỘ LOẠI BỎ BIT RÚT NGẮN CÁC VỊ TRÍ CHÈN CỦA CÁC BIT KIỂM TRA PHÁT HIỆN SAI VÀ CÁC GIÁ TRỊ CỦA CÁC BIT ĐÃ BIẾT
S1702
BỘ CHÈN BIT RÚT GỌN NỐI THÊM BIT RÚT GỌN HỢP LÝ DỰA TRÊN THÔNG TIN ĐIỀU KHIỂN VÀO TỪ MÃ ĐƯỢC THU
S1703
BỘ SẮP XẾP LẠI SẮP XẾP LẠI CÁC BIT TRONG TỪ MÃ ĐƯỢC THU, SAO CHO ĐỊNH VỊ LẠI BIT RÚT GỌN TRONG CÁC VỊ TRÍ CHÈN CỦA CÁC BIT KIỂM TRA PHÁT HIỆN LỖI
S1104
BỘ GIẢI MÃ LDPC ĐƯA TỪ MÃ ĐƯỢC GIẢI MÃ, TRÊN ĐÓ VIỆC GIẢI MÃ LDPC ĐÃ ĐƯỢC THỰC HIỆN TƯƠNG ỨNG VỚI MA TRẬN KIỂM TRA CHẴN LẺ ĐƯỢC THÔNG BÁO, ĐẾN BỘ PHÁT HIỆN LỖI VÀ BỘ SẮP XẾP LẠI
S1105
BỘ PHÁT HIỆN LỖI THỰC HIỆN SỰ PHÁT HIỆN LỖI BẰNG CÁCH SO SÁNH CÁC BIT KIỂM TRA PHÁT HIỆN SAI VÀ CÁC BIT ĐÃ BIẾT
S1704
BỘ SẮP XẾP LẠI SẮP XẾP LẠI CÁC SỰ HỢP LÝ CỦA BIT RÚT GỌN ĐƯỢC CHÈN TRONG TỪ MÃ ĐƯỢC MÃ HÓA
S1705
BỘ LOẠI BỎ BIT RÚT GỌN LOẠI BỎ BIT RÚT GỌN TỪ TỪ MÃ ĐƯỢC MÃ HÓA VỚI CÁC BIT ĐƯỢC SẮP XẾP LẠI
KẾT THÚC GIẢI MÃ

FIG. 16


BẮT ĐẦU MÃ HÓA
S901
THU THÔNG TIN CHẾ ĐỘ MÃ HÓA
S902
BỘ LƯU TRỮ THÔNG SỐ MÃ HÓA LDPC THÔNG BÁO CHO BỘ ĐIỀU KHIỂN BIT KIỂM TRA PHÁT HIỆN SAI CÁC VỊ TRÍ CHÈN VÀ SỐ LƯỢNG CÁC BIT KIỂM TRA PHÁT HIỆN SAI, VÀ THÔNG BÁO CHO BỘ MÃ HÓA LDPC MA TRẬN KIỂM TRA CHẴN LẺ
S1601
BỘ ĐIỀU KHIỂN BIT KIỂM TRA PHÁT HIỆN SAI THÔNG BÁO CHO BỘ SẮP XẾP LẠI CÁC VỊ TRÍ CHÈN CỦA CÁC BIT KIỂM TRA PHÁT HIỆN SAI
S1602
BỘ CHÈN BIT RÚT GỌN NỐI THÊM CÁC BIT RÚT GỌN DỰA TRÊN THÔNG TIN ĐIỀU KHIỂN TRÊN CHUỖI BIT THÔNG TIN
S1603
TẠO RA CHUỖI BIT MÃ HÓA TRƯỚC BẰNG CÁCH SẮP XẾP LẠI CHUỖI BIT THÔNG TIN MÀ CÁC BIT RÚT GỌN ĐÃ ĐƯỢC GẮN VÀO CHUỖI BIT THÔNG TIN ĐÓ, ĐỂ ĐỊNH VỊ LẠI CÁC BIT RÚT GỌN TRONG CÁC VỊ TRÍ ĐƯỢC THÔNG BÁO, VÀ ĐƯA RA CHUỖI BIT MÃ HÓA TRƯỚC ĐẾN BỘ MÃ HÓA LDPC
S905
BỘ MÃ HÓA LDPC MÃ HÓA CHUỖI BIT MÃ HÓA TRƯỚC TƯƠNG ỨNG VỚI MA TRẬN KIỂM TRA CHẴN LẺ ĐƯỢC THÔNG BÁO
S1604
BỘ LOẠI BỎ BIT RÚT GỌN LOẠI BỎ CÁC BIT RÚT GỌN KHỎI TỪ MÃ ĐƯỢC TẠO RA
KẾT THÚC MÃ HÓA

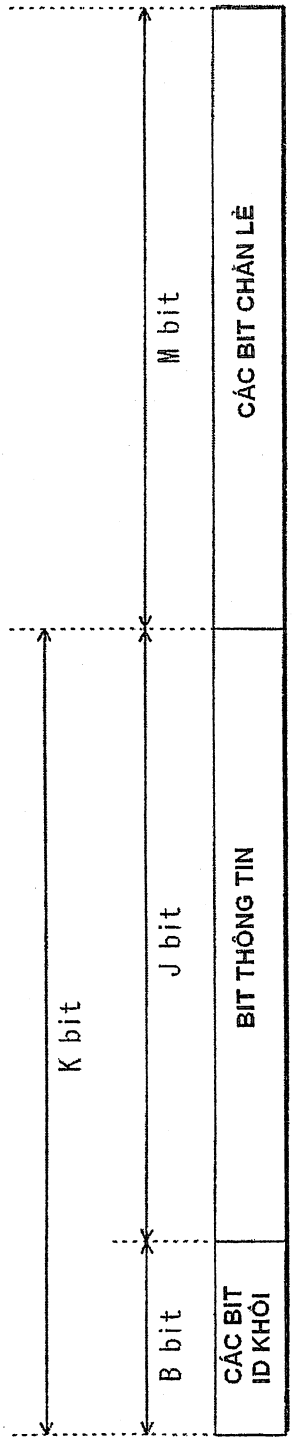


FIG. 18A

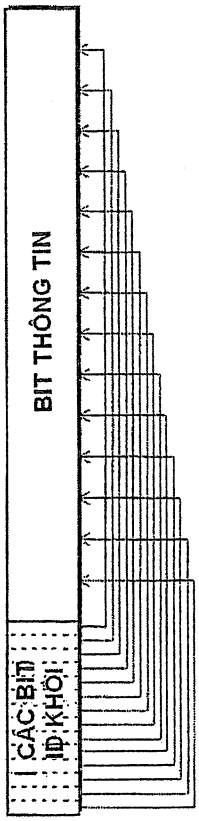


FIG. 18B

FIG. 18C

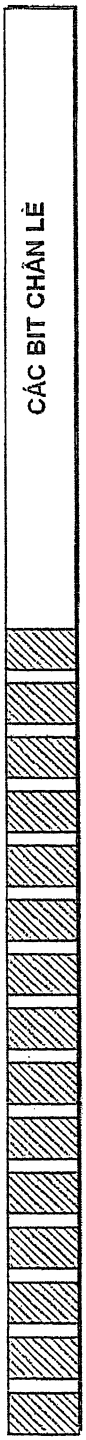


FIG. 18D

FIG. 19

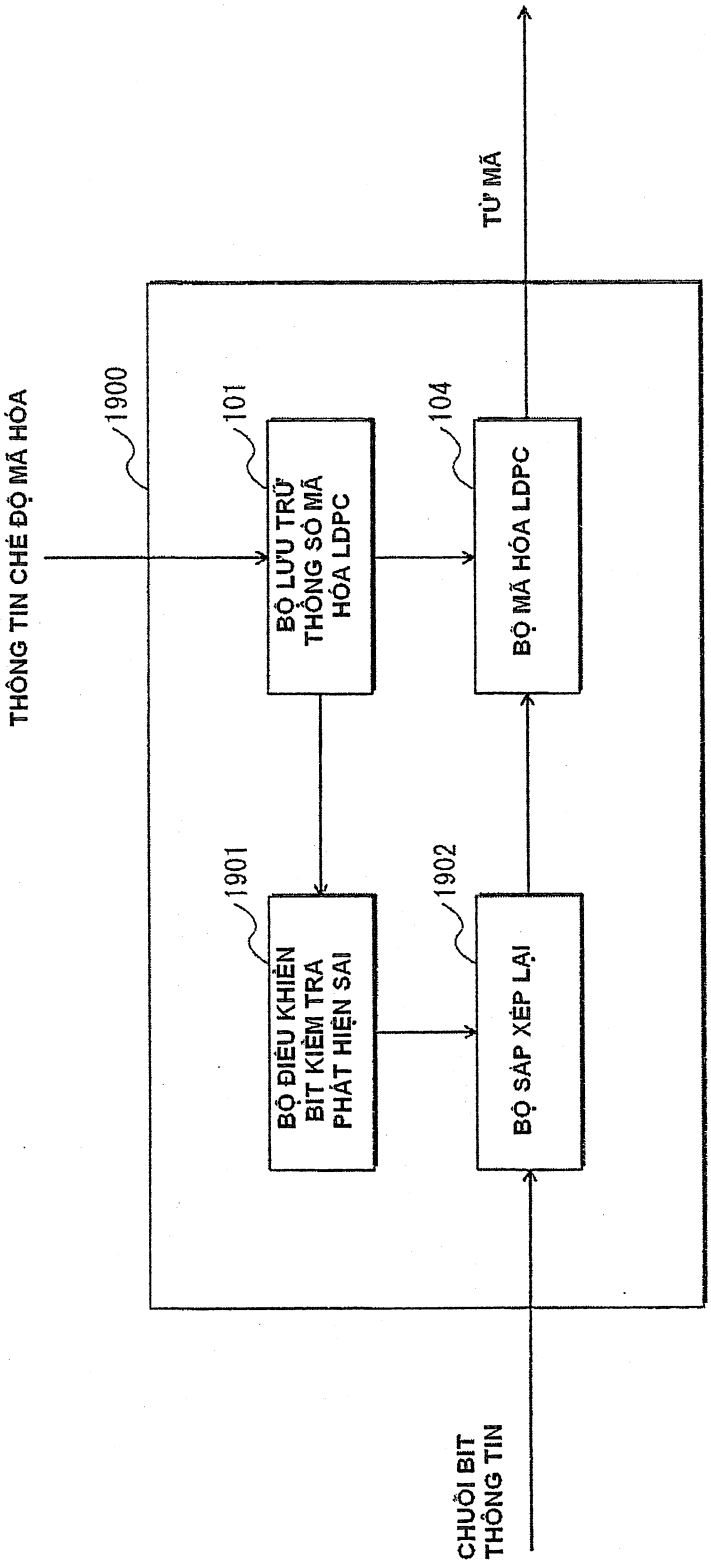

THÔNG TIN CHẾ ĐỘ MÃ HÓA
1900
101
BỘ LƯU TRỮ THÔNG SỐ MÃ HÓA LDPC
104
BỘ MÃ HÓA LDPC
TỪ MÃ
1901
BỘ ĐIỀU KHIỂN BIT KIỂM TRA PHÁT HIỆN SAI
1902
BỘ SẮP XẾP LẠI
CHUỖI BIT THÔNG TIN

FIG. 20

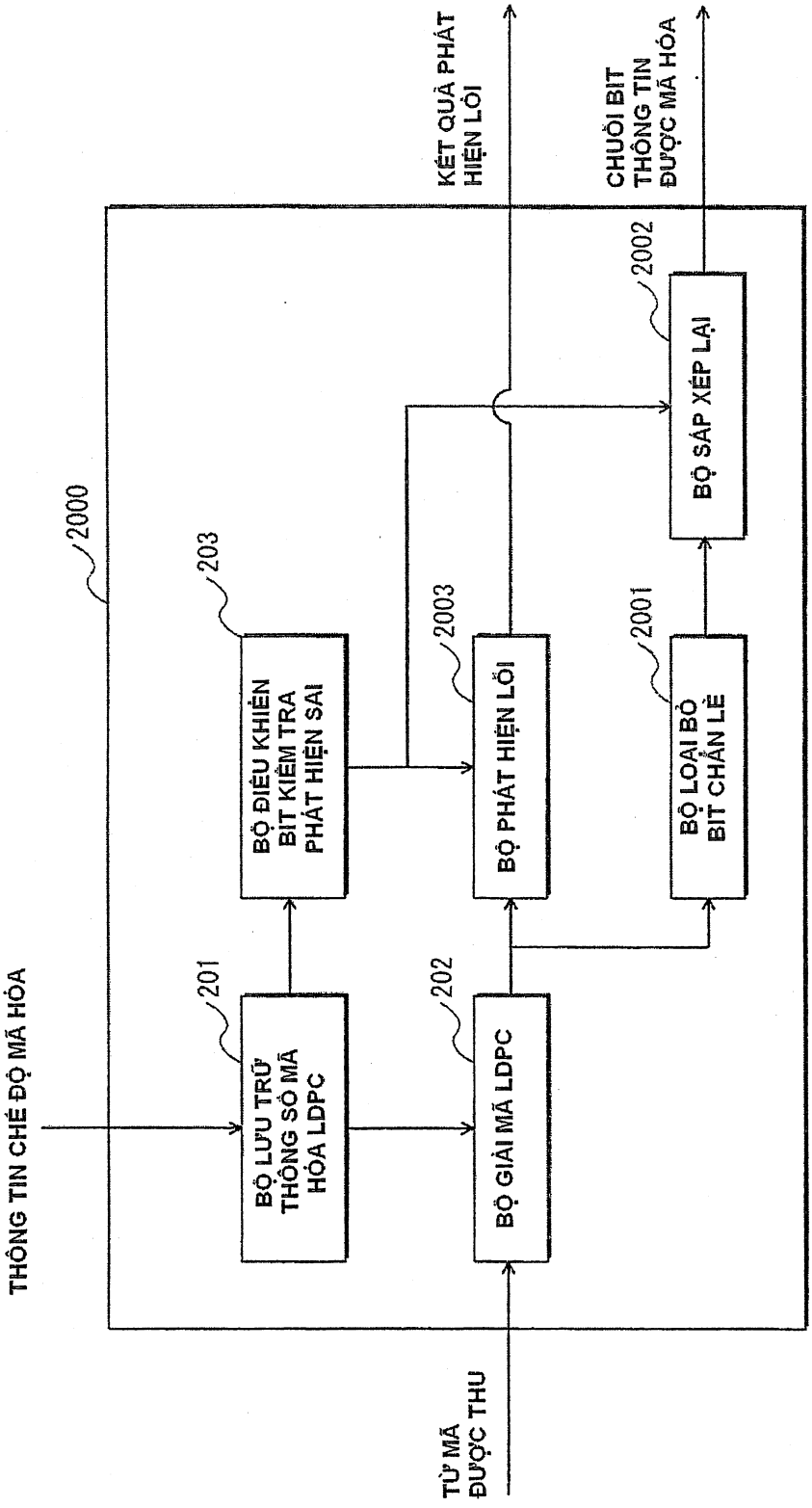

THÔNG TIN CHẾ ĐỘ MÃ HÓA
TỪ MÃ ĐƯỢC THU
KẾT QUẢ PHÁT HIỆN LỖI
CHUỖI BIT THÔNG TIN ĐƯỢC MÃ HÓA
2000
201
BỘ LƯU TRỮ THÔNG SỐ MÃ HÓA LDPC
202
BỘ GIẢI MÃ LDPC
203
BỘ ĐIỀU KHIỂN BIT KIỂM TRA PHÁT HIỆN SAI
2003
BỘ PHÁT HIỆN LỖI
2001
BỘ LOẠI BỎ BIT CHẴN LẺ
2002
BỘ SẮP XẾP LẠI

FIG. 21

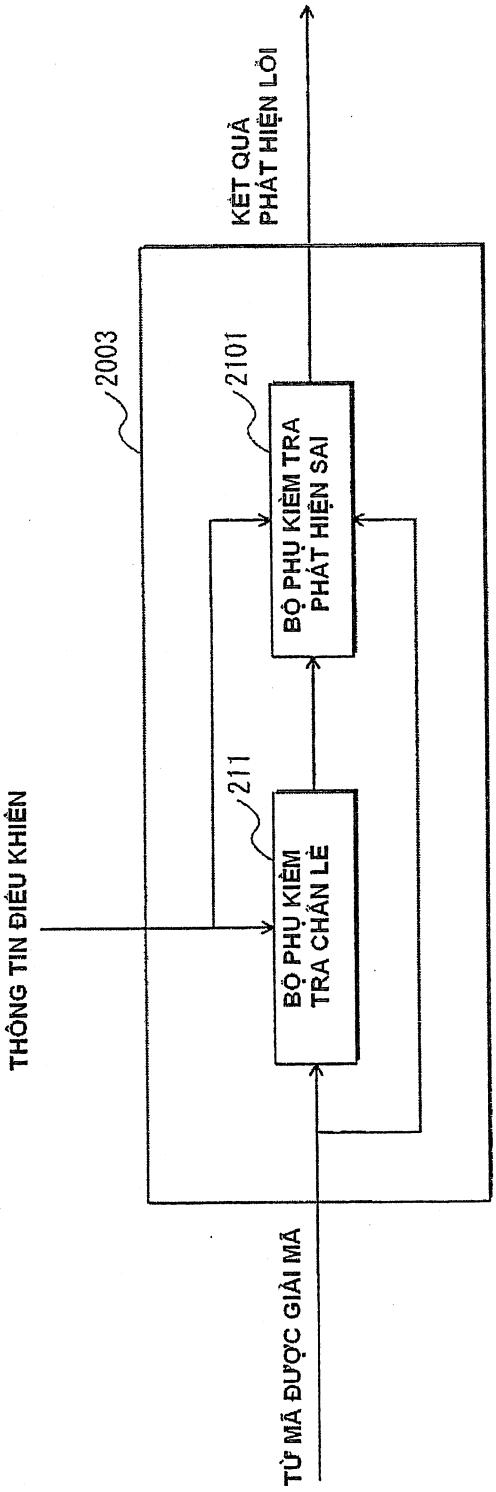

KẾT QUẢ
PHÁT HIỆN LỖI
2003
2101
BỘ PHỤ KIỂM TRA
PHÁT HIỆN SAI
211
BỘ PHỤ KIỂM
TRA CHẴN LẺ
THÔNG TIN ĐIỀU KHIỂN
TỪ MÃ ĐƯỢC GIẢI MÃ

FIG. 22

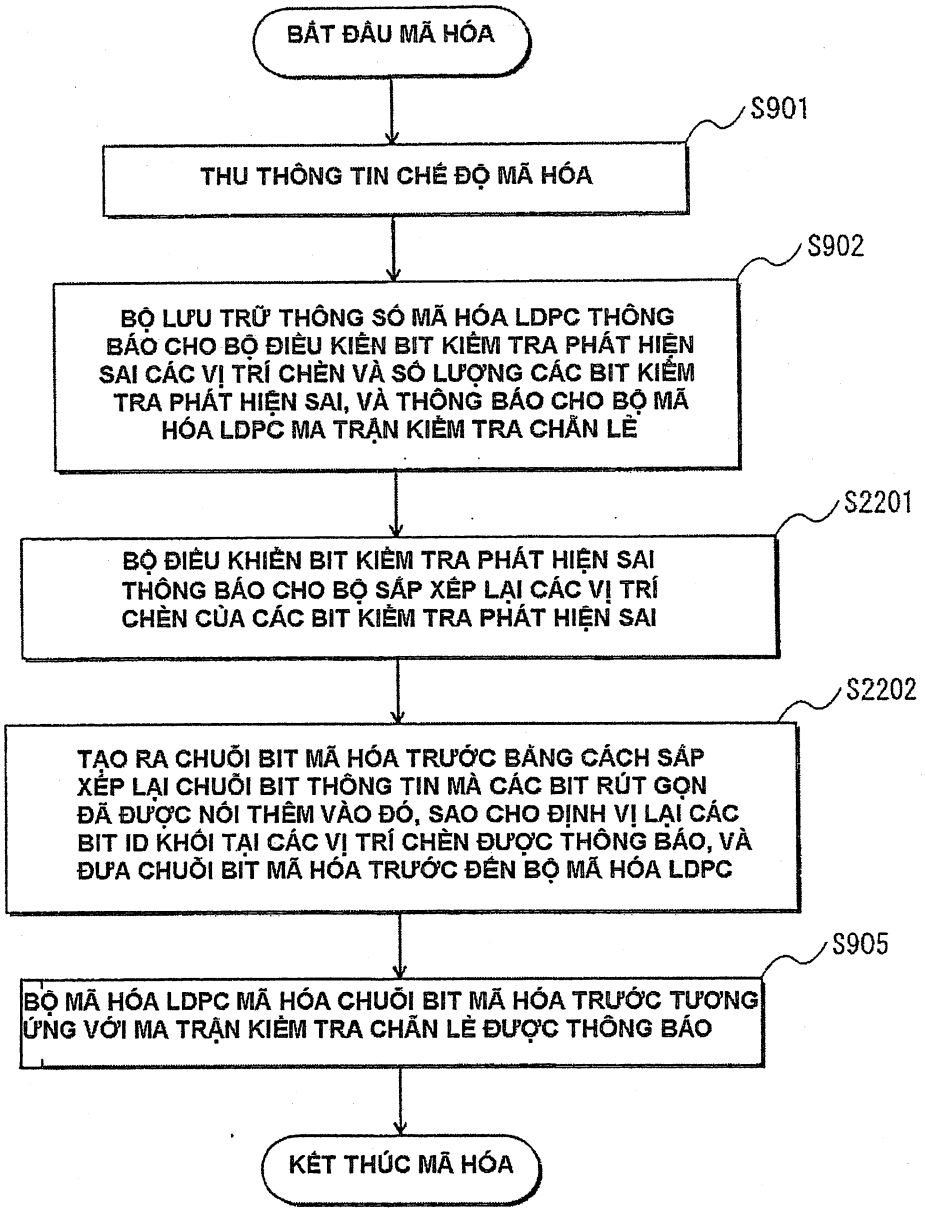

BẮT ĐẦU MÃ HÓA
S901
THU THÔNG TIN CHẾ ĐỘ MÃ HÓA
S902
BỘ LƯU TRỮ THÔNG SỐ MÃ HÓA LDPC THÔNG BÁO CHO BỘ ĐIỀU KIỆN BIT KIỂM TRA PHÁT HIỆN SAI CÁC VỊ TRÍ CHÈN VÀ SỐ LƯỢNG CÁC BIT KIỂM TRA PHÁT HIỆN SAI, VÀ THÔNG BÁO CHO BỘ MÃ HÓA LDPC MA TRẬN KIỂM TRA CHẴN LẺ
S2201
BỘ ĐIỀU KHIỂN BIT KIỂM TRA PHÁT HIỆN SAI THÔNG BÁO CHO BỘ SẮP XẾP LẠI CÁC VỊ TRÍ CHÈN CỦA CÁC BIT KIỂM TRA PHÁT HIỆN SAI
S2202
TẠO RA CHUỖI BIT MÃ HÓA TRƯỚC BẰNG CÁCH SẮP XẾP LẠI CHUỖI BIT THÔNG TIN MÀ CÁC BIT RÚT GỌN ĐÃ ĐƯỢC NỐI THÊM VÀO ĐÓ, SAO CHO ĐỊNH VỊ LẠI CÁC BIT ID KHỐI TẠI CÁC VỊ TRÍ CHÈN ĐƯỢC THÔNG BÁO, VÀ ĐƯA CHUỖI BIT MÃ HÓA TRƯỚC ĐẾN BỘ MÃ HÓA LDPC
S905
BỘ MÃ HÓA LDPC MÃ HÓA CHUỖI BIT MÃ HÓA TRƯỚC TƯƠNG ỨNG VỚI MA TRẬN KIỂM TRA CHẴN LẺ ĐƯỢC THÔNG BÁO
KẾT THÚC MÃ HÓA

FIG. 23

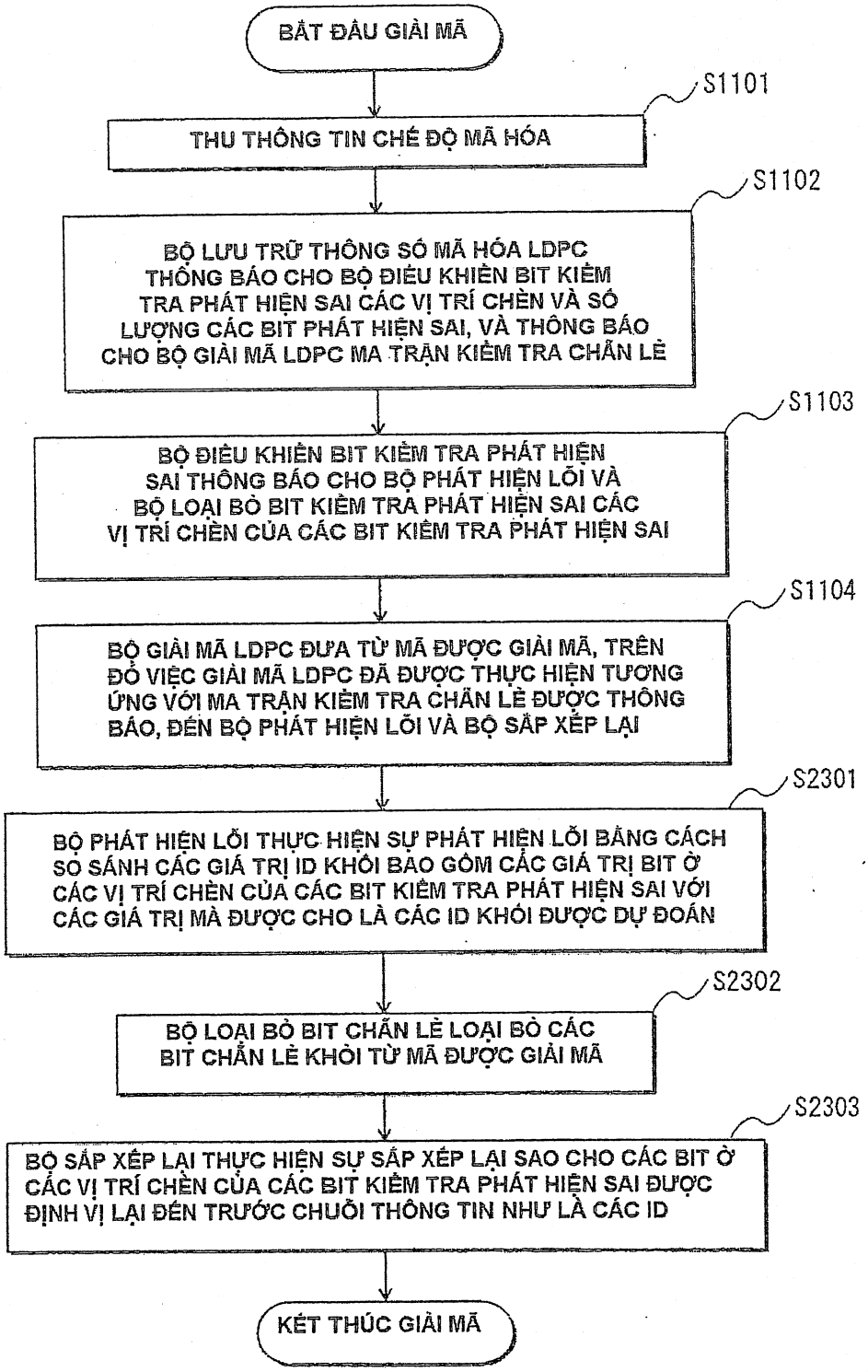

BẮT ĐẦU GIẢI MÃ
S1101
THU THÔNG TIN CHẾ ĐỘ MÃ HÓA
S1102
BỘ LƯU TRỮ THÔNG SỐ MÃ HÓA LDPC THÔNG BÁO CHO BỘ ĐIỀU KHIỂN BIT KIỂM TRA PHÁT HIỆN SAI CÁC VỊ TRÍ CHÈN VÀ SỐ LƯỢNG CÁC BIT PHÁT HIỆN SAI, VÀ THÔNG BÁO CHO BỘ GIẢI MÃ LDPC MA TRẬN KIỂM TRA CHẴN LẺ
S1103
BỘ ĐIỀU KHIỂN BIT KIỂM TRA PHÁT HIỆN SAI THÔNG BÁO CHO BỘ PHÁT HIỆN LỖI VÀ BỘ LOẠI BỎ BIT KIỂM TRA PHÁT HIỆN SAI CÁC VỊ TRÍ CHÈN CỦA CÁC BIT KIỂM TRA PHÁT HIỆN SAI
S1104
BỘ GIẢI MÃ LDPC ĐƯA TỪ MÃ ĐƯỢC GIẢI MÃ, TRÊN ĐÓ VIỆC GIẢI MÃ LDPC ĐÃ ĐƯỢC THỰC HIỆN TƯƠNG ỨNG VỚI MA TRẬN KIỂM TRA CHẴN LẺ ĐƯỢC THÔNG BÁO, ĐẾN BỘ PHÁT HIỆN LỖI VÀ BỘ SẮP XẾP LẠI
S2301
BỘ PHÁT HIỆN LỖI THỰC HIỆN SỰ PHÁT HIỆN LỖI BẰNG CÁCH SO SÁNH CÁC GIÁ TRỊ ID KHỐI BAO GỒM CÁC GIÁ TRỊ BIT Ở CÁC VỊ TRÍ CHÈN CỦA CÁC BIT KIỂM TRA PHÁT HIỆN SAI VỚI CÁC GIÁ TRỊ MÀ ĐƯỢC CHO LÀ CÁC ID KHỐI ĐƯỢC DỰ ĐOÁN
S2302
BỘ LOẠI BỎ BIT CHẴN LẺ LOẠI BỎ CÁC BIT CHẴN LẺ KHỎI TỪ MÃ ĐƯỢC GIẢI MÃ
S2303
BỘ SẮP XẾP LẠI THỰC HIỆN SỰ SẮP XẾP LẠI SAO CHO CÁC BIT Ở CÁC VỊ TRÍ CHÈN CỦA CÁC BIT KIỂM TRA PHÁT HIỆN SAI ĐƯỢC ĐỊNH VỊ LẠI ĐẾN TRƯỚC CHUỖI THÔNG TIN NHƯ LÀ CÁC ID
KẾT THÚC GIẢI MÃ

FIG. 24

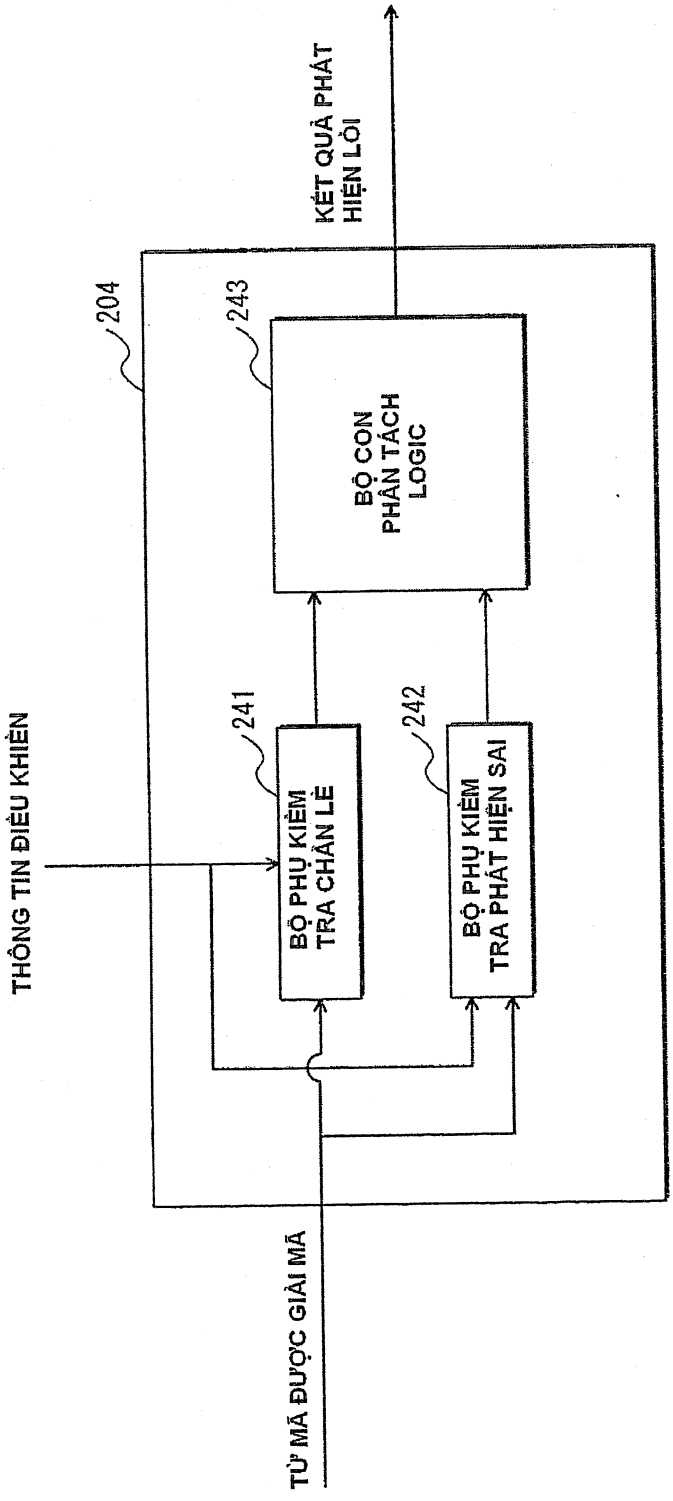

KẾT QUẢ PHÁT HIỆN LỖI
204
243
BỘ CON PHÂN TÁCH LOGIC
241
BỘ PHỤ KIỂM TRA CHẴN LẺ
242
BỘ PHỤ KIỂM TRA PHÁT HIỆN SAI
THÔNG TIN ĐIỀU KHIỂN
TỪ MÃ ĐƯỢC GIẢI MÃ

FIG. 25

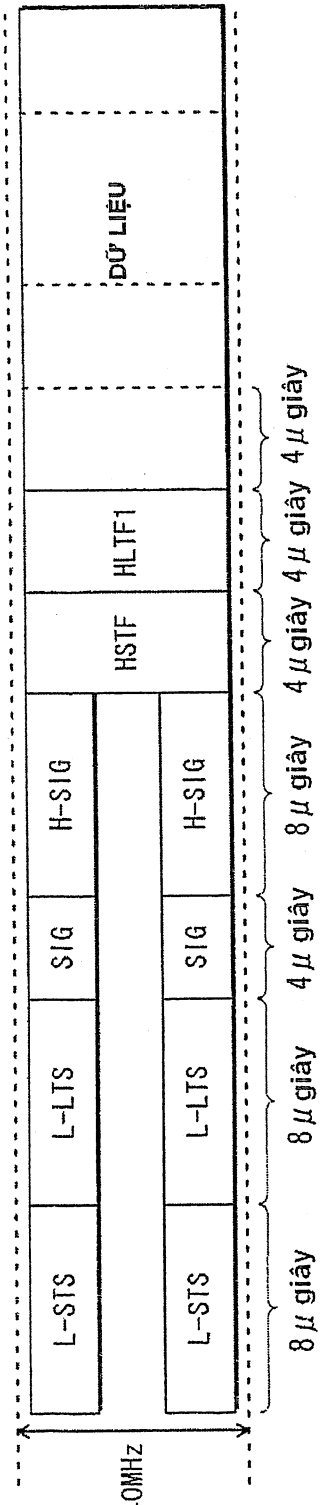
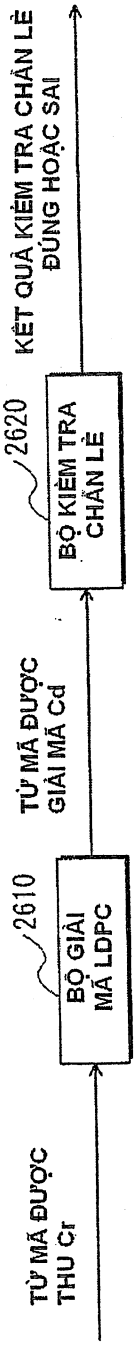

L-STS
L-LTS
SIG
H-SIG
L-STS
L-LTS
SIG
H-SIG
HSTF
HLTF1
DỮ LIỆU
40MHz
8 μ giây
8 μ giây
4 μ giây
8 μ giây
4 μ giây
4 μ giây
4 μ giây

FIG. 26


TỪ MÃ ĐƯỢC THU Cr
2610
BỘ GIẢI MÃ LDPC
TỪ MÃ ĐƯỢC GIẢI MÃ Cd
2620
BỘ KIỂM TRA CHẴN LẺ
KẾT QUẢ KIỂM TRA CHẴN LẺ ĐÚNG HOẶC SAI