



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0054024

(51)^{2020.01} H01L 27/00; G09G 3/00

(13) B

(21) 1-2020-07291

(22) 16/12/2020

(30) 10-2019-0171935 20/12/2019 KR

(45) 25/11/2025 452

(43) 25/06/2021 399A

(73) LG Display Co., Ltd. (KR)

LG Twin Towers, 128, Yeouidaero, Yeungdeungpo-gu, Seoul 07336, Korea

(72) Dosung KIM (KR).

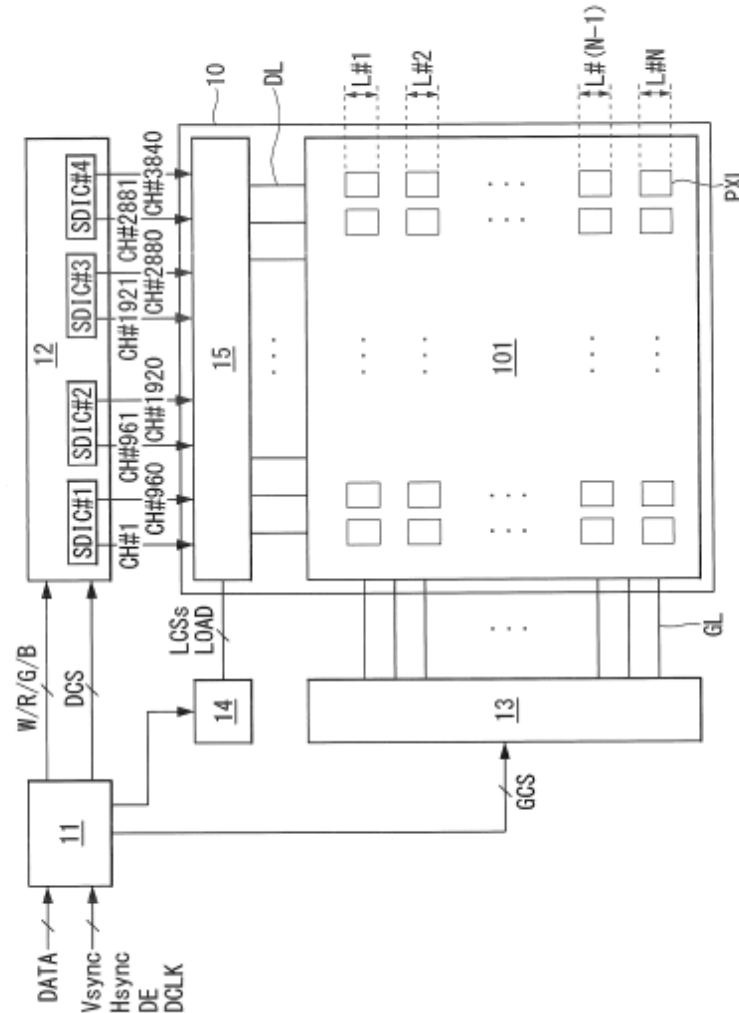
(74) Công ty Luật TNHH T&G (TGVN)

(54) THIẾT BỊ HIỂN THỊ

(21) 1-2020-07291

(57) Sáng chế đề cập đến thiết bị hiển thị, thiết bị hiển thị này bao gồm tám nền hiển thị trong đó nhiều điểm ảnh đơn vị gồm có n điểm ảnh phụ (trong đó n là số tự nhiên bằng hoặc lớn hơn 2) được nối với đường dữ liệu và đường cổng được bố trí; mạch điều vận dữ liệu xuất ra một cách liên tiếp n điện áp dữ liệu qua kênh xuất ra thứ nhất trong một chu kỳ ngang; mạch chốt lấy mẫu một cách liên tiếp n điện áp dữ liệu được nhập vào qua kênh xuất ra thứ nhất và tạo ra n điện áp dữ liệu được lấy mẫu một cách đồng thời đến n đường dữ liệu trong khi duy trì n đường dữ liệu trong một chu kỳ ngang bao gồm thời điểm thứ nhất ở đó điện áp dữ liệu thứ n được lấy mẫu; và mạch điều vận cổng cấp tín hiệu quét đến đường cổng trong việc đồng bộ hóa với điện áp dữ liệu được cấp đến đường dữ liệu.

Fig.1



Lĩnh vực kỹ thuật được đề cập

Sáng chế này nói chung là đề cập đến thiết bị hiển thị và, cụ thể hơn, đến thiết bị hiển thị mà làm giảm số lượng của các IC điều vận nguồn.

Tình trạng kỹ thuật của sáng chế

Thiết bị hiển thị tấm nền phẳng bao gồm thiết bị hiển thị tinh thể lỏng (liquid crystal display device - LCD), thiết bị hiển thị điện phát quang, thiết bị hiển thị phát xạ trường (field emission display - FED), thiết bị hiển thị chấm lượng tử (quantum dot display device - QD), và thiết bị tương tự. Thiết bị hiển thị điện phát quang được chia thành thiết bị hiển thị phát sáng vô cơ và thiết bị hiển thị phát sáng hữu cơ theo vật liệu của lớp phát sáng. Tấm nền tinh thể lỏng và tấm nền hiển thị phát sáng hữu cơ chủ yếu được sử dụng cho các thiết bị thông tin xách tay.

Vì độ phân giải của tấm nền hiển thị tăng lên, số lượng của các đường dữ liệu và số lượng của các IC điều vận nguồn để điều vận các đường dữ liệu tăng lên. Vì số lượng của các IC điều vận nguồn tăng lên, mức tiêu thụ công suất tăng lên, và khoảng không chiếm bởi các IC điều vận nguồn tăng lên, do đó khiến khó để làm giảm vùng mép.

Dưới dạng phương pháp để làm giảm số lượng của các IC điều vận nguồn, có phương pháp điều vận tốc độ kép (double-rate driving - DRD) trong đó hai điểm ảnh phụ lân cận chia sẻ một đường dữ liệu và nhận các tín hiệu quét từ hai đường cổng khác nhau. Tuy nhiên, theo phương pháp DRD, tốc độ điều vận của mạch điều khiển cổng điều vận tín hiệu quét được nhân đôi và số lượng của các đường cổng cũng được nhân đôi, do đó làm giảm tỷ lệ khẩu độ của điểm ảnh.

Theo cách khác để làm giảm số lượng của các IC điều vận nguồn, có phương pháp tạo ra bộ phân kênh giữa IC điều vận nguồn và tấm nền hiển thị, và một cách lựa chọn

chốt kênh xuất ra qua bộ phân kênh. Theo phương pháp này, tốc độ điều vận của đường cổng không tăng lên, nhưng sự định thời chốt đối với bộ phân kênh được làm giảm, sao cho TFT chốt lớn cần phải được tạo kết cấu để nạp đường dữ liệu với các tải trọng lớn, nhờ đó có giới hạn trong việc làm giảm sự định thời. Ngoài ra, khi sự định thời được làm giảm, có khả năng là dữ liệu của các màu khác nhau có thể được trộn.

Bản chất kỹ thuật của sáng chế

Các phương án được bộc lộ trong bản mô tả này có xét đến tình huống này, và mục đích của sáng chế này để tạo ra thiết bị hiển thị mà làm giảm số lượng của các IC điều vận nguồn.

Mục đích cụ thể của sáng chế này để đề xuất phương pháp phát hiện mạch siêu ngắn giữa anốt và catốt của OLED (organic light-emitting diode – điốt phát sáng hữu cơ) được bao gồm trong điểm ảnh.

Thiết bị hiển thị theo một phương án bao gồm tám nền hiển thị trong đó nhiều điểm ảnh đơn vị gồm có n điểm ảnh phụ (trong đó n là số tự nhiên bằng hoặc lớn hơn 2) được nối với đường dữ liệu và đường cổng được bố trí; mạch điều khiển dữ liệu được xuất ra một cách liên tiếp n điện áp dữ liệu qua kênh xuất ra thứ nhất trong một chu kỳ ngang; mạch chốt một cách liên tiếp lấy mẫu n điện áp dữ liệu đưa vào qua kênh xuất ra thứ nhất và cung cấp n điện áp dữ liệu được lấy mẫu một cách đồng thời đến n đường dữ liệu trong khi duy trì n đường dữ liệu được lấy mẫu trong một chu kỳ ngang bao gồm thời điểm thứ nhất ở đó điện áp dữ liệu thứ n được lấy mẫu; và mạch điều vận cổng cấp tín hiệu quét đến đường cổng trong việc đồng bộ hóa với điện áp dữ liệu được cấp đến đường dữ liệu.

Có thể làm giảm số lượng của các IC điều vận nguồn mà không làm tăng tốc độ điều vận của tám nền hiển thị, làm tăng số lượng các đường cổng, và làm giảm tỷ lệ khẩu độ của các điểm ảnh, do đó hạ thấp chi phí của thiết bị hiển thị.

Mô tả vắn tắt các hình vẽ

Các hình vẽ kèm theo, mà được bao gồm để tạo ra sự hiểu hơn về sáng chế và được kết hợp và cấu thành một phần bản mô tả này, minh họa các phương án của sáng chế và, cùng với phần mô tả, đóng vai trò giải thích các nguyên lý của sáng chế. Trên các hình vẽ:

Fig.1 là sơ đồ khối chức năng minh họa thiết bị hiển thị;

Fig.2 là sơ đồ mạch tương đương minh họa điểm ảnh được bao gồm trong tấm nền hiển thị OLED;

Fig.3 là sơ đồ mạch tương đương minh họa điểm ảnh được bao gồm trong tấm nền hiển thị tinh thể lỏng;

Fig.4 là hình vẽ minh họa kết cấu bên trong của bộ điều khiển định thời mà phân tách dữ liệu hình ảnh màu cần phải được xuất ra một cách liên tiếp;

Fig.5 là sơ đồ định thời minh họa sự định thời trong đó bộ điều khiển định thời lưu trữ dữ liệu hình ảnh màu theo cách tách biệt đối với mỗi màu cần phải được xuất ra một cách liên tiếp;

Fig.6 là hình vẽ minh họa kết cấu cụ thể của mạch điều vận dữ liệu;

Fig.7 là sơ đồ định thời minh họa sự định thời trong đó IC điều vận nguồn xuất ra một cách liên tiếp các điện áp dữ liệu đối với mỗi màu trong một chu kỳ ngang;

Fig.8 là hình vẽ minh họa kết cấu khác của mạch điều vận dữ liệu;

Fig.9 là hình vẽ minh họa bộ phận chốt chốt kênh xuất ra của IC điều vận nguồn cần phải được xuất ra đến đường dữ liệu;

Fig.10 là sơ đồ định thời minh họa sự định thời của các tín hiệu quét để điều khiển các sự vận hành của các điểm ảnh của tấm nền hiển thị và bộ phận chốt trên Fig.9

Fig.11 là sơ đồ mạch cụ thể minh họa bộ phận chốt trên Fig.9;

Fig.12 là sơ đồ định thời minh họa sự định thời của các tín hiệu liên quan đến sự vận hành của mạch chốt trên Fig.11; và

Fig.13 là sơ đồ mạch cụ thể minh họa cải biến của bộ phận chốt trên Fig.11.

Mô tả chi tiết sáng chế

Dưới đây, các phương án ưu tiên sẽ được mô tả chi tiết dựa vào các hình vẽ kèm theo.

Suốt bản mô tả này, các số chỉ dẫn giống nhau gần như đề cập đến các bộ phận cấu thành giống nhau. Trong phần mô tả sau, khi xác định rằng phần mô tả chi tiết về chức năng hoặc kết cấu đã biết liên quan đến nội dung của bản mô tả này có thể làm lu mờ một cách không cần thiết hoặc ảnh hưởng tới việc hiểu sáng chế này, phần mô tả chi tiết đó sẽ được bỏ qua.

Fig.1 là sơ đồ khối về chức năng minh họa thiết bị hiển thị; Fig.2 là sơ đồ mạch tương đương minh họa điểm ảnh được bao gồm trong tám nền hiển thị OLED; và Fig.3 là sơ đồ mạch tương đương minh họa điểm ảnh được bao gồm trong tám nền hiển thị tinh thể lỏng.

Thiết bị hiển thị có thể bao gồm tám nền hiển thị 10, bộ điều khiển định thời 11, mạch điều vận dữ liệu 12, mạch điều khiển công 13, mạch tạo ra tín hiệu điều khiển 14, và bộ phận chốt 15.

Trên màn hình trong đó hình ảnh đưa vào được hiển thị trên tám nền hiển thị 10, nhiều đường dữ liệu DL được bố trí theo hướng cột (theo hướng thẳng đứng hoặc hướng thứ hai) và nhiều đường công GL được bố trí theo hướng hàng (hướng ngang hoặc hướng thứ nhất) giao với nhau, và các điểm ảnh PXL được bố trí theo dạng ma trận đối với mỗi vùng giao, do đó tạo ra mảng điểm ảnh 101. Các tín hiệu quét để áp dụng điện áp dữ liệu được cấp đến đường dữ liệu DL vào điểm ảnh PXL được cấp đến các đường công GLs.

Tám nền hiển thị 10 có thể còn bao gồm đường cấp năng lượng thứ nhất để cấp điện áp điều vận điểm ảnh (hoặc điện áp cấp công suất thể năng cao EVDD) đến các điểm ảnh PXL, đường năng lượng thứ hai để cấp điện áp công suất thể năng thấp EVSS

hoặc điện áp chung Vcom đến các điểm ảnh PXLs, và bộ phận tương tự. Các đường năng lượng thứ nhất và thứ hai được nối với bộ phận cấp năng lượng (không được thể hiện trên hình vẽ).

Các bộ phận cảm biến chạm có thể được bố trí trên mảng điểm ảnh 101 của tấm nền hiển thị 10. Việc đưa vào chạm có thể được phát hiện bằng cách sử dụng các bộ phận cảm biến chạm tách biệt hoặc có thể được phát hiện qua các điểm ảnh. Các bộ phận cảm biến chạm có thể được đặt trên màn hình AA của tấm nền hiển thị PXL theo kiểu trên tế bào hoặc kiểu thêm vào trên, hoặc được thực hiện với các bộ phận cảm biến chạm kiểu trong tế bào được gắn vào trong mảng điểm ảnh.

Trong mảng điểm ảnh 101, các điểm ảnh PXL được bố trí trên cùng đường ngang được nối với đường dữ liệu bất kỳ trong số các đường dữ liệu DL và đường cổng bất kỳ trong số các đường cổng GL, do đó tạo ra đường điểm ảnh hoặc đường hiển thị Li. Điểm ảnh PXL được nối điện với đường dữ liệu DL phản ứng với tín hiệu quét được áp dụng qua đường cổng GL để nhận điện áp dữ liệu. Các điểm ảnh PXL được bố trí trên cùng đường điểm ảnh vận hành một cách đồng thời theo tín hiệu quét được áp dụng từ cùng đường cổng GL.

Điểm ảnh đơn vị, mà là cơ sở cho độ phân giải, bao gồm bốn điểm ảnh phụ bao gồm điểm ảnh phụ R cho màu đỏ, điểm ảnh phụ G cho màu xanh lá cây, điểm ảnh phụ B cho màu xanh dương, và điểm ảnh phụ W cho màu trắng hoặc có thể gồm có ba điểm ảnh phụ, bao gồm điểm ảnh phụ R, điểm ảnh phụ G, và điểm ảnh phụ B, nhưng không chỉ hạn chế ở đó. Dưới đây, điểm ảnh có thể có nghĩa điểm ảnh phụ tùy vào các trường hợp.

Khi tấm nền hiển thị 10 là tấm nền OLED, mỗi trong số các điểm ảnh phụ R/G/B hoặc W/R/B/G có chi tiết phát sáng OLED được nối giữa đường thứ nhất để cấp điện áp công suất thế năng cao EVDD và đường thứ hai để cấp điện áp công suất thế năng thấp EVSS, và mạch điểm ảnh được nối với đường dữ liệu DL và đường cổng GL và điều vận chi tiết OLED, như được thể hiện trên Fig.2. Mạch điểm ảnh bao gồm ít nhất tranzito

chuyển mạch ST, tranzito điều vận DT, và tụ điện lưu trữ Cst. Tranzito chuyển mạch ST nạp điện áp dữ liệu từ đường dữ liệu DL trong tụ điện lưu trữ Cst phản ứng với xung quét từ đường cổng GL, và tranzito điều vận DT điều khiển dòng điện được cấp đến OLED theo điện áp được nạp trong tụ điện lưu trữ Cst để điều chỉnh lượng phát sáng từ OLED.

Khi tám nền hiển thị 10 là tám nền tinh thể lỏng, mỗi trong số các điểm ảnh phụ R/G/B có tranzito chuyển mạch ST được nối với đường dữ liệu DL và đường cổng GL, và tụ điện tinh thể lỏng Clc và tụ điện lưu trữ Cst được nối song song với tranzito chuyển mạch ST, như được thể hiện trên Fig.3. Tụ điện tinh thể lỏng Clc nạp điện áp vi sai giữa điện áp dữ liệu được cấp đến điện cực điểm ảnh và điện áp chung Vcom được cấp đến điện cực chung qua tranzito chuyển mạch ST, và điều chỉnh việc truyền ánh sáng bằng cách điều vận tinh thể lỏng theo điện áp được nạp. Tụ điện lưu trữ Cst giữ điện áp được nạp điện trong tụ điện tinh thể lỏng Clc ổn định.

Bộ điều khiển định thời 11 cấp dữ liệu hình ảnh DATA được truyền từ hệ thống chủ bên ngoài đến mạch điều vận dữ liệu 12, và trong bản mô tả này, tái bố trí dữ liệu hình ảnh DATA cần phải được truyền theo các đơn vị của dữ liệu màu. Nghĩa là, bộ điều khiển định thời 11 bố trí bộ nhớ đường một cách tách biệt đối với mỗi màu sao cho dữ liệu hình ảnh đưa vào DATA được lưu trữ trong các bộ nhớ đường khác nhau một cách tách biệt đối với mỗi màu trên cơ sở mỗi đường, và khiến tạo ra sự định thời truyền khác nhau đối với mỗi màu sao cho dữ liệu hình ảnh W/R/G/B có thể được cấp đến mạch điều vận dữ liệu 12.

Ngoài ra, bộ điều khiển định thời 11 nhận các tín hiệu định thời chẳng hạn như tín hiệu đồng bộ hóa theo phương thẳng đứng Vsync, tín hiệu đồng bộ hóa theo phương ngang Hsync, tín hiệu kích hoạt dữ liệu DE, và xung nhịp điểm DCLK từ hệ thống chủ, và tạo ra các tín hiệu điều khiển để điều khiển các sự định thời vận hành của mạch điều vận dữ liệu 12 và mạch điều vận cổng 13. Các tín hiệu điều khiển bao gồm tín hiệu điều khiển định thời cổng GCS để điều khiển sự định thời vận hành của mạch điều khiển cổng

13 và tín hiệu điều khiển định thời dữ liệu DCS để điều khiển sự định thời vận hành của mạch điều vận dữ liệu 12.

Mạch điều vận dữ liệu 12 lấy mẫu và chốt dữ liệu hình ảnh số W/R/G/B một cách liên tiếp đưa vào theo cách tách biệt đối với mỗi màu từ bộ điều khiển định thời 11 trên cơ sở của tín hiệu điều khiển dữ liệu DCS, cần phải được thay đổi thành dữ liệu song song, và chuyển đổi dữ liệu song song thành điện áp dữ liệu tương tự theo điện áp tham chiếu gama qua các kênh cần phải được xuất ra đến các đường dữ liệu DLs. Điện áp dữ liệu có thể là trị số tương ứng với thứ bậc mà để biểu diễn cho một điểm ảnh. Mạch điều vận dữ liệu 12 có thể gồm có nhiều IC điều vận nguồn SDIC.

IC điều vận nguồn xuất ra một cách liên tiếp các điện áp dữ liệu màu tương ứng với dữ liệu hình ảnh màu qua một kênh xuất ra CH. Ví dụ, khi dữ liệu hình ảnh màu trắng, màu đỏ, màu xanh lá cây, và màu xanh dương W/R/G/B một cách liên tiếp đưa vào từ bộ điều khiển định thời 11 trên cơ sở mỗi đường, IC điều vận nguồn có thể xuất ra một cách liên tiếp điện áp dữ liệu tương ứng với dữ liệu hình ảnh màu trắng, màu đỏ, màu xanh lá cây, và màu xanh dương ở một chu kỳ ngang qua kênh xuất ra CH.

Khi độ phân giải theo phương ngang của tấm nền hiển thị 10 bằng 3840 tương ứng với 4K, và mạch điều vận dữ liệu 12 bao gồm bốn IC điều vận nguồn như được thể hiện trên Fig.1, mỗi IC điều vận nguồn có thể xuất ra điện áp dữ liệu qua $3840/4=960$ kênh CH.

Khi mạch điều vận cổng 13 tạo ra tín hiệu quét trên cơ sở của tín hiệu điều khiển cổng GCS, mạch điều vận cổng 13 tạo ra tín hiệu quét theo cách dãy trong chu kỳ hoạt động và một cách liên tiếp cung cấp tín hiệu quét đến đường cổng GL được nối với mỗi đường điểm ảnh. Tín hiệu quét từ đường cổng GL được bố trí theo cách đồng bộ hóa với việc cấp của điện áp dữ liệu từ đường dữ liệu DL. Tín hiệu quét chuyển giữa điện áp cổng bật VGL và điện áp cổng tắt VGH.

Mạch điều vận cổng 13 có thể được tạo cấu hình với nhiều mạch tích hợp điều vận cổng mà mỗi mạch bao gồm thanh ghi dịch, bộ dịch chuyển mức để chuyển đổi tín hiệu đầu ra của thanh ghi dịch thành độ rộng chuyển thích hợp để điều vận TFT của điểm ảnh, bộ đếm xuất ra, v.v.. Mặt khác, mạch điều vận cổng 13 có thể được tạo ra một cách trực tiếp trên đế bên dưới của tấm nền hiển thị 10 bởi phương pháp IC điều vận cổng trong tấm nền (gate drive IC in panel - GIP). Trong trường hợp phương pháp GIP, bộ dịch chuyển mức được lắp trên bảng mạch in (printed circuit board - PCB), và thanh ghi dịch có thể được tạo ra trên đế bên dưới của tấm nền hiển thị 10.

Mạch tạo ra tín hiệu điều khiển 14 tạo ra các tín hiệu điều khiển chốt LCS và LOAD để điều khiển việc vận hành của bộ phận chốt 15 dưới sự điều khiển của bộ điều khiển định thời 11.

Bộ phận chốt 15 được tạo ra trong tấm nền hiển thị 10 nối mỗi kênh xuất ra CH đến nhiều đường dữ liệu DL, và do đó lấy mẫu và giữ điện áp dữ liệu của mỗi màu một cách liên tiếp đưa vào qua mỗi kênh xuất ra CH theo tín hiệu điều khiển chốt cần phải xuất ra một cách đồng thời đến đường dữ liệu DL của màu tương ứng.

Bộ phận cấp năng lượng không được thể hiện trên hình vẽ điều chỉnh điện áp đưa vào DC được bố trí từ hệ thống chủ 20 bằng cách sử dụng bộ chuyển đổi DC-DC, để tạo ra điện áp cổng bật VGL và điện áp cổng tắt VGH được đòi hỏi để vận hành mạch điều vận dữ liệu 12 và mạch điều vận cổng 13, và để tạo ra điện áp cấp năng lượng cao EVDD, điện áp cấp công suất thế năng thấp VSS, hoặc điện áp chung Vcom được đòi hỏi để điều vận mảng điểm ảnh.

Hệ thống chủ có thể là bộ xử lý ứng dụng (application processor - AP) trong thiết bị di động, thiết bị cầm tay, và thiết bị thực tế ảo/ảo tăng cường. Mặt khác, hệ thống chủ có thể là bảng mạch chính chẳng hạn như hệ thống ti vi, hộp đỉnh thiết lập, hệ thống điều hướng, máy tính cá nhân, và hệ thống rạp hát tại nhà, nhưng không chỉ hạn chế ở đó.

Fig.4 là hình vẽ minh họa kết cấu bên trong của bộ điều khiển định thời mà phân tách dữ liệu hình ảnh màu cần phải được xuất ra một cách liên tiếp; và Fig.5 là sơ đồ định thời minh họa sự định thời trong đó bộ điều khiển định thời lưu trữ dữ liệu hình ảnh màu theo cách tách biệt đối với mỗi màu cần phải được xuất ra một cách liên tiếp.

Bộ điều khiển định thời 11 có thể bao gồm bộ nhận dữ liệu 111, bộ sắp hàng dữ liệu 112, bộ nhớ đường 113, bộ truyền dữ liệu 114, và bộ phát tín hiệu định thời 116.

Bộ nhận dữ liệu 111 nhận dữ liệu hình ảnh DATA và tín hiệu định thời từ hệ thống chủ.

Bộ sắp hàng dữ liệu 112 có thể tách dữ liệu hình ảnh DATA cần phải được cấp đến các điểm ảnh phụ tạo nên một đường hiển thị đối với mỗi màu và lưu trữ một cách tạm thời dữ liệu hình ảnh trong bộ nhớ đường 113 được bố trí cho mỗi màu.

Ví dụ, khi điểm ảnh đơn vị bao gồm bốn màu gồm màu trắng, màu đỏ, màu xanh lá cây, và màu xanh dương, bộ nhớ đường 113 có thể gồm có bốn bộ nhớ đường. Ngoài ra, khi độ phân giải ngang của tấm nền hiển thị 10 bằng 3840 tương ứng với 4 K, bộ nhớ đường của mỗi màu có thể lưu trữ 3840 phần dữ liệu hình ảnh. Nghĩa là, bộ sắp hàng dữ liệu 112 và bộ nhớ đường 113 có thể xử lý việc đưa vào và xuất ra của dữ liệu hình ảnh tương ứng với một đường ngang trong một chu kỳ ngang 1H.

Bộ sắp hàng dữ liệu 112 có thể truyền dữ liệu hình ảnh được lưu trữ theo cách tách biệt đối với mỗi màu trong bộ nhớ đường 113 đến mạch điều vận dữ liệu 12 qua bộ truyền dữ liệu 114, trong đó dữ liệu hình ảnh của mỗi màu có thể được xuất ra trong mỗi chu kỳ $1/4H$, mà thu được bằng cách chia một chu kỳ ngang bởi số lượng các màu tạo nên điểm ảnh đơn vị, bốn trong ví dụ trên Fig.5.

Trong ví dụ trên Fig.5, 1 đến 3840 phần dữ liệu hình ảnh màu trắng được truyền từ bộ nhớ đường 113 phụ trách màu trắng trong $1/4H$; 1 đến 3840 phần dữ liệu hình ảnh màu đỏ được truyền từ bộ nhớ đường 113 phụ trách màu đỏ trong $1/4H$ tiếp theo; 1 đến 3840 phần dữ liệu hình ảnh màu xanh lá cây được truyền từ bộ nhớ đường 113 phụ trách

màu xanh lá cây trong 1/4H tiếp theo; và sau đó 1 đến 3840 phần dữ liệu hình ảnh màu xanh dương có thể được truyền từ bộ nhớ đường 113 phụ trách màu xanh dương màu trong 1/4H tiếp theo. Thứ tự của các màu trong đó dữ liệu hình ảnh được truyền có thể được thay đổi.

Bộ phát tín hiệu định thời 116 tạo ra tín hiệu điều khiển cổng GCS và tín hiệu điều khiển dữ liệu DCS từ các tín hiệu định thời chẳng hạn như tín hiệu đồng bộ hóa theo phương thẳng đứng Vsync, tín hiệu đồng bộ hóa theo phương ngang Hsync, tín hiệu kích hoạt dữ liệu DE, và xung nhịp điểm DCLK được tạo ra từ hệ thống chủ, và còn tạo ra tín hiệu điều khiển mà khiến mạch tạo tín hiệu điều khiển 14 tạo ra các tín hiệu điều khiển chốt LCS và LOAD.

Khi bộ phát tín hiệu định thời 116 và mạch tạo tín hiệu điều khiển 14 được tích hợp với nhau, bộ phát tín hiệu định thời 116 có thể tạo ra các tín hiệu điều khiển chốt LCS và LOAD để điều khiển việc vận hành của bộ phận chốt 15.

Fig.6 là hình vẽ minh họa kết cấu cụ thể của mạch điều vận dữ liệu; và Fig.7 là sơ đồ định thời minh họa sự định thời trong đó bộ điều vận nguồn IC xuất ra một cách liên tiếp các điện áp dữ liệu đối với mỗi màu trong một chu kỳ ngang.

Đề cập đến Fig.6, mạch điều vận dữ liệu 12 có thể được tạo cấu hình để bao gồm thanh ghi dịch 121, chốt thứ nhất 122, chốt thứ hai 123, bộ dịch chuyển mức 124, DAC 125, và bộ đệm 126.

Thanh ghi dịch 121 dịch chuyển xung nhịp đưa vào từ bộ điều khiển định thời 11 để xuất ra một cách liên tiếp xung nhịp nhằm lấy mẫu. Chốt thứ nhất 122 lấy mẫu và chốt dữ liệu điểm ảnh W/R/G/B của hình ảnh đưa vào ở định thời xung nhịp để lấy mẫu dữ liệu đưa vào một cách liên tiếp từ thanh ghi dịch 121, và xuất ra dữ liệu điểm ảnh được lấy mẫu W/R/G/B ở cùng thời điểm. Chốt thứ hai 123 xuất ra một cách đồng thời dữ liệu điểm ảnh W/R/G/B nhập vào từ chốt thứ nhất 122.

Bộ dịch chuyển mức 124 dịch chuyển điện áp của dữ liệu điểm ảnh W/R/G/B đưa vào từ chốt thứ hai 123 vào phạm vi điện áp đưa vào của DAC 125. DAC 125 chuyển đổi dữ liệu điểm ảnh W/R/G/B từ bộ dịch chuyển mức 124 thành điện áp dữ liệu trên cơ sở của các điện áp bù gama GMA1 đến GMA và xuất ra điện áp dữ liệu. Điện áp dữ liệu được xuất ra từ DAC 125 được cấp đến kênh xuất ra CH qua bộ đệm 126.

Mạch điều vận dữ liệu 12 trên Fig.6 vận hành trong các đơn vị $1/4$ chu kỳ ngang ($1/4H$), khi điểm ảnh đơn vị bao gồm bốn điểm ảnh phụ màu. Nghĩa là, mạch điều vận dữ liệu 12 xuất ra các điện áp dữ liệu của bốn màu qua một kênh xuất ra CH trong $1H$, theo cách sao cho dữ liệu hình ảnh của một màu được nhận từ bộ điều khiển định thời 11 qua chốt thứ hai 122 trong $1/4H$, và điện áp dữ liệu của một màu được xuất ra kênh xuất ra CH qua bộ đệm 126 trong $1/4H$.

Khi mạch điều vận dữ liệu 12 bao gồm bốn IC điều vận nguồn và độ phân giải ngang của tám nền hiển thị 10 bằng 3840, một IC điều vận nguồn có thể bao gồm $3840/4=960$ kênh xuất ra CH. Trong bản mô tả này, IC điều vận nguồn thứ nhất SDIC#1 phụ trách các kênh xuất ra thứ nhất đến thứ 960 CH#1 đến CH#960, IC điều vận nguồn thứ hai SDIC#2 phụ trách các kênh xuất ra thứ 961 đến thứ 1920 CH#961 đến CH#1920, IC điều vận nguồn thứ ba SDIC#3 phụ trách các kênh xuất ra thứ 1921 đến thứ 2880 CH#1921 đến CH#2880, và IC điều vận nguồn thứ tư SDIC#4 phụ trách các kênh xuất ra thứ 2881 đến thứ 3840 CH#2881 đến CH#3840.

Mỗi IC điều vận nguồn nhận dữ liệu hình ảnh của bốn các màu bốn lần trong $1H$, và xuất ra các điện áp dữ liệu của bốn màu bốn lần qua mỗi kênh xuất ra như được thể hiện trên Fig.7.

Khi dữ liệu hình ảnh màu trắng W được truyền từ bộ điều khiển định thời 11 trong $1/4H$, mỗi bộ điều vận nguồn IC xuất ra điện áp dữ liệu V_w tương ứng với màu trắng đến bộ đệm 126 qua chốt thứ nhất 122, chốt thứ hai 123, bộ dịch chuyển mức 124, và DAC 125. Trong bản mô tả này, độ trễ của thời gian định trước xảy ra trong khi đi qua

chốt thứ nhất 122, chốt thứ hai 123, bộ dịch chuyển mức 124, và DAC 125, nhưng bộ đệm 126 có điện áp dữ liệu V_w của màu trắng trong $1/4H$.

Trong $1/4H$ tiếp theo sau khi dữ liệu hình ảnh màu trắng W được truyền, dữ liệu hình ảnh màu đỏ R được truyền từ bộ điều khiển định thời 11, và điện áp dữ liệu V_r tương ứng với màu đỏ được xuất ra đến bộ đệm 126 qua chốt thứ nhất 122, chốt thứ hai 123, bộ dịch chuyển mức 124, và DAC 125. Trong bản mô tả này, bộ đệm 126 xuất ra điện áp dữ liệu V_r của màu đỏ trong $1/4H$ tiếp theo sau khi bộ đệm 126 xuất ra điện áp dữ liệu V_w của màu trắng.

Như được thể hiện trên Fig.7, dữ liệu hình ảnh màu xanh lá cây và màu xanh dương G và B được xử lý theo cách giống như dữ liệu hình ảnh màu trắng và màu đỏ W và R , sao cho các điện áp dữ liệu V_g và V_b của màu tương ứng được xuất ra từ bộ đệm 126 trong mỗi $1/4H$.

Fig.8 là hình vẽ minh họa kết cấu khác của mạch điều vận dữ liệu.

Bộ điều vận nguồn IC trên Fig.7 nhận dữ liệu hình ảnh theo cách tách biệt đối với mỗi màu từ bộ điều khiển định thời 11 ở các khoảng $1/4H$, trong khi mạch điều vận dữ liệu trên Fig.8 nhận dữ liệu hình ảnh của một đường ngang trong các đơn vị $1H$ từ bộ điều khiển định thời 11 mà không phân tách các màu. Trong bản mô tả này, bộ điều khiển định thời 11 có thể không đòi hỏi bộ sắp hàng dữ liệu 122 và bộ nhớ đường 113.

Mạch điều vận dữ liệu trên Fig.8 có thể được tạo cấu hình để bao gồm thanh ghi dịch 121, chốt thứ nhất 122, chốt thứ hai 123, bộ dịch chuyển mức 124, DAC 125, bộ dồn kênh 127 và bộ đệm 128.

Sự vận hành của chốt thứ nhất 121 đến ADC 125 giống như sự vận hành trên Fig.6, nhưng tần số vận hành trong các đơn vị một chu kỳ ngang, không giống Fig.6, mà trong các đơn vị $1/4H$ chu kỳ ngang.

Bộ dồn kênh 127 vận hành trong các đơn vị $1/4H$ chu kỳ ngang để dồn kênh bốn đầu ra, nghĩa là, bốn điện áp dữ liệu màu từ ADC 125 và xuất ra bốn điện áp dữ liệu màu

đến bộ đệm 128. Cụ thể hơn, bộ dồn kênh 127 chia 1H thành 4 phần bằng nhau, để xuất ra điện áp dữ liệu màu trắng trong 1/4H, xuất ra điện áp dữ liệu màu đỏ trong 1/4H tiếp theo, xuất ra điện áp dữ liệu màu xanh lá cây trong 1/4H tiếp theo, và xuất ra điện áp dữ liệu màu xanh dương trong 1/4H tiếp theo. Việc xuất ra của mỗi kênh giống như được mô tả trên Fig.7.

Fig.9 là hình vẽ minh họa bộ phận chốt chốt kênh xuất ra của IC điều vận nguồn cần phải được xuất ra đến đường dữ liệu; và Fig.10 là sơ đồ định thời minh họa sự định thời của các tín hiệu quét để điều khiển các việc vận hành của các điểm ảnh của tấm nền hiển thị và bộ phận chốt trên Fig.9.

Bộ phận chốt 15 lấy mẫu và giữ điện áp dữ liệu của mỗi màu đưa vào một cách liên tiếp qua mỗi kênh xuất ra CH cần phải được xuất ra một cách đồng thời đến điện áp dữ liệu DL của màu tương ứng, và bao gồm bộ phận lấy mẫu 151 và bộ phận giữ 152, và bộ phận đệm 153.

Bộ phận lấy mẫu 151 có thể lấy mẫu các điện áp dữ liệu V_w , V_r , V_g , và V_b của mỗi màu đưa vào một cách liên tiếp bằng cách chia một chu kỳ ngang thành các khoảng thời gian bằng nhau qua một kênh xuất ra CH#n, để tạo ra các tín hiệu lấy mẫu W_s , R_s , G_s , và B_s theo cách tách biệt đối với mỗi màu. Bộ phận lấy mẫu 151 bao gồm các bộ phận chốt lấy mẫu $SL(W)$, $SL(R)$, $SL(G)$, và $SL(B)$ đối với mỗi màu, và mỗi bộ phận chốt lấy mẫu có thể lấy mẫu điện áp dữ liệu của màu tương ứng trong việc đồng bộ hóa với tín hiệu điều khiển chốt tương ứng trong số các tín hiệu điều khiển chốt LCS1 đến LCS4 được cấp bởi mạch tạo tín hiệu điều khiển 14, để phân tách điện áp dữ liệu của màu tương ứng.

Tín hiệu điều khiển chốt thứ nhất LCS1 được xuất ra dưới dạng xung trong trạng thái bật trong 1/4H thứ nhất của một chu kỳ ngang, và bộ phận chốt lấy mẫu $SL(W)$ đối với màu trắng lấy mẫu điện áp dữ liệu màu trắng V_w xuất ra trong 1/4H thứ nhất từ

kênh xuất ra CH#n theo tín hiệu điều khiển chốt thứ nhất LCS1, do đó tạo ra tín hiệu lấy mẫu Ws.

Các tín hiệu điều khiển chốt thứ hai, thứ ba và thứ tư LCS2, LCS3, và LCS4 được xuất ra dưới dạng các xung trong trạng thái bật trong $1/4H$ thứ hai, thứ ba và thứ tư của một chu kỳ ngang, một cách lần lượt, và các bộ phận chốt lấy mẫu SL(R), SL(G), và SL(B) đối với các màu đỏ, màu xanh lá cây và màu xanh dương lấy mẫu các điện áp dữ liệu màu đỏ, màu xanh lá cây và màu trắng V_r , V_g , và V_b xuất ra trong $1/4H$ thứ hai, thứ ba, và thứ tư từ kênh CH#n theo các tín hiệu điều khiển chốt thứ hai, thứ ba và thứ tư LCS2, LCS3, và LCS4, một cách lần lượt, do đó tạo ra các tín hiệu lấy mẫu màu đỏ, màu xanh lá cây và màu xanh dương Rs, Gs, và Bs.

Bộ phận giữ 152 bao gồm các bộ phận chốt giữ màu trắng, đỏ, màu xanh lá cây, và màu xanh dương HL(W), HL(R), HL(G), và HL(B), và duy trì tín hiệu lấy mẫu Ws, Rs, Gs, và Bs đối với mỗi màu xuất ra bởi bộ phận lấy mẫu 151 trong một chu kỳ ngang, trong việc đồng bộ hóa với tín hiệu tải LOAD được cấp bởi mạch tạo tín hiệu điều khiển 14, để xuất ra các tín hiệu giữ Wh, Rh, Gh, và Bh đối với mỗi màu. Trong bản mô tả này, tín hiệu tải LOAD có thể có độ rộng xung $1/4H$ và được đồng bộ hóa với tín hiệu điều khiển chốt thứ tư LCS4 mà là tín hiệu điều khiển chốt cuối cùng như được thể hiện trên Fig.10.

Bộ phận đệm 153 bao gồm các bộ đệm màu trắng, màu đỏ, màu xanh lá cây, và màu xanh dương BUF(W), BUF(R), BUF(G), và BUF(B), và cho phép các tín hiệu giữ Wh, Rh, Gh, và Bh đối với mỗi màu xuất ra bởi bộ phận giữ 152 để điều vận các đường dữ liệu tương ứng DL(W), DL(R), DL(G), và DL(B).

Mạch điều vận công 13 có thể tạo ra một cách liên tiếp tín hiệu quét mà chuyển tiếp đến mức bật trong việc đồng bộ hóa với tín hiệu tải LOAD, cần phải được cấp một cách liên tiếp đến các điểm ảnh của mỗi đường ngang.

Fig.11 là sơ đồ mạch cụ thể minh họa bộ phận chốt trên Fig.9; và Fig.12 là sơ đồ định thời minh họa định thời của các tín hiệu liên quan đến sự vận hành của mạch chốt trên Fig.11.

Trên Fig.12, kênh thứ n CH# n xuất ra điện áp dữ liệu V_{data} ở các khoảng $1/4H$. Nghĩa là, kênh thứ n CH# n xuất ra các điện áp dữ liệu V_{w1} , V_{r1} , V_{g1} , và V_{r1} đối với các màu trắng, màu đỏ, màu xanh lá cây, và màu xanh dương trong chu kỳ ngang thứ nhất, xuất ra các điện áp dữ liệu V_{w2} , V_{r2} , V_{g2} , và V_{r2} đối với các màu trắng, màu đỏ, màu xanh lá cây, và màu xanh dương trong chu kỳ ngang thứ hai, và xuất ra một cách liên tiếp các điện áp dữ liệu của mỗi màu theo cách tương tự trong các chu kỳ ngang thứ ba và thứ tư.

Các tín hiệu điều khiển chốt thứ nhất đến thứ tư LCS1, LCS2, LCS3, và LCS4 được xuất ra một cách liên tiếp ở độ rộng xung $1/4H$ trong việc đồng bộ hóa với đầu ra điện áp dữ liệu của kênh.

Trên Fig.11, bộ phận chốt lấy mẫu SL(W) đối với màu trắng có thể được tạo cấu hình để bao gồm các TFT thứ nhất/thứ hai T1 và T2 và các tụ điện thứ nhất/thứ hai C1 và C2. Tín hiệu điều khiển chốt thứ nhất LCS1 được đưa vào các điện cực cổng của các TFT thứ nhất/thứ hai T1 và T2, sao cho điện áp dữ liệu màu trắng V_w đưa vào trong $1/4H$ thứ nhất của một chu kỳ ngang được lấy mẫu để tạo ra tín hiệu lấy mẫu màu trắng W_s .

Trên Fig.11, các TFT thứ nhất T1 của bộ phận chốt lấy mẫu SL(W) đối với màu trắng và bộ phận chốt lấy mẫu SL(R) đối với màu đỏ được nối liên tiếp với nhau và chia sẻ đường xuất ra với nhau để xuất ra tín hiệu W/R, sao cho tín hiệu W/R được xuất ra dưới dạng điện áp dữ liệu màu trắng V_w trong $1/4H$ thứ nhất bởi tín hiệu điều khiển chốt thứ nhất LCS1 và xuất ra dưới dạng điện áp dữ liệu màu đỏ V_r trong $1/4 H$ thứ hai đến $1/4 H$ thứ tư.

Tuy nhiên, vì tín hiệu W/R được lấy mẫu lần nữa qua các TFT thứ hai T2 bằng cách sử dụng các tín hiệu điều khiển chốt khác nhau LCS1 và LCS2, bộ phận chốt lấy

mẫu SL(W) đối với màu trắng xuất ra điện áp dữ liệu màu trắng V_w dưới dạng tín hiệu lấy mẫu màu trắng Ws , và bộ phận chốt lấy mẫu SL(R) đối với màu đỏ xuất ra điện áp dữ liệu màu đỏ V_r dưới dạng tín hiệu lấy mẫu màu đỏ Rs .

Trên Fig.11, các TFT thứ nhất T1 của bộ phận chốt lấy mẫu SL(G) đối với màu xanh lá cây và bộ phận chốt lấy mẫu SL(B) đối với màu xanh dương được nối liên tiếp với nhau và chia sẻ đường xuất ra với nhau để xuất ra tín hiệu G/B. Như được mô tả ở trên, tín hiệu G/B có thể được phân tách thành điện áp dữ liệu màu xanh lá cây V_g và điện áp dữ liệu màu xanh dương V_b qua các TFT thứ hai T2 bằng cách sử dụng các tín hiệu điều khiển chốt khác nhau LCS3 và LCS4, mà được lấy mẫu thành tín hiệu lấy mẫu màu xanh lá cây Gs và tín hiệu lấy mẫu màu xanh dương Bs , một cách lần lượt.

Các tín hiệu lấy mẫu màu trắng, màu đỏ, màu xanh lá cây, và màu xanh dương Ws , Rs , Gs , và Bs xuất ra các điện áp dữ liệu màu trắng, màu đỏ, màu xanh lá cây, và màu xanh dương V_w , V_r , V_g , và V_b , trong trạng thái mà bị trễ một cách liên tiếp bởi $1/4H$.

Trên Fig.11, bộ phận chốt giữ HL(W) đối với màu trắng được tạo cấu hình để bao gồm TFT thứ ba (T3) và tụ điện thứ ba C3, và chuyển đổi tín hiệu lấy mẫu màu trắng Ws thành tín hiệu giữ màu trắng Wh theo tín hiệu tải LOAD để xuất ra tín hiệu giữ màu trắng Wh đến bộ đệm màu trắng BUF(W).

Các bộ phận chốt giữ đối với màu trắng, màu đỏ, màu xanh lá cây và màu xanh dương toàn bộ được đồng bộ hóa với cùng tín hiệu tải LOAD, và do đó xuất ra các tín hiệu giữ màu trắng, màu đỏ, màu xanh lá cây và màu xanh dương Wh , Rh , Gh , và Bh đến bộ đệm tương ứng với các điện áp dữ liệu tương ứng ở cùng định thời.

Mặc dù đã được mô tả rằng TFT thứ hai và tụ điện thứ hai thuộc bộ phận chốt lấy mẫu ở phần trên, còn có thể TFT thứ hai và tụ điện thứ hai thuộc bộ phận chốt giữ.

Bộ đệm màu trắng BUF(W) được tạo cấu hình để bao gồm TFT thứ tư, điện trở $R1$, và tụ điện thứ tư C4, và không ngừng xuất ra tín hiệu giữ trắng Wh đến đường dữ

liệu trắng DL(W) trong một chu kỳ ngang. Tương tự với bộ đệm màu trắng, các bộ đệm màu đỏ, xanh lá cây và xanh dương cũng xuất ra các tín hiệu giữ màu đỏ, màu xanh lá cây và màu xanh dương Rh, Gh, và Bh đến các đường dữ liệu màu đỏ, màu xanh lá cây, và màu xanh dương DL(R), DL(G), và DL(B) trong một chu kỳ ngang, một cách lần lượt.

Tín hiệu quét SCAN xuất ra một cách liên tiếp xung quét duy trì mức bật trong ít nhất 1H trong việc đồng bộ hóa với tín hiệu tải LOAD, do đó cho phép điện áp dữ liệu được cấp đến đường dữ liệu DL cần phải được cấp đến các điểm ảnh của đường điểm ảnh được nối.

Như được thể hiện trên Fig.12, vì chỉ một tín hiệu quét được cấp đến đường điểm ảnh, vì số lượng của các đường cổng không tăng lên không giống phương pháp DRD, không cần làm tăng tốc độ điều vận của mạch điều vận cổng, và không có sự giảm về tỷ lệ khẩu độ của điểm ảnh. Ngoài ra, xung của tín hiệu quét cũng được duy trì trong một hoặc hơn một chu kỳ ngang để có đủ thời gian nhằm áp dụng điện áp dữ liệu cho điểm ảnh.

Ngoài ra, vì bộ phận đệm cấp điện áp dữ liệu không đổi đến mỗi đường dữ liệu DL trong một chu kỳ ngang, có thể đảm bảo đủ thời gian để nạp đường dữ liệu DL và do đó cấp điện áp dữ liệu chính xác đến điểm ảnh, so với phương pháp áp dụng bộ phân kênh mà nạp đường dữ liệu DL chỉ trong chu kỳ ngắn hơn một chu kỳ ngang khi TFT chót được bật lên.

Ngoài ra, vì IC điều vận nguồn xuất ra chỉ một kênh xuất ra đến điểm ảnh đơn vị, kích thước chip của IC điều vận nguồn có thể được làm giảm. Vì số lượng của các đường dữ liệu có khả năng đang được xử lý bởi một IC điều vận nguồn tăng lên, số lượng của các IC điều vận nguồn có thể được giảm xuống.

Fig.13 là sơ đồ mạch cụ thể minh họa cải biến của bộ phận chót trên Fig.11.

Mạch chốt trên Fig.13 khác so với mạch chốt trên Fig.11 trong đó bộ khuếch đại A1 được bổ sung giữa bộ phận chốt lấy mẫu và bộ phận chốt giữ, và bộ đệm bao gồm bộ khuếch đại A2 thay cho bộ phận chuyển mạch chẳng hạn như TFT.

Sự rò rỉ xảy ra trong dòng điện do các sự vận hành chuyển mạch của các TFT khác nhau, và có thể thấy được, như được thể hiện trên Fig.12, rằng điện áp của các tín hiệu lấy mẫu W_s , R_s , G_s , và B_s xuất ra bởi bộ phận chốt lấy mẫu bị ảnh hưởng bởi sự vận hành chuyển mạch tức thì, và sự gợn sóng được tạo ra trong các tín hiệu giữ W_h , R_s , G_s , và B_s do các sự vận hành chuyển mạch.

Bộ khuếch đại A1 có thể được bổ sung giữa bộ phận chốt lấy mẫu và bộ phận chốt giữ và được tạo cấu hình dưới dạng bộ khuếch đại không đảo để làm giảm sự ảnh hưởng do sự vận hành chuyển mạch. Ngoài ra, bộ đệm không được tạo thành bằng cách sử dụng TFT như được thể hiện trên Fig.11, nhưng được tạo thành với bộ khuếch đại không đảo bằng cách sử dụng bộ khuếch đại A2, nhờ đó có thể điều vận một cách bền vững đường dữ liệu với sự thay đổi điện áp nhỏ.

Thiết bị hiển thị được mô tả trong bản mô tả có thể được mô tả như sau.

Thiết bị hiển thị theo một phương án bao gồm tám nền hiển thị trong đó nhiều điểm ảnh đơn vị gồm có n điểm ảnh phụ (trong đó n là số tự nhiên bằng hoặc lớn hơn 2) được nối với đường dữ liệu và đường cổng được bố trí; mạch điều khiển dữ liệu được xuất ra một cách liên tiếp n điện áp dữ liệu qua kênh xuất ra thứ nhất trong một chu kỳ ngang; mạch chốt lấy mẫu một cách liên tiếp n điện áp dữ liệu đưa vào qua kênh xuất ra thứ nhất và cung cấp n điện áp dữ liệu được lấy mẫu một cách đồng thời đến n đường dữ liệu trong khi duy trì n đường dữ liệu được lấy mẫu trong một chu kỳ ngang bao gồm thời điểm thứ nhất ở đó điện áp dữ liệu thứ n được lấy mẫu; và mạch điều vận cổng cấp tín hiệu quét đến đường cổng trong việc đồng bộ hóa với điện áp dữ liệu được cấp đến đường dữ liệu.

Theo một phương án, mạch chốt có thể được tạo cấu hình để bao gồm bộ phận lấy mẫu lấy mẫu một cách liên tiếp n điện áp dữ liệu được nhập vào qua kênh xuất ra thứ nhất để duy trì n điện áp dữ liệu trong một chu kỳ ngang; và bộ phận giữ duy trì n điện áp dữ liệu trong một chu kỳ ngang sau thời điểm thứ nhất.

Theo một phương án, bộ phận lấy mẫu có thể có độ rộng xung của chu kỳ thứ nhất thu được bằng cách chia một chu kỳ ngang bởi n và lấy mẫu n điện áp dữ liệu trong việc đồng bộ hóa với n tín hiệu điều khiển mỗi tín hiệu bị trễ bởi chu kỳ thứ nhất, và bộ phận giữ có thể duy trì n điện áp dữ liệu trong một chu kỳ ngang theo tín hiệu tải.

Theo một phương án, tín hiệu tải có thể được đồng bộ hóa với tín hiệu điều khiển thứ n trong số n tín hiệu điều khiển và có độ rộng xung của chu kỳ thứ nhất.

Theo một phương án, mạch chốt có thể được tạo cấu hình để còn bao gồm bộ phận đệm để cấp n điện áp dữ liệu được xuất ra từ bộ phận giữ đến đường dữ liệu.

Theo một phương án, mạch điều vận công có thể xuất ra một cách liên tiếp tín hiệu quét có độ rộng xung của một chu kỳ ngang trong việc đồng bộ hóa với tín hiệu tải.

Theo một phương án, thiết bị hiển thị có thể còn bao gồm bộ điều khiển định thời điều khiển mạch điều vận dữ liệu và mạch điều vận công để xuất ra dữ liệu hình ảnh qua tám nền hiển thị, trong đó bộ điều khiển định thời tạo ra n tín hiệu điều khiển và tín hiệu tải và cấp n tín hiệu điều khiển và tín hiệu tải đến mạch chốt.

Theo một phương án, thiết bị hiển thị có thể còn bao gồm bộ điều khiển định thời điều khiển mạch điều vận dữ liệu và mạch điều vận công để xuất ra dữ liệu hình ảnh qua tám nền hiển thị, trong đó bộ điều khiển định thời phân tách dữ liệu hình ảnh cần phải được cấp đến nhiều điểm ảnh phụ tạo nên một đường hiển thị thành n màu và lưu trữ dữ liệu hình ảnh trong bộ nhớ đường được bố trí cho mỗi màu, và xuất ra dữ liệu hình ảnh của mỗi màu được lưu trữ trong bộ nhớ đường đến mạch điều vận dữ liệu ở các khoảng của chu kỳ thứ nhất thu được bằng cách chia một chu kỳ ngang bởi n .

Theo một phương án, mạch điều vận dữ liệu có thể vận hành trong các đơn vị của chu kỳ thứ nhất, để nhận dữ liệu hình ảnh của một màu từ bộ điều khiển định thời trong chu kỳ thứ nhất và để xuất ra điện áp dữ liệu đối với một màu đến mạch chốt qua kênh xuất ra thứ nhất mỗi kênh trong chu kỳ thứ nhất.

Theo một phương án, thiết bị hiển thị có thể còn bao gồm bộ điều khiển định thời điều khiển mạch điều vận dữ liệu và mạch điều vận cổng để xuất ra dữ liệu hình ảnh qua tám nền hiển thị, trong đó mạch điều vận dữ liệu nhận dữ liệu hình ảnh cần phải được cấp đến nhiều điểm ảnh phụ tạo nên một đường hiển thị trong một chu kỳ ngang từ bộ điều khiển định thời, và dồn kênh n điện áp dữ liệu vào trong kênh xuất ra thứ nhất ở các khoảng của chu kỳ thứ nhất qua bộ dồn kênh, trong số các điện áp dữ liệu được chuyển đổi từ dữ liệu hình ảnh.

Qua phần mô tả ở trên, người có hiểu biết trung bình về lĩnh vực kỹ thuật sẽ đánh giá là các thay đổi và các cải biến khác nhau là có thể mà không lệch khỏi ý tưởng kỹ thuật của sáng chế. Do đó, phạm vi kỹ thuật của sáng chế không chỉ giới hạn ở các nội dung được mô tả trong phần mô tả chi tiết sáng chế của bản mô tả, nhưng cần phải được xác định bởi phạm vi của các điểm yêu cầu bảo hộ.

YÊU CẦU BẢO HỘ

1. Thiết bị hiển thị bao gồm:

tấm nền hiển thị trong đó nhiều điểm ảnh đơn vị gồm có n điểm ảnh phụ (trong đó n là số tự nhiên bằng hoặc lớn hơn 2) được nối với đường dữ liệu và đường công được bố trí;

mạch điều vận dữ liệu đưa ra một cách liên tiếp n điện áp dữ liệu qua kênh xuất ra thứ nhất trong một chu kỳ ngang;

mạch chốt lấy mẫu một cách liên tiếp n điện áp dữ liệu được nhập vào qua kênh xuất ra thứ nhất và cung cấp n điện áp dữ liệu được lấy mẫu một cách đồng thời đến n đường dữ liệu trong khi duy trì n điện áp dữ liệu trong một chu kỳ ngang bao gồm thời điểm thứ nhất ở đó điện áp dữ liệu thứ n được lấy mẫu; và

mạch điều vận cổng cấp tín hiệu quét đến đường công trong việc đồng bộ hóa với n điện áp dữ liệu được cấp đến n đường dữ liệu,

trong đó mạch chốt được tạo cấu hình để bao gồm:

bộ phận lấy mẫu lấy mẫu một cách liên tiếp n điện áp dữ liệu được nhập vào qua kênh xuất ra thứ nhất để duy trì n điện áp dữ liệu trong một chu kỳ ngang; và

bộ phận giữ xuất ra các tín hiệu giữ để duy trì n điện áp dữ liệu trong một chu kỳ ngang sau thời điểm thứ nhất, và

trong đó bộ phận lấy mẫu có độ rộng xung bằng chu kỳ thứ nhất thu được bằng cách chia một chu kỳ ngang bởi n và lấy mẫu n điện áp dữ liệu trong việc đồng bộ hóa với n tín hiệu điều khiển mỗi tín hiệu bị trễ bởi chu kỳ thứ nhất, và

trong đó, bộ phận giữ đưa ra các tín hiệu giữ để duy trì n điện áp dữ liệu trong một chu kỳ ngang theo tín hiệu tải trọng.

2. Thiết bị hiển thị theo điểm 1, trong đó, tín hiệu tải trọng được đồng bộ hóa với tín hiệu điều khiển thứ n trong số n tín hiệu điều khiển và có độ rộng xung của chu kỳ thứ nhất.

3. Thiết bị hiển thị theo điểm 1, trong đó mạch chốt được tạo kết cấu để còn bao gồm bộ phận đệm để cấp n điện áp dữ liệu được xuất ra từ bộ phận giữ đến đường dữ liệu.

4. Thiết bị hiển thị theo điểm 1, trong đó mạch điều vận công xuất ra một cách liên tiếp tín hiệu quét có độ rộng xung của một chu kỳ ngang trong việc đồng bộ hóa với tín hiệu tải.

5. Thiết bị hiển thị theo điểm 1, thiết bị này còn bao gồm:

bộ điều khiển định thời điều khiển mạch điều vận dữ liệu và mạch điều vận công để xuất ra dữ liệu hình ảnh qua tấm nền hiển thị,

trong đó bộ điều khiển định thời tạo ra n tín hiệu điều khiển và tín hiệu tải và cấp n tín hiệu điều khiển và tín hiệu tải đến mạch chốt.

6. Thiết bị hiển thị theo điểm 1, thiết bị này còn bao gồm:

bộ điều khiển định thời điều khiển mạch điều vận dữ liệu và mạch điều vận công để xuất ra dữ liệu hình ảnh qua tấm nền hiển thị,

trong đó bộ điều khiển định thời phân tách dữ liệu hình ảnh cần phải được cấp đến nhiều điểm ảnh phụ tạo nên một đường hiển thị thành n màu và lưu trữ dữ liệu hình ảnh trong bộ nhớ đường được bố trí đối với mỗi trong số n màu, và xuất ra dữ liệu hình ảnh của mỗi n màu được lưu trữ trong bộ nhớ đường đến mạch điều vận dữ liệu ở các khoảng của chu kỳ thứ nhất thu được bằng cách chia một chu kỳ ngang bởi n .

7. Thiết bị hiển thị theo điểm 6, trong đó mạch điều vận dữ liệu vận hành trong các đơn vị của chu kỳ thứ nhất, để nhận dữ liệu hình ảnh của một n màu từ bộ điều khiển định thời trong chu kỳ thứ nhất và để xuất ra điện áp dữ liệu đối với một n màu đến mạch chốt qua kênh xuất ra thứ nhất mỗi kênh trong chu kỳ thứ nhất.

8. Thiết bị hiển thị theo điểm 1, thiết bị này còn bao gồm bộ điều khiển định thời điều khiển mạch điều vận dữ liệu và mạch điều vận công để xuất ra dữ liệu hình ảnh qua tám nền hiển thị,

trong đó mạch điều vận dữ liệu nhận dữ liệu hình ảnh cần phải được cấp đến nhiều điểm ảnh phụ tạo nên một đường hiển thị trong một chu kỳ ngang từ bộ điều khiển định thời, và dồn kênh n điện áp dữ liệu vào trong kênh xuất ra thứ nhất ở các khoảng của chu kỳ thứ nhất qua bộ dồn kênh, trong số các điện áp dữ liệu được chuyển đổi từ dữ liệu hình ảnh.

Fig.1

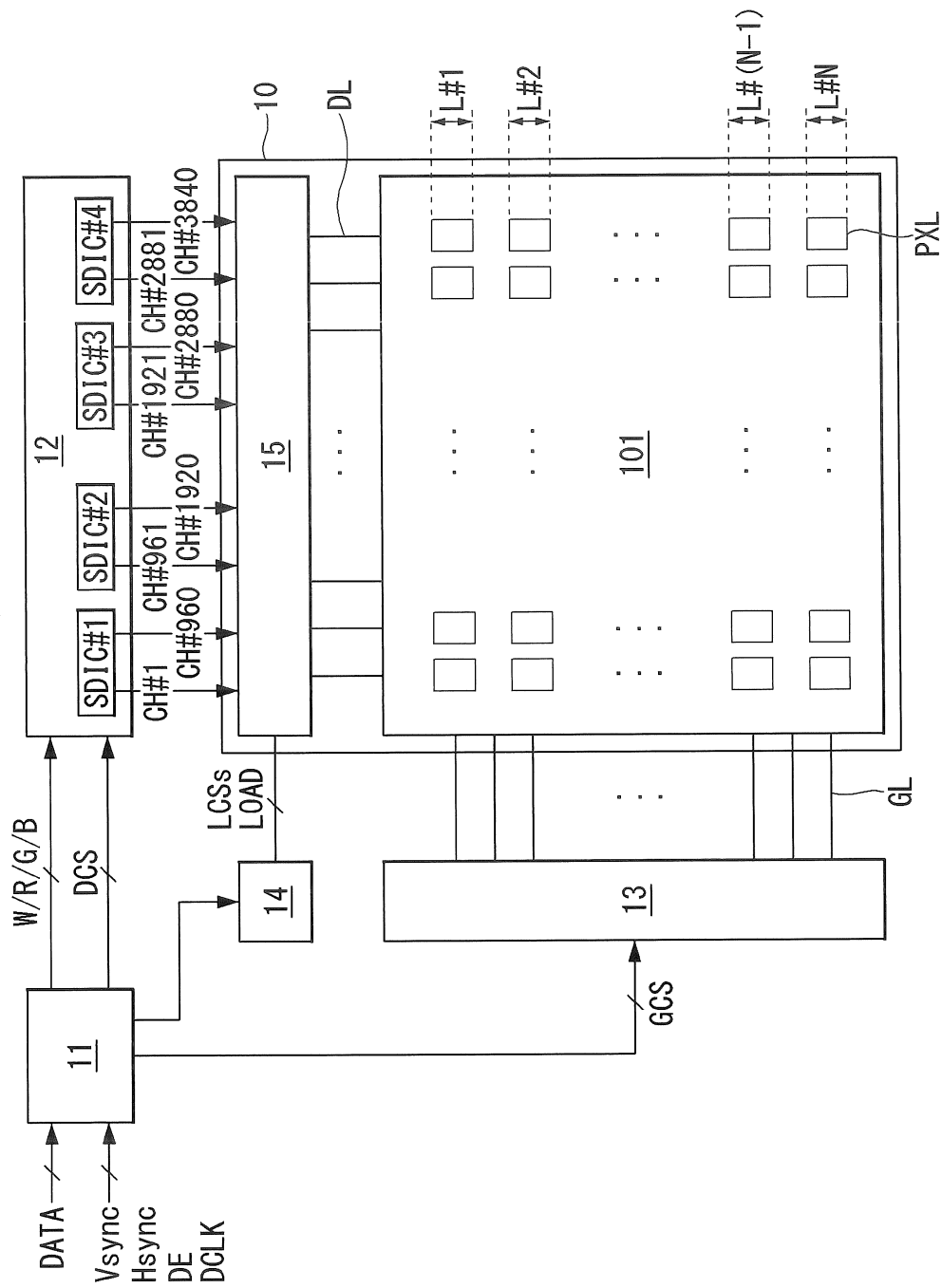


Fig.2

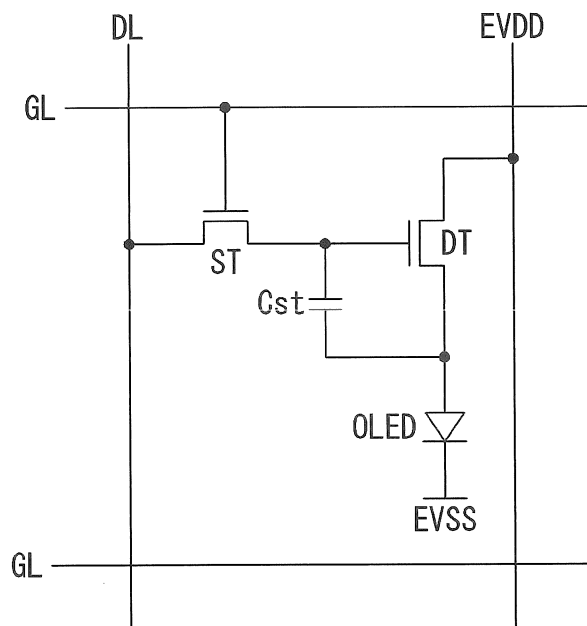


Fig.3

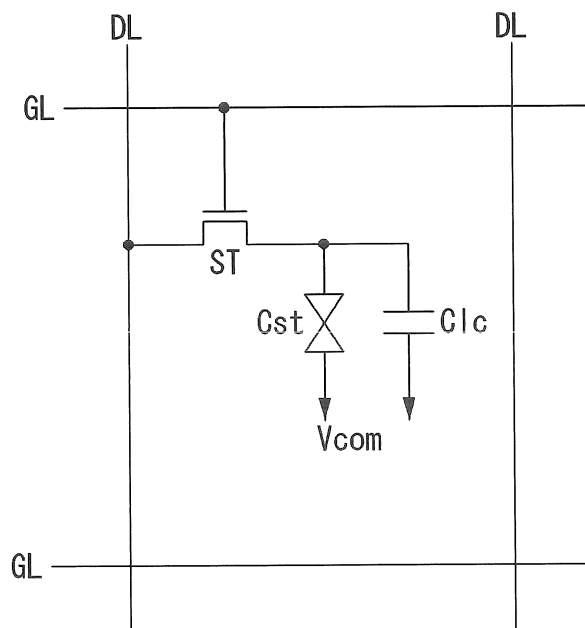


Fig.4

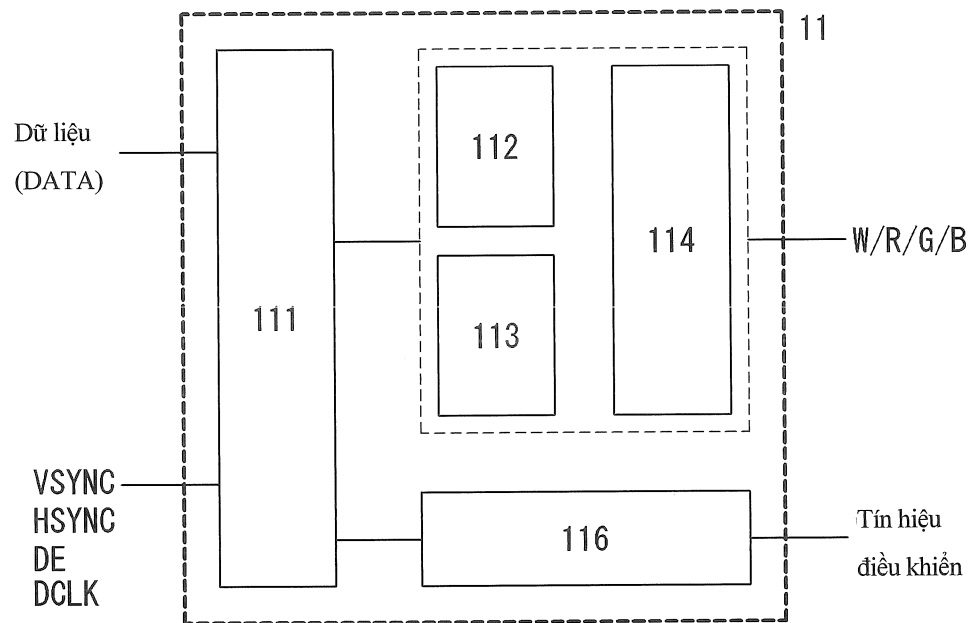


Fig.5

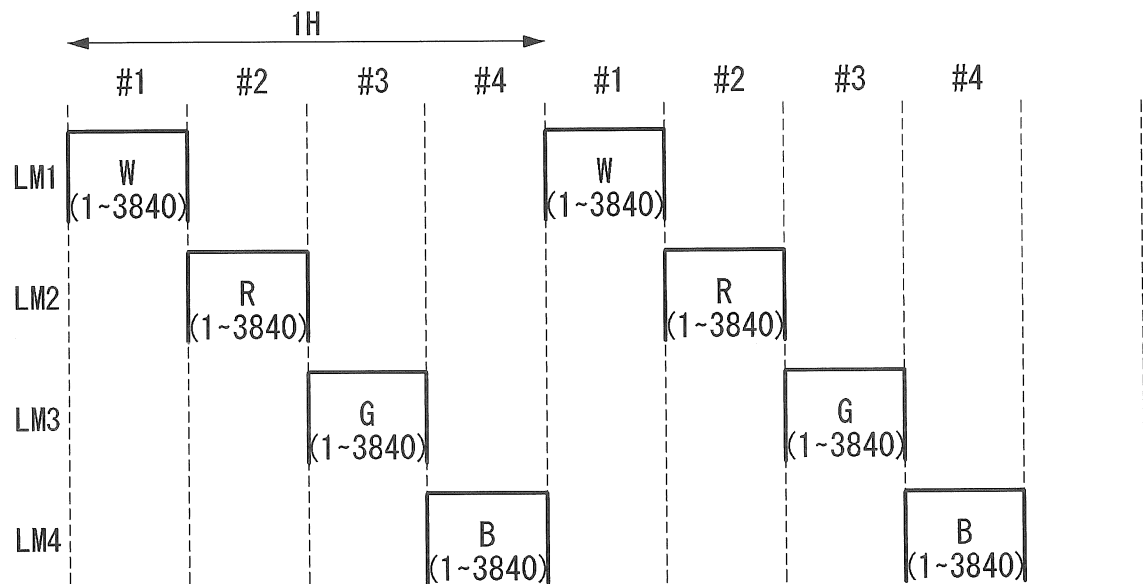


Fig.6

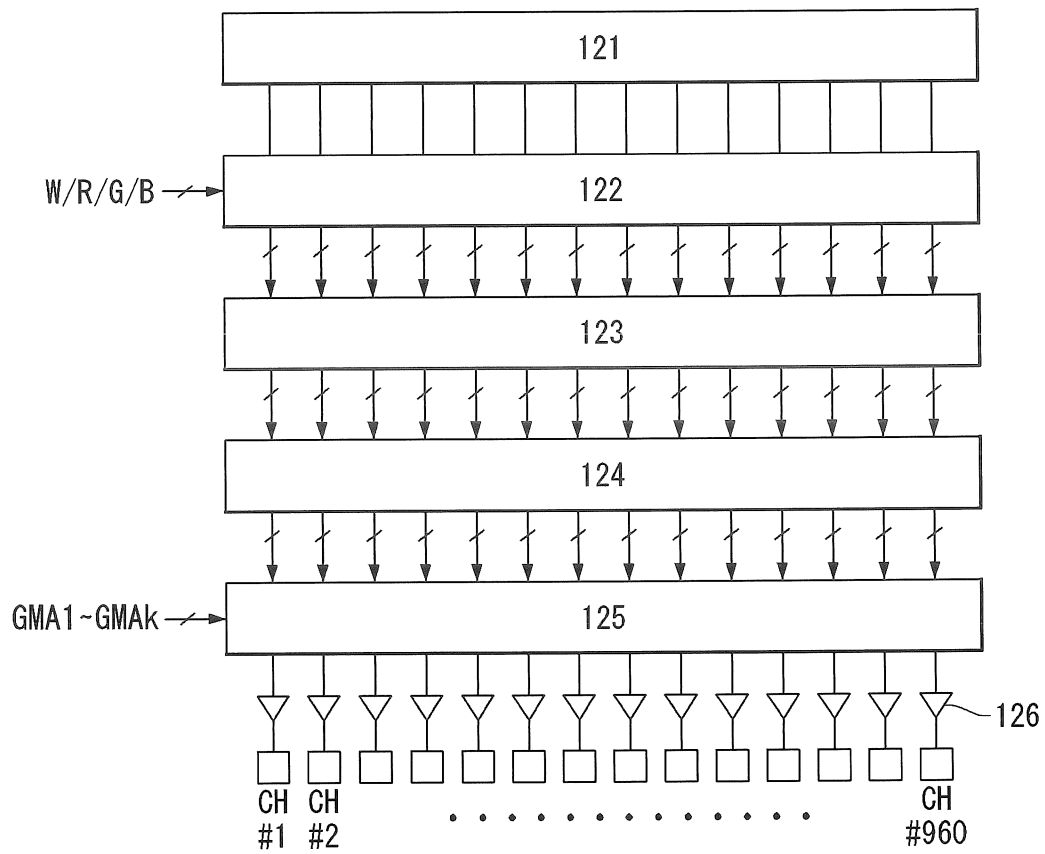


Fig.7

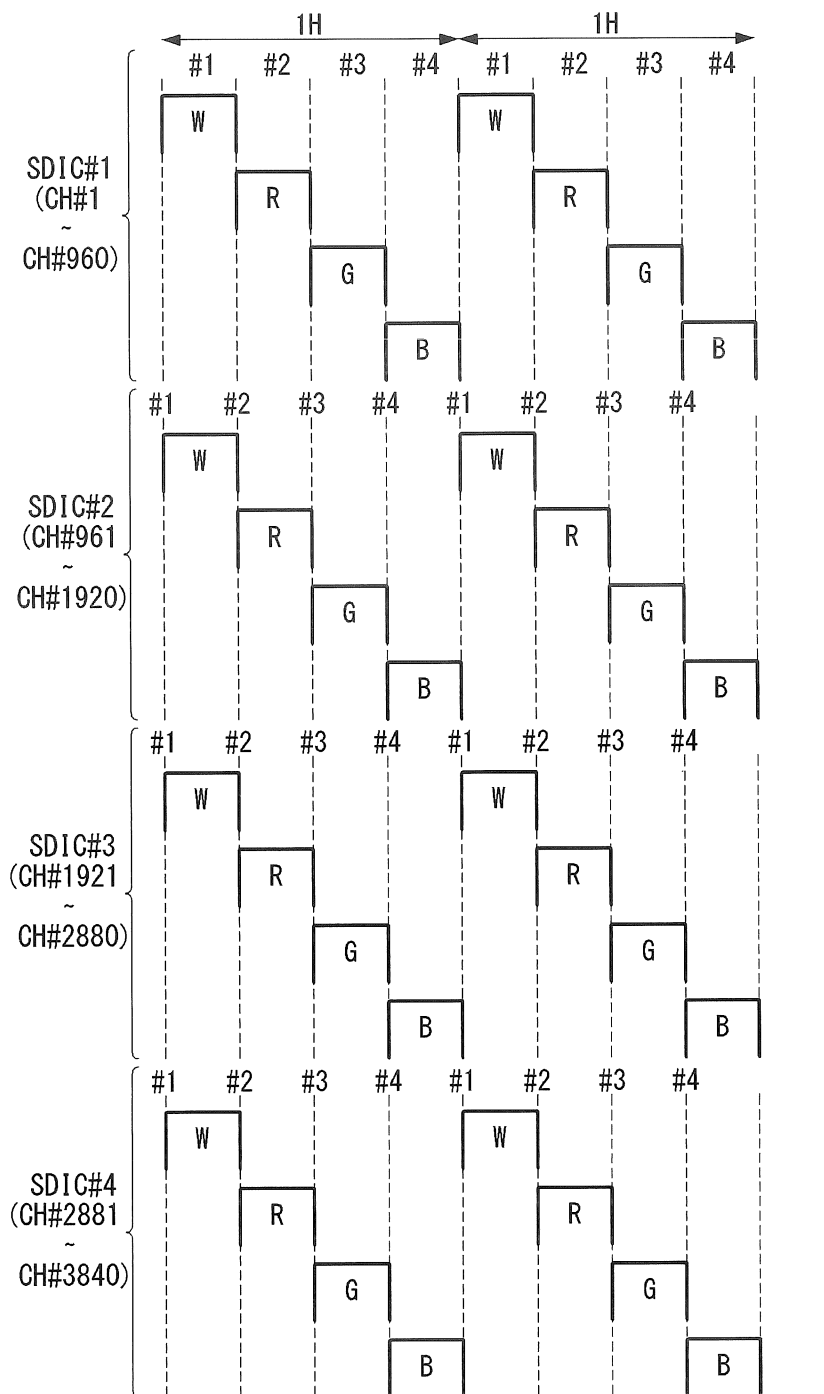


Fig.8

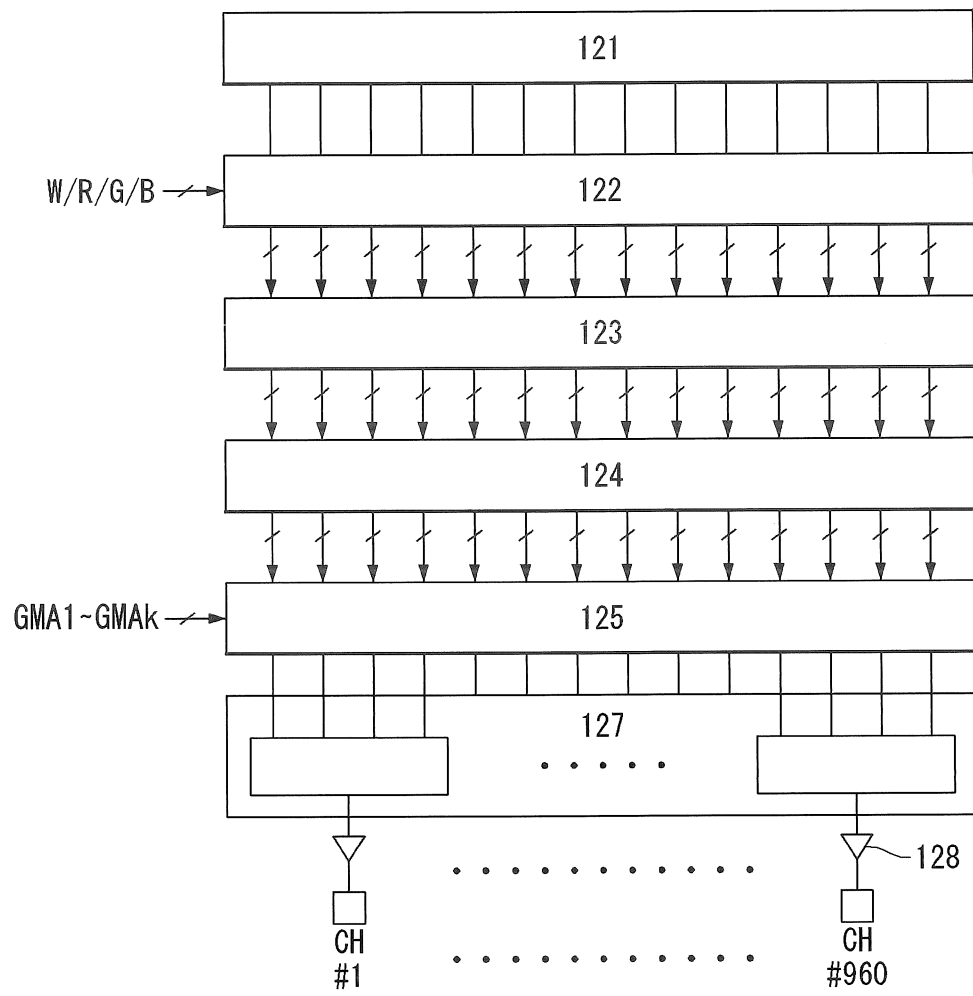


Fig.9

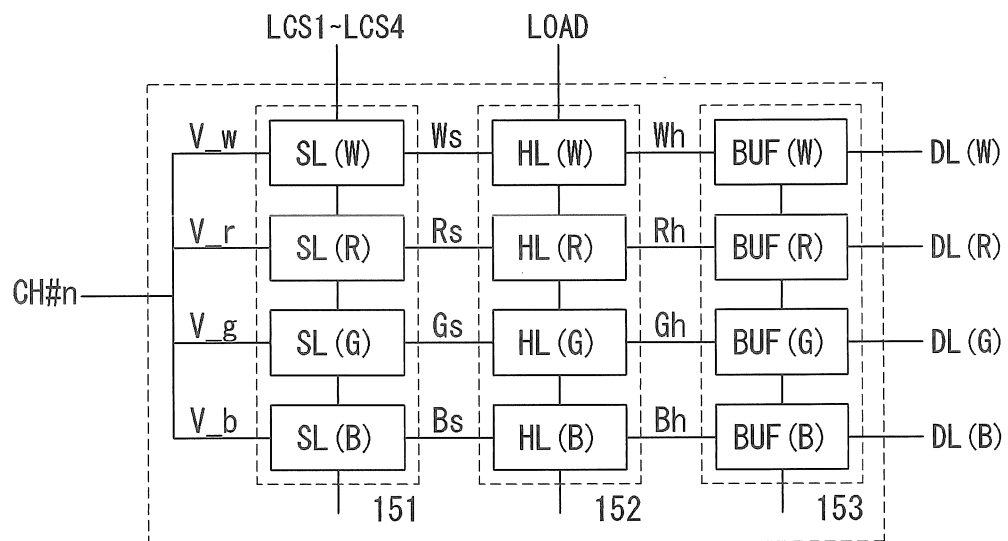


Fig.10

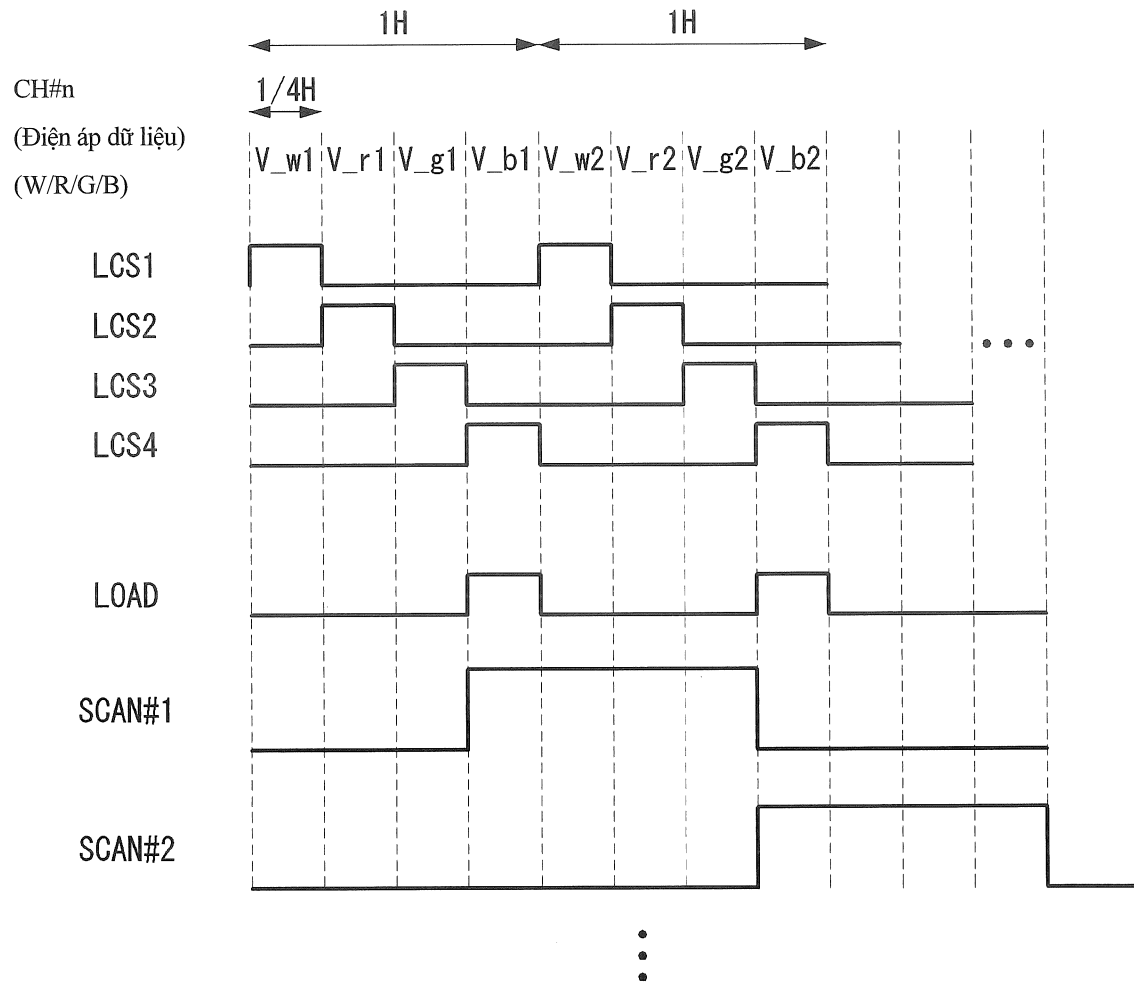


Fig.12

