



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0053920

(51)^{2021.01} G09G 3/00; H01L 27/00; G11C 19/00

(13) B

(21) 1-2022-04206

(22) 05/07/2022

(30) 10-2021-0090005 08/07/2021 KR; 10-2021-0171605 03/12/2021 KR

(45) 25/11/2025 452

(43) 27/01/2023 418A

(73) LG DISPLAY CO., LTD. (KR)

LG Twin Towers, 128, Yeouidaero, Yeungdeungpo-gu, Seoul 07336, Korea

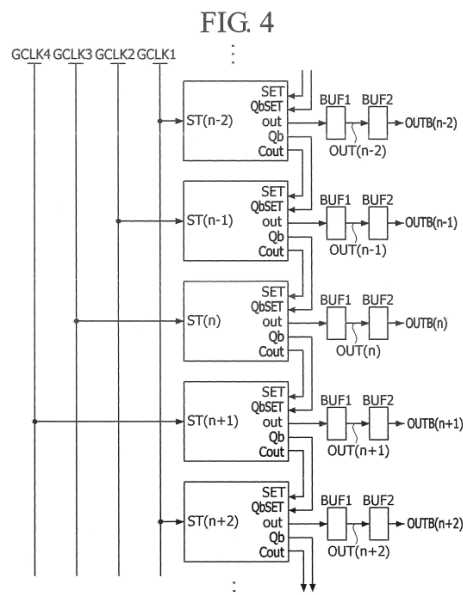
(72) NOH, Seok (KR); SON, Ki Min (KR).

(74) Công ty Luật TNHH T&G (TGVN)

(54) BỘ ĐIỀU VẬN CÔNG VÀ TẤM NỀN HIỂN THỊ CHỨA BỘ ĐIỀU VẬN CÔNG
NÀY

(21) 1-2022-04206

(57) Sáng chế đề cập tới bộ điều vận công và tám nền hiển thị chứa bộ điều vận công này. Bộ điều vận công theo phương án thực hiện làm ví dụ chứa nhiều đơn vị truyền tín hiệu được kết nối theo tầng thông qua đường mang mà tín hiệu mang được áp dụng vào đó, từ đơn vị truyền tín hiệu trước đó, và đơn vị truyền tín hiệu thứ n (n là số nguyên dương) chứa đơn vị đưa ra thứ nhất được đặt cấu hình để đưa ra tín hiệu cổng thứ nhất tới nút đầu ra thứ nhất theo điện thế của nút điều khiển thứ nhất được đặt cấu hình để kéo lên điện thế đầu ra và nút điều khiển thứ hai được đặt cấu hình để kéo xuống điện thế đầu ra; và đơn vị đưa ra thứ hai được đặt cấu hình để đưa ra tín hiệu cổng thứ hai mà trong đó pha của tín hiệu cổng thứ nhất được nghịch đảo cho nút đưa ra thứ hai, trong đó đơn vị đưa ra thứ hai có thể chứa tranzito kéo lên thứ nhất được đặt cấu hình để đưa ra điện thế thế cao tới nút đưa ra thứ hai theo điện thế của nút điều khiển thứ hai của đơn vị truyền tín hiệu thứ $(n-i)$ (i là số nguyên dương nhỏ hơn n); và tranzito kéo xuống thứ hai được đặt cấu hình để đưa ra điện thế thế thấp thứ nhất tới nút đưa ra thứ hai theo điện thế của nút điều khiển thứ nhất của đơn vị truyền tín hiệu thứ $(n+j)$ (j là số tự nhiên lớn hơn n).



Lĩnh vực kỹ thuật được đề cập

Sáng chế này đề cập tới bộ điều vận công và tấm nền hiển thị chứa bộ điều vận công này.

Tình trạng kỹ thuật của sáng chế

Các thiết bị hiển thị chứa thiết bị hiển thị tinh thể lỏng (liquid crystal display - LCD), thiết bị hiển thị điện phát quang, thiết bị hiển thị phát xạ trường (field emission display - FED), tấm nền hiển thị plasma (plasma display panel - PDP), và dạng tương tự.

Các thiết bị hiển thị điện phát quang được chia thành các thiết bị hiển thị phát sáng vô cơ và các thiết bị hiển thị phát sáng hữu cơ theo vật liệu của lớp phát xạ ánh sáng. Thiết bị hiển thị phát sáng hữu cơ loại ma trận chủ động tái tạo hình ảnh đầu vào bằng cách sử dụng phân tử tự phát sáng, mà tự bản thân nó sẽ phát sáng, ví dụ, điốt phát sáng hữu cơ (dưới đây sẽ được đề cập tới như là “OLED”). Thiết bị hiển thị phát sáng hữu cơ có các ưu điểm ở chỗ tốc độ phản hồi là nhanh và hiệu suất chiếu sáng, độ chói, và góc nhìn là lớn.

Một số thiết bị trong số các thiết bị hiển thị này, ví dụ, thiết bị hiển thị tinh thể lỏng hoặc thiết bị hiển thị phát sáng hữu cơ chứa tấm nền hiển thị chứa nhiều điểm ảnh phụ, bộ điều vận đang đưa ra tín hiệu điều vận để điều vận tấm nền hiển thị, phần cấp công suất đang sinh ra công suất cần được cấp tới tấm nền hiển thị hoặc bộ điều vận, và dạng tương tự. Bộ điều vận chứa bộ điều vận công cấp tín hiệu quét hoặc tín hiệu công tới tấm nền hiển thị, và bộ điều vận dữ liệu cấp tín hiệu dữ liệu tới tấm nền hiển thị.

Trong thiết bị hiển thị này, khi tín hiệu điều vận như tín hiệu quét, tín hiệu EM, và tín hiệu dữ liệu được cấp tới nhiều điểm ảnh phụ được tạo thành trong tấm nền hiển thị, thì điểm ảnh phụ được chọn sẽ truyền ánh sáng hoặc phát ánh sáng một cách trực tiếp để nhờ đó hiển thị hình ảnh.

Trong trường hợp này, trong thiết bị hiển thị, tín hiệu công đang có pha được đảo ngược nhưng có độ rộng xung khác đôi khi sẽ được yêu cầu. Tuy nhiên, khi số các tín hiệu được yêu cầu tăng, viền của tấm nền hiển thị sẽ trở nên rộng hơn. Do đó, cần phải có các phương pháp có khả năng đưa ra các tín hiệu công khác nhau, khác nhau ít nhất ở một thành phần trong số pha và độ rộng xung trong khi vẫn áp dụng được viền hẹp.

Bản chất kỹ thuật của sáng chế

Sáng chế này nhằm giải quyết tất cả các nhu cầu và các vấn đề nêu trên.

Sáng chế này đề xuất bộ điều vận công có khả năng đưa ra các tín hiệu công khác nhau mà khác nhau ở ít nhất một thành phần trong số pha và độ rộng xung trong khi áp dụng viền hẹp, và tấm nền hiển thị chứa bộ điều vận công này.

Cần chú ý rằng các mục đích của sáng chế này không bị hạn chế vào các mục đích được mô tả ở trên, và các mục đích khác của sáng chế này cũng sẽ là rõ ràng đối với người có hiểu biết trung bình trong lĩnh vực kỹ thuật, nhờ các phần mô tả sau.

Bộ điều vận công theo sáng chế này chứa nhiều đơn vị truyền tín hiệu được kết nối theo tầng thông qua đường mang mà tín hiệu mang được áp dụng vào đó, từ đơn vị truyền tín hiệu trước đó, và đơn vị truyền tín hiệu thứ n (n là số nguyên dương) chứa đơn vị đưa ra thứ nhất được đặt cấu hình để đưa ra tín hiệu công thứ nhất tới nút đầu ra thứ nhất theo các điện thế của nút điều khiển thứ nhất được đặt cấu hình để kéo lên điện thế đầu ra và nút điều khiển thứ hai được đặt cấu hình để kéo xuống điện thế đầu ra; và

đơn vị đưa ra thứ hai được đặt cấu hình để đưa ra tín hiệu cổng thứ hai mà trong đó pha của tín hiệu cổng thứ nhất được nghịch đảo cho nút đưa ra thứ hai, trong đó đơn vị đưa ra thứ hai chứa tranzito kéo lên thứ nhất được đặt cấu hình để đưa ra điện thế cao tới nút đưa ra thứ hai theo điện thế của nút điều khiển thứ hai của đơn vị truyền tín hiệu thứ $(n-i)$ (i là số nguyên dương nhỏ hơn n); và tranzito kéo xuống thứ hai được đặt cấu hình để đưa ra điện thế thấp thứ nhất tới nút đưa ra thứ hai theo điện thế của nút điều khiển thứ nhất của đơn vị truyền tín hiệu thứ $(n+j)$ (j là số tự nhiên lớn hơn n).

Theo một khía cạnh khác, tám nền hiển thị theo sáng chế này bao gồm: bộ điều vận dữ liệu được đặt cấu hình để đưa ra điện thế dữ liệu; bộ điều vận cổng chứa nhiều đơn vị truyền tín hiệu được kết nối theo tầng thông qua đường mang mà tín hiệu mang được áp dụng vào đó, từ đơn vị truyền tín hiệu trước đó, trong đó đơn vị truyền tín hiệu thứ n bao gồm: đơn vị đưa ra thứ nhất được đặt cấu hình để đưa ra tín hiệu cổng thứ nhất tới nút đầu ra thứ nhất theo các điện thế của nút điều khiển thứ nhất được đặt cấu hình để kéo lên điện thế đầu ra và nút điều khiển thứ hai được đặt cấu hình để kéo xuống điện thế đầu ra và đơn vị đưa ra thứ hai được đặt cấu hình để đưa ra tín hiệu cổng thứ hai trong đó pha của tín hiệu cổng thứ nhất được nghịch đảo cho nút đưa ra thứ hai; và nhiều mạch điểm ảnh được đặt cấu hình để tái lập hình ảnh đầu vào bằng cách nhận điện thế dữ liệu, tín hiệu cổng thứ nhất, và tín hiệu cổng thứ hai, trong đó đơn vị đưa ra thứ hai bao gồm: tranzito kéo lên thứ nhất được đặt cấu hình để đưa ra điện thế cao tới nút đưa ra thứ hai theo điện thế của nút điều khiển thứ hai của đơn vị truyền tín hiệu thứ $(n-i)$; và tranzito kéo xuống thứ nhất được đặt cấu hình để đưa ra điện thế thấp thứ nhất tới nút đưa ra thứ hai theo điện thế của nút điều khiển thứ nhất của đơn vị truyền tín hiệu

thứ $(n+j)$, trong đó n là số nguyên dương, i là số nguyên dương nhỏ hơn n và j là số tự nhiên lớn hơn n .

Theo sáng chế này, có thể đưa ra tín hiệu cổng pha nghịch đảo cần thiết cho việc điều vận mạch điểm ảnh mà không cần thêm thanh ghi dịch vào bộ điều vận cổng.

Theo sáng chế này, có thể đưa ra tín hiệu cổng cùng pha sử dụng thanh ghi dịch đơn và đồng thời đưa ra tín hiệu cổng pha nghịch đảo với việc điều chỉnh độ rộng xung dễ dàng.

Theo sáng chế này, do không cần phải thêm thanh ghi dịch tách biệt để đưa ra tín hiệu cổng pha nghịch đảo tới bộ điều vận cổng bằng cách đưa ra các tín hiệu cổng khác nhau mà khác nhau ở ít nhất một thành phần trong số pha và độ rộng xung qua thanh ghi dịch đơn, nên có thể áp dụng viên hợp cho tám nền hiển thị trong đó thanh ghi dịch của bộ điều vận cổng được bố trí.

Các hiệu quả của sáng chế này không bị hạn chế vào các hiệu quả nêu trên, và các hiệu quả khác dù không được đề cập cũng sẽ được hiểu rõ bởi người có hiểu biết trung bình trong lĩnh vực kỹ thuật từ phần mô tả của các yêu cầu bảo hộ.

Mô tả vắn tắt các hình vẽ

Các mục đích, các dấu hiệu, các ưu điểm nêu trên và các mục đích, các dấu hiệu và các ưu điểm khác của sáng chế sẽ trở nên rõ hơn với người có hiểu biết trung bình trong lĩnh vực, nhờ việc mô tả trong các phương án thực hiện làm ví dụ chi tiết của chúng, với tham khảo tới các hình vẽ kèm theo, trong đó:

Fig.1 là hình đang minh họa bộ điều vận cổng theo phương án thực hiện làm ví dụ thứ nhất theo sáng chế này;

Fig.2 là giản đồ mạch đang minh họa đơn vị mạch được thể hiện trên Fig.1;

Fig.3 là giản đồ dạng sóng đang minh họa các tín hiệu đầu vào/đầu ra và các điện thế của các nút điều khiển của bộ điều vận công được thể hiện trên Fig.1;

Fig.4 là hình vẽ đang minh họa một cách sơ lược bộ điều vận công theo phương án thực hiện làm ví dụ theo sáng chế này;

Fig.5 là hình vẽ đang minh họa bộ điều vận công theo phương án thực hiện làm ví dụ thứ hai theo sáng chế này;

Fig.6 là giản đồ dạng sóng đang minh họa các tín hiệu đầu vào/đầu ra và các điện thế của các nút điều khiển của bộ điều vận công được thể hiện trên Fig.5;

Fig.7 là hình vẽ đang minh họa bộ điều vận công theo phương án thực hiện làm ví dụ thứ ba theo sáng chế này;

Fig.8 là giản đồ dạng sóng đang minh họa các tín hiệu đầu vào/đầu ra và các điện thế của các nút điều khiển của bộ điều vận công được thể hiện trên Fig.7;

Fig.9 là hình vẽ đang minh họa bộ điều vận công theo phương án thực hiện làm ví dụ thứ tư theo sáng chế này;

Fig.10 là giản đồ dạng sóng đang minh họa các tín hiệu đầu vào/đầu ra và các điện thế của các nút điều khiển của bộ điều vận công được thể hiện trên Fig.9;

Fig.11 là giản đồ khối đang minh họa thiết bị hiển thị theo phương án thực hiện theo sáng chế này;

Fig.12 là giản đồ đang minh họa cấu trúc mặt cắt của tấm nền hiển thị được thể hiện trên Fig.11;

Fig.13 là hình vẽ đang minh họa mạch điểm ảnh được áp dụng cho tấm nền hiển thị được thể hiện trên Fig.11; và

Fig.14 là giản đồ dạng sóng đang minh họa các tín hiệu đầu vào/đầu ra và các điện thế của các nút điều khiển của bộ điều vận công được thể hiện trên Fig.13.

Mô tả chi tiết sáng chế

Các ưu điểm và các đặc điểm của sáng chế này, và các phương pháp thực hiện chúng sẽ được hiểu rõ ràng hơn nhờ các phương án thực hiện được mô tả bên dưới với sự tham khảo tới các hình vẽ kèm theo. Tuy nhiên, phần mô tả này không bị hạn chế vào các phương án thực hiện dưới đây mà có thể được áp dụng theo nhiều dạng khác nhau. Thay vào đó, các phương án thực hiện này sẽ làm cho phần bộc lộ của sáng chế hoàn chỉnh, và cho phép người có hiểu biết trung bình trong lĩnh vực kỹ thuật này hoàn thiện hiểu biết về phạm vi bảo hộ của sáng chế này. Sáng chế này chỉ được xác định nằm trong phạm vi bảo hộ của các yêu cầu bảo hộ kèm theo.

Các hình dạng, kích thước, tỉ lệ, góc, số, và dạng tương tự được minh họa trong các hình vẽ kèm theo để mô tả các phương án thực hiện của sáng chế này chỉ đơn thuần là các ví dụ, và sáng chế này không bị hạn chế vào đó. Các số chỉ dẫn giống nhau đề cập chung tới các thành phần giống nhau trong suốt bản mô tả này. Ngoài ra, trong việc mô tả sáng chế này, các phần mô tả chi tiết về các công nghệ liên quan đã biết có thể được bỏ qua để loại bỏ việc làm khó hiểu một cách không cần thiết cho đối tượng của sáng chế.

Các thuật ngữ như “bao gồm”, “chứa”, “có”, và “tạo thành từ” được sử dụng ở đây nói chung là nhằm cho phép các thành phần khác có thể được bổ sung vào, trừ khi thuật ngữ được sử dụng cùng với từ “chỉ”. Các tham khảo bất kỳ tới dạng số ít có thể chứa dạng số nhiều trừ khi được tuyên bố một cách cụ thể.

Các thành phần được hiểu là chứa khoảng sai số thông thường mặc dù không được tuyên bố rõ ràng.

Khi tương quan vị trí giữa hai thành phần được mô tả sử dụng các thuật ngữ như “trên”, “ở trên”, “dưới”, và “cạnh”, thì một hoặc nhiều thành phần có thể được định vị giữa hai thành phần, trừ khi các thuật ngữ được sử dụng với thuật ngữ “ngay” hoặc “trực tiếp”.

Các thuật ngữ “thứ nhất”, “thứ hai”, và dạng tương tự có thể được sử dụng để phân biệt các thành phần với nhau, nhưng các chức năng hoặc các cấu trúc của các thành phần không bị hạn chế bởi các số thứ tự hoặc các tên thành phần đứng trước các thành phần.

Các số chỉ dẫn giống nhau có thể đề cập về cơ bản là tới cùng các phần tử trong suốt sáng chế này.

Các phương án thực hiện này có thể được gắn vào hoặc được kết hợp mới nhau theo một phần hoặc toàn bộ, và có thể được liên kết và được vận hành theo các cách khác nhau về mặt kỹ thuật. Các phương án thực hiện có thể được thực hiện một cách độc lập với nhau hoặc trong việc kết hợp với nhau.

Sau đây, các phương án thực hiện khác nhau của sáng chế sẽ được mô tả chi tiết có dựa vào các hình vẽ kèm theo.

Fig.1 là hình đang minh họa bộ điều vận công theo phương án thực hiện làm ví dụ thứ nhất theo sáng chế này, Fig.2 là giản đồ mạch đang minh họa đơn vị mạch được thể hiện trên Fig.1, và Fig.3 là giản đồ dạng sóng đang minh họa các tín hiệu đầu vào/đầu ra và các điện thế của các nút điều khiển của bộ điều vận công được thể hiện trên Fig.1.

Đề cập đến các hình vẽ từ Fig.1 đến Fig.3, bộ điều vận công 120 theo phương án thực hiện làm ví dụ theo sáng chế này có chứa nút điều khiển thứ nhất (dưới đây sẽ được

đề cập tới như là "nút Q") để kéo lên điện thế đầu ra, nút điều khiển thứ hai (dưới đây sẽ được đề cập tới như là "nút Qb") để kéo xuống điện thế đầu ra, đơn vị mạch 120-1, đơn vị đưa ra thứ nhất 120-2, và đơn vị đưa ra thứ hai 120-3.

Đơn vị mạch 120-1 có thể nạp điện và xả nút Q ($Q(n)$) và nút Qb ($Qb(n)$), và đưa ra tín hiệu mang $C(n)$ theo các thế của nút Q ($Q(n)$) và nút Qb ($Qb(n)$). Đơn vị mạch 120-1 có chứa đơn vị mạch thứ nhất 120-1a, đơn vị mạch thứ hai 120-1b, và đơn vị mạch thứ ba 120-1c.

Đơn vị mạch thứ nhất 120-1a phục vụ để điều khiển việc nạp điện và xả của nút Q ($Q(n)$) và nút Qb ($Qb(n)$). Khi nhịp đồng hồ dịch chuyển GCLK1 là điện thế cao VGH2 bằng với hoặc lớn hơn điện thế cổng bật VEH, thì đơn vị mạch thứ nhất 120-1a nạp điện nút Q ($Q(n)$) bằng cách cấp điện thế của tín hiệu mang thứ (n-1) $C(n-1)$ từ đơn vị xử lý tín hiệu thứ (n-1) ST(n-1), vốn là đơn vị xử lý tín hiệu trước đó, tới nút Q ($Q(n)$). Đơn vị mạch thứ nhất 120-1a chứa các tranzito từ thứ nhất tới thứ ba T1, T2 và T3.

Tranzito thứ nhất T1 được bật lên khi nhịp đồng hồ dịch chuyển GCLK1 là điện thế cao VGH2 bằng với hoặc lớn hơn điện thế cổng bật VEH và cấp điện thế của tín hiệu mang $C(n-1)$ tới nút Qh ($Qh(n)$). Tranzito thứ nhất T1 chứa cổng mà nhịp đồng hồ dịch chuyển GCLK1 được áp dụng vào đó, điện cực thứ nhất được kết nối tới đường tín hiệu mang thứ (n-1) 73, và điện cực thứ hai được kết nối tới nút Qh ($Qh(n)$).

Điện thế cao VGH2 của nhịp đồng hồ dịch chuyển GCLK1 có thể được đặt tới điện thế thấp hơn điện thế cao thứ hai VGH1. Điện thế cao VGH1 của tín hiệu mang $C(n-1)$ và tín hiệu cổng thứ nhất OUT(n) là cùng một điện thế như điện thế cao thứ hai VGH1. Khi điện thế cao VGH2 của nhịp đồng hồ dịch chuyển GCLK1 được đặt thấp hơn điện thế cao thứ hai VGH1, nút Q ($Q(n)$) được làm trôi khi điện thế ngưỡng V_{th}

của tranzito thứ nhất T1 được dịch tới độ phân cực âm $-V_{th}$ trong khi nút Q ($Q(n)$) được nạp điện, sao cho điện thế đang tăng áp của nút Q ($Q(n)$) có thể tốt hơn.

Tranzito thứ hai T2 được bật lên khi nhịp đồng hồ dịch chuyển GCLK1 có điện thế VGH2 bằng với hoặc lớn hơn điện thế cổng bật VEH, và nạp điện nút Q bằng cách cấp điện thế của nút Qh ($Qh(n)$) tới nút Q ($Q(n)$). Tranzito thứ hai T2 chứa cổng mà nhịp đồng hồ dịch chuyển GCLK1 được áp dụng vào đó, điện cực thứ nhất được kết nối tới nút Qh ($Qh(n)$), và điện cực thứ hai được kết nối tới nút Q ($Q(n)$).

Các tranzito thứ nhất và thứ hai T1 và T2 được kết nối nối tiếp. Các tranzito thứ nhất và thứ hai T1 và T2 được kết nối nối tiếp giữa đường tín hiệu mang thứ $(n-1)$ 73 và nút Qh ($Qh(n)$).

Tranzito thứ ba T3 được bật lên khi nút Q ($Q(n)$) được nạp điện và cấp điện thế thể cao thứ hai tới nút Qh ($Qh(n)$) qua đường điện thế thể cao thứ hai GVDD1. Điện thế thể cao thứ hai được cấp tới nút Qh ($Qh(n)$) qua đường điện thế thể cao thứ hai GVDD1. Tranzito thứ ba T3 chứa cổng được kết nối tới nút Q ($Q(n)$), điện cực thứ nhất được kết nối tới đường điện thế thể cao thứ hai GVDD1, và điện cực thứ hai được kết nối tới nút Qh ($Qh(n)$).

Đơn vị mạch thứ hai 120-1b chứa mạch nghịch đảo nghịch đảo điện thế của nút Q ($Q(n)$) và áp dụng điện thế tới nút Qb ($Qb(n)$). Mạch nghịch đảo của đơn vị mạch thứ hai 120-1b chứa đơn vị nạp điện nút Qb và đơn vị xả nút Qb.

Đơn vị nạp điện nút Qb chứa nhiều tranzito T4A và T4B. Đơn vị xả nút Qb chứa nhiều tranzito T5A và T5B, và nhiều tranzito T5A và T5B được kết nối song song.

Đơn vị nạp điện nút Qb chuyển mạch đường dòng điện giữa đường điện thế cao thứ hai GVDD1 và nút Qb ($Qb(n)$) theo điện thế của nút Qb thứ $(n-1)$ ($Qb(n-1)$) từ đơn vị truyền tín hiệu thứ $(n-1)$ ST($n-1$).

Tranzito thứ 4a T4A được bật lên khi điện thế của nút thứ nhất 80 là điện thế cao bằng với hoặc lớn hơn điện thế cổng bật VEH và nạp điện nút Qb ($Qb(n)$) tới điện thế cao bằng với hoặc lớn hơn điện thế cổng bật VEH bằng cách kết nối đường điện thế cao thứ hai GVDD1 tới nút Qb ($Qb(n)$). Tranzito thứ 4a T4A chứa cổng được kết nối tới nút thứ nhất 80, điện cực thứ nhất được kết nối tới đường điện thế cao thứ hai GVDD1, và điện cực thứ hai được kết nối tới nút Qb ($Qb(n)$). Tụ điện thứ nhất C1 được kết nối giữa cổng của tranzito thứ 4a T4A và điện cực thứ hai. Khi tranzito thứ 4a T4A được bật lên bởi tụ điện thứ nhất C1, điện thế của nút thứ nhất 80 có thể được tăng áp.

Tranzito thứ 4b T4B được bật lên khi điện thế của nút Qb thứ $(n-1)$ ($Qb(n-1)$) của đơn vị truyền tín hiệu thứ $(n-1)$ ST($n-1$) là điện thế cao bằng với hoặc lớn hơn điện thế cổng bật VEH và nạp điện nút thứ nhất 80 lớn hơn điện thế cổng bật VEH bằng cách cấp điện thế cao thứ hai của đường điện thế cao thứ hai GVDD1 tới nút thứ nhất 80. Tranzito thứ 4b T4B chứa cổng được kết nối tới nút Qb thứ $(n-1)$ ($Qb(n-1)$) của đơn vị truyền tín hiệu thứ $(n-1)$ ST($n-1$), điện cực thứ nhất được kết nối tới đường điện thế cao thứ hai GVDD1, và điện cực thứ hai được kết nối tới nút thứ nhất 80.

Đơn vị xả nút Qb được bật lên khi điện thế của nút Qh ($Qh(n)$) là điện thế cao bằng với hoặc lớn hơn điện thế cổng bật VEH và xả nút Qb ($Qb(n)$).

Tranzito thứ 5a T5A được bật lên khi điện thế của nút Qh ($Qh(n)$) là điện thế cao bằng với hoặc lớn hơn điện thế cổng bật VEH và xả điện thế của nút Qb ($Qb(n)$) tới điện thế thấp thứ ba bằng cách kết nối nút Qb ($Qb(n)$) tới đường điện thế thấp thứ ba

GVSS2. Tranzito thứ 5a T5A chứa cổng được kết nối tới nút Q_h ($Q_h(n)$), điện cực thứ nhất được kết nối tới nút Q_b ($Q_b(n)$), và điện cực thứ hai được kết nối tới đường điện thể thấp thứ ba GVSS2.

Tranzito thứ 5b T5B được bật lên khi điện thế của nút Q_h ($Q_h(n)$) là điện thế cao bằng với hoặc lớn hơn điện thế công bật VEH và kết nối nút thứ nhất 80 tới đường điện thể thấp thứ hai GVSS1. Tranzito thứ 5b T5B chứa cổng được kết nối tới nút Q_h ($Q_h(n)$), điện cực thứ nhất được kết nối tới nút thứ nhất 80, và điện cực thứ hai được kết nối tới đường điện thể thấp thứ hai GVSS1.

Đơn vị mạch thứ ba 120-1c có thể đưa ra tín hiệu mang $C(n)$ đáp lại các thế của nút Q ($Q(n)$) và nút Q_b ($Q_b(n)$). Đơn vị mạch thứ ba 120-1c có chứa các tranzito đệm thứ ba T6cr và T7cr đang đưa ra tín hiệu mang $C(n)$. Các tranzito đệm thứ ba T6cr và T7cr có thể đưa ra tín hiệu mang $C(n)$ dựa trên điện thế cao thứ hai được áp dụng qua đường điện thể cao thứ hai GVDD1 và điện thế thấp thứ ba được áp dụng qua đường điện thể thấp thứ ba GVSS2.

Đơn vị đưa ra thứ nhất 120-2 có thể đưa ra tín hiệu cổng thứ nhất $OUT(n)$ đáp lại các thế của nút Q ($Q(n)$) và nút Q_b ($Q_b(n)$). Đơn vị đưa ra thứ nhất 120-2 có chứa các tranzito đệm thứ nhất T6 và T7 đang đưa ra tín hiệu cổng thứ nhất $OUT(n)$.

Các tranzito đệm thứ nhất T6 và T7 có thể được chia thành tranzito kéo lên thứ nhất T6 được bật lên dựa trên thế của nút Q ($Q(n)$) và tranzito kéo xuống thứ nhất T7 được bật lên dựa trên thế của nút Q_b ($Q_b(n)$). Trong tranzito kéo lên thứ nhất T6, điện cực cổng được kết nối tới nút Q ($Q(n)$), điện cực thứ nhất được kết nối tới đường điện thể cao GVDD0, và điện cực thứ hai được kết nối tới cực đưa ra thứ nhất 71. Trong tranzito kéo xuống thứ nhất T7, điện cực cổng được kết nối tới nút Q_b ($Q_b(n)$), điện cực

thứ nhất được kết nối tới cực đưa ra thứ nhất 71, và điện cực thứ hai được kết nối tới đường điện thế thấp thứ nhất GVSS0. Các tranzito đệm thứ nhất T6 và T7 có thể đưa ra tín hiệu cổng thứ nhất OUT(n) dựa trên điện thế cao được áp dụng qua đường điện thế cao GVDD0 và điện thế thấp thứ nhất được áp dụng qua đường điện thế thấp thứ nhất GVSS0.

Đơn vị đưa ra thứ hai 120-3 có thể đưa ra tín hiệu cổng thứ hai OUTB(n) trong đó pha của tín hiệu cổng thứ nhất được đảo ngược. Đơn vị đưa ra thứ hai 120-3 có chứa các tranzito đệm thứ hai T6b và T7b đang đưa ra tín hiệu cổng thứ hai OUTB(n).

Các tranzito đệm thứ hai T6b và T7b có thể được chia thành tranzito kéo lên thứ hai T6b được bật lên dựa trên thế của nút Qb trước đó ($Qb(n-i)$) và tranzito kéo xuống thứ hai T7b được bật lên dựa trên thế của nút Q theo sau ($Q(n+j)$). Trong tranzito kéo lên thứ hai T6b, điện cực cổng được kết nối tới nút Qb trước đó ($Qb(n-i)$), điện cực thứ nhất được kết nối tới đường điện thế cao GVDD0, và điện cực thứ hai được kết nối tới cực đưa ra thứ hai 72. Trong tranzito kéo xuống thứ hai T7b, điện cực cổng được kết nối tới nút Q theo sau ($Q(n+j)$), điện cực thứ nhất được kết nối tới cực đưa ra thứ hai 72, và điện cực thứ hai được kết nối tới đường điện thế thấp thứ nhất GVSS0.

Trong trường hợp này, các phần tử chuyển mạch T8 và T9 để điều chỉnh độ rộng xung của tín hiệu cổng thứ hai có thể được chứa giữa tranzito kéo xuống thứ hai T7b và nút Q theo sau ($Q(n+j)$). Các phần tử chuyển mạch T8 và T9 có thể được chia thành phần tử chuyển mạch thứ nhất T8 được bật lên dựa trên tín hiệu xung đồng hồ, và phần tử chuyển mạch thứ hai T9 được bật lên dựa trên thế của nút Qb trước đó ($Qb(n-i)$). Phần tử chuyển mạch thứ nhất T8 chứa điện cực cổng mà tín hiệu xung đồng hồ được áp dụng, điện cực thứ nhất được kết nối tới nút Q theo sau ($Q(n+j)$), và điện cực thứ hai được kết

nối tới nút điều khiển thứ ba QA. Phần tử chuyển mạch thứ hai T9 chứa điện cực cổng được kết nối tới nút Qb trước đó ($Qb(n-1)$), điện cực thứ nhất được kết nối tới nút điều khiển thứ ba QA, và điện cực thứ hai được kết nối tới đường điện thể thấp thứ ba GVSS2.

Fig.4 là hình vẽ đang minh họa một cách sơ lược bộ điều vận công theo phương án thực hiện làm ví dụ theo sáng chế này.

Đề cập tới Fig.4, bộ điều vận công theo phương án thực hiện làm ví dụ chứa nhiều đơn vị xử lý tín hiệu $ST(n-2)$, $ST(n-1)$, $ST(n)$, $ST(n+1)$, và $ST(n+2)$ được kết nối theo tầng thông qua đường mang mà tín hiệu mang được truyền qua đó.

Mỗi đơn vị trong số các đơn vị xử lý tín hiệu $ST(n-2)$, $ST(n-1)$, $ST(n)$, $ST(n+1)$, và $ST(n+2)$ nhận xung khởi động hoặc các tín hiệu mang $C(n-2)$, $C(n-1)$, $C(n)$, $C(n+1)$, và $C(n+2)$ được đưa ra từ các đơn vị xử lý tín hiệu trước đó, và nhận nhịp đồng hồ dịch chuyển GCLK. Đơn vị xử lý tín hiệu thứ nhất $ST(1)$ bắt đầu được điều vận theo xung khởi động Vst , và các đơn vị xử lý tín hiệu khác $ST(n-2)$, $ST(n-1)$, $ST(n)$, $ST(n+1)$, và $ST(n+2)$ bắt đầu được điều vận bằng cách nhận các tín hiệu mang $C(n-2)$, $C(n-1)$, $C(n)$, $C(n+1)$, và $C(n+2)$ từ đơn vị xử lý tín hiệu trước đó. Nhịp đồng hồ dịch chuyển GCLK có thể là nhịp đồng hồ N pha (N là số nguyên dương bằng với hoặc lớn hơn 2). Ví dụ, nhịp đồng hồ dịch chuyển GCLK có thể là nhịp đồng hồ bốn pha GCLK1, GCLK2, GCLK3, và GCLK4. Các pha của các nhịp đồng hồ dịch chuyển bốn pha GCLK1, GCLK2, GCLK3, và GCLK4 là đối diện với nhau. Các đơn vị xử lý tín hiệu $ST(n-2)$, $ST(n-1)$, $ST(n)$, $ST(n+1)$, và $ST(n+2)$ có thể liên tiếp đưa ra các tín hiệu cổng thứ nhất cùng pha $OUT(n-2)$, $OUT(n-1)$, $OUT(n)$, $OUT(n+1)$, và $OUT(n+2)$ và các tín hiệu cổng pha nghịch đảo thứ hai $OUTB(n-2)$, $OUTB(n-1)$, $OUTB(n)$, $OUTB(n+1)$, và $OUTB(n+2)$

bằng cách dịch xung khởi động hoặc các tín hiệu mang $C(n-2)$, $C(n-1)$, $C(n)$, $C(n+1)$, và $C(n+2)$ từ các đơn vị xử lý tín hiệu trước đó theo việc định thời của nhịp đồng hồ dịch chuyển.

Trong trường hợp này, từng đơn vị trong số các đơn vị xử lý tín hiệu có thể đưa ra các tín hiệu công thứ nhất cùng pha $OUT(n-2)$, $OUT(n-1)$, $OUT(n)$, $OUT(n+1)$, và $OUT(n+2)$ bởi bộ đệm thứ nhất BUF1, và các tín hiệu công pha nghịch đảo thứ hai $OUTB(n-2)$, $OUTB(n-1)$, $OUTB(n)$, $OUTB(n+1)$, và $OUTB(n+2)$ bởi bộ đệm thứ hai BUF2.

Fig.5 là hình đang minh họa bộ điều vận công theo phương án thực hiện làm ví dụ thứ hai theo sáng chế này, và Fig.6 là giản đồ dạng sóng đang minh họa các tín hiệu đầu vào/đầu ra và các điện thế của các nút điều khiển của bộ điều vận công được thể hiện trên Fig.5.

Đề cập đến các hình vẽ Fig.5 và Fig.6, bộ điều vận công theo phương án thực hiện làm ví dụ thứ hai theo sáng chế này có chứa nhiều đơn vị truyền tín hiệu, và mỗi đơn vị trong số các đơn vị truyền tín hiệu có chứa đơn vị mạch 120-1, đơn vị đưa ra thứ nhất 120-2, và đơn vị đưa ra thứ hai 120-3.

Đơn vị mạch 120-1 có thể nạp điện và xả nút Q ($Q(n)$) và nút Qb ($Qb(n)$), và đưa ra tín hiệu mang $C(n)$ theo các thế của nút Q ($Q(n)$) và nút Qb ($Qb(n)$).

Đơn vị đưa ra thứ nhất 120-2 có thể đưa ra tín hiệu công thứ nhất $OUT(n)$ đáp lại các thế của nút Q ($Q(n)$) và nút Qb ($Qb(n)$) của đơn vị truyền tín hiệu thứ n ($ST(n)$) (n là số nguyên dương). Đơn vị đưa ra thứ nhất 120-2 có chứa các tranzito đệm thứ nhất T6 và T7 đang đưa ra tín hiệu công thứ nhất $OUT(n)$.

Các tranzito đệm thứ nhất T6 và T7 có thể được chia thành tranzito kéo lên thứ nhất T6 được bật lên dựa trên thế của nút Q ($Q(n)$), và tranzito kéo xuống thứ nhất T7 được bật lên dựa trên thế của nút Qb ($Qb(n)$). Trong tranzito kéo lên thứ nhất T6, điện cực cổng được kết nối tới nút Q ($Q(n)$), điện cực thứ nhất được kết nối tới đường điện thế cao GVDD0, và điện cực thứ hai được kết nối tới cực đưa ra thứ nhất 71. Trong tranzito kéo xuống thứ nhất T7, điện cực cổng được kết nối tới nút Qb ($Qb(n)$), điện cực thứ nhất được kết nối tới cực đưa ra thứ nhất 71, và điện cực thứ hai được kết nối tới đường điện thế thấp thứ nhất GVSS0. Các tranzito đệm thứ nhất T6 và T7 có thể đưa ra tín hiệu cổng thứ nhất OUT(n) dựa trên điện thế cao được áp dụng qua đường điện thế cao GVDD0 và điện thế thấp thứ nhất được áp dụng qua đường điện thế thấp thứ nhất GVSS0.

Đơn vị đưa ra thứ hai 120-3 có thể đưa ra tín hiệu cổng thứ hai OUTB(n) mà trong đó pha của tín hiệu cổng thứ nhất được đảo ngược đáp lại các thế của nút Qb ($Qb(n-1)$) của đơn vị truyền tín hiệu thứ (n-1) ST(n-1) và nút Q ($Q(n+1)$) của đơn vị truyền tín hiệu thứ (n+1) ST(n+1). Đơn vị đưa ra thứ hai 120-3 có chứa các tranzito đệm thứ hai T6b và T7b đang đưa ra tín hiệu cổng thứ hai OUTB(n).

Các tranzito đệm thứ hai T6b và T7b có thể được chia thành tranzito kéo lên thứ hai T6b được bật lên dựa trên thế của nút Qb trước đó ($Qb(n-1)$), và tranzito kéo xuống thứ hai T7b được bật lên dựa trên thế của nút Qb theo sau ($Qb(n+1)$). Trong tranzito kéo lên thứ hai T6b, điện cực cổng được kết nối tới nút Qb trước đó ($Qb(n-1)$), điện cực thứ nhất được kết nối tới đường điện thế cao GVDD0, và điện cực thứ hai được kết nối tới cực đưa ra thứ hai 72. Trong tranzito kéo xuống thứ hai T7b, điện cực cổng được kết

nối tới nút Q theo sau ($Q(n+1)$), điện cực thứ nhất được kết nối tới cực đưa ra thứ hai 72, và điện cực thứ hai được kết nối tới đường điện thế thấp thứ nhất GVSS0.

Trong trường hợp này, các phần tử chuyển mạch T8 và T9 để điều chỉnh độ rộng xung của tín hiệu cổng thứ hai có thể được chứa giữa tranzito kéo xuống thứ hai T7b và nút Q theo sau ($Q(n+1)$). Các phần tử chuyển mạch T8 và T9 có thể được chia thành phần tử chuyển mạch thứ nhất T8 được bật lên dựa trên tín hiệu xung đồng hồ, và phần tử chuyển mạch thứ hai T9 được bật lên dựa trên nút Qb trước đó ($Qb(n-1)$). Phần tử chuyển mạch thứ nhất T8 chứa điện cực cổng mà tín hiệu xung đồng hồ được áp dụng vào đó, điện cực thứ nhất được kết nối tới nút Q theo sau ($Q(n+j)$), và điện cực thứ hai được kết nối tới nút điều khiển thứ ba QA. Phần tử chuyển mạch thứ hai T9 chứa điện cực cổng được kết nối tới nút Qb trước đó ($Qb(n-i)$), điện cực thứ nhất được kết nối tới nút điều khiển thứ ba QA, và điện cực thứ hai được kết nối tới đường điện thế thấp thứ hai GVSS1.

Trong trường hợp này, độ rộng xung của điện thế cao của tín hiệu cổng thứ hai có thể được tạo thành để lớn hơn độ rộng xung của tín hiệu cổng thứ nhất, và có thể được tạo thành để là 2H dài hơn phần mà trong đó xung của điện thế thấp của tín hiệu cổng thứ nhất được áp dụng vào đó, như được thể hiện trên Fig.6. Ở đây, phần mà xung của điện thế cao của tín hiệu cổng thứ hai được áp dụng vào đó có thể được tạo thành để là 1H dài hơn, dựa trên sườn xuống của phần mà xung của điện thế thấp của tín hiệu cổng thứ nhất được áp dụng vào đó, và có thể được tạo thành để là 1H dài hơn, dựa trên sườn lên.

Fig.7 là hình đang minh họa bộ điều vận cổng theo phương án thực hiện làm ví dụ thứ ba theo sáng chế này, và Fig.8 là giản đồ dạng sóng đang minh họa các tín hiệu đầu

vào/đầu ra và các điện thế của các nút điều khiển của bộ điều vận công được thể hiện trên Fig.7.

Đề cập đến các hình vẽ Fig.7 và Fig.8, bộ điều vận công theo phương án thực hiện làm ví dụ thứ ba theo sáng chế này có chứa nhiều đơn vị truyền tín hiệu, và mỗi đơn vị trong số các đơn vị truyền tín hiệu có chứa đơn vị mạch 120-1, đơn vị đưa ra thứ nhất 120-2, và đơn vị đưa ra thứ hai 120-3.

Đơn vị mạch 120-1 có thể nạp điện và xả nút Q ($Q(n)$) và nút Qb ($Qb(n)$), và đưa ra tín hiệu mang C(n) theo các thế của nút Q ($Q(n)$) và nút Qb ($Qb(n)$).

Đơn vị đưa ra thứ nhất 120-2 có thể đưa ra tín hiệu cổng thứ nhất OUT(n) đáp lại các thế của nút Q ($Q(n)$) và nút Qb ($Qb(n)$) của đơn vị truyền tín hiệu thứ n (ST(n)). Đơn vị đưa ra thứ nhất 120-2 có chứa các tranzito đệm thứ nhất T6 và T7 đang đưa ra tín hiệu cổng thứ nhất OUT(n).

Các tranzito đệm thứ nhất T6 và T7 có thể được chia thành tranzito kéo lên thứ nhất T6 được bật lên dựa trên thế của nút Q ($Q(n)$) và tranzito kéo xuống thứ nhất T7 được bật lên dựa trên thế của nút Qb ($Qb(n)$). Trong tranzito kéo lên thứ nhất T6, điện cực cổng được kết nối tới nút Q ($Q(n)$), điện cực thứ nhất được kết nối tới đường điện thế thế cao GVDD0, và điện cực thứ hai được kết nối tới cực đưa ra thứ nhất 71. Trong tranzito kéo xuống thứ nhất T7, điện cực cổng được kết nối tới nút Qb ($Qb(n)$), điện cực thứ nhất được kết nối tới cực đưa ra thứ nhất 71, và điện cực thứ hai được kết nối tới đường điện thế thế thấp thứ nhất GVSS0. Các tranzito đệm thứ nhất T6 và T7 có thể đưa ra tín hiệu cổng thứ nhất OUT(n) dựa trên điện thế thế cao được áp dụng qua đường điện thế thế cao GVDD0 và điện thế thế thấp thứ nhất được áp dụng qua đường điện thế thế thấp thứ nhất GVSS0.

Đơn vị đưa ra thứ hai 120-3 có thể đưa ra tín hiệu cổng thứ hai OUTB(n) mà trong đó pha của tín hiệu cổng thứ nhất được đảo ngược đáp lại các thể của nút Qb ($Qb(n-2)$) của đơn vị truyền tín hiệu thứ (n-2) và nút Q ($Q(n+1)$) của đơn vị truyền tín hiệu thứ (n+1). Đơn vị đưa ra thứ hai 120-3 có chứa các tranzito đệm thứ hai T6b và T7b đang đưa ra tín hiệu cổng thứ hai OUTB(n).

Các tranzito đệm thứ hai T6b và T7b có thể được chia thành tranzito kéo lên thứ hai T6b được bật lên dựa trên thể của nút Qb trước đó ($Qb(n-2)$), và tranzito kéo xuống thứ hai T7b được bật lên dựa trên thể của nút Qb theo sau ($Qb(n+1)$). Trong tranzito kéo lên thứ hai T6b, điện cực cổng được kết nối tới nút Qb trước đó ($Qb(n-2)$), điện cực thứ nhất được kết nối tới đường điện thể thể cao GVDD0, và điện cực thứ hai được kết nối tới cực đưa ra thứ hai 72. Trong tranzito kéo xuống thứ hai T7b, điện cực cổng được kết nối tới nút Q theo sau ($Q(n+1)$), điện cực thứ nhất được kết nối tới cực đưa ra thứ hai 72, và điện cực thứ hai được kết nối tới đường điện thể thể thấp thứ nhất GVSS0.

Trong trường hợp này, các phần tử chuyển mạch T8 và T9 để điều chỉnh độ rộng xung của tín hiệu cổng thứ hai có thể được chứa giữa tranzito kéo xuống thứ hai T7b và nút Q theo sau ($Q(n+1)$). Các phần tử chuyển mạch T8 và T9 có thể được chia thành phần tử chuyển mạch thứ nhất T8 được bật lên dựa trên tín hiệu xung đồng hồ, và phần tử chuyển mạch thứ hai T9 được bật lên dựa trên thể của nút Qb trước đó ($Qb(n-2)$). Phần tử chuyển mạch thứ nhất T8 chứa điện cực cổng mà tín hiệu xung đồng hồ được áp dụng, điện cực thứ nhất được kết nối tới nút Q theo sau ($Q(n+j)$), và điện cực thứ hai được kết nối tới nút điều khiển thứ ba QA. Phần tử chuyển mạch thứ hai T9 chứa điện cực cổng được kết nối tới nút Qb trước đó ($Qb(n-i)$), điện cực thứ nhất được kết nối tới

nút điều khiển thứ ba QA, và điện cực thứ hai được kết nối tới đường điện thế thấp thứ hai GVSS1.

Trong trường hợp này, độ rộng xung của điện thế cao của tín hiệu cổng thứ hai có thể được tạo thành để lớn hơn độ rộng xung của tín hiệu cổng thứ nhất, và có thể được tạo thành để là 3H dài hơn phần mà trong đó xung của điện thế thấp của tín hiệu cổng thứ nhất được áp dụng vào đó, như được thể hiện trên Fig.8. Ở đây, phần mà xung của điện thế cao của tín hiệu cổng thứ hai được áp dụng vào đó có thể được tạo thành để là 1H dài hơn, dựa trên sườn xuống của phần mà xung của điện thế thấp của tín hiệu cổng thứ nhất được áp dụng vào đó, và có thể được tạo thành để là 1H dài hơn, dựa trên sườn lên.

Fig.9 là hình đang minh họa bộ điều vận công theo phương án thực hiện làm ví dụ thứ tư theo sáng chế này, và Fig.10 là giản đồ dạng sóng đang minh họa các tín hiệu đầu vào/đầu ra và các điện thế của các nút điều khiển của bộ điều vận công được thể hiện trên Fig.9.

Đề cập đến các hình vẽ Fig.9 và Fig.10, bộ điều vận công theo phương án thực hiện làm ví dụ thứ tư theo sáng chế này có chứa nhiều đơn vị truyền tín hiệu, và mỗi đơn vị trong số các đơn vị truyền tín hiệu có chứa đơn vị mạch 120-1, đơn vị đưa ra thứ nhất 120-2, và đơn vị đưa ra thứ hai 120-3.

Đơn vị mạch 120-1 có thể nạp điện và xả nút Q ($Q(n)$) và nút Qb ($Qb(n)$), và đưa ra tín hiệu mang C(n) theo các thế của nút Q ($Q(n)$) và nút Qb ($Qb(n)$).

Đơn vị đưa ra thứ nhất 120-2 có thể đưa ra tín hiệu cổng thứ nhất OUT(n) đáp lại các thế của nút Q ($Q(n)$) và nút Qb ($Qb(n)$) của đơn vị truyền tín hiệu thứ n (ST(n)).

Đơn vị đưa ra thứ nhất 120-2 có chứa các tranzito đệm thứ nhất T6 và T7 đang đưa ra tín hiệu cổng thứ nhất OUT(n).

Các tranzito đệm thứ nhất T6 và T7 có thể được chia thành tranzito kéo lên thứ nhất T6 được bật lên dựa trên thế của nút Q ($Q(n)$) và tranzito kéo xuống thứ nhất T7 được bật lên dựa trên thế của nút Qb ($Qb(n)$). Trong tranzito kéo lên thứ nhất T6, điện cực cổng được kết nối tới nút Q ($Q(n)$), điện cực thứ nhất được kết nối tới đường điện thế thể cao GVDD0, và điện cực thứ hai được kết nối tới cực đưa ra thứ nhất 71. Trong tranzito kéo xuống thứ nhất T7, điện cực cổng được kết nối tới nút Qb ($Qb(n)$), điện cực thứ nhất được kết nối tới cực đưa ra thứ nhất 71, và điện cực thứ hai được kết nối tới đường điện thế thể thấp thứ nhất GVSS0. Các tranzito đệm thứ nhất T6 và T7 có thể đưa ra tín hiệu cổng thứ nhất OUT(n) dựa trên điện thế thể cao được áp dụng qua đường điện thế thể cao GVDD0 và điện thế thể thấp thứ nhất được áp dụng qua đường điện thế thể thấp thứ nhất GVSS0.

Đơn vị đưa ra thứ hai 120-3 có thể đưa ra tín hiệu cổng thứ hai OUTB(n) mà trong đó pha của tín hiệu cổng thứ nhất được đảo ngược đáp lại các thế của nút Qb ($Qb(n)$) của đơn vị truyền tín hiệu thứ n và nút Q ($Q(n+1)$) của đơn vị truyền tín hiệu thứ (n+1). Đơn vị đưa ra thứ hai 120-3 có chứa các tranzito đệm thứ hai T6b và T7b đang đưa ra tín hiệu cổng thứ hai OUTB(n).

Các tranzito đệm thứ hai T6b và T7b có thể được chia thành tranzito kéo lên thứ hai T6b được bật lên dựa trên thế của nút Qb ($Qb(n)$), và tranzito kéo xuống thứ hai T7b được bật lên dựa trên thế của nút Qb theo sau ($Qb(n+1)$). Trong tranzito kéo lên thứ hai T6b, điện cực cổng được kết nối tới nút Qb ($Qb(n)$), điện cực thứ nhất được kết nối tới đường điện thế thể cao GVDD0, và điện cực thứ hai được kết nối tới cực đưa ra thứ hai

72. Trong tranzito kéo xuống thứ hai T7b, điện cực cổng được kết nối tới nút Q theo sau ($Q(n+1)$), điện cực thứ nhất được kết nối tới cực đưa ra thứ hai 72, và điện cực thứ hai được kết nối tới đường điện thế thấp thứ nhất GVSS0.

Trong trường hợp này, các phân tử chuyển mạch T8 và T9 để điều chỉnh độ rộng xung của tín hiệu cổng thứ hai có thể được chứa giữa tranzito kéo xuống thứ hai T7b và nút Q theo sau ($Q(n+1)$). Các phân tử chuyển mạch T8 và T9 có thể được chia thành phân tử chuyển mạch thứ nhất T8 được bật lên dựa trên tín hiệu xung đồng hồ, và phân tử chuyển mạch thứ hai T9 được bật lên dựa trên nút Qb ($Qb(n)$). Phân tử chuyển mạch thứ nhất T8 chứa điện cực cổng mà tín hiệu xung đồng hồ được áp dụng vào đó, điện cực thứ nhất được kết nối tới nút Qb theo sau ($Qb(n+1)$), và điện cực thứ hai được kết nối tới nút điều khiển thứ ba QA. Phân tử chuyển mạch thứ hai T9 chứa điện cực cổng được kết nối tới nút Qb ($Qb(n)$), điện cực thứ nhất được kết nối tới nút điều khiển thứ ba QA, và điện cực thứ hai được kết nối tới đường điện thế thấp thứ hai GVSS1.

Trong trường hợp này, độ rộng xung của điện thế cao của tín hiệu cổng thứ hai có thể được tạo thành để lớn hơn độ rộng xung của tín hiệu cổng thứ nhất, và có thể được tạo thành để là 1H dài hơn phần mà trong đó xung của điện thế thấp của tín hiệu cổng thứ nhất được áp dụng vào đó, như được thể hiện trên Fig.10. Ở đây, phần mà xung của điện thế cao của tín hiệu cổng thứ hai được áp dụng vào đó có thể được tạo thành để là 1H dài hơn, dựa trên sườn lên của phần mà xung của điện thế thấp của tín hiệu cổng thứ nhất được áp dụng vào đó.

Theo phương án thực hiện làm ví dụ, tín hiệu cổng thứ hai mà trong đó pha của tín hiệu cổng thứ nhất được đảo ngược, có thể được đưa ra. Tín hiệu cổng thứ hai có thể được tạo thành theo các điện thế của nút thứ hai của đơn vị truyền tín hiệu thứ $(n-i)$ (i là

số nguyên dương nhỏ hơn n) và nút thứ nhất của đơn vị truyền tín hiệu thứ $(n+j)$ (j là số nguyên dương lớn hơn n). Trong trường hợp này, phần mà xung của điện thế cao của tín hiệu công thứ hai được áp dụng vào đó có thể được tạo thành để là $1H$ hoặc dài hơn nữa so với phần mà xung của điện thế thấp của tín hiệu công thứ nhất được áp dụng vào đó. Thêm vào đó, phần mà xung của điện thế cao của tín hiệu công thứ hai được áp dụng vào đó có thể được tạo thành để là $1H$ hoặc dài hơn nữa dựa trên ít nhất là một sườn trong số sườn lên và sườn xuống của phần mà xung của điện thế thấp của tín hiệu công thứ nhất được áp dụng vào đó.

Fig.11 là giản đồ khối đang minh họa thiết bị hiển thị theo phương án thực hiện theo sáng chế này, và Fig.12 là giản đồ đang minh họa cấu trúc mặt cắt của tấm nền hiển thị được thể hiện trên Fig.11, Fig.13 là hình đang minh họa mạch điểm ảnh được áp dụng cho tấm nền hiển thị được thể hiện trên Fig.11, và Fig.14 là giản đồ dạng sóng đang minh họa các tín hiệu đầu vào/đầu ra và các điện thế của các nút điều khiển của bộ điều vận công được thể hiện trên Fig.13.

Đề cập tới Fig.11, thiết bị hiển thị theo phương án thực hiện theo sáng chế này chứa tấm nền hiển thị 100, bộ điều vận tấm nền hiển thị để viết dữ liệu điểm ảnh vào các điểm ảnh của tấm nền hiển thị 100, và phần cấp công suất 140 để sinh ra công suất cần thiết cho việc điều vận các điểm ảnh và bộ điều vận tấm nền hiển thị.

Tấm nền hiển thị 100 chứa mảng điểm ảnh AA hiển thị hình ảnh đầu vào. Mảng điểm ảnh AA chứa nhiều đường dữ liệu 102, nhiều đường công 103 được giao cắt với các đường dữ liệu 102, và các điểm ảnh được sắp xếp ở dạng ma trận.

Mảng điểm ảnh AA chứa nhiều đường điểm ảnh $L1$ tới L_n . Mỗi đường trong số các đường điểm ảnh $L1$ đến L_n chứa một đường của các điểm ảnh được sắp xếp dọc

theo hướng đường X trong mảng điểm ảnh AA của tấm nền hiển thị 100. Các điểm ảnh được sắp xếp trong một đường điểm ảnh chia sẻ các đường cổng 103. Các điểm ảnh phụ được sắp xếp theo hướng cột Y dọc theo hướng đường dữ liệu chia sẻ cùng đường dữ liệu 102. Một chu kỳ nằm ngang 1H là thời gian thu được bằng cách chia chu kỳ một khung bởi tổng số các đường điểm ảnh L1 tới Ln.

Các bộ cảm biến chạm có thể được bố trí trên tấm nền hiển thị 100. Đầu vào chạm có thể được cảm nhận bằng cách sử dụng các bộ cảm biến chạm tách biệt hoặc có thể được cảm nhận qua các điểm ảnh. Các bộ cảm biến chạm có thể được bố trí như là loại trên ô hoặc loại thêm vào trên màn của tấm nền hiển thị hoặc được áp dụng như là các bộ cảm biến chạm trong ô được nhúng trong mảng điểm ảnh AA.

Tấm nền hiển thị 100 có thể được áp dụng như là tấm nền hiển thị mềm dẻo. Tấm nền hiển thị mềm dẻo có thể được tạo thành từ tấm nền OLED nhựa. Màng mỏng hữu cơ có thể được bố trí trên tấm sau của tấm nền OLED nhựa, và mảng điểm ảnh AA có thể được tạo thành trên màng mỏng hữu cơ.

Tấm sau của OLED nhựa có thể là đế polyetylen terephthalat (PET). Màng mỏng hữu cơ được tạo thành trên tấm sau. Mảng điểm ảnh AA và mảng bộ cảm biến chạm có thể được tạo thành trên màng mỏng hữu cơ. Tấm sau chặn việc xâm nhập của hơi ẩm sao cho mảng điểm ảnh AA không bị phơi ra trước độ ẩm. Màng mỏng hữu cơ có thể là đế màng Polyimide (PI) mỏng. Màng đệm nhiều lớp có thể được tạo thành từ vật liệu cách ly (không được thể hiện) trên màng mỏng hữu cơ. Các đường có thể được tạo thành trên màng mỏng hữu cơ để cấp công suất hoặc các tín hiệu được áp dụng cho mảng điểm ảnh AA và mảng bộ cảm biến chạm.

Để tạo màu, mỗi điểm ảnh trong số các điểm ảnh có thể được chia thành điểm ảnh phụ màu đỏ (dưới đây sẽ được đề cập tới như là “điểm ảnh phụ R”), điểm ảnh phụ màu xanh lục (dưới đây sẽ được đề cập tới như là “điểm ảnh phụ G”), và điểm ảnh phụ màu xanh lam (dưới đây sẽ được đề cập tới như là “điểm ảnh phụ B”). Mỗi điểm ảnh trong số các điểm ảnh có thể còn chứa điểm ảnh phụ màu trắng. Mỗi điểm ảnh phụ trong số các điểm ảnh phụ 101 chứa mạch điểm ảnh. Mạch điểm ảnh được kết nối tới đường dữ liệu 102 và đường công 103.

Dưới đây, điểm ảnh có thể được diễn dịch như là đang có cùng một ý nghĩa như điểm ảnh phụ.

Như được thể hiện trên Fig.12, khi được nhìn từ cấu trúc mặt cắt, tấm nền hiển thị 100 có chứa lớp mạch 12, lớp phân tử phát sáng 14, và lớp bao bọc 16 được chồng trên đế 10.

Lớp mạch 12 có chứa mạch điểm ảnh được kết nối để nối dây như đường dữ liệu, đường công, và đường công suất, bộ điều vận công (GIP) được kết nối tới các đường công, mảng bộ khử ồn kênh 112, mạch (không được thể hiện) cho việc kiểm tra dò tự động, và dạng tương tự. Các việc nối dây và các phân tử mạch của lớp mạch 12 có chứa nhiều lớp cách ly, hai hoặc hơn hai lớp kim loại được tách biệt với lớp cách ly giữa đó, và lớp hoạt động chứa vật liệu bán dẫn. Tất cả các tranzito được tạo thành trong lớp mạch 12 có thể được áp dụng như là các TFT oxit đang có chất bán dẫn oxit loại kênh n.

Lớp phân tử phát sáng 14 có chứa phân tử phát sáng EL được điều vận bởi mạch điểm ảnh. Phân tử phát sáng EL có chứa phân tử phát sáng màu đỏ (R), phân tử phát sáng màu xanh lục (G), và phân tử phát sáng màu xanh lam (B). Lớp phân tử phát sáng

14 có chứa phân tử phát sáng màu trắng và bộ lọc màu. Các phân tử phát sáng EL của lớp phân tử phát sáng 14 có thể được che phủ bởi lớp bảo vệ chứa màng hữu cơ và màng thụ động hóa.

Lớp bao bọc 16 che phủ lớp phân tử phát sáng 14 để bít kín lớp mạch 12 và lớp phân tử phát sáng 14. Lớp bao bọc 16 có thể có cấu trúc cách ly đa lớp mà trong đó màng hữu cơ và màng vô cơ được xếp chồng xen kẽ. Màng vô cơ chặn việc xâm nhập của hơi ẩm và oxy. Màng hữu cơ làm phẳng bề mặt của màng vô cơ. Khi màng hữu cơ và màng vô cơ được xếp chồng trong nhiều lớp, thì đường di chuyển của hơi ẩm hoặc oxy trở nên dài hơn khi so với lớp đơn, sao cho việc xâm nhập của hơi ẩm và oxy ảnh hưởng đến lớp chi tiết lớp phân tử phát sáng 14 có thể được chặn một cách hiệu quả.

Lớp bộ cảm biến chạm có thể được bố trí trên lớp bao bọc 16. Lớp bộ cảm biến chạm có chứa các bộ cảm biến chạm loại tụ điện cảm nhận đầu vào chạm dựa trên sự thay đổi trong điện dung trước và sau đầu vào chạm. Lớp bộ cảm biến chạm có chứa các mẫu hình nổi dây kim loại và các lớp cách ly đang tạo thành điện dung của các bộ cảm biến chạm. Điện dung của bộ cảm biến chạm có thể được tạo thành giữa các mẫu hình nổi dây kim loại. Tấm phân cực có thể được bố trí trên lớp bộ cảm biến chạm. Tấm phân cực có thể cải thiện khả năng nhìn thấy được và tỉ lệ tương phản bằng cách chuyển đổi việc phân cực của ánh sáng bên ngoài được phản xạ bởi kim loại của lớp bộ cảm biến chạm và lớp mạch 12. Tấm phân cực có thể được áp dụng làm tấm phân cực trong đó tấm phân cực thẳng và màng làm trễ pha được gắn kết, hoặc tấm phân cực tròn. Thủy tinh che phủ có thể được gắn vào tấm phân cực.

Tấm nền hiển thị 100 có thể còn chứa lớp bộ cảm biến chạm và lớp bộ lọc màu được chồng trên lớp bao bọc 16. Lớp bộ lọc màu có chứa các bộ lọc màu đỏ, xanh lục,

và xanh lam và mẫu hình ma trận đen. Lớp bộ lọc màu có thể thay thế tấm phân cực và tăng độ tinh khiết của màu sắc bằng cách hấp thụ một phần của bước sóng ánh sáng được phản xạ từ lớp mạch và lớp bộ cảm biến chạm. Theo phương án thực hiện này, bằng cách áp dụng lớp bộ lọc màu 20 đang có độ truyền qua của ánh sáng cao hơn tấm phân cực tới tấm nền hiển thị, độ truyền qua của ánh sáng của tấm nền hiển thị PNL có thể được cải thiện, và độ dày và độ linh hoạt của tấm nền hiển thị PNL có thể được cải thiện. Thủy tinh che phủ có thể được gắn trên lớp bộ lọc màu.

Phần cấp công suất 140 sinh ra công suất DC được yêu cầu để điều vận mảng điểm ảnh AA và mạch điều vận tấm nền hiển thị của tấm nền hiển thị 100 bằng cách sử dụng bộ chuyển đổi DC-DC. Bộ chuyển đổi DC-DC có chứa bơm điện tích, bộ phận điều hòa, bộ chuyển đổi khối, bộ chuyển đổi tăng áp, và dạng tương tự. Phần cấp công suất 140 có thể điều chỉnh điện thế đầu vào DC từ hệ thống chủ (không được thể hiện) và nhờ đó sinh ra các điện thế DC như điện thế tham chiếu gamma VGMA, các điện thế công bật VGH và VEH, các điện thế công tắt VGL và VEL, điện thế điều vận điểm ảnh EVDD, và điện thế cấp công suất thế thấp điểm ảnh EVSS. Điện thế tham chiếu gamma VGMA được cấp tới bộ điều vận dữ liệu 110. Các điện thế công bật VGH và VEH và các điện thế công tắt VGL và VEL được cấp tới bộ điều vận cổng 120. Điện thế điều vận điểm ảnh EVDD và điện thế cấp công suất thế thấp điểm ảnh EVSS được cấp chung tới các điểm ảnh.

Mạch điều vận tấm nền hiển thị viết dữ liệu điểm ảnh (dữ liệu kỹ thuật số) của hình ảnh đầu vào vào các điểm ảnh của tấm nền hiển thị 100 dưới sự điều khiển của bộ điều khiển định thời (TCON) 130.

Mạch điều vận tám nền hiển thị chứa bộ điều vận dữ liệu 110 và bộ điều vận công 120.

Bộ giải dòn kênh (de-multiplexer - DEMUX) 112 có thể được bố trí giữa bộ điều vận dữ liệu 110 và các đường dữ liệu 102. Bộ giải dòn kênh 112 liên tiếp kết nối một kênh của bộ điều vận dữ liệu 110 tới nhiều đường dữ liệu 102 và phân phối theo cách chia thời gian điện thế dữ liệu được đưa ra từ một kênh của bộ điều vận dữ liệu 110 tới các đường dữ liệu 102, nhờ đó làm giảm số các kênh của bộ điều vận dữ liệu 110. Mảng bộ khử dòn kênh 112 có thể được bỏ qua. Trong trường hợp này, các bộ đệm đầu ra AMP của bộ điều vận dữ liệu 110 được kết nối một cách trực tiếp tới các đường dữ liệu 102.

Mạch điều vận tám nền hiển thị có thể còn chứa bộ điều vận bộ cảm biến chạm để điều vận các bộ cảm biến chạm. Bộ điều vận bộ cảm biến chạm được bỏ qua từ Fig.11. Trong thiết bị di động, bộ điều khiển việc định thời 130, phần cấp công suất 140, bộ điều vận dữ liệu 110, và dạng tương tự có thể được tích hợp vào trong một mạch tích hợp (integrated circuit - IC) điều vận.

Bộ điều vận dữ liệu 110 sinh ra điện thế dữ liệu Vdata bằng cách biến đổi dữ liệu điểm ảnh của hình ảnh đầu vào nhận được từ bộ điều khiển việc định thời 130 với điện thế bù gamma cho mọi chu kỳ khung bằng cách sử dụng bộ biến đổi số thành tương tự (digital to analog converter - DAC). Điện thế tham chiếu gamma VGMA được chia cho các thang xám tương ứng qua mạch bộ chia điện thế. Điện thế bù gamma được chia từ điện thế tham chiếu gamma VGMA được cung cấp tới DAC của bộ điều vận dữ liệu 110. Điện thế dữ liệu Vdata được đưa ra qua bộ đệm đầu ra AMP trong từng kênh trong số các kênh của bộ điều vận dữ liệu 110.

Trong bộ điều vận dữ liệu 110, bộ đệm đầu ra AMP được chứa trong một kênh có thể được kết nối tới các đường dữ liệu 102 liên kết qua mảng bộ khử đòn kênh 112. Mảng bộ khử đòn kênh 112 có thể được tạo thành một cách trực tiếp trên đế của tấm nền hiển thị 100 hoặc được tích hợp vào trong một IC điều vận cùng với bộ điều vận dữ liệu 110.

Bộ điều vận cổng 120 có thể được áp dụng như là mạch cổng trong panen (gate in panel - GIP) được tạo thành một cách trực tiếp trên diện tích viền BZ của tấm nền hiển thị 100 cùng với mảng TFT của mảng điểm ảnh AA. Bộ điều vận cổng 120 liên tiếp đưa ra các tín hiệu cổng tới các đường cổng 103 dưới sự điều khiển của bộ điều khiển việc định thời 130. Bộ điều vận cổng 120 có thể liên tiếp cấp các tín hiệu cổng tới các đường cổng 103 bằng cách dịch các tín hiệu cổng sử dụng thanh ghi dịch.

Tín hiệu cổng có chứa tín hiệu quét để chọn các điểm ảnh của đường mà dữ liệu cần được viết vào trong đó trong việc đồng bộ với điện thế dữ liệu, và tín hiệu EM đang định nghĩa thời gian phát xạ của các điểm ảnh được nạp điện với điện thế dữ liệu.

Bộ điều vận cổng 120 có chứa bộ điều vận quét 121, bộ điều vận EM 122, và bộ điều khởi tạo 123.

Bộ điều vận quét 121 đưa ra tín hiệu quét SCAN đáp lại xung khởi động và nhịp đồng hồ dịch chuyển từ bộ điều khiển việc định thời 130, và dịch tín hiệu quét SCAN theo việc định thời nhịp đồng hồ dịch chuyển. Bộ điều vận EM 122 đưa ra tín hiệu EM (EM) đáp lại xung khởi động và nhịp đồng hồ dịch chuyển từ bộ điều khiển việc định thời 130, và liên tiếp dịch tín hiệu EM (EM) theo nhịp đồng hồ dịch chuyển. Bộ điều khởi tạo 123 đưa ra tín hiệu khởi tạo INIT đáp lại xung khởi động và nhịp đồng hồ dịch chuyển từ bộ điều khiển việc định thời 130, và dịch chuyển tín hiệu khởi tạo INIT theo việc định thời nhịp đồng hồ dịch chuyển. Do đó, tín hiệu quét SCAN, tín hiệu EM (EM),

và tín hiệu khởi tạo INIT được cấp liên tiếp tới các đường cổng 103 của các đường điểm ảnh L1 đến Ln. Trong trường hợp của mô hình không có viền, ít nhất một số tranzito đang tạo nên bộ điều vận cổng 120 và các việc nối dây nhịp đồng hồ có thể được bố trí phân tán trong mảng điểm ảnh AA.

Bộ điều khiển việc định thời 130 nhận, từ hệ thống chủ (không được thể hiện), dữ liệu video kỹ thuật số DATA của hình ảnh đầu vào và tín hiệu đồng bộ được đồng bộ ở đó. Tín hiệu định thời chứa tín hiệu đồng bộ thẳng đứng Vsync, tín hiệu đồng bộ nằm ngang Hsync, nhịp đồng hồ chính CLK, tín hiệu cho phép dữ liệu DE, và dạng tương tự. Do chu kỳ thẳng đứng và chu kỳ nằm ngang có thể được biết bằng cách đếm tín hiệu cho phép dữ liệu DE, tín hiệu đồng bộ thẳng đứng Vsync và tín hiệu đồng bộ nằm ngang Hsync có thể được bỏ qua. Tín hiệu cho phép dữ liệu DE có chu kỳ là một chu kỳ nằm ngang (1H).

Hệ thống chủ có thể là một thành phần bất kỳ trong số hệ thống tivi (TV), hộp giải mã tín hiệu, hệ thống dẫn đường, máy tính cá nhân (personal computer - PC), hệ thống rạp hát gia đình, hệ thống xe, và hệ thống thiết bị di động.

Bộ điều khiển việc định thời 130 nhận tần số khung đầu vào với i và điều khiển việc định thời việc vận hành của mạch điều vận tám nền hiển thị với tần số khung của tần số khung đầu vào $\times i$ (i là số nguyên dương lớn hơn 0) Hz. Tần số khung đầu vào là 60 Hz trong hệ NTSC (National Television Standards Committee - ủy ban tiêu chuẩn tivi quốc gia) và là 50 Hz trong hệ PAL (Phase-Alternating Line - đường thay đổi pha).

Dựa trên các tín hiệu định thời Vsync, Hsync, và DE nhận được từ hệ thống chủ, bộ điều khiển việc định thời 130 sinh ra tín hiệu điều khiển việc định thời dữ liệu để để điều khiển việc định thời việc vận hành của bộ điều vận dữ liệu 110, các tín hiệu MUX

MUX1 và MUX2 để điều khiển việc định thời việc vận hành của mảng bộ khử ồn kênh 112, và tín hiệu điều khiển việc định thời cổng để điều khiển việc định thời việc vận hành của bộ điều vận cổng 120.

Mức điện thế của tín hiệu điều khiển việc định thời cổng được đưa ra từ bộ điều khiển việc định thời 130 có thể được biến đổi thành các điện thế cổng bật VGH và VEH và các điện thế cổng tắt VGL và VEL qua bộ dịch mức (không được thể hiện) và sau đó được cấp tới bộ điều vận cổng 120. Nghĩa là, bộ dịch mức biến đổi điện thế mức thấp của tín hiệu điều khiển việc định thời cổng thành các điện thế cổng tắt VGL và VEL và biến đổi điện thế mức cao của tín hiệu điều khiển việc định thời cổng thành các điện thế cổng bật VGH và VEH. Cổng tín hiệu định thời chứa xung khởi động và nhịp đồng hồ dịch chuyển.

Đề cập đến các hình vẽ Fig.13 và Fig.14, mạch điểm ảnh theo phương án thực hiện làm ví dụ theo sáng chế này chứa phần tử phát sáng EL, phần tử điều vận DT để cấp dòng điện tới phần tử phát sáng EL, nhiều phần tử chuyển mạch như M01, M02, M03, M04, và M05 để chuyển mạch đường dòng điện được kết nối tới phần tử điều vận DT, tụ điện thứ nhất Cst để lưu giữ điện thế giữa cổng và nguồn của phần tử điều vận DT, và tụ điện thứ hai C2. Phần tử điều vận DT và các phần tử chuyển mạch M01, M02, M03, M04, và M05 có thể được áp dụng như là các TFT oxit kênh N.

Phần tử phát sáng EL phát ánh sáng nhờ dòng điện được áp dụng qua kênh của phần tử điều vận DT theo điện thế cổng-nguồn Vgs của phần tử điều vận DT thay đổi theo điện thế dữ liệu Vdata. Phần tử phát sáng EL có thể được áp dụng như là OLED chứa lớp hợp chất hữu cơ được tạo thành giữa anốt và catốt. Lớp hợp chất hữu cơ có chứa, nhưng không hạn chế ở, lớp tiêm lỗ trống (hole injection layer - HIL), lớp vận

chuyển lỗ trống (hole transport layer - HTL), lớp phát xạ ánh sáng (light emitting layer - EML), lớp vận chuyển điện tử (electron transport layer - ETL), và lớp tiêm điện tử (electron injection layer - EIL). Anốt của phần tử phát sáng EL được kết nối tới phần tử điều vận DT qua nút thứ ba n3, và catốt của phần tử phát sáng EL được kết nối tới đường công suất thứ hai 42 mà điện thế công suất thấp EVSS được áp dụng vào đó.

Điốt phát sáng hữu cơ được sử dụng như là phần tử phát sáng may có cấu trúc tiếp đôi (tandem) mà nhiều lớp phát ánh sáng được xếp chồng trong đó. Điốt phát sáng hữu cơ đang có cấu trúc tiếp đôi (tandem) có thể cải thiện độ chói và tuổi thọ của điểm ảnh.

Phần tử điều vận DT điều vận phần tử phát sáng EL bằng cách cấp dòng điện tới phần tử phát sáng EL theo điện thế cổng-nguồn Vgs. Phần tử điều vận DT chứa cổng được kết nối tới nút thứ nhất n1, điện cực thứ nhất (hoặc máng) được kết nối tới đường công suất thứ nhất, và điện cực thứ hai (hoặc nguồn) được kết nối tới nút thứ hai n2.

Phần tử chuyển mạch thứ nhất M01 được bật lên theo điện thế cổng bật của tín hiệu EM và kết nối điện cực thứ hai của phần tử điều vận DT tới anốt của phần tử phát sáng EL. Phần tử chuyển mạch thứ nhất M01 chứa cổng được kết nối tới đường công mà tín hiệu EM được áp dụng vào đó, điện cực thứ nhất được kết nối tới nút thứ hai n2, và điện cực thứ hai được kết nối tới nút thứ ba n3.

Phần tử chuyển mạch thứ hai M02 được bật lên theo điện thế cổng bật của tín hiệu quét SCAN và kết nối đường điện thế dữ liệu tới nút thứ nhất n1 để áp dụng điện thế dữ liệu. Phần tử chuyển mạch thứ hai M02 chứa cổng được kết nối tới đường công mà tín hiệu quét SCAN được áp dụng vào đó, điện cực thứ nhất được kết nối tới đường điện thế dữ liệu mà điện thế dữ liệu được áp dụng vào đó, và điện cực thứ hai được kết nối tới nút thứ nhất n1.

Phần tử chuyển mạch thứ ba M03 được bật lên theo điện thế công bật của tín hiệu cảm nhận SENSE và kết nối nút thứ hai n2 tới đường điện thế tham chiếu. Phần tử chuyển mạch thứ ba M03 chứa cổng được kết nối tới đường công mà tín hiệu cảm nhận được áp dụng vào đó, điện cực thứ nhất được kết nối tới nút thứ hai n2, và điện cực thứ hai được kết nối tới đường điện thế tham chiếu mà điện thế tham chiếu Vref được áp dụng vào đó.

Phần tử chuyển mạch thứ tư M04 áp dụng điện thế khởi tạo đáp lại tín hiệu khởi tạo thứ nhất INIT1. Trong trường hợp này, điện thế khởi tạo được áp dụng cho nút thứ nhất qua đường điện thế khởi tạo. Phần tử chuyển mạch thứ tư M04 chứa cổng mà tín hiệu khởi tạo thứ nhất INIT1 được áp dụng vào đó, điện cực thứ nhất được kết nối tới đường điện thế khởi tạo, và điện cực thứ hai được kết nối tới nút thứ nhất n1.

Phần tử chuyển mạch thứ năm M05 áp dụng điện thế anốt đáp lại tín hiệu khởi tạo thứ hai INIT2. Trong trường hợp này, điện thế anốt được áp dụng to nút thứ ba qua đường điện thế anốt. Phần tử chuyển mạch thứ năm M05 chứa cổng mà tín hiệu khởi tạo thứ hai INIT2 được áp dụng vào đó, điện cực thứ nhất được kết nối tới nút thứ ba n3, và điện cực thứ hai được kết nối tới đường điện thế anốt.

Tụ điện thứ nhất Cst được kết nối giữa nút thứ nhất n1 và nút thứ ba n3. Tụ điện thứ nhất Cst nạp điện điện thế công-nguồn Vgs của phần tử điều vận DT.

Tụ điện thứ hai C2 được kết nối giữa đường điện thế thể cao và nút thứ hai n2.

Tín hiệu công thứ nhất và tín hiệu công thứ hai mà trong đó pha của tín hiệu công thứ nhất được đảo ngược, có thể được áp dụng cho mạch điểm ảnh theo phương án thực hiện làm ví dụ. Ví dụ, tín hiệu EM (EM) được tạo thành như là tín hiệu công thứ nhất và được áp dụng cho cổng của phần tử chuyển mạch thứ nhất M01, và tín hiệu khởi tạo

thứ hai INIT2 được tạo thành như là tín hiệu cổng thứ hai và được áp dụng cho cổng của phân tử chuyển mạch thứ năm M05.

Mặc dù các phương án thực hiện theo sáng chế này đã được mô tả chi tiết với tham khảo tới các hình vẽ kèm theo, nhưng sáng chế này không bị hạn chế vào đó và có thể được áp dụng ở nhiều dạng khác nhau mà không tách khỏi nguyên lý kỹ thuật của sáng chế này. Do đó, các phương án thực hiện được bộc lộ trong sáng chế này được đề xuất chỉ nhằm mục đích minh họa và không nhằm làm hạn chế ý tưởng kỹ thuật của sáng chế này. Phạm vi của ý tưởng kỹ thuật của sáng chế không bị hạn chế vào đó. Do đó, cần hiểu rằng các phương án thực hiện nêu trên là minh họa của tất cả các khía cạnh và không làm hạn chế sáng chế này. Phạm vi bảo hộ của sáng chế nên được hiểu dựa trên các điểm yêu cầu bảo hộ sau, và toàn bộ nội dung kỹ thuật trong phạm vi tương đương của nó nên được hiểu là cũng nằm trong phạm vi của sáng chế.

YÊU CẦU BẢO HỘ

1. Bộ điều vận công, bao gồm nhiều đơn vị truyền tín hiệu được kết nối theo tầng thông qua đường mang với nó tín hiệu mang được áp dụng từ đơn vị truyền tín hiệu trước đó, trong đó đơn vị truyền tín hiệu thứ n bao gồm:

đơn vị đưa ra thứ nhất được đặt cấu hình để đưa ra tín hiệu công thứ nhất tới nút đầu ra thứ nhất theo các điện thế của nút điều khiển thứ nhất được đặt cấu hình để kéo lên điện thế đầu ra và nút điều khiển thứ hai được đặt cấu hình để kéo xuống điện thế đầu ra; và

đơn vị đưa ra thứ hai được đặt cấu hình để đưa ra tín hiệu công thứ hai mà trong đó pha của tín hiệu công thứ nhất được nghịch đảo cho nút đưa ra thứ hai,

trong đó đơn vị đưa ra thứ hai bao gồm:

tranzito kéo lên thứ nhất được đặt cấu hình để đưa ra điện thế thể cao tới nút đưa ra thứ hai theo điện thế của nút điều khiển thứ hai của đơn vị truyền tín hiệu thứ $(n-i)$; và

tranzito kéo xuống thứ nhất được đặt cấu hình để đưa ra điện thế thể thấp thứ nhất tới nút đưa ra thứ hai theo điện thế của nút điều khiển thứ nhất của đơn vị truyền tín hiệu thứ $(n+j)$,

trong đó n là số nguyên dương, i là số nguyên dương nhỏ hơn n , và j là số tự nhiên lớn hơn n .

2. Bộ điều vận công theo điểm 1, trong đó đơn vị đưa ra thứ nhất bao gồm:

tranzito kéo lên thứ hai được đặt cấu hình để đưa ra điện thế thể cao tới nút đầu ra thứ nhất theo điện thế của nút điều khiển thứ nhất của đơn vị truyền tín hiệu thứ n ; và

tranzito kéo xuống thứ hai được đặt cấu hình để đưa ra điện thế thấp thứ nhất tới nút đầu ra thứ nhất theo điện thế của nút điều khiển thứ hai của đơn vị truyền tín hiệu thứ n .

3. Bộ điều vận công theo điểm 1, còn bao gồm:

phần tử chuyển mạch thứ nhất được kết nối giữa nút thứ nhất được kết nối tới cổng của tranzito kéo xuống thứ nhất và nút điều khiển thứ nhất của đơn vị truyền tín hiệu thứ $(n+j)$; và

phần tử chuyển mạch thứ hai được kết nối giữa nút thứ nhất và điện thế thấp thứ hai và đang có cổng được kết nối tới nút điều khiển thứ hai của đơn vị truyền tín hiệu thứ $(n-i)$.

4. Bộ điều vận công theo điểm 3, trong đó tranzito kéo lên thứ nhất được bật lên khi điện thế cao được áp dụng vào nút điều khiển thứ hai của đơn vị truyền tín hiệu thứ $(n-i)$, và phần tử chuyển mạch thứ hai được bật lên để tắt tranzito kéo xuống thứ nhất.

5. Bộ điều vận công theo điểm 3, trong đó tranzito kéo lên thứ nhất được tắt khi điện thế thấp được áp dụng cho nút điều khiển thứ hai của đơn vị truyền tín hiệu thứ $(n-i)$, và phần tử chuyển mạch thứ hai được tắt để bật tranzito kéo xuống thứ nhất.

6. Bộ điều vận công theo điểm 5, trong đó phần tử chuyển mạch thứ nhất được bật lên khi điện thế cao được áp dụng cho nút điều khiển thứ nhất của đơn vị truyền tín hiệu thứ $(n+j)$, và phần tử chuyển mạch thứ hai được tắt để bật tranzito kéo xuống thứ nhất.

7. Bộ điều vận công theo điểm 3, trong đó phần mà xung của điện thế cao của tín hiệu cổng thứ hai được áp dụng vào đó được tạo thành là $1H$ hoặc dài hơn nữa so với phần mà xung của điện thế thấp của tín hiệu cổng thứ nhất được áp dụng vào đó.

8. Bộ điều vận công theo điểm 7, trong đó phần mà xung của điện thế cao của tín hiệu công thứ hai được áp dụng vào đó được tạo thành là 1H hoặc dài hơn nữa dựa trên ít nhất là một sườn trong số sườn lên và sườn xuống của phần mà xung của điện thế thấp của tín hiệu công thứ nhất được áp dụng vào đó.

9. Bộ điều vận công theo điểm 1, trong đó đơn vị truyền tín hiệu thứ n còn bao gồm:

đơn vị mạch thứ nhất được đặt cấu hình để nạp điện nút điều khiển thứ nhất bằng cách nhận tín hiệu mang từ đơn vị truyền tín hiệu trước đó;

đơn vị mạch thứ hai chứa mạch nghịch đảo được đặt cấu hình để xả nút điều khiển thứ hai theo điện thế của nút điều khiển thứ nhất; và

đơn vị mạch thứ ba được đặt cấu hình để đưa ra tín hiệu mang tới nút đầu ra thứ ba theo các điện thế của nút điều khiển thứ nhất và nút điều khiển thứ hai.

10. Tấm nền hiển thị, bao gồm:

bộ điều vận dữ liệu được đặt cấu hình để đưa ra điện thế dữ liệu;

bộ điều vận công chứa nhiều đơn vị truyền tín hiệu được kết nối theo tầng thông qua đường mang mà tín hiệu mang được áp dụng vào đó, từ đơn vị truyền tín hiệu trước đó,

trong đó đơn vị truyền tín hiệu thứ n bao gồm:

đơn vị đưa ra thứ nhất được đặt cấu hình để đưa ra tín hiệu công thứ nhất tới nút đầu ra thứ nhất theo các điện thế của nút điều khiển thứ nhất được đặt cấu hình để kéo lên điện thế đầu ra và nút điều khiển thứ hai được đặt cấu hình để kéo xuống điện thế đầu ra và đơn vị đưa ra thứ hai được đặt cấu hình để đưa ra tín hiệu công thứ hai mà trong đó pha của tín hiệu công thứ nhất được nghịch đảo cho nút đưa ra thứ hai; và

nhiều mạch điểm ảnh được đặt cấu hình để tái lập hình ảnh đầu vào bằng cách nhận điện thế dữ liệu, tín hiệu cổng thứ nhất, và tín hiệu cổng thứ hai,

trong đó đơn vị đưa ra thứ hai bao gồm:

tranzito kéo lên thứ nhất được đặt cấu hình để đưa ra điện thế cao tới nút đưa ra thứ hai theo điện thế của nút điều khiển thứ hai của đơn vị truyền tín hiệu thứ $(n-i)$; và

tranzito kéo xuống thứ nhất được đặt cấu hình để đưa ra điện thế thấp thứ nhất tới nút đưa ra thứ hai theo điện thế của nút điều khiển thứ nhất của đơn vị truyền tín hiệu thứ $(n+j)$,

trong đó n là số nguyên dương, i là số nguyên dương nhỏ hơn n và j là số tự nhiên lớn hơn n .

11. Tấm nền hiển thị theo điểm 10, trong đó đơn vị đưa ra thứ nhất bao gồm:

tranzito kéo lên thứ hai được đặt cấu hình để đưa ra điện thế cao tới nút đầu ra thứ nhất theo điện thế của nút điều khiển thứ nhất của đơn vị truyền tín hiệu thứ n ; và

tranzito kéo xuống thứ hai được đặt cấu hình để đưa ra điện thế thấp thứ nhất tới nút đầu ra thứ nhất theo điện thế của nút điều khiển thứ hai của đơn vị truyền tín hiệu thứ n .

12. Tấm nền hiển thị theo điểm 10, còn bao gồm:

phần tử chuyển mạch thứ nhất được kết nối giữa nút thứ nhất được kết nối tới cổng của tranzito kéo xuống thứ nhất và nút điều khiển thứ nhất của đơn vị truyền tín hiệu thứ $(n+j)$; và

phần tử chuyển mạch thứ hai được kết nối giữa nút thứ nhất và điện thế thấp thứ hai và đang có cổng được kết nối tới nút điều khiển thứ hai của đơn vị truyền tín hiệu thứ $(n-i)$.

13. Tấm nền hiển thị theo điểm 12, trong đó tranzito kéo lên thứ nhất được bật lên khi điện thế cao được áp dụng vào nút điều khiển thứ hai của đơn vị truyền tín hiệu thứ $(n-i)$, và phần tử chuyển mạch thứ hai được bật lên để tắt tranzito kéo xuống thứ nhất.

14. Tấm nền hiển thị theo điểm 12, trong đó tranzito kéo lên thứ nhất được tắt khi điện thế thấp được áp dụng cho nút điều khiển thứ hai của đơn vị truyền tín hiệu thứ $(n-i)$, và phần tử chuyển mạch thứ hai được tắt để bật tranzito kéo xuống thứ nhất.

15. Tấm nền hiển thị theo điểm 14, trong đó phần tử chuyển mạch thứ nhất được bật lên khi điện thế cao được áp dụng cho nút điều khiển thứ nhất của đơn vị truyền tín hiệu thứ $(n+j)$, và phần tử chuyển mạch thứ hai được tắt để bật tranzito kéo xuống thứ nhất.

16. Tấm nền hiển thị theo điểm 10, trong đó phần mà xung của điện thế cao của tín hiệu cổng thứ hai được áp dụng vào đó được tạo thành là 1H hoặc dài hơn nữa so với phần mà xung của điện thế thấp của tín hiệu cổng thứ nhất được áp dụng vào đó.

17. Tấm nền hiển thị theo điểm 16, trong đó phần mà xung của điện thế cao của tín hiệu cổng thứ hai được áp dụng vào đó được tạo thành là 1H hoặc dài hơn nữa dựa trên ít nhất là một sườn trong số sườn lên và sườn xuống của phần mà xung của điện thế thấp của tín hiệu cổng thứ nhất được áp dụng vào đó.

18. Tấm nền hiển thị theo điểm 10, trong đó đơn vị truyền tín hiệu thứ n còn bao gồm:

đơn vị mạch thứ nhất được đặt cấu hình để nạp điện nút điều khiển thứ nhất bằng cách nhận tín hiệu mang từ đơn vị truyền tín hiệu trước đó;

đơn vị mạch thứ hai chứa mạch nghịch đảo được đặt cấu hình để xả nút điều khiển thứ hai theo điện thế của nút điều khiển thứ nhất; và

đơn vị mạch thứ ba được đặt cấu hình để đưa ra tín hiệu mang tới nút đầu ra thứ ba theo các điện thế của nút điều khiển thứ nhất và nút điều khiển thứ hai.

19. Tấm nền hiển thị theo điểm 10, trong đó tất cả các tranzito trong tấm nền chứa bộ điều vận dữ liệu, bộ điều vận công, và các mạch điểm ảnh được áp dụng với các tranzito màng mỏng (thin film transistor - TFT) oxit chứa bán dẫn oxit loại kênh n.

20. Tấm nền hiển thị theo điểm 10, trong đó mỗi mạch điểm ảnh chứa:

phần tử phát sáng;

phần tử điều vận để cấp dòng điện tới phần tử phát sáng EL;

nhiều phần tử chuyển mạch để chuyển mạch đường dòng điện được kết nối tới phần tử điều vận;

tụ điện thứ nhất để lưu giữ điện thế giữa công và nguồn của phần tử điều vận, và

tụ điện thứ hai.

FIG. 1

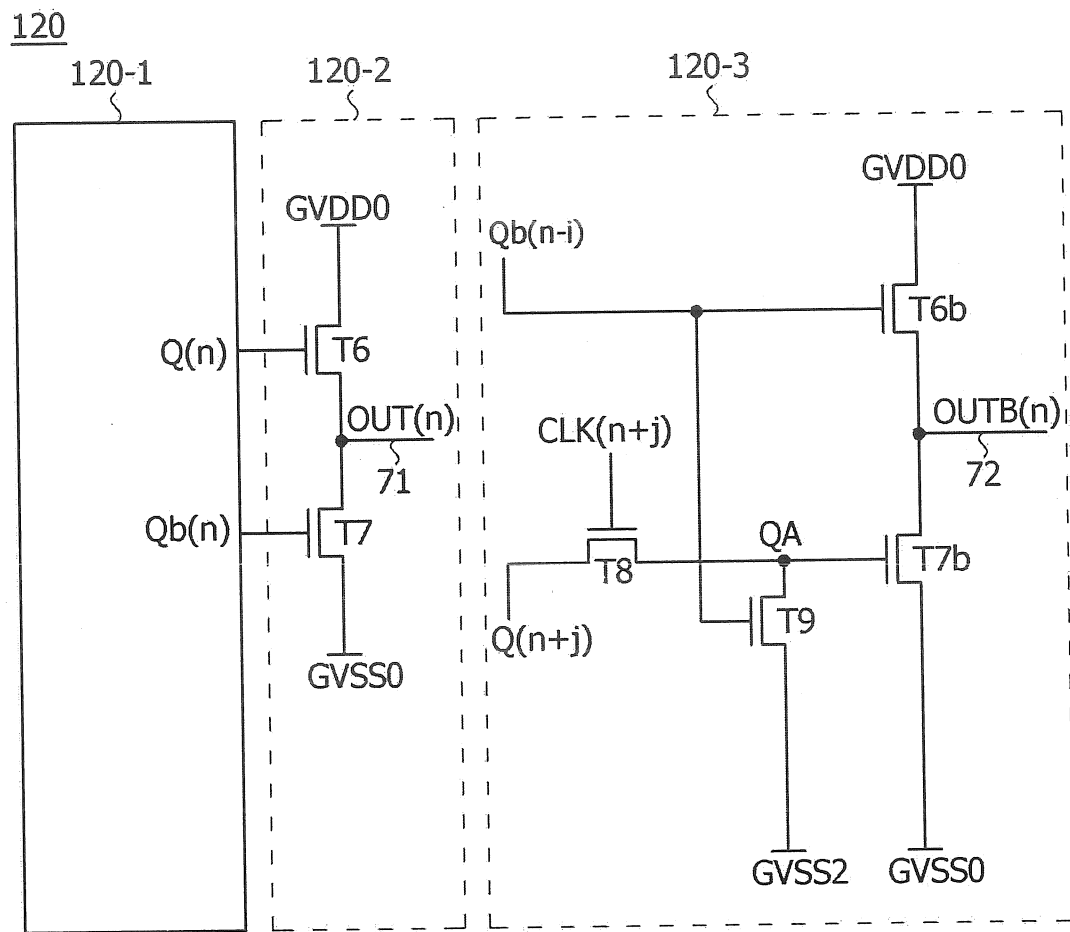


FIG. 2

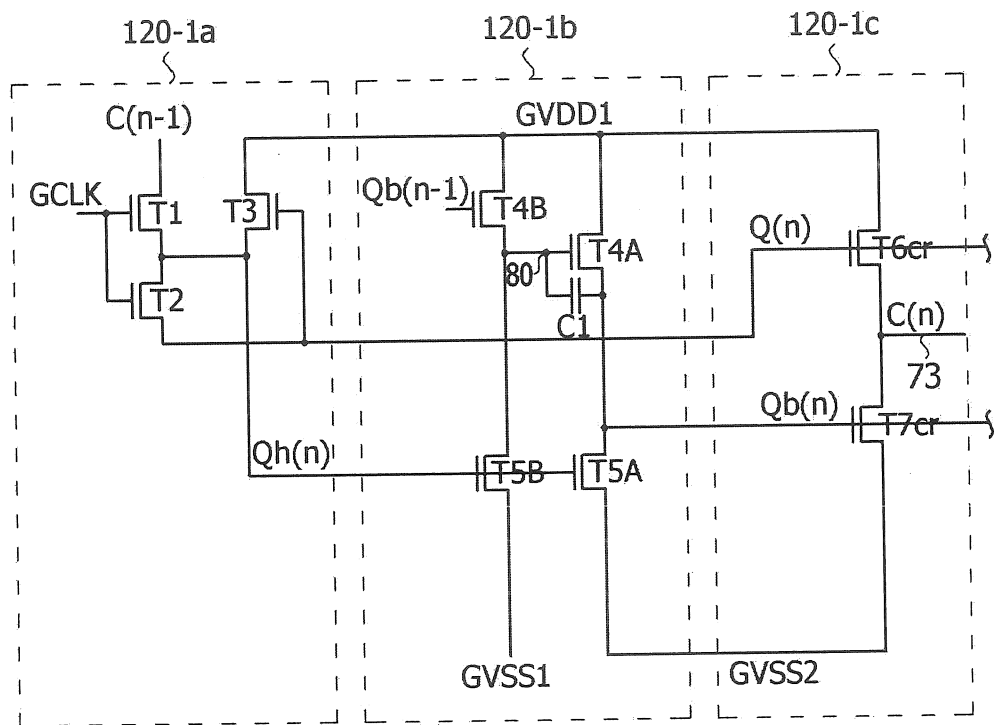
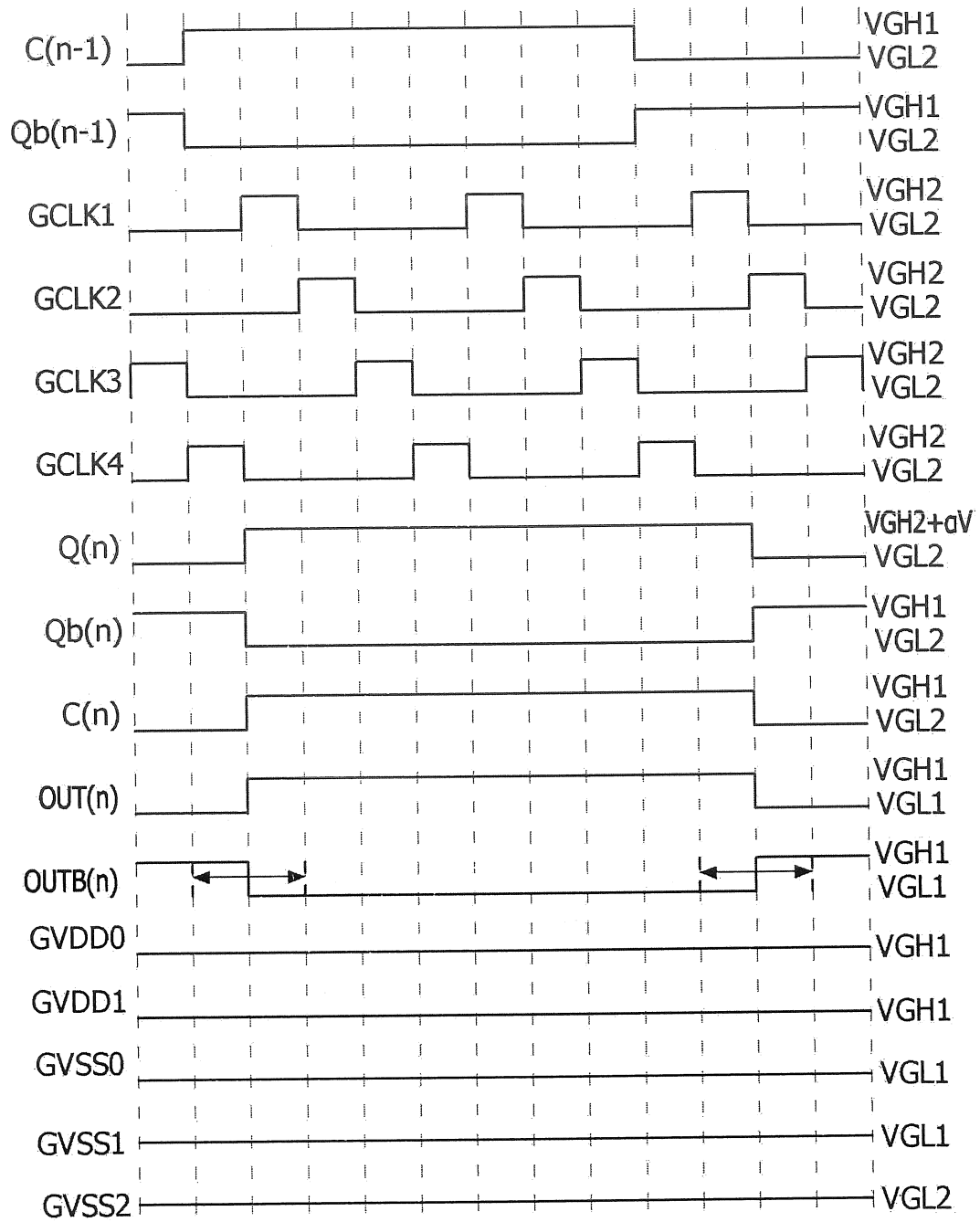
120-1

FIG. 3



Tham chiếu 4 pha

$VGH1 > VGH2$

$VGL1 > VGL2$

$\alpha > 0$

FIG. 4

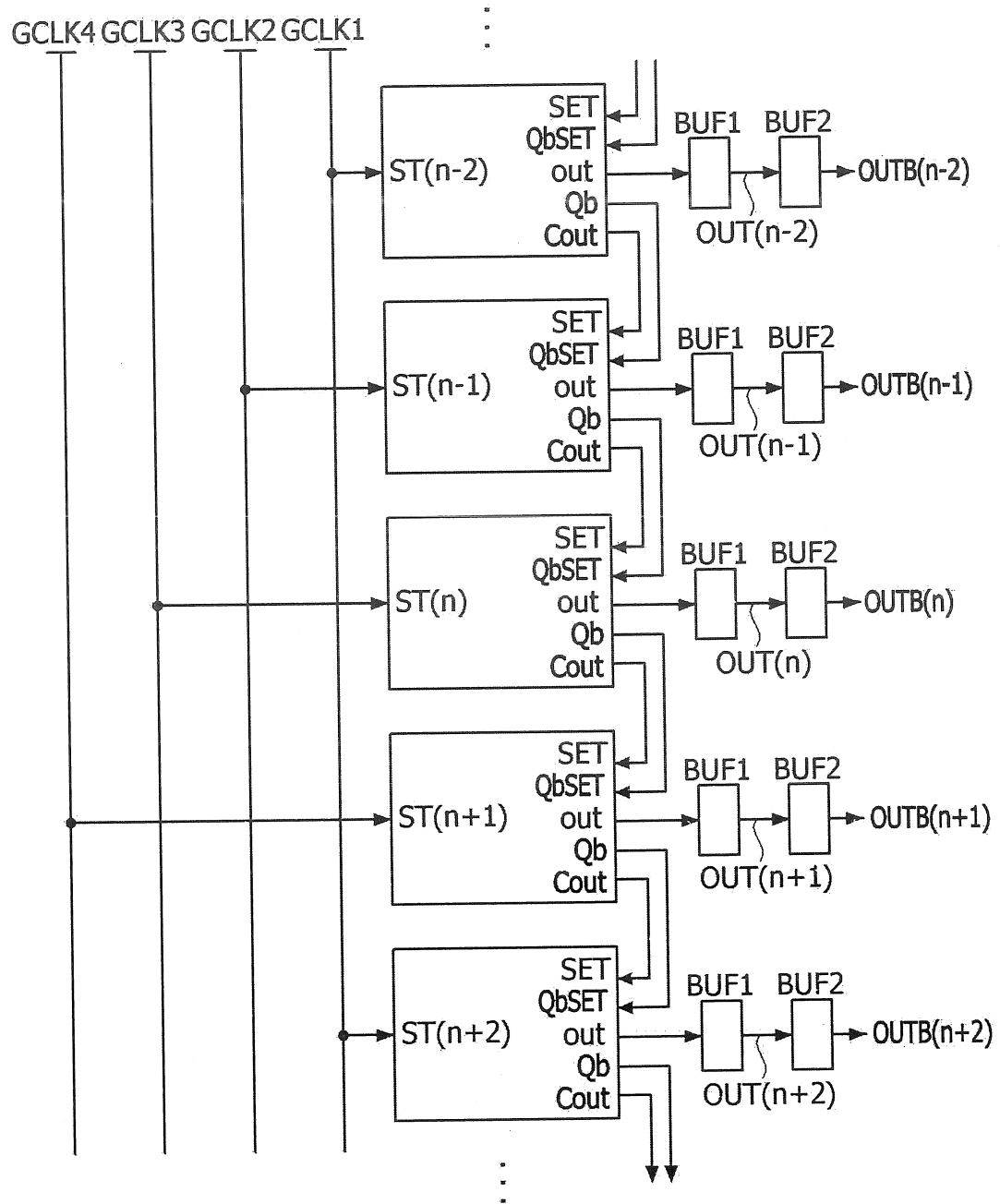


FIG. 5

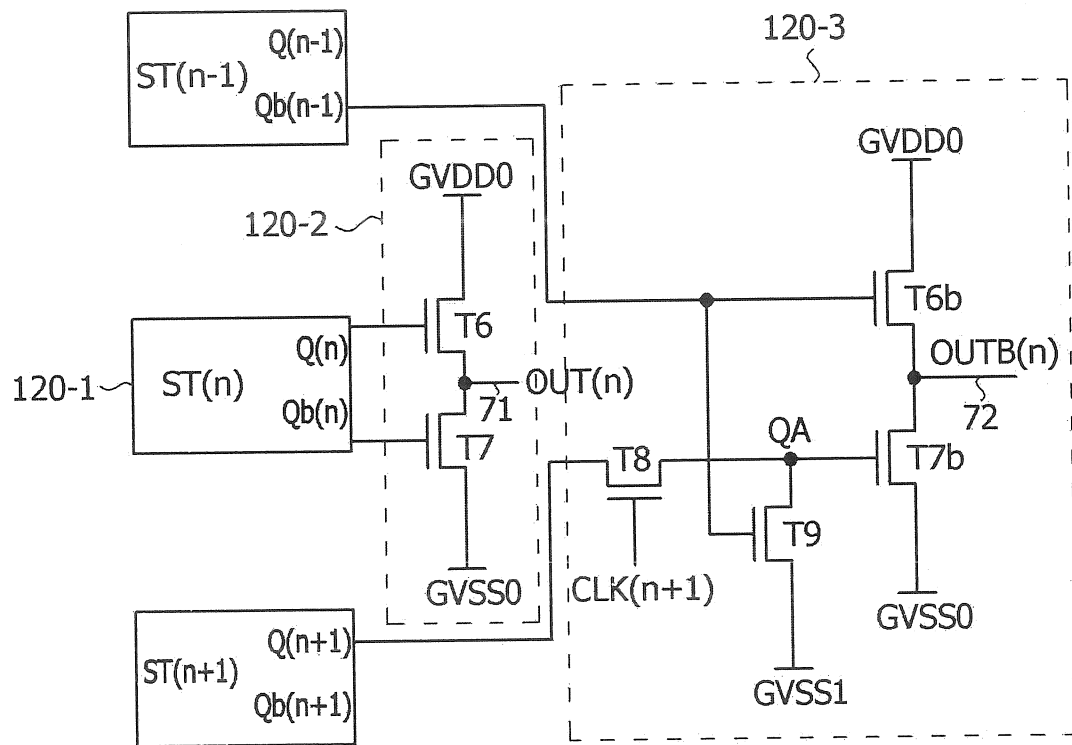


FIG. 6

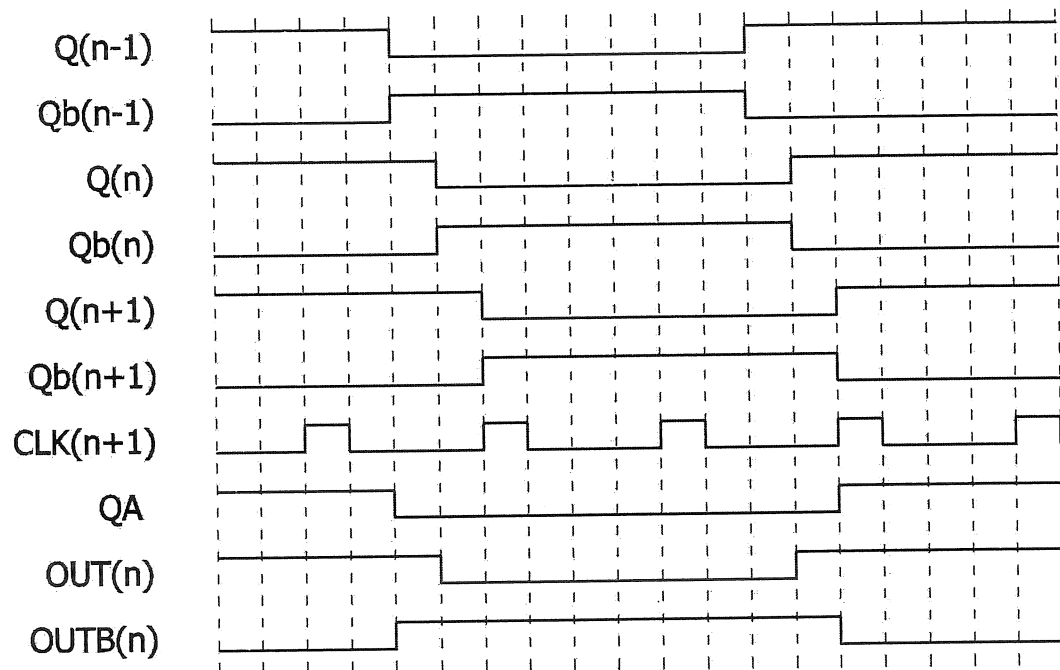


FIG. 7

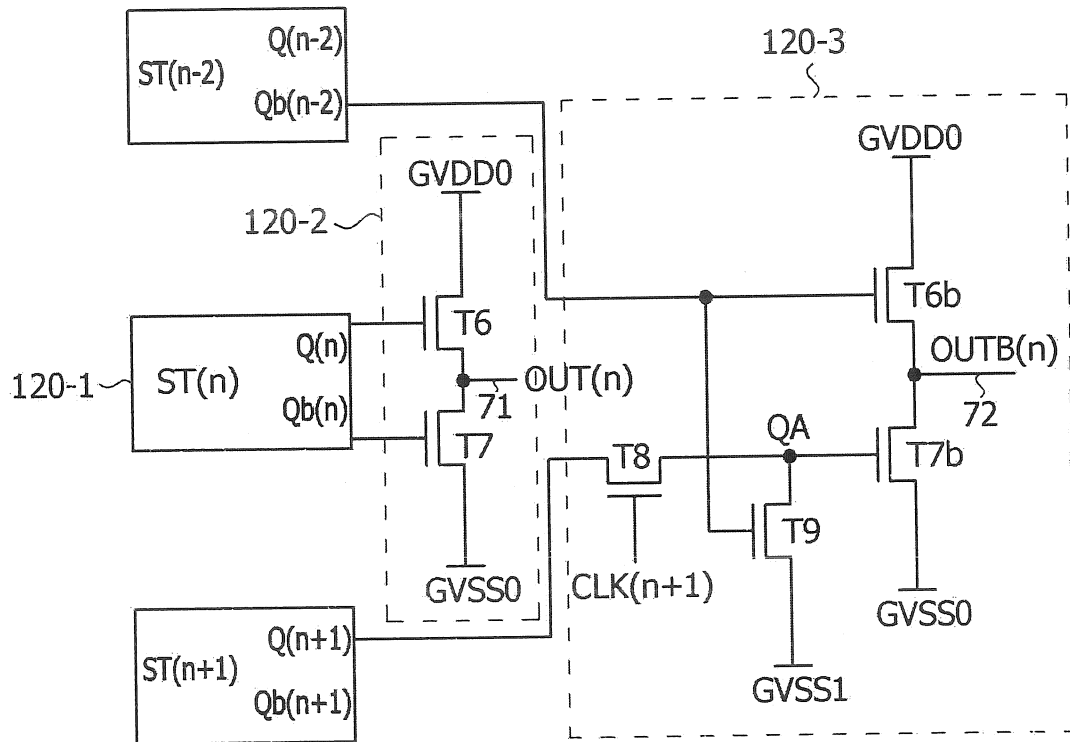


FIG. 8

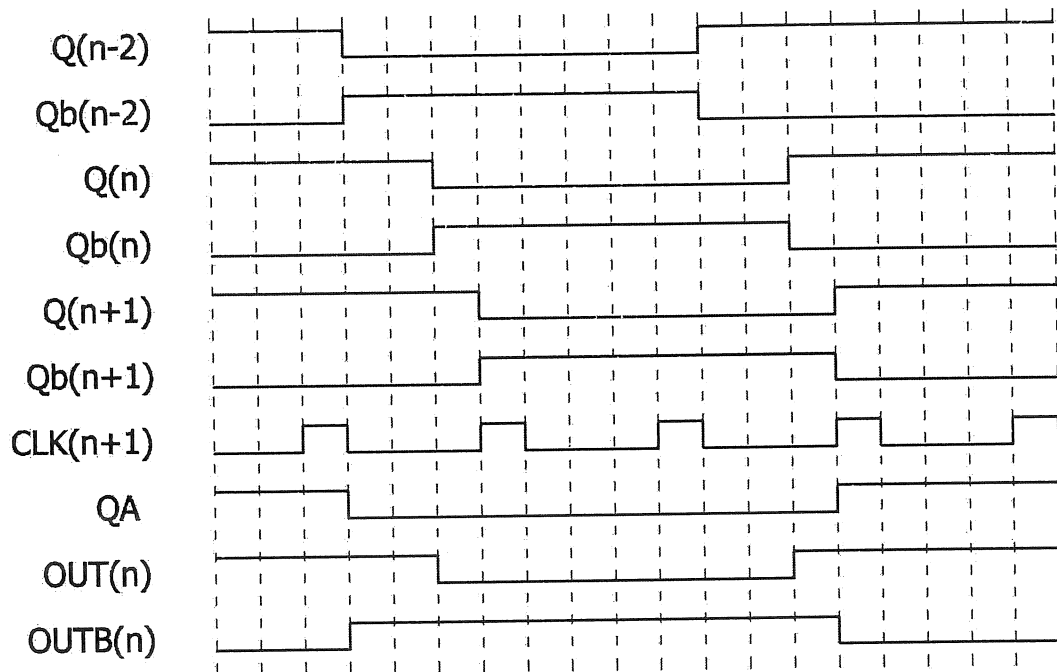


FIG. 9

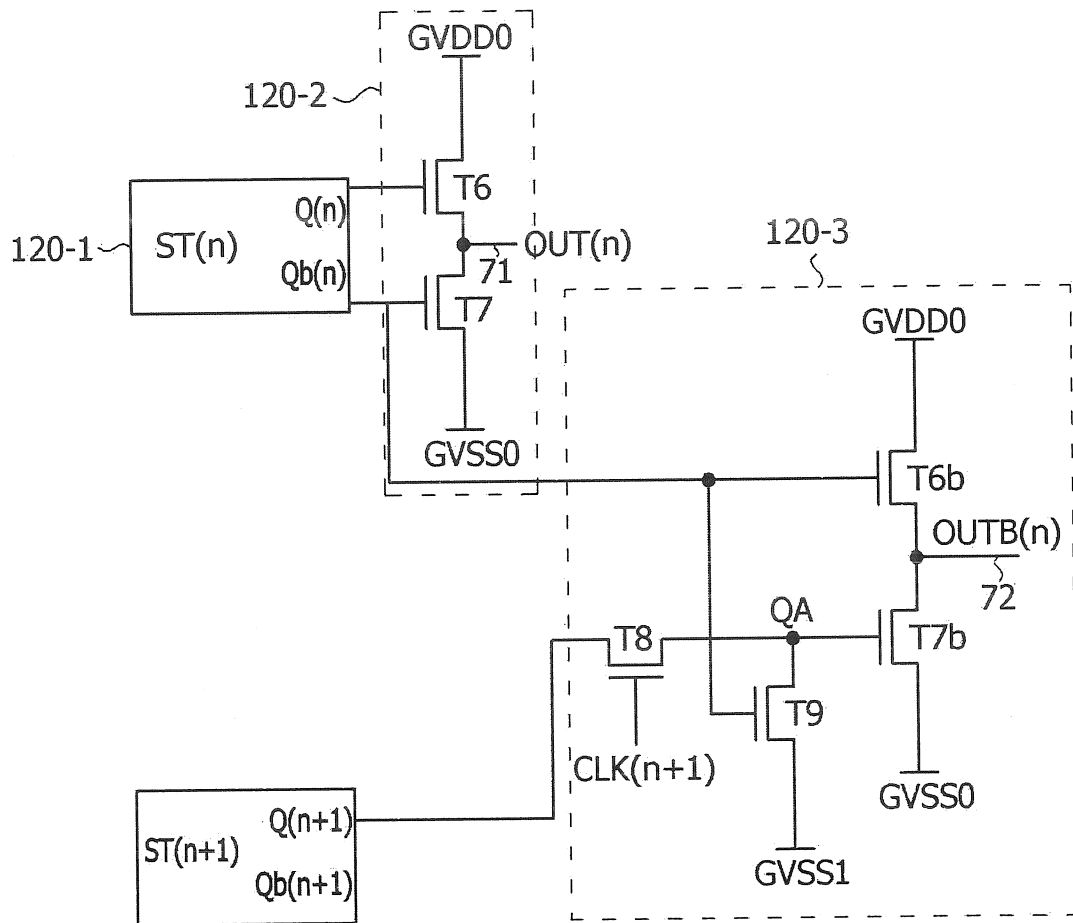


FIG. 10

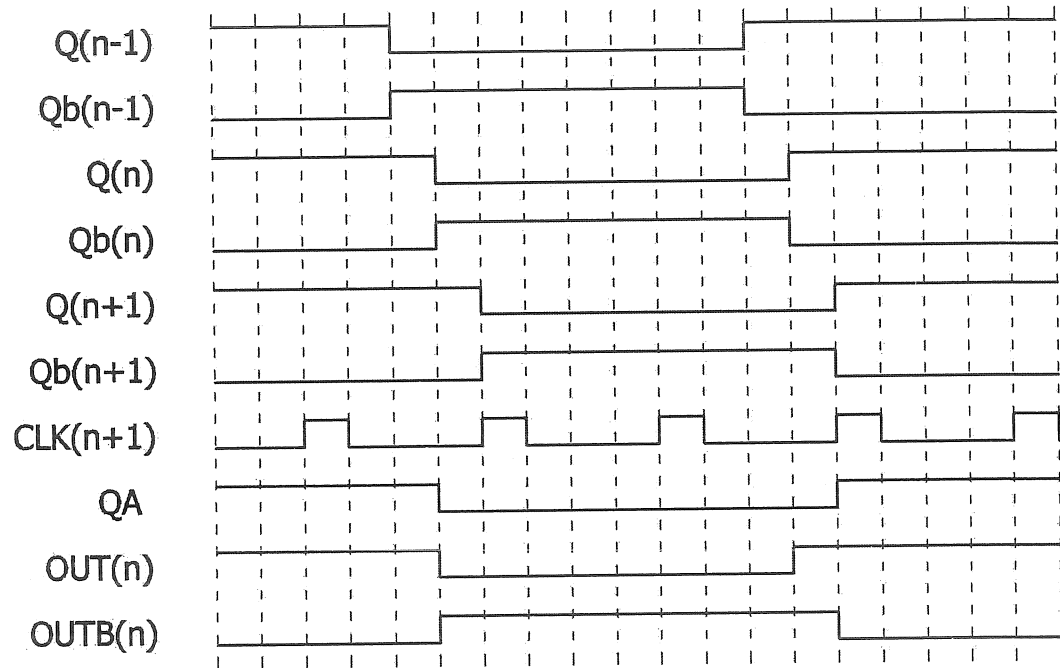


FIG. 11

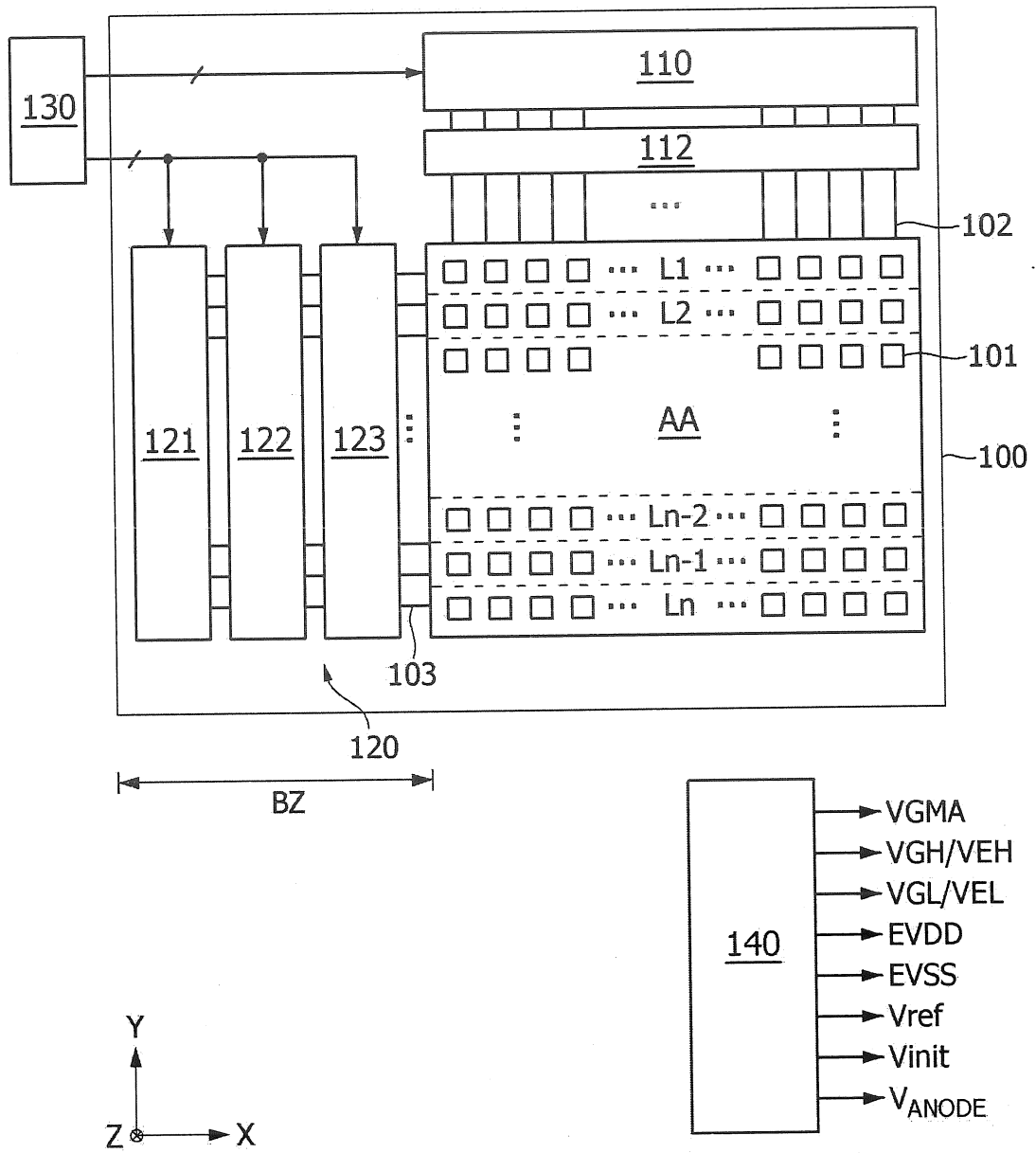


FIG. 12

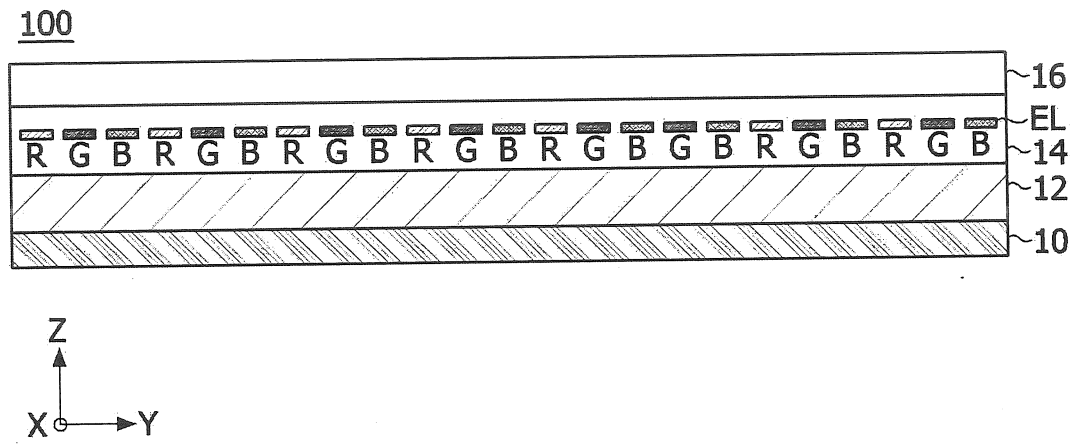


FIG. 13

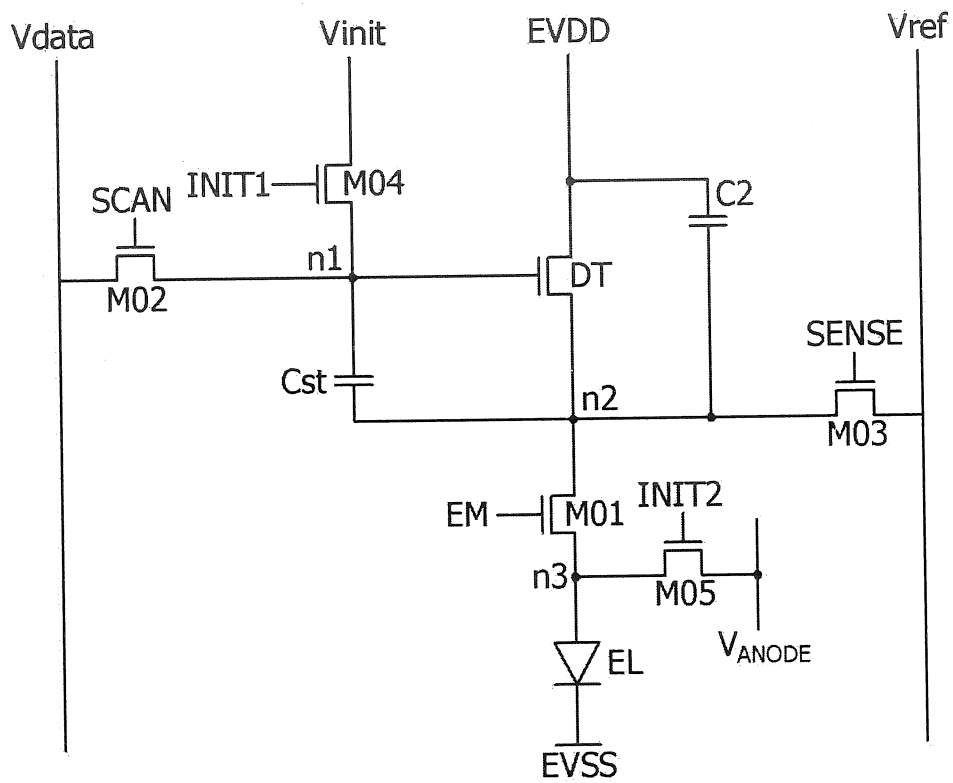


FIG. 14

