



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN) (11)
CỤC SỞ HỮU TRÍ TUỆ



1-0053912

(51)^{2022.01} **H03K 17/06**; H03K 19/00; H03K 17/14; (13) **B**
G06F 1/3287

(21) 1-2023-01354

(22) 02/09/2021

(86) PCT/US2021/048867 02/09/2021

(87) WO 2022/055787 A1 17/03/2022

(30) 17/015,486 09/09/2020 US

(45) 25/11/2025 452

(43) 26/06/2023 423A

(73) QUALCOMM INCORPORATED (US)

ATTN: International IP Administration, 5775 Morehouse Drive, San Diego, CA
92121-1714, United States of America

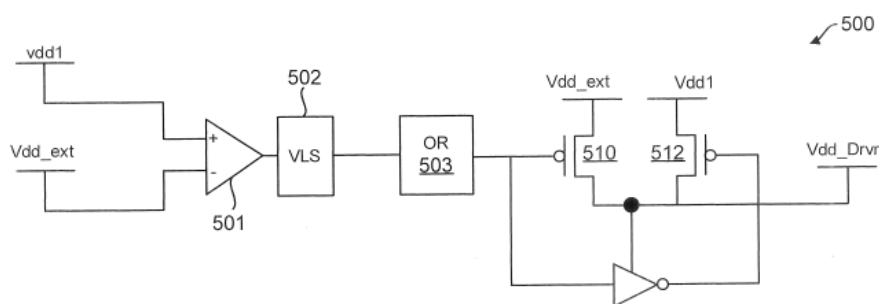
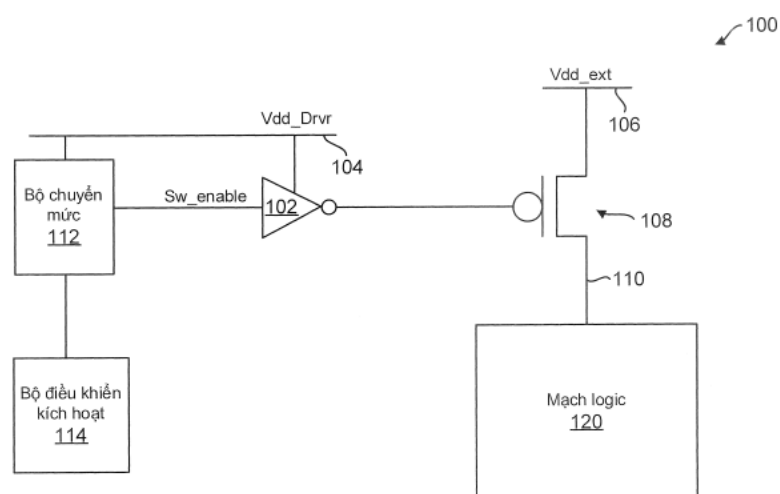
(72) SAMSON, Giby (IN); VANG, Foua (LA); VILANGUDIPITCHAI, Ramaprasath
(IN); KANG, Seung Hyuk (US); BOYNAPALLI, Venugopal (US).

(74) Công ty TNHH Quốc tế D & N (D&N INTERNATIONAL CO.,LTD.)

(54) MẠCH, HỆ THỐNG VÀ PHƯƠNG PHÁP LÀM GIẢM RÒ RỈ CHO CÁC MIỀN
ĐƯỢC KIỂM SOÁT ĐIỆN

(21) 1-2023-01354

(57) Sáng chế đề cập đến mạch, hệ thống và phương pháp làm giảm rò rỉ cho các miền được kiểm soát điện. Hệ thống bao gồm: nguồn điện thứ nhất; nguồn điện thứ hai; công tắc đầu được đặt ở giữa nguồn điện thứ nhất và mạch logic; bộ điều khiển kích hoạt ghép nối nguồn điện thứ hai với đầu cuối điều khiển công tắc đầu; và bộ tạo điện áp có thể vận hành để điều chỉnh điện áp điều khiển từ nguồn điện thứ hai đến đầu cuối điều khiển công tắc đầu khi mức điện áp thứ nhất của nguồn điện thứ nhất vượt quá mức điện áp tham chiếu.



Lĩnh vực kỹ thuật được đề cập

Nói chung, sáng chế đề cập đến các miền được kiểm soát điện (power gated) và cụ thể hơn là việc giảm rò rỉ trong các công tắc kiểm soát điện.

Tình trạng kỹ thuật của sáng chế

Thiết bị điện toán thông thường (ví dụ như điện thoại thông minh, máy tính bảng, v.v.) có thể bao gồm một hệ thống trên chip (system on chip - SOC), có bộ xử lý và các mạch vận hành khác. SOC này có thể nhận điện từ pin, và do đó các thiết kế thông thường có thể cân bằng mức sử dụng điện và hiệu suất của SOC nhằm mang lại trải nghiệm mong muốn cho người dùng, đồng thời yêu cầu sạc pin ít nhất có thể.

Kiểm soát điện (power gating) là kỹ thuật có thể được dùng để tiết kiệm điện trong một số trường hợp. Một số hệ thống có thể sử dụng kỹ thuật kiểm soát điện nhằm tiết kiệm điện bằng cách cho phép ngắt điện trên một số bộ phận của lõi xử lý (sử dụng bộ ghép điện thứ nhất và miền điện năng thứ nhất), đồng thời cung cấp điện đến các bộ phận khác của lõi xử lý (bằng bộ ghép điện thứ hai và miền điện năng thứ hai). Một số hệ thống thông thường có thể sử dụng kỹ thuật kiểm soát điện bằng một cách khác là chuyển từ nguồn điện thứ nhất sang nguồn điện thứ hai để cấp điện cho bộ nhớ của đơn vị xử lý trung tâm (central processing unit - CPU) rồi điều chỉnh nguồn điện thứ hai để ép xung (overdrive) bộ nhớ CPU này. Kỹ thuật này có thể tiết kiệm điện bằng cách cho phép SOC tăng điện áp có chọn lọc tại một số thành phần, mà không tăng điện áp tại các thành phần khác. Đương nhiên, kỹ thuật kiểm soát điện cũng có thể bao gồm việc đơn giản là ngắt điện tại một hoặc nhiều thành phần không sử dụng rồi cấp điện lại vào lúc khác.

Một số mạch kiểm soát điện có thể sử dụng công tắc đầu (headswitch) hoặc công tắc chân (foot switch), mỗi công tắc có một tranzito (transistor). Tranzito có thể được tắt để ngắt điện ở phần tương ứng trong lõi xử lý hoặc logic xử lý khác. Tuy nhiên, dù tranzito tắt thì vẫn có thể có dòng rò. Ví dụ, với công tắc đầu dạng Bán dẫn oxit kim loại kênh P (P-channel Metal Oxide Semiconductor - PMOS), tranzito sẽ tắt khi điện áp cực cổng-cực nguồn lớn hơn hoặc bằng không. Trên thực tế, công tắc đầu PMOS không phải

là công tắc lý tưởng, và dòng rò có thể chạy qua dù ở trạng thái tắt. Sự rò rỉ này có thể coi là điện được lấy từ nguồn điện luôn bật, do đó dẫn đến việc giảm tuổi thọ pin. Theo đó, cần có các mạch và kỹ thuật làm giảm rò rỉ.

Bản chất kỹ thuật của sáng chế

Các phương án triển khai khác nhau đề xuất các mạch và kỹ thuật để làm giảm rò rỉ trong công tắc kiểm soát điện. Trong một phương án triển khai ví dụ, công tắc đầu PMOS được giữ ở trạng thái siêu ngắt khi tắt. Trạng thái siêu ngắt có thể bao gồm cung cấp điện áp cực cổng-cực nguồn dương đến tranzito, ít nhất là trong một số khoảng điện áp. Hơn nữa, trong ví dụ này, khi điện áp cực nguồn vượt quá ngưỡng, hệ thống có thể điều chỉnh điện áp cực cổng-cực nguồn cho gần bằng không, sao cho tranzito được giữ ở trạng thái tắt, mặc dù không phải là siêu ngắt.

Theo một phương án triển khai, hệ thống bao gồm: nguồn điện thứ nhất; nguồn điện thứ hai; công tắc đầu được đặt ở giữa nguồn điện thứ nhất và mạch logic; bộ điều khiển kích hoạt ghép nối nguồn điện thứ hai với đầu cuối điều khiển công tắc đầu; và bộ tạo điện áp có thể vận hành để điều chỉnh điện áp điều khiển từ nguồn điện thứ hai đến đầu cuối điều khiển công tắc đầu khi mức điện áp thứ nhất của nguồn điện thứ nhất vượt quá mức điện áp tham chiếu.

Theo một phương án triển khai khác, phương pháp bao gồm: kích hoạt công tắc đầu để dẫn dòng điện từ nguồn điện thứ nhất đến mạch logic; và ngắt dòng điện đó bằng cách hủy kích hoạt công tắc đầu, bao gồm: chọn mức điện áp thứ nhất trong số mức điện áp thứ nhất và mức điện áp thứ hai, sau khi so sánh mức điện áp thứ nhất và mức điện áp thứ hai; và áp dụng mức điện áp thứ nhất từ nguồn điện thứ hai đến cực cổng của công tắc đầu.

Theo một phương án triển khai khác, mạch bao gồm: ray điện thứ nhất được ghép nối với nguồn điện thứ nhất; ray điện thứ hai được ghép nối với nguồn điện thứ hai; công tắc kiểm soát điện được ghép nối giữa ray điện thứ nhất và một phần của mạch logic của đơn vị xử lý trung tâm (central processing unit - CPU); và phương tiện để lựa chọn điện áp điều khiển từ ray điện thứ hai đến đầu cuối điều khiển công tắc kiểm soát điện khi mức điện áp thứ nhất của nguồn điện thứ nhất nằm dưới mức điện áp tham chiếu.

Mô tả vắn tắt các hình vẽ

Fig.1 là sơ đồ đơn giản hóa minh họa hệ thống ví dụ cho mạch logic kiểm soát điện, theo một phương án triển khai.

Fig.2 là biểu đồ thể hiện mối quan hệ ví dụ giữa dòng điện cực máng của công tắc đầu và điện áp cực cổng của công tắc đầu của Fig.1, theo một phương án triển khai.

Fig.3 là biểu đồ thể hiện mối quan hệ ví dụ giữa điện áp cực cổng và điện áp cực nguồn, theo phương án triển khai của Fig.2

Fig.4 minh họa các mức điện áp khác nhau dùng trong phương án triển khai của Fig.1

Fig.5 minh họa bộ tạo điện áp ví dụ, được điều chỉnh theo một phương án triển khai.

Fig.6 là sơ đồ đơn giản hóa, thể hiện hệ thống của Fig.1 có thể được lặp lại để ngắt điện trên nhiều phần của mạch logic, theo một phương án triển khai.

Fig.7 minh họa mạch điện áp tham chiếu để tạo ra điện áp tham chiếu, theo một phương án triển khai.

Fig.8 minh họa phương pháp ghép điện giữa nhiều nguồn điện, theo một phương án triển khai.

Mô tả chi tiết sáng chế

Nhiều phương án triển khai khác nhau được cung cấp trong tài liệu này bao gồm hệ thống và phương pháp để kiểm soát điện cho mạch logic với mức rò rỉ được giảm so với các phương án triển khai khác. Một ví dụ bao gồm nguồn điện thứ nhất, được ghép nối với cực nguồn của một tranzito (transistor). Nguồn điện thứ hai được ghép nối với đầu cuối điều khiển (ví dụ, cực cổng) của tranzito. Bản thân tranzito có thể bao gồm công tắc đầu và được đặt giữa nguồn điện thứ nhất và mạch logic (ví dụ, cực máng của tranzito có thể được ghép nối với mạch logic). Bộ điều khiển kích hoạt, ví dụ như bộ đếm có công đảo, có thể ghép nối nguồn điện thứ hai với cực cổng của tranzito.

Tiếp tục với ví dụ nói trên, hệ thống có thể còn bao gồm bộ tạo điện áp có thể vận hành để điều chỉnh điện áp điều khiển từ nguồn điện thứ hai đến đầu cuối điều khiển tranzito. Bộ tạo điện áp điều chỉnh điện áp điều khiển khi mức điện áp của nguồn điện thứ nhất vượt quá mức điện áp tham chiếu. Mức điện áp tham chiếu có thể được đặt ở

bất kỳ giá trị phù hợp nào, có thể được chọn bằng cách thử sai, mô phỏng hoặc phương pháp tương tự. Trong phương án triển khai ví dụ này, mức điện áp tham chiếu được đặt sao cho mức điện áp điều khiển làm giảm hoặc tránh được rò rỉ cực máng gây ra bởi cực cổng (gate induced drain leakage- GIDL).

Do đó, trong ví dụ này, tranzito khi tắt có thể được giữ ở trạng thái siêu ngắt, trong đó điện áp cực cổng cao hơn điện áp cực nguồn. Tuy nhiên, tranzito có thể có phạm vi hoạt động mà trong đó điện áp cực cổng-cực nguồn dương đạt được vượt trên một mức điện áp cực cổng cụ thể có thể làm tăng rò rỉ trong thực tế thay vì làm giảm rò rỉ. Hiện tượng rò rỉ tăng lên như vậy gọi là GIDL. Việc duy trì điện áp cực cổng-cực nguồn dương khi tranzito đang tắt có thể không hiệu quả nếu điện áp cực nguồn thay đổi và có thể đạt đến mức mà khiến cho điện áp cực cổng gây ra GIDL.

Trong một ví dụ, hệ thống và phương pháp được đề xuất làm giảm hoặc loại bỏ GIDL bằng cách cung cấp bộ tạo điện áp điều chỉnh điện áp điều khiển từ nguồn điện thứ hai đến cực cổng của tranzito. Khi điện áp cực nguồn từ nguồn điện thứ nhất vượt quá mức điện áp tham chiếu, bộ tạo điện áp có thể điều chỉnh điện áp điều khiển từ nguồn điện thứ hai cho gần bằng điện áp cực nguồn.

Nói cách khác, khi điện áp cực nguồn từ nguồn điện thứ nhất vượt quá mức điện áp tham chiếu, bộ tạo điện áp có thể điều chỉnh điện áp điều khiển sao cho điện áp cực cổng-cực nguồn bằng không hoặc gần bằng không. Như đã thảo luận ở trên, điện áp cực cổng-cực nguồn bằng không vẫn có thể dẫn đến rò rỉ, nhưng hệ thống có thể được thiết kế sao cho mức độ rò rỉ do điện áp cực cổng-cực nguồn bằng không sẽ nhỏ hơn mức độ rò rỉ có thể xảy ra do GIDL.

Trong một ví dụ, bộ tạo điện áp bao gồm bộ so sánh có đầu vào thứ nhất được ghép nối với nguồn điện thứ nhất và đầu vào thứ hai được ghép nối với điện áp tham chiếu. Bộ tạo điện áp cũng có thể bao gồm mạch có thể vận hành để điều chỉnh điện áp điều khiển giữa mức điện áp thứ nhất (của nguồn điện thứ nhất) và mức điện áp thứ hai (mức điện áp tham chiếu) để đáp lại đầu ra của bộ so sánh. Ví dụ, nếu mức điện áp của nguồn điện thứ nhất vượt quá mức điện áp tham chiếu, thì bộ tạo điện áp có thể xuất ra mức điện áp của nguồn điện thứ nhất làm điện áp điều khiển. Mặt khác, nếu mức điện áp của nguồn điện thứ nhất thấp hơn mức điện áp tham chiếu, thì bộ tạo điện áp có thể xuất

ra mức điện áp tham chiếu làm điện áp điều khiển.

Các phương án triển khai khác nhau cũng có thể bao gồm nhiều phương pháp. Một phương pháp ví dụ bao gồm kích hoạt công tắc đầu để dẫn dòng điện từ nguồn điện thứ nhất đến mạch logic. Khi công tắc đầu đang ở trạng thái bật và dẫn dòng điện đến mạch logic thì mạch logic không bị ngắt điện. Phương pháp này còn có thể bao gồm ngắt dòng điện bằng cách hủy kích hoạt công tắc đầu, từ đó ngắt điện trên mạch logic. Việc ngắt dòng điện có thể bao gồm việc chọn mức điện áp thứ nhất từ mức điện áp thứ nhất và mức điện áp thứ hai sau khi so sánh mức điện áp thứ nhất và mức điện áp thứ hai. Ví dụ, mức điện áp thứ nhất có thể bao gồm điện áp cực nguồn, và mức điện áp thứ hai có thể bao gồm điện áp tham chiếu, do đó phương pháp này bao gồm việc chọn hoặc điện áp cực nguồn hoặc điện áp tham chiếu để áp dụng làm điện áp điều khiển cho cực cổng của tranzito.

Các phương án triển khai khác nhau có thể bao gồm nhiều lợi thế so với các hệ thống khác. Một lợi thế bao gồm việc làm giảm rò rỉ bằng cách áp dụng trạng thái siêu ngắt cho công tắc kiểm soát điện. Trạng thái siêu ngắt có thể làm giảm rò rỉ hơn mức độ làm giảm có thể đạt được bằng cách đơn giản là tắt công tắc kiểm soát điện. Hơn nữa, để đạt được trạng thái siêu ngắt, các mạch được mô tả trong sáng chế có thể sử dụng điện tích silic ít hơn các phương án thay thế khác. Cụ thể, một số phương án được mô tả ở đây có thể hỗ trợ việc lựa chọn điện áp bằng cách sử dụng bộ khuếch đại thuật toán (operational amplifier - op amp) và nhiều tranzito, có tổn hao thấp hơn so với mức có thể từng phải cân nhắc cho các phương án làm giảm rò rỉ thay thế khác.

Fig.1 là sơ đồ đơn giản hóa minh họa hệ thống ví dụ 100 cho mạch logic kiểm soát điện 120, theo một phương án triển khai. Hệ thống ví dụ 100 bao gồm bộ điều khiển kích hoạt 102 dùng để cung cấp điện áp điều khiển đến đầu cuối điều khiển (cực cổng) của công tắc đầu 108. Công tắc đầu 108 trong ví dụ này bao gồm một tranzito bán dẫn oxit kim loại kênh P (P-channel Metal Oxide Semiconductor - PMOS) được đặt giữa nguồn điện thứ nhất (V_{dd_ext}) và mạch logic 120. Cụ thể, cực nguồn của công tắc đầu 108 được ghép nối với nguồn điện 106 mà cung cấp điện cho mạch logic 120 khi công tắc đầu 108 bật. Cực máng của công tắc đầu 108 được ghép nối với ray nguồn được kiểm soát điện 110 mà cấp điện cho mạch logic 120.

Công tắc đầu 108 vận hành theo cơ chế là khi điện áp cực cổng-cực nguồn lớn hơn hoặc bằng không, công tắc đầu 108 sẽ tắt, từ đó ngắt điện trên mạch logic 120. Tương tự, khi điện áp cực cổng-cực nguồn âm, công tắc đầu 108 sẽ bật, từ đó cấp điện từ ray điện 106 đến mạch logic 120.

Bộ điều khiển kích hoạt 102 được ghép nối với nguồn điện thứ hai 104 (V_{dd_Drvr}). Bộ điều khiển kích hoạt 102 cũng được ghép nối với bộ chuyển mức 112 và mạch điều khiển kích hoạt 114. Khi tín hiệu kích hoạt (Sw_enable) ở mức cao, bộ điều khiển kích hoạt 102 gửi giá trị không đến cực cổng của công tắc đầu 108, từ đó bật công tắc đầu 108. Khi tín hiệu kích hoạt ở mức thấp, bộ điều khiển kích hoạt gửi giá trị logic một đến cực cổng của công tắc đầu 108, từ đó tắt công tắc đầu 108. Bộ chuyển mức 112 xuất ra tín hiệu kích hoạt ở cùng một điện áp như nguồn điện thứ hai 104 (V_{dd_Drvr}). Mạch điều khiển kích hoạt 114 xác định việc tín hiệu kích hoạt ở mức cao hay thấp và có thể giao tiếp với các thành phần khác, chẳng hạn như một chương trình năng lượng thích ứng chạy trong nhân (kernel) của hệ điều hành của lõi đơn vị xử lý trung tâm (central processing unit - CPU) có thể bao gồm hoặc có thể không bao gồm mạch logic 120.

Như ghi chú ở trên, tín hiệu kích hoạt có cùng điện áp như nguồn điện thứ hai 104, và bộ điều khiển kích hoạt 102 xuất ra điện áp giống như điện áp nhận được trên ray điện được ghép nối với nguồn điện 104. Do đó, khi công tắc đầu 108 tắt, tín hiệu kích hoạt sẽ bằng không, chuyển qua V_{dd_Drvr} (ở số 1) đến cực cổng của công tắc đầu 108. Lúc này, chênh lệch điện áp giữa cực cổng và cực nguồn (điện áp cực cổng-cực nguồn) là V_{dd_Drvr} trừ đi V_{dd_ext} . Như ghi chú ở dưới đây, các phương án triển khai khác nhau có thể thay đổi V_{dd_Drvr} sao cho nó có thể lớn hơn V_{dd_ext} nhằm đặt tranzito PMOS của công tắc đầu 108 vào trạng thái siêu ngắt.

Lúc này, tham chiếu đến Fig.2, là biểu đồ cho thấy mối quan hệ ví dụ giữa dòng điện cực máng của công tắc đầu 108 (trên trục Y) và điện áp cực cổng của công tắc đầu 108 (trên trục x). Biểu đồ trên Fig.2 giả định rằng điện áp V_{dd_ext} ở nguồn điện thứ nhất 106 có giá trị 0,6 V. Nhưng cần lưu ý rằng nhiều điện áp khác nhau được thảo luận trong tài liệu này chỉ dùng làm ví dụ, và những cách áp dụng khác có thể sử dụng điện áp khác cho cực cổng hoặc cực nguồn của công tắc đầu 108 cho phù hợp với tranzito cụ thể dùng

cho công tắc đầu 108.

Dòng điện cực máng chủ yếu ở mức cao và dương cho đến khi điện áp cực cổng bằng với điện áp cực nguồn hoặc, nói cách khác, điện áp cực cổng-cực nguồn bằng không. Việc này được minh họa ở 201. Tuy nhiên, khi điện áp cực cổng-cực nguồn bằng không, dòng điện tại cực máng chưa hẳn bằng không. Thay vào đó, dòng điện cực máng có thể giảm hơn nữa như được thể hiện ở điểm 204 - nơi điện áp cực cổng là 0,7 V. Trong biểu đồ 200, phần có điện áp cực cổng-cực nguồn dương là để chỉ trạng thái siêu ngắt của tranzito. Dòng điện ở điểm 201 gần bằng bảy lần dòng điện ở điểm 204, qua đó minh họa rằng trạng thái siêu ngắt có thể làm giảm dòng rò hơn nữa trong hệ thống của Fig.1. Hơn nữa, cần lưu ý rằng điện áp cực cổng tăng lên khi đi qua điểm 205 (điện áp cực cổng gần bằng 0,8 V), rồi GIDL tăng lên, từ đó bù trừ một số hoặc tất cả độ lợi có được từ việc đưa tranzito vào trạng thái siêu ngắt. Theo đó, các phương án triển khai khác nhau được mô tả trong tài liệu này có thể điều chỉnh điện áp điều khiển từ nguồn điện thứ hai 104 đến đầu cuối điều khiển của công tắc đầu 108 nhằm vừa đạt được trạng thái siêu ngắt của tranzito vừa tránh được GIDL. Việc này được mô tả chi tiết hơn ở dưới đây.

Khái niệm trạng thái siêu ngắt và GIDL được minh họa thêm trên Fig.3 Fig.3 là biểu đồ thể hiện mối quan hệ ví dụ giữa điện áp cực cổng và điện áp cực nguồn, theo phương án triển khai của Fig.2 Hơn nữa, Fig.3 minh họa những mức độ khác nhau của dòng rò khi tranzito ở trạng thái tắt hoặc siêu ngắt, chẳng hạn như tranzito của công tắc đầu 108 trên Fig.1. Trong hình minh họa, dòng rò có ba mức khác nhau - thấp và chấp nhận được, cao nhưng chấp nhận được, và cao và không chấp nhận được. Đương nhiên, các nhãn này chỉ là ví dụ, các điện áp cực cổng và cực nguồn cụ thể ở đây cũng vậy. Các phương án triển khai khác có thể sử dụng điện áp khác và có mức chấp nhận khác đối với dòng rò sao cho sự khác biệt giữa chấp nhận được và không chấp nhận được có thể tăng lên hoặc giảm xuống đối với các phương án triển khai khác.

Trên Fig.3, điện áp cực cổng trên khoảng 0,9 V sẽ dẫn đến lượng dòng rò không chấp nhận được trong ví dụ này, và dòng rò tăng lên khi điện áp cực cổng tăng lên. Trái lại, điện áp cực cổng dưới khoảng 0,9 V sẽ thuộc phạm vi chấp nhận được, và lượng dòng rò giảm đi khi điện áp cực cổng giảm đi. Giới hạn dưới cùng của biểu đồ trên Fig.3 là khi điện áp cực cổng-cực nguồn bằng không, trong ví dụ này được biểu thị là cao hơn

nhưng chấp nhận được.

Nhìn vào các ví dụ của Fig.1 và Fig.3, nhiều phương án triển khai có thể ngăn chặn rò rỉ bằng cách giữ công tắc 108 ở trạng thái siêu ngắt. Tuy nhiên, nếu nguồn điện thứ nhất (V_{dd_ext}) thay đổi, thì mức của V_{dd_ext} có thể tăng lên đến điểm mà khi đó điện áp cực cổng (V_{dd_Drvr}) đủ cao để giữ công tắc đầu 108 ở trạng thái siêu ngắt sẽ gây ra mức dòng rò không chấp nhận được. Theo đó, một số phương án triển khai hệ thống của Fig.1 có thể điều chỉnh điện áp điều khiển V_{dd_Drvr} để giữ cho công tắc đầu 108 ở trạng thái siêu ngắt đối với một số mức V_{dd_ext} , nhưng khi V_{dd_ext} vượt quá ngưỡng, thì hệ thống có thể làm cho điện áp điều khiển V_{dd_Drvr} bằng với V_{dd_ext} để điện áp cực cổng-cực nguồn bằng không và dòng điện rò rỉ vẫn nằm trong phạm vi chấp nhận được.

Do đó, một phương án triển khai ví dụ bao gồm việc chọn điện áp tham chiếu, như được thể hiện là V_{dd1} trên Fig.4. Điện áp tham chiếu V_{dd1} được chọn ở mức mà nếu vượt quá mức đó thì điện áp cực cổng sẽ chịu GIDL không chấp nhận được. Đương nhiên, mức này khác nhau tùy theo từng cách áp dụng, vì một số cách áp dụng nói chung có thể chịu GIDL hoặc rò rỉ tốt hơn. Ví dụ trên Fig.4 hướng đến mối quan hệ nêu trên Fig.3, thể hiện một số mức rò rỉ chấp nhận được ở các mức rò rỉ không chấp nhận được khác. Cụ thể, mức điện áp tham chiếu V_{dd1} được đặt giữa 0,7 V và 0,8 V, tương ứng với điện áp cực cổng với một mức rò rỉ chấp nhận được trong ví dụ trên Fig.3. Trong một số phương án triển khai, mức V_{dd1} cụ thể không được đặt với độ chính xác cao, mà được đặt dựa trên thử nghiệm hoặc mô phỏng và có thể được đặt trong phạm vi mà điện áp cực cổng mang lại mức rò rỉ chấp nhận được. Vì vậy, ví dụ trên Fig.3 cũng có thể tận dụng mức điện áp tham chiếu V_{dd1} , cao đến 0,85 V.

Đường cong 401 thể hiện mức độ thay đổi theo thời gian của V_{dd_ext} , gắn với nguồn điện thứ nhất 106 của Fig.1. Đường cong 402 thể hiện mức điện áp tham chiếu V_{dd1} , được đặt ở mức giữa 0,7 V và 0,8 V. Đường cong 403 thể hiện mức V_{dd_Drvr} gắn với nguồn điện thứ hai 104, khi thay đổi theo thời gian dựa trên sự thay đổi mức V_{dd_ext} . Fig.4 thể hiện đường cong 403 được dịch chuyển xuống theo chiều dọc cho tương quan với đường cong 401 nhằm dễ dàng minh họa, chứ không dùng để thể hiện mức điện áp tuyệt đối của V_{dd_Drvr} .

Trước thời điểm T1, Vdd_ext ở dưới mức điện áp Vdd1. Do đó trong trường hợp mạch logic 120 của Fig.1 bị ngắt điện, thì hệ thống của Fig.1 giữ công tắc đầu 108 ở trạng thái siêu ngắt bằng cách áp dụng điện áp điều khiển Vdd_Drvr bằng với Vdd1. Việc này được biểu thị bằng hình bầu dục ở bên trái, xung quanh Vdd1 và Vdd_Drvr. Một lần nữa, Vdd_ext gắn với nguồn điện thứ nhất 106 và là điện áp cực nguồn. Do đó, trước thời điểm T1, điện áp cực công-cực nguồn đang dương.

Tại thời điểm T1, Vdd_ext bằng với điện áp tham chiếu Vdd1. Như đề cập ở trên, Vdd_ext có thể là điện áp thay đổi theo thời gian nên hệ thống này sử dụng chế độ cài đặt động cho Vdd_Drvr. Sau thời điểm T1, nếu điện áp điều khiển Vdd_Drvr được giữ ở giá trị Vdd1, thì điện áp cực công-cực nguồn sẽ âm, từ đó tắt công tắc đầu 108. Theo đó, để giữ công tắc đầu 108 ở trạng thái tắt, hệ thống làm cho Vdd_Drvr bằng với Vdd_ext, từ đó làm cho điện áp cực công-cực nguồn bằng không và giữ cho công tắc đầu 108 ở trạng thái tắt.

Hơn nữa, việc duy trì trạng thái siêu ngắt ở công tắc đầu 108 sau thời điểm T1 sẽ gây ra rò rỉ không chấp nhận được do GIDL, vì điện áp cực công sẽ vượt quá 0,7 V-0,8 V, như mô tả ở trên thông qua Fig.3. Do đó, hệ thống này sử dụng điện áp cực công-cực nguồn bằng không sau thời điểm T1 để giữ công tắc đầu 108 ở trạng thái tắt với lượng rò rỉ chấp nhận được.

Fig.5 minh họa bộ tạo điện áp ví dụ 500, được điều chỉnh theo một phương án triển khai. Bộ tạo điện áp 500 có thể vận hành để điều chỉnh điện áp điều khiển Vdd_Drvr từ nguồn điện thứ hai 104 đến đầu cuối điều khiển công tắc đầu 108 khi mức điện áp Vdd_ext vượt quá mức điện áp tham chiếu Vdd1. Tóm lại, khi Vdd1 cao hơn Vdd_ext, thì bộ tạo điện áp 500 chọn Vdd1 và chuyển đến Vdd_Drvr. Khi Vdd1 thấp hơn Vdd_ext, thì bộ tạo điện áp chọn Vdd_ext và chuyển đến Vdd_Drvr. Theo một phương án triển khai, đầu ra của bộ tạo điện áp 500 có thể được ghép nối với ray điện gắn với nguồn điện 104.

Bộ tạo điện áp 500 bao gồm bộ so sánh 501 (ví dụ, bộ khuếch đại thuật toán hay op amp) dùng để nhận điện áp tham chiếu Vdd1 ở đầu vào + và nhận điện áp Vdd_ext từ nguồn điện thứ nhất 106 ở đầu vào nghịch đảo. Đầu ra của bộ so sánh 501 là số một hoặc số không, được chuyển đổi bởi bộ chuyển mức điện áp 502 sang miền điện áp tương

thích với tranzito 510 và 512. Khi V_{dd1} cao hơn V_{dd_ext} , thì bộ so sánh xuất ra số một, và số một làm cho tranzito PMOS 510 tắt, tranzito PMOS 512 bật, từ đó làm cho V_{dd1} xuất hiện ở V_{dd_Drvr} .

Khi V_{dd_ext} cao hơn V_{dd1} , số không sẽ xuất hiện ở đầu ra của bộ so sánh 501. Việc này bật PMOS 510 và tắt PMOS 512, từ đó làm cho V_{dd_ext} xuất hiện ở V_{dd_Drvr} . Điều này khiến cho việc lựa chọn mức điện áp này (V_{dd_ext}) so với mức điện áp kia (V_{dd1}) được xuất ra là V_{dd_Drvr} . Như ghi chú ở trên, khi thiết kế hệ thống, V_{dd1} được chọn đặt ở mức bằng hoặc dưới ngưỡng mà thử nghiệm hoặc mô phỏng cho thấy GIDL sẽ xảy ra. Do đó, bộ tạo điện áp 500 làm cho V_{dd_Drvr} tuân theo ví dụ của Fig.4, từ đó làm giảm lượng rò rỉ khi công tắc đầu 108 ở trạng thái tắt bằng cách giữ tranzito của công tắc đầu 108 ở trạng thái siêu ngắt hoặc ở trạng thái có điện áp cực cổng-cực nguồn bằng không (ít nhất là khi công tắc đầu 108 tắt).

Tiếp tục với ví dụ ở Fig.5 cũng bao gồm một cơ chế ghi đề 503 đặt giữa bộ chuyển mức điện áp 502 và các tranzito 510, 512. Trong ví dụ này, cơ chế ghi đề 503 có thể vận hành để buộc bộ tạo điện áp 500 xuất V_{dd_Drvr} ở điện áp bằng V_{dd_ext} . Trong một số ví dụ, khi cơ chế ghi đề 503 ghi đề đầu ra của bộ so sánh 501, thì bộ so sánh 501 và bộ chuyển mức điện áp 502 có thể tắt. Có thể có những trường hợp mà trong đó nên có điện áp cực cổng-cực nguồn bằng không hơn là thay đổi điện áp cực cổng-cực nguồn. Ví dụ, có thể có chế độ ngủ mà trong đó V_{dd_ext} có thể bằng không, và thường nên làm cho điện áp cực cổng V_{dd_Drvr} cũng bằng không nhằm đặt chip vào chế độ ngủ sâu. Trong một số ví dụ, cơ chế ghi đề 503 có thể được triển khai bằng phần mềm. Đương nhiên, phạm vi của các phương án triển khai không bị giới hạn ở việc sử dụng cơ chế ghi đề bằng phần mềm trong bất kỳ tình huống cụ thể nào. Cơ chế ghi đề 503 có thể bao gồm mạch logic có thanh ghi điều khiển phần mềm được lập trình hoặc có thể bao gồm khối logic kết hợp nhiều đầu vào cho biết trạng thái của hệ thống 100 tại thời điểm cụ thể. Trong một phương án triển khai, cơ chế ghi đề 503 có thể bao gồm mạch logic để tạo tín hiệu kích hoạt cho các tranzito 510, 512 dựa trên đầu ra từ bộ so sánh 501 và trạng thái của một tín hiệu ghi đề (không thể hiện) từ nguồn khác bên trong hệ thống 100. Mạch logic như vậy có thể được gọi là mạch ghi đề.

Fig.6 minh họa hệ thống ví dụ 600, theo một phương án triển khai. Fig.6 là sơ đồ

đơn giản hóa, cho thấy hệ thống của Fig.1 có thể được lặp lại để ngắt điện trên nhiều phần logic. Ví dụ, hệ thống 600 bao gồm nhiều bộ điều khiển kích hoạt từ 102a đến 102N, trong đó N là số nguyên lớn hơn một. Trên thực tế, N có thể là số nguyên thích hợp bất kỳ. Mỗi bộ điều khiển kích hoạt 102 đều được ghép nối với nguồn điện thứ hai 104.

Hệ thống ví dụ 600 cũng bao gồm nhiều công tắc đầu từ 108a đến 108N, trong đó N cũng là số nguyên lớn hơn một. Trong ví dụ này, có N bộ điều khiển kích hoạt 102 và N công tắc đầu 108, mặc dù trong những phương án triển khai khác, mỗi bộ điều khiển kích hoạt 102 có thể điều khiển nhiều công tắc đầu 108, tùy theo kích thước của bộ điều khiển kích hoạt 102 và kích thước của công tắc đầu 108. Hơn nữa, các công tắc đầu 108 có thể được ghép nối cực máng, như minh họa trên Fig.6, mặc dù trong những phương án khác thì các cực máng không được ghép nối.

Miền bị ngắt điện 602 có thể bao gồm nhiều phần mạch logic (ví dụ, nhiều mạch logic 120). Các phần mạch logic khác nhau có thể đồng nhất hoặc không đồng nhất, và số phần mạch logic có thể là bất kỳ số nào thích hợp. Ví dụ, hệ thống 600 có thể được dùng để ngắt điện toàn bộ miền hoặc một phần của miền, tùy trường hợp.

Cần hiểu rằng Fig.6 bỏ qua một số đặc điểm để dễ dàng minh họa. Ví dụ, mặc dù Fig.1 minh họa bộ chuyển mức 112 và bộ điều khiển kích hoạt 114, nhưng cần hiểu rằng những đặc điểm tương tự hoặc chính những đặc điểm này có thể được triển khai trong hệ thống 600 hoặc Fig.6 bằng cách chuyển mức tín hiệu kích hoạt phần mềm cho bằng với Vdd_Drvr, và tín hiệu kích hoạt phần mềm có thể được điều khiển để ở mức cao hoặc thấp bởi mạch điều khiển kích hoạt 114.

Các mạch trên Fig.6 vận hành theo những nguyên tắc được mô tả ở trên. Ví dụ, Vdd_Drvr có thể được cung cấp bởi bộ tạo, chẳng hạn như được minh họa trên Fig.5. Do đó, điện áp Vdd_Drvr có thể được lựa chọn dựa trên điện áp (Vdd_ext) ở cực nguồn của công tắc đầu 108. Do đó, khi đặt ở trạng thái tắt, các công tắc đầu 108 có thể được giữ ở trạng thái siêu ngắt hoặc trạng thái điện áp cực cổng-cực nguồn bằng không, tùy theo mức Vdd_ext so với điện áp tham chiếu. Khi miền 602 không bị ngắt điện, thì công tắc đầu 108 bật, từ đó cấp điện từ nguồn điện thứ nhất 106 đến miền 602 thông qua các cực máng tương ứng. Logic, như bộ điều khiển kích hoạt 114, có thể ngắt điện trên miền 602

hoặc cấp điện cho miền 602 dựa trên tiêu chí bất kỳ và thuật toán năng lượng bất kỳ.

Fig.7 minh họa mạch điện áp tham chiếu 700 để tạo ra điện áp tham chiếu V_{dd1} , theo một phương án triển khai. Ví dụ trên Fig.7 giả định rằng mức thích hợp cho V_{dd1} là 0,7 V đến 0,8 V, và như ghi chú ở trên, các cách triển khai khác nhau có thể sử dụng các mức điện áp khác nhau cho cực cổng hoặc cực nguồn của công tắc đầu. Do đó, các phương án triển khai khác có thể sử dụng các mức khác nhau cho điện áp tham chiếu V_{dd1} , và cần hiểu rằng kiến trúc cụ thể được hiển thị trên Fig.7 có thể được điều chỉnh để tạo ra mức điện áp tham chiếu thích hợp bất kỳ. Hơn nữa, các mức điện áp cho nguồn điện V_{ddA} và V_{ddB} chỉ là ví dụ, và cần hiểu rằng những phương án triển khai khác có thể có mức điện áp khác và có thể được điều chỉnh để sử dụng các mức điện áp đó nhằm xuất ra mức điện áp tham chiếu thích hợp.

Công tắc S1 và S2 có thể được triển khai dưới dạng công tắc PMOS, công tắc bán dẫn oxit kim loại kênh N (N-channel Metal Oxide Semiconductor - NMOS), hoặc bất kỳ công nghệ tranzito nào khác. V_{ddA} trong ví dụ này là ray điện áp cao, chẳng hạn như 1,8 V. Bộ ổn áp sụt áp thấp (low dropout - LDO) 701 có thể bao gồm sụt áp thuần trở làm giảm điện áp xuống 0,7-0,8 V. Khi công tắc S1 đóng, điện áp từ LDO 701 được đặt lên ray 708 để tạo ra V_{dd1} . V_{ddB} đại diện cho điện áp nguồn khác, được cung cấp ở mức 0,7-0,8 V. Tuy nhiên, có những thời điểm không dùng được điện áp này và do đó, mạch 700 dùng cả V_{ddA} và V_{ddB} để cung cấp V_{dd1} tin cậy ở các chế độ vận hành và thời điểm khác nhau. Ví dụ, V_{ddB} có thể không dùng được liên tục, chẳng hạn như khi đây là điện áp biến thiên, có thể nằm dưới khoảng mong muốn hoặc vượt quá khoảng mong muốn, là những lúc có thể không dùng được. Khi dùng được V_{ddB} , mạch 700 có thể bật công tắc S2 để đưa V_{ddB} vào ray điện 708 nhằm tạo ra V_{dd1} .

Trong ví dụ này, công tắc S1 và S2 bổ sung cho nhau để luôn có một công tắc mở và chỉ có một công tắc đóng tại một thời điểm, ít nhất là khi mạch 700 được cấp điện. Hộp điều khiển hướng dòng 702, 703 đảm bảo dòng điện không chạy ngược chiều từ V_{ddB} đến V_{ddA} (hoặc ngược lại) khi chuyển từ ray điện này sang ray điện khác. Công tắc S1 và S2 trong thực tế không lý tưởng, nên dù công tắc S1 và S2 bổ sung cho nhau thì vẫn tồn tại khả năng có dòng điện từ ray này đến ray khác, đây thường là điều không mong muốn.

Hộp điều khiển hướng dòng 702, 703 có thể chỉ đơn giản là điốt (hoặc phức tạp hơn), và chúng làm giảm hoặc ngăn dòng điện chạy ngược từ ray này đến ray khác. Bộ điều khiển hướng dòng 707 bật hoặc tắt các hộp điều khiển hướng dòng 702, 703 để tiết kiệm điện khi không sử dụng.

Bộ điều khiển điện 706 là bộ điều khiển chính, nắm rõ mức của VddA và VddB và điều khiển công tắc S1 và S2 dựa trên trạng thái của các mức điện áp khác nhau. Ví dụ, nếu không dùng được VddB thì bộ điều khiển điện 706 có thể gửi tín hiệu đến bộ điều khiển công tắc 704 để bật S1 và tắt S2. Mặt khác, nếu dùng được VddB ở mức độ mong muốn cho Vdd_Drvr thì bộ điều khiển điện 706 có thể gửi tín hiệu đến bộ điều khiển công tắc 704 để bật S2 và tắt S1.

Các phương án triển khai khác nhau có thể bao gồm một hoặc nhiều lợi thế so với các hệ thống khác. Ví dụ, một số hệ thống có thể giữ công tắc đầu ở trạng thái tắt bằng điện áp cực cổng-cực nguồn bằng không trong toàn bộ khoảng thời gian của trạng thái tắt. Tuy nhiên, các hệ thống này vẫn có thể chịu rò rỉ không mong muốn, như giải thích ở trên, vì trạng thái điện áp cực cổng-cực nguồn bằng không có thể không hiệu quả như trạng thái siêu ngắt. Trái lại, các phương án triển khai được mô tả ở đây có thể sử dụng trạng thái siêu ngắt khi thích hợp, từ đó ít chịu rò rỉ hơn, ít nhất là ở một số điện áp.

Hơn nữa, các phương án triển khai được mô tả trong tài liệu này có thể đi từ trạng thái siêu ngắt sang trạng thái điện áp cực cổng-cực nguồn bằng không khi dự kiến trạng thái điện áp bằng không gây ít rò rỉ hơn trạng thái siêu ngắt. Do đó, các phương án triển khai khác nhau có thể chịu tổng rò rỉ ít hơn các hệ thống khác, từ đó làm tăng tuổi thọ pin. Hơn nữa, các phương án triển khai khác nhau được mô tả ở đây có thể hỗ trợ việc làm giảm rò rỉ mà chỉ cần tăng tương đối ít diện tích silic.

Các phương án triển khai khác nhau được mô tả ở đây có thể phù hợp cho việc sử dụng trong hệ thống trên chip (system on chip - SOC). Ví dụ về SOC bao gồm chip bán dẫn có nhiều thiết bị xử lý bên trong, bao gồm đơn vị xử lý đồ họa (graphics processing unit - GPU), đơn vị xử lý trung tâm (central processing unit - CPU), đơn vị modem, đơn vị camera, và tương tự. Trong một số ví dụ, SOC có thể được đưa vào trong một gói chip, lắp trên bảng mạch in, và đặt bên trong thiết bị di động, chẳng hạn như điện thoại thông minh hoặc máy tính bảng. Tuy nhiên, phạm vi của các phương án triển khai

không bị giới hạn ở chip được triển khai trong máy tính bảng hoặc điện thoại thông minh, mà có thể trong cả các ứng dụng khác.

SOC có thể bao gồm một CPU có nhiều lõi, và một hoặc nhiều lõi như vậy có thể thực thi mã đọc được bằng máy tính nhằm cung cấp chức năng của nhân hệ điều hành. Hơn nữa, nhân hệ điều hành ví dụ có thể bao gồm phần mềm quản lý điện có thể ngắt điện trên các phần logic trên SOC khi những phần đó không được sử dụng, và có thể cấp điện cho các phần logic đó trên SOC khi dự kiến sử dụng chúng. Theo đó, các nguyên lý được mô tả ở trên cho các hình vẽ từ Fig.1 đến Fig.7 có thể được triển khai trong một SOC và, cụ thể hơn, mạch được thể hiện trên Fig.1 và Fig.5 đến Fig.7 có thể được triển khai trong một SOC nhằm mang lại chức năng ngắt điện.

Ví dụ, trong CPU đa lõi, một số lõi có thể không được sử dụng tại một thời điểm nào đó, và phần mềm quản lý điện có thể làm cho những lõi không sử dụng này bị ngắt điện. Tiếp tục với các ví dụ trong tài liệu này, một lõi cụ thể có thể sử dụng một hoặc nhiều công tắc đầu, chẳng hạn như được mô tả ở trên, trên Fig.1 và Fig.6. Phần mềm quản lý điện có thể tắt công tắc đầu để ngắt điện và bật công tắc đầu khi dự kiến sử dụng.

Một lõi cụ thể có thể sử dụng một công tắc đầu duy nhất (như trên Fig.1) hoặc có nhiều bộ phận sử dụng nhiều công tắc đầu (như trên Fig.6). Đương nhiên, phạm vi của các phương án triển khai không giới hạn ở việc ngắt điện các lõi của CPU, vì cũng có thể ngắt điện các mạch logic khác trong SOC, chẳng hạn như camera, modem, GPU, v.v.

Lưu đồ của phương pháp ví dụ 800 để ghép điện giữa nhiều nguồn điện được minh họa trên Fig.8. Trong một ví dụ, phương pháp 800 được thực hiện bằng các mạch được thể hiện trong các hình vẽ trên Fig.1 và Fig.5 đến Fig.7. Các mạch đó có thể vận hành dưới sự điều khiển của một đơn vị quản lý điện, đơn vị này có thể bao gồm chức năng phần cứng và/hoặc phần mềm tại bộ xử lý (ví dụ, CPU) của một thiết bị điện toán sử dụng các mạch trong các hình vẽ trên Fig.1 và Fig.5 đến Fig.7. Trong một số ví dụ, đơn vị quản lý điện bao gồm mạch xử lý thực thi lệnh đọc được bằng máy tính nhằm cấp điện cho mạch logic hoặc ngắt điện mạch logic.

Tại thao tác 810, công tắc đầu được kích hoạt để dẫn dòng điện từ nguồn điện thứ nhất đến mạch logic. Một ví dụ được thể hiện trên Fig.1, trong đó công tắc đầu 108 có thể cung cấp dòng điện từ nguồn điện thứ nhất 106 qua cực máng của nó đến mạch logic

120. Tiếp tục với ví dụ này, dòng điện nói trên được cung cấp ở điện áp V_{dd_ext} . Công tắc đầu 108 trong ví dụ đó được kích hoạt bằng cách áp dụng logic 0 cho đầu cuối điều khiển (cực công của nó) có thể bao gồm điện áp cực công-cực nguồn âm.

Các thao tác 820 và 830 minh họa việc ngắt dòng bằng cách hủy kích hoạt công tắc đầu. Ví dụ, thao tác 820 bao gồm việc chọn mức điện áp thứ nhất từ mức điện áp thứ nhất và mức điện áp thứ hai. Một ví dụ được cung cấp trên Fig.5, trong đó bộ tạo điện áp cho V_{dd_Drvr} chọn giữa điện áp tham chiếu V_{dd1} và điện áp cực nguồn V_{dd_ext} .

Trong ví dụ của Fig.5, bộ so sánh 501 so sánh V_{dd1} và V_{dd_ext} . Nếu V_{dd1} ở mức cao hơn V_{dd_ext} , thì bộ tạo điện áp 500 chọn V_{dd1} để xuất ra làm V_{dd_Drvr} . Mặt khác, nếu V_{dd_ext} cao hơn V_{dd1} , thì bộ tạo điện áp 500 chọn V_{dd_ext} (điện áp cực nguồn) để xuất ra làm V_{dd_Drvr} .

Hơn nữa, trong ví dụ này, V_{dd1} là điện áp tham chiếu được đặt ở mức mà nếu vượt quá mức đó thì điện áp cực công sẽ chịu GIDL không mong muốn. Theo đó, bộ tạo điện áp 500 làm cho V_{dd_Drvr} có giá trị bằng V_{dd_ext} để điện áp cực công-cực nguồn bằng không nếu không thì GIDL có thể gây rò rỉ. Mặt khác, ở những điện áp cực công mà nếu ở dưới mức đó thì GIDL sẽ là không mong muốn, bộ tạo điện áp 500 áp dụng V_{dd1} làm V_{dd_Drvr} , từ đó giữ công tắc đầu ở trạng thái siêu ngắt, với dự kiến là làm giảm rò rỉ so với trạng thái mà ở đó điện áp cực công-cực nguồn bằng không.

Tại thao tác 530, mạch áp dụng mức điện áp thứ nhất từ nguồn điện thứ hai cho cực công của công tắc đầu. Tiếp tục với ví dụ nói trên, mạch của Fig.5 làm cho V_{dd1} hoặc V_{dd_ext} được nguồn điện thứ hai (V_{dd_Drvr}) áp dụng cho cực công của công tắc đầu.

Phạm vi của các phương án triển khai không giới hạn ở những hành động cụ thể được thể hiện trên Fig.8. Thay vào đó, các phương án triển khai khác có thể bổ sung, bỏ qua, sắp xếp lại hoặc chỉnh sửa một hoặc nhiều thao tác. Trong một ví dụ, một phương án triển khai có thể chuyển giữa việc cấp điện cho mạch logic như trong thao tác 810 và việc ngắt điện logic như trong các thao tác 820, 830 nhiều lần trong khi thiết bị điện toán vận hành bình thường. Ví dụ, khi mạch logic đang được sử dụng để thực thi mã thì mạch logic có thể được cấp điện, còn khi mạch logic không làm việc thì nó có thể bị ngắt điện.

Như người có hiểu biết trung bình trong lĩnh vực kỹ thuật này sẽ hiểu và tùy thuộc

vào ứng dụng cụ thể, nhiều sửa đổi, thay thế và biến thể có thể được thực hiện đối với vật liệu, thiết bị, cấu hình và phương pháp sử dụng thiết bị của sáng chế mà không nằm ngoài ý tưởng và phạm vi của sáng chế. Do đó, phạm vi của sáng chế không bị giới hạn ở phạm vi của các phương án triển khai cụ thể được minh họa và mô tả ở đây, vì chúng chỉ là một số ví dụ của sáng chế, thay vào đó, phạm vi của sáng chế chính là phạm vi của các điểm yêu cầu bảo hộ kèm theo sau đây và các dạng tương đương về chức năng của chúng.

YÊU CẦU BẢO HỘ

1. Hệ thống làm giảm rò rỉ cho các miền được kiểm soát điện gồm có:

nguồn điện thứ nhất;

nguồn điện thứ hai;

công tắc đầu đặt ở giữa nguồn điện thứ nhất và mạch logic;

bộ điều khiển kích hoạt ghép nối nguồn điện thứ hai với đầu cuối điều khiển công tắc đầu; và

bộ tạo điện áp có thể vận hành để điều chỉnh điện áp điều khiển từ nguồn điện thứ hai đến đầu cuối điều khiển công tắc đầu khi mức điện áp thứ nhất của nguồn điện thứ nhất vượt quá mức điện áp tham chiếu.

2. Hệ thống theo điểm 1 còn bao gồm:

mạch ghi đề được ghép nối với bộ tạo điện áp và có thể vận hành để buộc bộ tạo điện áp ở mức điện áp thứ nhất.

3. Hệ thống theo điểm 1, trong đó nguồn điện thứ nhất bao gồm ray điện.

4. Hệ thống theo điểm 1, trong đó đầu cuối cực nguồn của công tắc đầu được ghép nối với nguồn điện thứ nhất.

5. Hệ thống theo điểm 1, trong đó bộ tạo điện áp bao gồm:

bộ so sánh có đầu vào thứ nhất được ghép nối với nguồn điện thứ nhất và đầu vào thứ hai được ghép nối với mạch điện áp tham chiếu tạo ra mức điện áp tham chiếu;

tranzito thứ nhất được ghép nối với ray điện thứ nhất ở mức điện áp tham chiếu, tranzito thứ nhất được ghép nối cực cổng với đầu ra của bộ so sánh thông qua cổng đảo; và

tranzito thứ hai được ghép nối với nguồn điện thứ nhất, tranzito thứ hai được ghép nối cực cổng với đầu ra của bộ so sánh.

6. Hệ thống theo điểm 5, trong đó mạch điện áp tham chiếu bao gồm:

công tắc thứ nhất được ghép nối với nguồn điện áp tham chiếu thứ nhất;

công tắc thứ hai được ghép nối với nguồn điện áp tham chiếu thứ hai; và

bộ điều khiển công tắc có thể vận hành để chọn giữa nguồn điện áp tham chiếu thứ nhất và nguồn điện áp tham chiếu thứ hai.

7. Hệ thống theo điểm 5, trong đó công tắc đầu bao gồm tranzito bán dẫn oxit kim loại kênh dương (positive channel metal oxide semiconductor - PMOS) có cực máng được ghép nối với mạch logic, và trong đó đầu cuối điều khiển bao gồm cực cổng của tranzito PMOS.

8. Phương pháp làm giảm rò rỉ cho các miền được kiểm soát điện bao gồm các bước:

kích hoạt công tắc đầu để dẫn dòng điện từ nguồn điện thứ nhất đến mạch logic;

và

ngắt dòng điện đó bằng cách hủy kích hoạt công tắc đầu, bao gồm:

chọn điện áp điều khiển, trong số mức điện áp thứ nhất và mức điện áp thứ hai sau khi so sánh mức điện áp thứ nhất và mức điện áp thứ hai; và

áp dụng điện áp điều khiển từ nguồn điện thứ hai cho cực cổng của công tắc đầu.

9. Phương pháp theo điểm 8, trong đó bước áp dụng điện áp điều khiển bao gồm giữ công tắc đầu ở trạng thái siêu ngắt.

10. Phương pháp theo điểm 8, trong đó bước áp dụng điện áp điều khiển bao gồm giữ công tắc đầu ở trạng thái tắt với điện áp cực cổng-cực nguồn bằng không.

11. Phương pháp theo điểm 8, trong đó bước chọn điện áp điều khiển là để đáp lại việc mức điện áp thứ nhất cao hơn mức điện áp thứ hai, trong đó mức điện áp thứ nhất tương ứng với điện áp tham chiếu.

12. Phương pháp theo điểm 8, trong đó bước chọn điện áp điều khiển là để đáp lại việc mức điện áp thứ nhất cao hơn mức điện áp thứ hai, hơn nữa, trong đó mức điện áp thứ nhất tương ứng với điện áp ray điện thay đổi theo thời gian, và mức điện áp thứ hai tương

ứng với điện áp tham chiếu.

13. Phương pháp theo điểm 8, trong đó bước ngắt dòng điện bao gồm nhận tín hiệu kích hoạt tại bộ đệm, trong đó tín hiệu kích hoạt có cùng mức điện áp như điện áp điều khiển.

14. Mạch bao gồm:

ray điện thứ nhất được ghép nối với nguồn điện thứ nhất;

ray điện thứ hai được ghép nối với nguồn điện thứ hai;

công tắc kiểm soát điện được ghép nối ở giữa ray điện thứ nhất và một phần của mạch logic của đơn vị xử lý trung tâm (central processing unit - CPU); và

phương tiện để chọn điện áp điều khiển từ ray điện thứ hai đến đầu cuối điều khiển công tắc kiểm soát điện khi mức điện áp thứ nhất của nguồn điện thứ nhất nằm dưới mức điện áp tham chiếu.

15. Mạch theo điểm 14 còn bao gồm phương tiện để áp dụng điện áp điều khiển cho đầu cuối điều khiển để đáp lại tín hiệu kích hoạt.

16. Mạch theo điểm 15, trong đó phương tiện để áp dụng điện áp điều khiển bao gồm bộ đệm đảo được tạo cấu hình để nhận tín hiệu kích hoạt, trong đó tín hiệu kích hoạt có cùng mức điện áp như mức điện áp tham chiếu.

17. Mạch theo điểm 14, trong đó công tắc kiểm soát điện bao gồm công tắc đầu tranzito bán dẫn oxit kim loại kênh dương (positive channel metal oxide semiconductor - PMOS).

18. Mạch theo điểm 14, trong đó phương tiện lựa chọn bao gồm:

bộ so sánh có đầu vào thứ nhất được ghép nối với ray điện thứ nhất và đầu vào thứ hai được ghép nối với phương tiện để tạo ra mức điện áp tham chiếu; và

phương tiện để điều chỉnh điện áp điều khiển giữa mức điện áp thứ nhất và mức điện áp tham chiếu để đáp lại đầu ra của bộ so sánh.

19. Mạch theo điểm 18, trong đó phương tiện để tạo ra mức điện áp tham chiếu bao gồm:

công tắc thứ nhất được ghép nối với nguồn điện áp tham chiếu thứ nhất;

công tắc thứ hai được ghép nối với nguồn điện áp tham chiếu thứ hai; và

phương tiện để chọn giữa nguồn điện áp tham chiếu thứ nhất và nguồn điện áp tham chiếu thứ hai để áp dụng cho đầu vào thứ hai.

20. Mạch theo điểm 14 còn bao gồm:

mạch ghi đề được ghép nối với phương tiện lựa chọn và có thể vận hành để buộc phương tiện lựa chọn chọn mức điện áp thứ nhất.

21. Mạch theo điểm 14, trong đó phương tiện lựa chọn bao gồm phương tiện để áp dụng điện áp điều khiển ở mức điện áp tham chiếu từ ray điện thứ hai.



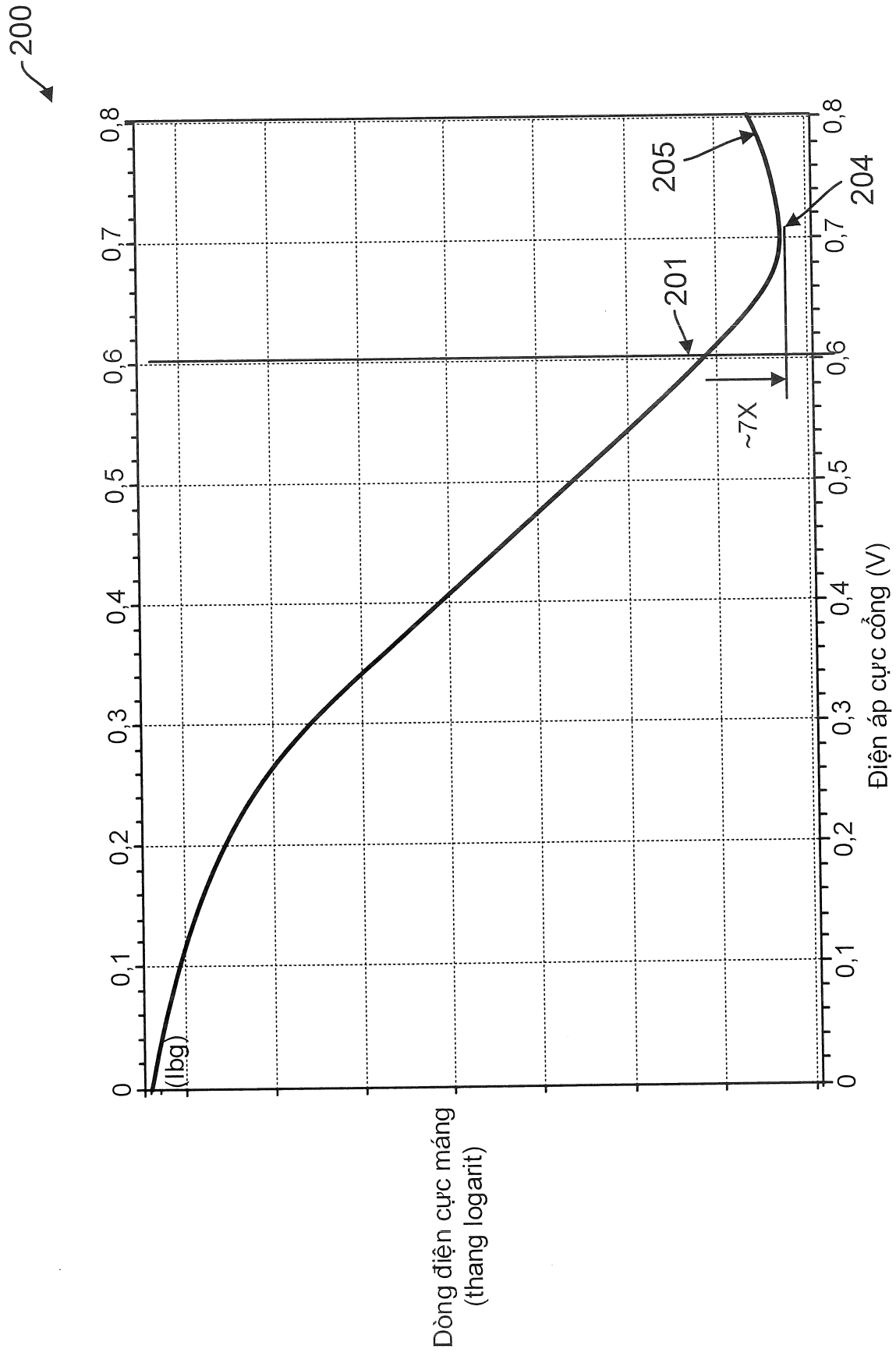


FIG. 2

Dòng điện cực máng
(thang logarit)

Điện áp cực công (V)

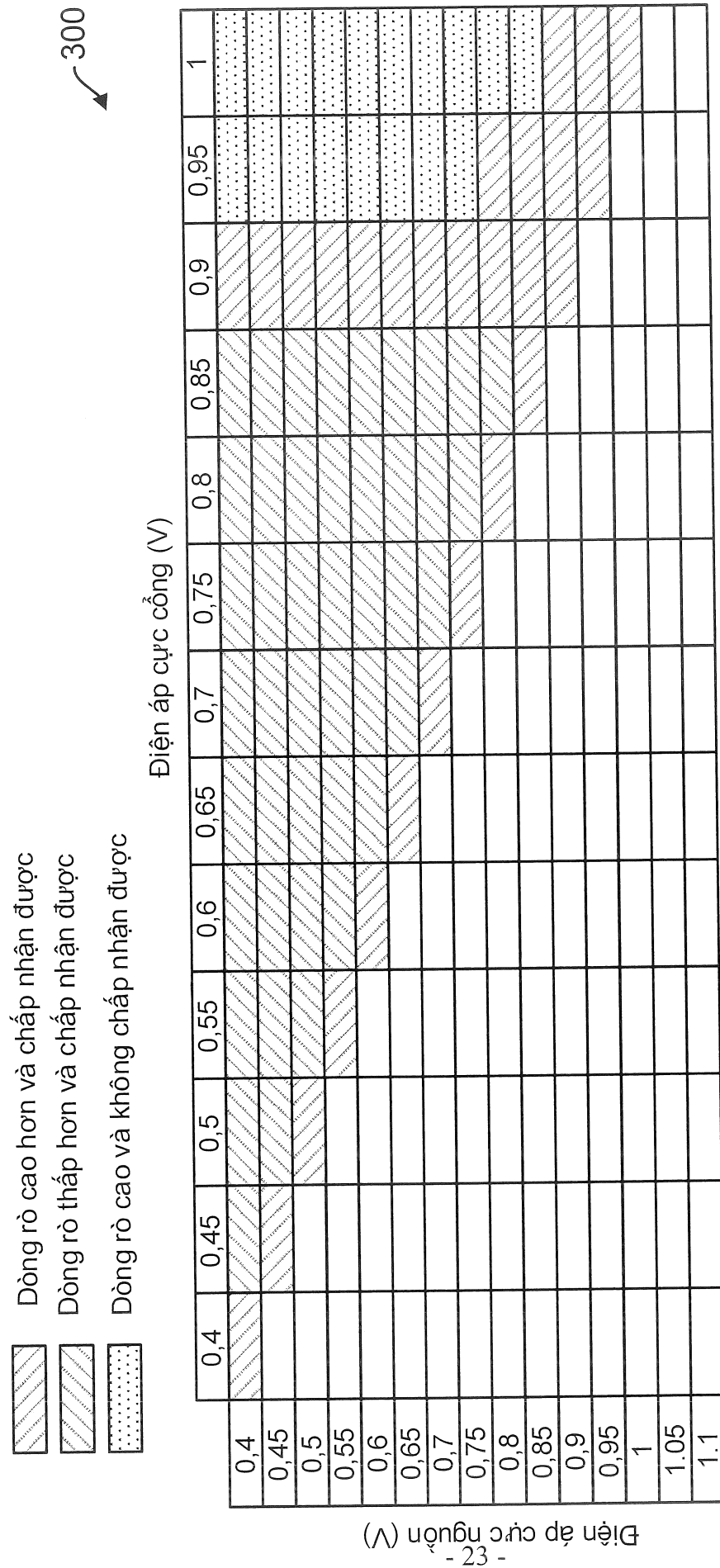


FIG. 3

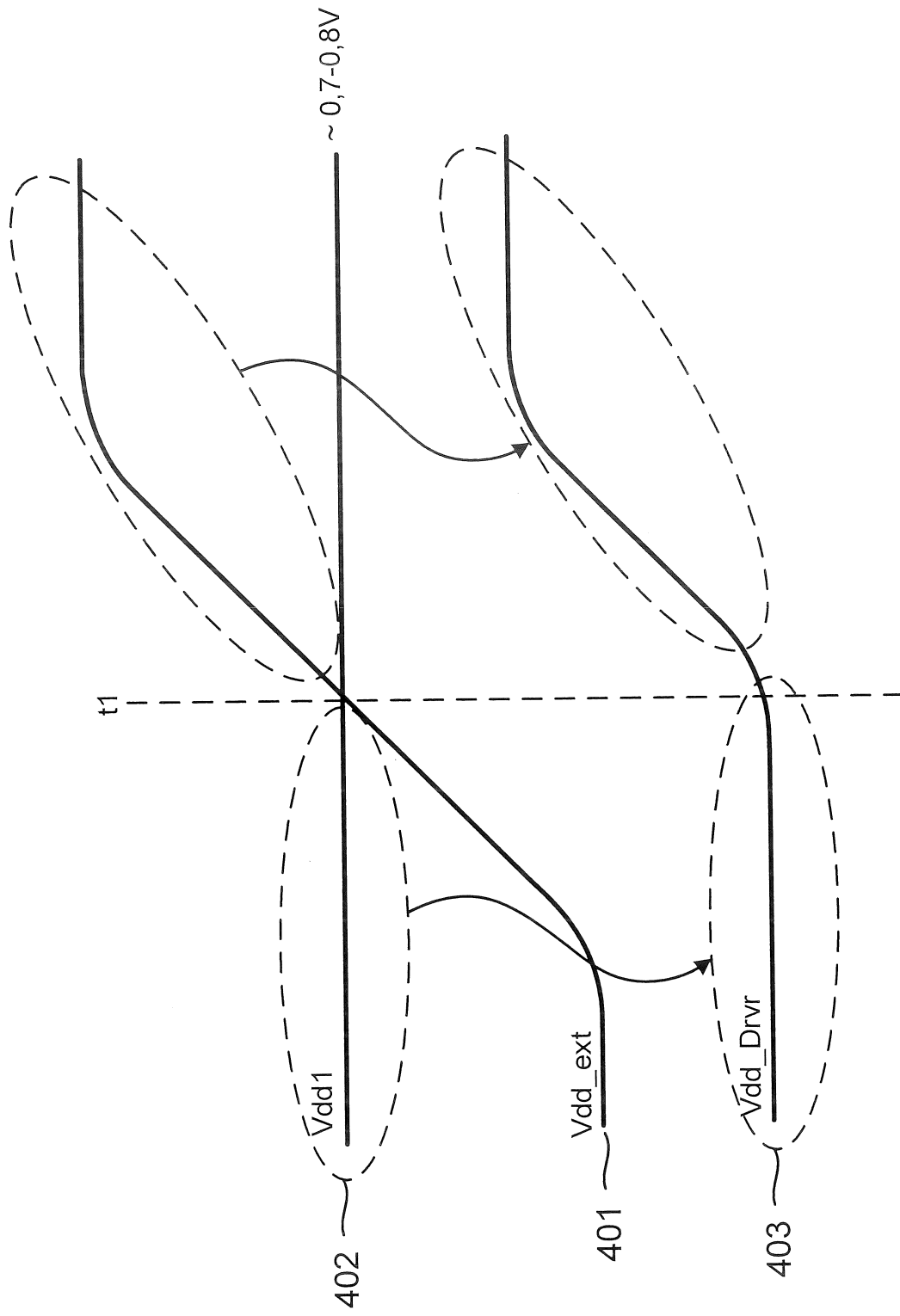


FIG. 4

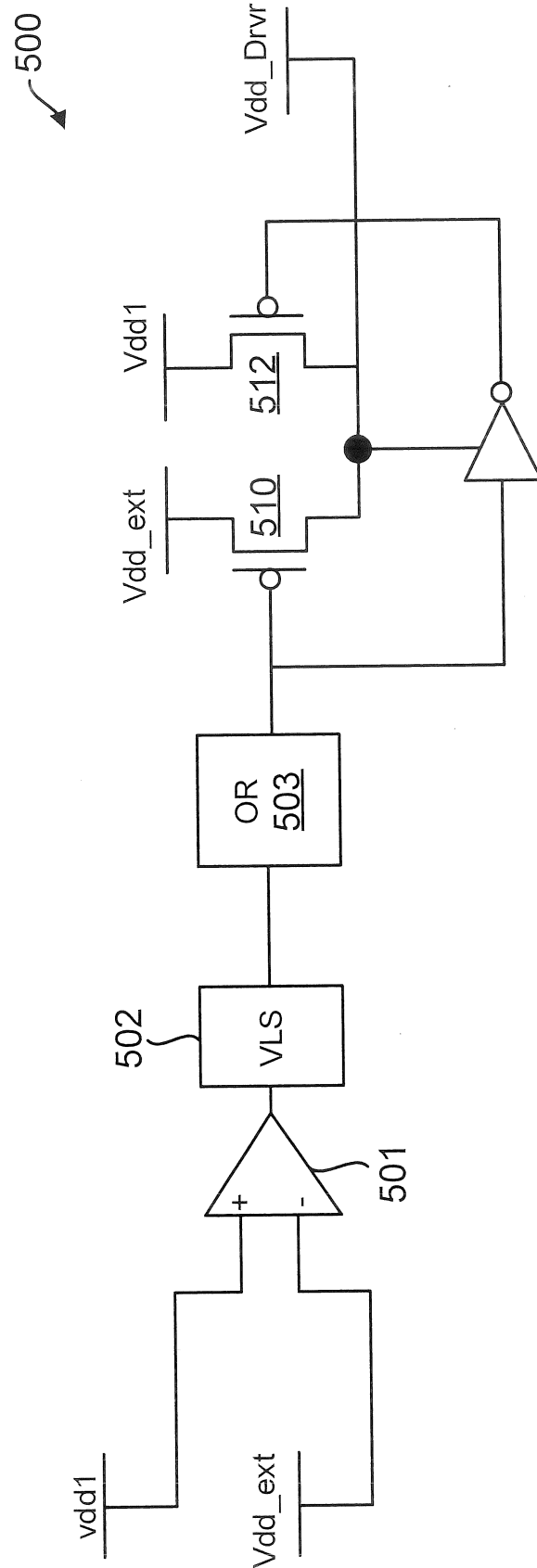


FIG. 5

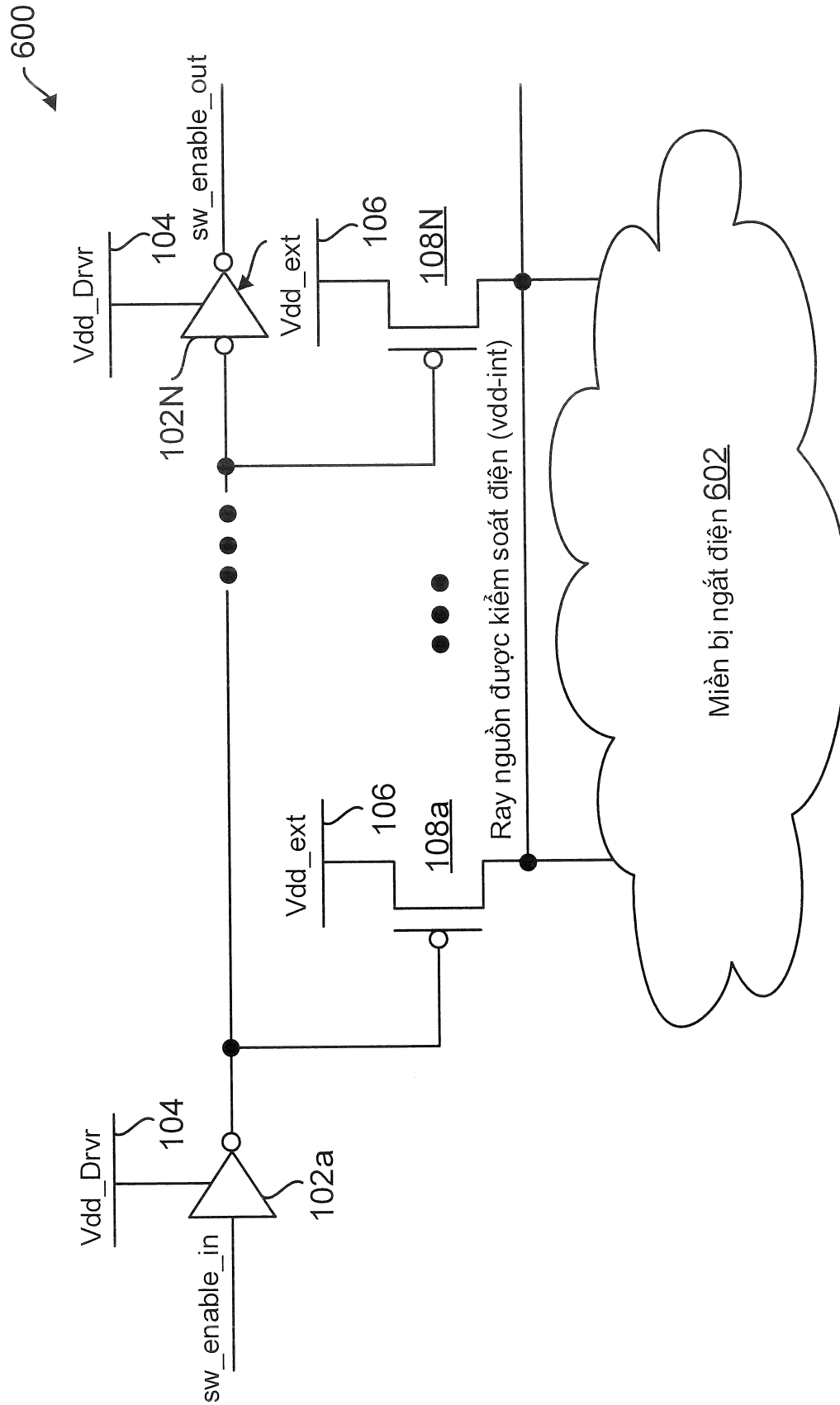


FIG. 6

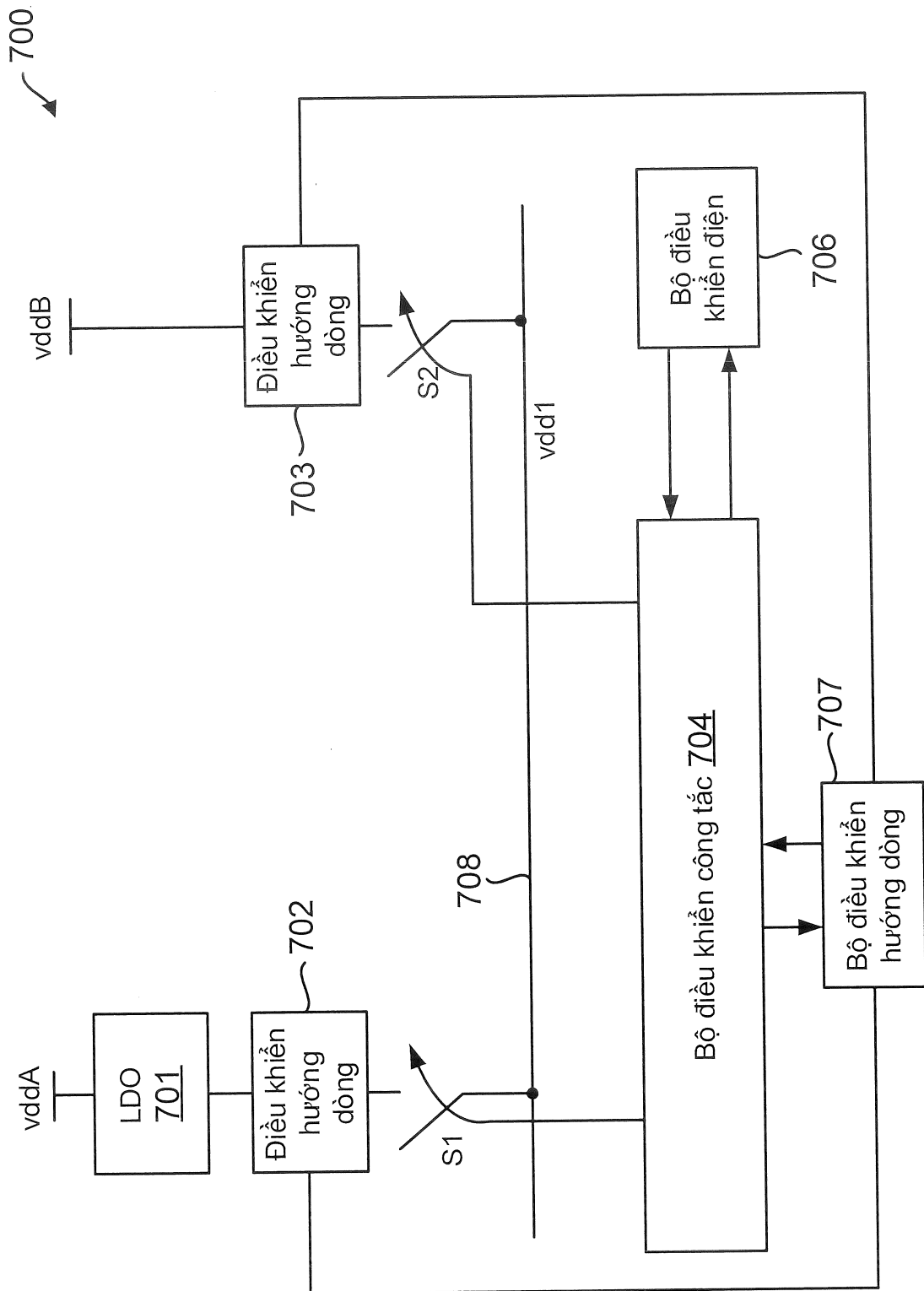


FIG. 7

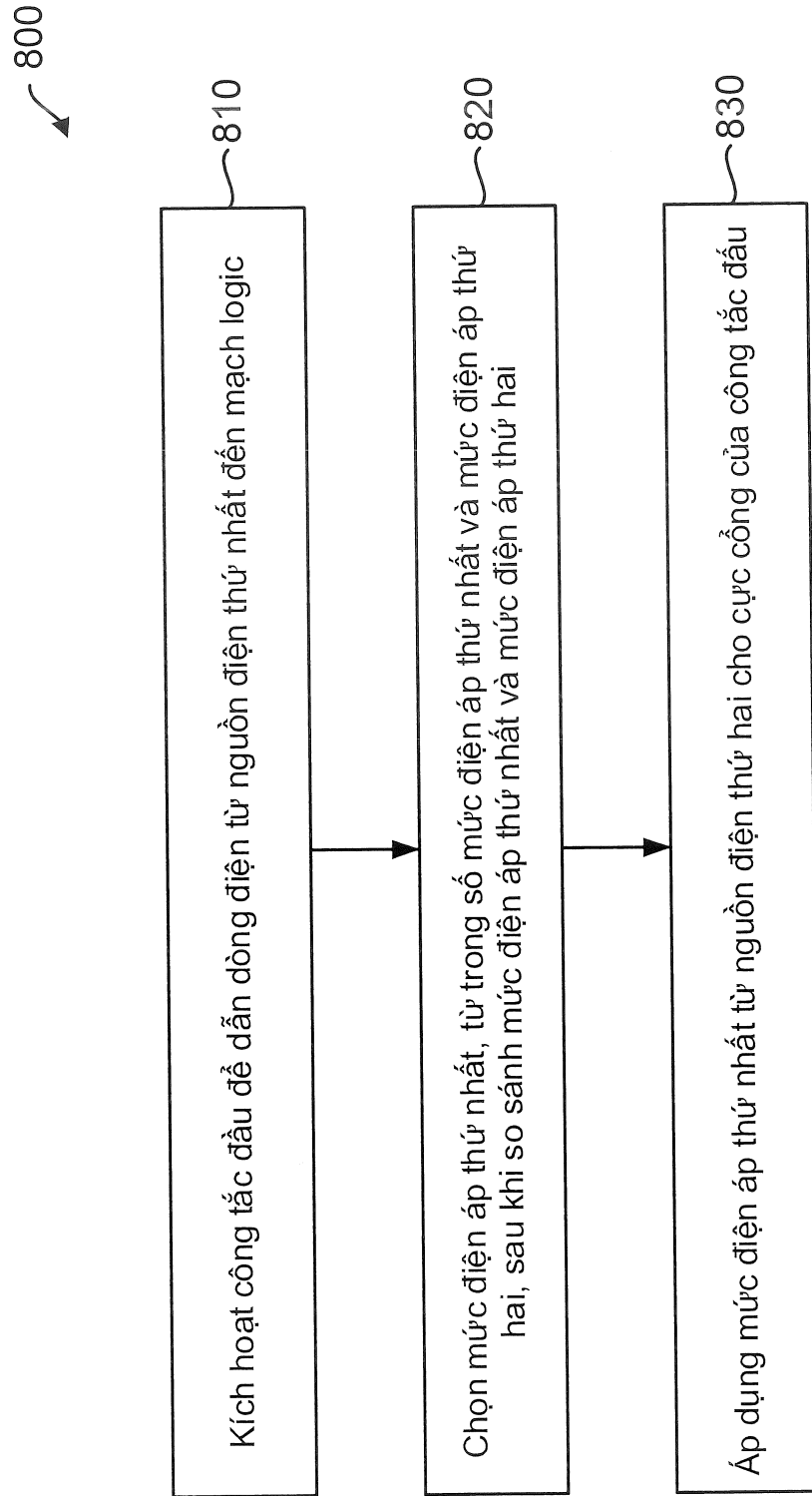


FIG. 8