



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0053907

(51)^{2021.01} G09G 3/00; G02F 1/00

(13) B

(21) 1-2022-06977

(22) 27/10/2022

(30) 10-2021-0186125 23/12/2021 KR

(45) 25/11/2025 452

(43) 26/06/2023 423A

(73) LG Display Co., Ltd. (KR)

LG Twin Towers, 128, Yeouidaero, Yeungdeungpo-gu, Seoul, 07336, Korea

(72) SeRyong Park (KR); MinSik Son (KR).

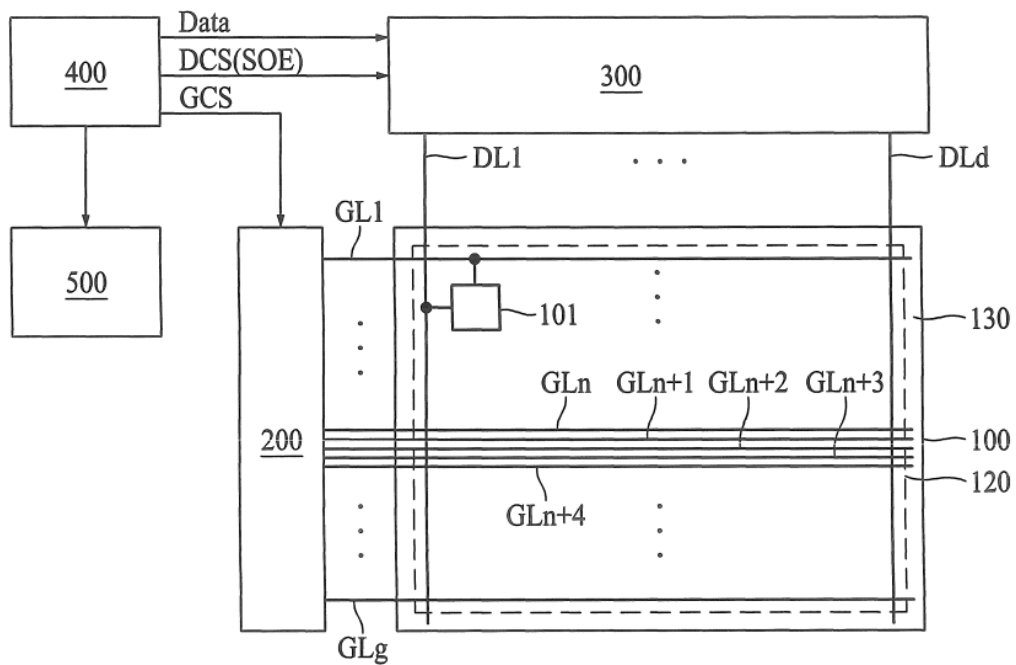
(74) Công ty Luật TNHH T&G (TGVN)

(54) THIẾT BỊ HIỂN THỊ

(21) 1-2022-06977

(57) Thiết bị hiển thị bao gồm tấm nền hiển thị bao gồm đường cổng và đường dữ liệu, bộ điều khiển tạo ra tín hiệu cho phép xuất ra nguồn xác định thời điểm xuất ra của điện thế dữ liệu xuất ra đến đường dữ liệu, và bộ điều vận dữ liệu bao gồm bộ thay đổi tín hiệu, tạo ra tín hiệu cho phép xuất ra nguồn cuối cùng bằng cách sử dụng tín hiệu cho phép xuất ra nguồn, và thay đổi một cách ngẫu nhiên thời điểm xuất ra của điện thế dữ liệu đối với mỗi đường cổng bằng cách sử dụng tín hiệu cho phép xuất ra nguồn cuối cùng.

Fig.1



Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập đến thiết bị hiển thị.

Tình trạng kỹ thuật của sáng chế

Gần đây, các thiết bị hiển thị mà việc tạo xung nhịp phổ phân tán (spread spectrum clock generation - SSCG) được áp dụng đã được đề xuất.

Trong các thiết bị hiển thị mà SSCG được áp dụng vào đó, hiệu ứng làm giảm nhiễu điện từ (electromagnetic interference - EMI) có thể được hiểu rõ dựa trên sự phân tán của chu kỳ dữ liệu số và hiệu ứng phân tán của đầu ra tương tự.

Tuy nhiên, vì các thiết bị hiển thị có độ phân giải cao tăng lên, tốc độ truyền của dữ liệu số đang tăng lên, và do vấn đề này, có hạn chế ở mức của SSCG có thể áp dụng được.

Cụ thể là, ở các thiết bị hiển thị mà SSCG được áp dụng vào đó, bởi vì thời điểm không đổi ở đó các điện thế dữ liệu được xuất ra đến các đường theo phương ngang được cố định, hiệu ứng làm giảm EMI đang giảm xuống.

Bản chất kỹ thuật của sáng chế

Do đó, sáng chế này được hướng tới việc đề xuất thiết bị hiển thị mà gần như ngăn ngừa một hoặc nhiều vấn đề do các sự hạn chế và các nhược điểm của giải pháp kỹ thuật đã biết.

Một khía cạnh của sáng chế này được hướng tới việc đề xuất thiết bị hiển thị mà có thể thay đổi một cách ngẫu nhiên thời điểm xuất ra của điện thế dữ liệu đối với mỗi đường công.

Các ưu điểm và các dấu hiệu bổ sung của sáng chế sẽ được trình bày một phần trong phần mô tả mà sau đây và một phần sẽ trở nên rõ ràng với người có hiểu biết trung bình về lĩnh vực kỹ thuật tương ứng dựa vào việc xem xét sau đây hoặc có thể được nhận ra từ thực tế của sáng chế. Các mục tiêu và các ưu điểm khác của sáng chế có thể hiểu rõ và thu được bởi kết cấu cụ thể chỉ ra trong phần mô tả và các điểm yêu cầu bảo hộ được trình bày ở đây cũng như các hình vẽ kèm theo.

Để đạt được ưu điểm này và ưu điểm khác và theo mục đích của sáng chế, như được biểu hiện và được mô tả rộng trong bản mô tả này, thiết bị hiển thị được đề xuất bao gồm tám bảng hiển thị bao gồm đường công và đường dữ liệu, bộ điều khiển tạo ra tín hiệu cho phép xuất ra nguồn xác định thời điểm xuất ra của điện thế dữ liệu xuất ra đến đường dữ liệu, và bộ điều vận dữ liệu bao gồm bộ thay đổi tín hiệu, tạo ra tín hiệu cho phép xuất ra nguồn cuối cùng bằng cách sử dụng tín hiệu cho phép xuất ra nguồn, và thay đổi một cách ngẫu nhiên thời điểm xuất ra của điện thế dữ liệu đối với mỗi đường công bằng cách sử dụng tín hiệu cho phép xuất ra nguồn cuối cùng.

Cần phải hiểu là cả phần mô tả chung nêu trên và phần mô tả chi tiết sáng chế sau của sáng chế này để làm ví dụ và nhằm giải thích và được dự định để tạo ra phần giải thích hơn nữa về sáng chế như được yêu cầu bảo hộ.

Mô tả vắn tắt các hình vẽ

Các hình vẽ kèm theo, mà được bao gồm để tạo ra sự hiểu hơn nữa về sáng chế và được kết hợp trong và cấu thành một phần của đơn sáng chế này, các phương án minh họa của sáng chế và cùng với phần mô tả đóng vai trò giải thích nguyên lý của sáng chế. Trên các hình vẽ:

Fig.1 là hình vẽ để làm ví dụ minh họa một kết cấu của thiết bị hiển thị theo sáng chế này;

Fig.2 là sơ đồ để làm ví dụ minh họa một kết cấu của điểm ảnh được áp dụng vào thiết bị hiển thị theo sáng chế này;

Fig.3 là sơ đồ để làm ví dụ minh họa một kết cấu của bộ điều khiển được áp dụng vào thiết bị hiển thị theo sáng chế này;

Fig.4 là sơ đồ để làm ví dụ minh họa kết cấu của bộ điều vận công được áp dụng vào thiết bị hiển thị theo sáng chế này;

Fig.5 là sơ đồ để làm ví dụ minh họa một kết cấu của bộ điều vận dữ liệu được áp dụng vào thiết bị hiển thị theo sáng chế này;

Fig.6 là sơ đồ để làm ví dụ thể hiện các dạng sóng của các tín hiệu công và các điện thế dữ liệu được áp dụng vào thiết bị hiển thị theo sáng chế này; và

Fig.7 và Fig.8 là các sơ đồ để làm ví dụ để mô tả các thời điểm xuất ra của các điện thế dữ liệu được xuất ra bởi thiết bị hiển thị theo sáng chế này.

Mô tả chi tiết sáng chế

Các phương án để làm ví dụ của sáng chế này bây giờ sẽ được thể hiện về chi tiết nhằm tham chiếu, các ví dụ của chúng được minh họa trên các hình vẽ kèm theo. Bất kỳ đâu có thể, các số chỉ dẫn giống nhau sẽ được sử dụng suốt các hình vẽ để đề cập đến các phần giống nhau hoặc tương tự.

Các ưu điểm và các dấu hiệu của sáng chế này, và các phương pháp thực hiện của nó sẽ được làm sáng tỏ qua các phương án sau được mô tả có dựa vào các hình vẽ kèm theo. Sáng chế này có thể, tuy nhiên, được áp dụng dưới các dạng khác nhau và không nên được hiểu là bị hạn chế ở các phương án được trình bày trong bản mô tả này. Hơn nữa, các phương án này được đề xuất sao cho sáng chế này sẽ thông suốt và đầy đủ, và sẽ bao phủ một cách đầy đủ phạm vi của sáng chế này với người có hiểu biết trung bình trong lĩnh vực kỹ thuật. Ngoài ra, sáng chế này chỉ được xác định bởi phạm vi của các điểm yêu cầu bảo hộ.

Hình dạng, kích thước, tỷ lệ, góc, và số được thể hiện trên các hình vẽ để mô tả các phương án của sáng chế này chỉ để làm ví dụ, và do đó, sáng chế không chỉ hạn chế ở các chi tiết được minh họa. Các số chỉ dẫn giống nhau đề cập đến các chi tiết giống nhau suốt bản mô tả. Trong phần mô tả sau, khi phần mô tả chi tiết về chức năng hoặc kết cấu đã biết có liên quan được xác định là làm lu mờ một cách không cần thiết điểm quan trọng của sáng chế này, phần mô tả chi tiết đó sẽ được bỏ qua. Khi "bao gồm", "có", và "gồm có" được mô tả trong bản mô tả này được sử dụng, phần khác có thể được bổ sung trừ khi "chỉ" được sử dụng. Các thuật ngữ có dạng số ít có thể bao gồm dạng số nhiều trừ khi được đề cập ngược lại.

Trong việc hiểu một chi tiết, chi tiết này được hiểu là bao gồm khoảng sai số hoặc dung sai mặc dù không có sự mô tả rõ ràng về khoảng sai số hoặc dung sai như vậy.

Trong việc mô tả mối tương quan vị trí, ví dụ, khi mối tương quan vị trí giữa hai phần được mô tả là, ví dụ, "trên", "trên khắp", "dưới", và "bên cạnh", một hoặc nhiều phần khác có thể được bố trí giữa hai phần trừ khi thuật ngữ giới hạn hơn, chẳng hạn như "chỉ" hoặc "(một cách) trực tiếp" được sử dụng.

Trong việc mô tả mối tương quan thời gian, ví dụ, khi thứ tự thời gian được mô tả là, ví dụ, "sau khi", "theo sau", "tiếp theo", và "trước khi", trường hợp mà không liên tục có thể được bao gồm trừ khi thuật ngữ giới hạn hơn, chẳng hạn như "chỉ", "ngay lập tức", hoặc "(một cách) trực tiếp" được sử dụng.

Sẽ được hiểu là, mặc dù các thuật ngữ "thứ nhất", "thứ hai", v.v. có thể được sử dụng trong bản mô tả này để mô tả các chi tiết khác nhau, các chi tiết này không nên bị hạn chế bởi các thuật ngữ này. Các thuật ngữ này chỉ được sử dụng để phân biệt chi tiết này với chi tiết khác. Ví dụ, chi tiết thứ nhất có thể được gọi là chi tiết thứ hai, và, tương tự, chi tiết thứ hai có thể được gọi là chi tiết thứ nhất, mà không lệch khỏi phạm vi của sáng chế này.

Trong việc mô tả các chi tiết của sáng chế này, các thuật ngữ "thứ nhất", "thứ hai", "A", "B", "(a)", "(b)", v.v. có thể được sử dụng. Các thuật ngữ này được dự định để nhận dạng các chi tiết tương ứng so với các chi tiết khác, và cơ sở, thứ tự, hoặc số lượng của các chi tiết tương ứng không nên bị hạn chế bởi các thuật ngữ này. Sự diễn tả là chi tiết "được nối", "được ghép", hoặc "được dính" với chi tiết hoặc lớp khác, chi tiết hoặc lớp này có thể không chỉ một cách trực tiếp được nối hoặc được dính với chi tiết hoặc lớp khác, mà còn một cách gián tiếp được nối hoặc được dính với chi tiết hoặc lớp khác với một hoặc nhiều các chi tiết hoặc các lớp xen giữa "được bố trí", hoặc "được đặt giữa" giữa các chi tiết hoặc các lớp, trừ khi được chỉ ra theo cách khác.

Thuật ngữ "ít nhất một" cần phải được hiểu là bao gồm bất kỳ và toàn bộ tổ hợp của một hoặc nhiều thuật ngữ được liệt kê kết hợp. Ví dụ, ý nghĩa của "ít nhất một trong số thuật ngữ thứ nhất, thuật ngữ thứ hai, và thuật ngữ thứ ba" thể hiện sự kết hợp của toàn bộ thuật ngữ được đề xuất từ hai hoặc hơn hai thuật ngữ thứ nhất, thuật ngữ thứ hai, và thuật ngữ thứ ba cũng như thuật ngữ thứ nhất, thuật ngữ thứ hai, hoặc thuật ngữ thứ ba.

Các dấu hiệu của các phương án khác nhau theo sáng chế này có thể một phần hoặc tổng thể được ghép với hoặc được kết hợp với nhau, và có thể theo nhiều cách được liên vận hành với nhau và được điều vận về mặt kỹ thuật khi người có hiểu biết trung bình về lĩnh vực kỹ thuật có thể đủ hiểu. Các phương án của sáng chế này có thể được thực hiện một cách độc lập với nhau, hoặc có thể được thực hiện cùng nhau trong môi liên hệ đồng phụ thuộc.

Dưới đây, các phương án theo sáng chế này sẽ được mô tả chi tiết có dựa vào các hình vẽ kèm theo.

Fig.1 là sơ đồ để làm ví dụ minh họa một kết cấu của thiết bị hiển thị theo sáng chế này, Fig.2 là sơ đồ để làm ví dụ minh họa kết cấu của điểm ảnh được áp dụng vào thiết bị hiển thị theo sáng chế này, Fig.3 là sơ đồ để làm ví dụ minh họa một kết cấu của bộ điều khiển được áp dụng vào thiết bị hiển thị theo sáng chế này, và Fig.4 là sơ đồ để làm ví dụ minh họa một kết cấu của bộ điều vận công được áp dụng vào thiết bị hiển thị theo sáng chế này.

Thiết bị hiển thị theo sáng chế này có thể cấu thành các thiết bị điện tử khác nhau. Các thiết bị điện tử có thể bao gồm, ví dụ, các điện thoại thông minh, các máy tính cá nhân dạng bảng (PCs), các tivi (TVs), và các màn hình.

Thiết bị hiển thị theo sáng chế này, như được thể hiện trên Fig.1, có thể bao gồm tấm bảng hiển thị 100 mà bao gồm vùng hiển thị 120 hiển thị hình ảnh và vùng không hiển thị 130 được bố trí bên ngoài vùng hiển thị 120, bộ điều vận công 200 mà cấp tín hiệu công đến nhiều đường cổng GL1 đến GLg được bố trí trong vùng hiển thị 120 của tấm bảng hiển thị 100, bộ điều vận dữ liệu 300 mà cấp các điện thế dữ liệu đến nhiều đường dữ liệu DL1 đến DLd được bố trí trong tấm bảng hiển thị 100, bộ điều khiển 400 mà điều khiển việc điều vận của bộ điều vận công 200 và bộ điều vận dữ liệu 300, và nguồn cấp năng lượng 500 mà cấp năng lượng đến bộ điều khiển, bộ điều vận công, bộ điều vận dữ liệu, và tấm bảng hiển thị.

Thứ nhất, tấm bảng hiển thị 100 có thể bao gồm vùng hiển thị 120 và vùng không hiển thị 130. Các đường cổng GL1 đến GLg, các đường dữ liệu DL1 đến DLd, và các điểm ảnh 110 có thể được bố trí trong vùng hiển thị 120. Do đó, vùng hiển thị 120 có thể hiển thị hình ảnh. Trong bản mô tả này, g và d có thể mỗi là số tự nhiên. Vùng không hiển thị 130 có thể bao quanh phần bên ngoài của vùng hiển thị 120.

Điểm ảnh 110 được bao gồm trong tấm bảng hiển thị 100, như được thể hiện trên Fig. 2, có thể bao gồm vùng phát sáng mà bao gồm mạch điều vận điểm ảnh PDC, bao gồm tranzito chuyển mạch Tsw1, tụ điện lưu trữ Cst, tranzito điều vận Tdr, và tranzito cảm biến Tsw2, và thiết bị phát sáng ED.

Thiết bị đầu cuối thứ nhất của tranzito điều vận Tdr có thể được nối với đường cấp điện thế cao PLA qua đó điện thế cao EVDD được cấp, và thiết bị đầu cuối thứ hai của tranzito điều vận Tdr có thể được nối với thiết bị phát sáng ED.

Thiết bị đầu cuối thứ nhất của tranzito chuyển mạch Tsw1 có thể được nối với đường dữ liệu DL, thiết bị đầu cuối thứ hai của tranzito chuyển mạch Tsw1 có thể được nối với cổng của tranzito điều vận Tdr, và cổng của tranzito chuyển mạch Tsw1 có thể được nối với đường cổng GL.

Điện thế dữ liệu Vdata có thể được cấp đến đường dữ liệu DL, và tín hiệu cổng GS có thể được cấp đến đường cổng GL.

Tranzito cảm biến Tsw2 có thể được bố trí để đo điện thế ngưỡng hoặc độ linh động của tranzito điều vận. Thiết bị đầu cuối thứ nhất của tranzito cảm biến Tsw2 có thể được nối với thiết bị đầu cuối thứ hai của tranzito điều vận Tdr và thiết bị phát sáng ED, thiết bị đầu cuối thứ hai của tranzito cảm biến Tsw2 có thể được nối với đường cảm biến SL mà điện thế tham chiếu Vref được cấp qua đó, và cổng của tranzito cảm biến Tsw2 có thể được nối với đường điều khiển cảm nhận mà tín hiệu điều khiển việc cảm nhận được cấp qua đó.

Đường cảm biến SL có thể được nối với bộ điều vận dữ liệu 300 và có thể còn được nối với nguồn cấp năng lượng 500 qua bộ điều vận dữ liệu 300. Nghĩa là, điện thế tham chiếu Vref được cấp từ nguồn cấp năng lượng 500 có thể được cấp đến các điểm ảnh qua đường cảm nhận SL, và các tín hiệu cảm nhận được truyền từ các điểm ảnh có thể được xử lý bởi bộ điều vận dữ liệu 300.

Kết cấu của điểm ảnh 110 được áp dụng vào sáng chế này không bị hạn chế ở kết cấu được minh họa trên Fig.2. Do đó, kết cấu của điểm ảnh 110 có thể được thay đổi thành các hình dạng khác nhau.

Hơn nữa, sáng chế này có thể được áp dụng vào thiết bị hiển thị tinh thể lỏng (LCD) bao gồm tấm bảng hiển thị tinh thể lỏng cũng như thiết bị hiển thị phát sáng bao gồm thiết bị phát sáng được minh họa trên Fig.2. Nghĩa là, sáng chế này có thể được áp dụng với các loại thiết bị hiển thị khác nhau mà hiện đang được sử dụng. Sau đây, tuy nhiên, nhằm thuận tiện mô tả, thiết bị hiển thị phát sáng sẽ được mô tả dưới dạng một ví dụ của sáng chế này.

Bộ điều khiển 400 có thể chỉnh hàng lại dữ liệu video nhập vào được truyền từ hệ thống bên ngoài bằng cách sử dụng tín hiệu đồng bộ hóa thời điểm được truyền từ hệ thống bên ngoài và có thể tạo ra các tín hiệu điều khiển dữ liệu DCS mà cần phải được cấp đến bộ điều vận dữ liệu 300 và các tín hiệu điều khiển công GCS mà cần phải được cấp đến bộ điều vận công 200.

Nhằm mục đích này, như được thể hiện trên Fig.3, bộ điều khiển 400 có thể bao gồm bộ chỉnh hàng dữ liệu 430 mà chỉnh hàng lại dữ liệu video đầu vào để tạo ra dữ liệu hình ảnh Data và cấp dữ liệu hình ảnh Data đến bộ điều vận dữ liệu 300, bộ tạo tín hiệu điều khiển 420 mà tạo ra tín hiệu điều khiển công GCS và tín hiệu điều khiển dữ liệu DCS bằng cách sử dụng tín hiệu đồng bộ hóa thời điểm, bộ phận đầu vào 410 mà nhận tín hiệu đồng bộ hóa thời điểm và dữ liệu video nhập vào được truyền từ hệ thống bên ngoài và một cách lần lượt truyền tín hiệu đồng bộ hóa thời điểm và dữ liệu video nhập vào đến bộ sắp hàng dữ liệu và tín hiệu điều khiển bộ tạo tín hiệu điều khiển 420, và bộ phận xuất ra 440 mà cấp bộ điều vận dữ liệu 300 với dữ liệu hình ảnh Data được tạo ra bởi bộ sắp hàng dữ liệu và tín hiệu điều khiển dữ liệu DCS được tạo ra bởi tín hiệu điều khiển bộ tạo tín hiệu điều khiển 420 và cấp bộ điều vận công 200 với tín hiệu điều khiển công GCS được tạo ra bởi bộ tạo tín hiệu điều khiển 420.

Bộ điều khiển 400 có thể bao gồm bộ phận lưu trữ 450 để lưu trữ thông tin khác nhau.

Các tín hiệu điều khiển dữ liệu DCS được tạo ra bởi bộ tạo tín hiệu điều khiển 420 có thể bao gồm tín hiệu cho phép xuất ra nguồn SOE mà điều khiển thời điểm ở đó các điện thế dữ liệu được xuất ra đến các đường dữ liệu.

Tín hiệu cho phép xuất ra nguồn SOE được tạo ra bởi bộ tạo tín hiệu điều khiển 420 có thể được truyền đến bộ điều vận dữ liệu 300.

Nghĩa là, bộ điều khiển 400 có thể tạo ra tín hiệu cho phép xuất ra nguồn SOE mà xác định thời điểm xuất ra của điện thế dữ liệu Vdata xuất ra đến đường dữ liệu DL, và tín hiệu cho phép xuất ra nguồn SOE được tạo ra có thể được truyền đến bộ điều vận dữ liệu 300.

Hệ thống bên ngoài có thể thực hiện chức năng điều vận bộ điều khiển 400 và thiết bị điện tử. Ví dụ, khi thiết bị điện tử là TV, hệ thống bên ngoài có thể nhận thông tin âm thanh khác nhau, thông tin video, và thông tin thư tín trên khắp mạng truyền

thông và có thể truyền thông tin video được nhận đến bộ điều khiển 400. Trong trường hợp này, thông tin hình ảnh có thể bao gồm dữ liệu video nhập vào.

Nguồn cấp năng lượng 500 có thể tạo ra các năng lượng khác nhau và có thể cấp các năng lượng được tạo ra đến bộ điều khiển 400, bộ điều vận công 200, bộ điều vận dữ liệu 300, và tấm bảng hiển thị 100.

Bộ điều vận công 200 có thể được tạo kết cấu dưới dạng IC và được lắp trong vùng không hiển thị 130. Ngoài ra, bộ điều vận công 200 có thể một cách trực tiếp nhúng trong vùng không hiển thị 130 bằng cách sử dụng loại cổng trong tấm bảng (gate in panel - GIP). Trong trường hợp mà sử dụng dạng GIP, các tranzito cấu thành bộ điều vận công 200 có thể được bố trí trong vùng không hiển thị qua cùng quá trình như các tranzito được bao gồm trong mỗi trong số các điểm ảnh 110.

Bộ điều vận công 200 có thể cấp các xung cổng GP1 đến GPg đến các đường cổng GL1 đến GLg.

Khi xung cổng được tạo ra bởi bộ điều vận công 200 được cấp đến tranzito chuyển mạch Tsw1 được bao gồm trong điểm ảnh 110, tranzito chuyển mạch Tsw1 có thể được bật lên. Khi tranzito chuyển mạch Tsw1 được bật lên, điện thế dữ liệu được cấp qua đường dữ liệu có thể được cấp đến điểm ảnh 110.

Khi tín hiệu tắt cổng được tạo ra bởi bộ điều vận công 200 được cấp đến tranzito chuyển mạch Tsw1, tranzito chuyển mạch Tsw1 có thể được tắt. Khi tranzito chuyển mạch Tsw1 được tắt, điện thế dữ liệu có thể không được cấp đến điểm ảnh 110 nữa.

Tín hiệu cổng GS được cấp đến đường cổng GL có thể bao gồm xung cổng GP và tín hiệu tắt cổng.

Nhằm mục đích này, như được thể hiện trên Fig.4, bộ điều vận công 200 có thể bao gồm nhiều tầng 201.

Mỗi trong số các tầng 201 có thể được nối với ít nhất một đường cổng GL. Mỗi trong số các tầng 201 có thể được điều vận bởi tín hiệu bắt đầu được truyền từ bộ điều khiển 400, hoặc có thể được điều vận bởi tín hiệu bắt đầu được truyền từ tầng trước đó hoặc tầng tiếp theo.

Mỗi trong số các tầng 201 có thể bao gồm ít nhất hai tranzito và có thể được tạo kết cấu dưới các dạng khác nhau.

Cuối cùng là, bộ điều vận dữ liệu 300 có thể được bao gồm trong chip trên màng (chip on film - COF) được gắn trên tấm bảng hiển thị 100, hoặc có thể một cách trực tiếp được trang bị trong tấm bảng hiển thị 100.

Bộ điều vận dữ liệu 300 có thể cấp các điện thế dữ liệu Vdata đến các đường dữ liệu DL1 đến DLd.

Bộ điều vận dữ liệu 300 có thể dịch chuyển xung khởi đầu nguồn được truyền từ bộ điều khiển 400 trên cơ sở của nguồn xung nhịp dịch để tạo ra tín hiệu lấy mẫu. Ngoài ra, bộ điều vận dữ liệu 300 có thể khóa các mẫu dữ liệu hình ảnh trên cơ sở tín hiệu lấy mẫu, chuyển đổi các mẫu dữ liệu hình ảnh được chốt thành các điện thế dữ liệu, và cấp các đường dữ liệu DL1 đến DLd với các điện thế dữ liệu tương ứng với đường cổng trên cơ sở của tín hiệu cho phép xuất ra nguồn cuối cùng.

Cụ thể, bộ điều vận dữ liệu 300 có thể thực hiện chức năng thay đổi một cách ngẫu nhiên thời điểm xuất ra của điện thế dữ liệu Vdata đối với mỗi đường cổng bằng cách sử dụng tín hiệu cho phép xuất ra nguồn SOE được truyền từ bộ điều khiển 400.

Sau đây, kết cấu và chức năng của bộ điều vận dữ liệu 300 sẽ được mô tả với việc tham khảo đến các hình vẽ từ Fig.1 đến Fig.8.

Fig.5 là sơ đồ để làm ví dụ minh họa kết cấu của bộ điều vận dữ liệu được áp dụng vào thiết bị hiển thị theo sáng chế này.

Như được mô tả ở trên, bộ điều vận dữ liệu 300 có thể khóa các mẫu dữ liệu hình ảnh được truyền từ bộ điều khiển 400 trên cơ sở tín hiệu lấy mẫu, chuyển đổi các mẫu dữ liệu hình ảnh được chốt thành các điện thế dữ liệu, và cấp các đường dữ liệu DL1 đến DLd với các điện thế dữ liệu tương ứng với đường cổng trên cơ sở của tín hiệu cho phép xuất ra nguồn cuối cùng.

Cụ thể, bộ điều vận dữ liệu 300 được áp dụng vào sáng chế này có thể thực hiện chức năng thay đổi một cách ngẫu nhiên thời điểm xuất ra của điện thế dữ liệu Vdata đối với mỗi đường cổng bằng cách sử dụng tín hiệu cho phép xuất ra nguồn SOE được truyền từ bộ điều khiển 400.

Tín hiệu cho phép xuất ra nguồn SOE có thể có ít nhất bốn bit. Mỗi trong số bốn bit này có thể có trị số bằng 0 hoặc 1.

Nghĩa là, bộ điều vận dữ liệu 300 có thể xác định thời điểm xuất ra của mỗi trong số các điện thế dữ liệu trên cơ sở của tín hiệu cho phép xuất ra nguồn SOE bao gồm bốn bit.

Tuy nhiên, bộ điều vận dữ liệu 300 có thể không một cách nguyên vẹn sử dụng tín hiệu cho phép xuất ra nguồn SOE. Nghĩa là, bộ điều vận dữ liệu 300 có thể tạo ra tín hiệu cho phép xuất ra nguồn SOEF cuối cùng bằng cách sử dụng tín hiệu cho phép xuất ra nguồn SOE và có thể thay đổi một cách ngẫu nhiên thời điểm xuất ra của điện thế dữ liệu Vdata đối với mỗi đường công bằng cách sử dụng tín hiệu cho phép xuất ra nguồn SOEF cuối cùng.

Trong trường hợp này, bộ điều vận dữ liệu 300 có thể thay đổi ít nhất hai trong số ít nhất bốn bit để tạo ra tín hiệu cuối cùng cho phép xuất ra nguồn SOEF và có thể thay đổi một cách ngẫu nhiên thời điểm xuất ra của điện thế dữ liệu đối với mỗi đường công bằng cách sử dụng tín hiệu cho phép xuất ra nguồn SOEF cuối cùng.

Các thời điểm ở đó các điện thế dữ liệu Vdata được xuất ra đến đường dữ liệu DL có thể thay đổi liên quan đến các thời điểm sụt của các xung công GP1 đến GPg xuất ra đến các đường công GL1 đến GLg.

Nhằm mục đích này, như được thể hiện trên Fig.5, bộ điều vận dữ liệu 300 có thể bao gồm thanh ghi dịch 310 mà xuất ra tín hiệu lấy mẫu, bộ phận khóa 320 mà chốt dữ liệu hình ảnh Data được nhận từ bộ điều khiển 400, bộ chuyển đổi số sang tương tự (digital-to-analog converter - DAC) 330 mà chuyển đổi dữ liệu hình ảnh Data, được truyền từ bộ phận khóa 310, thành điện thế dữ liệu Vdata và xuất ra điện thế dữ liệu Vdata, bộ đệm xuất ra 340 mà xuất ra điện thế dữ liệu, được truyền từ DAC 330, đến đường dữ liệu DL trên cơ sở tín hiệu cho phép xuất ra nguồn SOEF cuối cùng, và bộ thay đổi tín hiệu mà tạo ra tín hiệu cho phép xuất ra nguồn SOEF cuối cùng bằng cách sử dụng tín hiệu cho phép xuất ra nguồn SOE và thay đổi một cách ngẫu nhiên thời điểm xuất ra của điện thế dữ liệu đối với mỗi đường công bằng cách sử dụng tín hiệu cho phép xuất ra nguồn SOEF cuối cùng.

Thứ nhất, thanh ghi dịch 310 có thể xuất ra tín hiệu lấy mẫu bằng cách sử dụng các tín hiệu điều khiển dữ liệu DCS được nhận từ bộ điều khiển 400.

Bộ phận khóa 320 có thể chốt các mẫu của dữ liệu hình ảnh Data một cách liên tiếp được nhận từ bộ điều khiển 400 và có thể một cách đồng thời xuất ra các mẫu của dữ liệu hình ảnh Data đến DAC 330.

DAC 330 có thể một cách đồng thời chuyển đổi các mẫu dữ liệu hình ảnh Data, được truyền từ bộ phận khóa 320, thành các điện thế dữ liệu Vdata1 đến Vdatad và có thể xuất ra các điện thế dữ liệu Vdata1 đến Vdatad.

Bộ đệm xuất ra 340 có thể một cách đồng thời xuất ra các điện thế dữ liệu Vdata1 đến Vdatad, được truyền từ DAC 330, đến các đường dữ liệu DL1 đến DLd của tấm bảng hiển thị trên cơ sở tín hiệu cho phép xuất ra nguồn SOEF cuối cùng được truyền từ bộ thay đổi tín hiệu 350.

Nhằm mục đích này, bộ đệm xuất ra 340 có thể bao gồm bộ đệm 341 mà lưu trữ điện thế dữ liệu Vdata được truyền từ DAC 330 và bộ chuyển mạch 342 mà truyền điện thế dữ liệu Vdata, được lưu trữ trong bộ đệm 341, đến đường dữ liệu DL.

Nghĩa là, bộ đệm xuất ra 340 có thể bao gồm các bộ chuyển mạch 342 và các bộ đệm 341 tương ứng với các đường dữ liệu DL1 đến DLd.

Để tạo ra phần mô tả bổ sung, khi các bộ chuyển mạch 342 được bật lên dựa trên tín hiệu cho phép xuất ra nguồn SOEF cuối cùng một cách đồng thời được cấp đến các bộ chuyển mạch 342, các điện thế dữ liệu Vdata được lưu trữ trong các bộ đệm 341 có thể được cấp đến các đường dữ liệu DL1 đến DLd qua các bộ chuyển mạch 342.

Các điện thế dữ liệu Vdata1 đến Vdatad được cấp đến các đường dữ liệu DL1 đến DLd có thể được cấp đến các điểm ảnh được nối với đường công GL mà xung công GP được cấp đến đó.

Do đó, thời điểm ở đó các điện thế dữ liệu Vdata1 đến Vdatad được xuất ra đến các đường dữ liệu DL1 đến DLd có thể được xác định dựa trên tín hiệu cho phép xuất ra nguồn SOEF cuối cùng.

Cuối cùng, bộ thay đổi tín hiệu 350 có thể tạo ra tín hiệu cho phép xuất ra nguồn SOEF cuối cùng bằng cách sử dụng tín hiệu cho phép xuất ra nguồn SOE và có thể thay đổi một cách ngẫu nhiên thời điểm xuất ra của điện thế dữ liệu Vdata đối với mỗi đường công bằng cách sử dụng tín hiệu cho phép xuất ra nguồn SOEF cuối cùng.

Nhằm mục đích này, bộ thay đổi tín hiệu 350 có thể bao gồm bộ tạo bit ngẫu nhiên 351 mà tạo ra ít nhất hai bit ngẫu nhiên và bộ trộn bit 352 mà thay thế ít nhất hai trong số ít nhất bốn bit của tín hiệu cho phép xuất ra nguồn SOE với ít nhất hai bit ngẫu nhiên để tạo ra tín hiệu cho phép xuất ra nguồn SOEF cuối cùng.

Nghĩa là, tín hiệu cho phép xuất ra nguồn SOE mà được tạo ra bởi bộ điều khiển 400 và được cấp đến bộ điều vận dữ liệu 300 có thể bao gồm ít nhất bốn bit, và bộ thay đổi tín hiệu 350 có thể thay đổi ít nhất hai trong số ít nhất bốn bit để tạo ra tín hiệu cho phép xuất ra nguồn SOEF cuối cùng.

Nhằm mục đích này, bộ tạo bit ngẫu nhiên 351 có thể tạo ra ít nhất hai bit ngẫu nhiên.

Ví dụ, khi tín hiệu cho phép xuất ra nguồn SOEF cuối cùng gồm có tám bit và mỗi trong số tám bit có trị số bằng 0 hoặc 1, bộ tạo bit ngẫu nhiên 351 có thể tạo ra hai bit ngẫu nhiên. Mỗi trong số hai bit này có thể có trị số bằng 0 hoặc 1.

Trong trường hợp này, dựa trên hai bit ngẫu nhiên, số lượng của các trường hợp xảy ra trong bộ trộn bit 352 có thể là bốn. Do đó, các thời điểm ở đó các điện thế dữ liệu được xuất ra đến đường dữ liệu DL có thể được chia thành bốn thời điểm.

Ví dụ, khi tín hiệu cho phép xuất ra nguồn SOE bao gồm tám bit có trị số [10111010], hai bit cuối cùng trong số tám bit có thể được thay đổi thành một trong số bốn trị số (nghĩa là, [00, 01, 10, 11]) được tạo ra bởi hai bit ngẫu nhiên.

Do đó, tín hiệu cho phép xuất ra nguồn SOEF cuối cùng cuối cùng là được tạo ra bởi bộ trộn bit 352 có thể là một trong số các trị số [10111000], [10111001], [10111010], và [10111011].

Nghĩa là, bộ thay đổi tín hiệu 350 có thể tạo ra một trong số bốn tín hiệu cho phép xuất ra nguồn SOEF cuối cùng bằng cách sử dụng tín hiệu cho phép xuất ra nguồn SOE được truyền từ bộ điều khiển 400.

Trong trường hợp này, bộ tạo bit ngẫu nhiên 351 có thể một cách ngẫu nhiên tạo ra hai bit ngẫu nhiên, và do đó, bộ trộn bit 352 có thể còn một cách ngẫu nhiên tạo ra tín hiệu cho phép xuất ra nguồn SOEF cuối cùng.

Do đó, các thời điểm ở đó các điện thế dữ liệu được xuất ra đến đường dữ liệu DL có thể được chia thành bốn thời điểm.

Tuy nhiên, như được mô tả ở trên, tín hiệu cho phép xuất ra nguồn SOE có thể bao gồm ít nhất bốn bit, và bộ tạo bit ngẫu nhiên 351 có thể tạo ra ít nhất hai bit ngẫu nhiên.

Do đó, khi số lượng các bit ngẫu nhiên được tạo ra bởi bộ tạo bit ngẫu nhiên 351 tăng lên, các thời điểm ở đó các điện thế dữ liệu được xuất ra đến đường dữ liệu DL có thể còn được chia theo nhiều cách.

Ví dụ, khi số lượng bit ngẫu nhiên là ba, số lượng của các tổ hợp có khả năng được tạo ra bởi ba bit ngẫu nhiên có thể là tám (ví dụ, [000], [001], [010], [011], [100], [101], [110], và [111]). Do đó, khi số lượng của các bit ngẫu nhiên là ba, các thời điểm ở đó các điện thế dữ liệu được xuất ra có thể được chia thành tám thời điểm.

Để tạo ra phần mô tả bổ sung, bộ chuyển mạch 342 cấu thành bộ đệm xuất ra 340 có thể được bật lên dựa trên tín hiệu cho phép xuất ra nguồn SOEF cuối cùng và có thể xuất ra điện thế dữ liệu đến đường dữ liệu.

Trong trường hợp này, thời điểm ở đó bộ chuyển mạch 342 được bật lên có thể được xác định bởi các trị số của các bit của tín hiệu cho phép xuất ra nguồn SOEF cuối cùng.

Do đó, khi số lượng các trường hợp của tín hiệu cho phép xuất ra nguồn SOEF cuối cùng là bốn, các thời điểm ở đó các điện thế dữ liệu được xuất ra đến đường dữ liệu DL có thể được chia thành bốn thời điểm.

Trong trường hợp này, các thời điểm ở đó các điện thế dữ liệu được xuất ra đến đường dữ liệu có thể thay đổi liên quan đến các thời điểm sụt của các xung công suất ra đến các đường công.

Sau đây, ví dụ chi tiết của nó sẽ được mô tả với việc tham khảo đến các hình vẽ từ Fig.6 đến Fig.8.

Fig.6 là sơ đồ để làm ví dụ thể hiện các dạng sóng của các tín hiệu công và các điện thế dữ liệu được áp dụng vào thiết bị hiển thị theo sáng chế này.

Sau đây, thiết bị hiển thị trong đó tín hiệu cho phép xuất ra nguồn SOE có tám bit và bộ tạo bit ngẫu nhiên 351 tạo ra hai bit ngẫu nhiên sẽ được mô tả dưới dạng một ví dụ của sáng chế này.

Nghĩa là, như được mô tả ở trên, khi tín hiệu cho phép xuất ra nguồn SOE mà được tạo ra bởi bộ điều khiển 400 và được cấp đến bộ điều vận dữ liệu 300 gồm có

tám bit và hai bit ngẫu nhiên được tạo ra bởi bộ tạo bit ngẫu nhiên 351, số lượng tín hiệu cho phép xuất ra nguồn SOEF cuối cùng có khả năng được tạo ra bằng cách sử dụng một tín hiệu cho phép xuất ra nguồn SOE có thể là bốn.

Trong trường hợp này, như được thể hiện trên Fig.6, khoảng giữa tín hiệu cho phép xuất ra nguồn SOEF cuối cùng và thời điểm sụt của mỗi trong số các xung cổng xuất ra đến các đường cổng có thể được điều khiển dựa trên hai bit ngẫu nhiên.

Ví dụ, như được thể hiện trên Fig.1 và Fig.6, năm xung cổng GPn đến GPn+4 xuất ra đến năm đường cổng liên tục GLn đến GLn+4 có thể có cùng độ rộng xung và có thể có cùng khoảng. Nghĩa là, thời điểm ở đó các xung cổng GPn đến GPn+4 tăng và thời điểm ở đó các xung cổng GPn đến GPn+4 sụt có thể được lặp lại ở cùng khoảng.

Trong trường hợp này, điện thế dữ liệu Vdata mà được cấp qua đường dữ liệu ở thời điểm ở đó xung cổng GP sụt có thể cuối cùng là được nạp vào trong điểm ảnh 110, và ánh sáng tương ứng với điện thế được nạp có thể được phát ra từ điểm ảnh 110.

Do đó, khi điện thế dữ liệu Vdata chùng lên ở thời điểm ở đó xung cổng GP sụt, điện thế dữ liệu được chùng Vdata có thể được cấp đến điểm ảnh.

Trong trường hợp này, như được thể hiện trên Fig.6, khoảng giữa tín hiệu cho phép xuất ra nguồn cuối cùng SOEF và thời điểm sụt của mỗi trong số các xung cổng GPn đến GPn+4 có thể được điều khiển dựa trên hai bit ngẫu nhiên, và do đó, các thời điểm ở đó các điện thế dữ liệu được xuất ra đến đường dữ liệu có thể thay đổi liên quan đến các thời điểm sụt của các xung cổng.

Cụ thể, theo phương án này, bốn tín hiệu cho phép xuất ra nguồn cuối cùng SOEF có thể được xuất ra dựa trên hai bit ngẫu nhiên, và do đó, các thời điểm ở đó các điện thế dữ liệu được xuất ra có thể được chia thành bốn thời điểm.

Ví dụ, các điện thế dữ liệu thứ n mà được xuất ra đến các đường dữ liệu ở thời điểm ở đó xung cổng thứ n GPn được xuất ra đến đường cổng thứ n GLn có thể được xuất ra dựa trên tín hiệu cho phép xuất ra nguồn cuối cùng thứ n SOEFn. Tín hiệu cho phép xuất ra nguồn cuối cùng SOEF bao gồm tín hiệu cho phép xuất ra nguồn cuối cùng thứ n SOEFn có thể có trị số bằng số, nhưng để thuận tiện cho phần mô tả, dạng sóng của tín hiệu cho phép xuất ra nguồn cuối cùng SOEF được thể hiện trên Fig.6.

Trong trường hợp này, tín hiệu cho phép xuất ra nguồn cuối cùng thứ n $SOEF_n$ có thể bao gồm các bit ngẫu nhiên [00].

Nghĩa là, các điện thế dữ liệu thứ n có thể được xuất ra đến các điểm ảnh được nối với đường công thứ n GL_n trên cơ sở của tín hiệu cho phép xuất ra nguồn cuối cùng thứ n $SOEF_n$ bao gồm các bit ngẫu nhiên [00].

Trong trường hợp này, như được thể hiện trên Fig.6, khoảng giữa thời điểm ở đó xung công thứ n GP_n sụt và thời điểm ở đó các điện thế dữ liệu thứ n được xuất ra đến các đường dữ liệu có thể là khoảng A.

Hơn nữa, các điện thế dữ liệu thứ $n+1$ mà được xuất ra đến các đường dữ liệu ở thời điểm ở đó xung công thứ $n+1$ GP_{n+1} được xuất ra đến đường công thứ $n+1$ GL_{n+1} có thể được xuất ra dựa trên tín hiệu cho phép xuất ra nguồn cuối cùng thứ $n+1$ $SOEF_{n+1}$. Trong trường hợp này, tín hiệu cho phép xuất ra nguồn cuối cùng thứ $n+1$ $SOEF_{n+1}$ có thể bao gồm các bit ngẫu nhiên [01].

Nghĩa là, các điện thế dữ liệu thứ $n+1$ có thể được xuất ra đến các điểm ảnh được nối với đường công thứ $n+1$ GL_{n+1} trên cơ sở của tín hiệu cho phép xuất ra nguồn cuối cùng thứ $n+1$ $SOEF_{n+1}$ bao gồm các bit ngẫu nhiên [01].

Trong trường hợp này, như được thể hiện trên Fig.6, khoảng giữa thời điểm ở đó xung công thứ $n+1$ GP_{n+1} sụt và thời điểm ở đó các điện thế dữ liệu thứ $n+1$ được xuất ra đến các đường dữ liệu có thể là khoảng B.

Hơn nữa, các điện thế dữ liệu thứ $n+2$ mà được xuất ra đến các đường dữ liệu ở thời điểm ở đó xung công thứ $n+2$ GP_{n+2} được xuất ra đến đường công thứ $n+2$ GL_{n+2} có thể được xuất ra dựa trên tín hiệu cho phép xuất ra nguồn cuối cùng thứ $n+2$ $SOEF_{n+2}$. Trong trường hợp này, tín hiệu cho phép xuất ra nguồn cuối cùng thứ $n+2$ $SOEF_{n+2}$ có thể bao gồm các bit ngẫu nhiên [10].

Nghĩa là, các điện thế dữ liệu thứ $n+2$ có thể được xuất ra đến các điểm ảnh được nối với đường công thứ $n+2$ GL_{n+2} trên cơ sở của tín hiệu cho phép xuất ra nguồn cuối cùng thứ $n+2$ $SOEF_{n+2}$ bao gồm các bit ngẫu nhiên [10].

Trong trường hợp này, như được thể hiện trên Fig.6, khoảng giữa thời điểm ở đó xung công thứ $n+2$ GP_{n+2} sụt và thời điểm ở đó các điện thế dữ liệu thứ $n+2$ được xuất ra đến các đường dữ liệu có thể là khoảng C.

Hơn nữa, các điện thế dữ liệu thứ $n+3$ mà được xuất ra đến các đường dữ liệu ở thời điểm ở đó xung công thứ $n+3$ GP $n+3$ được xuất ra đến đường công thứ $n+3$ GL $n+3$ có thể được xuất ra dựa trên tín hiệu cho phép xuất ra nguồn cuối cùng thứ $n+3$ SOEF $n+3$. Trong trường hợp này, tín hiệu cho phép xuất ra nguồn cuối cùng thứ $n+3$ SOEF $n+3$ có thể bao gồm các bit ngẫu nhiên [11].

Nghĩa là, các điện thế dữ liệu thứ $n+3$ có thể được xuất ra đến các điểm ảnh được nối với đường công thứ $n+3$ GL $n+3$ trên cơ sở của tín hiệu cho phép xuất ra nguồn cuối cùng thứ $n+3$ SOEF $n+3$ bao gồm các bit ngẫu nhiên [11].

Trong trường hợp này, như được thể hiện trên Fig.6, khoảng giữa thời điểm ở đó xung công thứ $n+3$ GP $n+3$ sụt và thời điểm ở đó các điện thế dữ liệu thứ $n+3$ được xuất ra đến các đường dữ liệu có thể là khoảng D.

Trong trường hợp này, khoảng A, khoảng B, khoảng C, và khoảng D có thể khác nhau. Do đó, các điện thế dữ liệu xuất ra qua một đường dữ liệu DL có thể được xuất ra ở các thời điểm khác nhau đối với mỗi đường công.

Tuy nhiên, ít nhất hai trong số khoảng A, khoảng B, khoảng C, và khoảng D có thể giống nhau, và khoảng A, khoảng B, khoảng C, và khoảng D có thể không được lặp lại.

Nghĩa là, theo sáng chế này, hai bit ngẫu nhiên có thể một cách ngẫu nhiên được lựa chọn bởi bộ tạo bit ngẫu nhiên 351. Do đó, các bit ngẫu nhiên [00], các bit ngẫu nhiên [01], các bit ngẫu nhiên [10], và các bit ngẫu nhiên [11] có thể không một cách liên tiếp được lựa chọn, và thứ tự trong đó các bit ngẫu nhiên [00], các bit ngẫu nhiên [01], các bit ngẫu nhiên [10], và các bit ngẫu nhiên [11] được lựa chọn có thể không được cố định.

Ví dụ, theo phương án được mô tả ở trên, các tín hiệu cho phép xuất ra nguồn cuối cùng SOEF n , SOEF $n+1$, SOEF $n+2$, và SOEF $n+3$ có thể được tạo ra bằng cách lựa chọn một cách liên tiếp các bit ngẫu nhiên [00], các bit ngẫu nhiên [01], các bit ngẫu nhiên [10], và các bit ngẫu nhiên [11], hoặc các tín hiệu cho phép xuất ra nguồn cuối cùng SOEF n , SOEF $n+1$, SOEF $n+2$, và SOEF $n+3$ có thể được tạo ra theo thứ tự của các bit ngẫu nhiên [00], các bit ngẫu nhiên [01], các bit ngẫu nhiên [10], và các bit ngẫu nhiên [11].

Hơn nữa, các tín hiệu cho phép xuất ra nguồn cuối cùng $SOEF_n$ và $SOEF_{n+1}$ bao gồm các bit ngẫu nhiên [00] và các bit ngẫu nhiên [11] có thể được tạo ra, và sau đó, các tín hiệu cho phép xuất ra nguồn cuối cùng $SOEF_{n+2}$ và $SOEF_{n+3}$ bao gồm các bit ngẫu nhiên [01] và các bit ngẫu nhiên [10] có thể được tạo ra.

Để tạo ra phần mô tả bổ sung, các điện thế dữ liệu thứ $n+4$ $n+4$ mà được xuất ra đến các đường dữ liệu ở thời điểm ở đó xung công thứ $n+4$ G_{Pn+4} được xuất ra đến đường công thứ $n+4$ G_{Ln+4} có thể được xuất ra dựa trên tín hiệu cho phép xuất ra nguồn cuối cùng thứ $n+4$ $SOEF_{n+4}$. Trong trường hợp này, tín hiệu cho phép xuất ra nguồn cuối cùng thứ $n+4$ $SOEF_{n+4}$ có thể bao gồm một trong số các bit ngẫu nhiên [00], các bit ngẫu nhiên [01], các bit ngẫu nhiên [10], và các bit ngẫu nhiên [11].

Ví dụ, trên Fig.6, một ví dụ trong đó tín hiệu cho phép xuất ra nguồn cuối cùng thứ $n+4$ $SOEF_{n+4}$ được đưa ra dựa trên các bit ngẫu nhiên [01] được minh họa. Do đó, như được thể hiện trên Fig.6, khoảng giữa thời điểm ở đó tín hiệu cho phép xuất ra nguồn cuối cùng thứ $n+4$ $SOEF_{n+4}$ sứt và thời điểm ở đó các điện thế dữ liệu thứ $n+4$ $n+4$ được xuất ra đến các đường dữ liệu có thể là khoảng B.

Do đó, thời điểm ở đó các điện thế dữ liệu thứ $n+4$ $n+4$ được xuất ra đến các đường dữ liệu trên cơ sở của tín hiệu cho phép xuất ra nguồn cuối cùng thứ $n+4$ $SOEF_{n+4}$ có thể giống như thời điểm ở đó các điện thế dữ liệu thứ $n+1$ $n+1$ được xuất ra đến các đường dữ liệu trên cơ sở tín hiệu cho phép xuất ra nguồn cuối cùng thứ $n+1$ $SOEF_{n+1}$.

Nghĩa là, bốn cặp bit ngẫu nhiên được mô tả ở trên có thể không được lựa chọn một lần ở mỗi bốn thời gian, và thứ tự của nó có thể theo nhiều cách còn được thay đổi.

Do đó, theo sáng chế này, thời điểm ở đó các điện thế dữ liệu được xuất ra đến các đường công có thể không được dựa trên quy luật nhất định. Do đó, theo sáng chế này, EMI mà xảy ra bởi vì các điện thế dữ liệu được xuất ra ở thời điểm không đổi có thể được ngăn chặn hoặc được giảm thiểu.

Fig.7 và Fig.8 là các sơ đồ để làm ví dụ để mô tả các thời điểm xuất ra của các điện thế dữ liệu được xuất ra bởi thiết bị hiển thị theo sáng chế này. Cụ thể, Fig.7 là sơ đồ để làm ví dụ thể hiện bằng mắt thường một ví dụ trong đó các thời điểm, ở đó các điện thế dữ liệu được xuất ra đến các đường công, khác nhau.

Nghĩa là, như được mô tả ở trên, thời điểm ở đó các điện thế dữ liệu thứ n V_{datan} được xuất ra đến các điểm ảnh được nối với đường công thứ n GL_n có thể khác so với thời điểm ở đó các điện thế dữ liệu thứ $n+1$ $V_{\text{datan}+1}$ được xuất ra đến các điểm ảnh được nối với đường công thứ $n+1$ GL_{n+1} .

Do đó, như được thể hiện trên Fig.7, thời điểm ở đó điện thế dữ liệu được xuất ra có thể thay đổi đối với mỗi đường công, và cụ thể là, các thời điểm ở đó các điện thế dữ liệu được xuất ra đến đường dữ liệu có thể thay đổi liên quan đến các thời điểm sụt của các xung công GP được xuất ra đến các đường công.

Để tạo ra phần mô tả bổ sung, như được thể hiện trên Fig.7, thời điểm tăng R và thời điểm sụt F của mỗi trong số các xung công GP được xuất ra đến các đường công thứ n đến thứ $n+4$ GL_n đến GL_{n+4} có thể không đổi.

Tuy nhiên, liên quan đến thời điểm sụt F của xung công GP, các thời điểm ở đó các điện thế dữ liệu thứ n đến $n+4$ V_{datan} đến $V_{\text{datan}+4}$ được xuất ra có thể khác nhau. Tuy nhiên, các thời điểm ở đó các điện thế dữ liệu thứ n đến thứ $n+4$ V_{datan} đến $V_{\text{datan}+4}$ được xuất ra có thể bao gồm các thời điểm giống nhau. Nghĩa là, theo các phương án trên Fig.6 và Fig.7, thời điểm ở đó các điện thế dữ liệu thứ $n+4$ $V_{\text{datan}+4}$ được xuất ra đến các đường dữ liệu bởi tín hiệu cho phép xuất ra nguồn cuối cùng thứ $n+4$ $SOEF_{n+4}$ có thể giống như thời điểm ở đó các điện thế dữ liệu thứ $n+1$ $V_{\text{datan}+1}$ được xuất ra đến các đường dữ liệu bởi tín hiệu cho phép xuất ra nguồn cuối cùng thứ $n+1$ $SOEF_{n+1}$.

Do đó, như được thể hiện trên Fig.8, các khoảng $K1$ đến $K4$ giữa các thời điểm ở đó các điện thế dữ liệu V_{datan} đến $V_{\text{datan}+4}$ được xuất ra đến các đường dữ liệu có thể còn được thay đổi một cách ngẫu nhiên.

Như được mô tả ở trên, theo sáng chế này, thời điểm ở đó các điện thế dữ liệu được xuất ra đến các đường công có thể không được dựa trên quy luật nhất định. Do đó, theo sáng chế này, EMI mà xảy ra bởi vì các điện thế dữ liệu được xuất ra ở thời điểm không đổi có thể được ngăn chặn hoặc được giảm thiểu.

Theo sáng chế này, thời điểm ở đó điện thế dữ liệu được xuất ra đến đường dữ liệu có thể được thay đổi một cách ngẫu nhiên đối với mỗi đường công. Do đó, theo sáng chế này, EMI mà xảy ra bởi vì các điện thế dữ liệu được xuất ra ở thời điểm không đổi có thể được ngăn chặn hoặc được giảm thiểu.

Dấu hiệu, kết cấu, và hiệu ứng được mô tả ở trên của sáng chế này được bao gồm theo ít nhất một phương án của sáng chế này, nhưng không chỉ giới hạn ở chỉ một phương án. Hơn nữa, dấu hiệu, kết cấu, và hiệu ứng được mô tả theo ít nhất một phương án của sáng chế này có thể được thực hiện qua việc kết hợp hoặc cải biến của các phương án khác bởi người có hiểu biết trung bình về lĩnh vực kỹ thuật. Do đó, nội dung kết hợp với việc kết hợp và cải biến nên được hiểu là trong phạm vi của sáng chế này.

Sẽ là rõ ràng với các người có hiểu biết trung bình trong lĩnh vực kỹ thuật tương ứng là các cải biến và các thay đổi khác nhau có thể được thực hiện theo sáng chế này mà không lệch khỏi nguyên lý hoặc phạm vi của sáng chế. Do đó, được dự định rằng sáng chế bao phủ các cải biến và các thay đổi của sáng chế này khiến cho chúng nằm trong phạm vi của các điểm yêu cầu bảo hộ kèm theo và các phương án tương đương của chúng.

YÊU CẦU BẢO HỘ

1. Thiết bị hiển thị bao gồm:

tám nền hiển thị bao gồm đường công và đường dữ liệu;

bộ điều khiển tạo ra tín hiệu cho phép xuất ra nguồn xác định thời điểm xuất ra của điện thế dữ liệu xuất ra đến đường dữ liệu; và

bộ điều vận dữ liệu bao gồm bộ thay đổi tín hiệu, tạo ra tín hiệu cho phép xuất ra nguồn cuối cùng bằng cách sử dụng tín hiệu cho phép xuất ra nguồn, và thay đổi một cách ngẫu nhiên thời điểm xuất ra của điện thế dữ liệu đối với mỗi đường công bằng cách sử dụng tín hiệu cho phép xuất ra nguồn cuối cùng.

2. Thiết bị hiển thị theo điểm 1, trong đó tín hiệu cho phép xuất ra nguồn bao gồm ít nhất bốn bit.

3. Thiết bị hiển thị theo điểm 2, trong đó bộ điều vận dữ liệu thay đổi ít nhất hai trong số ít nhất bốn bit để tạo ra tín hiệu cho phép xuất ra nguồn cuối cùng và thay đổi một cách ngẫu nhiên thời điểm xuất ra của điện thế dữ liệu đối với mỗi đường công bằng cách sử dụng tín hiệu cho phép xuất ra nguồn cuối cùng.

4. Thiết bị hiển thị theo điểm 1, trong đó bộ điều vận dữ liệu bao gồm:

bộ phận khóa khóa dữ liệu hình ảnh được nhận từ bộ điều khiển;

bộ chuyển đổi số sang tương tự chuyển đổi dữ liệu hình ảnh, được truyền từ bộ phận khóa, thành điện thế dữ liệu và xuất ra điện thế dữ liệu;

bộ đệm xuất ra xuất ra điện thế dữ liệu, được truyền từ bộ chuyển đổi số sang tương tự, đến đường dữ liệu trên cơ sở của tín hiệu cho phép xuất ra nguồn cuối cùng; và

bộ thay đổi tín hiệu, và

thời điểm xuất ra của điện thế dữ liệu được thay đổi một cách ngẫu nhiên dựa trên tín hiệu cho phép xuất ra nguồn cuối cùng đối với mỗi đường công.

5. Thiết bị hiển thị theo điểm 4, trong đó bộ đệm xuất ra bao gồm:

bộ đệm lưu trữ điện thế dữ liệu được truyền từ bộ chuyển đổi số sang tương tự;
và

bộ chuyển mạch truyền điện thế dữ liệu, được lưu trữ trong bộ đệm, đến đường dữ liệu trên cơ sở của tín hiệu cho phép xuất ra nguồn cuối cùng.

6. Thiết bị hiển thị theo điểm 4, trong đó tín hiệu cho phép xuất ra nguồn bao gồm ít nhất bốn bit, và

bộ thay đổi tín hiệu bao gồm:

bộ tạo bit ngẫu nhiên tạo ra ít nhất hai bit ngẫu nhiên; và

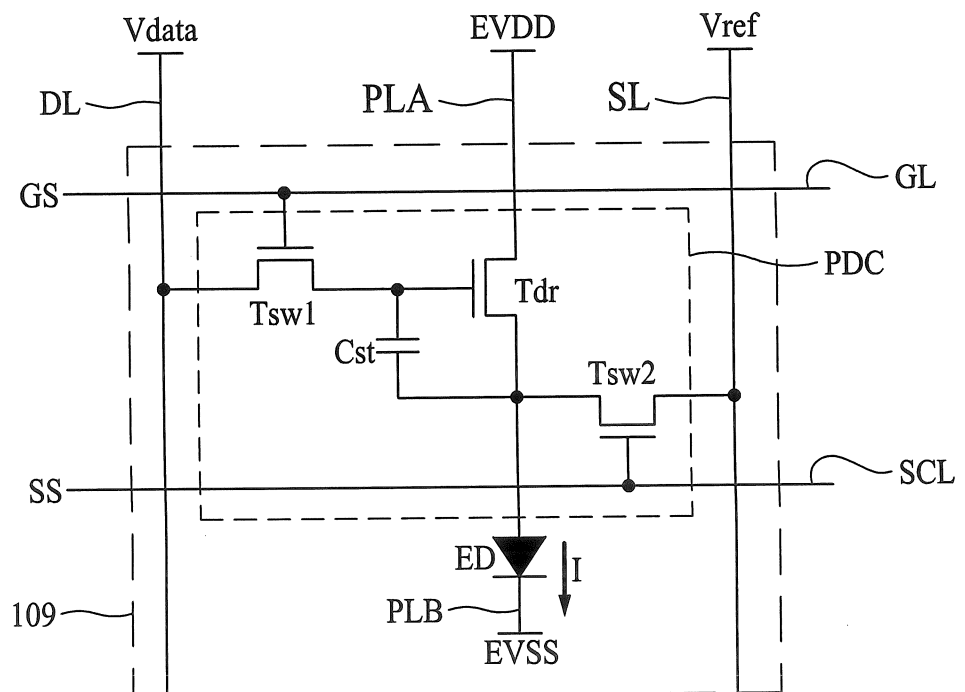
bộ trộn bit thay thế ít nhất hai trong số ít nhất bốn bit với ít nhất hai bit ngẫu nhiên để tạo ra tín hiệu cho phép xuất ra nguồn cuối cùng.

7. Thiết bị hiển thị theo điểm 6, trong đó các thời điểm, ở đó các điện thế dữ liệu được xuất ra đến đường dữ liệu, được chia thành ít nhất bốn thời điểm.

8. Thiết bị hiển thị theo điểm 7, trong đó các thời điểm, ở đó các điện thế dữ liệu được xuất ra đến đường dữ liệu, khác so với các thời điểm sụt của các xung cổng xuất ra đến các đường cổng được bao gồm trong tám nền hiển thị.

9. Thiết bị hiển thị theo điểm 6, trong đó thời điểm, ở đó điện thế dữ liệu thứ n được xuất ra qua đường dữ liệu đến điểm ảnh được nối với đường cổng thứ n của các đường cổng được bao gồm trong tám nền hiển thị, khác so với thời điểm ở đó điện thế dữ liệu thứ $n+1$ được xuất ra qua đường dữ liệu đến điểm ảnh được nối với đường cổng thứ $n+1$.

10. Thiết bị hiển thị theo điểm 1, trong đó các thời điểm, ở đó các điện thế dữ liệu được xuất ra đến đường dữ liệu, khác so với các thời điểm sụt của các xung cổng xuất ra đến các đường cổng được bao gồm trong tám nền hiển thị.



2/6

Fig.3

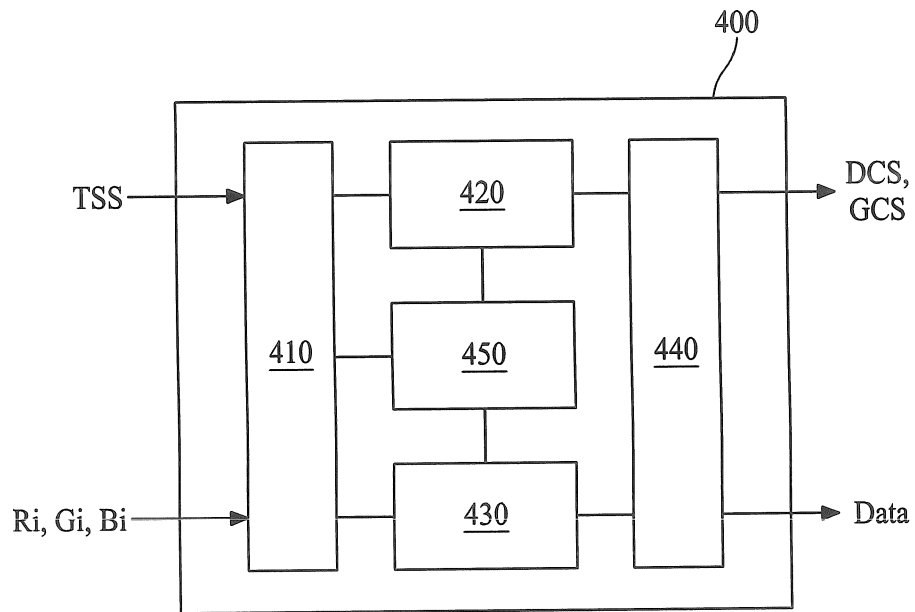
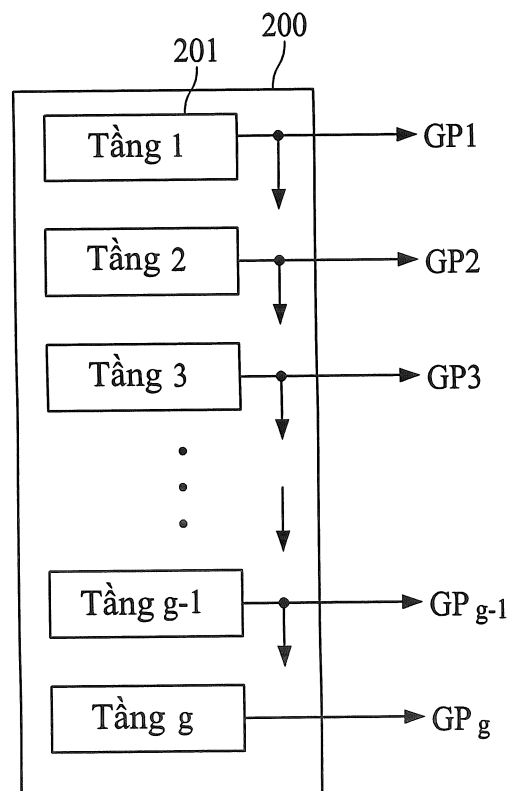
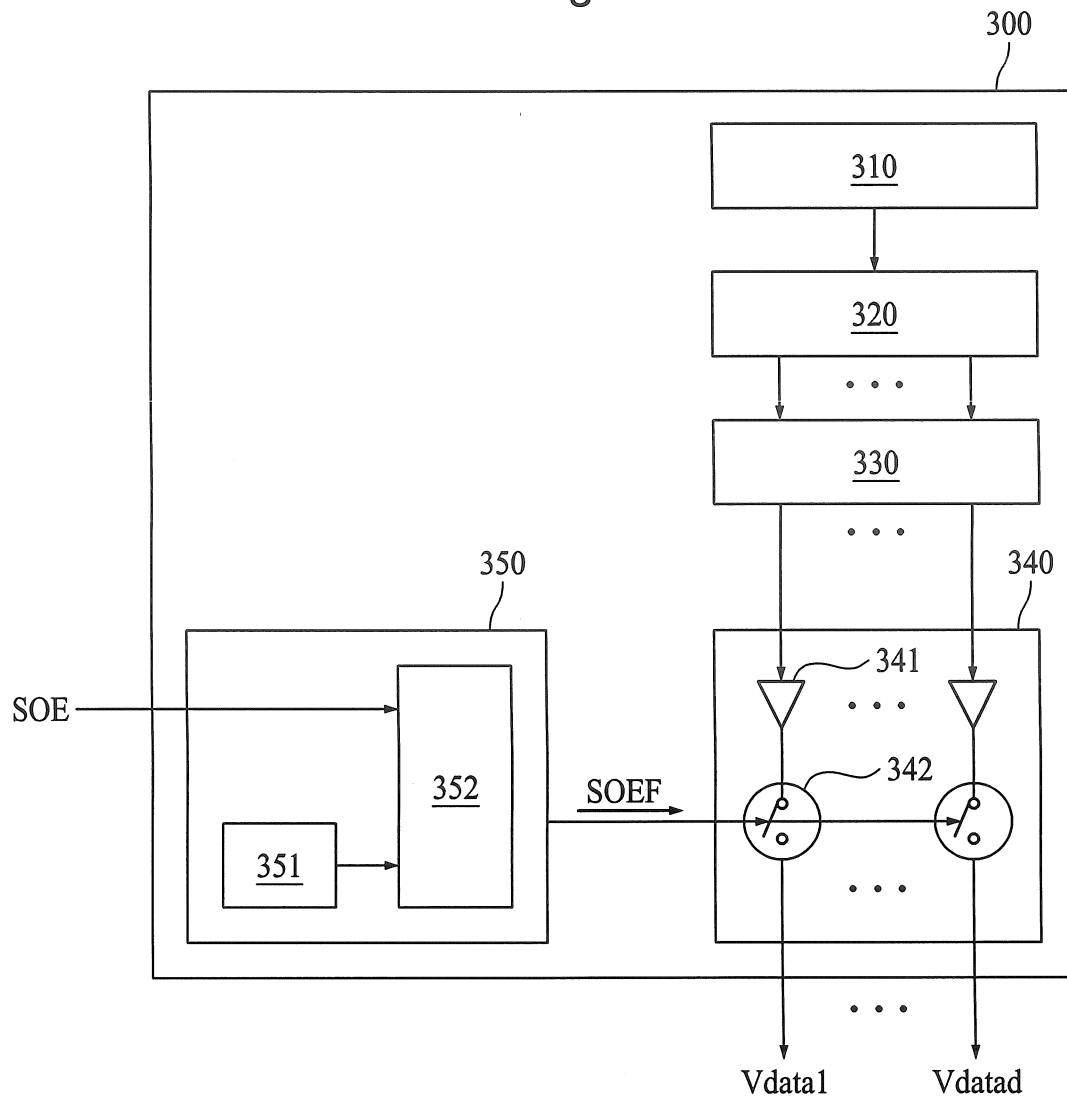


Fig.4



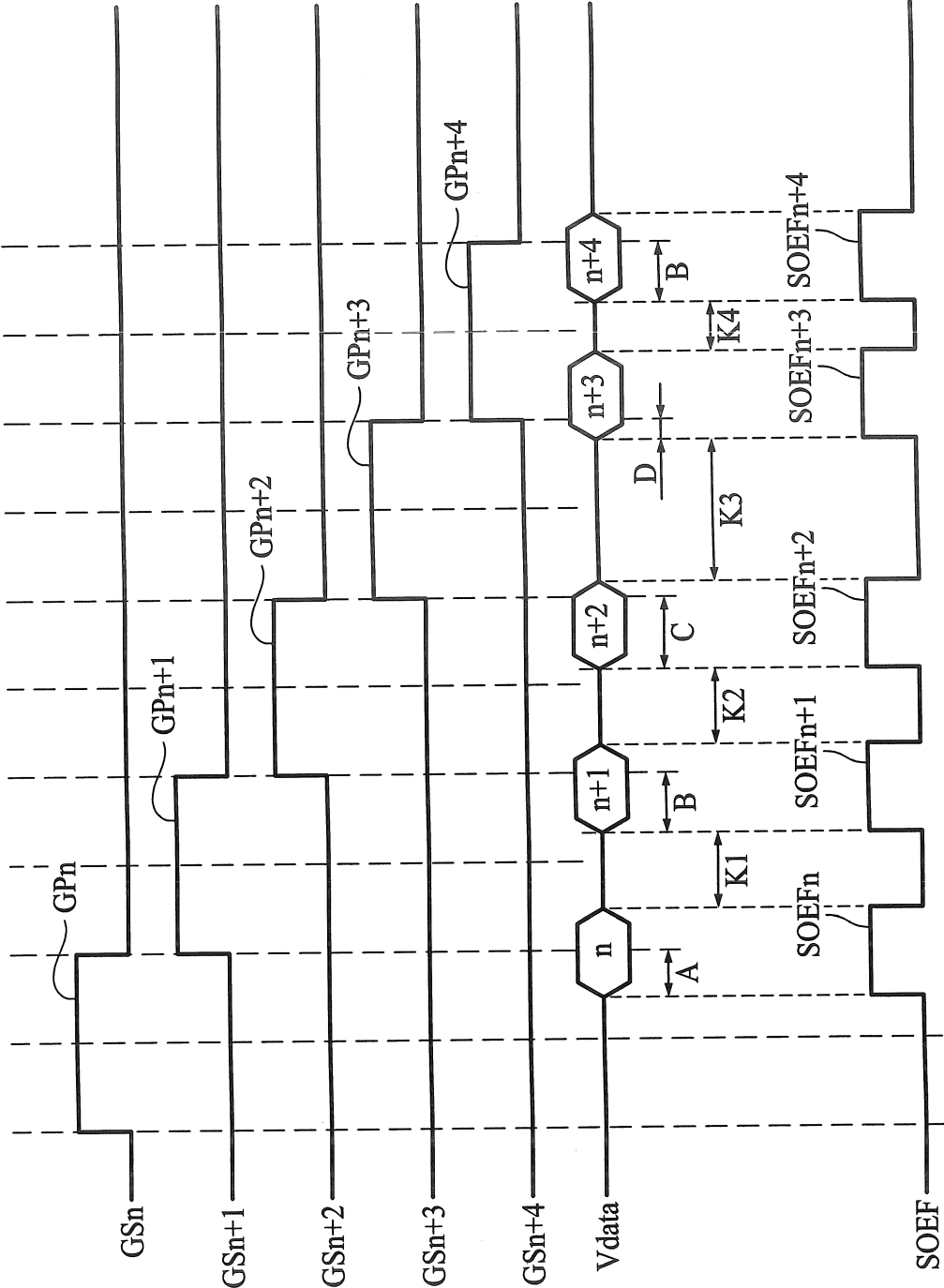
3/6

Fig.5



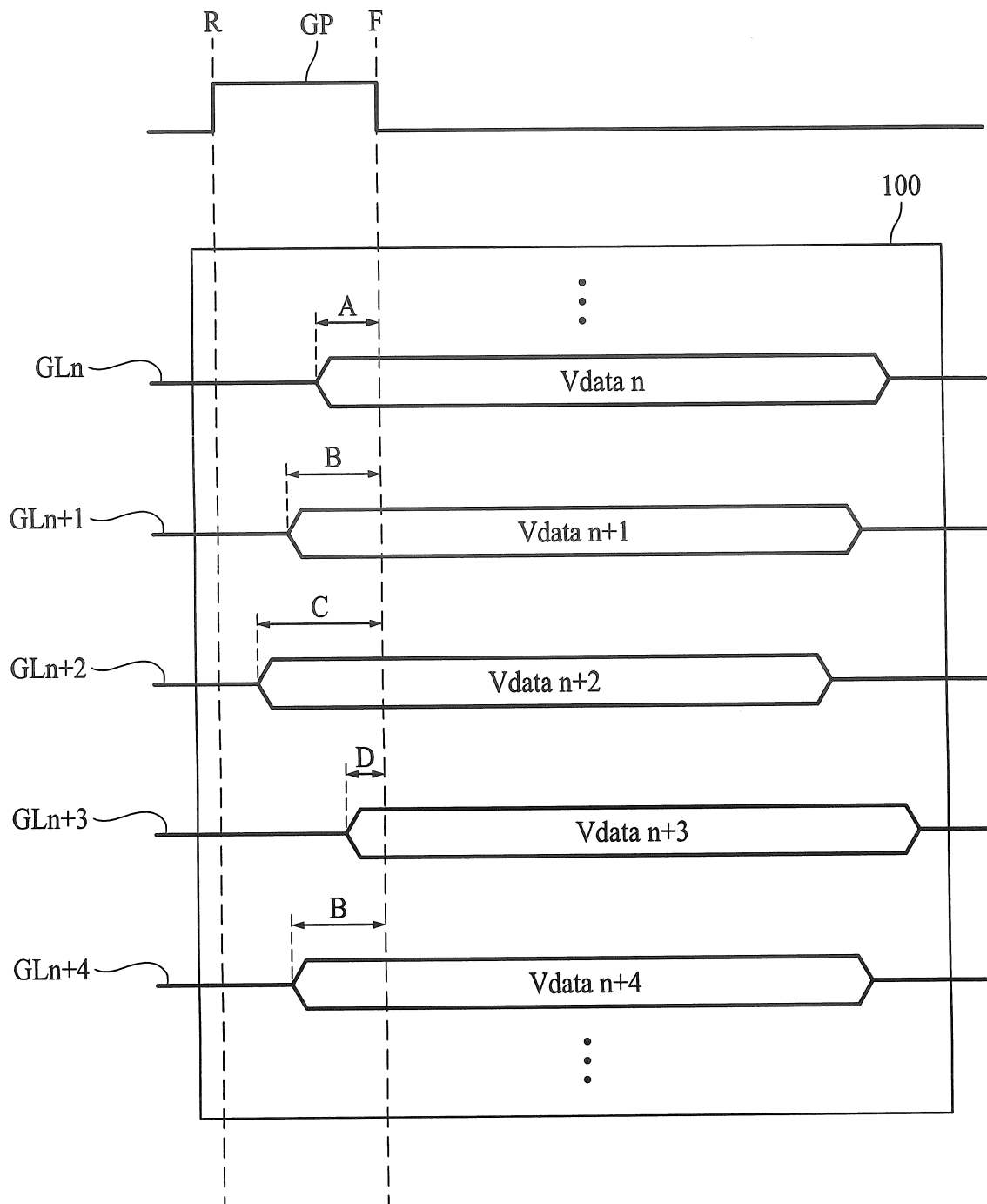
4/6

Fig.6



5/6

Fig.7



6/6

Fig.8

