



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẢNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN) (11)
CỤC SỞ HỮU TRÍ TUỆ



1-0053864

(51)^{2022.01} **H03K 3/037**; H03K 5/156; H03K 3/356; (13) **B**
H03K 3/017

(21) 1-2023-06304

(22) 14/02/2022

(86) PCT/US2022/070650 14/02/2022

(87) WO 2022/204632 A1 29/09/2022

(30) 17/212,366 25/03/2021 US

(45) 25/11/2025 452

(43) 25/01/2024 430A

(73) QUALCOMM INCORPORATED (US)

ATTN: International IP Administration, 5775 Morehouse Drive, San Diego, CA
92121-1714, United States of America

(72) TANG, Chiu, Keung (US); CHEN, Zhiqin (US).

(74) Công ty TNHH Quốc tế D & N (D&N INTERNATIONAL CO.,LTD.)

(54) MẠCH TRỄ, HỆ THỐNG TRÊN CHIP VÀ PHƯƠNG PHÁP TẠO PHIÊN BẢN
TRỄ CỦA TÍN HIỆU ĐẦU VÀO

(21) 1-2023-06304

(57) Sáng chế đề cập đến mạch trễ, hệ thống trên chip và phương pháp tạo ra phiên bản trễ của tín hiệu đầu vào. Mạch trễ mới để tạo xung nhịp cầu phương không nhạy cảm với các thay đổi của quy trình, điện áp, nhiệt độ (process, voltage, temperature - PVT) và các sườn lên/xuống bằng nhau. Theo một phương án triển khai, mạch trễ bao gồm giai đoạn phụ N thứ nhất có nguồn dòng điện góp, được tạo cấu hình để nhận tín hiệu đầu vào và tạo ra sườn lên của tín hiệu đầu ra của mạch trễ, trong đó tín hiệu đầu ra là phiên bản trễ của tín hiệu đầu vào. Mạch trễ còn bao gồm giai đoạn phụ P thứ nhất có nguồn dòng điện cung ứng, được tạo cấu hình để nhận tín hiệu đầu vào và tạo ra sườn xuống của tín hiệu đầu ra, trong đó nguồn dòng điện góp và nguồn dòng điện cung ứng có thể thay đổi để đáp lại các điện áp tương ứng trong số nhiều điện áp phân cực.

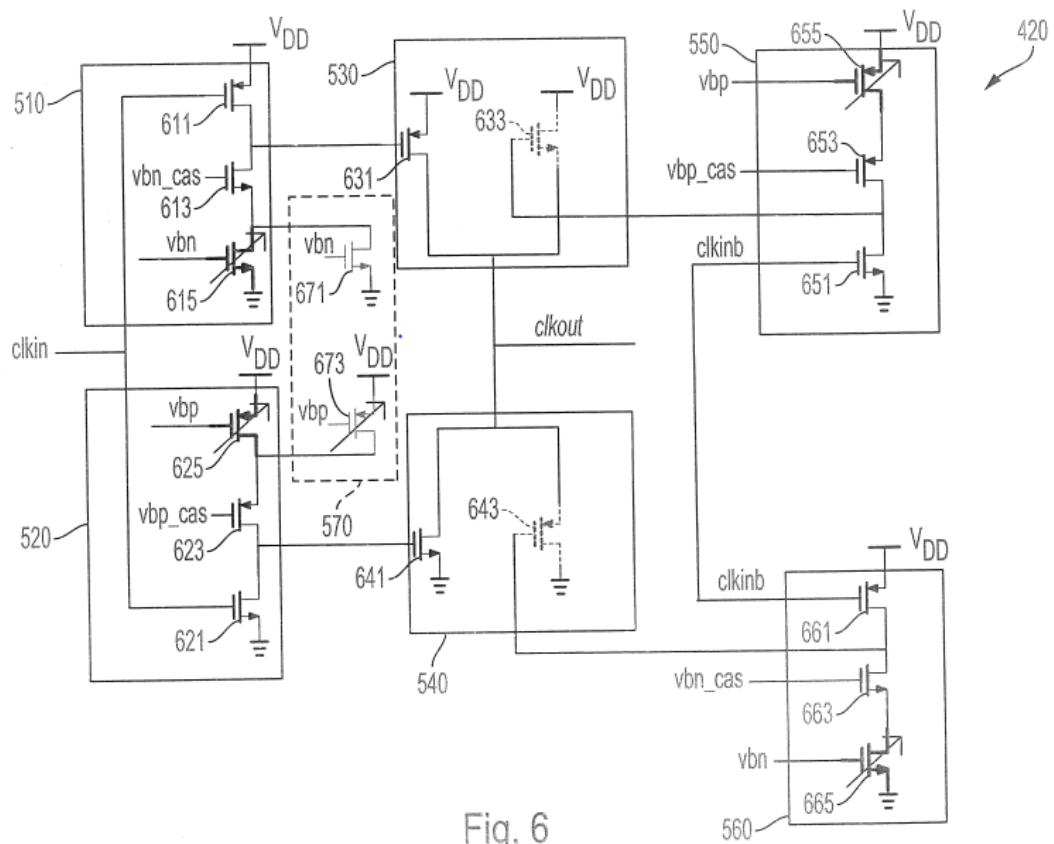


Fig. 6

Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập chung đến các mạch trễ, và cụ thể hơn là đề cập đến các mạch trễ không nhạy cảm với các thay đổi của quy trình, điện áp, và nhiệt độ (process, voltage, and temperature - PVT).

Tình trạng kỹ thuật của sáng chế

Mạch tích hợp (integrated circuit - IC) có thể bao gồm nhiều thành phần trễ hoặc mạch trễ để thực hiện các hoạt động khác nhau. Ví dụ, các thành phần trễ có thể được sử dụng để căn chỉnh thời gian đối với hai hoặc nhiều tín hiệu, chẳng hạn như tín hiệu dữ liệu với tín hiệu xung nhịp tương ứng, và/hoặc ngược lại. Các thành phần trễ cũng có thể được sử dụng trong giao diện đầu vào/đầu ra (input/output - I/O) để tạo ra một hoặc nhiều tín hiệu xung nhịp để lấy mẫu dữ liệu đến. Hiệu suất của các thành phần trễ này là mối quan tâm trong sáng chế.

Bản chất kỹ thuật của sáng chế

Phần tiếp theo trình bày tóm tắt được đơn giản hóa về một hoặc nhiều phương án triển khai nhằm cung cấp hiểu biết cơ bản về các phương án triển khai này. Bản chất kỹ thuật của sáng chế nêu ở phần này không phải là tổng quan sâu rộng về tất cả các phương án triển khai của sáng chế, và không nhằm mục đích xác định các yếu tố chính hoặc quan trọng của tất cả các phương án triển khai hay phân định phạm vi của bất kỳ hoặc tất cả các phương án triển khai. Mục đích duy nhất của phần này là trình bày một số khái niệm về một hoặc nhiều phương án triển khai ở dạng đơn giản hóa như là phần mở đầu cho phần mô tả chi tiết hơn sẽ được trình bày sau đây.

Một khía cạnh của sáng chế đề cập đến mạch trễ, bao gồm: giai đoạn phụ N (N-substage) thứ nhất có nguồn dòng điện góp (sinking current source), được tạo cấu hình để nhận tín hiệu đầu vào và tạo ra sườn lên của tín hiệu đầu ra của mạch trễ, trong đó tín hiệu đầu ra là phiên bản trễ của tín hiệu đầu vào; và giai đoạn phụ P (P-substage)

thứ nhất có nguồn dòng điện cung ứng (sourcing current source), được tạo cấu hình để nhận tín hiệu đầu vào và tạo ra sườn xuống của tín hiệu đầu ra, trong đó nguồn dòng điện góp và nguồn dòng điện cung ứng có thể thay đổi để đáp lại các điện áp tương ứng trong số nhiều điện áp phân cực.

Theo một khía cạnh của sáng chế, mạch trễ có thể còn bao gồm modul hiệu chỉnh chu kỳ làm việc được ghép nối với giai đoạn phụ N thứ nhất và giai đoạn phụ P thứ nhất, được tạo cấu hình để chỉ điều chỉnh một trong số sườn lên và sườn xuống của tín hiệu đầu ra để điều chỉnh độ méo chu kỳ làm việc của tín hiệu đầu ra.

Theo một khía cạnh khác của sáng chế, modul hiệu chỉnh chu kỳ làm việc bao gồm: tập hợp các thiết bị bán dẫn oxit kim loại loại p (p-type metal oxide semiconductor - pMOS), mỗi thiết bị có cực máng, cực cổng, và cực nguồn, cực máng được ghép nối với giai đoạn phụ P thứ nhất, cực nguồn được ghép nối với nguồn điện áp (voltage supply - VDD), và cực cổng được tạo cấu hình để nhận điện áp thứ nhất trong số nhiều điện áp phân cực (V_{bp}); và tập hợp của các thiết bị bán dẫn oxit kim loại n (n-type metal oxide semiconductor - nMOS), mỗi thiết bị có cực máng, cực cổng, và cực nguồn, cực máng được ghép nối với giai đoạn phụ N thứ nhất, cực nguồn được nối đất, và cực cổng được tạo cấu hình để nhận điện áp thứ hai trong số nhiều điện áp phân cực (V_{bn}).

Theo một khía cạnh khác của sáng chế, tập hợp các pMOS của modul hiệu chỉnh chu kỳ làm việc được tạo cấu hình để điều chỉnh được nhằm điều chỉnh sườn xuống của tín hiệu đầu ra và tập hợp các nMOS của modul hiệu chỉnh chu kỳ làm việc được tạo cấu hình để duy trì không đổi.

Theo một khía cạnh khác của sáng chế, tập hợp các nMOS của modul hiệu chỉnh chu kỳ làm việc được tạo cấu hình để điều chỉnh được nhằm điều chỉnh sườn lên của tín hiệu đầu ra, và tập hợp các pMOS của modul hiệu chỉnh chu kỳ làm việc được tạo cấu hình để duy trì không đổi.

Theo một khía cạnh của sáng chế, mạch trễ còn bao gồm giai đoạn phụ N thứ hai có đầu vào thứ nhất được ghép nối với giai đoạn phụ P thứ nhất, và đầu ra được

ghép nối với đầu ra của mạch trễ để cung cấp sườn xuống của tín hiệu đầu ra của mạch trễ; và giai đoạn phụ P thứ hai có đầu vào thứ nhất được ghép nối với giai đoạn phụ N thứ nhất và đầu ra được ghép nối với đầu ra của mạch trễ để cung cấp sườn lên của tín hiệu đầu ra của mạch trễ.

Theo một khía cạnh khác của sáng chế, giai đoạn phụ P thứ hai bao gồm pMOS đầu ra có cực nguồn, cực cổng và cực máng, cực nguồn của pMOS đầu ra được ghép nối với nguồn điện áp (VDD), cực máng được ghép nối với đầu ra của mạch trễ và cực cổng được ghép nối với giai đoạn phụ N thứ nhất; và nMOS bù có cực cổng, cực nguồn và cực máng, cực máng được ghép nối với nguồn điện áp (VDD), cực nguồn được ghép nối với đầu ra của mạch trễ và cực cổng được ghép nối với modul theo dõi thứ nhất.

Theo một khía cạnh khác của sáng chế, modul theo dõi thứ nhất bao gồm nguồn dòng điện cung ứng thứ hai, gần như tương tự với nguồn dòng điện cung ứng của giai đoạn phụ P thứ nhất, và nMOS có cực cổng, cực nguồn, và cực máng, cực nguồn được nối đất, cực máng được ghép nối với nguồn dòng điện cung ứng thứ hai, và cực cổng được tạo cấu hình để nhận phiên bản bổ sung của tín hiệu đầu vào.

Theo một khía cạnh khác của sáng chế, giai đoạn phụ N thứ hai bao gồm nMOS đầu ra có cực nguồn, cực cổng, và cực máng, cực nguồn được nối đất, cực máng được ghép nối với đầu ra của mạch trễ, và cực cổng được ghép nối với giai đoạn phụ P thứ nhất; và pMOS bù có cực cổng, cực nguồn, và cực máng, cực máng được nối đất, cực nguồn được ghép nối với đầu ra của mạch trễ, và cực cổng được ghép nối với modul theo dõi thứ hai.

Theo một khía cạnh khác của sáng chế, modul theo dõi thứ hai bao gồm nguồn dòng điện góp thứ hai, gần như tương tự với nguồn dòng điện góp của giai đoạn phụ N thứ nhất, và pMOS có cực cổng, cực nguồn, và cực máng, cực nguồn được ghép nối với nguồn điện áp (VDD), cực máng được ghép nối với nguồn dòng điện góp thứ hai, và cực cổng được tạo cấu hình để nhận phiên bản bổ sung của tín hiệu đầu vào.

Theo một khía cạnh khác của sáng chế, nhiều điện áp phân cực được tạo ra từ dòng điện tham chiếu khe dài.

Theo một khía cạnh của sáng chế, hệ thống trên chip (system on a chip - SoC) bao gồm module xử lý; và giao diện đầu vào, được ghép nối với module xử lý, được tạo cấu hình để nhận các tín hiệu đầu vào từ nguồn bên ngoài SoC, giao diện đầu vào bao gồm bộ tạo xung nhịp cầu phương, bộ tạo xung nhịp cầu phương bao gồm mạch trễ như được nêu trong đoạn bất kỳ ở trên.

Theo một khía cạnh khác của sáng chế, bộ tạo xung nhịp cầu phương còn bao gồm: bộ chuyển đổi một đầu sang vi sai được ghép nối với mạch trễ để nhận phiên bản trễ của tín hiệu xung nhịp và để tạo ra cặp tín hiệu xung nhịp bổ sung dựa vào phiên bản trễ của tín hiệu xung nhịp; và bộ nội suy pha được ghép nối với bộ chuyển đổi một đầu sang vi sai để nhận cặp tín hiệu xung nhịp bổ sung.

Theo một khía cạnh của sáng chế, phương pháp tạo ra phiên bản trễ của tín hiệu đầu vào bao gồm bước tạo ra sườn lên của tín hiệu đầu ra từ tín hiệu đầu vào bằng cách sử dụng giai đoạn phụ N thứ nhất có nguồn dòng điện góp, trong đó tín hiệu đầu ra là phiên bản trễ của tín hiệu đầu vào; và tạo ra sườn xuống của tín hiệu đầu ra bằng cách sử dụng giai đoạn phụ P thứ nhất có nguồn dòng điện cung ứng, trong đó nguồn dòng điện góp và nguồn dòng điện cung ứng là thay đổi được để đáp lại các điện áp tương ứng trong số nhiều điện áp phân cực.

Theo một khía cạnh khác của sáng chế, phương pháp này còn bao gồm bước điều chỉnh chỉ một trong số sườn lên và sườn xuống của tín hiệu đầu ra để hiệu chỉnh độ méo chu kỳ làm việc của tín hiệu đầu ra.

Theo một khía cạnh khác của sáng chế, phương pháp này còn bao gồm bước cung cấp sườn xuống của tín hiệu đầu ra bằng cách sử dụng giai đoạn phụ N thứ hai, giai đoạn phụ N thứ hai có đầu vào thứ nhất được ghép nối với giai đoạn phụ P thứ nhất, và đầu ra được ghép nối với đầu ra của mạch trễ; và cung cấp sườn lên của tín hiệu đầu ra bằng cách sử dụng giai đoạn phụ P thứ hai, giai đoạn phụ P thứ hai có đầu

vào thứ nhất được ghép nối với giai đoạn phụ N thứ nhất, và đầu ra được ghép nối với đầu ra của mạch trễ.

Theo một khía cạnh khác của sáng chế, giai đoạn phụ P thứ hai bao gồm pMOS đầu ra có cực nguồn, cực cổng, và cực máng, cực nguồn của pMOS đầu ra được ghép nối với nguồn điện áp (VDD), cực máng được ghép nối với đầu ra của mạch trễ, và cực cổng được ghép nối với giai đoạn phụ N thứ nhất; và phương pháp này còn bao gồm bước: cung cấp phần bù lệch chéo cho sườn lên của tín hiệu đầu ra bằng cách sử dụng nMOS bù được điều khiển bởi môđun theo dõi thứ nhất, trong đó nMOS bù có cực cổng, cực nguồn, và cực máng, cực máng được ghép nối với nguồn điện áp (VDD), cực nguồn được ghép nối với đầu ra của mạch trễ, và cực cổng được ghép nối với môđun theo dõi thứ nhất.

Theo một khía cạnh khác của sáng chế, giai đoạn phụ N thứ hai bao gồm nMOS đầu ra có cực nguồn, cực cổng, và cực máng, cực nguồn của nMOS đầu ra được nối đất, cực máng được ghép nối với đầu ra của mạch trễ, và cực cổng được ghép nối với giai đoạn phụ P thứ nhất; và phương pháp này còn bao gồm bước: cung cấp phần bù lệch chéo cho sườn xuống của tín hiệu đầu ra bằng cách sử dụng pMOS bù được điều khiển bởi môđun theo dõi thứ hai, trong đó pMOS bù có cực cổng, cực nguồn, và cực máng, cực máng được nối đất, cực nguồn được ghép nối với đầu ra của mạch trễ, và cực cổng được ghép nối với môđun theo dõi thứ hai.

Theo một khía cạnh khác của sáng chế, phương pháp này còn bao gồm bước tạo nhiều điện áp phân cực từ nguồn dòng điện tham chiếu khe dải.

Để đạt được mục đích nêu trên và các mục đích liên quan, một hoặc nhiều phương án triển khai bao gồm các đặc điểm được mô tả đầy đủ sau đây và được chỉ ra một cách cụ thể trong các điểm yêu cầu bảo hộ. Phần mô tả sau đây và các hình vẽ đi kèm trình bày chi tiết các khía cạnh minh họa nhất định của một hoặc nhiều phương án triển khai. Tuy nhiên, những khía cạnh này chỉ biểu thị một số cách thức khác nhau mà trong đó các nguyên lý của nhiều phương án triển khai khác nhau có thể được thực hiện, và các phương án triển khai được mô tả nhằm mục đích bao gồm tất cả các khía cạnh này cũng như các tương đương của chúng.

Mô tả vắn tắt các hình vẽ

Fig.1 thể hiện mạch trễ thông thường làm ví dụ.

Fig.2 thể hiện một phương án triển khai của hệ thống trên chip (SoC).

Fig.3 thể hiện một phương án triển khai của bộ tạo xung nhịp cầu phương.

Fig.4 thể hiện một phương án triển khai của thiết bị trễ theo một số khía cạnh của sáng chế.

Fig.5 thể hiện một phương án triển khai của mạch trễ theo một số khía cạnh của sáng chế.

Fig.6 thể hiện một phương án triển khai của mạch trễ theo một số khía cạnh của sáng chế.

Fig.7 thể hiện một phương án triển khai của bộ tạo điện áp phân cực.

Fig.8 thể hiện một phương án triển khai của phương pháp để tạo phiên bản trễ của tín hiệu đầu vào.

Mô tả chi tiết sáng chế

Phần mô tả chi tiết được nêu dưới đây, kết hợp với các hình vẽ kèm theo, nhằm mục đích mô tả các cấu hình khác nhau và không nhằm trình bày các cấu hình duy nhất mà các khái niệm được mô tả ở đây có thể được thực hành. Phần mô tả chi tiết bao gồm các chi tiết cụ thể nhằm mục đích cung cấp hiểu biết thấu đáo về các khái niệm khác nhau. Tuy nhiên, sẽ là hiển nhiên đối với người có hiểu biết trung bình trong lĩnh vực kỹ thuật này là các khái niệm này có thể được thực hành mà không cần mô tả chi tiết. Trong một số trường hợp, các cấu trúc và thành phần đã biết được thể hiện dưới dạng sơ đồ khối để tránh làm tối nghĩa các khái niệm này.

Các mạch trễ đã được sử dụng rộng rãi trong các mạch bán dẫn với nhiều ứng dụng khác nhau. Các mạch trễ thông thường thường bao gồm một mạch dựa vào biến tần đơn giản và việc điều chỉnh độ trễ đạt được bằng cách điều chỉnh điện dung

và/hoặc định cỡ thiết bị. Mạch trễ dựa vào biên tần thông thường làm ví dụ 100 được thể hiện trên Fig.1. Mạch trễ 100 bao gồm bóng bán dẫn bán dẫn oxit kim loại loại p (pMOS) 110, một pMOS 130 khác, bóng bán dẫn bán dẫn oxit kim loại loại n (nMOS) 120, một nMOS 140 khác, và tụ điện tải điều chỉnh được 150. Mỗi trong số các pMOS 110, 130 và nMOS 120, 140 đều có cực nguồn, cực cổng, và cực máng. Các cực cổng của pMOS 110 và nMOS 120 được ghép nối với nhau và được tạo cấu hình để nhận tín hiệu đầu vào *clkin* vào mạch trễ 100. Các cực máng của pMOS 110 và nMOS 120 được ghép nối với nhau và được tạo cấu hình để xuất ra tín hiệu đầu ra *clkout* của mạch trễ 100. Tụ điện tải *cload* 150 được ghép nối giữa các cực máng của pMOS 110 và nMOS 120 (tức là, đầu ra của mạch trễ 100) và nối đất. Cực nguồn của pMOS 130 được ghép nối với nguồn điện hoặc nguồn điện áp, VDD, và cực máng của pMOS 130 được ghép nối với cực nguồn của pMOS 110. Cực cổng của pMOS 130 được tạo cấu hình để nhận phiên bản bổ sung của tín hiệu kích hoạt, *enb*. pMOS 130 là điều chỉnh được và được tạo cấu hình như nguồn dòng điện. Cực nguồn của nMOS 140 được nối đất, và cực máng của nMOS 140 được ghép nối với cực nguồn của nMOS 120. Cực cổng của nMOS 140 được tạo cấu hình để nhận tín hiệu kích hoạt, *en*. nMOS 140 là điều chỉnh được và được tạo cấu hình như là bộ góp dòng điện. Nguồn dòng điện pMOS 130 và bộ góp dòng điện nMOS 140 lần lượt nhận *enb* và *en* tại các cực cổng tương ứng của chúng để đặt độ trễ cụ thể cho mạch trễ 100. Ví dụ, pMOS 130 điều chỉnh được có thể được triển khai bằng cách sử dụng tập hợp các pMOS được ghép nối song song giữa cực nguồn pMOS 110 và VDD, trong đó pMOS 130 được điều chỉnh bằng cách bật (hoặc kích hoạt) một số pMOS đã chọn. Bằng cách bật (hoặc kích hoạt) một số pMOS đã chọn, kích thước hiệu dụng của pMOS 130 có thể được điều chỉnh. Tương tự như vậy, nMOS 140 điều chỉnh được có thể được triển khai bằng cách sử dụng tập hợp các nMOS được ghép nối song song giữa cực nguồn nMOS 120 và mặt đất, trong đó nMOS 140 được điều chỉnh bằng cách bật (hoặc kích hoạt) một số nMOS đã chọn. Bằng cách bật (hoặc kích hoạt) một số nMOS đã chọn, kích thước hiệu dụng của nMOS 140 có thể được điều chỉnh. Nói cách khác, độ trễ của mạch trễ 100 có thể được điều chỉnh bằng cách định cỡ pMOS 130 và/hoặc nMOS 140.

Ngoài bộ góp dòng nMOS 140 và nguồn dòng điện pMOS 130, độ trễ được cung cấp bởi mạch trễ 100 cũng tỷ lệ thuận với điện dung tải *cload* 150. Do đó, độ trễ

của mạch trễ 100 cũng có thể được điều chỉnh bằng cách điều chỉnh *cload* 150. Theo một số phương án triển khai, *cload* 150 được triển khai bằng cách sử dụng tập hợp các tụ điện được ghép nối song song giữa đầu ra của mạch trễ 100 và mặt đất, trong đó mỗi tụ điện có thể được bật/tắt bởi công tắc.

Mặc dù mạch trễ dựa vào biến tần 100 tương đối đơn giản, nhưng mạch trễ 100 có thể dễ bị ảnh hưởng bởi các thay đổi của quy trình, điện áp, và/hoặc nhiệt độ (PVT), gây ra các thay đổi về độ trễ. Do đó, mạch trễ 100 có thể không phù hợp với các mạch bán dẫn phức tạp hơn trong nhiều ứng dụng ngày nay đòi hỏi độ không nhạy cao hơn trên các góc PVT. Điều này sẽ được mô tả thêm dưới đây có liên quan đến thiết bị điện tử ví dụ 200 trên Fig.2.

Ngày nay, các thiết bị điện tử được sử dụng trong rất nhiều ứng dụng, chẳng hạn như ô tô, hệ thống máy tính (ví dụ, máy tính xách tay, máy tính để bàn, máy chủ, v.v.), thiết bị di động và/hoặc thiết bị đeo được (ví dụ, điện thoại thông minh, đồng hồ thông minh, v.v.), thiết bị internet vạn vật (Internet of Things - IoT), v.v. Thiết bị điện tử thường bao gồm một hoặc nhiều chip bán dẫn, chẳng hạn như hệ thống trên chip (SoC), các thiết bị lưu trữ (ví dụ, các bộ nhớ flash), v.v. Do các yêu cầu về hiệu suất là ngày càng cao, nhu cầu hỗ trợ liên kết dữ liệu tốc độ cao giữa các chip bán dẫn trong một thiết bị điện tử là cần thiết. Fig.2 thể hiện một phương án triển khai của thiết bị điện tử theo một số khía cạnh của sáng chế. Thiết bị điện tử 200 bao gồm SoC 210 và thiết bị lưu trữ 290, được ghép nối truyền thông với nhau qua liên kết tốc độ cao 280. Luồng dữ liệu, có những các tín hiệu xung nhịp, có thể được truyền giữa thiết bị lưu trữ 290 và SoC 210 qua liên kết tốc độ cao 280. Ví dụ, thiết bị lưu trữ 290 có thể bao gồm bộ nhớ flash (ví dụ, bộ nhớ flash NAND), và liên kết tốc độ cao 280 có thể là liên kết bộ tuần tự hóa/bộ giải tuần tự (SerDes), chẳng hạn như liên kết tuần thủ bộ lưu trữ flash phổ dụng (Universal Flash storage - UFS).

Theo một số phương án triển khai, SoC 210 bao gồm module xử lý 220 và giao diện đầu vào/đầu ra (I/O) 230. Cần hiểu rõ rằng SoC 210 có thể bao gồm nhiều thành phần hoặc module hơn những thành phần hoặc module được minh họa trên Fig.2. Module xử lý 220 có thể là bộ xử lý ứng dụng (có nhiều lõi), bộ xử lý đồ họa (graphics

processing unit - GPU), v.v. Giao diện I/O 230 có thể bao gồm modul phục hồi dữ liệu xung nhịp (clock data recovery - CDR) 240, bộ tạo xung nhịp cầu phương 250, và bộ trễ 260. Thông thường, giao diện I/O 230 được tạo cấu hình để gửi và/hoặc nhận luồng dữ liệu qua liên kết tốc độ cao 280 đến/từ một chip bán dẫn khác (ví dụ, thiết bị lưu trữ 290) bên ngoài SoC 210. Cần hiểu rõ rằng có thể có nhiều hơn một chip bán dẫn được ghép nối truyền thông với giao diện I/O 230 qua liên kết tốc độ cao 280. Nhưng để tránh che khuất hình minh họa, chỉ có một thiết bị lưu trữ 290 được thể hiện trên Fig.2.

Theo một số khía cạnh của sáng chế, giao diện I/O 230 bao gồm modul CDR 240, được tạo cấu hình để khôi phục tín hiệu xung nhịp trong luồng dữ liệu nhận được qua liên kết tốc độ cao 280 để tiếp tục xử lý dữ liệu trong luồng dữ liệu. Theo một số phương án triển khai, modul CDR 240 bao gồm bộ tạo xung nhịp cầu phương 250, được tạo cấu hình để tạo bốn (4) tín hiệu xung nhịp từ tín hiệu xung nhịp được phục hồi. Hơn nữa, bốn tín hiệu xung nhịp thường cùng pha với nhau (tức là, cứ hai tín hiệu xung nhịp cách nhau 90 độ (90°)). Như được thể hiện trên Fig.2, bộ tạo xung nhịp cầu phương 250 bao gồm bộ trễ 260. Việc sử dụng bộ trễ 260, bộ tạo xung nhịp cầu phương 250 có thể tạo ra bốn tín hiệu xung nhịp từ tín hiệu xung nhịp được phục hồi. Các chi tiết hơn về bộ tạo xung nhịp cầu phương 250 và bộ trễ 260 theo một số khía cạnh của sáng chế sẽ được mô tả thêm dưới đây có tham chiếu đến các hình vẽ từ Fig.3 đến Fig.7.

Fig.3 thể hiện một phương án triển khai của bộ tạo xung nhịp cầu phương 250. Bộ tạo xung nhịp cầu phương 250 bao gồm bộ đệm đầu vào 310, modul hiệu chỉnh chu kỳ làm việc (DCC) 320, bộ biến tần thứ nhất 330, bộ biến tần thứ hai 340, bộ trễ 260, bộ chuyển đổi một đầu sang vi sai (single-ended to differential - S2D) thứ nhất 350, bộ chuyển đổi S2D thứ hai 360, và bộ nội suy pha 370. Bộ đệm đầu vào 310 có đầu vào và đầu ra. Đầu ra của bộ đệm đầu vào 310 được ghép nối với đầu vào của modul DCC 320. Modul DCC 320 có tập hợp bổ sung gồm một hoặc nhiều đầu vào để nhận mã DCC *dcc_i*. Hơn nữa, modul DCC 320 có đầu ra, được ghép nối với đầu vào của bộ biến tần thứ nhất 330. Đầu ra của bộ biến tần thứ nhất 330 được ghép nối với đầu vào của bộ biến tần thứ hai 340. Bộ biến tần thứ nhất 330 và thứ hai 340 được

ghép nối nối tiếp. Đầu ra của bộ biến tần thứ hai 340 được ghép nối với đầu vào của bộ trễ 260 và đầu vào của bộ chuyển đổi S2D thứ hai 360. Bộ trễ 260 có tập hợp bổ sung các đầu vào để nhận ba bộ mã, cụ thể là *coarse*-thô, *fine*-mịn, và *dec*. Bộ trễ 260 có thể sử dụng ba tập hợp mã này để điều chỉnh độ trễ và/hoặc để hiệu chỉnh chu kỳ làm việc của tín hiệu đầu ra của bộ trễ 260. Các chi tiết của một số phương án triển khai của bộ trễ 260 sẽ được mô tả thêm dưới đây. Đầu ra của bộ trễ 260 được ghép nối với đầu vào của bộ chuyển đổi S2D thứ nhất 350. Mỗi bộ chuyển đổi S2D 350 và 360 có hai đầu ra.

Trong quá trình hoạt động, bộ đệm đầu vào 310 nhận được tín hiệu xung nhịp đầu vào *clkin0* 301. Như được mô tả ở trên, *clkin0* 301 có thể là tín hiệu xung nhịp được phục hồi từ luồng dữ liệu đầu vào nhận được ở giao diện I/O 230. Bộ đệm đầu vào 310 chuyển tiếp *clkin0* 301 đến modul DCC 320, được tạo cấu hình để hiệu chỉnh độ méo chu kỳ làm việc của *clkin0* 301, nếu có. Sau đó, modul DCC 320 xuất ra tín hiệu xung nhịp đã hiệu chỉnh chu kỳ làm việc tới bộ biến tần thứ nhất 330 và thứ hai 340, được tạo cấu hình làm bộ đệm. Bộ biến tần 340 xuất ra tín hiệu xung nhịp đã hiệu chỉnh chu kỳ làm việc *clkin* tới bộ trễ 260 và bộ chuyển đổi S2D thứ hai 360. Tương tự như vậy, bộ biến tần 330 xuất ra phiên bản bổ sung của *clkin*, tức là, *clkin_b*, vào bộ trễ 260. Bộ trễ 260 tạo ra phiên bản trễ của *clkin* và xuất ra phiên bản trễ của *clkin* tới bộ chuyển đổi S2D thứ nhất 350. Phiên bản trễ của *clkin* cách *clkin* 90°. Bộ chuyển đổi S2D thứ nhất 350 được tạo cấu hình để tạo ra cặp tín hiệu xung nhịp vi sai (*clkQ* và *clkQb*) từ phiên bản trễ của *clkin*. Cặp tín hiệu xung nhịp vi sai này có thể được gọi là xung nhịp Q. Lưu ý rằng *clkQb* là phiên bản bổ sung của *clkQ*, tức là, *clkQ* và *clkQb* cách nhau 180°. Tương tự như vậy, bộ chuyển đổi S2D thứ hai 360 được tạo cấu hình để tạo ra cặp tín hiệu xung nhịp vi sai (*clkI* và *clkIb*) từ *clkin*. Cặp tín hiệu xung nhịp vi sai này có thể được gọi là xung nhịp I. Lưu ý rằng *clkIb* là phiên bản bổ sung của *clkI*, tức là, *clkI* và *clkIb* cách nhau 180°. Như vậy, bốn tín hiệu xung nhịp được tạo ra, *clkQ*, *clkQb*, *clkI* và *clkIb*, cách nhau 90°. Vì vậy, bốn tín hiệu xung nhịp này còn được gọi là các tín hiệu xung nhịp cầu phương. Cuối cùng, bốn tín hiệu xung nhịp cầu phương được đưa vào bộ nội suy pha 370. Bộ nội suy pha 370 có thể quay pha xung nhịp cùng pha (I) và cầu phương (Q) theo N bước, trong đó N là số nguyên, để căn

chỉnh chỉnh xác xung nhịp cùng pha với tâm của mắt dữ liệu của luồng dữ liệu để cảm nhận hoặc phát hiện các tín hiệu dữ liệu trong luồng dữ liệu.

Như được đề cập ở trên, yêu cầu về hiệu suất ngày càng cao hơn. Ví dụ, thế hệ mới của tiêu chuẩn lớp vật lý (physical - PHY) UFS (Thế hệ 5) yêu cầu tín hiệu xung nhịp phải ở tần số 10 GHz và 12,5 GHz để hỗ trợ kiến trúc máy thu nửa tốc độ. Thông thường, bộ nội suy pha 370 yêu cầu các pha xung nhịp cầu phương chính xác để thực hiện chức năng hợp lý nhằm phục hồi xung nhịp. Bộ tạo xung nhịp cầu phương 250 phải tạo ra các tín hiệu xung nhịp cầu phương này với tương quan pha chính xác. Cụ thể là, bộ tạo xung nhịp cầu phương 250 phải hỗ trợ cả 10 GHz và 12,5 GHz, không có sự phân chia xung nhịp bất kỳ, để hỗ trợ chuẩn PHY UFS (Thế hệ 5). Hơn nữa, bộ tạo xung nhịp cầu phương 250 phải có công suất thấp và linh hoạt đối với việc mở rộng quy trình. Bộ tạo xung nhịp cầu phương 250 cũng phải mạnh mẽ và không nhạy cảm với các thay đổi của PVT để giảm bớt độ phức tạp trong thiết kế.

Bộ trễ 260 là thành phần quan trọng trong bộ tạo xung nhịp cầu phương 250 vì bộ trễ 260 xác định mối tương quan pha giữa xung nhịp I và xung nhịp Q. Bộ trễ thông thường có thể được triển khai bằng cách sử dụng mạch dựa vào biến tần CMOS 100 được minh họa trên Fig.1. Việc điều chỉnh độ trễ của mạch dựa vào biến tần CMOS có thể đạt được bằng cách cải biến trở kháng tải hoặc điện dung. Tuy nhiên, độ trễ được tạo ra khi sử dụng mạch trễ thông thường 100 này rất nhạy cảm với các thay đổi của PVT, và do đó, đòi hỏi phạm vi hiệu chỉnh lớn hơn để bao quát các thay đổi của PVT. Ngoài ra, có thể có sự không khớp PN của pMOS 110 và nMOS 120 của bộ biến tần 100, dẫn đến các sườn lên và xuống đầu ra không đồng đều. Do đó, cần có bộ trễ không nhạy cảm với các thay đổi của PVT và cung cấp các sườn lên và xuống gần như bằng nhau ở đầu ra. Một số phương án triển khai của bộ trễ đáp ứng các nhu cầu nêu trên sẽ được mô tả dưới đây có tham chiếu đến các hình vẽ từ Fig.4 đến Fig.7.

Fig.4 thể hiện một phương án triển khai của bộ trễ 260 theo một số khía cạnh của sáng chế. Bộ trễ 260 bao gồm bộ tạo điện áp phân cực 410 và mạch trễ 420. Bộ tạo điện áp phân cực 410 được tạo cấu hình để tạo ra tập hợp các điện áp phân cực, là đầu vào mạch trễ 420. Mạch trễ 420 được tạo cấu hình để nhận tín hiệu đầu vào, *clkin*, và

tín hiệu bổ sung của nó, *clkin_b*; và để tạo ra phiên bản trễ của *clkin*, *clkout*. Bộ trễ 260 được ghép nối với nguồn dòng điện tham chiếu khe dải 430. Nguồn dòng điện tham chiếu khe dải 430 cung cấp dòng điện tham chiếu khe dải (I_e) cho bộ tạo điện áp phân cực 410. Dòng điện tham chiếu khe dải gần như không đổi và không nhạy cảm với các thay đổi của PVT nói chung. Bằng cách sử dụng dòng điện tham chiếu khe dải, bộ tạo điện áp phân cực 410 tạo ra tập hợp các điện áp phân cực và cung cấp các điện áp phân cực cho mạch trễ 420. Bộ tạo điện áp phân cực 410 có tập hợp các đầu vào được tạo cấu hình để nhận mã, *coarse-thô*, được sử dụng để tạo các điện áp phân cực. Tương tự như vậy, mạch trễ 420 có tập hợp các đầu vào được tạo cấu hình để nhận mã, *fine-mịn*, được sử dụng để tạo đầu ra của mạch trễ 420, *clkout*. Ngoài ra, mạch trễ 420 có thể có tập hợp các đầu vào bổ sung được tạo cấu hình để nhận một mã khác, *dcc*, được sử dụng để hiệu chỉnh chu kỳ làm việc của *clkout*. Các chi tiết hơn về mạch trễ 420 và bộ tạo điện áp phân cực 410 sẽ được mô tả dưới đây.

Fig.5 thể hiện một phương án triển khai của mạch trễ 420 theo một số khía cạnh của sáng chế. Mạch trễ 420 bao gồm giai đoạn phụ N thứ nhất 510 (còn gọi là giai đoạn phụ N 1), giai đoạn phụ P thứ nhất 520 (còn gọi là giai đoạn phụ P 1), giai đoạn phụ P thứ hai 530 (còn gọi là giai đoạn phụ P 2), giai đoạn phụ N thứ hai 540 (còn gọi là giai đoạn phụ N 2), môđun theo dõi thứ nhất 550 (còn gọi là môđun theo dõi 1), môđun theo dõi thứ hai 560 (còn gọi là môđun theo dõi 2), và, tùy chọn, môđun hiệu chỉnh chu kỳ làm việc (DCC) 570, tất cả đều được tạo cấu hình để nhận nguồn điện áp VDD. Cả giai đoạn phụ N 1 510 và giai đoạn phụ P 1 520 đều được tạo cấu hình để nhận tín hiệu đầu vào *clkin*. Giai đoạn phụ N 1 510 còn được tạo cấu hình để nhận tập hợp các điện áp phân cực, cụ thể là *Vbn_cas* và *Vbn*. Giai đoạn phụ P 1 520 còn được tạo cấu hình để nhận một tập hợp khác của các điện áp phân cực, cụ thể là *Vbp_cas* và *Vbp*. Đầu ra của giai đoạn phụ N 1 510 được ghép nối với đầu vào của giai đoạn phụ P 2 530. Tương tự như vậy, đầu ra của giai đoạn phụ P 1 520 được ghép nối với đầu vào của giai đoạn phụ N 2 540. Giai đoạn phụ P 2 530 còn được tạo cấu hình để nhận đầu ra từ môđun theo dõi 1 550, trong khi giai đoạn phụ N 2 540 còn được tạo cấu hình để nhận đầu ra từ môđun theo dõi 2 560. Đầu ra của giai đoạn phụ P 2 530 và đầu ra của giai đoạn phụ N 2 540 được ghép nối với nhau để cung cấp tín hiệu đầu ra của mạch trễ 420, *clkout*. Môđun theo dõi 1 550 được tạo cấu hình để nhận phiên bản bổ sung

của tín hiệu đầu vào *clkin_b*, và các điện áp phân cực *Vbp_cas* và *Vbp*. Tương tự như vậy, môđun theo dõi 2 560 được tạo cấu hình để nhận phiên bản bổ sung của tín hiệu đầu vào *clkin_b*, và các điện áp phân cực *Vbp_cas* và *Vbp*.

Theo một số phương án triển khai, mạch trễ 420 còn bao gồm môđun hiệu chỉnh chu kỳ làm việc (DCC) 570. Lưu ý rằng môđun DCC 570 này khác biệt và tách biệt với môđun DCC 320 của bộ tạo xung nhịp cầu phương 250. Bởi vì mạch trễ 420 có thể gây méo chu kỳ làm việc khi tạo ra phiên bản trễ của tín hiệu đầu vào *clkin*, môđun DCC 570 được tích hợp trong mạch trễ 420 có thể được tạo cấu hình để hiệu chỉnh hoặc giảm thiểu độ méo chu kỳ làm việc được đưa vào, nếu có. Môđun DCC 570 được tạo cấu hình để nhận các điện áp phân cực *vbp* và *vbn* từ bộ tạo điện áp phân cực 410. Môđun DCC 570 có hai đầu ra, một đầu ra được ghép nối với giai đoạn phụ N 1 510, và đầu ra còn lại được ghép nối với giai đoạn phụ N 1 520. Giai đoạn phụ N 1 510 và/hoặc giai đoạn phụ P 1 520 có thể sử dụng các đầu ra tương ứng từ môđun DCC 570 để chỉnh hoặc điều chỉnh độ trễ của *clkin* nhằm bù hoặc giảm thiểu độ méo chu kỳ làm việc bất kỳ do mạch trễ 420 gây ra. Ví dụ, giai đoạn phụ N 1 510 có thể điều chỉnh sườn lên của tín hiệu đầu ra của mạch trễ 420, *clkout*, để đáp lại đầu ra của môđun DCC 570 nhằm hiệu chỉnh độ méo chu kỳ làm việc trong *clkout*. Ngoài ra, giai đoạn phụ P 1 520 có thể điều chỉnh sườn xuống của tín hiệu đầu ra *clkout* để đáp lại đầu ra của môđun DCC 570 nhằm hiệu chỉnh độ méo chu kỳ làm việc trong *clkout*. Lưu ý rằng chỉ một trong số sườn lên hoặc sườn xuống của *clkout* được điều chỉnh trong một số phương án triển khai vì không cần thiết phải điều chỉnh cả sườn lên và sườn xuống của *clkout* để hiệu chỉnh độ méo chu kỳ làm việc.

Theo một số phương án triển khai, giai đoạn phụ N 1 510 có nguồn dòng điện góp (không được thể hiện trên hình vẽ). Nguồn dòng điện góp có thể bị phân cực bởi các điện áp phân cực *vbn_cas* và *vbn* từ bộ tạo điện áp phân cực 410. Giai đoạn phụ N 1 510 được tạo cấu hình để nhận tín hiệu đầu vào *clkin* và tạo ra sườn lên của tín hiệu đầu ra của mạch trễ 420, *clkout*. Cụ thể là, đầu ra của giai đoạn phụ N 1 510 được ghép nối với đầu vào của giai đoạn phụ P 2 530 để điều khiển giai đoạn phụ P 2 530 nhằm tạo ra sườn lên của *clkout*. Các chi tiết hơn về hoạt động của giai đoạn phụ N 1 510 và giai đoạn phụ P 2 530 sẽ được mô tả dưới đây với sự tham chiếu đến Fig.6.

Theo một số phương án triển khai, giai đoạn phụ P 1 520 có nguồn dòng điện cung ứng (không được thể hiện trên hình vẽ). Nguồn dòng điện cung ứng có thể bị phân cực bởi các điện áp phân cực *vbp_cas* và *vbp* từ bộ tạo điện áp phân cực 410. Giai đoạn phụ P 1 520 được tạo cấu hình để nhận tín hiệu đầu vào *clkin* và tạo ra sườn xuống của tín hiệu đầu ra của mạch trễ 420, *clkout*. Cụ thể là, đầu ra của giai đoạn phụ P 1 520 được ghép nối với đầu vào của giai đoạn phụ N 2 540 để điều khiển giai đoạn phụ N 2 540 nhằm tạo ra sườn xuống của *clkout*. Các chi tiết hơn về hoạt động của giai đoạn phụ P 1 520 và giai đoạn phụ N 2 540 sẽ được mô tả dưới đây với sự tham chiếu đến Fig.6.

Để điều tiết (hoặc chống lại) các thay đổi của PVT, mạch trễ 420 còn bao gồm modul theo dõi 1 550 và modul theo dõi 2 560 để theo dõi các thay đổi của PVT và cung cấp phần bù đối với các thay đổi của PVT. Modul theo dõi 1 550 được tạo cấu hình để nhận phiên bản bổ sung của tín hiệu đầu vào, *clkin_b*. Hơn nữa, modul theo dõi 1 550 có nguồn dòng điện cung ứng (không được thể hiện), gần như tương tự với nguồn dòng điện cung ứng của giai đoạn phụ P 1 520. Modul theo dõi 1 550 cũng được tạo cấu hình để nhận các điện áp phân cực *vbp_cas* và *vbp* để phân cực nguồn dòng điện cung ứng của nó. Do đó, nguồn dòng điện cung ứng trong modul theo dõi 1 550 theo dõi nguồn dòng điện cung ứng trong giai đoạn phụ P 1 520, và để đáp lại *clkin_b*, modul theo dõi 1 550 có thể cung cấp phần bù lệch chéo cho sườn lên của *clkout*. Các chi tiết hơn về modul theo dõi 1 550 sẽ được mô tả dưới đây có tham chiếu đến Fig.6.

Ngoài modul theo dõi 1 550, mạch trễ 420 bao gồm modul theo dõi 2 560, cũng được tạo cấu hình để nhận phiên bản bổ sung của tín hiệu đầu vào, *clkin_b*. Hơn nữa, modul theo dõi 2 560 có nguồn dòng điện góp (không được thể hiện trên hình vẽ), gần như tương tự với nguồn dòng điện góp của giai đoạn phụ N 1 510. Modul theo dõi 2 560 cũng được tạo cấu hình để nhận các điện áp phân cực *vbn_cas* và *vbn* để phân cực nguồn dòng điện góp của nó. Do đó, nguồn dòng điện góp trong modul theo dõi 2 560 theo dõi nguồn dòng điện góp trong giai đoạn phụ N 1 510, và để đáp lại *clkin_b*, modul theo dõi 2 560 có thể cung cấp phần bù lệch chéo đối với sườn

xuống của *clkout*. Các chi tiết hơn về môđun theo dõi 2 560 sẽ được mô tả dưới đây có tham chiếu đến Fig.6.

Fig.6 thể hiện một phương án triển khai của mạch trễ 420 theo một số khía cạnh của sáng chế. Mạch trễ 420 trên Fig.6 bao gồm giai đoạn phụ N thứ nhất 510 (còn gọi là giai đoạn phụ N 1), giai đoạn phụ P thứ nhất 520 (còn gọi là giai đoạn phụ P 1), giai đoạn phụ P thứ hai 530 (còn gọi là giai đoạn phụ P 2), giai đoạn phụ N thứ hai 540 (còn gọi là giai đoạn phụ N 2), môđun theo dõi thứ nhất 550 (còn gọi là môđun theo dõi 1), môđun theo dõi thứ hai 560 (còn gọi là môđun theo dõi 2), và, tùy chọn, môđun hiệu chỉnh chu kỳ làm việc (DCC) 570, tất cả đều được tạo cấu hình để nhận nguồn điện áp VDD. Lưu ý rằng các số tham chiếu giống nhau trên Fig.5 và Fig.6 đề cập đến cùng các môđun tương ứng. Nói chung, giai đoạn phụ N thứ nhất 510, giai đoạn phụ P thứ hai 530, và môđun theo dõi 1 550 ở nửa trên của mạch trễ 420 được tạo cấu hình để tạo ra sườn lên của tín hiệu đầu ra của mạch trễ 420, *clkout*, trong khi giai đoạn phụ P thứ nhất 520, giai đoạn phụ N thứ hai 540, và môđun theo dõi thứ hai 560 ở nửa dưới của mạch trễ 420 được tạo cấu hình để tạo ra sườn xuống của *clkout*.

Tham chiếu đến Fig.6, giai đoạn phụ N thứ nhất 510 bao gồm pMOS 611, nMOS 613, và nMOS khác 615, tất cả đều được ghép nối với nhau nối tiếp giữa VDD và mặt đất. pMOS đầu vào 611 có cực nguồn, cực cổng, và cực máng, trong đó cực nguồn được ghép nối với VDD và cực cổng được tạo cấu hình để nhận tín hiệu đầu vào *clkin*. nMOS 613 có cực nguồn, cực cổng, và cực máng, trong đó cực máng được ghép nối với cực máng của pMOS đầu vào 611 và cực cổng được tạo cấu hình để nhận một trong các điện áp phân cực, *vbn_cas*. nMOS 615 cũng có cực nguồn, cực cổng, và cực máng, trong đó cực nguồn được nối đất, cực cổng được tạo cấu hình để nhận điện áp phân cực khác, *vbn*, và cực máng được ghép nối với cực nguồn của nMOS 613. Theo một số phương án triển khai, nMOS 615 là điều chỉnh được. Ví dụ, nMOS 615 có thể được triển khai bằng cách sử dụng tập hợp các nMOS gần như tương tự nhau (không được thể hiện để tránh che khuất hình vẽ) được ghép nối với nhau song song giữa cực nguồn của nMOS 613 và mặt đất. Điện áp phân cực *vbn* được áp dụng vào các cực cổng của các nMOS này. Hơn nữa, một số nMOS được chọn này có thể được bật (hoặc được kích hoạt) dựa vào mã, *fine - mịn* (được thể hiện trên Fig.3 và Fig.4),

để điều chỉnh tổng dòng điện chạy từ cực nguồn của nMOS 613 xuống mặt đất. Điện áp đầu ra của giai đoạn phụ N thứ nhất 510 được tạo ra tại nút giữa cực máng của pMOS đầu vào 611 và cực máng của nMOS 613. Đầu ra của giai đoạn phụ N thứ nhất 510 được ghép nối với đầu vào của giai đoạn phụ P thứ hai 530. Các nMOS 613 và 615 trong giai đoạn phụ N thứ nhất 510 lần lượt được điều khiển tại các cực cổng của chúng bởi các điện áp phân cực, v_{bn_cas} và v_{bn} , từ bộ tạo điện áp phân cực (chẳng hạn như bộ tạo điện áp phân cực 410 trên Fig.4), tạo ra các điện áp phân cực từ dòng điện tham chiếu khe dải I_e . Để đáp lại v_{bn_cas} và v_{bn} , dòng điện được tạo để chạy qua nMOS 613 và 615 xuống đất, do đó, tạo ra dòng điện góp. Vì vậy, nMOS 613 và 615 còn được gọi là nguồn dòng điện góp hoặc nguồn dòng điện I_e góp. Trong quá trình hoạt động, v_{bn_cas} và v_{bn} có thể được chỉnh để điều chỉnh sườn lên của phiên bản trễ clk_{in} (tức là, clk_{out}). Các chi tiết hơn về việc điều chỉnh sẽ được mô tả thêm dưới đây.

Theo một số phương án triển khai, giai đoạn phụ P thứ hai 530 bao gồm pMOS đầu ra 631 và nMOS bù 633. pMOS đầu ra 631 có cực nguồn, cực cổng, và cực máng, trong đó cực nguồn được ghép nối với VDD, cực cổng được ghép nối với các cực máng của pMOS đầu vào 611 và nMOS 613 của giai đoạn phụ N thứ nhất 510, và cực máng được tạo cấu hình để xuất ra đầu ra của mạch trễ 420, clk_{out} . nMOS bù 633 có cực nguồn, cực cổng, và cực máng, trong đó cực máng được ghép nối với VDD, cực nguồn được ghép nối với cực máng của pMOS đầu ra 631, và cực cổng được ghép nối với đầu ra của modul theo dõi thứ nhất 550. Trong quá trình vận hành, điện áp được tạo ra tại nút giữa pMOS đầu vào 611 và nguồn dòng điện góp của giai đoạn phụ N thứ nhất 510 điều khiển cực cổng của pMOS đầu ra 631, tạo ra clk_{out} tại cực máng của nó.

Như được thể hiện trên Fig.6, một phương án triển khai của modul theo dõi thứ nhất 550 bao gồm pMOS 655, một pMOS khác 653, và nMOS 651, tất cả được ghép nối với nhau nối tiếp giữa VDD và mặt đất. Cụ thể là, pMOS 655 có cực nguồn, cực máng, và cực cổng, trong đó cực nguồn được ghép nối với VDD và cực cổng được tạo cấu hình để nhận một trong các điện áp phân cực từ bộ tạo điện áp phân cực (chẳng hạn như bộ tạo điện áp phân cực 410 trên Fig.4), v_{bp} . pMOS 653 cũng có cực nguồn, cực máng, và cực cổng, trong đó cực nguồn được ghép nối với cực máng của pMOS 655, và cực cổng được tạo cấu hình để nhận một trong các điện áp phân cực khác từ bộ

tạo điện áp phân cực, vbp_cas . nMOS 651 có cực máng, cực nguồn, và cực cổng, trong đó cực nguồn được nối đất, cực máng được ghép nối với cực máng của pMOS 653 để cung cấp điện áp đầu ra cho giai đoạn phụ P thứ hai 530, và cực cổng được tạo cấu hình để nhận phiên bản bổ sung của tín hiệu đầu vào $clkin_b$. Các pMOS 653 và 655 trong modul theo dõi thứ nhất 550 lần lượt được điều khiển tại các cực cổng của chúng bởi các điện áp phân cực, vbp_cas và vbp . Như được đề cập ở trên, bộ tạo điện áp phân cực tạo ra các điện áp phân cực từ dòng điện tham chiếu khe dải I_e . Để đáp lại vbp_cas và vbp , dòng điện có thể được tạo ra để chạy qua các pMOS 655 và 653 từ VDD xuống cực máng của nMOS 651, do đó, tạo ra dòng điện cung ứng. Vì vậy, các pMOS 653 và 655 cũng được gọi là nguồn dòng điện cung ứng hoặc nguồn dòng điện I_e cung ứng. Theo một số phương án triển khai, pMOS 655 là điều chỉnh được. Ví dụ, pMOS 655 có thể được triển khai bằng cách sử dụng tập hợp các bóng bán dẫn pMOS gần như tương tự nhau (không được thể hiện để tránh che khuất hình vẽ) được ghép nối với nhau song song giữa cực nguồn của pMOS 653 và VDD. Điện áp phân cực vbp được áp dụng vào các cực cổng của các pMOS này. Hơn nữa, một số pMOS được chọn có thể được bật (hoặc được kích hoạt) dựa vào mã, *fine* - mịn (được thể hiện trên Fig.3), để chỉnh tổng dòng điện chạy từ VDD đến pMOS 653. Lưu ý rằng nguồn dòng điện cung ứng được tạo ra bởi các pMOS 653 và 655 gần như tương tự với nguồn dòng điện cung ứng được tạo ra bởi các pMOS 623 và 625 trong giai đoạn phụ P thứ nhất 520 theo một số phương án triển khai. Do đó, nguồn dòng điện cung ứng trong modul theo dõi thứ nhất 550 có thể theo dõi nguồn dòng điện cung ứng trong giai đoạn phụ P thứ nhất 520 trong các điều kiện PVT khác nhau.

Quay trở lại modul theo dõi thứ nhất 550, cực máng của pMOS 653 được ghép nối với cực cổng của nMOS bù 633 trong giai đoạn phụ P thứ hai 530. Trong quá trình hoạt động, điện áp tại cực máng của pMOS 653 điều khiển cực cổng của nMOS bù 633, khiến cho nMOS bù 633 cung cấp phần bù góc lệch chéo cho pMOS đầu ra 631, được điều khiển bởi điện áp tại nút giữa pMOS đầu vào 611 và nguồn dòng điện góp trong giai đoạn phụ N thứ nhất 510.

Để tiếp tục minh họa hoạt động của mạch trễ 420, xem xét tình huống khi $clkin$ chuyển từ mức thấp lên mức cao. Điện áp cao của $clkin$ sẽ vô hiệu hóa (hoặc tắt)

pMOS đầu vào 611 để ngăn dòng điện chạy từ VDD đến nguồn dòng điện góp (tức là, các nMOS 613 và 615). Điện áp tại nút, ở đó các cực máng của pMOS đầu vào 611 và nMOS 613 được ghép nối với nhau được kéo xuống mức thấp (hoặc gần như được nối đất). Vì cực cổng của pMOS đầu ra 631 được ghép nối với các cực máng của pMOS đầu vào 611 và nMOS 613, nên pMOS đầu ra 631 được kích hoạt (hoặc được bật), kéo điện áp tại cực máng của pMOS đầu ra 631 lên, xuất ra *clkout*. Kết quả là, *clkout* chuyển sang mức cao để tạo ra sườn lên của *clkout*. Lưu ý rằng nửa dưới của mạch trễ 420 (tức là, giai đoạn phụ P thứ nhất 520 và giai đoạn phụ N thứ hai 540) bị tắt khi *clkin* chuyển từ mức thấp lên mức cao. Sườn lên của tín hiệu đầu ra *clkout* được tạo ra bởi giai đoạn phụ N thứ nhất 510 và giai đoạn phụ P thứ hai 530 hoạt động cùng nhau. Như được mô tả ở trên, modul theo dõi thứ nhất 550 cung cấp phần bù góc lệch chéo cho pMOS đầu ra 631. Cụ thể là, trong ví dụ hiện tại, *clkin_b* chuyển từ mức cao xuống mức thấp khi *clkin* chuyển từ mức thấp lên mức cao. Như được đề cập ở trên, cực cổng của nMOS 651 trong modul theo dõi thứ nhất 550 được tạo cấu hình để nhận *clkin_b*. Do đó, nMOS 651 bị vô hiệu hóa (hoặc được tắt) để đáp lại việc *clkin_b* chuyển sang mức thấp, chặn dòng điện từ VDD qua pMOS 655 và 653 xuống đất. Do đó, nút tại cực máng của pMOS 653 được kéo lên VDD. Vì cực cổng của nMOS bù 633 được ghép nối với cực máng của pMOS 653, nên nMOS bù 633 được kích hoạt (hoặc được bật) bởi VDD để cung cấp phần bù góc lệch chéo cho pMOS đầu ra 631 khi sườn lên của *clkout* được tạo ra. Việc tạo ra sườn xuống của *clkout* sẽ được mô tả dưới đây với sự tham chiếu đến nửa dưới của mạch trễ 420 trên Fig.6.

Như được thể hiện trên Fig.6, nửa dưới của mạch trễ 420 bao gồm giai đoạn phụ P thứ nhất 520, giai đoạn phụ N thứ hai 540, và modul theo dõi thứ hai 560. Theo một số phương án triển khai, giai đoạn phụ P thứ nhất 520 bao gồm nMOS đầu vào 621, và hai pMOS 623 và 625, tất cả được ghép nối với nhau nối tiếp giữa VDD và mặt đất. nMOS đầu vào 621 có cực nguồn, cực cổng, và cực máng, trong đó cực nguồn được nối đất và cực cổng được tạo cấu hình để nhận tín hiệu đầu vào *clkin*. pMOS 623 có cực nguồn, cực cổng, và cực máng, trong đó cực máng được ghép nối với cực máng của nMOS đầu vào 621 và cực cổng được tạo cấu hình để nhận một trong các điện áp phân cực, *vbp_cas*. pMOS 625 cũng có cực nguồn, cực cổng, và cực máng, trong đó cực nguồn được ghép nối với VDD, cực cổng được tạo cấu hình để

nhận một điện áp phân cực khác, vbp , và cực máng được ghép nối với cực nguồn của pMOS 623. Theo một số phương án triển khai, pMOS 625 là điều chỉnh được. Ví dụ, pMOS 625 có thể được triển khai bằng cách sử dụng tập hợp các pMOS gần như tương tự nhau (không được thể hiện để tránh che khuất hình vẽ) được ghép nối với nhau song song giữa cực nguồn của pMOS 623 và VDD. Điện áp phân cực vbp được áp dụng vào các cực cổng của các pMOS này. Hơn nữa, một số pMOS được chọn có thể được bật (hoặc được kích hoạt) dựa vào mã, *fine* - mịn (được thể hiện trên Fig.3 và Fig.4), để chỉnh tổng dòng điện chạy từ VDD đến cực nguồn của pMOS 623. Điện áp đầu ra của giai đoạn phụ P thứ nhất 520 được tạo ra tại nút giữa cực máng của nMOS đầu vào 621 và cực máng của pMOS 623. Đầu ra của giai đoạn phụ P thứ nhất 520 được ghép nối với đầu vào của giai đoạn phụ N thứ hai 540. Các pMOS 623 và 625 trong giai đoạn phụ P thứ nhất 520 lần lượt được điều khiển tại các cực cổng của chúng bởi các điện áp phân cực, vbp_cas và vbp , từ bộ tạo điện áp phân cực (chẳng hạn như bộ tạo điện áp phân cực 410 trên Fig.4), tạo ra các điện áp phân cực từ dòng điện tham chiếu khe dải I_e . Để đáp lại vbp_cas và vbp , dòng điện được tạo ra để chạy từ VDD qua các pMOS 623 và 625, do đó, tạo ra dòng điện cung ứng. Vì vậy, các pMOS 623 và 625 cũng được gọi là nguồn dòng điện cung ứng hoặc nguồn dòng điện I_e cung ứng. Trong quá trình hoạt động, vbp_cas và vbp có thể được chỉnh để điều chỉnh sườn xuống của phiên bản trễ $clkin$ (tức là, $clkout$). Các chi tiết hơn về việc điều chỉnh sẽ được mô tả tiếp dưới đây.

Theo một số phương án triển khai, giai đoạn phụ N thứ hai 540 bao gồm nMOS đầu ra 641 và pMOS bù 643. nMOS đầu ra 641 có cực nguồn, cực cổng, và cực máng, trong đó cực nguồn được nối đất, cực cổng được ghép nối với các cực máng của nMOS đầu vào 621 và pMOS 623 của giai đoạn phụ P thứ nhất 520, và cực máng được tạo cấu hình để xuất ra đầu ra của mạch trễ 420, $clkout$. pMOS bù 643 có cực nguồn, cực cổng, và cực máng, trong đó cực máng được nối đất, cực nguồn được ghép nối với cực máng của nMOS đầu ra 641, và cực cổng được ghép nối với đầu ra của môđun theo dõi thứ hai 560. Trong quá trình hoạt động, điện áp được tạo ra tại nút giữa nMOS đầu vào 621 và nguồn dòng điện cung ứng của giai đoạn phụ P 520 thứ nhất điều khiển cực cổng của nMOS đầu ra 641, tạo $clkout$ tại cực máng của nó.

Như được thể hiện trên Fig.6, một phương án triển khai của modul theo dõi thứ hai 560 bao gồm nMOS 665, một nMOS khác 663, và pMOS 661, tất cả được ghép nối với nhau nối tiếp giữa VDD và mặt đất. Cụ thể là, nMOS 665 có cực nguồn, cực máng, và cực cổng, trong đó cực nguồn được nối đất và cực cổng được tạo cấu hình để nhận một trong các điện áp phân cực từ bộ tạo điện áp phân cực (chẳng hạn như bộ tạo điện áp phân cực 410 trên Fig.4), *vbn*. nMOS 663 cũng có cực nguồn, cực máng, và cực cổng, trong đó cực nguồn được ghép nối với cực máng của nMOS 665, và cực cổng được tạo cấu hình để nhận một trong các điện áp phân cực khác từ bộ tạo điện áp phân cực, *vbn_cas*. pMOS 661 có cực máng, cực nguồn, và cực cổng, trong đó cực nguồn được ghép nối với VDD, cực máng được ghép nối với cực máng của nMOS 663 để cung cấp điện áp đầu ra cho giai đoạn phụ N thứ hai 540, và cực cổng là được tạo cấu hình để nhận phiên bản bổ sung của tín hiệu đầu vào *clkin_b*. Các nMOS 663 và 665 trong modul theo dõi thứ hai 560 lần lượt được điều khiển tại các cực cổng của chúng bởi các điện áp phân cực, *vbn_cas* và *vbn*. Như được đề cập ở trên, bộ tạo điện áp phân cực tạo ra các điện áp phân cực từ dòng điện tham chiếu khe dải I_e . Để đáp lại *vbn_cas* và *vbn*, dòng điện có thể được phép chạy qua các nMOS 665 và 663 từ cực máng của pMOS 661 xuống đất, nhờ đó, tạo dòng điện góp. Vì vậy, các nMOS 663 và 665 còn được gọi là nguồn dòng điện góp hoặc nguồn dòng điện I_e cung ứng. Theo một số phương án triển khai, nMOS 665 là điều chỉnh được. Ví dụ, nMOS 665 có thể được triển khai bằng cách sử dụng tập hợp các bóng bán dẫn nMOS gần như tương tự nhau (không được thể hiện để tránh che khuất hình vẽ) được ghép nối với nhau song song giữa cực nguồn của nMOS 653 và mặt đất. Điện áp phân cực *vbn* được áp dụng vào các cực cổng của các nMOS này. Hơn nữa, một số nMOS được chọn có thể được bật (hoặc được kích hoạt) dựa vào mã, *fine* - mịn (được thể hiện trên Fig.3 và Fig.4), để chỉnh tổng dòng điện chạy từ pMOS 663 xuống đất. Lưu ý rằng nguồn dòng điện góp được tạo ra bởi nMOS 663 và 665 gần như tương tự với nguồn dòng điện góp được tạo ra bởi nMOS 613 và 615 trong giai đoạn phụ N thứ nhất 510 theo một số phương án triển khai. Do đó, nguồn dòng điện góp trong modul theo dõi thứ hai 560 có thể theo dõi nguồn dòng điện góp trong giai đoạn phụ N thứ nhất 510 trong các điều kiện PVT khác nhau.

Quay trở lại modul theo dõi thứ hai 560, cực máng của nMOS 663 được ghép nối với cực cổng của pMOS bù 643 trong giai đoạn phụ N thứ hai 540. Trong quá trình hoạt động, điện áp tại cực máng của pMOS 663 điều khiển cực cổng của pMOS bù 643, khiến cho pMOS bù 643 cung cấp phần bù góc lệch chéo cho nMOS đầu ra 641, được điều khiển bởi điện áp tại nút giữa nMOS đầu vào 621 và nguồn dòng điện cung ứng trong giai đoạn phụ P thứ nhất 520.

Để minh họa thêm hoạt động của mạch trễ 420, xem xét tình huống khi *clkin* chuyển từ mức cao xuống mức thấp. Điện áp thấp của *clkin* sẽ vô hiệu hóa (hoặc tắt) nMOS đầu vào 621 để ngăn dòng điện chạy từ nguồn dòng điện cung ứng (tức là, các pMOS 623 và 625) xuống đất. Do đó, điện áp tại nút, ở đó các cực máng của nMOS đầu vào 621 và pMOS 623 được ghép nối với nhau, được kéo lên. Vì cực cổng của nMOS đầu ra 641 được ghép nối với các cực máng của nMOS đầu vào 621 và pMOS 623, nMOS đầu ra 641 được kích hoạt (hoặc được bật), kéo điện áp tại cực máng của nMOS đầu ra 641, mà xuất ra *clkout*, xuống. Kết quả là, *clkout* chuyển sang mức thấp để tạo sườn xuống của *clkout*. Lưu ý rằng nửa trên của mạch trễ 420 (tức là, giai đoạn phụ N thứ nhất 510 và giai đoạn phụ P thứ hai 530) bị tắt khi *clkin* chuyển từ mức cao xuống mức thấp. Sườn xuống của tín hiệu đầu ra *clkout* được tạo ra bởi giai đoạn phụ P thứ nhất 520 và giai đoạn phụ N thứ hai 540 hoạt động cùng nhau. Bằng cách tạo ra sườn lên và sườn xuống của *clkout* riêng biệt bằng cách sử dụng các phần phân biệt của mạch trễ 420, mạch trễ 420 có thể tạo ra sườn lên và sườn xuống hầu như bằng nhau một cách có lợi. Không giống như mạch trễ dựa vào biến tần thông thường 100 được thể hiện trên Fig.1, có thể tạo ra các sườn lên và xuống không đồng đều do PN không khớp, mạch trễ 420 không dễ bị ảnh hưởng bởi hiệu ứng PN không khớp về mặt này. Như được mô tả ở trên, modul theo dõi thứ hai 560 cung cấp phần bù góc lệch chéo cho nMOS đầu ra 641. Cụ thể là, trong ví dụ hiện tại, *clkin_b* chuyển từ mức thấp lên mức cao khi *clkin* chuyển từ mức cao xuống mức thấp. Như được đề cập ở trên, cực cổng của pMOS 661 trong modul theo dõi thứ hai 560 được tạo cấu hình để nhận *clkin_b*. Do đó, pMOS 661 bị vô hiệu hóa (hoặc bị tắt) để đáp lại việc *clkin_b* chuyển sang mức cao, chặn dòng điện từ VDD qua các nMOS 665 và 663 xuống đất. Do đó, nút tại cực máng của nMOS 663 được kéo xuống điện áp mức thấp (ví dụ, gần bằng điện áp nối đất). Vì cực cổng của pMOS bù 643 được ghép nối với cực máng của

nMOS 663, nên pMOS bù 643 được kích hoạt (hoặc được bật) bởi điện áp mức thấp để cung cấp phần bù góc lệch chéo cho nMOS đầu ra 641 khi sườn xuống của *clkout* được tạo ra. Với phần bù góc lệch chéo được cung cấp bởi các modul theo dõi 550 và 560, mạch trễ 420 có thể được làm cho hầu như không nhạy cảm với các thay đổi của PVT một cách có lợi.

Theo một số các phương án triển khai, mạch trễ 420 bao gồm modul hiệu chỉnh chu kỳ làm việc (DCC) 570 để hiệu chỉnh, bù, hoặc giảm thiểu độ méo chu kỳ làm việc do mạch trễ 420 gây ra, nếu có. Lưu ý rằng modul DCC 570 được tích hợp trong mạch trễ 420, và khác biệt và tách biệt với modul DCC 320 được thể hiện trên Fig.3. Tham chiếu đến Fig.6, modul DCC 570 bao gồm nMOS 671 và pMOS 673. nMOS 671 có cực máng, cực nguồn, và cực cổng, trong đó cực nguồn được nối đất, cực máng được ghép nối với cực nguồn của nMOS 613 và cực máng của nMOS 615 của giai đoạn phụ N thứ nhất 510, và cực cổng được tạo cấu hình để nhận *vbn*. pMOS 673 cũng có cực máng, cực nguồn, và cực cổng, trong đó cực nguồn được ghép nối với VDD, cực máng được ghép nối với cực nguồn của pMOS 623 và cực máng của pMOS 625 của giai đoạn phụ P thứ nhất 520, và cực cổng được tạo cấu hình để nhận *vbp*.

Theo một số phương án triển khai, pMOS 673 là điều chỉnh được, trong khi nMOS 671 là không đổi (hoặc không thay đổi). Ví dụ, pMOS 673 có thể được triển khai bằng cách sử dụng tập hợp các pMOS gần như tương tự nhau (không được thể hiện để tránh che khuất hình vẽ) được ghép nối với nhau song song giữa cực máng của pMOS 625 và VDD. Điện áp phân cực *vbp* được áp dụng vào các cực cổng của các pMOS này. Hơn nữa, một số pMOS đã chọn có thể được bật (hoặc kích hoạt) dựa vào mã, *dcc* (được thể hiện trên Fig.3), để điều chỉnh tổng dòng điện chạy từ VDD đến các cực nguồn của pMOS. pMOS 673 điều chỉnh được có thể điều chỉnh dòng điện để kiểm soát sườn xuống của tín hiệu đầu ra *clkout*. Lưu ý rằng sườn lên của *clkout* không được điều chỉnh. Ngoài ra, nMOS 671 có thể được tạo cấu hình để điều chỉnh được thay vì pMOS 673, trong trường hợp đó, sườn lên của *clkout* được điều chỉnh trong khi sườn xuống của *clkout* vẫn không thay đổi. Ví dụ, nMOS 671 có thể được triển khai bằng cách sử dụng tập hợp các nMOS gần như tương tự nhau (không được thể hiện để tránh che khuất hình vẽ) được ghép nối với nhau song song giữa mặt đất và các cực

máng của nMOS. Điện áp phân cực *vbn* được áp dụng vào các cực cổng của các nMOS này. Hơn nữa, một số nMOS đã chọn có thể được bật (hoặc được kích hoạt) dựa vào mã (tương tự như *dec* trên Fig.3) để điều chỉnh tổng dòng điện chạy qua nMOS xuống đất. Bằng cách chỉ điều chỉnh một trong số sườn xuống và sườn lên của *clkout*, có thể loại bỏ tình trạng cạnh tranh giữa độ trễ và hiệu chỉnh DCC vì chúng có thể được điều chỉnh độc lập thông qua mạch trễ 420. Ngoài ra, modul DCC 570 được tích hợp trong mạch trễ 420, và do đó, việc loại bỏ sự cần thiết cung cấp modul DCC bổ sung bên ngoài bộ trễ 260 để hiệu chỉnh DCC bất kỳ trong *clkout* từ bộ trễ 260. Do đó, việc có modul DCC 570 trong mạch trễ 420 giúp tiết kiệm diện tích và điện năng, đồng thời cải thiện hiệu suất.

Fig.7 thể hiện một phương án triển khai của bộ tạo điện áp phân cực 410 theo một số khía cạnh của sáng chế. Như được mô tả ở trên, bộ tạo điện áp phân cực 410 được tạo cấu hình để tạo ra tập hợp các điện áp phân cực (cụ thể là, *vbp*, *vbp_cas*, *vbn*, và *vbn_cas*) cho mạch trễ 420. Tham chiếu đến Fig.7, bộ tạo điện áp phân cực 410 bao gồm sáu (6) nMOS 710, 720, 722, 724, 730, và 732, và năm (5) pMOS 721, 723, 725, 731, và 733, mỗi trong số đó có cực nguồn, cực máng, và cực cổng. Cực nguồn của nMOS 710 được nối đất, còn cực cổng và cực máng của nMOS 710 được ghép nối với nhau và được tạo cấu hình để nhận dòng điện tham chiếu khe dải *I_e* từ nguồn dòng điện khe dải. Cực nguồn của nMOS 720 cũng được nối đất, cực cổng của nMOS 720 được ghép nối với cực cổng của nMOS 710, và cực máng của nMOS 720 được ghép nối với cực máng và cực cổng của pMOS 721. Cực nguồn của pMOS 721 được ghép nối với nguồn điện VDD. Các nMOS 710 và 720 được tạo cấu hình như mạch gương dòng điện sao cho dòng điện tham chiếu khe dải *I_e* chạy qua nMOS 710 được phản chiếu (hoặc sao chép) sang nMOS 720 ở phía bên kia. Do đó, dòng điện gần như giống với *I_e* chạy qua đường dẫn được tạo ra bởi nMOS 720 và pMOS 721.

Theo một số phương án triển khai, cực nguồn của pMOS 723 cũng được ghép nối với VDD. Cực cổng của pMOS 723 được ghép nối với cực cổng và cực máng của pMOS 721. Cực máng của pMOS 723 được ghép nối với cực máng và cực cổng của nMOS 722. Cực nguồn của nMOS 722 được nối đất. Giống như pMOS 723, cực nguồn của pMOS 725 cũng được ghép nối với VDD. Cực cổng của pMOS 725 được

ghép nối với cực cổng và cực máng của pMOS 721. Cực máng của pMOS 725 được ghép nối với cực máng và cực cổng của nMOS 724. Cực nguồn của nMOS 724 được nối đất. Trong quá trình hoạt động, pMOS 721 và pMOS 723 cũng được tạo cấu hình như mạch gương dòng điện. Do đó, dòng điện chạy qua pMOS 721 (tức là, I_e) được phản chiếu (hoặc được sao chép) thêm theo đường dẫn được tạo ra bởi pMOS 723 và nMOS 722. Điện áp được tạo ra tại cực máng và cực cổng của nMOS 722 được xuất ra dưới dạng một trong các điện áp phân cực, v_{bn} . Tương tự như vậy, pMOS 721 và pMOS 725 cũng được tạo cấu hình như mạch gương dòng điện. Do đó, I_e đi qua pMOS 721 một lần nữa được phản chiếu (hoặc được sao chép) theo đường dẫn được tạo ra bởi pMOS 725 và nMOS 724. Điện áp được tạo ra tại cực máng và cực cổng của nMOS 724 được xuất ra dưới dạng điện áp phân cực khác trong số các điện áp phân cực, v_{bn_cas} .

Theo một số phương án triển khai, cực nguồn của pMOS 731 được ghép nối với VDD, còn cực cổng và cực máng của pMOS 731 được ghép nối cùng nhau với cực máng của nMOS 730. Cực nguồn của nMOS 730 được nối đất và cực cổng của nMOS 730 được ghép nối với các cực cổng của cả nMOS 710 và 720. Giống như pMOS 731, cực nguồn của pMOS 733 được ghép nối với VDD, cực cổng và cực máng của pMOS 733 được ghép nối cùng nhau với cực máng của nMOS 732. Cực nguồn của nMOS 732 được nối đất và cực cổng của nMOS 732 được ghép nối với các cực cổng của cả nMOS 710 và 720. Trong quá trình hoạt động, nMOS 710 và 730 được tạo cấu hình như mạch gương dòng điện sao cho dòng điện I_e chạy qua nMOS 710 được phản chiếu (hoặc được sao chép) theo đường dẫn được tạo ra bởi nMOS 730 và pMOS 731. Do đó, dòng điện gần như giống với I_e chạy qua pMOS 731 và điện áp được tạo ra ở cực cổng và cực máng của pMOS 731 được xuất ra dưới dạng một trong các điện áp phân cực, v_{bp} . Tương tự như vậy, nMOS 710 và 732 cũng được tạo cấu hình như mạch gương dòng điện sao cho dòng điện I_e chạy qua nMOS 710 được phản chiếu (hoặc được sao chép) theo đường dẫn được tạo ra bởi nMOS 732 và pMOS 733. Do đó, dòng điện gần như giống với I_e chạy qua pMOS 733 và điện áp được tạo ra tại cực cổng và cực máng của pMOS 733 được xuất ra dưới dạng một trong các điện áp phân cực, v_{bp_cas} .

Theo một số phương án triển khai, nMOS 710 có thể điều chỉnh được để đáp lại tín hiệu hoặc mã, “*coarse*”- *thô* (chẳng hạn như mã, *coarse* - thô được thể hiện trên Fig.3 và Fig.4). Cụ thể là, nMOS 710 có thể được triển khai với tập hợp nMOS có kích thước gần như tương tự nhau, được ghép nối với nhau song song giữa các cực máng của nMOS và mặt đất. Một số nMOS đã chọn có thể được bật (được kích hoạt) dựa vào mã được áp dụng cho các cực cổng của nMOS.

Fig.8 thể hiện một phương án triển khai của phương pháp 800 để tạo phiên bản trễ của tín hiệu đầu vào. Phương pháp 800 có thể được thực hiện bằng cách sử dụng các phương án triển khai khác nhau của mạch trễ 420 đã được mô tả ở trên. Phương pháp 800 bắt đầu ở khối 810, trong đó sườn lên của tín hiệu đầu ra được tạo ra từ tín hiệu đầu vào bằng cách sử dụng giai đoạn phụ N thứ nhất có nguồn dòng điện góp. Ví dụ, sườn lên có thể được tạo ra bằng cách sử dụng một số phương án triển khai của giai đoạn phụ N thứ nhất 510 được thể hiện trên Fig.5 và Fig.6. Sau đó, phương pháp 800 chuyển sang khối 820, trong đó sườn xuống của tín hiệu đầu ra được tạo ra bằng cách sử dụng giai đoạn phụ P thứ nhất có nguồn dòng điện cung ứng. Ví dụ, sườn xuống có thể được tạo ra bằng cách sử dụng một số phương án triển khai của giai đoạn phụ P thứ nhất 520 được thể hiện trên Fig.5 và Fig.6. Hơn nữa, nguồn dòng điện góp và nguồn dòng điện cung ứng có thể thay đổi (hoặc điều chỉnh được) để đáp lại các điện áp tương ứng trong tập hợp các điện áp phân cực. Ví dụ, các điện áp phân cực có thể được cung cấp bởi bộ tạo điện áp phân cực, chẳng hạn như một số các phương án triển khai của bộ tạo điện áp phân cực 410 được thể hiện trên Fig.4 và Fig.7.

Theo một số phương án triển khai, phương pháp tiếp tục chuyển từ khối 820 sang khối 830, trong đó chỉ một trong số sườn lên và sườn xuống của tín hiệu đầu ra được điều chỉnh để hiệu chỉnh độ méo chu kỳ làm việc của tín hiệu đầu ra. Ví dụ, phương pháp 800 có thể sử dụng modul độ méo chu kỳ làm việc (DCC), chẳng hạn như một số phương án triển khai của modul DCC 570 được thể hiện trên Fig.5 và Fig.6. Theo các phương án triển khai trong đó sườn xuống của tín hiệu đầu ra được điều chỉnh để hiệu chỉnh độ méo chu kỳ làm việc, modul DCC có thể được triển khai với pMOS điều chỉnh được (ví dụ, pMOS 673 điều chỉnh được trên Fig.6). Ngoài ra, theo một số phương án triển khai trong đó sườn lên của tín hiệu đầu ra được điều chỉnh

để hiệu chỉnh độ méo chu kỳ làm việc, modul DCC có thể được triển khai với nMOS điều chỉnh được.

Cần hiểu rằng sáng chế không giới hạn đối với thuật ngữ ví dụ được sử dụng ở trên để mô tả các khía cạnh của sáng chế. Ví dụ, thiết bị trễ cũng có thể được gọi là giai đoạn trễ, bộ đệm trễ, thành phần trễ, hoặc một thuật ngữ khác. Bộ tạo xung nhịp cầu phương cũng có thể được gọi là bộ tạo xung nhịp hoặc một thuật ngữ khác. Xung nhịp có thể được gọi là tín hiệu xung nhịp, tín hiệu định thời, hoặc một thuật ngữ khác.

Trong sáng chế này, từ “ví dụ” được dùng với nghĩa là “đóng vai trò là ví dụ, trường hợp, hoặc minh họa.” Bất kỳ phương án triển khai hoặc khía cạnh nào được mô tả ở đây là “ví dụ” không nhất thiết phải được hiểu là ưu tiên hoặc có lợi hơn các khía cạnh khác của sáng chế. Tương tự như vậy, thuật ngữ “các khía cạnh” không yêu cầu rằng tất cả các khía cạnh của sáng chế gồm đặc điểm, ưu điểm, hoặc phương thức hoạt động được thảo luận. Thuật ngữ “được ghép nối” được dùng trong này để chỉ sự ghép nối trực tiếp hoặc gián tiếp bằng điện giữa hai cấu trúc. Cũng cần hiểu rằng thuật ngữ “nối đất” có thể đề cập đến nối đất DC hoặc nối đất AC, và do đó, thuật ngữ “nối đất” bao gồm cả hai khả năng.

Một số ví dụ về phương án triển khai được mô tả trong các mục được đánh số sau đây:

1. Mạch trễ, bao gồm: giai đoạn phụ N thứ nhất có nguồn dòng điện góp, được tạo cấu hình để nhận tín hiệu đầu vào và tạo ra sườn lên của tín hiệu đầu ra của mạch trễ, trong đó tín hiệu đầu ra là phiên bản trễ của tín hiệu đầu vào; và giai đoạn phụ P thứ nhất có nguồn dòng điện cung ứng, được tạo cấu hình để nhận tín hiệu đầu vào và tạo ra sườn xuống của tín hiệu đầu ra, trong đó nguồn dòng điện góp và nguồn dòng điện cung ứng có thể thay đổi để đáp lại các điện áp tương ứng trong số nhiều điện áp phân cực.
2. Mạch trễ theo mục 1, còn bao gồm modul hiệu chỉnh chu kỳ làm việc được ghép nối với giai đoạn phụ N thứ nhất và giai đoạn phụ P thứ nhất, được tạo cấu hình

để điều chỉnh chỉ một trong số sườn lên và sườn xuống của tín hiệu đầu ra để hiệu chỉnh độ méo chu kỳ làm việc của tín hiệu đầu ra.

3. Mạch trễ theo mục 2, trong đó modul hiệu chỉnh chu kỳ làm việc bao gồm: tập hợp các thiết bị bán dẫn oxit kim loại loại p (pMOS), mỗi thiết bị có cực máng, cực cổng, và cực nguồn, cực máng được ghép nối với giai đoạn phụ P thứ nhất, cực nguồn được ghép nối với nguồn điện áp (VDD), và cực cổng được tạo cấu hình để nhận điện áp thứ nhất trong số nhiều điện áp phân cực (V_{bp}); và tập hợp các thiết bị bán dẫn oxit kim loại loại n (nMOS), mỗi thiết bị có cực máng, cực cổng, và cực nguồn, cực máng được ghép nối với giai đoạn phụ N thứ nhất, cực nguồn được nối đất, và cực cổng được tạo cấu hình để nhận điện áp thứ hai trong số nhiều điện áp phân cực (V_{bn}).

4. Mạch trễ theo mục 3, trong đó tập hợp các pMOS của modul hiệu chỉnh chu kỳ làm việc được tạo cấu hình để điều chỉnh được nhằm điều chỉnh sườn xuống của tín hiệu đầu ra và tập hợp các nMOS của modul hiệu chỉnh chu kỳ làm việc được tạo cấu hình để duy trì không đổi.

5. Mạch trễ theo mục 3, trong đó tập hợp các nMOS của modul hiệu chỉnh chu kỳ làm việc được tạo cấu hình để điều chỉnh được nhằm điều chỉnh sườn lên của tín hiệu đầu ra, và tập hợp các pMOS của modul hiệu chỉnh chu kỳ làm việc được tạo cấu hình để duy trì không đổi.

6. Mạch trễ theo mục 1, còn bao gồm: giai đoạn phụ N thứ hai có đầu vào thứ nhất được ghép nối với giai đoạn phụ P thứ nhất, và đầu ra được ghép nối với đầu ra của mạch trễ để cung cấp sườn xuống của tín hiệu đầu ra của mạch trễ; và giai đoạn phụ P thứ hai có đầu vào thứ nhất được ghép nối với giai đoạn phụ N thứ nhất, và đầu ra được ghép nối với đầu ra của mạch trễ để cung cấp sườn lên của tín hiệu đầu ra của mạch trễ.

7. Mạch trễ theo mục 6, trong đó giai đoạn phụ P thứ hai bao gồm: pMOS đầu ra có cực nguồn, cực cổng, và cực máng, cực nguồn của pMOS đầu ra được ghép nối với nguồn điện áp (VDD), cực máng được ghép nối với đầu ra của mạch trễ, và cực cổng được ghép nối với giai đoạn phụ N thứ nhất; và nMOS bù có cực cổng, cực

nguồn, và cực máng, cực máng được ghép nối với nguồn điện áp (VDD), cực nguồn được ghép nối với đầu ra của mạch trễ, và cực cổng được ghép nối với modul theo dõi thứ nhất.

8. Mạch trễ theo mục 7, trong đó modul theo dõi thứ nhất bao gồm nguồn dòng điện cung ứng thứ hai, gần như tương tự với nguồn dòng điện cung ứng của giai đoạn phụ P thứ nhất, và nMOS có cực cổng, cực nguồn, và cực máng, cực nguồn được nối đất, cực máng được ghép nối với nguồn dòng điện cung ứng thứ hai, và cực cổng được tạo cấu hình để nhận phiên bản bổ sung của tín hiệu đầu vào.

9. Mạch trễ theo mục 8, trong đó giai đoạn phụ N thứ hai bao gồm: nMOS đầu ra có cực nguồn, cực cổng, và cực máng, cực nguồn được nối đất, cực máng được ghép nối với đầu ra của mạch trễ, và cực cổng được ghép nối với giai đoạn phụ P thứ nhất; và pMOS bù có cực cổng, cực nguồn, và cực máng, cực máng được nối đất, cực nguồn được ghép nối với đầu ra của mạch trễ, và cực cổng được ghép nối với modul theo dõi thứ hai.

10. Mạch trễ theo mục 9, trong đó modul theo dõi thứ hai bao gồm nguồn dòng điện góp thứ hai, gần như tương tự với nguồn dòng điện góp của giai đoạn phụ N thứ nhất, và pMOS có cực cổng, cực nguồn, và cực máng, cực nguồn được ghép nối với nguồn điện áp (VDD), cực máng được ghép nối với nguồn dòng điện góp thứ hai, và cực cổng được tạo cấu hình để nhận phiên bản bổ sung của tín hiệu đầu vào.

11. Mạch trễ theo mục 1, trong đó nhiều điện áp phân cực được tạo ra từ dòng điện tham chiếu khe dài.

12. Hệ thống trên chip (SoC), bao gồm: modul xử lý; và giao diện đầu vào, được ghép nối với modul xử lý, được tạo cấu hình để nhận các tín hiệu đầu vào từ nguồn bên ngoài SoC, giao diện đầu vào bao gồm bộ tạo xung nhịp cầu phương, bộ tạo xung nhịp cầu phương bao gồm mạch trễ như được nêu trong mục 1.

13. Hệ thống theo mục 12, trong đó bộ tạo xung nhịp cầu phương còn bao gồm: bộ chuyển đổi một đầu sang vi sai được ghép nối với mạch trễ để nhận phiên bản trễ của tín hiệu xung nhịp và để tạo ra cặp tín hiệu xung nhịp bổ sung dựa vào phiên bản trễ của tín hiệu xung nhịp; và bộ nội suy pha được ghép nối với bộ chuyển đổi một đầu sang vi sai để nhận cặp tín hiệu xung nhịp bổ sung.

14. Phương pháp tạo ra phiên bản trễ của tín hiệu đầu vào, phương pháp này bao gồm các bước: tạo ra sườn lên của tín hiệu đầu ra từ tín hiệu đầu vào bằng cách sử dụng giai đoạn phụ N thứ nhất có nguồn dòng điện góp, trong đó tín hiệu đầu ra là phiên bản trễ của tín hiệu đầu vào; và tạo ra sườn xuống của tín hiệu đầu ra bằng cách sử dụng giai đoạn phụ P thứ nhất có nguồn dòng điện cung ứng, trong đó nguồn dòng điện góp và nguồn dòng điện cung ứng có thể thay đổi để đáp lại các điện áp tương ứng trong số nhiều điện áp phân cực.

15. Phương pháp theo mục 14, phương pháp này còn bao gồm bước: điều chỉnh chỉ một trong số sườn lên và sườn xuống của tín hiệu đầu ra để hiệu chỉnh độ méo chu kỳ làm việc của tín hiệu đầu ra.

16. Phương pháp theo mục 14, phương pháp này còn bao gồm các bước: cung cấp sườn xuống của tín hiệu đầu ra bằng cách sử dụng giai đoạn phụ N thứ hai, giai đoạn phụ N thứ hai có đầu vào thứ nhất được ghép nối với giai đoạn phụ P thứ nhất, và đầu ra được ghép nối với đầu ra của mạch trễ; và cung cấp sườn lên của tín hiệu đầu ra bằng cách sử dụng giai đoạn phụ P thứ hai, giai đoạn phụ P thứ hai có đầu vào thứ nhất được ghép nối với giai đoạn phụ N thứ nhất, và đầu ra được ghép nối với đầu ra của mạch trễ.

17. Phương pháp theo mục 16, trong đó giai đoạn phụ P thứ hai bao gồm pMOS đầu ra có cực nguồn, cực cổng, và cực máng, cực nguồn của pMOS đầu ra được ghép nối với nguồn điện áp (VDD), cực máng được ghép nối với đầu ra của mạch trễ, và cực cổng được ghép nối với giai đoạn phụ N thứ nhất; và phương pháp này còn bao gồm bước: cung cấp phần bù lệch chéo cho sườn lên của tín hiệu đầu ra bằng cách sử dụng nMOS bù được điều khiển bởi modun theo dõi thứ nhất, trong đó nMOS bù có cực cổng, cực nguồn, và cực máng, cực máng được ghép nối với nguồn điện áp

(VDD), cực nguồn được ghép nối với đầu ra của mạch trễ, và cực cổng được ghép nối với modul theo dõi thứ nhất.

18. Phương pháp theo mục 17, trong đó giai đoạn phụ N thứ hai bao gồm nMOS đầu ra có cực nguồn, cực cổng, và cực máng, cực nguồn của nMOS đầu ra được nối đất, cực máng được ghép nối với đầu ra của mạch trễ, và cực cổng được ghép nối với giai đoạn phụ P thứ nhất; và phương pháp này còn bao gồm bước: cung cấp phân bù lệch chéo cho sườn xuống của tín hiệu đầu ra bằng cách sử dụng pMOS bù được điều khiển bởi modul theo dõi thứ hai, trong đó pMOS bù có cực cổng, cực nguồn, và cực máng, cực máng được nối đất, cực nguồn được ghép nối với đầu ra của mạch trễ, và cực cổng được ghép nối với modul theo dõi thứ hai.

19. Phương pháp theo mục 14, phương pháp này còn bao gồm bước: tạo ra nhiều điện áp phân cực từ nguồn dòng điện tham chiếu khe dải.

Phần mô tả trên đây của sáng chế được trình bày để cho phép người có hiểu biết trung bình trong lĩnh vực kỹ thuật này có thể thực hiện hoặc sử dụng sáng chế. Những sửa đổi khác nhau đối với sáng chế sẽ dễ dàng thấy rõ đối với những người có hiểu biết trung bình trong lĩnh vực kỹ thuật này, và các nguyên tắc chung được xác định ở đây có thể được áp dụng cho các biến thể khác mà không nằm ngoài bản chất hoặc phạm vi của sáng chế. Do đó, phần mô tả sáng chế không nhằm giới hạn trong các ví dụ được mô tả ở đây mà được hiểu là có phạm vi rộng nhất phù hợp với các nguyên lý và các đặc tính mới được bộc lộ ở đây.

YÊU CẦU BẢO HỘ

1. Mạch trễ, bao gồm:

giai đoạn phụ N thứ nhất có nguồn dòng điện góp, được tạo cấu hình để nhận tín hiệu đầu vào và tạo ra sườn lên của tín hiệu đầu ra của mạch trễ, trong đó tín hiệu đầu ra là phiên bản trễ của tín hiệu đầu vào;

giai đoạn phụ P thứ nhất có nguồn dòng điện cung ứng, được tạo cấu hình để nhận tín hiệu đầu vào và tạo ra sườn xuống của tín hiệu đầu ra, trong đó nguồn dòng điện góp và nguồn dòng điện cung ứng có thể thay đổi để đáp lại các điện áp tương ứng trong số nhiều điện áp phân cực; và

modun hiệu chỉnh chu kỳ làm việc được ghép nối với giai đoạn phụ N thứ nhất và giai đoạn phụ P thứ nhất, được tạo cấu hình để điều chỉnh chỉ một trong số sườn lên và sườn xuống của tín hiệu đầu ra để hiệu chỉnh độ méo chu kỳ làm việc của tín hiệu đầu ra.

2. Mạch trễ theo điểm 1, trong đó modun hiệu chỉnh chu kỳ làm việc bao gồm:

tập hợp các thiết bị bán dẫn oxit kim loại loại p (p-type metal oxide semiconductor device - pMOS), mỗi thiết bị có cực máng, cực cổng, và cực nguồn, cực máng được ghép nối với giai đoạn phụ P thứ nhất, cực nguồn được ghép nối với nguồn điện áp (voltage supply - VDD), và cực cổng được tạo cấu hình để nhận điện áp thứ nhất trong số nhiều điện áp phân cực (V_{bp}); và

tập hợp các thiết bị bán dẫn oxit kim loại loại n (n-type metal oxide semiconductor device - nMOS), mỗi thiết bị có cực máng, cực cổng, và cực nguồn, cực máng được ghép nối với giai đoạn phụ N thứ nhất, cực nguồn được nối đất, và cực cổng được tạo cấu hình để nhận điện áp thứ hai trong số nhiều điện áp phân cực (V_{bn}).

3. Mạch trễ theo điểm 2, trong đó tập hợp các pMOS của modun hiệu chỉnh chu kỳ làm việc được tạo cấu hình để điều chỉnh được nhằm điều chỉnh sườn xuống của tín hiệu đầu ra, và tập hợp các nMOS của modun hiệu chỉnh chu kỳ làm việc được tạo cấu hình để duy trì không đổi.

4. Mạch trễ theo điểm 2, trong đó tập hợp các nMOS của modun hiệu chỉnh chu kỳ làm việc được tạo cấu hình để điều chỉnh được nhằm điều chỉnh sườn lên của tín hiệu

đầu ra, và tập hợp các pMOS của modul hiệu chỉnh chu kỳ làm việc được tạo cấu hình để duy trì không đổi.

5. Mạch trễ, bao gồm:

giai đoạn phụ N thứ nhất có nguồn dòng điện góp, được tạo cấu hình để nhận tín hiệu đầu vào và tạo ra sườn lên của tín hiệu đầu ra của mạch trễ, trong đó tín hiệu đầu ra là phiên bản trễ của tín hiệu đầu vào;

giai đoạn phụ P thứ nhất có nguồn dòng điện cung ứng, được tạo cấu hình để nhận tín hiệu đầu vào và tạo ra sườn xuống của tín hiệu đầu ra, trong đó nguồn dòng điện góp và nguồn dòng điện cung ứng có thể thay đổi để đáp lại các điện áp tương ứng trong số nhiều điện áp phân cực;

giai đoạn phụ N thứ hai có đầu vào thứ nhất được ghép nối với giai đoạn phụ P thứ nhất, và đầu ra được ghép nối với đầu ra của mạch trễ để cung cấp sườn xuống của tín hiệu đầu ra của mạch trễ; và

giai đoạn phụ P thứ hai có đầu vào thứ nhất được ghép nối với giai đoạn phụ N thứ nhất, và đầu ra được ghép nối với đầu ra của mạch trễ để cung cấp sườn lên của tín hiệu đầu ra của mạch trễ.

6. Mạch trễ theo điểm 5, trong đó giai đoạn phụ P thứ hai bao gồm:

pMOS đầu ra có cực nguồn, cực cổng, và cực máng, cực nguồn của pMOS đầu ra được ghép nối với nguồn điện áp (VDD), cực máng được ghép nối với đầu ra của mạch trễ, và cực cổng được ghép nối với giai đoạn phụ N thứ nhất; và

nMOS bù có cực cổng, cực nguồn, và cực máng, cực máng được ghép nối với nguồn điện áp (VDD), cực nguồn được ghép nối với đầu ra của mạch trễ, và cực cổng được ghép nối với modul theo dõi thứ nhất.

7. Mạch trễ theo điểm 6, trong đó modul theo dõi thứ nhất bao gồm nguồn dòng điện cung ứng thứ hai, gần như tương tự với nguồn dòng điện cung ứng của giai đoạn phụ P thứ nhất, và nMOS có cực cổng, cực nguồn, và cực máng, cực nguồn được nối đất, cực máng được ghép nối với nguồn dòng điện cung ứng thứ hai, và cực cổng được tạo cấu hình để nhận phiên bản bổ sung của tín hiệu đầu vào.

8. Mạch trễ theo điểm 7, trong đó giai đoạn phụ N thứ hai bao gồm:

nMOS đầu ra có cực nguồn, cực cổng, và cực máng, cực nguồn được nối đất, cực máng được ghép nối với đầu ra của mạch trễ, và cực cổng được ghép nối với giai đoạn phụ P thứ nhất; và

pMOS bù có cực cổng, cực nguồn, và cực máng, cực máng được nối đất, cực nguồn được ghép nối với đầu ra của mạch trễ, và cực cổng được ghép nối với modul theo dõi thứ hai.

9. Mạch trễ theo điểm 8, trong đó modul theo dõi thứ hai bao gồm nguồn dòng điện góp thứ hai, gần như tương tự với nguồn dòng điện góp của giai đoạn phụ N thứ nhất, và pMOS có cực cổng, cực nguồn, và cực máng, cực nguồn được ghép nối với nguồn điện áp (VDD), cực máng được ghép nối với nguồn dòng điện góp thứ hai, và cực cổng được tạo cấu hình để nhận phiên bản bổ sung của tín hiệu đầu vào.

10. Mạch trễ theo điểm 1, trong đó nhiều điện áp phân cực được tạo ra từ dòng điện tham chiếu khe dải.

11. Hệ thống trên chip (system on a chip - SOC), bao gồm:

modul xử lý; và

giao diện đầu vào, được ghép nối với modul xử lý, được tạo cấu hình để nhận các tín hiệu đầu vào từ nguồn bên ngoài SoC, giao diện đầu vào bao gồm bộ tạo xung nhịp cầu phương, bộ tạo xung nhịp cầu phương bao gồm

mạch trễ như được yêu cầu bảo hộ theo điểm 1.

12. Hệ thống theo điểm 11, trong đó bộ tạo xung nhịp cầu phương còn bao gồm:

bộ chuyển đổi một đầu sang vi sai được ghép nối với mạch trễ để nhận phiên bản trễ của tín hiệu xung nhịp và tạo ra cặp tín hiệu xung nhịp bổ sung dựa vào phiên bản trễ của tín hiệu xung nhịp; và

bộ nội suy pha được ghép nối với bộ chuyển đổi một đầu sang vi sai để nhận cặp tín hiệu xung nhịp bổ sung.

13. Phương pháp tạo ra phiên bản trễ của tín hiệu đầu vào, phương pháp này bao gồm các bước:

tạo ra sườn lên của tín hiệu đầu ra từ tín hiệu đầu vào bằng cách sử dụng giai đoạn phụ N thứ nhất có nguồn dòng điện góp, trong đó tín hiệu đầu ra là phiên bản trễ của tín hiệu đầu vào;

tạo ra sườn xuống của tín hiệu đầu ra bằng cách sử dụng giai đoạn phụ P thứ nhất có nguồn dòng điện cung ứng, trong đó nguồn dòng điện góp và nguồn dòng điện cung ứng có thể thay đổi để đáp lại các điện áp tương ứng trong số nhiều điện áp phân cực; và

điều chỉnh chỉ một trong số sườn lên và sườn xuống của tín hiệu đầu ra để hiệu chỉnh độ méo chu kỳ làm việc của tín hiệu đầu ra.

14. Phương pháp theo điểm 13, phương pháp này còn bao gồm các bước:

cung cấp sườn xuống của tín hiệu đầu ra bằng cách sử dụng giai đoạn phụ N thứ hai, giai đoạn phụ N thứ hai có đầu vào thứ nhất được ghép nối với giai đoạn phụ P thứ nhất, và đầu ra được ghép nối với đầu ra của mạch trễ; và

cung cấp sườn lên của tín hiệu đầu ra bằng cách sử dụng giai đoạn phụ P thứ hai, giai đoạn phụ P thứ hai có đầu vào thứ nhất được ghép nối với giai đoạn phụ N thứ nhất, và đầu ra được ghép nối với đầu ra của mạch trễ.

15. Phương pháp theo điểm 14, trong đó giai đoạn phụ P thứ hai bao gồm pMOS đầu ra có cực nguồn, cực cổng, và cực máng, cực nguồn của pMOS đầu ra được ghép nối với nguồn điện áp (VDD), cực máng được ghép nối với đầu ra của mạch trễ, và cực cổng được ghép nối với giai đoạn phụ N thứ nhất; và phương pháp này còn bao gồm bước:

cung cấp phần bù lệch chéo cho sườn lên của tín hiệu đầu ra bằng cách sử dụng nMOS bù được điều khiển bởi modul theo dõi thứ nhất, trong đó nMOS bù có cực cổng, cực nguồn, và cực máng, cực máng được ghép nối với nguồn điện áp (VDD), cực nguồn được ghép nối với đầu ra của mạch trễ, và cực cổng được ghép nối với modul theo dõi thứ nhất.

16. Phương pháp theo điểm 15, trong đó giai đoạn phụ N thứ hai bao gồm nMOS đầu ra có cực nguồn, cực cổng, và cực máng, cực nguồn của nMOS đầu ra được nối đất, cực máng được ghép nối với đầu ra của mạch trễ, và cực cổng được ghép nối với giai đoạn phụ P thứ nhất; và phương pháp này còn bao gồm bước:

cung cấp phần bù lệch chéo cho sườn xuống của tín hiệu đầu ra bằng cách sử dụng pMOS bù được điều khiển bởi modul theo dõi thứ hai, trong đó pMOS bù có cực cổng, cực nguồn, và cực máng, cực máng được nối đất, cực nguồn được ghép nối với đầu ra của mạch trễ, và cực cổng được ghép nối với modul theo dõi thứ hai.

17. Phương pháp theo điểm 13, phương pháp này còn bao gồm bước:
tạo ra nhiều điện áp phân cực từ nguồn dòng điện tham chiếu khe dải.

1/7

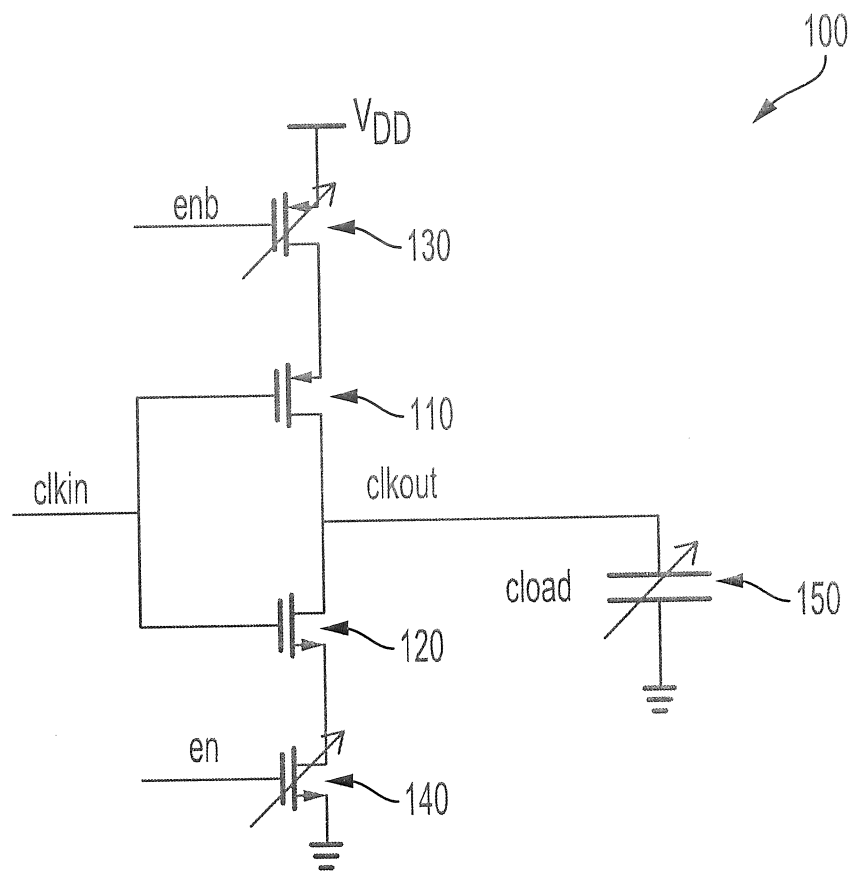


Fig. 1

Theo kỹ thuật đã biết

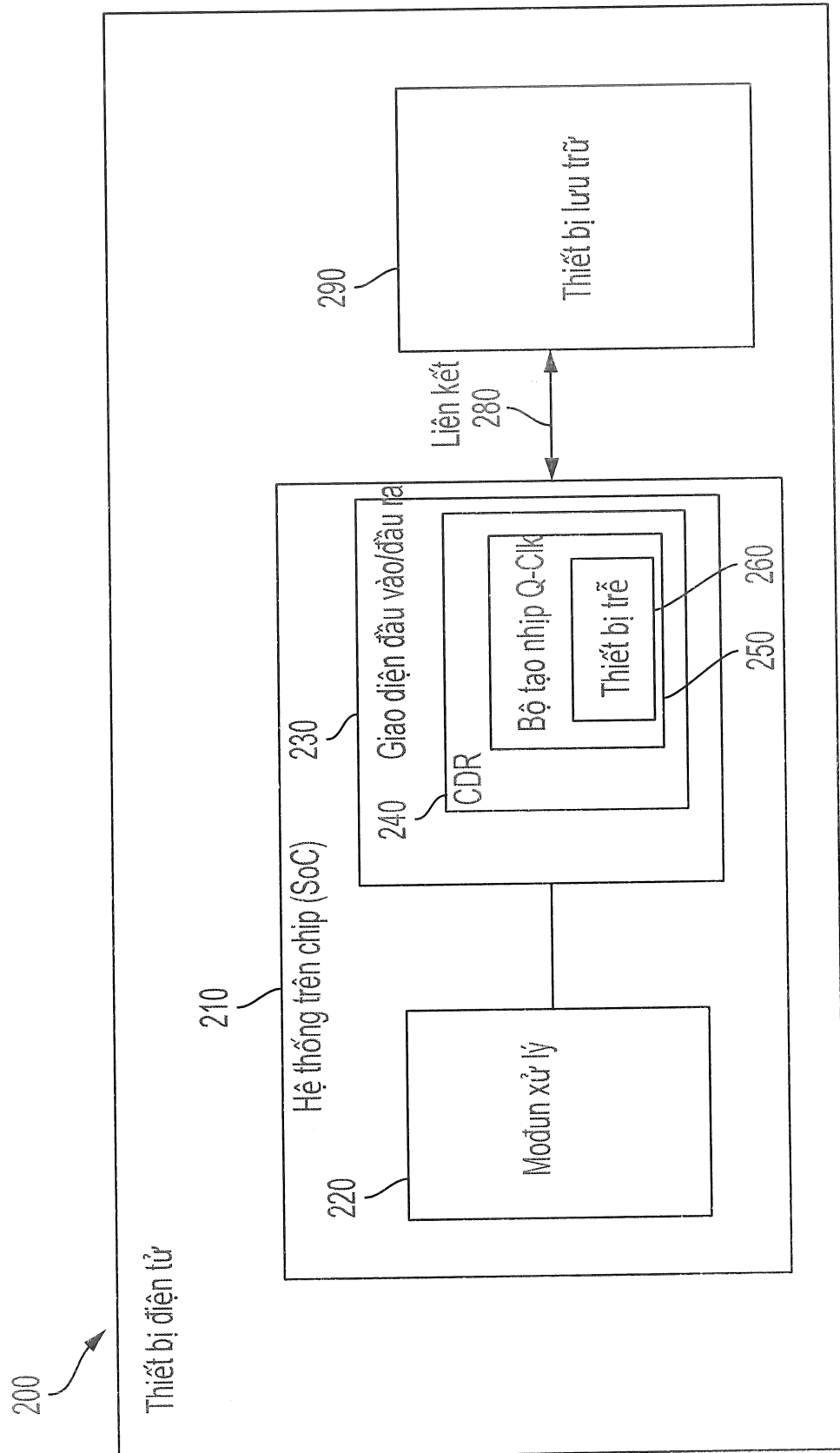


Fig. 2

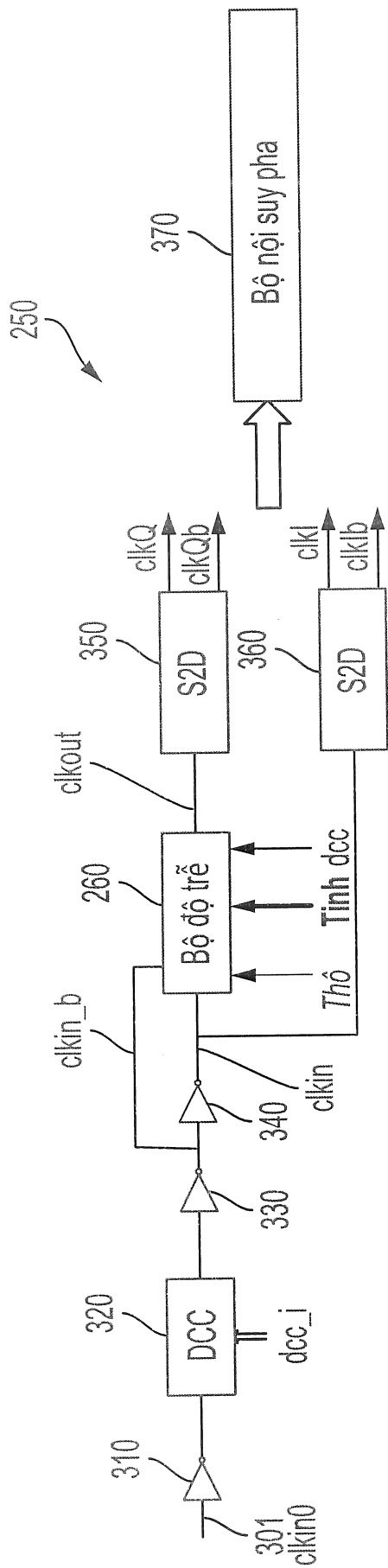


Fig. 3

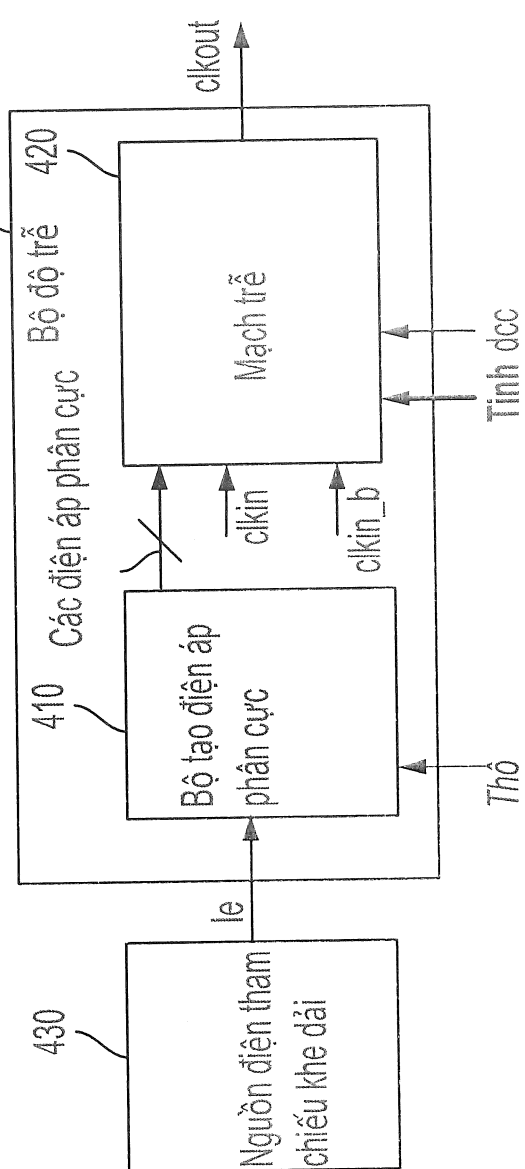


Fig. 4

4/7

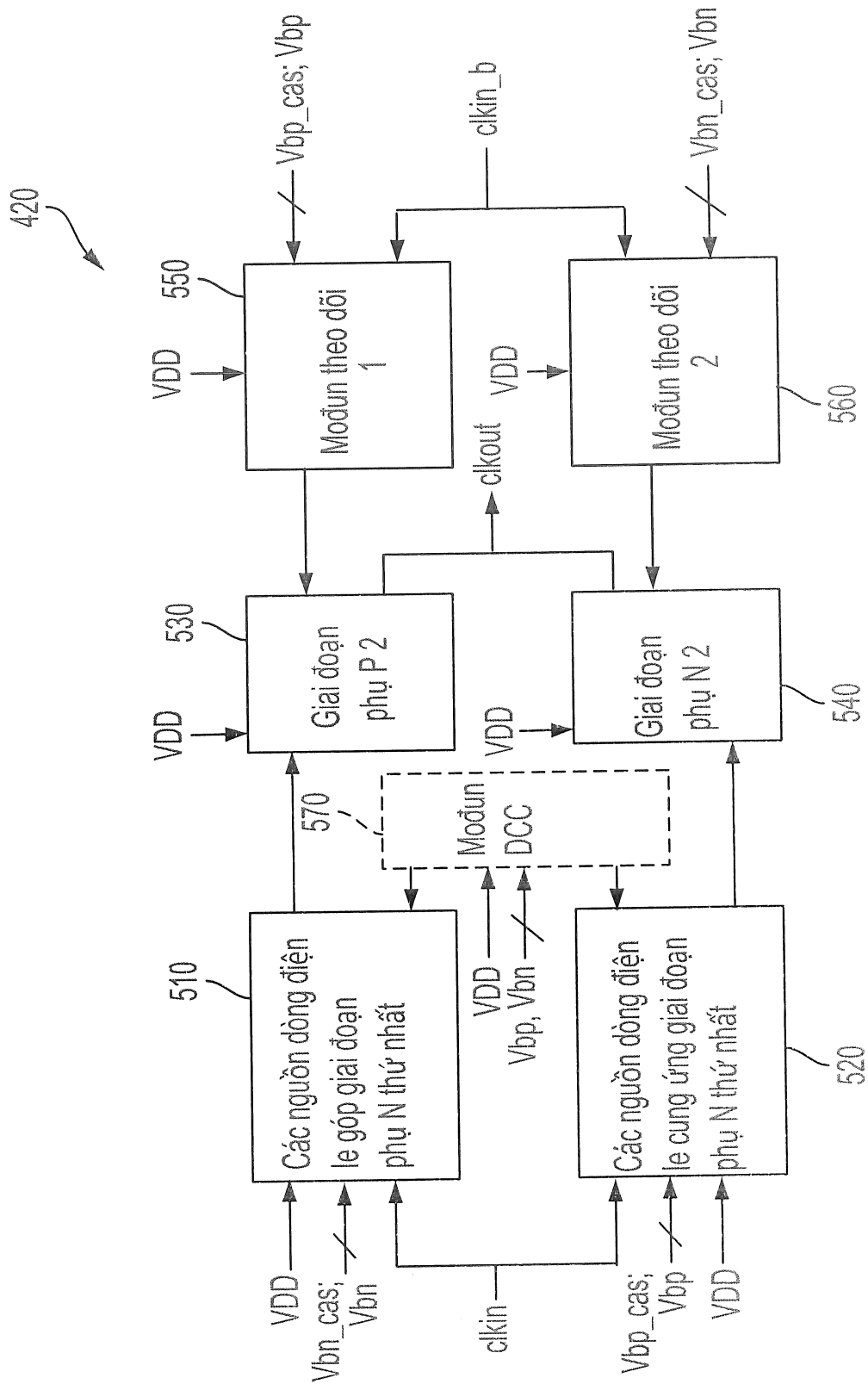


Fig. 5

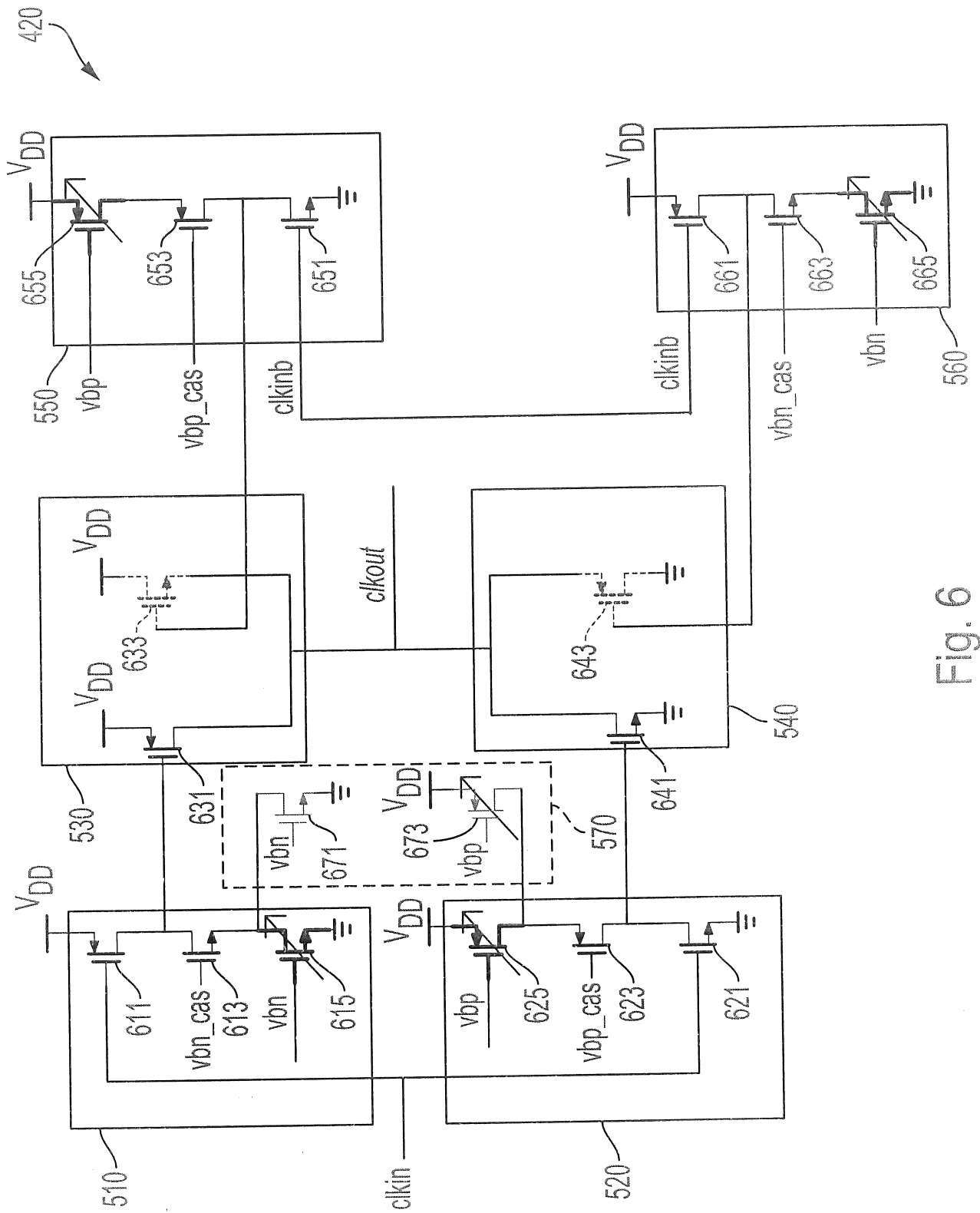
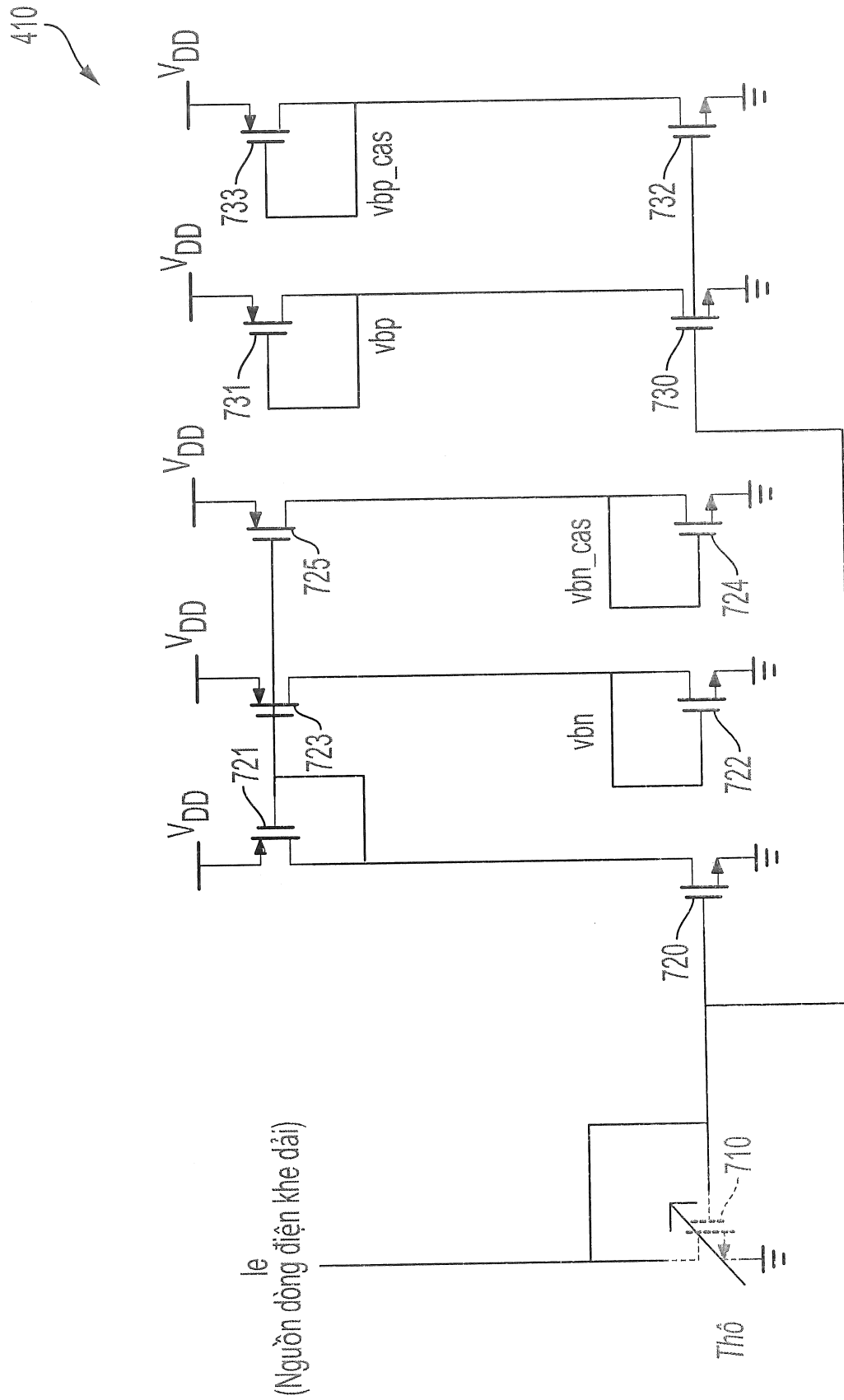


Fig. 6



7	6	2
5	9	4
3	8	1

7/7

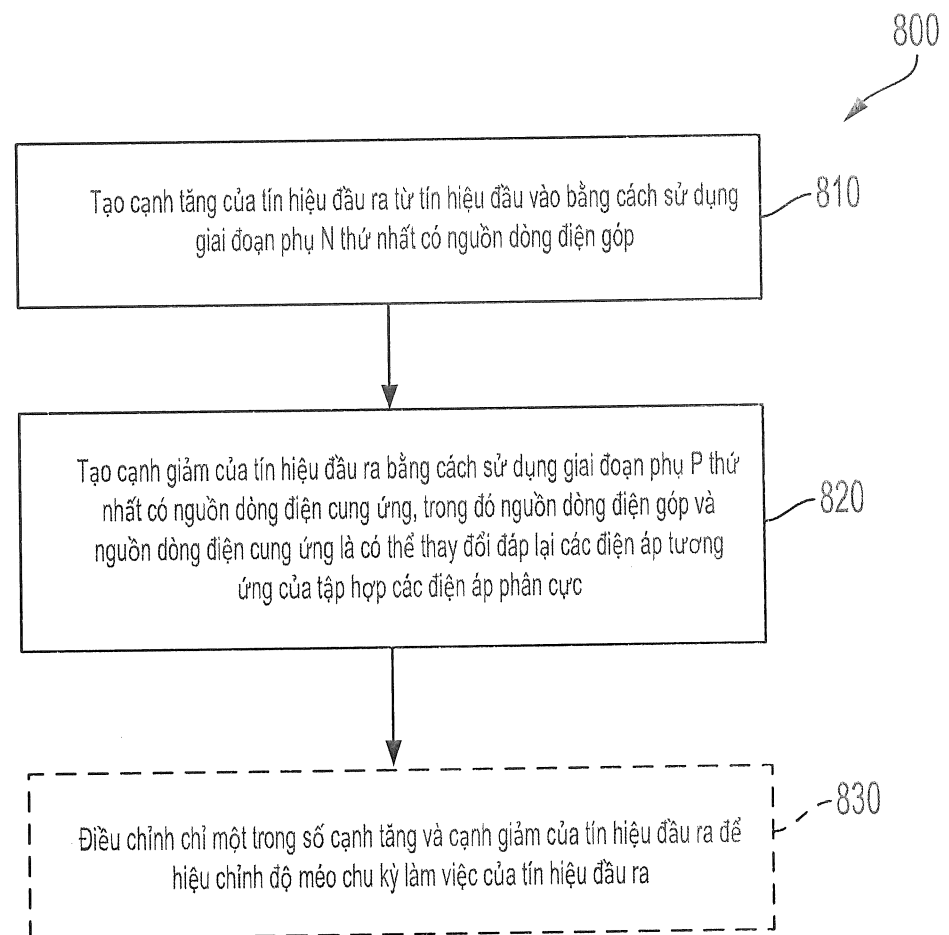


Fig. 8