



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0053856

(51)^{2022.01} G06F 1/3234; G11C 7/10; G11C 5/14

(13) B

(21) 1-2023-04801

(22) 06/12/2021

(86) PCT/US2021/061941 06/12/2021

(87) WO 2022/164513 A1 04/08/2022

(30) 17/158,485 26/01/2021 US

(45) 25/11/2025 452

(43) 27/11/2023 428A

(73) QUALCOMM INCORPORATED (US)

ATTN: International IP Administration, 5775 Morehouse Drive, San Diego, CA
92121-1714, United States of America

(72) SUH, Jungwon (US); PARK, Joon Young (KR); NAGARAJAN, Mahalingam (US).

(74) Công ty TNHH Quốc tế D & N (D&N INTERNATIONAL CO.,LTD.)

(54) HỆ THỐNG BỘ NHỚ THIẾT BỊ ĐIỆN TOÁN VÀ PHƯƠNG PHÁP CHO SƠ ĐỒ
IO ĐIỀU CHẾ BIÊN ĐỘ XUNG 3 MỨC TRONG HỆ THỐNG BỘ NHỚ THIẾT BỊ
ĐIỆN TOÁN

(21) 1-2023-04801

(57) Sáng chế đề cập đến hệ thống bộ nhớ thiết bị điện toán và phương pháp cho sơ đồ io điều chế biên độ xung (PAM) 3 mức trong hệ thống bộ nhớ thiết bị điện toán. Các phương án khác nhau bao gồm hệ thống bộ nhớ thiết bị điện toán có thiết bị bộ nhớ, lớp vật lý bộ nhớ được kết nối truyền thông với thiết bị bộ nhớ, bộ cấp điện áp đầu vào/đầu ra (input/output - I/O) thứ nhất được kết nối điện với thiết bị bộ nhớ và với lớp vật lý bộ nhớ, và bộ cấp điện áp IO thứ hai được kết nối điện với thiết bị bộ nhớ và với lớp vật lý bộ nhớ, trong đó thiết bị bộ nhớ và lớp vật lý được tạo cấu hình để truyền thông dữ liệu giao dịch bộ nhớ nhờ sử dụng sơ đồ IO điều chế biên độ xung (pulse amplitude modulation - PAM) 3 mức.

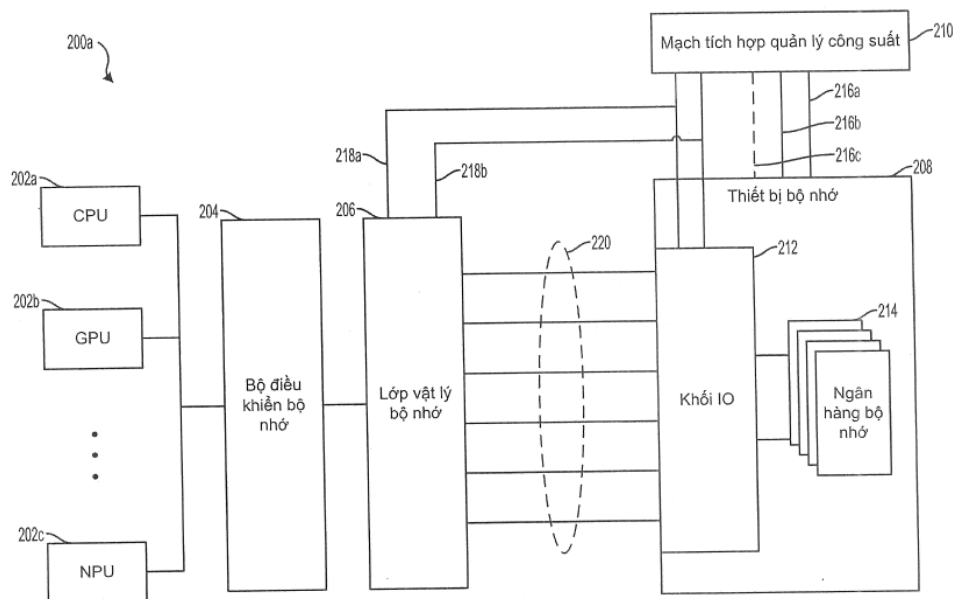


Fig.2A

Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập đến hệ thống bộ nhớ sử dụng bộ cấp điện áp đầu vào/đầu ra (input/output - I/O) kép.

Tình trạng kỹ thuật của sáng chế

Bộ nhớ tốc độ dữ liệu kép công suất thấp (low-power double data rate - LPDDR) thế hệ tiếp theo (chẳng hạn, LPDDR6) có thể đem lại sự cân bằng hiệu suất cao, công suất thấp, chi phí bộ nhớ cạnh tranh, các loại gói khác nhau, và khả năng đa nguồn hấp dẫn cho các ứng dụng di động và không di động.

Bản chất kỹ thuật của sáng chế

Các khía cạnh bậc lộ khác nhau có thể bao gồm máy và phương pháp cho hệ thống bộ nhớ sử dụng bộ cấp điện áp đầu vào/đầu ra (input/output - I/O) kép. Các khía cạnh khác nhau có thể bao gồm hệ thống bộ nhớ thiết bị điện toán có thiết bị bộ nhớ, lớp vật lý bộ nhớ được kết nối truyền thông với thiết bị bộ nhớ, bộ cấp điện áp đầu vào/đầu ra (I/O) thứ nhất được kết nối điện với thiết bị bộ nhớ và với lớp vật lý bộ nhớ, và bộ cấp điện áp IO thứ hai được kết nối điện với thiết bị bộ nhớ và với lớp vật lý bộ nhớ, trong đó thiết bị bộ nhớ và lớp vật lý có thể truyền thông dữ liệu giao dịch bộ nhớ bằng cách sử dụng sơ đồ IO điều chế biên độ xung (pulse amplitude modulation - PAM) 3 mức.

Theo một số khía cạnh, bộ cấp điện áp IO thứ nhất là bộ cấp điện áp IO chuyên dụng thứ nhất, và bộ cấp điện áp IO thứ hai là bộ cấp điện áp IO chuyên dụng thứ hai.

Theo một số khía cạnh, bộ cấp điện áp IO thứ nhất là bộ cấp điện áp IO chuyên dụng, và bộ cấp điện áp IO thứ hai là bộ cấp điện áp IO dùng chung.

Một số khía cạnh có thể còn bao gồm bộ cấp điện áp lõi thứ nhất và bộ cấp điện áp lõi thứ hai, trong đó mỗi trong số bộ cấp điện áp lõi thứ nhất và bộ cấp điện áp lõi

thứ hai được kết nối điện với thiết bị bộ nhớ, và trong đó bộ cấp điện áp IO dùng chung được kết nối điện với bộ cấp điện áp lõi thứ hai.

Một số khía cạnh có thể còn bao gồm bộ cấp điện áp lõi thứ ba, trong đó bộ cấp điện áp lõi thứ ba được kết nối điện với thiết bị bộ nhớ, và trong đó điện áp của bộ cấp điện áp lõi thứ hai lớn hơn điện áp của bộ cấp điện áp lõi thứ ba.

Một số khía cạnh có thể còn bao gồm bộ cấp điện áp lõi thứ nhất, bộ cấp điện áp lõi thứ hai, và bộ cấp điện áp lõi thứ ba, trong đó mỗi trong số bộ cấp điện áp lõi thứ nhất, bộ cấp điện áp lõi thứ hai, và bộ cấp điện áp lõi thứ ba được kết nối điện với thiết bị bộ nhớ, trong đó bộ cấp điện áp IO dùng chung được kết nối điện với bộ cấp điện áp lõi thứ ba, và trong đó điện áp của bộ cấp điện áp lõi thứ hai lớn hơn điện áp của bộ cấp điện áp lõi thứ ba.

Theo một số khía cạnh, điện áp của bộ cấp điện áp IO thứ hai lớn hơn điện áp của bộ cấp điện áp IO thứ nhất.

Theo một số khía cạnh, dữ liệu giao dịch bộ nhớ là dữ liệu nhị phân, và thiết bị bộ nhớ và lớp vật lý bộ nhớ có thể còn chuyển đổi giữa dữ liệu nhị phân và các tín hiệu sơ đồ IO PAM 3 mức bằng cách sử dụng bộ cấp điện áp IO thứ nhất và bộ cấp điện áp IO thứ hai.

Theo một số khía cạnh, thiết bị bộ nhớ có thể mã hóa dữ liệu giao dịch bộ nhớ để tạo ra tín hiệu PAM 3 mức, và tạo ra tín hiệu PAM 3 mức bằng cách điều khiển kết nối điện có lựa chọn của bộ cấp điện áp IO thứ nhất, bộ cấp điện áp IO thứ hai, hoặc nối đất với thành phần của thiết bị bộ nhớ theo dữ liệu được mã hóa.

Theo một số khía cạnh, lớp vật lý bộ nhớ có thể mã hóa dữ liệu giao dịch bộ nhớ để tạo ra tín hiệu PAM 3 mức, và tạo ra tín hiệu PAM 3 mức bằng cách điều khiển kết nối điện có lựa chọn của bộ cấp điện áp IO thứ nhất, bộ cấp điện áp IO thứ hai, hoặc nối đất với thành phần của lớp vật lý bộ nhớ theo dữ liệu được mã hóa.

Các khía cạnh khác nhau bao gồm các thiết bị điện toán có phương tiện để thực hiện chức năng bất kỳ trong số các chức năng của thiết bị điện toán được tóm tắt ở trên. Các khía cạnh khác nhau bao gồm phương pháp thực hiện chức năng bất kỳ trong số các chức năng của thiết bị điện toán được tóm tắt ở trên.

Mô tả vắn tắt các hình vẽ

Các hình vẽ kèm theo, được đưa vào đây và là một phần của bản mô tả này, minh họa các phương án ví dụ của các phương án khác nhau, và cùng với mô tả chung được đưa ra ở trên và mô tả chi tiết được đưa ra bên dưới, dùng để giải thích các đặc điểm của yêu cầu bảo hộ.

Fig. 1 là sơ đồ khối thành phần minh họa thiết bị điện toán làm ví dụ thích hợp để triển khai các phương án khác nhau.

Các Fig. 2A đến Fig.2C là sơ đồ khối thành phần minh họa hệ thống bộ nhớ làm ví dụ sử dụng bộ cấp điện áp đầu vào/đầu ra (I/O) kép để triển khai các phương án khác nhau.

Fig. 3 là sơ đồ khối thành phần minh họa cấu trúc IO điều chế biên độ xung (PAM hoặc PAM-3) 3 mức điện áp IO kép làm ví dụ để triển khai các phương án khác nhau.

Fig. 4 là sơ đồ định thời tín hiệu minh họa các tín hiệu mức điện áp PAM 3 mức điện áp IO kép làm ví dụ để triển khai các phương án khác nhau.

Fig. 5 là bảng minh họa ví dụ về việc mã hóa PAM 3 mức để triển khai các phương án khác nhau.

Các Fig. 6A và Fig.6B là sơ đồ khối thành phần minh họa các giao diện hệ thống bộ nhớ điện áp IO kép làm ví dụ cho các sơ đồ IO PAM 3 mức để triển khai các phương án khác nhau.

Fig. 7 là tập hợp các bảng minh họa ví dụ về việc phân bổ tín hiệu trong giao diện hệ thống bộ nhớ điện áp IO kép cho các sơ đồ IO PAM 3 mức để triển khai các phương án khác nhau.

Fig. 8 là lưu đồ quy trình minh họa phương pháp cho IO PAM 3 mức điện áp IO kép theo một số phương án.

Fig. 9 là sơ đồ khối thành phần minh họa thiết bị điện toán di động làm ví dụ thích hợp để triển khai các phương án khác nhau.

Fig. 10 là sơ đồ khối thành phần minh họa thiết bị điện toán di động làm ví dụ thích hợp để triển khai các phương án khác nhau.

Fig. 11 là sơ đồ khối thành phần minh họa máy chủ làm ví dụ thích hợp để triển khai các phương án khác nhau.

Mô tả chi tiết sáng chế

Các phương án khác nhau sẽ được mô tả chi tiết có tham chiếu đến các hình vẽ kèm theo. Bất cứ khi nào có thể, các số tham chiếu giống nhau sẽ được sử dụng trong toàn bộ hình vẽ để chỉ các bộ phận giống nhau hoặc tương tự. Các tham chiếu đến các ví dụ và phương án triển khai cụ thể là nhằm mục đích minh họa, và không dự định giới hạn phạm vi yêu cầu bảo hộ.

Các phương án khác nhau bao gồm mạch, phương pháp, và các thiết bị điện toán triển khai các phương pháp này cho các hệ thống bộ nhớ sử dụng bộ cấp điện áp đầu vào/đầu ra (I/O) kép. Một số phương án có thể bao gồm hệ thống có bộ cấp điện áp đầu vào/đầu ra (I/O) kép trong đó giao diện bộ nhớ của hệ thống trên chip (system on chip - SoC) và khối IO của thiết bị bộ nhớ được kết nối và nhận điện áp từ các bộ cấp điện áp IO kép. Một số phương án có thể bao gồm cấu trúc IO được tạo cấu hình để triển khai điều chế biên độ xung (PAM hoặc PAM-3) 3 mức bằng cách sử dụng các điện áp IO kép.

Các thuật ngữ “thiết bị điện toán” và “thiết bị di động” được sử dụng thay thế nhau ở đây để chỉ bất kỳ một hoặc tất cả trong số điện thoại di động, điện thoại thông minh, trình phát đa phương tiện cá nhân hoặc di động, các thiết bị hỗ trợ dữ liệu cá nhân (personal data assistant - PDA), máy tính xách tay, máy tính bảng, laptop/máy bảng có thể hoán đổi được (máy tính 2 trong 1), smartbook, ultrabook, netbook, máy tính cầm tay, thiết bị nhận thư điện tử không dây, điện thoại di động hỗ trợ Internet đa phương tiện, bảng điều khiển trò chơi di động, bộ điều khiển trò chơi không dây, và các thiết bị điện tử cá nhân tương tự gồm bộ nhớ, và bộ xử lý lập trình được. Thuật ngữ “thiết bị điện toán” có thể còn chỉ các thiết bị điện toán cố định gồm máy tính cá nhân, máy tính để bàn, máy tính tất cả trong một, máy trạm, siêu máy tính, máy tính lớn, máy tính nhúng, máy chủ, máy tính rạp hát trong nhà, và bàn giao tiếp trò chơi.

Các tính từ “cao,” “cao hơn,” “thấp” và “thấp hơn” được sử dụng ở đây là các thuật ngữ tương đối để phân biệt các mức nhu cầu điện áp hoặc công suất khác nhau mô tả các khía cạnh khác nhau, như các bộ cấp điện áp, các sơ đồ IO, các hệ thống bộ nhớ, v.v.. Ví dụ, hai bộ cấp điện áp bao gồm trong hệ thống bộ nhớ khác nhau về mức điện áp của chúng có thể được phân biệt theo các cách mô tả về nhiều phương án khác nhau như “bộ cấp điện cao áp” và “bộ cấp điện hạ áp.” Các thuật ngữ “cao,” “cao hơn,” “thấp” và “thấp hơn” không được dự định để chỉ báo hoặc gợi ý giá trị mức cụ thể của khía cạnh được mô tả. Ví dụ, điện áp của “bộ cấp điện cao áp” có thể khác với điện áp của “bộ cấp điện hạ áp” bằng một, hai hoặc vài vôn.

Các phương án được mô tả ở đây bao gồm các hệ thống bộ nhớ sử dụng các bộ cấp điện áp IO kép để triển khai sơ đồ IO PAM 3 mức, cho phép hiệu năng được cải thiện và nhu cầu công suất giảm so với các hệ thống bộ nhớ thông thường. Các hệ thống bộ nhớ có thể bao gồm giao diện bộ nhớ của SoC và khối IO của thiết bị bộ nhớ được kết nối với và được tạo cấu hình để nhận điện áp từ các bộ cấp điện áp IO kép. Theo một số phương án, các bộ cấp điện áp IO kép có thể bao gồm hai bộ cấp điện áp IO chuyên dụng. Theo một số phương án, bộ cấp điện áp IO kép có thể bao gồm bộ cấp điện áp IO chuyên dụng và bộ cấp điện áp IO dùng chung. Bộ cấp điện áp IO dùng chung có thể bao gồm bộ cấp điện áp lõi của thiết bị bộ nhớ. Theo một số phương án, bộ cấp điện áp IO dùng chung có thể bao gồm bộ cấp điện cao áp lõi của thiết bị bộ nhớ. Theo một số phương án, bộ cấp điện áp IO dùng chung có thể bao gồm bộ cấp điện hạ áp lõi của thiết bị bộ nhớ. Như được sử dụng ở đây, thuật ngữ “bộ cấp điện áp IO” đề cập đến bộ cấp điện áp được kết nối với khối IO của thiết bị bộ nhớ. Như được sử dụng ở đây, thuật ngữ “bộ cấp điện áp lõi” đề cập đến bộ cấp điện áp được kết nối với mạch bên trong của thiết bị bộ nhớ, có thể bao gồm, chẳng hạn, mảng ô bit bộ nhớ. Như được sử dụng ở đây, thuật ngữ “bộ cấp điện áp IO dùng chung” đề cập đến bộ cấp điện áp được kết nối với khối IO và với bộ cấp điện áp lõi.

Theo một số phương án, khối IO của thiết bị bộ nhớ có thể bao gồm cấu trúc được tạo cấu hình để điều khiển đầu ra của tín hiệu để triển khai sơ đồ IO PAM 3 mức. Khối IO có thể là bộ điều chế biên độ xung 3 mức, chẳng hạn. Khối IO có thể nhận tín hiệu dữ liệu và mã hóa tín hiệu dữ liệu cho các tín hiệu đầu vào bộ phát. Khối IO có thể diễn dịch các tín hiệu đầu vào bộ phát và điều khiển sự lựa chọn và đầu ra của điện áp

được cấp cho khối IO từ các bộ cấp điện áp IO kép được tạo cấu hình để biểu diễn các trạng thái tín hiệu của sơ đồ IO PAM 3 mức. Theo một số phương án, khối IO có thể còn nhận các tín hiệu PAM 3 mức, và bao gồm các cấu trúc được tạo cấu hình để chuyển đổi các tín hiệu PAM 3 mức thành các tín hiệu dữ liệu và xuất ra các tín hiệu dữ liệu. Theo một số phương án, khối IO có thể so sánh các tín hiệu PAM 3 mức với các tín hiệu tham chiếu điện áp, có thể tạo ra và xuất ra các tín hiệu đầu ra bộ thu. Khối IO có thể giải mã các tín hiệu đầu ra bộ thu và tạo ra và xuất ra các tín hiệu dữ liệu.

Theo một số phương án, mã hiệu chỉnh lỗi (error correction code - ECC) hệ thống, ECC liên kết, hoặc các chức năng hệ thống khác có thể được hỗ trợ để nâng cấp độ tin cậy và độ ổn định hệ thống bộ nhớ. ECC hoặc các giá trị chức năng hệ thống khác có thể được mã hóa và giải mã cùng với các tín hiệu dữ liệu như một phần của sơ đồ IO PAM 3 mức.

Việc sử dụng các bộ cấp điện áp IO kép để triển khai sơ đồ IO PAM 3 mức cho chép băng thông tăng lên để truyền thông với thiết bị bộ nhớ bằng cách tăng số lượng mức báo hiệu IO được sử dụng trong cuộc truyền thông này khi so với sơ đồ hai mức báo hiệu IO (ví dụ, cao và thấp). Trong khi cung cấp băng thông hệ thống bộ nhớ cao hơn so với các đặc điểm kỹ thuật bộ nhớ tốc độ dữ liệu kép công suất thấp (low-power double data rate memory - LPDDR) hiện có (chẳng hạn, LPDDR5), tăng mức báo hiệu IO và hỗ trợ xếp hạng kép cho phép tùy chọn và cấu hình gói bộ nhớ linh hoạt mà nhiều hệ thống yêu cầu mà không có phí tổn chi phí đáng kể.

Hơn nữa, các phương án được mô tả ở đây đưa ra các hệ thống bộ nhớ sử dụng sơ đồ IO tiêu thụ ít công suất hơn so với các hệ thống bộ nhớ sơ đồ PAM 3 mức điện áp IO đơn truyền thống. Bằng cách sử dụng bộ cấp điện áp IO điện áp thấp hơn ngoài bộ cấp điện áp IO cao hơn hiện có, tổng thể mức tiêu thụ công suất hệ thống bộ nhớ có thể được giảm xuống do bộ cấp điện áp IO cao hơn có thể được sử dụng ít thường xuyên hơn, chẳng hạn như khi bộ cấp điện áp IO điện áp thấp hơn được sử dụng. Ngoài ra, theo một số phương án, bằng cách dùng chung bộ cấp điện áp lõi bộ nhớ với một trong số các bộ cấp điện áp IO kép, không cần thêm phí tổn chi phí hệ thống để hỗ trợ bộ cấp điện áp IO bổ sung trong hệ thống bộ nhớ.

Một số phương án được mô tả ở đây có thể đặc biệt phù hợp với các hệ thống con bộ nhớ và các thiết bị bộ nhớ cho thiết bị người dùng, các hệ thống điện toán di động, tự động, và trí tuệ nhân tạo bằng cách cung cấp các hệ thống bộ nhớ hiệu suất cao. Cụ thể, các phương án khác nhau có thể được triển khai với các đặc điểm kỹ thuật LPDDR thế hệ tiếp theo (LPDDR6) và các bộ chip lớp vật lý (physical - PHY) bộ nhớ tốc độ dữ liệu kép (double data rate - DDR) kết hợp sử dụng trong thiết bị điện toán di động hoặc các thiết bị điện toán không di động.

Fig. 1 minh họa hệ thống bao gồm thiết bị điện toán 10 thích hợp để sử dụng với các phương án khác nhau. Thiết bị điện toán 10 có thể bao gồm hệ thống trên chip (SoC) 12 với bộ xử lý 14, bộ nhớ 16, lớp vật lý bộ nhớ 34, giao diện truyền thông 18, giao diện bộ nhớ lưu trữ 20, bộ điều khiển xung nhịp 30, và liên kết 32. Thiết bị điện toán 10 có thể còn bao gồm thành phần truyền thông 22, như modem có dây hoặc không dây, bộ nhớ lưu trữ 24, anten 26 để thiết lập liên kết truyền thông không dây, bộ quản lý công suất 28, và bộ nhớ 36. Bộ xử lý 14 có thể bao gồm bất kỳ trong số nhiều thiết bị xử lý, ví dụ như một số lõi bộ xử lý.

Thuật ngữ “hệ thống trên chip” (SoC) được dùng ở đây thường để chỉ tập hợp mạch điện tử liên kết, nhưng không giới hạn, bao gồm thiết bị xử lý, bộ nhớ và giao diện truyền thông. Thiết bị xử lý có thể bao gồm nhiều loại bộ xử lý 14 và lõi bộ xử lý khác nhau, như bộ xử lý đa năng, bộ xử lý trung tâm (central processing unit - CPU), bộ xử lý tín hiệu số (digital signal processor - DSP), bộ xử lý đồ họa (graphics processing unit - GPU), bộ xử lý tăng tốc (accelerated processing unit - APU), bộ xử lý an toàn (secure processing unit - SPU), bộ xử lý mạng nơron, bộ xử lý hệ thống con của các thành phần cụ thể của thiết bị điện toán, như bộ xử lý hình ảnh cho hệ thống con camera hoặc bộ xử lý hiển thị cho màn hình, bộ xử lý phụ, bộ xử lý một lõi, bộ xử lý nhiều lõi, bộ điều khiển, và bộ vi điều khiển. Thiết bị xử lý có thể bao gồm thêm các tổ hợp phần cứng và phần cứng khác, như mảng cổng lập trình được theo trường (field programmable gate array - FPGA), mạch tích hợp chuyên dụng (application-specific integrated circuit - ASIC), thiết bị logic lập trình được khác, logic cổng rời, logic bóng bán dẫn, phần cứng giám sát hiệu suất, phần cứng giám sát, và tham chiếu thời gian. Các mạch tích hợp có thể được tạo cấu hình sao cho các thành phần của mạch tích hợp ở trên một mảnh vật liệu bán dẫn, như silic.

SoC 12 có thể bao gồm một hoặc nhiều bộ xử lý 14. Thiết bị điện toán 10 có thể bao gồm nhiều hơn một SoC 12, do đó tăng số lượng bộ xử lý 14 và số lượng lõi bộ xử lý. Thiết bị điện toán 10 còn có thể bao gồm bộ xử lý 14 không liên quan đến SoC 12. Mỗi bộ xử lý 14 có thể được tạo cấu hình cho các mục đích cụ thể có thể giống hoặc khác với các bộ xử lý 14 khác của thiết bị điện toán 10. Một hoặc nhiều bộ xử lý 14 và lõi bộ xử lý có cấu hình giống hoặc khác nhau có thể được nhóm với nhau. Nhóm các bộ xử lý 14 hoặc các lõi bộ xử lý có thể được gọi là cụm nhiều bộ xử lý.

Thiết bị điện toán 10 có thể bao gồm số lượng và kết hợp bất kỳ của các bộ nhớ, như bộ nhớ 16 tích hợp vào SoC 12 và bộ nhớ 36 tách ra từ SoC 12. Bất kỳ trong các bộ nhớ 16, 36 có thể là bộ nhớ khả biến hoặc bất biến được tạo cấu hình để lưu trữ dữ liệu và mã thực thi được bằng bộ xử lý để truy cập bằng bộ xử lý 14. Thiết bị điện toán 10 và/hoặc SoC 12 có thể bao gồm một hoặc nhiều bộ nhớ 16, 36 được tạo cấu hình cho các mục đích khác nhau. Một hoặc nhiều bộ nhớ 16, 36 có thể bao gồm các bộ nhớ khả biến như bộ nhớ truy cập ngẫu nhiên (random access memory - RAM) hoặc bộ nhớ chính, bao gồm RAM tĩnh (static RAM - SRAM), như bộ nhớ 16, RAM động (dynamic RAM - DRAM), như bộ nhớ 36, hoặc bộ nhớ đệm. Các bộ nhớ 16, 34 này có thể được tạo cấu hình để giữ tạm thời lượng dữ liệu giới hạn nhận được từ cảm biến dữ liệu hoặc hệ thống con, dữ liệu và/hoặc các lệnh mã thực thi được bằng bộ xử lý được yêu cầu từ bộ nhớ bất biến 16, 24, 36 được nạp vào các bộ nhớ 16, 34 từ bộ nhớ bất biến 16, 24, 36 có dự báo về khả năng truy cập trong tương lai dựa vào một số yếu tố, và/hoặc dữ liệu xử lý trung gian và/hoặc các lệnh mã thực thi được bằng bộ xử lý do bộ xử lý 14 tạo ra và được lưu trữ tạm thời để truy cập nhanh trong tương lai mà không cần lưu trữ trong bộ nhớ bất biến 16, 24, 36. Bộ nhớ 16, 36 có thể được tạo cấu hình để lưu trữ dữ liệu và mã thực thi được bằng bộ xử lý trong các phần của bộ nhớ 16, 36 được tạo cấu hình để lưu trữ dữ liệu và mã thực thi được bằng bộ xử lý cho các hoạt động điện toán an toàn, ở đây được gọi là phần an toàn. Bộ nhớ 16, 36 có thể được tạo cấu hình để lưu trữ dữ liệu và mã thực thi được bằng bộ xử lý trong các phần của bộ nhớ 16, 36 được tạo cấu hình để lưu trữ dữ liệu và mã thực thi được bằng bộ xử lý cho các hoạt động điện toán không an toàn, ở đây được gọi là phần không an toàn.

Lớp vật lý bộ nhớ 34 có thể hoạt động đồng thời với bộ nhớ 36 để cho phép thiết bị điện toán 10 lưu trữ và truy xuất dữ liệu và mã thực thi được bằng bộ xử lý trên

và từ bộ nhớ 36. Lớp vật lý bộ nhớ 34 có thể điều khiển truy cập vào bộ nhớ lưu trữ 36 và cho phép bộ xử lý 14 đọc dữ liệu từ bộ nhớ 36 và ghi dữ liệu vào bộ nhớ 36.

Giao diện bộ nhớ lưu trữ 20 và bộ nhớ lưu trữ 24 có thể hoạt động đồng thời để cho phép thiết bị điện toán 10 lưu trữ dữ liệu và mã thực thi được bằng bộ xử lý trên phương tiện lưu trữ bất biến. Bộ nhớ lưu trữ 24 có thể được tạo cấu hình giống như một phương án của bộ nhớ 16, trong đó bộ nhớ lưu trữ 24 có thể lưu trữ dữ liệu hoặc mã thực thi được bằng bộ xử lý để truy cập bởi một hoặc nhiều bộ xử lý 14. Bộ nhớ lưu trữ 24, là bộ nhớ bất biến, có thể giữ lại thông tin sau khi nguồn của thiết bị điện toán 10 đã tắt. Khi bật lại nguồn và thiết bị điện toán 10 khởi động lại, thông tin lưu trên bộ nhớ lưu trữ 24 có thể khả dụng cho thiết bị điện toán 10. Giao diện bộ nhớ lưu trữ 20 có thể điều khiển sự truy cập vào bộ nhớ lưu trữ 24 và cho phép bộ xử lý 14 đọc dữ liệu từ và ghi dữ liệu vào bộ nhớ lưu trữ 24.

Bộ quản lý công suất 28 có thể được tạo cấu hình để điều khiển trạng thái công suất của và/hoặc cấp công suất đến các thành phần của SoC 12. Theo một số phương án, bộ quản lý công suất 28 có thể được tạo cấu hình để báo hiệu các trạng thái công suất đến các thành phần của SoC 12 để thúc đẩy các thành phần của SoC 12 chuyển tiếp đến các trạng thái công suất được báo hiệu. Theo một số phương án, bộ quản lý công suất 28 có thể được tạo cấu hình để điều khiển lượng công suất cấp cho các thành phần của SoC 12. Ví dụ, bộ quản lý công suất 28 có thể được tạo cấu hình để điều khiển các kết nối giữa các thành phần của SoC 12 và ray nguồn (không được thể hiện trên hình vẽ). Theo một ví dụ khác, bộ quản lý công suất 28 có thể được tạo cấu hình để điều khiển lượng công suất trên ray nguồn được kết nối với các thành phần của SoC 12.

Bộ điều khiển xung nhịp 30 có thể được tạo cấu hình để điều khiển các tín hiệu xung nhịp truyền đến các thành phần của SoC 12. Theo một số phương án, bộ điều khiển xung nhịp 30 có thể được tạo cấu hình để báo hiệu các trạng thái xung nhịp, chẳng hạn như được tạo cổng hoặc không tạo cổng, đến các thành phần của SoC 12 để thúc đẩy các thành phần của SoC 12 chuyển tiếp đến trạng thái xung nhịp. Ví dụ, thành phần của SoC 12 có thể chuyển tiếp sang trạng thái xung nhịp được tạo cổng để đáp lại việc nhận tín hiệu trạng thái xung nhịp được tạo cổng từ bộ điều khiển xung nhịp 30 bằng cách ngắt kết nối từ tín hiệu xung nhịp và có thể chuyển tiếp sang trạng thái xung nhịp

không tạo cổng để đáp lại việc nhận báo hiệu trạng thái xung nhịp không tạo cổng từ bộ điều khiển xung nhịp 30 bằng cách kết nối với tín hiệu xung nhịp. Theo một số phương án, bộ điều khiển xung nhịp 30 có thể được tạo cấu hình để điều khiển các tín hiệu xung nhịp cho các thành phần của SoC 12. Ví dụ, bộ điều khiển xung nhịp 30 có thể ngắt kết nối thành phần của SoC 12 từ tín hiệu xung nhịp để chuyển tiếp thành phần của SoC 12 sang trạng thái xung nhịp được tạo cổng và có thể kết nối thành phần của SoC 12 với tín hiệu xung nhịp để chuyển tiếp thành phần của SoC 12 sang trạng thái xung nhịp không tạo cổng.

Liên kết 32 có thể là kết cấu truyền thông, như bus truyền thông, được tạo cấu hình để kết nối truyền thông với các thành phần của SoC 12. Liên kết 32 có thể truyền các tín hiệu giữa các thành phần của SoC 12. Theo một số phương án, liên kết 32 có thể được tạo cấu hình để điều khiển các tín hiệu giữa các thành phần của SoC 12 bằng cách điều khiển định thời và/hoặc các đường truyền của tín hiệu.

Một số hoặc tất cả các thành phần của thiết bị điện toán 10 và/hoặc SoC 12 có thể được sắp xếp khác nhau và/hoặc kết hợp trong khi vẫn phục vụ các chức năng của các phương án khác nhau. Thiết bị điện toán 10 có thể không bị giới hạn ở một trong số mỗi trong số các thành phần, và nhiều đối tượng của mỗi thành phần có thể được bao gồm trong các cấu hình khác nhau của thiết bị điện toán 10.

Các Fig. 2A đến Fig.2C minh họa các ví dụ về hệ thống bộ nhớ sử dụng bộ cấp điện áp đầu vào/đầu ra (I/O) kép để triển khai các phương án khác nhau. Tham chiếu đến các Fig. 1 đến Fig.2C, hệ thống bộ nhớ 200a, 200b, 200c có thể, toàn bộ hoặc một phần, tích hợp vào SoC (chẳng hạn, SoC 12 trên Fig. 1). Hệ thống bộ nhớ 200a, 200b, 200c có thể bao gồm bộ điều khiển bộ nhớ 204, lớp vật lý bộ nhớ 206, số lượng và kết hợp bất kỳ của các thiết bị bộ nhớ 208 (chẳng hạn, bộ nhớ 16, 24 trên Fig. 1), và mạch tích hợp quản lý công suất (power management integrated circuit - PMIC) 210 (chẳng hạn, bộ quản lý công suất 28 trên Fig. 1). Các thiết bị bộ nhớ 208 có thể còn bao gồm khối IO 212 và số lượng và kết hợp bất kỳ của ngân hàng bộ nhớ 214. Khối IO 212 có thể là bộ điều chế biên độ xung 3 mức, chẳng hạn.

PMIC 210 có thể được tạo cấu hình để điều khiển và/hoặc cung cấp điện áp cho thiết bị bộ nhớ 208 và cho lớp vật lý bộ nhớ 206. PMIC 210 có thể điều khiển và/hoặc

cung cấp điện áp cho thiết bị bộ nhớ 208 thông qua các bộ cấp điện áp lõi 216a, 216b, 216c, có thể còn được gọi là ray, dòng, v.v.. Theo một số phương án các bộ cấp điện áp lõi 216a, 216b, 216c có thể bao gồm bộ cấp điện áp lõi thứ nhất 216a, và bộ cấp điện áp lõi thứ hai 216b và/hoặc bộ cấp điện áp lõi thứ ba 216c. Các bộ cấp điện áp lõi 216a, 216b, 216c có thể được kết nối điện với mạch bên trong của thiết bị bộ nhớ 208, như ngân hàng bộ nhớ 214 hoặc mảng ô bit bộ nhớ (không được thể hiện trên hình vẽ) của ngân hàng bộ nhớ 214. Các bộ cấp điện áp lõi 216a, 216b, 216c có thể được tạo cấu hình khác nhau để cung cấp điện áp, một mình hoặc kết hợp bất kỳ, cần thiết cho thiết bị bộ nhớ 208 để thực hiện số lượng và kết hợp bất kỳ của các chức năng, bao gồm lưu trữ, đọc, ghi, và/hoặc duy trì dữ liệu. Theo một số phương án, các bộ cấp điện áp lõi 216a, 216b, 216c có thể được tạo cấu hình khác nhau để cung cấp điện áp, một mình hoặc kết hợp bất kỳ, cần thiết cho thiết bị bộ nhớ 208 để thực hiện số lượng và kết hợp bất kỳ của các chức năng khác nhau ở các tốc độ khác nhau và/hoặc cho các phần có kích thước khác nhau của thiết bị bộ nhớ 208. Theo một ví dụ bao gồm hai bộ cấp điện áp lõi 216a, 216b, bộ cấp điện áp lõi thứ nhất 216a có thể lớn hơn bộ cấp điện áp lõi thứ hai 216b. Theo một ví dụ bao gồm ba bộ cấp điện áp lõi 216a, 216b, 216c, bộ cấp điện áp lõi thứ nhất 216a có thể lớn hơn bộ cấp điện áp lõi thứ hai 216b, và bộ cấp điện áp lõi thứ hai 216b có thể lớn hơn bộ cấp điện áp lõi thứ ba 216c. Theo một ví dụ cụ thể và không giới hạn, như theo đặc tả kỹ thuật LPDDR5 của Hội đồng kỹ thuật thiết bị điện tử chung (Joint Electron Device Engineering Council - JEDEC), bộ cấp điện áp lõi thứ nhất 216a có thể xấp xỉ bằng 1,8V và bộ cấp điện áp lõi thứ hai 216b có thể xấp xỉ bằng 1,05V. Theo một ví dụ cụ thể và không giới hạn khác, như theo đặc tả kỹ thuật LPDDR5 JEDEC, bộ cấp điện áp lõi thứ nhất 216a có thể xấp xỉ bằng 1,8V, bộ cấp điện áp lõi thứ hai 216b có thể xấp xỉ bằng 1,05V, và bộ cấp điện áp lõi thứ ba 216c có thể xấp xỉ bằng 0,9V.

PMIC 210 có thể điều khiển và/hoặc cung cấp điện áp cho thiết bị bộ nhớ 208 và cho lớp vật lý bộ nhớ 206 thông qua các bộ cấp điện áp IO 218a, 218b, có thể còn được gọi là ray, dòng, v.v.. Các bộ cấp điện áp IO 218a, 218b có thể được gọi chung ở đây là các bộ cấp điện áp IO kép. Các bộ cấp điện áp IO kép 218a, 218b có thể bao gồm bộ cấp điện áp cao áp IO và bộ cấp điện áp hạ áp IO trong đó bộ cấp điện áp cao áp IO cung cấp điện áp cao hơn bộ cấp điện áp hạ áp IO. Điện áp cấp cho thiết bị bộ nhớ 208 và cho lớp

vật lý bộ nhớ 206 thông qua các bộ cấp điện áp IO kép 218a, 218b có thể cho phép hệ thống bộ nhớ 200a, 200b, 200c triển khai sơ đồ IO PAM 3 mức. Theo một số phương án, điện áp cấp cho thiết bị bộ nhớ 208 thông qua các bộ cấp điện áp IO kép 218a, 218b có thể được cung cấp cho khối IO 212 của thiết bị bộ nhớ 208 để cho phép thiết bị bộ nhớ triển khai sơ đồ IO PAM 3 mức như được mô tả ở đây.

Thiết bị bộ nhớ 208 và lớp vật lý bộ nhớ 206 có thể được kết nối truyền thông thông qua bus truyền thông 220. Bus truyền thông 220 có thể được tạo cấu hình để truyền các tín hiệu và dữ liệu để triển khai các giao dịch bộ nhớ giữa thiết bị bộ nhớ 208 và cho lớp vật lý bộ nhớ 206. Ví dụ, bus truyền thông 220 có thể bao gồm số lượng và kết hợp bất kỳ của các bus hoặc các dòng để truyền dữ liệu, các tín hiệu xung nhịp, lệnh và thông tin địa chỉ, v.v.. Theo một số phương án, bus truyền thông 220 có thể được kết nối truyền thông giữa SoC và thiết bị bộ nhớ 208 ở ngoài SoC. Theo một số phương án, việc triển khai sơ đồ IO PAM 3 mức bằng cách sử dụng các bộ cấp điện áp IO kép 218a, 218b có thể làm giảm công suất để thực thi cùng các giao dịch bộ nhớ khi so với các sơ đồ IO sử dụng bộ cấp điện áp IO đơn, chẳng hạn như sơ đồ IO PAM 3 mức. Bộ cấp điện hạ áp IO của các bộ cấp điện áp IO kép 218a, 218b có thể cung cấp điện áp thấp hơn so với bộ cấp điện áp IO đơn, và việc sử dụng bộ cấp điện hạ áp IO để thực thi cùng các giao dịch bộ nhớ như bộ cấp điện áp IO đơn có thể cho phép thiết bị bộ nhớ 208 sử dụng công suất ít hơn so với việc thực thi các giao dịch bằng cách sử dụng điện áp của bộ cấp điện áp IO đơn. Theo một số phương án, việc triển khai sơ đồ IO PAM 3 mức bằng cách sử dụng các bộ cấp điện áp IO kép 218a, 218b có thể làm tăng băng thông hệ thống bộ nhớ để thực thi cùng các giao dịch bộ nhớ khi so sánh với sơ đồ IO sử dụng bộ cấp điện áp IO đơn. Sơ đồ IO PAM 3 mức có thể được triển khai bằng cách sử dụng số lượng trạng thái tín hiệu lớn hơn, được gọi chung ở đây là các trạng thái, dựa vào các bộ cấp điện áp IO kép 218a, 218b thay cho các sơ đồ IO khác mà sử dụng bộ cấp điện áp IO đơn. Số lượng các trạng thái tín hiệu lớn hơn cho phép mã hóa lượng dữ liệu và thông tin lớn hơn trong tín hiệu PAM 3 mức trên bus truyền thông 220 so với các sơ đồ IO khác mà sử dụng bộ cấp điện áp IO đơn.

Theo một số phương án, hệ thống bộ nhớ 200a, 200b, 200c có thể nhận các giao dịch bộ nhớ từ số lượng và kết hợp bất kỳ của các bộ xử lý 202a, 202b, 202c (chẳng hạn, bộ xử lý 14 trên Fig. 1). Hệ thống bộ nhớ 200a, 200b, 200c có thể thực thi giao

dịch bộ nhớ nhận được từ bộ xử lý 202a, 202b, 202c và/hoặc cung cấp đáp ứng của giao dịch bộ nhớ được thực thi cho bộ xử lý 202a, 202b, 202c.

Theo ví dụ được minh họa trên Fig. 2A, hệ thống bộ nhớ 200a có thể bao gồm các bộ cấp điện áp IO chuyên dụng 218a, 218b cung cấp hai mức điện áp. PMIC 210 có thể điều khiển và/hoặc cung cấp các điện áp được chỉ định của mỗi trong số các bộ cấp điện áp IO kép chuyên dụng 218a, 218b cho thiết bị bộ nhớ 208 và cho lớp vật lý bộ nhớ 206 thông qua bộ cấp điện áp riêng trong các bộ cấp điện áp IO kép 218a, 218b.

Theo ví dụ được minh họa trên Fig. 2B, hệ thống bộ nhớ 200c có thể bao gồm bộ cấp điện áp IO dùng chung 218a và bộ cấp điện áp IO chuyên dụng 218b, có sự kết hợp cung cấp hai mức điện áp. Bộ cấp điện áp IO dùng chung 218a có thể dùng chung điện áp chung với bộ cấp điện áp lõi thứ hai 216b bằng cách nối điện với bộ cấp điện áp lõi thứ hai 216b. PMIC 210 có thể điều khiển và/hoặc cung cấp điện áp được chỉ định của bộ cấp điện áp IO kép dùng chung 218a cho thiết bị bộ nhớ 208 và cho lớp vật lý bộ nhớ 206 thông qua điều khiển và/hoặc cung cấp điện áp được chỉ định trên bộ cấp điện áp lõi thứ hai 216b. PMIC 210 có thể điều khiển và/hoặc cung cấp điện áp được chỉ định của bộ cấp điện áp IO chuyên dụng 218b cho thiết bị bộ nhớ 208 và cho lớp vật lý bộ nhớ 206 thông qua bộ cấp điện áp IO chuyên dụng riêng 218b.

Theo ví dụ được minh họa trên Fig. 2C, hệ thống bộ nhớ 200c có thể bao gồm bộ cấp điện áp IO dùng chung 218a và bộ cấp điện áp IO chuyên dụng 218b, có sự kết hợp cung cấp hai mức điện áp. Bộ cấp điện áp IO dùng chung 218a có thể dùng chung điện áp chung với bộ cấp điện áp lõi thứ ba 216c bằng cách kết nối điện với bộ cấp điện áp lõi thứ ba 216c. PMIC 210 có thể điều khiển và/hoặc cung cấp điện áp được chỉ định của bộ cấp điện áp IO kép dùng chung 218a cho thiết bị bộ nhớ 208 và cho lớp vật lý bộ nhớ 206 thông qua điều khiển và/hoặc cung cấp điện áp được chỉ định trên bộ cấp điện áp lõi thứ ba 216c. PMIC 210 có thể điều khiển và/hoặc cung cấp điện áp được chỉ định của bộ cấp điện áp IO chuyên dụng 218b cho thiết bị bộ nhớ 208 và cho lớp vật lý bộ nhớ 206 thông qua bộ cấp điện áp IO chuyên dụng riêng 218b.

Fig. 3 là sơ đồ khối mạch minh họa cấu trúc IO PAM 3 mức điện áp IO kép làm ví dụ để triển khai các phương án khác nhau. Tham chiếu đến các Fig. 1 đến Fig.3, cấu trúc IO PAM 3 mức điện áp IO kép 300 (chẳng hạn, lớp vật lý bộ nhớ 206, khối IO 212

trên các Fig. 2A đến Fig.2C) có thể bao gồm bộ mã hóa 302, bộ giải mã 304, và số lượng và kết hợp bất kỳ của các bộ phát PAM 3 mức 306a, 306b, và các bộ thu PAM 3 mức 308a, 308b. Theo một số phương án, cấu trúc IO PAM 3 mức điện áp IO kép 300 có thể bao gồm hai bộ phát PAM 3 mức 306a, 306b và hai bộ thu PAM 3 mức 308a, 308b. Các bộ phát PAM 3 mức 306a, 306b có thể được kết nối điện với các bộ cấp điện áp IO kép 218a, 218b. Theo một số phương án, các bộ cấp điện áp IO kép 218a, 218b có thể là hai bộ cấp điện áp IO chuyên dụng 218a, 218b. Theo một số phương án, các bộ cấp điện áp IO kép 218a, 218b có thể là bộ cấp điện áp IO dùng chung 218a và bộ cấp điện áp IO chuyên dụng 218b. Theo một số phương án, các bộ phát PAM 3 mức 306a, 306b và các bộ thu PAM 3 mức 308a, 308b có thể được kết nối truyền thông.

Thông qua đầu vào 316, bộ mã hóa 302 có thể nhận dữ liệu và/hoặc thông tin để truyền như một phần của giao dịch bộ nhớ. Bộ mã hóa 302 có thể nhận dữ liệu và/hoặc thông tin dưới dạng các tín hiệu nhị phân. Bộ mã hóa 302 có thể mã hóa các tín hiệu nhị phân thành các tín hiệu đầu vào bộ phát để tạo ra các tín hiệu PAM 3 mức. Ví dụ, bộ mã hóa 302 có thể mã hóa ba tín hiệu nhị phân thành các tín hiệu đầu vào bộ phát cho hai bộ phát PAM 3 mức 306a, 306b. Các tín hiệu đầu vào bộ phát có thể là đầu ra bởi bộ mã hóa 302 cho các bộ phát PAM 3 mức 306a, 306b.

Các bộ phát PAM 3 mức 306a, 306b có thể nhận các tín hiệu đầu vào bộ phát từ bộ mã hóa 302, và tạo ra và xuất ra các tín hiệu PAM 3 mức. Các bộ phát PAM 3 mức 306a, 306b có thể bao gồm trình điều khiển có sẵn 310a, 310b, các mạch kéo lên 312a, 312b, 312c, 312d, được gọi ở đây là “mạch kéo lên,” và các mạch kéo xuống 314a, 314b, được gọi ở đây là “mạch kéo xuống.” Mạch kéo lên 312a, 312b, 312c, 312d có thể được kết nối điện với các bộ cấp điện áp IO kép 218a, 218b. Ví dụ, mỗi mạch kéo lên 312a, 312b, 312c, 312d có thể được kết nối điện với một trong số các bộ cấp điện áp IO kép 218a, 218b, và mỗi mạch kéo lên 312a, 312b, 312c, 312d của cùng bộ phát PAM 3 mức 306a, 306b, bộ phát có thể được kết nối điện với bộ điện áp cấp còn lại trong số các bộ cấp điện áp IO kép 218a, 218b. Theo một ví dụ khác, mạch kéo lên 312a, 312c có thể được kết nối điện với bộ cấp điện áp IO 218a, và mạch kéo lên 312b, 312d có thể được kết nối điện với bộ cấp điện áp IO 218b. Mạch kéo xuống 314a, 314b có thể được kết nối điện có lựa chọn với các bộ cấp điện áp IO kép 218a, 218b thông qua mạch kéo lên 312a, 312b, 312c, 312d. Ví dụ, mạch kéo xuống 314a có thể được kết nối điện có

lựa chọn với bộ cấp điện áp IO 218a thông qua mạch kéo lên 312a và được kết nối điện có lựa chọn với bộ cấp điện áp IO 218b thông qua mạch kéo lên 312b. Mạch kéo xuống 314b có thể được kết nối điện có lựa chọn với bộ cấp điện áp IO 218a thông qua mạch kéo lên 312c và được kết nối điện có lựa chọn với bộ cấp điện áp IO 218b thông qua mạch kéo lên 312d.

Các bộ phát PAM 3 mức 306a, 306b có thể xuất ra các tín hiệu PAM 3 mức thông qua các đầu ra 322a, 322b. Các đầu ra 322a, 322b có thể được kết nối điện có lựa chọn với các bộ cấp điện áp IO kép 218a, 218b thông qua mạch kéo lên 312a, 312b, 312c, 312d và được kết nối điện có lựa chọn với đất thông qua mạch kéo xuống 314a, 314b. Ví dụ, đầu ra 322a có thể được kết nối điện có lựa chọn với bộ cấp điện áp IO 218a thông qua mạch kéo lên 312a, được kết nối điện có lựa chọn với bộ cấp điện áp IO 218b thông qua mạch kéo lên 312b, và được kết nối điện có lựa chọn với đất thông qua mạch kéo xuống 314a. Đầu ra 322b có thể được kết nối điện có lựa chọn với bộ cấp điện áp IO 218a thông qua mạch kéo lên 312c, được kết nối điện có lựa chọn với bộ cấp điện áp IO 218b thông qua mạch kéo lên 312d, và được kết nối điện có lựa chọn với đất thông qua mạch kéo xuống 314b.

Các trình điều khiển có sẵn 310a, 310b có thể diễn dịch các tín hiệu đầu vào bộ phát nhận được và theo đó điều khiển mạch kéo lên 312a, 312b, 312c, 312d và mạch kéo xuống 314a, 314b để kết nối điện có lựa chọn các đầu ra 322a, 322b với các bộ cấp điện áp IO kép 218a, 218b hoặc đất để tạo ra và xuất ra các tín hiệu trạng thái. Ví dụ, trình điều khiển có sẵn 310a có thể diễn dịch các tín hiệu đầu vào bộ phát nhận được và theo đó điều khiển mạch kéo lên 312a, 312b và mạch kéo xuống 314a để kết nối điện có lựa chọn đầu ra 322a với các bộ cấp điện áp IO kép 218a, 218b hoặc đất. Trình điều khiển có sẵn 310b có thể diễn dịch các tín hiệu đầu vào bộ phát nhận được và theo đó điều khiển mạch kéo lên 312c, 312d và mạch kéo xuống 314b để kết nối điện có lựa chọn đầu ra 322b với các bộ cấp điện áp IO kép 218a, 218b hoặc đất.

Theo một số phương án, các bộ phát PAM 3 mức 306a, 306b có thể tạo ra và xuất ra lên đến chín tín hiệu trạng thái dựa vào kết nối có lựa chọn của các đầu ra 322a, 322b với các bộ cấp điện áp IO kép 218a, 218b hoặc đất. Ví dụ, mỗi bộ phát PAM 3 mức 306a, 306b có thể tạo ra và xuất ra ba mức tín hiệu (chẳng hạn, cao “H”, trung bình

“M”, và thấp “L”). Các tín hiệu PAM 3 mức xuất ra bởi mỗi bộ phát PAM 3 mức 306a, 306b có thể được kết hợp thành bất kỳ tín hiệu nào trong số tối đa chín tín hiệu trạng thái.

Các bộ thu PAM 3 mức 308a, 308b có thể nhận các tín hiệu PAM 3 mức, và tạo ra và xuất ra các tín hiệu đầu ra bộ thu. Các bộ thu PAM 3 mức 308a, 308b có thể bao gồm mạch so sánh 324a, 324b, 324c, 324d được tạo cấu hình để so sánh các tín hiệu PAM 3 mức nhận được và các tín hiệu tham chiếu điện áp 326a, 326b. Ví dụ, mạch so sánh 324a, 324c có thể được tạo cấu hình để so sánh xem trạng thái của các tín hiệu PAM 3 mức nhận được có nhỏ hơn các tín hiệu tham chiếu điện áp 326a hay không. Theo một ví dụ khác, mạch so sánh 324b, 324d có thể được tạo cấu hình để so sánh xem trạng thái của các tín hiệu PAM 3 mức nhận được là nhỏ hơn, hay lớn hơn so với, tín hiệu tham chiếu điện áp 326b. Theo các ví dụ này, tín hiệu tham chiếu điện áp 326a có thể lớn hơn tín hiệu tham chiếu điện áp 326b. Các kết quả của việc so sánh có thể thúc đẩy mạch so sánh 324a, 324b, 324c, 324d để xuất ra các tín hiệu đầu ra bộ thu của các giá trị biểu diễn các trạng thái của các tín hiệu PAM 3 mức nhận được.

Bộ giải mã 304 có thể nhận các tín hiệu đầu ra bộ thu từ các bộ thu PAM 3 mức 308a, 308b, và tạo ra và xuất ra dữ liệu và/hoặc thông tin của giao dịch bộ nhớ. Bộ giải mã 304 có thể giải mã các tín hiệu đầu ra bộ thu để tạo ra các tín hiệu nhị phân khi nhận được bởi bộ mã hóa 302. Bộ giải mã 304 có thể xuất ra các tín hiệu nhị phân thông qua đầu ra 318.

Theo một số phương án, bộ mã hóa 302 và các bộ phát PAM 3 mức 306a, 306b xuất ra các tín hiệu PAM 3 mức, và bộ giải mã 304 và các bộ thu PAM 3 mức 308a, 308b nhận các tín hiệu PAM 3 mức có thể là các phần của cấu trúc IO PAM 3 mức điện áp IO kép khác nhau 300. Ví dụ, bộ mã hóa 302 và các bộ phát PAM 3 mức 306a, 306b có thể là một phần của lớp vật lý bộ nhớ, và bộ giải mã 304 và các bộ thu PAM 3 mức 308a, 308b có thể là một phần của khối IO. Theo một ví dụ khác, bộ mã hóa 302 và các bộ phát PAM 3 mức 306a, 306b có thể là một phần của khối IO, và bộ giải mã 304 và các bộ thu PAM 3 mức 308a, 308b có thể là một phần của lớp vật lý bộ nhớ.

Fig. 4 minh họa sơ đồ định thời PAM 3 mức điện áp IO kép làm ví dụ để triển khai các phương án khác nhau. Tham chiếu đến các Fig. 1 đến Fig.4, sơ đồ định thời

bao gồm điện áp IO 1 (chẳng hạn, điện áp của một trong số các bộ cấp điện áp IO 218a, 218b trên các Fig. 2A đến Fig.3), điện áp IO 2 (chẳng hạn, điện áp của các bộ cấp điện áp khác trong các bộ cấp điện áp IO 218a, 218b trên các Fig. 2A đến Fig.3), điện áp nối đất (“GND”) (chẳng hạn, đất trên Fig. 3), tham chiếu điện áp 1 (“Vref 1”) (chẳng hạn, điện áp của một trong số các tín hiệu tham chiếu điện áp 326a, 326b trên Fig. 3), và tham chiếu điện áp 2 (“Vref 2”) (chẳng hạn, điện áp của tín hiệu điện tham chiếu khác trong các tín hiệu tham chiếu điện áp 326a, 326b trên Fig. 3).

Như được mô tả ở đây, cấu trúc IO PAM 3 mức điện áp IO kép (chẳng hạn, cấu trúc IO PAM 3 mức điện áp IO kép 300 trên Fig. 3) có thể mã hóa và xuất ra và/hoặc nhận và giải mã các tín hiệu 3 mức (chẳng hạn, cao “H”, trung bình “M”, và thấp “L”). Các giá trị của tín hiệu có thể phụ thuộc vào sự điều khiển kết nối có lựa chọn của các bộ phát PAM 3 mức (chẳng hạn, các bộ phát PAM 3 mức 306a, 306b trên Fig. 3) với các bộ cấp điện áp IO (chẳng hạn, các bộ cấp điện áp IO 218a, 218b trên các Fig. 2A đến Fig.3). Tín hiệu cao có thể do kết nối điện có lựa chọn với bộ cấp điện cao áp IO mà có thể cấp điện áp mức cao (“điện áp 1”). Tín hiệu trung bình có thể do kết nối điện có lựa chọn với bộ cấp điện hạ áp IO mà có thể cấp điện áp mức trung bình (“điện áp 2”). Tín hiệu thấp có thể do kết nối điện có lựa chọn với đất. Cấu trúc IO PAM 3 mức điện áp IO kép có thể xác định loại, giá trị, mức, hoặc trạng thái của tín hiệu PAM 3 mức bằng cách so sánh với Vref 1 và/hoặc Vref 2. Ví dụ, các bộ thu PAM 3 mức (chẳng hạn, các bộ thu PAM 3 mức 308a, 308b trên Fig. 3) của cấu trúc IO PAM 3 mức điện áp IO kép có thể xác định loại, giá trị, mức, hoặc trạng thái của tín hiệu PAM 3 mức.

Theo một số phương án, điện áp mức trung bình ảnh hưởng cả định thời tín hiệu cao và trung bình và biên điện áp. Mức cấp điện hạ áp IO từ PMIC (chẳng hạn, PMIC 210 trên các Fig. 2a đến Fig.2C) có thể được điều chỉnh một cách tổng thể để cân bằng giữa định thời tín hiệu cao và trung bình và biên điện áp trong lúc đào tạo dữ liệu Ghi & Đọc trong thiết bị điện toán (chẳng hạn, thiết bị điện toán 10 trên Fig. 1). SoC (chẳng hạn, SoC 12 trên Fig. 1) có thể cung cấp các tín hiệu điều khiển nhất định cho PMIC để điều chỉnh bộ cấp điện hạ áp IO.

Fig. 5 minh họa ví dụ về việc mã hóa PAM 3 mức để triển khai các phương án khác nhau. Tham chiếu đến các Fig. 1 đến Fig.5, bảng 500 minh họa trên Fig. 5 thể hiện

ví dụ về ánh xạ có thể có giữa các tín hiệu nhị phân và các tín hiệu PAM 3 mức để mã hóa và giải mã giữa các tín hiệu nhị phân và các tín hiệu PAM 3 mức bởi bộ mã hóa (chẳng hạn, bộ mã hóa 302 trên Fig. 3) và bộ giải mã (chẳng hạn, bộ giải mã 304 trên Fig. 3). Bảng 500 bao gồm các giá trị tín hiệu nhị phân cao “H” và thấp “L”, và các giá trị tín hiệu PAM 3 mức cao “H”, trung bình “M”, và thấp “L”. Theo ví dụ này, mỗi trong ba tín hiệu nhị phân có thể có một trong hai giá trị cho tổng số tám sự kết hợp có thể xảy ra. Mỗi trong hai tín hiệu PAM 3 mức tương ứng có thể có một trong ba giá trị. Có thể có chín sự kết hợp có thể xảy ra của các tín hiệu PAM 3 mức. Tuy nhiên, số lượng kết hợp của các tín hiệu PAM 3 mức bị giới hạn bởi số lượng kết hợp có thể xảy ra của các tín hiệu nhị phân. Mỗi sự kết hợp của ba tín hiệu nhị phân có thể tương ứng với sự kết hợp của hai tín hiệu PAM 3 mức. Theo ví dụ được minh họa, sự kết hợp “HH” của các tín hiệu PAM 3 mức được bỏ qua vì nó nhiều công suất nhất. Tuy nhiên, phần yêu cầu bảo hộ và mô tả không dự định bị giới hạn trong phạm vi của ví dụ được thể hiện trên Fig. 5.

Các Fig. 6A và Fig.6B minh họa các giao diện hệ thống bộ nhớ điện áp IO kép làm ví dụ cho các sơ đồ IO PAM 3 mức để triển khai các phương án khác nhau. Tham chiếu đến các Fig. 1 đến Fig.6B, giao diện hệ thống bộ nhớ điện áp IO kép cho các sơ đồ IO PAM 3 mức 600a, 600b có thể được triển khai bởi các thành phần khác nhau của hệ thống bộ nhớ (chẳng hạn, hệ thống bộ nhớ 200a, 200b, 200c trên các Fig. 2A đến Fig.2C) Các thành phần này có thể bao gồm lớp vật lý bộ nhớ 206, số lượng và kết hợp bất kỳ của các thiết bị bộ nhớ 208, các bộ cấp điện áp IO kép 218a, 218b, và bus truyền thông (chẳng hạn, bus truyền thông 220 trên các Fig. 2A đến Fig.2C) Theo một số phương án, bus truyền thông có thể bao gồm số lượng và kết hợp bất kỳ của bus dữ liệu 602a, 602b, các bus xung nhịp dữ liệu 604a, 604b, các bus xung nhịp nhảy đọc 606a, 606b, bus lệnh và địa chỉ 610, bus xung nhịp 612, và bus nhảy dữ liệu 614a, 614b.

Bus dữ liệu 602a, 602b có thể thay đổi về kích thước. Theo một số phương án, bus dữ liệu 602a, 602b có thể được tạo cấu hình để truyền cùng một lượng dữ liệu và/hoặc thông tin cho giao dịch bộ nhớ dưới dạng giao diện hệ thống bộ nhớ điện áp IO đơn. Theo các phương án này, sơ đồ IO PAM 3 mức điện áp IO kép có thể mã hóa nhiều dữ liệu hơn trên mỗi dòng của bus dữ liệu 602a, 602b dựa vào việc có loại tín hiệu, các giá trị, các mức, hoặc trạng thái có thể có bổ sung. Như vậy, bus dữ liệu

602a, 602b có thể được triển khai với ít dòng hơn so với giao diện hệ thống bộ nhớ điện áp IO đơn. Ví dụ, bus dữ liệu cho giao diện hệ thống bộ nhớ điện áp IO đơn có thể bao gồm tám dòng bit dữ liệu nhị phân và dòng bit chức năng nhị phân (chẳng hạn, dòng bit chặn lẻ mã hiệu chỉnh lỗi). Các bit nhị phân khác nhau có thể được mã hóa thành ít bit tín hiệu PAM 3 mức hơn, như được mô tả thêm ở đây. Ví dụ, ba bit nhị phân có thể được mã hóa thành hai bit tín hiệu PAM 3 mức. Do đó, chín bit nhị phân có thể được giảm xuống sáu bit tín hiệu PAM 3 mức và số lượng đường bus dữ liệu 602a, 602b có thể được giảm xuống theo đó cho giao diện hệ thống bộ nhớ điện áp IO kép cho các sơ đồ IO PAM 3 mức 600a, 600b.

Theo một số phương án, bus dữ liệu 602a, 602b có thể được tạo cấu hình để truyền nhiều dữ liệu và/hoặc thông tin hơn cho giao dịch bộ nhớ dưới dạng giao diện hệ thống bộ nhớ điện áp IO đơn. Nói cách khác, bus dữ liệu 602a, 602b có thể có băng thông cao hơn. Theo các phương án như vậy, sơ đồ IO PAM 3 mức điện áp IO kép có thể truyền nhiều dữ liệu trên nhiều dòng của bus dữ liệu 602a, 602b hơn mà không gây ra chi phí công suất bổ sung dựa vào việc sử dụng các tín hiệu PAM 3 mức công suất thấp hơn so với giao diện hệ thống bộ nhớ điện áp IO đơn. Ví dụ, bus dữ liệu cho giao diện hệ thống bộ nhớ điện áp IO đơn có thể bao gồm tám dòng bit dữ liệu nhị phân và dòng bit chức năng nhị phân (chẳng hạn, dòng bit chặn lẻ mã hiệu chỉnh lỗi). Các bit nhị phân khác nhau có thể được mã hóa thành ít bit tín hiệu PAM 3 mức hơn, như được mô tả thêm ở đây. Ví dụ, ba bit nhị phân có thể được mã hóa thành hai bit tín hiệu PAM 3 mức. Do đó, chín bit nhị phân có thể được giảm xuống sáu bit tín hiệu PAM 3 mức. Băng thông của bus dữ liệu 602a, 602b có thể là gấp đôi so với giao diện hệ thống bộ nhớ điện áp IO đơn bằng cách tăng số lượng dòng bus dữ liệu 602a, 602b thành mười hai dòng cho giao diện hệ thống bộ nhớ điện áp IO kép cho các sơ đồ IO PAM 3 mức 600a, 600b.

Theo một số phương án, giao diện hệ thống bộ nhớ điện áp IO kép cho các sơ đồ IO PAM 3 mức 600a, 600b có thể được tạo cấu hình cho các sơ đồ xung nhịp khác nhau. Ví dụ, giao diện hệ thống bộ nhớ điện áp IO kép cho các sơ đồ IO PAM 3 mức 600a được minh họa trên Fig. 6A bao gồm các bus xung nhịp dữ liệu 604a, 604b và các bus xung nhịp nhảy đọc 606a, 606b của sơ đồ LPDDR5. Theo một ví dụ khác, giao diện

hệ thống bộ nhớ điện áp IO kép cho các sơ đồ IO PAM 3 mức 600b được minh họa trên Fig. 6B bao gồm bus nhảy dữ liệu 614a, 614b của sơ đồ LPDDR4.

Fig. 7 minh họa ví dụ về sự phân bổ tín hiệu trong giao diện hệ thống bộ nhớ điện áp IO kép cho các sơ đồ IO PAM 3 mức để triển khai các phương án khác nhau. Tham chiếu đến các Fig. 1 đến Fig.7, bảng ví dụ 700, 702, 704 liệt kê các phân bổ tín hiệu cho bus dữ liệu (chẳng hạn, bus truyền thông 220 trên các Fig. 2A đến Fig.2C, bus dữ liệu 602a, 602b trên các Fig. 6A và Fig.6B) trong giao diện hệ thống bộ nhớ điện áp IO kép cho các sơ đồ IO PAM 3 mức. Như được mô tả ở đây, bit nhị phân có thể được mã hóa thành ít bit tín hiệu PAM 3 mức hơn. Như vậy, bus dữ liệu có thể được triển khai với ít dòng hơn so với giao diện hệ thống bộ nhớ điện áp IO đơn. Bảng 700 thể hiện các phân bổ tín hiệu của cụm dữ liệu giao dịch bộ nhớ cho giao diện hệ thống bộ nhớ điện áp IO đơn sử dụng chín dòng bus dữ liệu. Bảng 702 thể hiện sự phân bổ tín hiệu của cụm dữ liệu giao dịch bộ nhớ cho giao diện hệ thống bộ nhớ điện áp IO kép cho các sơ đồ IO PAM 3 mức sử dụng sáu dòng bus dữ liệu. Bảng 704 thể hiện ánh xạ giữa các dòng bus dữ liệu cho giao diện hệ thống bộ nhớ điện áp IO đơn và các dòng bus dữ liệu cho giao diện hệ thống bộ nhớ điện áp IO kép cho các sơ đồ IO PAM 3 mức. Bằng cách sử dụng ánh xạ được thể hiện trên bảng 704, sự so sánh của bảng 700 và bảng 702 thể hiện sự phân bổ tín hiệu trên các bảng 700 và 702 là cho các cụm dữ liệu tương đương bằng cách sử dụng bus dữ liệu kích thước khác nhau và báo hiệu khác nhau. Sự phân bổ tín hiệu trên bảng 702 phân bổ cụm dữ liệu tương đương bằng cách sử dụng ít dòng hơn so với phân bổ trên bảng 700. Theo ví dụ trên Fig. 7, bảng 704 và sự so sánh của bảng 700 và 702 thể hiện tỷ lệ giảm xuống là 3:2. Tuy nhiên, phần yêu cầu bảo hộ và mô tả không bị giới hạn trong phạm vi của ví dụ trên Fig. 7.

Fig. 8 minh họa phương pháp 800 cho phương pháp IO PAM 3 mức điện áp IO kép theo một phương án. Tham chiếu đến các Fig. 1 đến Fig.8, phương pháp 800 có thể được triển khai trong thiết bị điện toán (chẳng hạn, thiết bị điện toán 10 trên Fig. 1), trong phần mềm thực thi trong bộ xử lý (chẳng hạn, bộ xử lý 14, trên Fig. 1), trong phần cứng đa dụng, trong phần cứng chuyên dụng (chẳng hạn, bộ nhớ 16, 24 trên Fig. 1, hệ thống bộ nhớ 200a, 200b, 200c, lớp vật lý bộ nhớ 206, thiết bị bộ nhớ 208, khối IO 212 trên các Fig. 2A đến Fig.2C, cấu trúc IO PAM 3 mức điện áp IO kép 300, bộ mã hóa 302, bộ giải mã 304, bộ phát PAM 3 mức 306a, 306b, và bộ thu PAM 3 mức 308a, 308b,

trình điều khiển có sẵn 310a, 310b, mạch so sánh 324a, 324b, 324c, 324d trên Fig.3), hoặc dưới dạng kết hợp của bộ xử lý được tạo cấu hình phần mềm và phần cứng chuyên dụng, như bộ xử lý thực thi phần mềm trong hệ thống điều khiển công suất bộ nhớ mà bao gồm các thành phần riêng khác, và các bộ điều khiển bộ nhớ/bộ đệm khác nhau. Để hoàn thiện các cấu hình thay thế được phép theo các phương án khác nhau, phần cứng triển khai phương pháp 800 được gọi ở đây là “bộ điều khiển điện áp IO kép.”

Ở khối 802, bộ điều khiển điện áp IO kép có thể nhận tín hiệu dữ liệu. Tín hiệu dữ liệu có thể là một phần của giao dịch bộ nhớ nhận được từ số lượng và kết hợp bất kỳ của các bộ xử lý (chẳng hạn, bộ xử lý 202a, 202b, 202c trên các Fig. 2A đến Fig.2C). Theo một số phương án, tín hiệu dữ liệu có thể là tín hiệu nhị phân. Theo một số phương án, bộ điều khiển điện áp IO kép nhận tín hiệu dữ liệu ở khối 802 có thể là lớp vật lý bộ nhớ, khối IO, và/hoặc bộ mã hóa.

Ở khối 804, bộ điều khiển điện áp IO kép có thể mã hóa tín hiệu dữ liệu dưới dạng tín hiệu đầu vào bộ phát để tạo ra tín hiệu PAM 3 mức và xuất ra tín hiệu đầu vào bộ phát. Ví dụ, bộ điều khiển điện áp IO kép có thể mã hóa ba tín hiệu nhị phân thành hai nhóm tín hiệu đầu vào bộ phát để tạo ra các tín hiệu PAM 3 mức. Các tín hiệu nhị phân có thể được biểu diễn bởi các giá trị cao và thấp và các tín hiệu đầu vào bộ phát có thể được phiên dịch dưới dạng các tín hiệu cao, trung bình, và thấp. Sự kết hợp của các bit tín hiệu nhị phân có thể được mã hóa thành ít tín hiệu PAM 3 mức hơn. Theo một số phương án, bộ điều khiển điện áp IO kép mã hóa tín hiệu dữ liệu dưới dạng tín hiệu đầu vào bộ phát để tạo ra tín hiệu PAM 3 mức và xuất ra tín hiệu đầu vào bộ phát ở khối 804 có thể là lớp vật lý bộ nhớ, khối IO, và/hoặc bộ mã hóa.

Ở khối 806, bộ điều khiển điện áp IO kép có thể nhận và diễn dịch tín hiệu đầu vào bộ phát. Các tín hiệu đầu vào bộ phát có thể được tạo cấu hình là các tín hiệu điều khiển để kết nối điện có lựa chọn đầu ra của bộ điều khiển điện áp IO kép (chẳng hạn, đầu ra 322a, 322b trên Fig. 3) với các bộ cấp điện áp IO kép (chẳng hạn, các bộ cấp điện áp IO kép 218a, 218b trên các Fig. 2A đến Fig.2C và Fig.3) và/hoặc đất. Theo một số phương án, bộ điều khiển điện áp IO kép nhận và diễn dịch tín hiệu đầu vào bộ phát ở khối 806 có thể là lớp vật lý bộ nhớ, khối IO, bộ phát PAM 3 mức, và/hoặc trình điều khiển có sẵn.

Ở khối 808, bộ điều khiển điện áp IO kép có thể điều khiển (các) đơn vị mạch kéo lên (chẳng hạn, mạch kéo lên 312a, 312b, 312c, 312d trên Fig. 3) và/hoặc đơn vị mạch kéo xuống (chẳng hạn, mạch kéo xuống 314a, 314b trên Fig. 3) để điều khiển việc nhận điện áp từ các bộ cấp điện áp IO kép dựa vào tín hiệu đầu vào bộ phát. Bộ điều khiển điện áp IO kép có thể báo hiệu các tín hiệu điều khiển cho (các) đơn vị mạch kéo lên để kết nối điện có lựa chọn đầu ra với các bộ cấp điện áp IO kép. Bộ điều khiển điện áp IO kép có thể báo hiệu các tín hiệu điều khiển cho đơn vị mạch kéo xuống để kết nối điện có lựa chọn đầu ra với đất. Điện áp nhận được ở đầu ra để đáp lại sự kết nối điện có lựa chọn với các bộ cấp điện áp IO kép và/hoặc đất có thể là tín hiệu PAM 3 mức suy ra từ tín hiệu dữ liệu thông qua việc mã hóa tín hiệu dữ liệu thành tín hiệu đầu vào bộ phát. Theo một số phương án, trạng thái tín hiệu của tín hiệu PAM 3 mức có thể là cao để đáp lại việc kết nối điện có lựa chọn với bộ cấp điện áp IO của các bộ cấp điện áp IO kép, có thể là trung bình để đáp lại việc kết nối điện có lựa chọn với bộ cấp điện áp IO của các bộ cấp điện áp IO kép, và có thể là thấp để đáp lại việc kết nối điện có lựa chọn với đất. Theo một số phương án, bộ điều khiển điện áp IO kép điều khiển (các) đơn vị mạch kéo lên và/hoặc đơn vị mạch kéo xuống để điều khiển việc nhận điện áp từ các bộ cấp điện áp IO kép dựa vào việc tín hiệu đầu vào bộ phát ở khối 808 có thể là lớp vật lý bộ nhớ, khối IO, bộ phát PAM 3 mức, và/hoặc trình điều khiển có sẵn.

Ở khối 810, bộ điều khiển điện áp IO kép có thể xuất ra tín hiệu PAM 3 mức dựa vào điện áp nhận được từ bộ cấp điện áp IO hoặc nối đất theo tín hiệu đầu vào bộ phát. Bộ điều khiển điện áp IO kép có thể xuất ra tín hiệu PAM 3 mức có trạng thái tín hiệu do kết nối điện có lựa chọn của đầu ra với các bộ cấp điện áp IO kép và/hoặc đất thông qua (các) đơn vị mạch kéo lên và/hoặc đơn vị mạch kéo xuống. Theo một số phương án, bộ điều khiển điện áp IO kép xuất ra tín hiệu PAM 3 mức dựa vào điện áp nhận được từ bộ cấp điện áp IO hoặc nối đất theo tín hiệu đầu vào bộ phát ở khối 810 có thể là lớp vật lý bộ nhớ, khối IO, và/hoặc bộ phát PAM 3 mức.

Ở khối 812, bộ điều khiển điện áp IO kép có thể nhận tín hiệu PAM 3 mức. Đầu ra tín hiệu PAM 3 mức có thể là đích cho thiết bị nhận dựa vào đích của giao dịch bộ nhớ và/hoặc trở lại giao dịch bộ nhớ. Đích của giao dịch bộ nhớ và/hoặc trở lại giao dịch bộ nhớ có thể nhận đầu ra tín hiệu PAM 3 mức. Theo một số phương án, bộ điều

khí điện áp IO kép nhận tín hiệu PAM 3 mức ở khối 812 có thể là lớp vật lý bộ nhớ, khối IO, bộ thu PAM 3 mức, và/hoặc mạch so sánh.

Ở khối 814, bộ điều khiển điện áp IO kép có thể so sánh tín hiệu PAM 3 mức với tham chiếu điện áp (chẳng hạn, các tín hiệu tham chiếu điện áp 326a, 326b trên Fig. 3). Ví dụ, bộ điều khiển điện áp IO kép có thể so sánh xem tín hiệu PAM 3 mức nhận được có nhỏ hơn tín hiệu tham chiếu điện áp cao hay không. Theo một ví dụ khác, bộ điều khiển điện áp IO kép có thể so sánh xem tín hiệu PAM 3 mức nhận được là nhỏ hơn, hay lớn hơn tín hiệu tham chiếu điện áp thấp. Theo các ví dụ này, tín hiệu tham chiếu điện áp cao có thể lớn hơn tín hiệu tham chiếu điện áp thấp. Theo một số phương án, bộ điều khiển điện áp IO kép so sánh tín hiệu PAM 3 mức với tham chiếu điện áp ở khối 814 có thể là lớp vật lý bộ nhớ, khối IO, bộ thu PAM 3 mức, và/hoặc mạch so sánh.

Ở khối 816, bộ điều khiển điện áp IO kép có thể tạo ra và xuất ra kết quả của việc so sánh dưới dạng tín hiệu đầu ra bộ thu. Tín hiệu đầu ra bộ thu do so sánh có thể được tạo cấu hình để mô tả trạng thái của tín hiệu PAM 3 mức nhận được. Theo một số phương án, bộ điều khiển điện áp IO kép tạo ra và xuất ra kết quả so sánh dưới dạng tín hiệu đầu ra bộ thu ở khối 816 có thể là lớp vật lý bộ nhớ, khối IO, bộ thu PAM 3 mức, và/hoặc mạch so sánh.

Ở khối 818, bộ điều khiển điện áp IO kép có thể nhận và giải mã tín hiệu đầu ra bộ thu dưới dạng tín hiệu dữ liệu. Tín hiệu dữ liệu thu được từ việc giải mã tín hiệu đầu ra bộ thu có thể là tín hiệu dữ liệu nhận được ở khối 802. Theo một số phương án, bộ điều khiển điện áp IO kép nhận và giải mã tín hiệu đầu ra bộ thu dưới dạng tín hiệu dữ liệu ở khối 818 có thể là lớp vật lý bộ nhớ, khối IO, và/hoặc bộ giải mã.

Ở khối 820, bộ điều khiển điện áp IO kép có thể xuất ra tín hiệu dữ liệu. Theo một số phương án, tín hiệu dữ liệu có thể được xuất ra đến thiết bị bộ nhớ. Theo một số phương án, tín hiệu dữ liệu có thể được xuất ra đến bộ xử lý, như thông qua bộ điều khiển bộ nhớ. Theo một số phương án, bộ điều khiển điện áp IO kép xuất ra tín hiệu dữ liệu ở khối 820 có thể là lớp vật lý bộ nhớ, khối IO, và/hoặc bộ giải mã.

Các phương án khác nhau (bao gồm, nhưng không giới hạn ở, các phương án được mô tả ở trên với tham chiếu các Fig. 1 đến Fig.8) có thể được triển khai theo nhiều dạng hệ thống điện toán khác nhau bao gồm các thiết bị điện toán di động, một ví dụ về

hệ thống điện toán thích hợp để sử dụng với các phương án khác nhau được minh họa trên Fig. 9. Thiết bị điện toán di động 900 có thể bao gồm bộ xử lý 902 được ghép nối với bộ điều khiển màn hình cảm ứng 904 và bộ nhớ trong 906. Bộ xử lý 902 có thể là một hoặc nhiều mạch tích hợp nhiều lõi được thiết kế cho các tác vụ xử lý chung hoặc riêng. Bộ nhớ trong 906 có thể là bộ nhớ khả biến hoặc bất biến, và có thể còn là bộ nhớ an toàn và/hoặc được mã hóa, hoặc bộ nhớ không an toàn và/hoặc không được mã hóa, hoặc tổ hợp bất kỳ của chúng. Ví dụ về các loại bộ nhớ có thể được tận dụng bao gồm nhưng không giới hạn ở DDR, LPDDR, GDDR, WIDEIO, RAM, SRAM, DRAM, P-RAM, R-RAM, M-RAM, STT-RAM và DRAM nhúng. Bộ điều khiển màn hình cảm ứng 904 và bộ xử lý 902 cũng có thể được ghép nối với bảng màn hình cảm ứng 912, như màn hình cảm ứng điện trở, màn hình cảm ứng điện dung, màn hình cảm ứng hồng ngoại, vv. Ngoài ra, màn hình của thiết bị điện toán di động 900 không cần thiết phải có khả năng của màn hình cảm ứng.

Thiết bị điện toán di động 900 có thể có một hoặc nhiều bộ thu phát tín hiệu vô tuyến 908 (ví dụ, Peanut, Bluetooth, ZigBee, Wi-Fi, vô tuyến RF) và anten 910, để gửi và nhận các cuộc truyền thông, được ghép nối với nhau và/hoặc với bộ xử lý 902. Các bộ thu phát 908 và anten 910 có thể được dùng với hệ mạch nêu trên để triển khai các giao diện và ngăn xếp giao thức truyền không dây khác nhau. Thiết bị điện toán di động 900 có thể bao gồm chip modem mạng di động không dây 916 cho phép truyền thông qua mạng di động và được ghép nối với bộ xử lý.

Thiết bị điện toán di động 900 có thể bao gồm giao diện kết nối thiết bị ngoại vi 918 được ghép nối với bộ xử lý 902. Giao diện kết nối thiết bị ngoại vi 918 có thể được tạo cấu hình khác thường để chấp nhận một kiểu kết nối, hoặc có thể được tạo cấu hình để chấp nhận một số kiểu kết nối vật lý và truyền thông, chung hoặc riêng, như bus nối tiếp đa năng (Universal Serial Bus - USB), FireWire, Thunderbolt, hoặc PCIe. Giao diện kết nối thiết bị ngoại vi 918 còn có thể được ghép nối với cổng kết nối thiết bị ngoại vi được tạo cấu hình tương tự (không được thể hiện trên hình vẽ).

Thiết bị điện toán di động 900 còn có thể bao gồm các loa 914 để cung cấp đầu ra âm thanh. Thiết bị điện toán di động 900 còn có thể bao gồm vỏ 920, được làm bằng nhựa, kim loại, hoặc tổ hợp các vật liệu, để chứa toàn bộ hoặc một số trong số các thành

phần được mô tả ở đây. Thiết bị điện toán di động 900 có thể bao gồm nguồn điện 922 ghép nối với bộ xử lý 902, ví dụ như pin dùng một lần hoặc pin sạc lại được. Pin sạc lại được cũng có thể được ghép nối với cổng kết nối thiết bị ngoại vi để nhận dòng điện nạp từ nguồn bên ngoài cho thiết bị điện toán di động 900. Thiết bị điện toán di động 900 còn có thể bao gồm nút vật lý 924 để nhận đầu vào của người dùng. Thiết bị điện toán di động 900 còn có thể bao gồm nút nguồn 926 để bật và tắt thiết bị điện toán di động 900.

Các phương án khác nhau (bao gồm, nhưng không giới hạn ở, các phương án được mô tả ở trên có liên quan đến các Fig. 1 đến Fig.8) có thể được triển khai theo nhiều dạng hệ thống tính toán bao gồm máy tính xách tay 1000 ví dụ về hệ thống này được minh họa trên Fig. 10. Nhiều máy tính xách tay bao gồm bề mặt cảm ứng bàn di chuột 1017 đóng vai trò là thiết bị trò của máy tính và do đó có thể nhận các cử chỉ kéo, cuộn và vuốt tương tự như các cử chỉ được triển khai trên các thiết bị điện toán được trang bị màn hình hiển thị cảm ứng và được mô tả ở trên. Máy tính xách tay 1000 thường sẽ bao gồm bộ xử lý 1002 ghép nối với bộ nhớ khả biến 1012 và bộ nhớ bất biến dung lượng lớn, chẳng hạn như ổ đĩa 1013 của bộ nhớ flash. Ngoài ra, máy tính 1000 có thể có một hoặc nhiều anten 1008 để gửi và nhận bức xạ điện từ có thể được kết nối với liên kết dữ liệu không dây và/hoặc bộ thu phát điện thoại di động 1016 được ghép nối với bộ xử lý 1002. Máy tính 1000 còn có thể bao gồm ổ đĩa mềm 1014 và đĩa compact (compact disc - CD) 1015 được ghép nối với bộ xử lý 1002. Trong cấu hình notebook, vỏ máy tính bao gồm bàn di chuột 1017, bàn phím 1018 và màn hình hiển thị 1019, tất cả đều được ghép nối với bộ xử lý 1002. Các cấu hình khác của thiết bị điện toán có thể bao gồm chuột máy tính hoặc bi xoay được ghép nối với bộ xử lý (ví dụ, thông qua đầu vào USB) như đã biết, cũng có thể được sử dụng cùng với các phương án khác nhau.

Các phương án khác nhau (bao gồm, nhưng không giới hạn ở, các phương án được mô tả ở trên có liên quan đến các Fig. 1 đến Fig.9) có thể còn được triển khai trong các hệ thống điện toán cố định, như bất kỳ trong số nhiều máy chủ có sẵn trên thị trường. Máy chủ làm ví dụ 1100 được minh họa trên Fig. 11. Máy chủ 1100 này thường bao gồm một hoặc nhiều cụm bộ xử lý nhiều lõi 1101 được ghép nối với bộ nhớ khả biến 1102 và bộ nhớ bất biến dung lượng lớn, như ổ đĩa 1104. Như được minh họa trên Fig. 11, các cụm bộ xử lý nhiều lõi 1101 có thể được thêm vào máy chủ 1100 bằng cách chèn

chúng vào giá của cụm. Máy chủ 1100 có thể còn bao gồm ổ đĩa mềm, đĩa CD hoặc đĩa DVD 1106 được ghép nối với bộ xử lý 1101. Máy chủ 1100 còn có thể bao gồm các cổng truy cập mạng 1103 được ghép nối với các cụm bộ xử lý nhiều lõi 1101 để thiết lập các kết nối giao diện mạng với mạng 1105, như mạng cục bộ được ghép nối với các máy tính và máy chủ hệ thống phát quảng bá khác, Internet, mạng điện thoại chuyên mạch công cộng, và/hoặc mạng dữ liệu di động (ví dụ, CDMA, TDMA, GSM, PCS, 3G, 4G, 5G, LTE, hoặc bất kỳ loại mạng dữ liệu di động nào khác).

Mã chương trình máy tính hoặc “mã chương trình” để thực thi trên bộ xử lý có thể lập trình nhằm thực hiện các hoạt động của các phương án khác nhau có thể được viết bằng các ngôn ngữ lập trình bậc cao như C, C++, C#, Smalltalk, Java, JavaScript, Visual Basic, Ngôn ngữ truy vấn có cấu trúc (ví dụ, Transact-SQL), Perl, hoặc bằng nhiều ngôn ngữ lập trình khác. Mã chương trình hoặc các chương trình được lưu trữ trên phương tiện lưu trữ đọc được bằng máy tính như được sử dụng theo sáng chế có thể đề cập đến mã ngôn ngữ máy (như mã đối tượng) có định dạng có thể hiểu được bởi bộ xử lý.

Các ví dụ về phương án triển khai được mô tả trong các đoạn sau đây. Mặc dù một số ví dụ trong số các ví dụ về phương án triển khai được mô tả theo ví dụ về hệ thống bộ nhớ thiết bị điện toán, nhưng các phương án triển khai làm ví dụ khác có thể còn bao gồm: các chức năng ví dụ của hệ thống bộ nhớ thiết bị điện toán được mô tả trong các đoạn sau đây được triển khai dưới dạng các phương pháp theo các ví dụ về phương án triển khai; và hệ thống bộ nhớ thiết bị điện toán làm ví dụ được mô tả trong các đoạn sau đây được triển khai bởi hệ thống bộ nhớ thiết bị điện toán bao gồm phương tiện để thực hiện các chức năng của hệ thống bộ nhớ thiết bị điện toán của các ví dụ về phương án triển khai sau đây.

Ví dụ 1. Hệ thống bộ nhớ thiết bị điện toán có thiết bị bộ nhớ, lớp vật lý bộ nhớ được kết nối truyền thông với thiết bị bộ nhớ, bộ cấp điện áp đầu vào/đầu ra (I/O) thứ nhất được kết nối điện với thiết bị bộ nhớ và với lớp vật lý bộ nhớ, và bộ cấp điện áp IO thứ hai được kết nối điện với thiết bị bộ nhớ và với lớp vật lý bộ nhớ, trong đó thiết bị bộ nhớ và lớp vật lý truyền thông dữ liệu giao dịch bộ nhớ bằng cách sử dụng sơ đồ IO điều chế biên độ xung (PAM) 3 mức.

Ví dụ 2. Hệ thống bộ nhớ thiết bị điện toán theo ví dụ 1, trong đó bộ cấp điện áp IO thứ nhất là bộ cấp điện áp IO chuyên dụng thứ nhất, và bộ cấp điện áp IO thứ hai là bộ cấp điện áp IO chuyên dụng thứ hai.

Ví dụ 3. Hệ thống bộ nhớ thiết bị điện toán theo ví dụ 1, trong đó bộ cấp điện áp IO thứ nhất là bộ cấp điện áp IO chuyên dụng, và bộ cấp điện áp IO thứ hai là bộ cấp điện áp IO dùng chung.

Ví dụ 4. Hệ thống bộ nhớ thiết bị điện toán theo ví dụ bất kỳ trong số các ví dụ từ 1 đến 3, hệ thống này còn bao gồm bộ cấp điện áp lõi thứ nhất và bộ cấp điện áp lõi thứ hai, trong đó mỗi trong số bộ cấp điện áp lõi thứ nhất và bộ cấp điện áp lõi thứ hai được kết nối điện với thiết bị bộ nhớ, và trong đó bộ cấp điện áp IO dùng chung được kết nối điện với bộ cấp điện áp lõi thứ hai.

Ví dụ 5. Hệ thống bộ nhớ thiết bị điện toán theo ví dụ bất kỳ trong số các ví dụ từ 1 đến 4, hệ thống này còn bao gồm bộ cấp điện áp lõi thứ ba, trong đó bộ cấp điện áp lõi thứ ba được kết nối điện với thiết bị bộ nhớ, và trong đó điện áp của bộ cấp điện áp lõi thứ hai lớn hơn điện áp của bộ cấp điện áp lõi thứ ba.

Ví dụ 6. Hệ thống bộ nhớ thiết bị điện toán theo ví dụ bất kỳ trong số các ví dụ từ 1 đến 3, hệ thống này còn bao gồm bộ cấp điện áp lõi thứ nhất, bộ cấp điện áp lõi thứ hai, và bộ cấp điện áp lõi thứ ba, trong đó mỗi trong số bộ cấp điện áp lõi thứ nhất, bộ cấp điện áp lõi thứ hai, và bộ cấp điện áp lõi thứ ba được kết nối điện với thiết bị bộ nhớ, trong đó bộ cấp điện áp IO dùng chung được kết nối điện với bộ cấp điện áp lõi thứ ba, và trong đó điện áp của bộ cấp điện áp lõi thứ hai lớn hơn điện áp của bộ cấp điện áp lõi thứ ba.

Ví dụ 7. Hệ thống bộ nhớ thiết bị điện toán theo ví dụ bất kỳ trong số các ví dụ từ 1 đến 5, trong đó điện áp của bộ cấp điện áp IO thứ hai lớn hơn điện áp của bộ cấp điện áp IO thứ nhất.

Ví dụ 8. Hệ thống bộ nhớ thiết bị điện toán theo ví dụ bất kỳ trong số các ví dụ từ 1 đến 7, trong đó dữ liệu giao dịch bộ nhớ là dữ liệu nhị phân, và thiết bị bộ nhớ và lớp vật lý bộ nhớ còn chuyển đổi giữa dữ liệu nhị phân và các tín hiệu sơ đồ IO PAM 3 mức bằng cách sử dụng bộ cấp điện áp IO thứ nhất và bộ cấp điện áp IO thứ hai.

Ví dụ 9. Hệ thống bộ nhớ thiết bị điện toán theo ví dụ bất kỳ trong số các ví dụ từ 1 đến 8, trong đó thiết bị bộ nhớ mã hóa dữ liệu giao dịch bộ nhớ để tạo ra tín hiệu PAM 3 mức, và tạo ra tín hiệu PAM 3 mức bằng cách điều khiển kết nối điện có lựa chọn của bộ cấp điện áp IO thứ nhất, bộ cấp điện áp IO thứ hai, hoặc nối đất với thành phần của thiết bị bộ nhớ theo dữ liệu được mã hóa.

Ví dụ 10. Hệ thống bộ nhớ thiết bị điện toán theo ví dụ bất kỳ trong số các ví dụ từ 1 đến 9, trong đó lớp vật lý bộ nhớ mã hóa dữ liệu giao dịch bộ nhớ để tạo ra tín hiệu PAM 3 mức, và tạo ra tín hiệu PAM 3 mức bằng cách điều khiển kết nối điện có lựa chọn của bộ cấp điện áp IO thứ nhất, bộ cấp điện áp IO thứ hai, hoặc nối đất với thành phần của lớp vật lý bộ nhớ theo dữ liệu được mã hóa.

Các mô tả phương pháp nêu trên và lưu đồ quy trình được cung cấp chỉ để làm các ví dụ minh họa và không dự định yêu cầu hoặc ngụ ý rằng các hoạt động của các phương án khác nhau phải được thực hiện theo thứ tự được trình bày. Như sẽ được đánh giá cao bởi người có hiểu biết trung bình trong lĩnh vực này, thứ tự các hoạt động theo các phương án nêu trên có thể được thực hiện theo bất kỳ thứ tự nào. Các từ như “tiếp đó,” “sau đó,” “tiếp theo,” v.v. không dự định giới hạn thứ tự của các hoạt động; những từ này đơn giản được sử dụng để hướng dẫn người đọc thông qua việc mô tả các phương pháp. Hơn nữa, sự viện dẫn bất kỳ đến các phần yêu cầu bảo hộ ở dạng số ít, ví dụ, bằng cách sử dụng các mạo từ số ít không được hiểu là giới hạn phần này ở dạng số ít.

Các khối logic, module, mạch và các hoạt động thuật toán minh họa khác nhau được mô tả liên quan đến các phương án khác nhau có thể được triển khai dưới dạng phần cứng điện tử, phần mềm máy tính hoặc kết hợp của cả hai. Để minh họa rõ ràng khả năng thay thế lẫn nhau này của phần cứng và phần mềm, các thành phần, khối, module, mạch và hoạt động minh họa khác nhau đã được mô tả chung ở trên về chức năng của chúng. Việc chức năng đó được triển khai dưới dạng phần cứng hay phần mềm phụ thuộc vào các ràng buộc thiết kế và ứng dụng cụ thể được áp đặt trên toàn bộ hệ thống. Người có hiểu biết trung bình trong lĩnh vực kỹ thuật có thể triển khai chức năng được mô tả theo nhiều cách khác nhau cho từng ứng dụng cụ thể, nhưng các quyết định triển khai như vậy không được hiểu là nằm ngoài phạm vi của các yêu cầu bảo hộ.

Phần cứng được sử dụng để triển khai các logic, các khối logic, modul, và các mạch minh họa khác nhau được mô tả liên quan đến các phương án được bộc lộ ở đây có thể được thực thi hoặc thực hiện với bộ xử lý đa dụng, bộ xử lý tín hiệu số (DSP), mạch tích hợp chuyên dụng (ASIC), mảng cổng lập trình được theo trường (FPGA) hoặc thiết bị logic lập trình được khác, cổng rời rạc hoặc logic bóng bán dẫn, các thành phần phần cứng rời rạc hoặc bất kỳ sự kết hợp nào của chúng được thiết kế để thực hiện các chức năng được mô tả ở đây. Bộ xử lý đa dụng có thể là bộ vi xử lý, nhưng theo cách khác, bộ xử lý có thể là bộ xử lý, bộ điều khiển, bộ vi điều khiển, hoặc máy trạng thái thông thường bất kỳ. Bộ xử lý cũng có thể được thực hiện dưới dạng tổ hợp của các thiết bị điện toán (ví dụ, tổ hợp của DSP và bộ vi xử lý, nhiều bộ vi xử lý, một hoặc nhiều bộ vi xử lý kết hợp với lõi DSP, hoặc bất kỳ cấu hình tương tự khác). Ngoài ra, một số hoạt động hoặc phương pháp có thể được thực hiện bởi mạch cụ thể cho một chức năng cho trước.

Theo một hoặc nhiều phương án, các chức năng được mô tả có thể được triển khai trong phần cứng, phần mềm, firmware, hoặc bất kỳ sự kết hợp nào của chúng. Nếu được triển khai trong phần mềm, các chức năng có thể được lưu dưới dạng một hoặc nhiều lệnh hoặc mã trên phương tiện bất biến đọc được bằng máy tính hoặc phương tiện bất biến đọc được bằng bộ xử lý. Các hoạt động của một phương pháp hoặc thuật toán được bộc lộ ở đây có thể được thể hiện trong một modul phần mềm thực thi được bởi bộ xử lý mà có thể nằm trên phương tiện lưu trữ bất biến đọc được bằng bộ xử lý hoặc máy tính. Phương tiện lưu trữ bất biến đọc được bằng bộ xử lý hoặc máy tính có thể là bất kỳ phương tiện lưu trữ nào mà có thể được truy cập bởi máy tính hoặc bộ xử lý. Ví dụ nhưng không giới hạn, phương tiện bất biến đọc được bằng máy tính hoặc bộ xử lý như vậy có thể bao gồm RAM, ROM, EEPROM, bộ nhớ flash, CD-ROM hoặc bộ lưu trữ đĩa quang khác, bộ lưu trữ đĩa từ hoặc các thiết bị lưu trữ từ tính khác, hoặc bất kỳ phương tiện nào khác có thể được dùng để lưu trữ mã chương trình mong muốn dưới dạng lệnh hoặc cấu trúc dữ liệu và có thể được máy tính truy cập. Đĩa từ (disk) và đĩa quang (disc), như được sử dụng ở đây, bao gồm đĩa compac (CD), đĩa laze, đĩa quang, đĩa đa năng kỹ thuật số (digital versatile disc - DVD), đĩa mềm và đĩa Blu-ray trong đó các đĩa từ thường tái tạo dữ liệu bằng từ tính, trong khi các đĩa quang tái tạo dữ liệu quang học bằng laze. Các kết hợp trên cũng được bao gồm trong phạm vi của phương

tiện bất biến đọc được bằng máy tính và bộ xử lý. Ngoài ra, các bước của phương pháp hoặc thuật toán có thể thuộc về một hoặc kết hợp bất kỳ hoặc tập hợp mã và/hoặc lệnh trên phương tiện bất biến đọc được bằng bộ xử lý và/hoặc phương tiện đọc được bằng máy tính, có thể được tích hợp vào sản phẩm chương trình máy tính.

Những mô tả trên đây của các phương án được bộc lộ được đề xuất để cho phép bất kỳ người nào có hiểu biết trung bình trong lĩnh vực kỹ thuật đều có thể thực hiện được. Những sửa đổi khác nhau đối với các phương án này sẽ dễ dàng thấy rõ đối với những người có hiểu biết trung bình trong lĩnh vực kỹ thuật này, và các nguyên tắc chung được xác định ở đây có thể được áp dụng cho các phương án và cách triển khai khác mà không nằm ngoài phạm vi của các yêu cầu bảo hộ. Do đó, sáng chế không dự định bị giới hạn theo các phương án và cách triển khai được mô tả ở đây, mà dành cho phạm vi rộng nhất phù hợp với các yêu cầu bảo hộ sau đây cũng như các nguyên tắc và tính năng mới được bộc lộ ở đây.

YÊU CẦU BẢO HỘ

1. Hệ thống bộ nhớ thiết bị điện toán, bao gồm:

thiết bị bộ nhớ;

lớp vật lý bộ nhớ được kết nối truyền thông với thiết bị bộ nhớ;

bộ cấp điện áp đầu vào/đầu ra (input/output - I/O) thứ nhất (218a) được kết nối điện với thiết bị bộ nhớ và với lớp vật lý bộ nhớ; và

bộ cấp điện áp IO thứ hai (218b) được kết nối điện với thiết bị bộ nhớ và với lớp vật lý bộ nhớ,

trong đó thiết bị bộ nhớ và lớp vật lý được tạo cấu hình để truyền thông dữ liệu giao dịch bộ nhớ nhờ sử dụng sơ đồ IO điều chế biên độ xung (pulse amplitude modulation - PAM) 3 mức được mô tả bằng cách:

tạo ra tín hiệu PAM 3 mức thứ nhất bằng cách kết nối điện có lựa chọn, bằng mạch kéo lên thứ nhất (312a, 312c), bộ cấp điện áp IO thứ nhất (218a) với đầu ra (322a, 322b);

tạo ra tín hiệu PAM 3 mức thứ hai bằng cách kết nối điện có lựa chọn, bằng mạch kéo lên thứ hai (312b, 312d), bộ cấp điện áp IO thứ hai (218b) với đầu ra (322a, 322b); và

tạo ra tín hiệu PAM 3 mức thứ ba bằng cách kết nối điện có lựa chọn, bằng mạch kéo xuống thứ nhất (314a, 314b), đất với đầu ra (322a, 322b).

2. Hệ thống bộ nhớ thiết bị điện toán theo điểm 1, trong đó:

bộ cấp điện áp IO thứ nhất (218a) là bộ cấp điện áp IO dành riêng thứ nhất; và

bộ cấp điện áp IO thứ hai (218b) là bộ cấp điện áp IO dành riêng thứ hai.

3. Hệ thống bộ nhớ thiết bị điện toán theo điểm 1, trong đó:

bộ cấp điện áp IO thứ nhất (218a) là bộ cấp điện áp IO dành riêng; và

bộ cấp điện áp IO thứ hai (218b) là bộ cấp điện áp IO dùng chung.

4. Hệ thống bộ nhớ thiết bị điện toán theo điểm 3, hệ thống này còn bao gồm bộ cấp điện áp lỗi thứ nhất và bộ cấp điện áp lỗi thứ hai, trong đó mỗi trong số bộ cấp điện áp

lỗi thứ nhất và bộ cấp điện áp lỗi thứ hai được kết nối điện với thiết bị bộ nhớ, và trong đó bộ cấp điện áp IO dùng chung được kết nối điện với bộ cấp điện áp lỗi thứ hai.

5. Hệ thống bộ nhớ thiết bị điện toán theo điểm 4, hệ thống này còn bao gồm bộ cấp điện áp lỗi thứ ba, trong đó bộ cấp điện áp lỗi thứ ba được kết nối điện với thiết bị bộ nhớ, và trong đó điện áp của bộ cấp điện áp lỗi thứ hai lớn hơn điện áp của bộ cấp điện áp lỗi thứ ba.

6. Hệ thống bộ nhớ thiết bị điện toán theo điểm 3, hệ thống này còn bao gồm bộ cấp điện áp lỗi thứ nhất, bộ cấp điện áp lỗi thứ hai, và bộ cấp điện áp lỗi thứ ba, trong đó mỗi trong số bộ cấp điện áp lỗi thứ nhất, bộ cấp điện áp lỗi thứ hai, và bộ cấp điện áp lỗi thứ ba được kết nối điện với thiết bị bộ nhớ, trong đó bộ cấp điện áp IO dùng chung được kết nối điện với bộ cấp điện áp lỗi thứ ba, và trong đó điện áp của bộ cấp điện áp lỗi thứ hai lớn hơn điện áp của bộ cấp điện áp lỗi thứ ba.

7. Hệ thống bộ nhớ thiết bị điện toán theo điểm 1, trong đó điện áp của bộ cấp điện áp IO thứ hai (218b) lớn hơn điện áp của bộ cấp điện áp IO thứ nhất (218a).

8. Hệ thống bộ nhớ thiết bị điện toán theo điểm 1, trong đó dữ liệu giao dịch bộ nhớ là dữ liệu nhị phân, và trong đó thiết bị bộ nhớ và lớp vật lý bộ nhớ còn được tạo cấu hình để chuyển đổi giữa dữ liệu nhị phân và các tín hiệu PAM 3 mức bằng cách sử dụng bộ cấp điện áp IO thứ nhất (218a) và bộ cấp điện áp IO thứ hai (218b).

9. Hệ thống bộ nhớ thiết bị điện toán theo điểm 1, trong đó:

đầu ra (322a, 322b) là thành phần của thiết bị bộ nhớ; và

thiết bị bộ nhớ còn được tạo cấu hình để:

mã hóa dữ liệu giao dịch bộ nhớ để tạo ra các tín hiệu PAM 3 mức, trong đó:

việc tạo ra tín hiệu PAM 3 mức thứ nhất bằng cách kết nối điện có lựa chọn bộ cấp điện áp IO thứ nhất (218a) với đầu ra (322a, 322b) bao gồm việc tạo ra tín hiệu PAM 3 mức thứ nhất theo dữ liệu được mã hóa;

việc tạo ra tín hiệu PAM 3 mức thứ hai bằng cách kết nối điện có lựa chọn bộ cấp điện áp IO thứ hai (218b) với đầu ra (322a, 322b) bao gồm việc tạo ra tín hiệu PAM 3 mức thứ hai theo dữ liệu được mã hóa; và

việc tạo ra tín hiệu PAM 3 mức thứ ba bằng cách kết nối điện có lựa chọn đất với đầu ra (322a, 322b) bao gồm việc tạo ra tín hiệu PAM 3 mức thứ ba theo dữ liệu được mã hóa.

10. Hệ thống bộ nhớ thiết bị điện toán theo điểm 1, trong đó:

đầu ra (322a, 322b) là thành phần của lớp vật lý bộ nhớ; và

lớp vật lý bộ nhớ còn được tạo cấu hình để:

mã hóa dữ liệu giao dịch bộ nhớ để tạo ra các tín hiệu PAM 3 mức, trong đó:

việc tạo ra tín hiệu PAM 3 mức thứ nhất bằng cách kết nối điện có lựa chọn bộ cấp điện áp IO thứ nhất (218a) với đầu ra (322a, 322b) bao gồm việc tạo ra tín hiệu PAM 3 mức thứ nhất theo dữ liệu được mã hóa;

việc tạo ra tín hiệu PAM 3 mức thứ hai bằng cách kết nối điện có lựa chọn bộ cấp điện áp IO thứ hai (218b) với đầu ra (322a, 322b) bao gồm việc tạo ra tín hiệu PAM 3 mức thứ hai theo dữ liệu được mã hóa; và

việc tạo ra tín hiệu PAM 3 mức thứ ba bằng cách kết nối điện có lựa chọn đất với đầu ra (322a, 322b) bao gồm việc tạo ra tín hiệu PAM 3 mức thứ ba theo dữ liệu được mã hóa.

11. Phương pháp cho sơ đồ đầu vào/đầu ra (IO) thứ nhất điều chế biên độ xung (PAM) 3 mức trong hệ thống bộ nhớ thiết bị điện toán, phương pháp này bao gồm các bước:

cung cấp điện áp IO thứ nhất cho thiết bị bộ nhớ và cho lớp vật lý bộ nhớ;

cung cấp điện áp IO thứ hai cho thiết bị bộ nhớ và cho lớp vật lý bộ nhớ; và

truyền thông dữ liệu giao dịch bộ nhớ nhờ sử dụng sơ đồ IO PAM 3 mức giữa thiết bị bộ nhớ và lớp vật lý bằng cách:

tạo ra tín hiệu PAM 3 mức thứ nhất bằng cách kết nối điện có lựa chọn, bằng mạch kéo lên thứ nhất (312a, 312c), điện áp IO thứ nhất với đầu ra (322a, 322b);

tạo ra tín hiệu PAM 3 mức thứ hai bằng cách kết nối điện có lựa chọn, bằng mạch kéo lên thứ hai (312b, 312d), điện áp IO thứ hai với đầu ra (322a, 322b); và

tạo ra tín hiệu PAM 3 mức thứ ba bằng cách kết nối điện có lựa chọn, bằng mạch kéo xuống thứ nhất (314a, 314b), đất với đầu ra (322a, 322b).

12. Phương pháp theo điểm 11, trong đó:

điện áp IO thứ nhất là điện áp IO dành riêng thứ nhất; và

điện áp IO thứ hai là điện áp IO dành riêng thứ hai.

13. Phương pháp theo điểm 11, trong đó:

điện áp IO thứ nhất là điện áp IO dành riêng; và

điện áp IO thứ hai là điện áp IO dùng chung.

14. Phương pháp theo điểm 13, phương pháp này còn bao gồm các bước:

cung cấp điện áp lõi thứ nhất cho thiết bị bộ nhớ;

cung cấp điện áp lõi thứ hai cho thiết bị bộ nhớ, trong đó điện áp lõi thứ hai là điện áp IO dùng chung.

15. Phương pháp theo điểm 14, phương pháp này còn bao gồm bước cung cấp điện áp lõi thứ ba cho thiết bị bộ nhớ, trong đó điện áp lõi thứ hai lớn hơn điện áp lõi thứ ba.

1/13

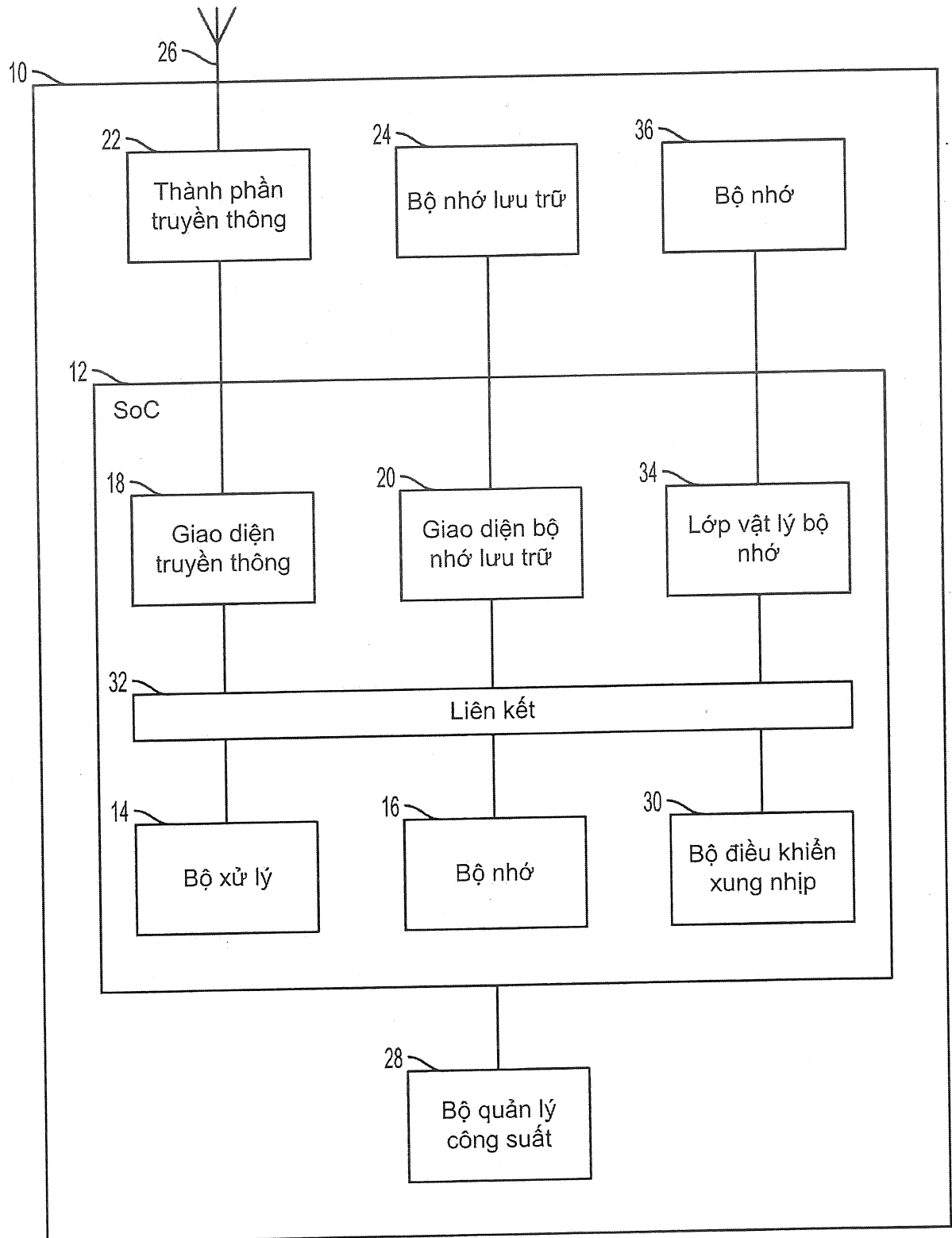


Fig.1

2/13

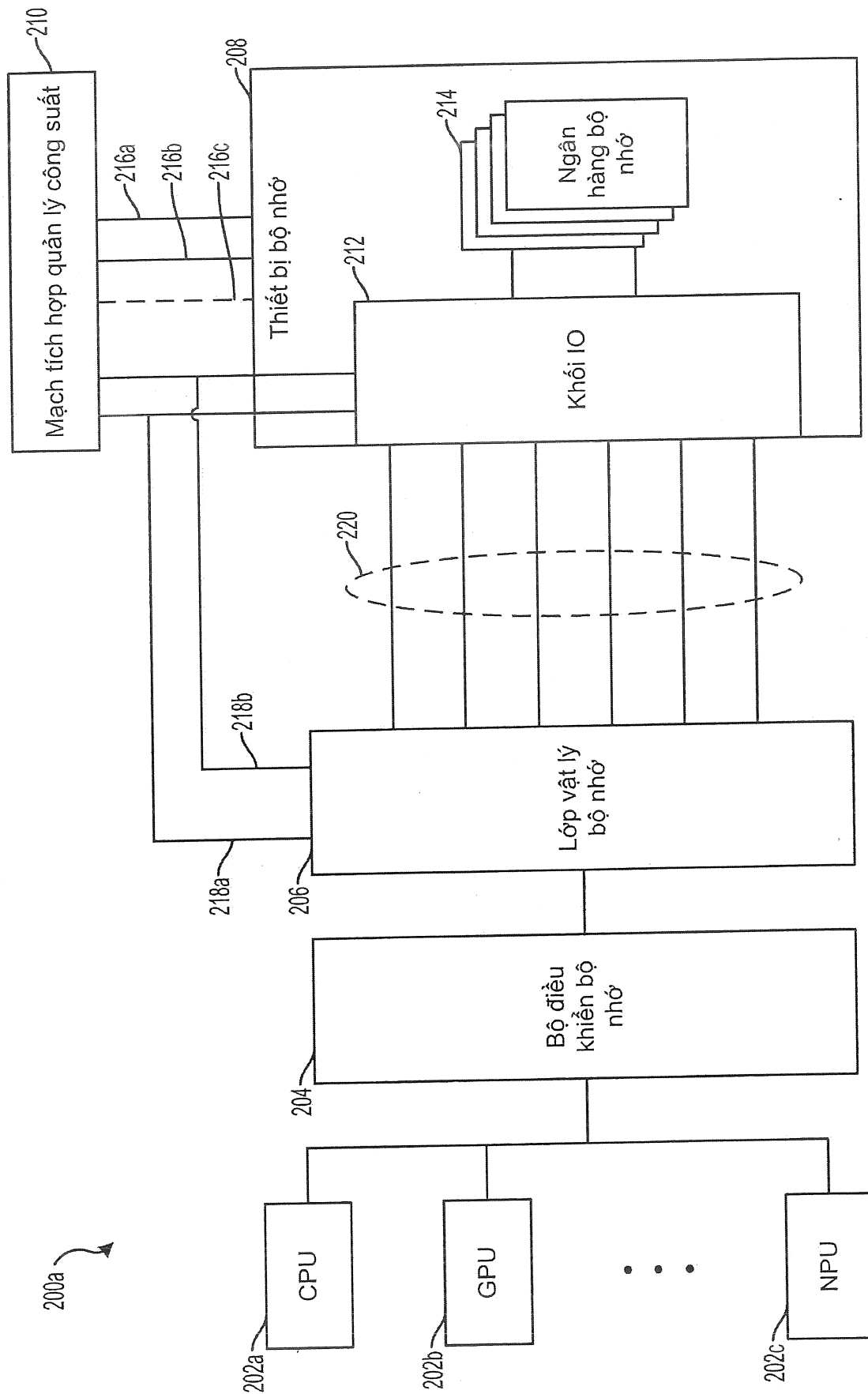


Fig.2A

3/13

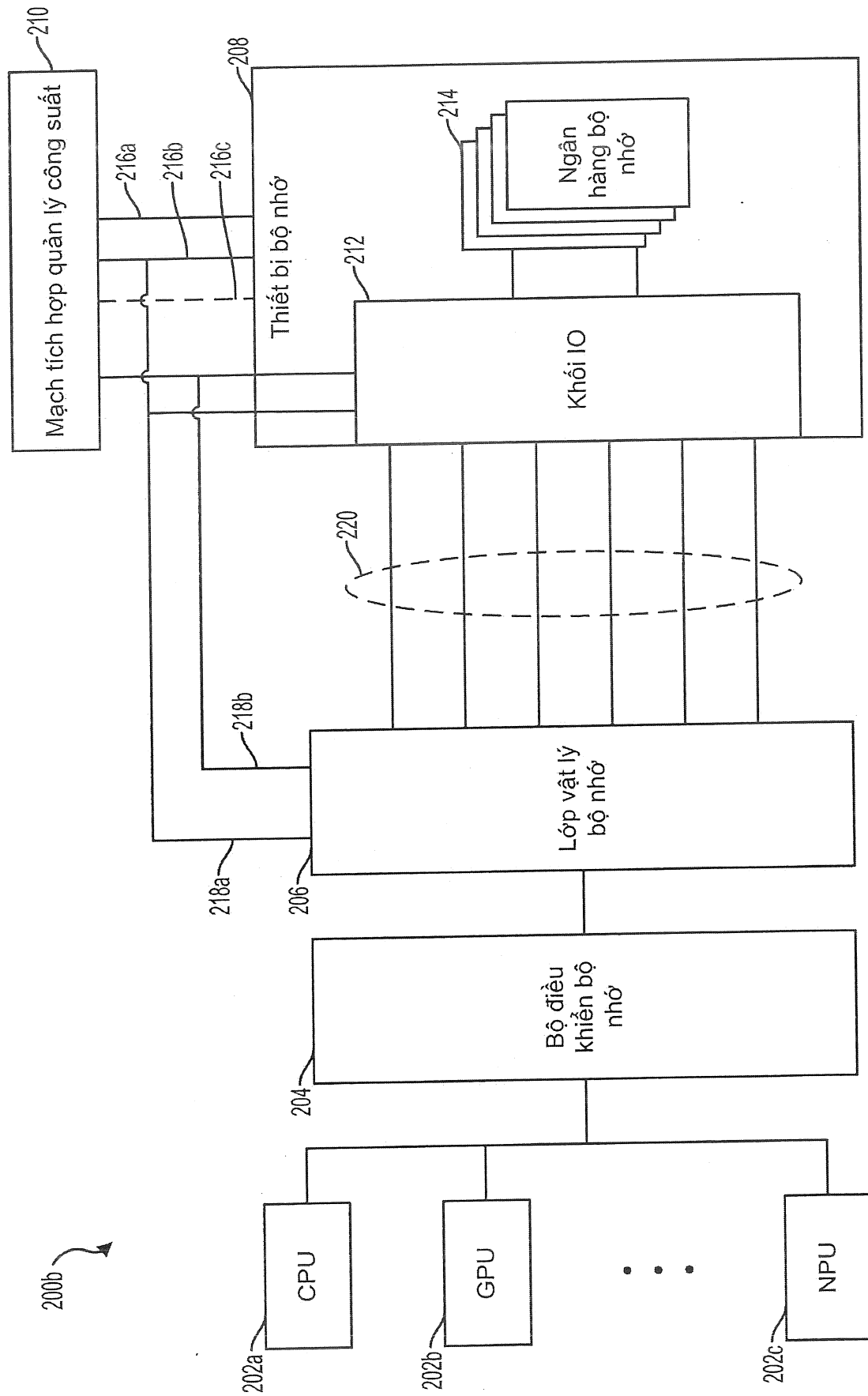


Fig.2B

4/13

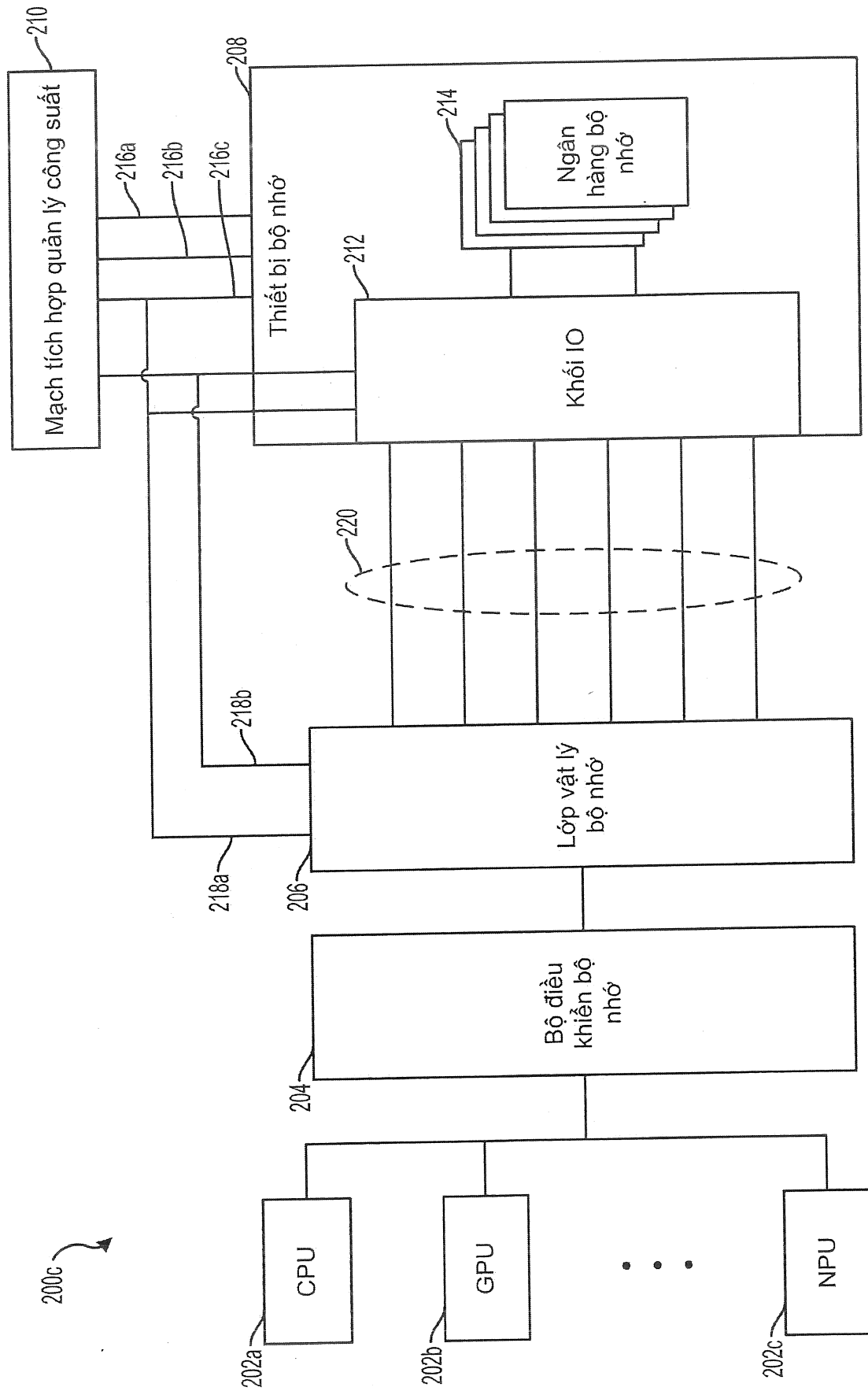


Fig.2C

5/13

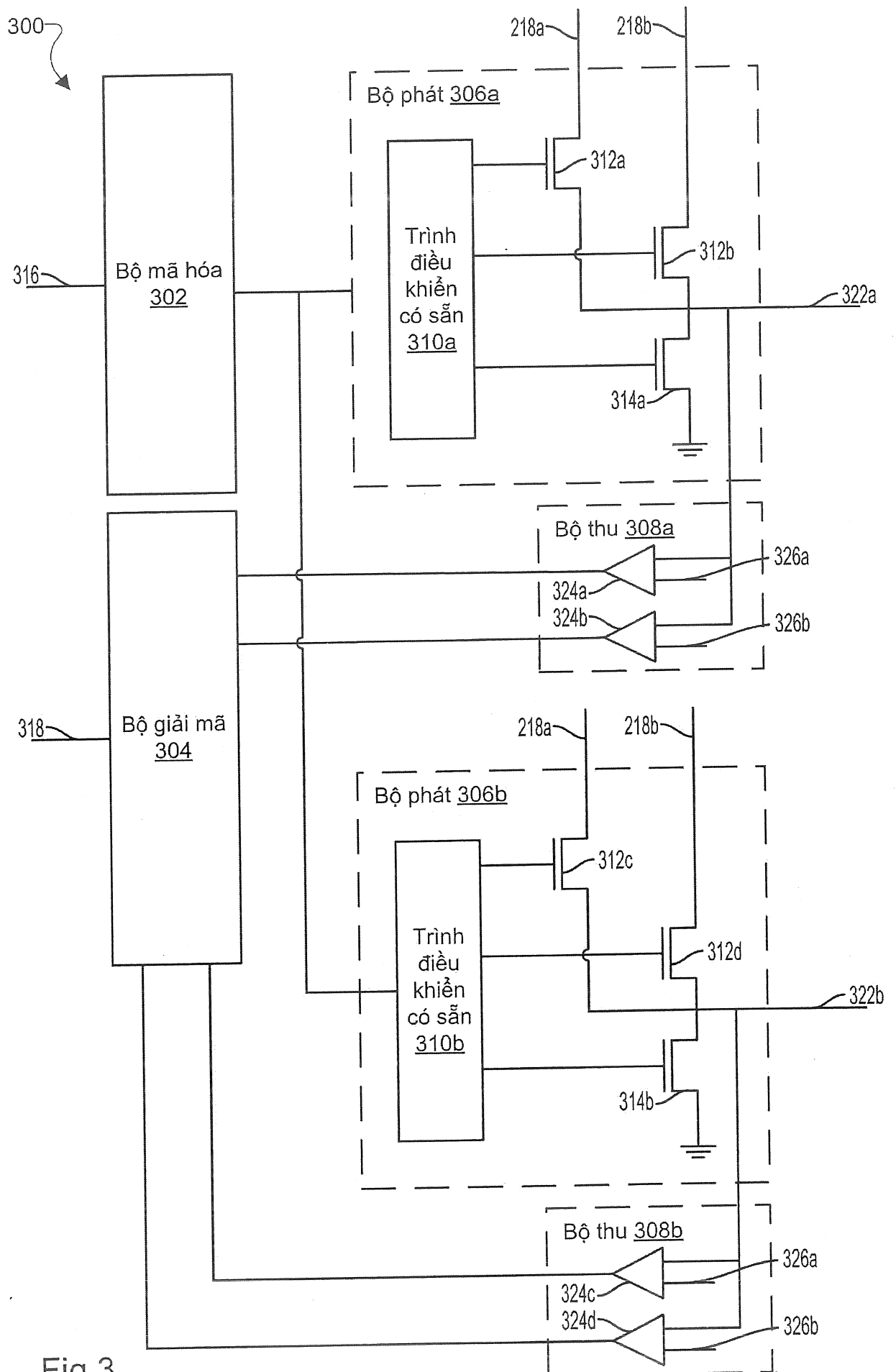


Fig.3

6/13

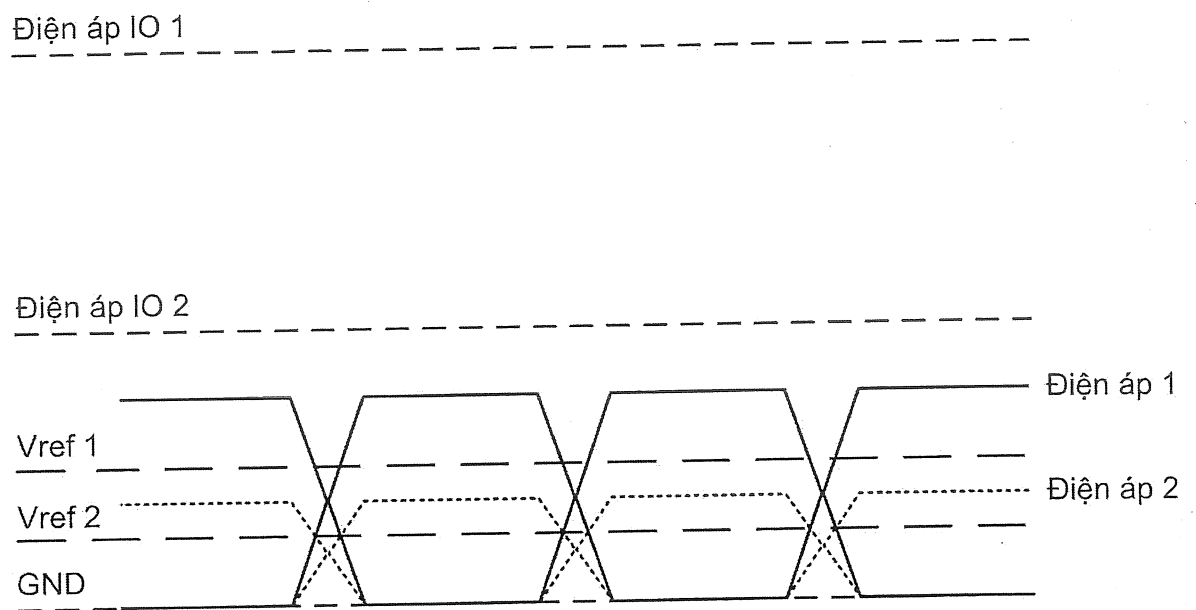


Fig.4

7/13

500


3 Dây tín hiệu nhị phân			2 Dây tín hiệu PAM-3	
DQ0	DQ1	DQ2	IO-x	IO-y
L	L	L	L	L
H	L	L	M	L
L	H	L	L	M
H	H	L	M	M
L	L	H	H	L
H	L	H	L	H
L	H	H	H	M
H	H	H	M	H

Fig.5

8/13

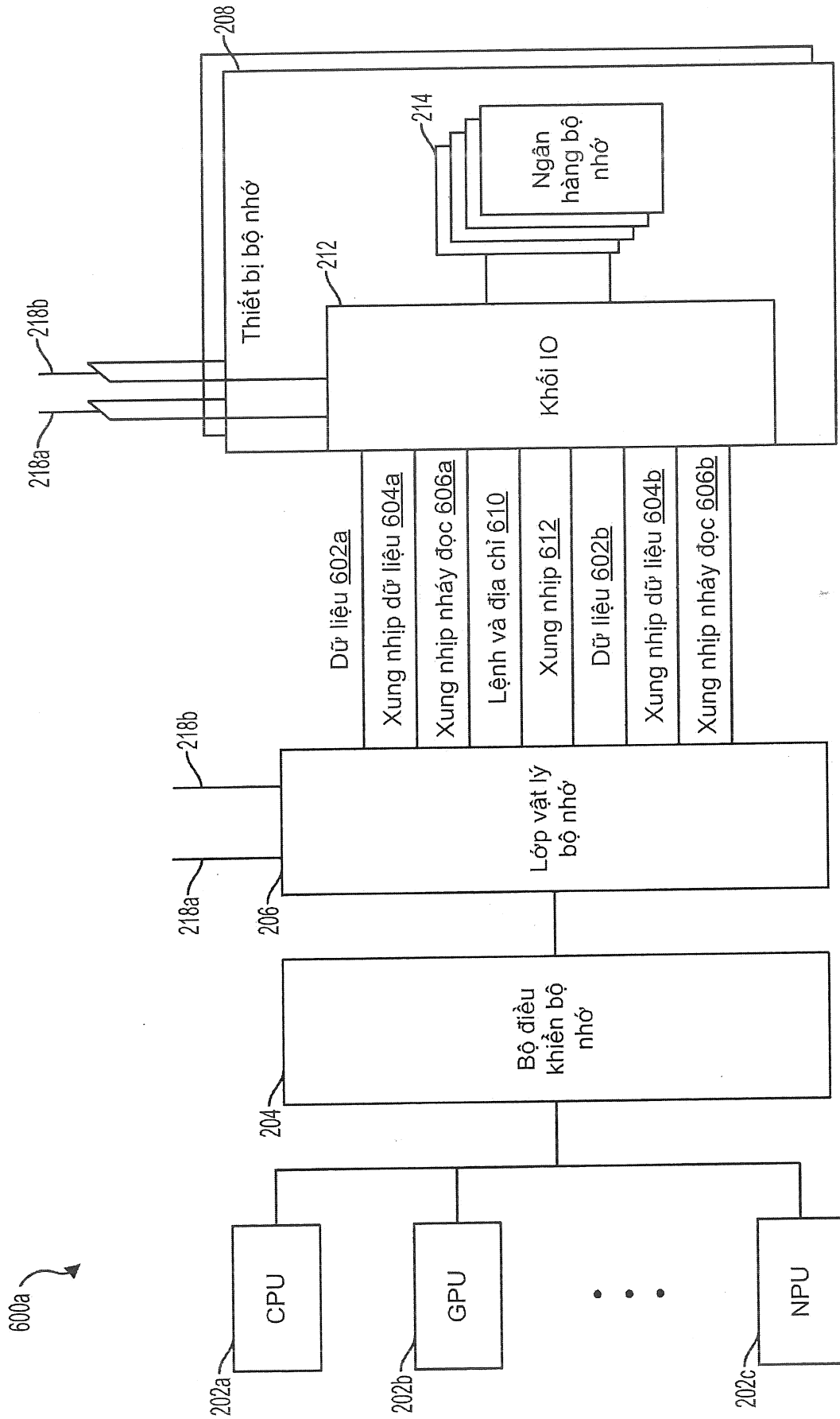


Fig. 6A

9/13

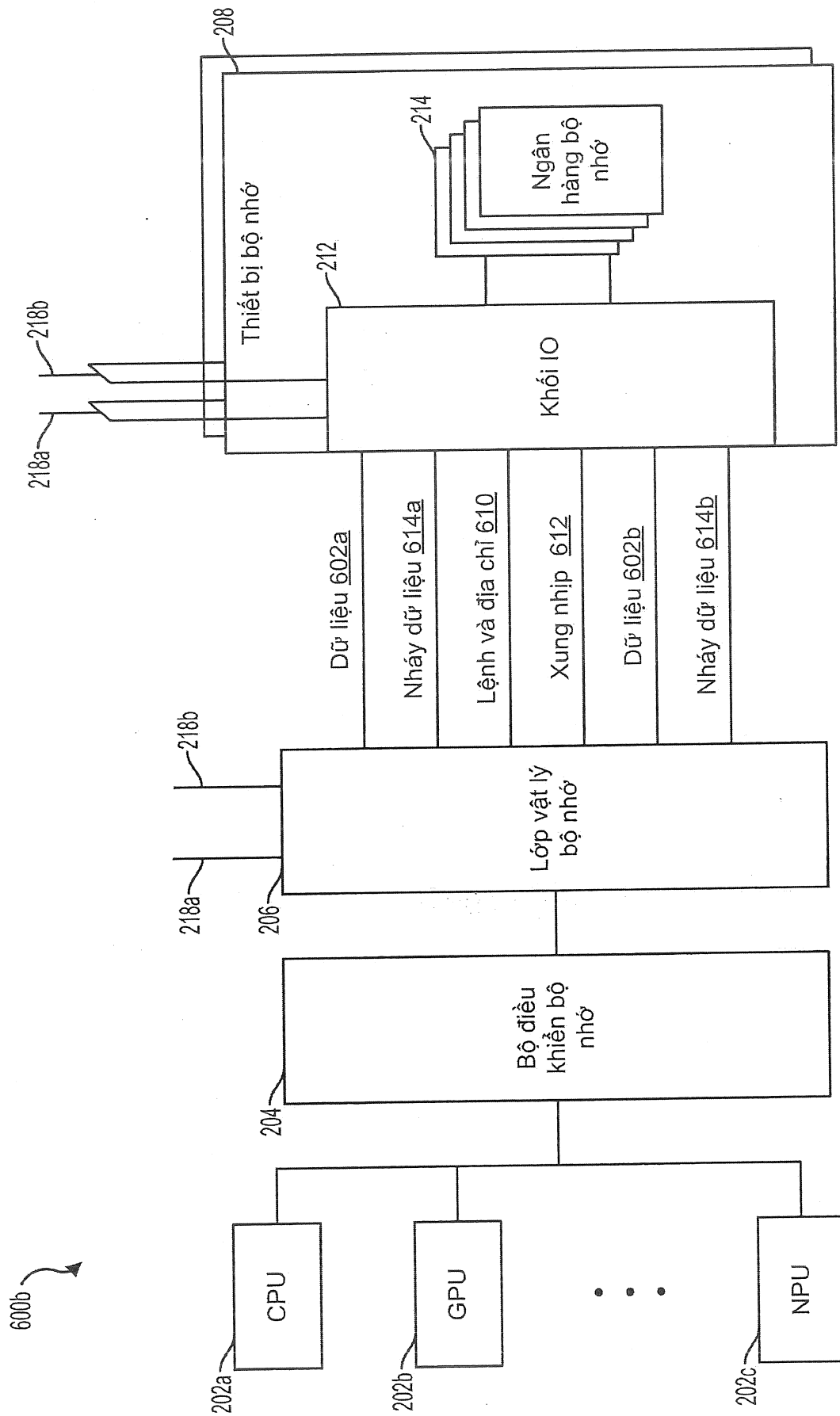


Fig. 6B

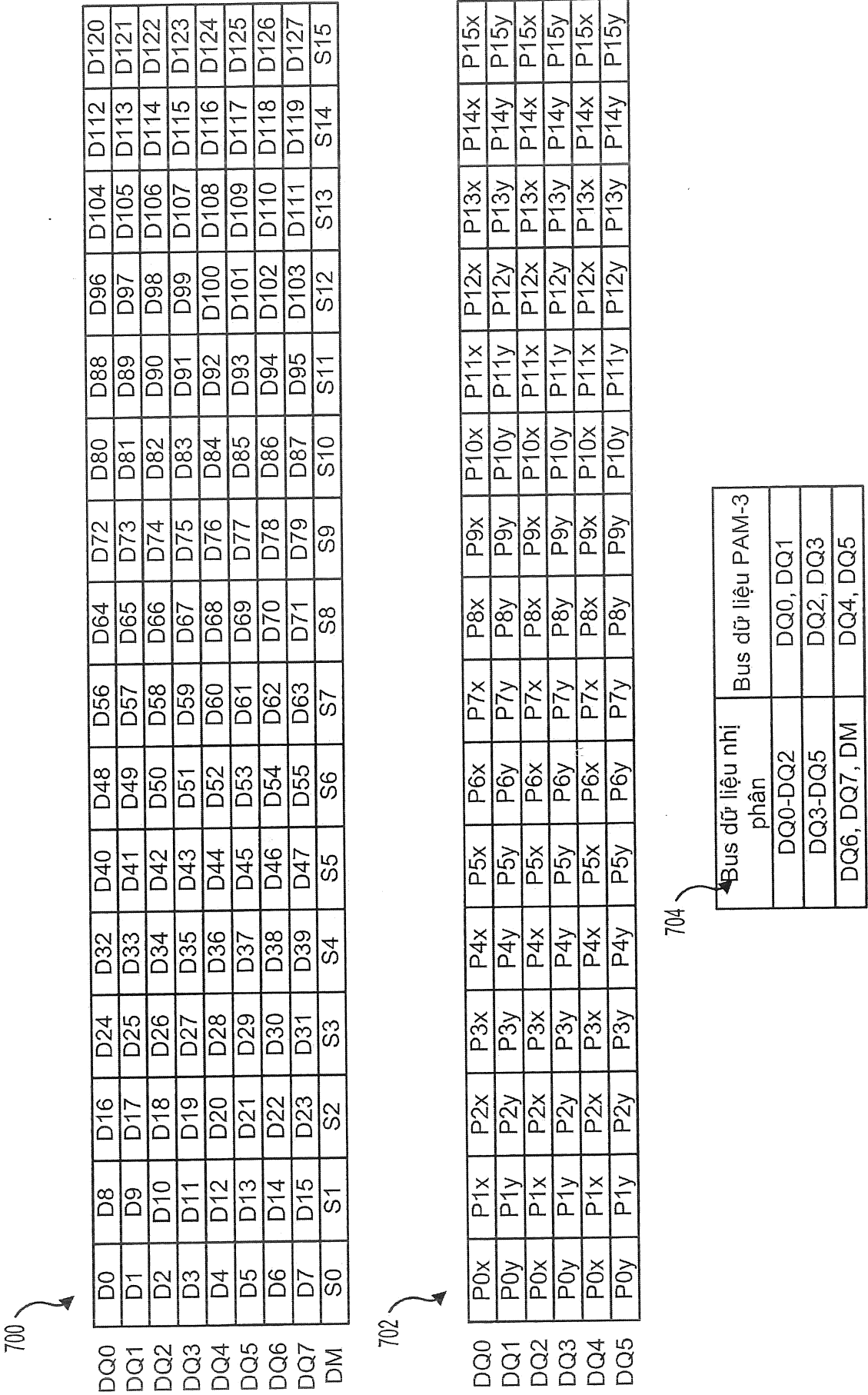


Fig.7

11/13

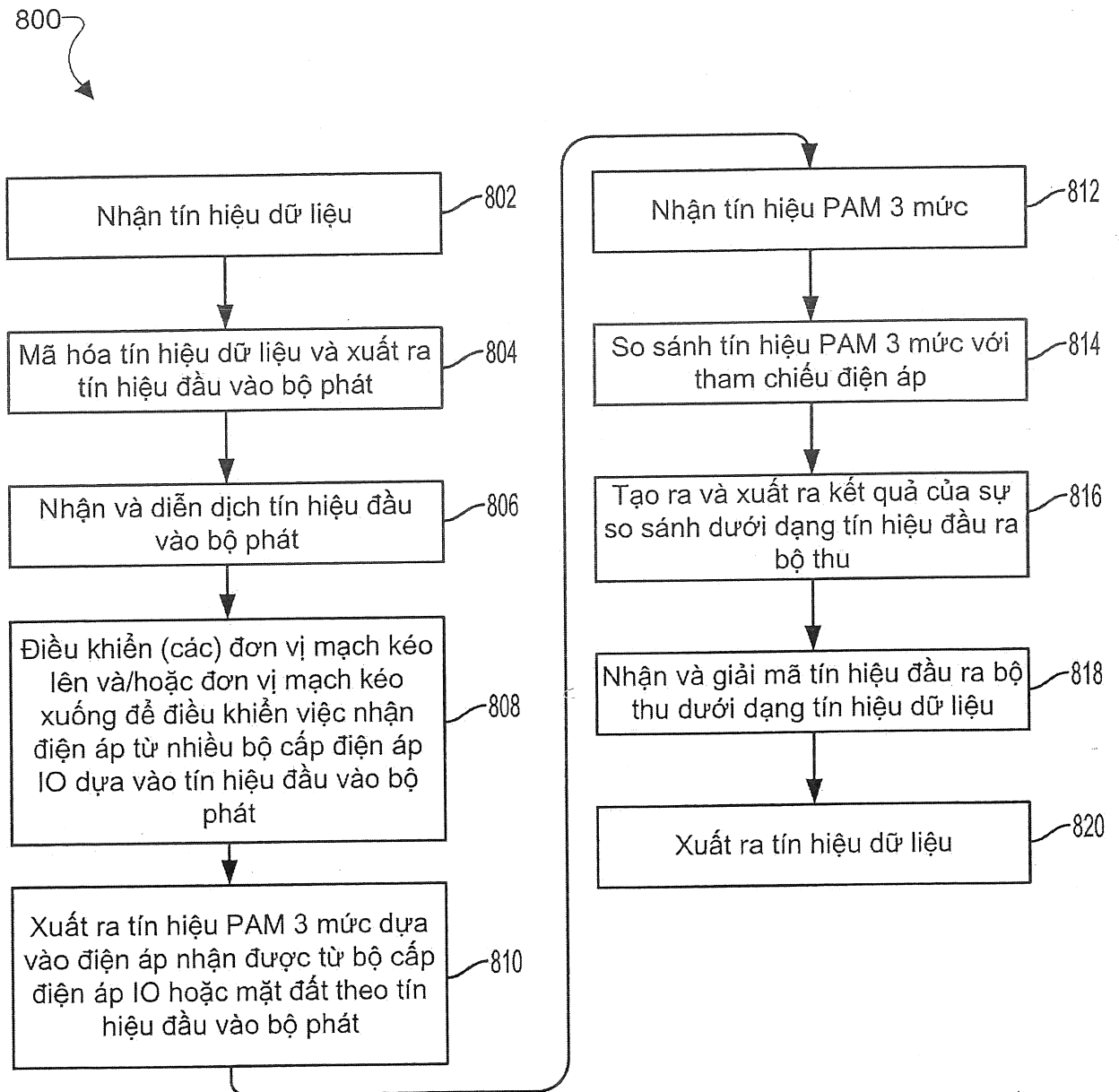


Fig.8

12/13

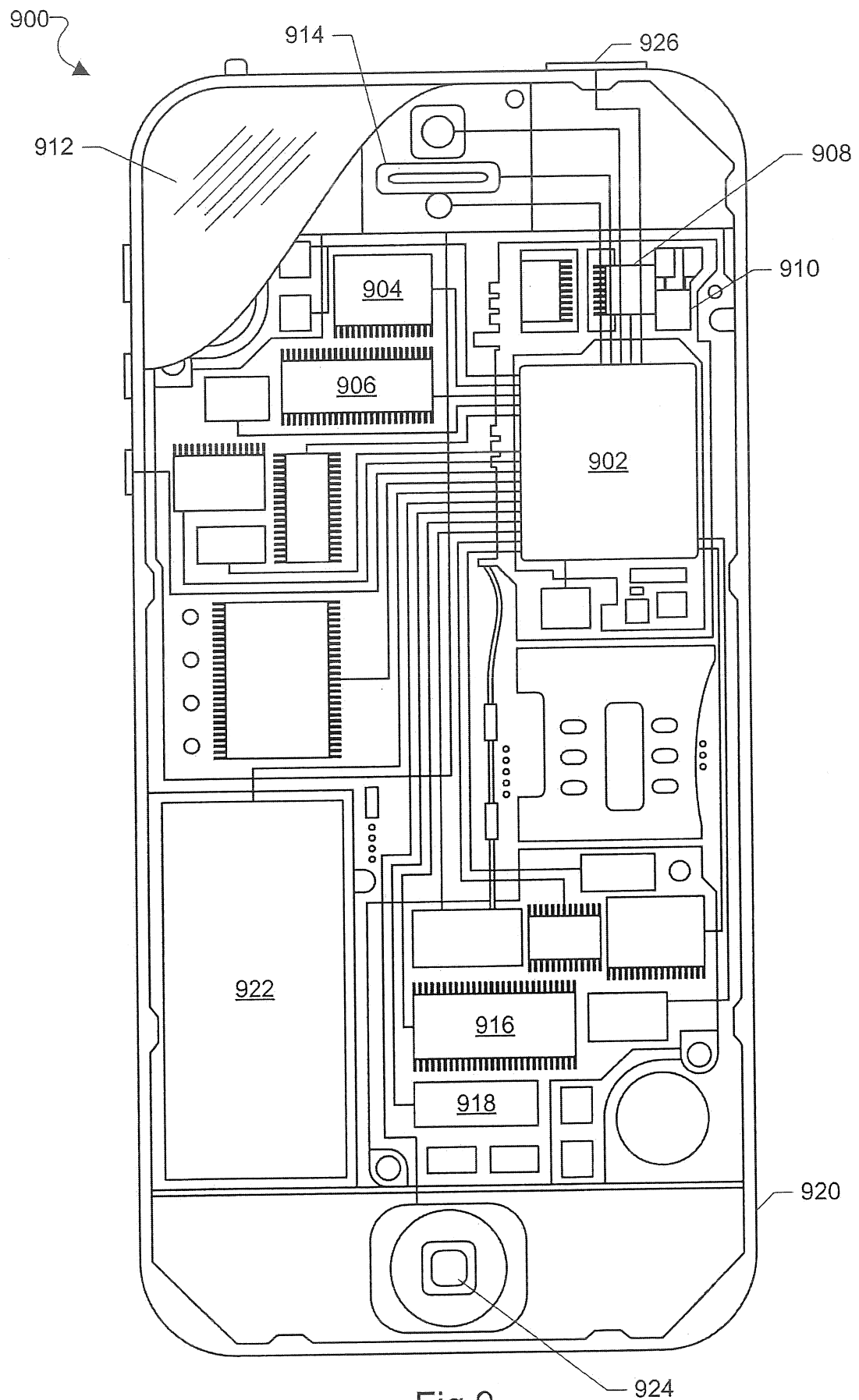


Fig.9

13/13

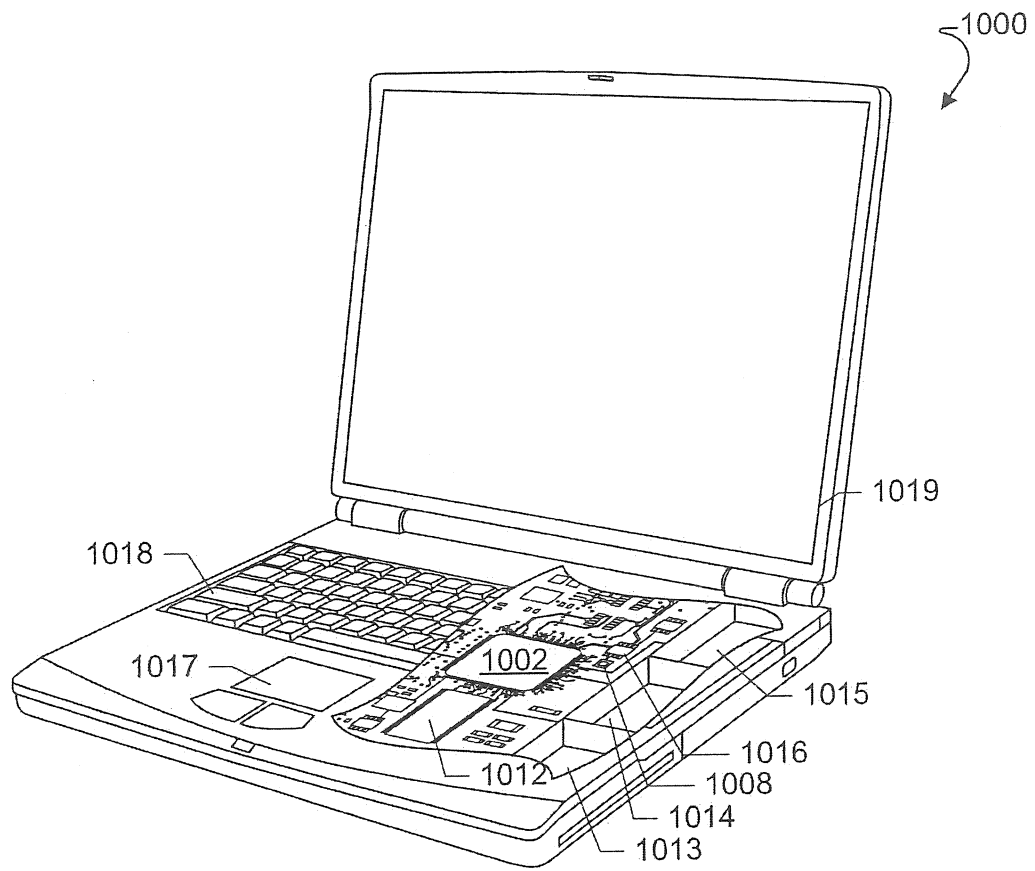


Fig. 10

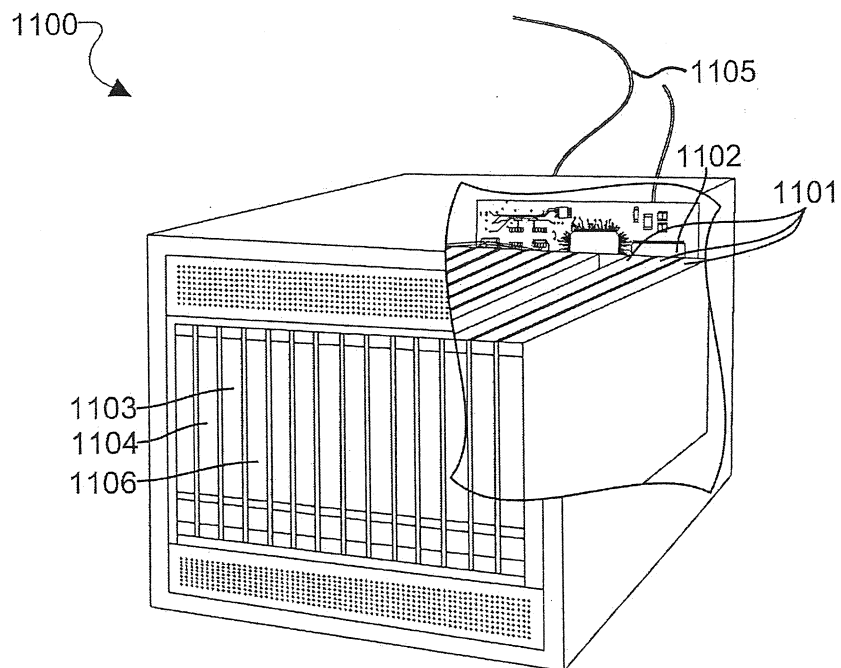


Fig. 11