



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0053840

(51)^{2022.01} H03K 3/0233

(13) B

(21) 1-2023-03607

(22) 03/12/2021

(86) PCT/US2021/061873 03/12/2021

(87) WO 2022/125399 A3 16/06/2022

(30) 17/118,476 10/12/2020 US

(45) 25/11/2025 452

(43) 25/10/2023 427A

(73) QUALCOMM INCORPORATED (US)

ATTN: International IP Administration, 5775 Morehouse Drive, San Diego, CA
92121-1714, United States of America

(72) RAO, Hari (US).

(74) Công ty TNHH Quốc tế D & N (D&N INTERNATIONAL CO.,LTD.)

(54) THIẾT BỊ MẠCH LẬT

(21) 1-2023-03607

(57) Sáng chế đề cập đến thiết bị mạch lật. Sáng chế đề cập đến chôt bao gồm công đảo thứ nhất với cặp bóng bán dẫn hiệu ứng trường (field effect transistor - FET) thứ nhất được tạo cấu hình với tỷ lệ chiều rộng trên chiều dài (width to length - W/L) của kênh thứ nhất, và công đảo thứ hai với cặp các FET thứ hai được tạo cấu hình với W/L thứ hai khác với W/L thứ nhất. Chôt khác bao gồm công đảo thứ nhất và thứ hai; mạch phản hồi âm thứ nhất bao gồm các FET thứ nhất và thứ hai được ghép nối giữa đường dẫn điện áp thứ nhất và thứ hai, đầu vào của công đảo thứ nhất được ghép nối giữa các FET thứ nhất và thứ hai, và các FET thứ nhất và thứ hai bao gồm các cực cổng được ghép nối với đầu ra của công đảo thứ nhất; và mạch phản hồi âm thứ hai bao gồm FET thứ ba và thứ tư được ghép nối giữa đường dẫn điện áp thứ nhất và thứ hai, đầu vào của công đảo thứ hai được ghép nối giữa các FET thứ ba và thứ tư, và các FET thứ ba và thứ tư bao gồm các cực cổng được ghép nối với đầu ra của công đảo thứ hai.

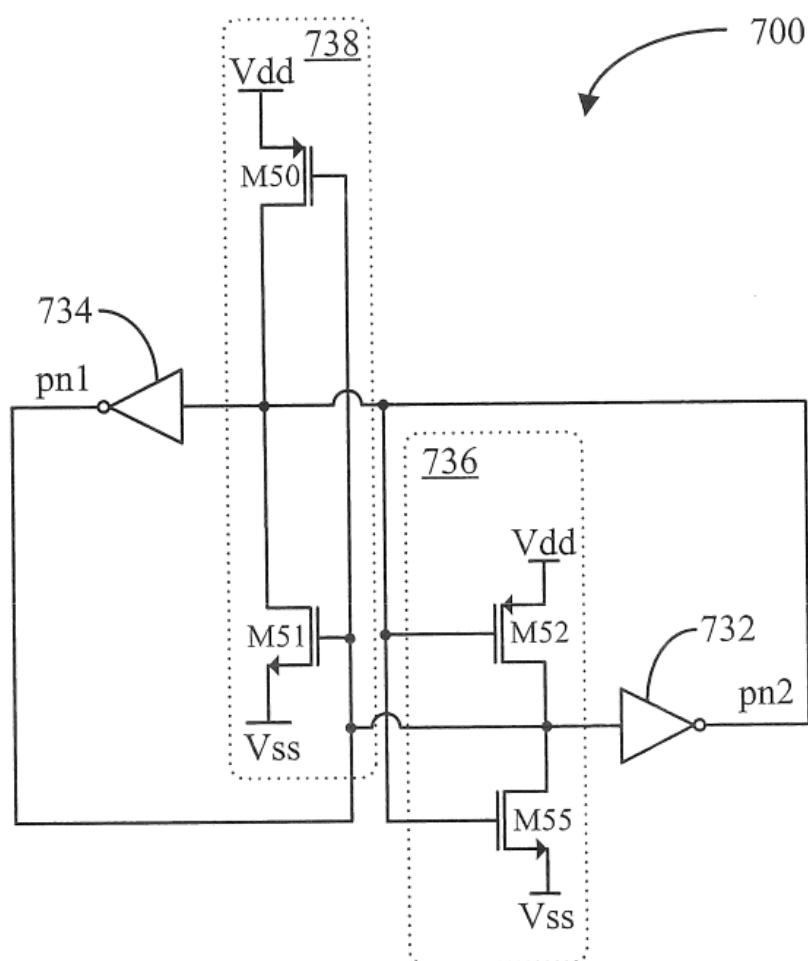


Fig.7

Lĩnh vực kỹ thuật được đề cập

Các khía cạnh của sáng chế nói chung đề cập đến các mạch lật (flip-flop) dữ liệu, và đặc biệt, với mạch lật chống lỗi với cấu trúc mạch cân bằng và phản hồi âm.

Tình trạng kỹ thuật của sáng chế

Mạch lật dữ liệu được sử dụng trong các mạch tính toán để phân phối dữ liệu tuần tự thông qua các mạch con khác nhau và logic tổ hợp. Dữ liệu được lưu giữ bởi mạch lật trong quá trình phân phối tuần tự có thể bị ảnh hưởng bởi nhiễu, chẳng hạn như bức xạ mặt đất. Ví dụ, bức xạ mặt đất hướng vào nút của mạch lật có thể khiến mạch lật thay đổi trạng thái hoặc lật ngoài dự kiến (ví dụ, từ mức logic 1 (1) sang mức logic 0 (0), hoặc ngược lại). Nếu những mạch lật này được sử dụng trong các hệ thống liên quan đến an toàn, chẳng hạn như hệ thống ô tô hoặc hệ thống điện tử hàng không, thì hậu quả của sự thay đổi ngoài dự kiến trong trạng thái của một hoặc nhiều mạch lật có thể ảnh hưởng nghiêm trọng đến sự an toàn của con người phụ thuộc vào các hệ thống này.

Bản chất kỹ thuật của sáng chế

Phần tiếp theo trình bày ngắn gọn đơn giản hóa về một hoặc nhiều phương án triển khai sáng chế nhằm cung cấp những hiểu biết cơ bản về các phương án triển khai này. Bản chất kỹ thuật của sáng chế nêu ở phần này không bao quát tổng quan tất cả các phương án thực hiện sáng chế và không nhằm mục đích xác định các yếu tố chính hoặc quan trọng của tất cả các phương án thực hiện sáng chế hay phân định phạm vi của bất kỳ hoặc tất cả các phương án thực hiện sáng chế. Mục đích duy nhất của phần này là trình bày một số khái niệm về một hoặc nhiều phương án thực hiện ở dạng đơn giản làm tiền đề cho phần mô tả chi tiết hơn được mô tả sau đó.

Một khía cạnh của sáng chế đề cập đến thiết bị. Thiết bị này bao gồm chốt thứ nhất bao gồm: cổng đảo thứ nhất bao gồm bóng bán dẫn hiệu ứng trường (field effect transistor - FET) thứ nhất được ghép nối giữa đường dẫn điện áp thứ nhất và nút thứ nhất, và FET thứ hai được ghép nối giữa nút thứ nhất và đường dẫn điện áp thứ hai, trong đó mỗi trong số FET thứ nhất và thứ hai được tạo cấu hình với tỷ lệ chiều rộng trên chiều dài (width to length - W/L) kênh hiệu dụng thứ nhất; và cổng đảo thứ hai bao gồm FET thứ ba được ghép nối giữa đường dẫn điện áp thứ nhất và nút thứ hai; và FET thứ tư được ghép nối

giữa nút thứ hai và đường dẫn điện áp thứ hai, trong đó các FET thứ nhất và thứ hai bao gồm các cực cổng được ghép nối với nút thứ hai, trong đó các FET thứ ba và thứ tư bao gồm các cực cổng được ghép nối với nút thứ nhất, và trong đó mỗi trong số FET thứ ba và FET thứ tư được tạo cấu hình với W/L hiệu dụng thứ hai khác với W/L hiệu dụng thứ nhất.

Một khía cạnh khác của sáng chế đề cập đến thiết bị. Thiết bị này bao gồm chốt thứ nhất, bao gồm: cổng đảo có xung nhịp thứ nhất bao gồm đầu ra được ghép nối với nút thứ nhất, và đầu vào được ghép nối với nút thứ hai, trong đó cổng đảo có xung nhịp thứ nhất được tạo cấu hình để cung cấp trở kháng khởi động bóng bán dẫn thứ nhất và thứ hai giữa nút thứ nhất và đường dẫn điện áp thứ nhất và thứ hai tương ứng; và cổng đảo không có xung nhịp thứ nhất bao gồm đầu vào được ghép nối với nút thứ nhất, và đầu ra được ghép nối với nút thứ hai, trong đó cổng đảo không có xung nhịp thứ nhất được tạo cấu hình để cung cấp trở kháng khởi động bóng bán dẫn thứ ba và thứ tư giữa nút thứ hai và đường dẫn điện áp thứ nhất và thứ hai, tương ứng, trong đó trở kháng khởi động bóng bán dẫn thứ nhất, thứ hai, thứ ba và thứ tư về cơ bản là giống nhau.

Một khía cạnh khác của sáng chế đề cập đến thiết bị. Thiết bị bao gồm cổng đảo thứ nhất bao gồm đầu ra được ghép nối với nút thứ nhất, và đầu vào được ghép nối với nút thứ hai; mạch phản hồi âm thứ nhất bao gồm: bóng bán dẫn hiệu ứng trường (FET) thứ nhất được ghép nối giữa đường dẫn điện áp thứ nhất và nút thứ hai, trong đó FET thứ nhất bao gồm cực cổng được ghép nối với nút thứ nhất; và FET thứ hai được ghép nối giữa nút thứ hai và đường dẫn điện áp thứ hai, trong đó FET thứ hai bao gồm cực cổng được ghép nối với nút thứ nhất; cổng đảo thứ hai bao gồm đầu ra được ghép nối với nút thứ hai, và đầu vào được ghép nối với nút thứ nhất; và mạch phản hồi âm thứ hai bao gồm: FET thứ ba được ghép nối giữa đường dẫn điện áp thứ nhất và nút thứ nhất, trong đó FET thứ ba bao gồm cực cổng được ghép nối với nút thứ hai; và FET thứ tư được ghép nối giữa nút thứ nhất và đường dẫn điện áp thứ hai, trong đó FET thứ tư bao gồm cực cổng được ghép nối với nút thứ hai.

Một khía cạnh khác của sáng chế đề cập đến thiết bị. Thiết bị bao gồm chốt thứ nhất bao gồm: cổng đảo có xung nhịp thứ nhất bao gồm đầu ra được ghép nối với nút thứ nhất, và đầu vào được ghép nối với nút thứ hai; cổng đảo không có xung nhịp thứ nhất bao gồm đầu vào được ghép nối với nút thứ nhất, và đầu ra được ghép nối với nút thứ hai; mạch phản hồi âm thứ nhất được tạo cấu hình để ghép nối nút thứ hai với đường dẫn điện áp thứ

nhất hoặc thứ hai dựa trên điện áp thứ nhất tại nút thứ nhất; và mạch phản hồi âm thứ hai được tạo cấu hình để ghép nối nút thứ nhất với đường dẫn điện áp thứ nhất hoặc thứ hai dựa trên điện áp thứ hai tại nút thứ hai.

Để đạt được các mục đích nêu trên và các mục đích liên quan, một hoặc nhiều phương án thực hiện bao gồm các tính năng sau đây được mô tả đầy đủ và được chỉ ra một cách cụ thể trong các điểm yêu cầu bảo hộ. Phần mô tả sau đây và các hình vẽ đi kèm trình bày chi tiết các khía cạnh minh họa nhất định của một hoặc nhiều phương án thực hiện. Tuy nhiên, những khía cạnh này chỉ mang tính chất chỉ ra một số cách khác nhau trong đó các nguyên tắc của các phương án thực hiện khác nhau có thể được sử dụng và các phương án thực hiện được mô tả nhằm bao gồm tất cả các khía cạnh đó và các khía cạnh tương đương của chúng.

Mô tả vắn tắt các hình vẽ

Fig.1A minh họa sơ đồ giản lược của ví dụ về mạch lật.

Fig.1B minh họa sơ đồ định thời của ví dụ về hoạt động của mạch lật theo Fig.1A.

Fig.2 minh họa sơ đồ giản lược của ví dụ về mạch ghép kênh.

Fig.3 minh họa sơ đồ giản lược của một ví dụ khác về mạch lật.

Fig.4 minh họa sơ đồ giản lược của một ví dụ khác về mạch lật theo một khía cạnh khác của sáng chế.

Fig.5 minh họa sơ đồ giản lược của một ví dụ khác về mạch lật theo một khía cạnh khác của sáng chế.

Fig.6 minh họa sơ đồ giản lược của ví dụ về chốt theo một khía cạnh khác của sáng chế.

Fig.7 minh họa sơ đồ giản lược của một ví dụ khác về chốt theo một khía cạnh khác của sáng chế.

Fig.8 minh họa sơ đồ giản lược của một ví dụ khác về chốt theo một khía cạnh khác của sáng chế.

Fig.9 minh họa lưu đồ của ví dụ về phương pháp vận hành chốt theo một khía cạnh khác của sáng chế.

Fig.10 minh họa sơ đồ khối của ví dụ về hệ thống an toàn của phương tiện theo một khía cạnh khác của sáng chế.

Mô tả chi tiết sáng chế

Phần mô tả chi tiết, được trình bày dưới đây, cùng với các hình vẽ đi kèm nhằm mục đích mô tả nhiều cấu hình khác nhau và không nhằm trình bày các cấu hình duy nhất trong đó các khái niệm được mô tả ở đây có thể được thực hành. Nội dung mô tả chi tiết bao gồm các chi tiết cụ thể nhằm mục đích giúp hiểu rõ về các khái niệm khác nhau. Tuy nhiên, người có hiểu biết trung bình trong lĩnh vực này sẽ hiểu rõ rằng các khái niệm này có thể được thực hiện mà không cần các chi tiết cụ thể này. Trong một số trường hợp, các cấu trúc và thành phần đã biết được thể hiện dưới dạng sơ đồ khối để tránh gây khó hiểu cho các khái niệm này.

Các hệ thống điện toán liên quan đến sự an toàn của con người thường được thiết kế để có thể chịu lỗi cao hơn các hệ thống điện toán thương mại thường không ảnh hưởng đến sự an toàn của con người. Các hệ thống điện toán có thể chống lỗi như vậy thường được thiết kế để có thể chịu tốt hơn bức xạ mặt đất hoặc nhiễu mà có thể thay đổi trạng thái logic tại một hoặc nhiều nút quan trọng trong những hệ thống này. Sự thay đổi không mong muốn trong trạng thái logic tại một hoặc nhiều nút quan trọng có thể dẫn đến hoạt động không phù hợp của hệ thống điện toán, có thể gây ra thương tích nghiêm trọng hoặc tử vong cho con người. Như đã trình bày thêm ở đây, sự thay đổi không mong muốn trong trạng thái logic tại một hoặc nhiều nút quan trọng có thể là kết quả của sự lật bit trong một hoặc nhiều mạch lật trong các hệ thống này.

Ví dụ về các hệ thống điện toán chịu lỗi là Hệ thống hỗ trợ lái xe nâng cao (Advanced Driver Assistance Systems - ADAS). Các hệ thống này cung cấp các cấp độ lái xe tự động khác nhau cho phương tiện ô tô. Ví dụ, hệ thống ADAS cấp độ “0” được định nghĩa là sử dụng tay lái/có lái xe, trong đó không có hệ thống hỗ trợ chủ động nào, nhưng cung cấp cảnh báo va chạm phía trước (forward collision warning - FCW), cảnh báo lệch làn (lane departure warning - LDW) và cảnh báo phát hiện điểm mù (blind spot detection - BSD). Hệ thống ADAS cấp độ “1” cũng được định nghĩa là sử dụng tay lái/có lái xe, nhưng còn cung cấp thêm tính năng kiểm soát hành trình thích ứng (adaptive cruise control - ACC) và hỗ trợ giữ làn (lane keep assist - LKA). Hệ thống ADAS cấp độ “2” được định nghĩa là tạm thời bỏ tay lái/tạm thời không nhìn đường, cung cấp cho ACC tính năng giữ

lần đường và hỗ trợ kẹt xe. Hệ thống ADAS cấp độ “3” được định nghĩa là bỏ tay lái/không nhìn đường, cung cấp tính năng lái tự động trên đường cao tốc và dẫn lái khi kẹt xe. Hệ thống ADAS cấp độ “4” được định nghĩa là bỏ tay lái/không quan sát, cung cấp tính năng lái tự động hoàn toàn trên đường cao tốc và lái tự động hoàn toàn trong đô thị. Và, hệ thống ADAS cấp độ “5” được định nghĩa là bỏ tay lái/không có lái xe, cung cấp cho xe taxi tự lái không cần tài xế/hệ thống giao thông vận tải tuyến đường ngắn lái tự động trên đường cao tốc và đội xe giao hàng tự động.

Mức ADAS càng cao, thì thông thường yêu cầu về "lỗi theo thời gian" (failure in time - FIT) được chỉ định cũng càng cao. Ví dụ, mức toàn vẹn về an toàn cho ô tô (Automotive Safety Integrity Level - ASIL) có tiêu chuẩn của Tổ chức tiêu chuẩn hóa quốc tế (International Organization for Standardization - ISO) 26262 chỉ định các yêu cầu FIT cho các ứng dụng khác nhau. Một (1) FIT được định nghĩa là một (1) lỗi trong 10^9 (một (1) tỷ) giờ trong 20 năm. Ví dụ, yêu cầu ASIL A, áp dụng đối với các ứng dụng thương mại (không an toàn), chỉ định rằng FIT phải nhỏ hơn hoặc bằng 1000. Yêu cầu ASIL B, áp dụng đối với các ứng dụng an toàn cho ô tô, chỉ định rằng FIT phải nhỏ hơn hoặc bằng 100. ASIL C và D có yêu cầu FIT nghiêm ngặt hơn và các yêu cầu khác.

Như đã đề cập ở trên, bức xạ mặt đất và/hoặc các loại nhiễu khác có thể tạo ra tình trạng lật bit trong các mạch tuần tự, chẳng hạn như mạch lật, có thể có tác động bất lợi đến yêu cầu FIT đối với các hệ thống sử dụng các mạch này. Theo đó, người ta mong muốn cải thiện thiết kế của các mạch tuần tự sao cho các mạch này đáp ứng yêu cầu về FIT và các yêu cầu khác mà hệ thống sử dụng các mạch tuần tự này đòi hỏi.

Như được mô tả ở đây, một hoặc nhiều chốt trong mạch lật được tạo cấu hình để cung cấp về cơ bản trở kháng khởi động bóng bán dẫn giống nhau giữa các đầu ra của các cổng đảo ghép nối chéo và đường dẫn điện áp trên và dưới, tương ứng. Điều này được thực hiện sao cho các đầu ra về cơ bản có cùng khả năng chịu bức xạ mặt đất và/hoặc các loại nhiễu khác. Hơn nữa, một hoặc nhiều chốt trong mạch lật cũng được tạo cấu hình để bao gồm các mạch phản hồi âm nhằm cung cấp các nhánh bổ sung để ghép nối các đầu ra của các cổng đảo ghép nối chéo với các đường dẫn điện áp trên và dưới để ngăn điện áp ở đầu ra thay đổi do với bức xạ mặt đất và/hoặc các loại nhiễu khác. Ngoài ra, các mạch phản hồi âm được khóa khi ghi dữ liệu vào chốt để ngăn các mạch phản hồi âm chống lại việc ghi dữ liệu vào chốt.

Fig.1A minh họa sơ đồ giản lược của ví dụ về mạch lật 100 theo một khía cạnh của sáng chế. Mạch lật 100 được tạo cấu hình để nhận tín hiệu dữ liệu (data signal - D) hoặc tín hiệu quét (scan signal - S), và tạo tín hiệu dữ liệu đầu ra Q dựa trên tín hiệu dữ liệu (D) hoặc tín hiệu quét (S) để đáp lại xung nhịp (clock - CLK). Mạch lật 100 có thể được sử dụng trong các mạch tuần tự để định tuyến tín hiệu dữ liệu (D) hoặc tín hiệu quét (S) từ mạch này sang mạch khác để đáp lại xung nhịp (CLK). Tín hiệu dữ liệu (D) có thể là dữ liệu thực tế được tạo bởi ứng dụng, chẳng hạn như ứng dụng ô tô. Tín hiệu quét (S) có thể là mẫu kiểm tra để kiểm tra hoạt động của mạch lật 100 và/hoặc các thiết bị logic và tuần tự khác được ghép nối với mạch lật 100.

Cụ thể hơn, mạch lật 100 có thể bao gồm mạch ghép kênh 110, cổng có xung nhịp chính 120, chốt chính (M-Latch) 130, cổng có xung nhịp phụ 140, chốt phụ (S-Latch) 150 và mạch điều khiển đầu ra 160 (ví dụ, cổng đảo). Theo ví dụ này, mạch ghép kênh 110 là mạch ghép kênh 2-thành-1, với hai đầu vào để lần lượt nhận tín hiệu dữ liệu (D) và tín hiệu quét (S). Tín hiệu dữ liệu (D) có thể là dữ liệu từ ứng dụng, chẳng hạn như ứng dụng ô tô. Tín hiệu quét (S) có thể là mẫu kiểm tra để kiểm tra hoạt động của mạch lật 100, chẳng hạn như trong trường hợp phương án triển khai thiết kế kiểm tra (design for testability - DFT). Mạch ghép kênh 110 bao gồm đầu vào lựa chọn để nhận tín hiệu dịch chuyển (shift - SFT), và đầu ra được ghép nối với đầu vào của cổng có xung nhịp chính 120. Khi hoạt động, nếu tín hiệu dịch chuyển ở mức logic thấp hoặc bằng 0 (0), thì mạch ghép kênh 110 xuất tín hiệu dữ liệu (D); và nếu tín hiệu dịch chuyển ở mức logic cao hoặc bằng 1 (1), thì mạch ghép kênh 110 xuất tín hiệu quét (S).

Cổng có xung nhịp chính 120 bao gồm đầu vào điều khiển bổ sung để nhận xung nhịp không bổ sung CLK và đầu vào điều khiển không bổ sung để nhận xung nhịp bổ sung $\overline{\text{CLK}}$. Cổng có xung nhịp chính 120 bao gồm đầu ra được ghép nối với nút thứ nhất pn1 của chốt chính 130. Khi hoạt động, nếu xung nhịp không bổ sung CLK và xung nhịp bổ sung $\overline{\text{CLK}}$ có mức logic thấp và cao tương ứng, thì cổng có xung nhịp chính 120 sẽ truyền tín hiệu dữ liệu (D) hoặc tín hiệu quét (S) ở đầu vào của nó tới đầu ra hoặc nút pn1 của nó chốt chính 130; và nếu xung nhịp không bổ sung CLK và xung nhịp bổ sung $\overline{\text{CLK}}$ có logic cao và thấp tương ứng, thì cổng có xung nhịp chính 120 sẽ chặn tín hiệu dữ liệu (D) hoặc tín hiệu quét (S) ở đầu vào của nó truyền đến đầu ra của nó hoặc nút pn1 của chốt chính 130.

Chốt chính 130 bao gồm cổng đảo không có xung nhịp 132 và cổng đảo có xung nhịp 134, được ghép nối chéo (ví dụ, đầu ra của cổng đảo này được ghép nối với đầu vào của cổng đảo kia, đối với cả hai cổng đảo). Cụ thể hơn, cổng đảo không có xung nhịp 132 bao gồm đầu vào tại nút thứ nhất pn1 của mạch chốt chính 130, và đầu ra tại nút thứ hai pn2 của mạch chốt chính 130. Cổng đảo có xung nhịp 134 bao gồm đầu vào tại nút thứ hai pn2, và đầu ra tại nút thứ nhất pn1. Cổng đảo có xung nhịp 134 bao gồm đầu vào điều khiển bổ sung để nhận xung nhịp bổ sung $\overline{CLK}$ và đầu vào điều khiển không bổ sung để nhận xung nhịp không bổ sung CLK. Khi hoạt động, nếu xung nhịp bổ sung $\overline{CLK}$ và xung nhịp không bổ sung CLK tương ứng ở mức logic thấp và cao, thì cổng đảo có xung nhịp 134 được bật, và chốt chính 130 ở chế độ không trong suốt và chốt dữ liệu tại nút pn1. Nếu xung nhịp bổ sung $\overline{CLK}$ và xung nhịp không bổ sung CLK lần lượt ở mức logic cao và thấp, thì cổng đảo có xung nhịp 134 bị vô hiệu hóa (ví dụ, trạng thái không kích hoạt) và chốt chính 130 ở chế độ trong suốt để nhận dữ liệu mới tại nút pn1.

Cổng có xung nhịp phụ 140 bao gồm đầu vào được ghép nối với nút pn1 của chốt chính 130, và đầu ra được ghép nối với nút thứ nhất pn3 của chốt phụ 150. Cổng có xung nhịp phụ 140 còn bao gồm thêm đầu vào điều khiển bổ sung để nhận xung nhịp bổ sung $\overline{CLK}$ và đầu vào điều khiển không bổ sung để nhận xung nhịp không bổ sung CLK. Khi hoạt động, nếu xung nhịp bổ sung $\overline{CLK}$ và xung nhịp không bổ sung CLK lần lượt ở mức logic thấp và cao, thì cổng có xung nhịp phụ 140 truyền tín hiệu dữ liệu (D) hoặc tín hiệu quét (S) ở đầu vào của nó tới đầu ra của nó hoặc nút pn3 của chốt phụ 150; và nếu xung nhịp bổ sung $\overline{CLK}$ và xung nhịp không bổ sung CLK lần lượt ở mức logic cao và thấp, thì cổng có xung nhịp phụ 140 sẽ chặn tín hiệu dữ liệu (D) hoặc tín hiệu quét (S) ở đầu vào của nó truyền đến đầu ra của nó hoặc nút pn3 của chốt phụ 150.

Chốt phụ 150 bao gồm cổng đảo không có xung nhịp 152 và cổng đảo có xung nhịp 154, được ghép nối chéo. Nghĩa là, cổng đảo không có xung nhịp 152 bao gồm đầu vào tại nút thứ nhất pn3 của chốt phụ 150, và đầu ra tại nút thứ hai pn4 của chốt phụ 150. Cổng đảo có xung nhịp 154 bao gồm đầu vào tại nút thứ hai pn4, và đầu ra tại nút thứ nhất pn3. Cổng đảo có xung nhịp 154 bao gồm đầu vào điều khiển bổ sung để nhận xung nhịp không bổ sung CLK và đầu vào điều khiển không bổ sung để nhận xung nhịp bổ sung $\overline{CLK}$. Khi hoạt động, nếu xung nhịp bổ sung $\overline{CLK}$ và xung nhịp không bổ sung CLK tương ứng ở mức logic cao và thấp, thì cổng đảo có xung nhịp 154 được bật, và chốt phụ 150 ở chế độ

không trong suốt và chốt dữ liệu tại nút pn3. Nếu xung nhịp bổ sung $\overline{\text{CLK}}$ và xung nhịp không bổ sung CLK lần lượt ở mức logic thấp và cao, thì cổng đảo có xung nhịp 154 bị vô hiệu hóa (ví dụ, trạng thái không kích hoạt) và chốt phụ 150 ở chế độ trong suốt để nhận dữ liệu mới tại nút pn3.

Mạch điều khiển đầu ra hoặc cổng đảo 160 bao gồm đầu vào được ghép nối với nút pn3 của chốt phụ 150, và đầu ra để tạo tín hiệu dữ liệu đầu ra Q, tín hiệu này có thể dựa trên tín hiệu dữ liệu (D) hoặc tín hiệu quét (S), tùy thuộc vào tín hiệu nào được mạch ghép kênh 110 lựa chọn. Mạch điều khiển đầu ra hoặc cổng đảo 160 bảo đảm rằng phân cực của tín hiệu dữ liệu đầu ra Q giống như tín hiệu đầu vào đã chọn (D) hoặc (S). Nghĩa là, mỗi thiết bị trong số ba thiết bị (lê) 110, 120 và 140 đảo tín hiệu đầu vào của nó để tạo tín hiệu đầu ra. Do đó, mạch điều khiển đầu ra hoặc cổng đảo 160 thực hiện quá trình đảo thứ tư (chẵn) trong mạch lật 100 để bảo đảm rằng phân cực của tín hiệu dữ liệu đầu ra Q giống như tín hiệu đầu vào đã chọn (D) hoặc (S).

Fig.1B minh họa sơ đồ định thời của ví dụ về hoạt động của mạch lật 100 theo một khía cạnh khác của sáng chế. Trục x hay trục ngang của sơ đồ định thời này biểu thị thời gian. Trục y hay trục dọc biểu thị, từ trên xuống dưới, tình trạng của xung nhịp không bổ sung CLK, xung nhịp bổ sung $\overline{\text{CLK}}$, cổng có xung nhịp chính (M-GATE) 120, chốt chính (M-LATCH) 130, cổng có xung nhịp phụ (S-GATE) 140, và chốt phụ (S-LATCH) 150. Theo ví dụ này, tín hiệu dữ liệu (D) được lựa chọn bằng cách sử dụng mạch ghép kênh 110 thông qua tín hiệu dịch chuyển đã xác nhận SFT. Tuy nhiên, phải hiểu rằng mạch lật 100 hoạt động theo phương thức tương tự khi tín hiệu quét (S) được lựa chọn.

Mạch lật 100 có thể hoạt động như sau: Giữa thời điểm t_0 và t_1 , xung nhịp không bổ sung CLK và xung nhịp bổ sung $\overline{\text{CLK}}$ lần lượt ở mức logic thấp và cao. Theo đó, cổng có xung nhịp chính 120 truyền tín hiệu dữ liệu hiện tại D(t) từ đầu ra của mạch ghép kênh 110 đến nút thứ nhất pn1 của chốt chính 130. Chốt chính 130 ở chế độ trong suốt (ví dụ, cổng đảo có xung nhịp 134 bị vô hiệu hóa hoặc trạng thái không kích hoạt), cho phép chốt chính 130 nhận tín hiệu dữ liệu hiện tại D(t). Cổng có xung nhịp phụ 140 chặn tín hiệu dữ liệu hiện tại D(t) để không làm nhiễu loạn chốt phụ 150 đang chốt tín hiệu dữ liệu trước đó D(t-1). Và, chốt phụ 150 ở chế độ không trong suốt (ví dụ, cổng đảo có xung nhịp 154 được kích hoạt), cho phép chốt phụ 150 chốt tín hiệu dữ liệu trước đó D(t-1). Mạch điều

hiển đầu ra hoặc cổng đảo 160 đảo tín hiệu dữ liệu trước đó $D(t-1)$ để tạo dữ liệu đầu ra trước đó $Q(t-1)$.

Giữa thời điểm t_1 và t_2 , xung nhịp không bổ sung CLK và xung nhịp bổ sung $\overline{CLK}$ lần lượt ở mức logic cao và thấp. Theo đó, cổng có xung nhịp chính 120 chặn tín hiệu dữ liệu mới $D(t+1)$ để không làm nhiễu loạn chốt chính 130 đang chốt tín hiệu dữ liệu hiện tại $D(t)$. Và, chốt chính 130 ở chế độ không trong suốt (ví dụ, cổng đảo có xung nhịp 134 được kích hoạt), cho phép chốt chính 130 chốt tín hiệu dữ liệu hiện tại $D(t)$. Cổng có xung nhịp phụ 140 truyền tín hiệu dữ liệu hiện tại $D(t)$ từ chốt chính 130 đến nút thứ nhất pn3 của chốt phụ 150. Chốt phụ 150 ở chế độ trong suốt (ví dụ, cổng đảo có xung nhịp 154 bị vô hiệu hóa hoặc trạng thái không kích hoạt), cho phép chốt phụ 150 nhận tín hiệu dữ liệu hiện tại $D(t)$.

Giữa thời điểm t_2 và t_3 , xung nhịp không bổ sung CLK và xung nhịp bổ sung $\overline{CLK}$ lần lượt ở mức logic thấp và cao. Theo đó, cổng có xung nhịp chính 120 truyền tín hiệu dữ liệu mới $D(t+1)$ từ đầu ra của mạch ghép kênh 110 đến nút thứ nhất pn1 của chốt chính 130. Chốt chính 130 ở chế độ truyền trong suốt (ví dụ, cổng đảo có xung nhịp 134 bị vô hiệu hóa hoặc trạng thái không kích hoạt), cho phép chốt chính 130 nhận tín hiệu dữ liệu mới $D(t+1)$. Cổng có xung nhịp phụ 140 chặn tín hiệu dữ liệu mới $D(t+1)$ để không làm nhiễu loạn chốt phụ 150 đang chốt tín hiệu dữ liệu hiện tại $D(t)$. Và, chốt phụ 150 ở chế độ không trong suốt (ví dụ, cổng đảo có xung nhịp 154 được kích hoạt), cho phép chốt phụ 150 chốt tín hiệu dữ liệu hiện tại $D(t)$. Mạch điều khiển đầu ra hoặc cổng đảo 160 đảo tín hiệu dữ liệu hiện tại $D(t)$ để tạo tín hiệu dữ liệu đầu ra hiện tại $Q(t)$. Hoạt động của mạch lật 100 lặp lại để tuần tự ghi dữ liệu mới vào và ghi dữ liệu mới ra.

Fig.2 minh họa sơ đồ giản lược của ví dụ về mạch ghép kênh 200 theo một khía cạnh khác của sáng chế. Mạch ghép kênh 200 là ví dụ về phương án triển khai của mạch ghép kênh 110 đã thảo luận trên đây. Mạch ghép kênh 200 có thể đóng vai trò là nguồn dữ liệu đầu vào cho các mạch lật được thảo luận thêm ở đây.

Cụ thể hơn, mạch ghép kênh 200 bao gồm bóng bán dẫn hiệu ứng trường bán dẫn oxit kim loại kênh p (p-channel metal oxide semiconductor field effect transistor - PMOS FET) thứ nhất M1 và PMOS FET thứ hai M2 được ghép nối tiếp theo thứ tự giữa đường dẫn điện áp trên V_{dd} và đầu ra (MUX OUT) của mạch ghép kênh 200. Nghĩa là, PMOS FET M1 bao gồm cực nguồn được ghép nối với đường dẫn điện áp trên V_{dd} , và cực máng

được ghép nối với cực nguồn của PMOS FET M2. PMOS FET M2 bao gồm cực máng được ghép nối với đầu ra của mạch ghép kênh 200. Mạch ghép kênh 200 còn bao gồm bóng bán dẫn hiệu ứng trường bán dẫn oxit kim loại kênh n (n-channel metal oxide semiconductor field effect transistor - NMOS FET) thứ nhất M3 và NMOS FET thứ hai M4 được ghép nối tiếp theo thứ tự đó giữa đầu ra của mạch ghép kênh 200 và đường dẫn điện áp dưới Vss (ví dụ, nối đất). Nghĩa là, NMOS FET M3 bao gồm cực máng được ghép nối với đầu ra của mạch ghép kênh 200, và cực nguồn được ghép nối với cực máng của NMOS FET M4. NMOS FET M4 bao gồm cực nguồn được ghép nối với đường dẫn điện áp dưới Vss. PMOS FET thứ nhất M1 và NMOS FET thứ hai M4 bao gồm các cực cổng để nhận tín hiệu dữ liệu D. PMOS FET thứ hai M2 và NMOS FET thứ nhất M3 bao gồm các cực cổng để nhận tín hiệu dịch chuyển bổ sung và không bổ sung SFT và $\overline{\text{SFT}}$, tương ứng.

Mạch ghép kênh 200 còn bao gồm PMOS FET thứ ba M5 và PMOS FET thứ tư M6 được ghép nối tiếp theo thứ tự đó giữa đường dẫn điện áp trên Vdd và đầu ra của mạch ghép kênh 200. Nghĩa là, PMOS FET M5 bao gồm cực nguồn được ghép nối với đường dẫn điện áp trên Vdd và cực máng được ghép nối với cực nguồn PMOS FET M6; và PMOS FET M6 bao gồm cực máng được ghép nối với đầu ra của mạch ghép kênh 200. Ngoài ra, mạch ghép kênh 200 bao gồm NMOS FET thứ ba M7 và NMOS FET thứ tư M8 được ghép nối tiếp giữa đầu ra của mạch ghép kênh 200 và đường dẫn điện áp dưới Vss. Nghĩa là, NMOS FET M7 bao gồm cực máng được ghép nối với đầu ra của mạch ghép kênh 200 và cực nguồn được ghép nối với cực máng của NMOS FET M8; và NMOS FET M8 bao gồm cực nguồn được ghép nối với đường dẫn điện áp dưới Vss. PMOS FET thứ ba M5 và NMOS FET thứ tư M8 bao gồm các cực cổng để nhận tín hiệu quét S. PMOS FET thứ tư M6 và NMOS FET thứ ba M7 bao gồm các cực cổng để nhận tín hiệu dịch chuyển bổ sung và không bổ sung $\overline{\text{SFT}}$ và SFT, tương ứng.

Khi hoạt động, nếu tín hiệu dịch chuyển không được xác nhận (SFT và $\overline{\text{SFT}}$ ở mức logic thấp và cao tương ứng), thì PMOS FET M2 và NMOS FET M3 sẽ được bật, đồng thời PMOS FET M6 và NMOS FET M7 sẽ bị tắt. Theo đó, PMOS FET M2 và NMOS FET M3 được bật sẽ truyền tín hiệu dữ liệu (D) đến đầu ra của mạch ghép kênh và PMOS FET M6 và NMOS FET M7 đã tắt sẽ chặn tín hiệu quét (S) từ đầu ra của mạch ghép kênh.

Do đó, mạch ghép kênh 200 chọn tín hiệu dữ liệu (D) khi tín hiệu dịch chuyển không được xác nhận.

Nếu tín hiệu dịch chuyển được xác nhận (SFT và $\overline{SFT}$ ở mức logic cao và thấp tương ứng), thì PMOS FET M2 và NMOS FET M3 sẽ bị tắt, đồng thời PMOS FET M6 và NMOS FET M7 sẽ được bật. Theo đó, PMOS FET M6 và NMOS FET M7 được bật sẽ truyền tín hiệu quét (S) đến đầu ra của mạch ghép kênh và PMOS FET M2 và NMOS FET M3 đã tắt sẽ chặn tín hiệu dữ liệu (D) từ đầu ra của mạch ghép kênh. Do đó, mạch ghép kênh 200 chọn tín hiệu quét (S) khi tín hiệu dịch chuyển được xác nhận.

Fig.3 minh họa sơ đồ giản lược của một ví dụ khác về mạch lật 300 theo một khía cạnh khác của sáng chế. Mạch lật 300 có thể được tạo cấu hình cho các ứng dụng thương mại, nhưng không dành cho các ứng dụng an toàn quan trọng, chẳng hạn như điều khiển ô tô. Theo đó, mạch lật 300 có thể dễ bị ảnh hưởng bởi nhiễu do bức xạ mặt đất và/hoặc các nguồn nhiễu khác gây ra hơn so với các loại mạch lật khác được thiết kế để chống lại bức xạ/nhiễu hoặc khả năng chịu lỗi cao hơn. Nhiễu có thể gây ra thay đổi ngoài ý muốn trong trạng thái của mạch lật 300, trong ô tô hoặc các ứng dụng an toàn khác, có thể dẫn đến ảnh hưởng nghiêm trọng đến an toàn.

Mạch lật 300 bao gồm cổng có xung nhịp chính 320 (M-Gate), chốt chính 330 (M-Latch), cổng có xung nhịp phụ 340 (S-Gate), chốt phụ 350 (S-Latch), và bộ điều khiển đầu ra 360. Mặc dù không được hiển thị, mạch ghép kênh (ví dụ, chẳng hạn như mạch ghép kênh 200) để chọn tín hiệu dữ liệu (D) hoặc tín hiệu quét (S) làm đầu vào cho mạch lật 300 để đáp lại tín hiệu dịch chuyển, có thể được ghép nối với đầu vào của cổng có xung nhịp chính 320, như trong mạch lật 100.

Cổng có xung nhịp chính 320 nhận tín hiệu dữ liệu đầu vào (D) và truyền có chọn lọc tín hiệu dữ liệu (D) đến chốt chính 330 để đáp lại xung nhịp (CLK) và tín hiệu đặt lại (reset signal - RST). Cổng có xung nhịp chính 320 bao gồm các PMOS FET từ M10 đến M12 được ghép nối tiếp theo thứ tự giữa đường dẫn điện áp trên Vdd và đầu ra của cổng có xung nhịp chính 320. Nghĩa là, PMOS FET M10 bao gồm cực nguồn được ghép nối với đường dẫn điện áp trên Vdd và cực máng được ghép nối với cực nguồn của PMOS FET M11; PMOS FET M11 bao gồm cực máng được ghép nối với cực nguồn của PMOS FET M12; và PMOS FET M12 bao gồm cực máng được ghép nối với đầu ra của cổng có xung nhịp chính 320. Cổng có xung nhịp chính 320 còn bao gồm các NMOS FET từ M13 đến

M14 được ghép nối tiếp theo thứ tự đó giữa đầu ra và đường dẫn điện áp dưới Vss (ví dụ, nối đất). Nghĩa là, NMOS FET M13 bao gồm cực máng được ghép nối với đầu ra của cổng có xung nhịp chính và cực nguồn được ghép nối với cực máng của NMOS FET M14; và NMOS FET M14 bao gồm cực nguồn được ghép nối với đường dẫn điện áp dưới Vss. PMOS FET M11 và NMOS FET M14 bao gồm các cực cổng để nhận tín hiệu dữ liệu (D), PMOS FET M10 bao gồm cực cổng để nhận tín hiệu đặt lại RST, và PMOS FET M12 và NMOS FET M13 bao gồm các cực cổng để nhận xung nhịp không bổ sung CLK và xung nhịp bổ sung, tương ứng $\overline{\text{CLK}}$.

Khi tín hiệu đặt lại RST không được xác nhận (RST ở mức logic thấp (ví dụ, ở Vss)), cổng có xung nhịp chính 320 được bật. Khi được bật, nếu xung nhịp không bổ sung CLK và xung nhịp bổ sung $\overline{\text{CLK}}$ ở mức logic thấp và cao, PMOS FET M12 và NMOS FET M13 sẽ được bật tương ứng. Do đó, cổng có xung nhịp chính 320 truyền tín hiệu dữ liệu (D) đến chốt chính 330. Nếu xung nhịp không bổ sung CLK và xung nhịp bổ sung $\overline{\text{CLK}}$ ở mức logic cao và thấp, PMOS FET M12 và NMOS FET M13 sẽ bị tắt tương ứng. Do đó, cổng có xung nhịp chính 320 chặn tín hiệu dữ liệu (D) truyền đến chốt chính 330. Khi tín hiệu đặt lại RST được xác nhận (RST ở mức logic cao (ví dụ, ở Vdd)), cổng có xung nhịp chính 320 bị vô hiệu hóa.

Chốt chính 330 chốt có chọn lọc tín hiệu dữ liệu (D) nhận được từ cổng có xung nhịp chính 320 để đáp lại xung nhịp CLK và tín hiệu đặt lại RST. Chốt chính 330 bao gồm cổng đảo không có xung nhịp được ghép nối chéo 332 và cổng đảo có xung nhịp 334. Cổng đảo không có xung nhịp 332 bao gồm PMOS FET M20 và NMOS FET M21 được ghép nối tiếp theo thứ tự giữa đường dẫn điện áp trên Vdd và đường dẫn điện áp dưới Vss. PMOS FET M20 và NMOS FET M21 bao gồm các cực cổng được ghép nối với nhau tại nút thứ nhất pn1 của chốt chính 330. PMOS FET M20 và NMOS FET M21 bao gồm các cực máng được ghép nối với nhau tại nút thứ hai pn2 của chốt chính 330. PMOS FET M20 bao gồm cực nguồn được ghép nối với đường dẫn điện áp trên Vdd và NMOS FET M21 bao gồm cực nguồn được ghép nối với đường dẫn điện áp dưới Vss.

Cổng đảo có xung nhịp 334 bao gồm các PMOS FET từ M15 đến M17 được ghép nối tiếp theo thứ tự giữa đường dẫn điện áp trên Vdd và nút pn1. Nghĩa là, PMOS FET M15 bao gồm cực nguồn được ghép nối với đường dẫn điện áp trên Vdd và cực máng được ghép nối với cực nguồn của PMOS FET M16; PMOS FET M16 bao gồm cực máng

được ghép nối với cực nguồn PMOS FET M17; và PMOS FET M17 bao gồm cực máng được ghép nối với nút pn1. Cổng đảo có xung nhịp 334 còn bao gồm các NMOS FET từ M18 đến M19 được ghép nối tiếp theo thứ tự đó giữa nút pn1 và đường dẫn điện áp dưới Vss. Nghĩa là, NMOS FET M18 bao gồm cực máng được ghép nối với nút pn1, và cực nguồn được ghép nối với cực máng của NMOS FET M19; và NMOS FET M19 bao gồm cực nguồn được ghép nối với đường dẫn điện áp dưới Vss. PMOS FET M15 bao gồm cực cổng để nhận tín hiệu đặt lại RST, PMOS FET M16 và NMOS FET M19 bao gồm các cực cổng được ghép nối với nút pn2, và PMOS FET M17 và NMOS FET M18 bao gồm các cực cổng để nhận xung nhịp bổ sung $\overline{CLK}$ và xung nhịp không bổ sung CLK, tương ứng.

Chốt chính 330 cũng bao gồm NMOS FET M22 được ghép nối giữa nút pn1 và đường dẫn điện áp dưới Vss, với cực cổng để nhận tín hiệu đặt lại RST. Nghĩa là, NMOS FET M22 bao gồm cực máng được ghép nối với nút pn1 và cực nguồn được ghép nối với đường dẫn điện áp dưới Vss.

Khi tín hiệu đặt lại RST không được xác nhận (RST ở mức logic thấp (ví dụ, Vss)), PMOS FET M15 và NMOS FET M22 lần lượt được bật và tắt; do đó, kích hoạt chốt chính 330. Khi được bật, nếu xung nhịp bổ sung $\overline{CLK}$ và xung nhịp không bổ sung CLK ở mức thấp và cao, PMOS FET M17 và NMOS FET M18 sẽ được bật, tương ứng. Do đó, chốt chính 330 chốt tín hiệu dữ liệu (D) tại nút pn1, và được cho là ở chế độ không trong suốt. Nếu xung nhịp bổ sung và $\overline{CLK}$ xung nhịp không bổ sung CLK ở mức cao và thấp, PMOS FET M17 và NMOS FET M18 sẽ bị tắt, tương ứng. Do đó, cổng đảo có xung nhịp 334 bị vô hiệu hóa (ví dụ, trạng thái không kích hoạt); và do đó, chốt chính 330 ở chế độ trong suốt, có thể nhận dữ liệu mới (D). Khi tín hiệu đặt lại RST được xác nhận (RST ở mức logic cao (ví dụ, ở Vdd)), PMOS FET M15 và NMOS FET M22 lần lượt được tắt và bật; do đó, vô hiệu hóa chốt chính 330.

Cổng có xung nhịp phụ 340 nhận tín hiệu dữ liệu (D) từ chốt chính 330 và truyền có chọn lọc tín hiệu dữ liệu (D) đến chốt phụ 350 để đáp lại xung nhịp CLK. Cổng có xung nhịp phụ 340 bao gồm các PMOS FET từ M23 đến M24 được ghép nối tiếp theo thứ tự giữa đường dẫn điện áp trên Vdd và đầu ra của cổng có xung nhịp phụ 340. Nghĩa là, PMOS FET M23 bao gồm cực nguồn được ghép nối với đường dẫn điện áp trên Vdd và cực máng được ghép nối với cực nguồn PMOS FET M24; và PMOS FET M24 bao gồm cực máng được ghép nối với đầu ra của cổng có xung nhịp phụ 340. Cổng có xung nhịp

phụ 340 còn bao gồm các NMOS FET từ M25 đến M26 được ghép nối tiếp theo thứ tự đó giữa đầu ra của cổng có xung nhịp phụ 340 và đường dẫn điện áp dưới Vss. Nghĩa là, NMOS FET M25 bao gồm cực máng được ghép nối với đầu ra của cổng có xung nhịp phụ 340, và cực nguồn được ghép nối với cực máng của NMOS FET M26; và NMOS FET M26 bao gồm cực nguồn được ghép nối với đường dẫn điện áp dưới Vss. PMOS FET M23 và NMOS FET M26 bao gồm các cực cổng để nhận tín hiệu dữ liệu (D) từ chốt chính 330, và PMOS FET M24 và NMOS FET M25 bao gồm các cực cổng để nhận xung nhịp bổ sung $\overline{\text{CLK}}$ và xung nhịp không bổ sung CLK tương ứng.

Nếu xung nhịp bổ sung $\overline{\text{CLK}}$ và xung nhịp CLK ở mức thấp và cao, PMOS FET M24 và NMOS FET M33 sẽ được bật tương ứng. Do đó, cổng có xung nhịp phụ 340 truyền tín hiệu dữ liệu (D) đến chốt phụ 350. Nếu xung nhịp bổ sung $\overline{\text{CLK}}$ và xung nhịp không bổ sung CLK ở mức cao và thấp, PMOS FET M24 và NMOS FET M25 sẽ bị tắt, tương ứng. Do đó, cổng có xung nhịp phụ 340 chặn tín hiệu dữ liệu (D) truyền đến chốt phụ 350.

Chốt phụ 350 chốt có chọn lọc tín hiệu dữ liệu (D) nhận được từ cổng có xung nhịp phụ 340 để đáp lại xung nhịp CLK và tín hiệu đặt lại RST. Chốt phụ 350 bao gồm cổng đảo không có xung nhịp được ghép nối chéo 352 và cổng đảo có xung nhịp 354. Cổng đảo không có xung nhịp 352 bao gồm các PMOS FET từ M31 đến M32 được ghép nối tiếp theo thứ tự giữa đường dẫn điện áp trên Vdd và nút pn4 của chốt phụ 350. Nghĩa là, PMOS FET M31 bao gồm cực nguồn được ghép nối với đường dẫn điện áp trên Vdd, và cực máng được ghép nối với cực nguồn PMOS FET M32; và PMOS FET M32 bao gồm cực máng được ghép nối với nút pn4. Cổng đảo không có xung nhịp 352 còn bao gồm NMOS FET M33 được ghép nối giữa nút pn4 và đường dẫn điện áp dưới Vss. Nghĩa là, NMOS FET M33 bao gồm cực máng được ghép nối với nút pn4 và cực nguồn được ghép nối với đường dẫn điện áp dưới Vss. PMOS FET M31 bao gồm cực cổng để nhận tín hiệu đặt lại RST. PMOS FET M32 và NMOS FET M33 bao gồm các cực cổng được ghép nối với nhau tại nút pn3 khác của chốt phụ 350. Đầu ra của cổng có xung nhịp phụ 340 được ghép nối với nút pn3 của chốt phụ 350.

Cổng đảo có xung nhịp 354 bao gồm các PMOS FET từ M27 đến M28 được ghép nối tiếp theo thứ tự giữa đường dẫn điện áp trên Vdd và nút pn3. Nghĩa là, PMOS FET M27 bao gồm cực nguồn được ghép nối với đường dẫn điện áp trên Vdd, và cực máng được ghép nối với cực nguồn của PMOS FET M28; và PMOS FET M28 bao gồm cực

máng được ghép nối với nút pn3. Cổng đảo có xung nhịp 354 còn bao gồm các NMOS FET từ M29 đến M30 được ghép nối tiếp theo thứ tự đó giữa nút pn3 và đường dẫn điện áp dưới Vss. Nghĩa là, NMOS FET M29 bao gồm cực máng được ghép nối với nút pn3, và cực nguồn được ghép nối với cực máng của NMOS FET M30; và NMOS FET M30 bao gồm cực nguồn được ghép nối với đường dẫn điện áp dưới Vss. PMOS FET M27 và NMOS FET M30 bao gồm các cực cổng được ghép nối với nút pn4 và PMOS FET M28 và NMOS FET M29 bao gồm các cực cổng để nhận xung nhịp không bổ sung CLK và xung nhịp bổ sung $\overline{\text{CLK}}$, tương ứng. Chốt phụ 350 cũng bao gồm NMOS FET M34 được ghép nối giữa nút pn4 và đường dẫn điện áp dưới Vss, bao gồm cực cổng để nhận tín hiệu đặt lại RST. Nghĩa là, NMOS FET M34 bao gồm cực máng được ghép nối với nút pn4 và cực nguồn được ghép nối với đường dẫn điện áp dưới Vss.

Khi tín hiệu đặt lại RST không được xác nhận (RST ở mức logic thấp (ví dụ, Vss)), PMOS FET M31 và NMOS FET M34 lần lượt được bật và tắt; do đó, kích hoạt chốt phụ 350. Khi được bật, nếu xung nhịp không bổ sung CLK và xung nhịp bổ sung $\overline{\text{CLK}}$ ở mức thấp và cao, PMOS FET M28 và NMOS FET M29 sẽ được bật tương ứng. Do đó, chốt phụ 350 chốt tín hiệu dữ liệu (D) tại nút pn3 và được cho là ở chế độ không trong suốt. Nếu xung nhịp không bổ sung CLK và xung nhịp bổ sung $\overline{\text{CLK}}$ ở mức cao và thấp, PMOS FET M28 và NMOS FET M29 sẽ bị tắt tương ứng. Do đó, chốt phụ 350 ở chế độ trong suốt, và có thể nhận dữ liệu mới (D). Khi tín hiệu đặt lại RST được xác nhận (RST ở mức logic cao (ví dụ, ở Vdd)), PMOS FET M31 và NMOS FET M34 lần lượt được tắt và bật; do đó, vô hiệu hóa chốt phụ 350.

Bộ điều khiển đầu ra 360 nhận tín hiệu dữ liệu (D) từ chốt phụ 350 và đảo ngược tín hiệu dữ liệu (D) để tạo tín hiệu dữ liệu đầu ra Q. Bộ điều khiển đầu ra 360 được tạo cấu hình như cổng đảo bao gồm PMOS FET M35 được ghép nối tiếp với NMOS FET M36 giữa đường dẫn điện áp trên Vdd và đường dẫn điện áp dưới Vss. Nghĩa là, PMOS FET M35 bao gồm cực nguồn được ghép nối với đường dẫn điện áp trên Vdd và NMOS FET M36 bao gồm cực nguồn được ghép nối với đường dẫn điện áp dưới Vss. PMOS FET M35 và NMOS FET M36 bao gồm các cực cổng được ghép nối với nhau và với nút pn3 của chốt phụ 350, và các cực máng được ghép nối với nhau, đóng vai trò là đầu ra Q của mạch lật 300.

FET của mạch lật 300 được tạo cấu hình để có cùng kích thước hoặc W/L hiệu dụng (ví dụ, nhỏ nhất dựa trên các nút công nghệ xử lý hiện tại) nhằm mục đích tăng mật độ mạch tích hợp (integrated circuit - IC), trong đó W là chiều rộng hiệu dụng của kênh và L là chiều dài hiệu dụng của kênh. Đối với FET phẳng, chiều rộng kênh hiệu dụng có liên quan đến chiều rộng của điện cực của cực cổng trên kênh và chiều dài kênh hiệu dụng có liên quan đến khoảng cách giữa cực nguồn và cực máng qua kênh. Đối với FIN FET, chiều rộng kênh hiệu dụng có liên quan đến chiều rộng của mỗi FIN, chiều cao của mỗi FIN, và số lượng các FIN trong FET, và chiều dài kênh hiệu dụng có liên quan đến khoảng cách giữa cực nguồn và cực máng qua kênh. Trở kháng khởi động R_{ON} của FET có liên quan nghịch đảo với W/L hiệu dụng. Theo đó, trong cấu hình này, trở kháng khởi động R_{ON} giữa các nút pn1, pn2, pn3 và pn4 và các đường dẫn điện áp Vdd và Vss khác nhau đối với mỗi nút.

Ví dụ, trở kháng khởi động R_{ON} giữa nút pn2 và đường dẫn điện áp trên Vdd hoặc đường dẫn điện áp dưới Vss là của một FET duy nhất (ví dụ, PMOS FET M20 hoặc NMOS FET M21), ở đây được gọi là “R”. Trở kháng khởi động R_{ON} giữa nút pn1 và đường dẫn điện áp trên Vdd là của ba (3) FET xếp chồng lên nhau hoặc 3R (ví dụ, các PMOS FET từ M15 đến M17), và giữa nút pn1 và đường dẫn điện áp dưới Vss là của hai (2) FET hoặc 2R xếp chồng lên nhau (ví dụ, các NMOS FET từ M18 đến M19). Trở kháng khởi động R_{ON} giữa nút pn3 và đường dẫn điện áp trên Vdd hoặc đường dẫn điện áp dưới Vss là điện trở của hai (2) FET xếp chồng lên nhau hoặc 2R (ví dụ, các PMOS FET từ M27 đến M28 hoặc các NMOS FET từ M29 đến M30). Và, trở kháng khởi động R_{ON} giữa nút pn4 và đường dẫn điện áp trên Vdd là của hai (2) FET hoặc 2R xếp chồng lên nhau (ví dụ, các PMOS FET từ M31 đến M32), và giữa nút pn4 và đường dẫn điện áp dưới Vss là một (1) FET hoặc R (ví dụ, NMOS FET M33).

Do đó, do sự mất cân bằng trong trở kháng khởi động R_{ON} giữa các nút pn1 đến pn4 và đường dẫn điện áp trên Vdd và đường dẫn điện áp dưới Vss, các nút pn1 đến pn4 có dung sai khác nhau đối với bức xạ hoặc nhiễu trên mặt đất. Ví dụ, trở kháng khởi động càng cao thì khả năng chịu bức xạ hoặc nhiễu của nút càng thấp. Bức xạ hoặc nhiễu tạo ra điện tích hoặc dòng điện, khi nó chạy qua trở kháng khởi động tương ứng từ Vdd hoặc đến Vss, nó sẽ tạo ra sự thay đổi điện áp ΔV liên quan đến dòng điện nhân với trở kháng khởi động ($\Delta V = I \cdot R_{ON}$). Sự thay đổi điện áp ΔV do bức xạ hoặc nhiễu có thể khiến chốt tương

ứng chuyển sang trạng thái lật nếu nó vượt qua ngưỡng điện áp của các FET tương ứng, như đã thảo luận, trong các ứng dụng quan trọng, chẳng hạn như an toàn ô tô, có thể gây ra hậu quả nghiêm trọng đối với sự an toàn.

Chất lượng mạch lật 300 chỉ tốt bằng liên kết yếu nhất của nó. Vì nút pn1 có trở kháng khởi động R_{ON} cao nhất đối với đường dẫn điện áp trên Vdd (ví dụ, 3R) và với đường dẫn điện áp dưới Vss (ví dụ, 2R), đây là nút dễ bị lật bit nhất do bức xạ và /hoặc nhiễu; với các nút pn3, pn4 và pn2 ít nhạy cảm hơn theo thứ tự đó.

Do đó, khía cạnh thứ nhất của sáng chế là tạo cấu hình lại chốt chính và chốt phụ của mạch lật sao cho các nút của nó về cơ bản có cùng khả năng chịu bức xạ hoặc nhiễu; nghĩa là, trở kháng khởi động R_{ON} giữa các nút và đường dẫn điện áp trên và dưới Vdd và Vss về cơ bản là giống nhau tương ứng. Khía cạnh thứ hai của sáng chế là tạo cấu hình lại chốt chính và chốt phụ của mạch lật để cung cấp phản hồi âm nhằm chống lại bức xạ hoặc nhiễu có thể tạo ra sự lật bit. Khía cạnh thứ ba của sáng chế là phản hồi âm được khóa. Nghĩa là, khi dữ liệu được ghi vào chốt chính hoặc chốt phụ tương ứng (ví dụ, khi chốt ở chế độ trong suốt), phản hồi âm bị vô hiệu hóa để ngăn phản hồi âm cản trở việc ghi dữ liệu vào chốt. Khi chốt chính hoặc chốt phụ được chốt (ví dụ, khi chốt ở chế độ không trong suốt), phản hồi âm được kích hoạt để làm cho các chốt miễn nhiễm hơn với bức xạ hoặc nhiễu.

Fig.4 minh họa sơ đồ giản lược của ví dụ về mạch lật 400 theo một khía cạnh khác của sáng chế. Mạch lật 400 bao gồm chốt chính 430 và chốt phụ 450 được tạo cấu hình lại để cân bằng trở kháng khởi động R_{ON} giữa các nút pn1 đến pn4 và đường dẫn điện áp trên Vdd và đường dẫn điện áp dưới Vss, tương ứng; sao cho về cơ bản chúng có cùng khả năng chịu bức xạ hoặc nhiễu. Các thành phần khác của mạch lật 400, cụ thể là cổng có xung nhịp chính 420, cổng có xung nhịp phụ 440 và bộ điều khiển đầu ra (không được hiển thị trên hình vẽ) của mạch lật 400 về cơ bản giống như cổng có xung nhịp chính 320, cổng có xung nhịp phụ 340 và bộ điều khiển đầu ra 360 của mạch lật 300 tương ứng. Phải hiểu rằng mạch ghép kênh (ví dụ, chẳng hạn như mạch ghép kênh 200) để chọn tín hiệu dữ liệu (D) hoặc tín hiệu quét (S) làm đầu vào cho mạch lật 400 để đáp lại tín hiệu dịch chuyển, có thể được ghép nối với đầu vào của cổng có xung nhịp chính 420, như trong mạch lật 100.

Đối với chốt chính 430, PMOS FET đặt lại M15 của chốt chính 330 đã bị loại bỏ khỏi cổng đảo có xung nhịp 434 của chốt chính 430. Theo đó, cực nguồn của PMOS FET M16 được ghép với đường dẫn điện áp trên Vdd. Ngoài ra, kích thước hoặc W/L hiệu dụng của mỗi trong số PMOS FET M16 đến M17 và NMOS FET M18 đến M19 trong cổng đảo có xung nhịp 434 khác biệt đáng kể so với (ví dụ, khoảng hai lần, trong đó đáng kể hoặc có tính đến dung sai xử lý) kích thước hoặc W/L hiệu dụng của mỗi trong số PMOS FET M20 và NMOS FET M21 trong cổng đảo không có xung nhịp 432 của chốt chính 430. Theo đó, trong ví dụ hiện tại, trở kháng khởi động R_{ON} của mỗi trong số PMOS FET M16 đến M17 và NMOS FET M18 đến M19 là $0,5R$, và trở kháng khởi động R_{ON} của mỗi trong số PMOS FET M20 và NMOS FET M21 là R . Như vậy, trở kháng khởi động R_{ON} của nhánh bao gồm các FET M16 đến M17 giữa nút pn1 và đường dẫn điện áp trên Vdd và nhánh bao gồm các FET M18 đến M19 giữa nút pn1 và đường dẫn điện áp dưới Vss là $2*0,5R$ hoặc R tương ứng; và trở kháng khởi động R_{ON} của nhánh bao gồm FET M20 giữa nút pn2 và đường dẫn điện áp trên Vdd và nhánh bao gồm FET M21 giữa nút pn2 và đường dẫn điện áp dưới Vss cũng là R , tương ứng. Do đó, trở kháng khởi động R_{ON} giữa các nút pn1 và pn2 và đường dẫn điện áp được cân bằng; do đó, các nút pn1 và pn2 về cơ bản có cùng khả năng chịu bức xạ hoặc nhiễu.

Tương tự, đối với chốt phụ 450, PMOS FET đặt lại M31 của chốt phụ 350 đã bị loại bỏ trong cổng đảo không có xung nhịp 452 của chốt phụ 450. Theo đó, cực nguồn của PMOS FET M32 được ghép với đường dẫn điện áp trên Vdd. Ngoài ra, kích thước hoặc W/L hiệu dụng của mỗi trong số PMOS FET M27 đến M28 và NMOS FET M29 đến M30 của cổng đảo có xung nhịp 454 về cơ bản gấp hai lần so với (ví dụ, khoảng hai lần, kích thước hoặc W/L hiệu dụng của mỗi trong số PMOS FET M32 và NMOS FET M33 của cổng đảo không có xung nhịp 452 của chốt phụ 450. Theo đó, trở kháng khởi động R_{ON} của mỗi trong số PMOS FET M27 đến M28 và NMOS FET M29 đến M30 là $0,5R$, và trở kháng khởi động R_{ON} của mỗi trong số PMOS FET M32 và NMOS FET M33 là R . Như vậy, trở kháng khởi động R_{ON} của nhánh bao gồm các FET M27 đến M28 giữa nút pn3 và đường dẫn điện áp trên Vdd và nhánh bao gồm các FET M29 đến M30 giữa nút pn3 và đường dẫn điện áp dưới Vss là $2*0,5R$ hoặc R tương ứng; và trở kháng khởi động R_{ON} của nhánh bao gồm FET M32 giữa nút pn4 và đường dẫn điện áp trên Vdd và nhánh bao gồm FET M33 giữa nút pn4 và đường dẫn điện áp dưới Vss cũng là R , tương ứng. Do đó, trở

kháng khởi động R_{ON} giữa các nút pn3 và pn4 và đường dẫn điện áp được cân bằng; do đó, các nút pn3 và pn4 về cơ bản có cùng khả năng chịu bức xạ hoặc nhiễu.

Phải hiểu rằng số lượng bóng bán dẫn và W/L hiệu dụng của chúng trong mỗi trong số các cổng đảo không có xung nhịp 432 và 452 và cổng đảo có xung nhịp 434 và 454 có thể khác nhau trong các cách triển khai khác, trong khi vẫn đạt được trở kháng khởi động R_{ON} giữa các nút pn1 đến pn4 và đường dẫn điện áp được cân bằng đáng kể; vì mạch lật 400 chỉ là ví dụ về việc đạt được trở kháng khởi động cân bằng R_{ON} .

Fig.5 minh họa sơ đồ giản lược của một ví dụ khác về mạch lật 500 theo một khía cạnh khác của sáng chế. Mạch lật 500 bao gồm chốt chính 530 và chốt phụ 550 được tạo cấu hình lại để bao gồm phản hồi âm cho mỗi trong số các nút pn1, pn2, pn3 và pn4 để chống lại bức xạ hoặc nhiễu có thể gây ra lật chốt. Tương tự, các thành phần khác của mạch lật 500, cụ thể là cổng có xung nhịp chính 520, cổng có xung nhịp phụ 540 và bộ điều khiển đầu ra (không được hiển thị trên hình vẽ)) của mạch lật 500 về cơ bản giống như cổng có xung nhịp chính 320, cổng có xung nhịp phụ 340 và bộ điều khiển đầu ra 360 của mạch lật 300, tương ứng.

Chốt chính 530 bao gồm cổng đảo không có xung nhịp được ghép nối chéo 532 và cổng đảo có xung nhịp 534, có thể được tạo cấu hình cho mỗi cổng đảo không có xung nhịp được ghép nối chéo 432 và cổng đảo có xung nhịp 434 của mạch lật 400. Tương tự, chốt phụ 550 bao gồm cổng đảo không có xung nhịp được ghép nối chéo 552 và cổng đảo có xung nhịp 554, có thể được tạo cấu hình cho mỗi cổng đảo không có xung nhịp được ghép nối chéo 452 và cổng đảo có xung nhịp 454 của mạch lật 400.

Về phản hồi âm chính, chốt chính 530 bao gồm mạch phản hồi âm 536 cho nút pn1, bao gồm các PMOS FET M52 đến M53 được ghép nối tiếp theo thứ tự giữa đường dẫn điện áp trên Vdd và nút pn1, và các NMOS FET M54 đến M55 được ghép nối tiếp theo thứ tự giữa nút pn1 và đường dẫn điện áp dưới Vss. Nghĩa là, PMOS FET M52 bao gồm cực nguồn được ghép nối với đường dẫn điện áp trên Vdd, cực máng được ghép nối với cực nguồn của PMOS FET M53; PMOS FET M53 bao gồm cực máng được ghép nối với nút pn1; NMOS FET M54 bao gồm cực máng được ghép nối với nút pn1 và cực nguồn được ghép nối với cực máng của NMOS FET M55; và NMOS FET M55 bao gồm cực nguồn được ghép nối với đường dẫn điện áp dưới Vss. PMOS FET M52 và NMOS FET M55 bao gồm các cực cổng được ghép nối với nút pn2 cho mục đích phản hồi âm và

PMOS FET M53 và NMOS FET M54 bao gồm các cực cổng để nhận xung nhịp bổ sung $\overline{\text{CLK}}$ và xung nhịp không bổ sung CLK để khóa phản hồi âm tương ứng.

Chốt chính 530 còn bao gồm mạch phản hồi âm 538 cho nút pn2, bao gồm PMOS FET M50 được ghép nối giữa đường dẫn điện áp trên Vdd và nút pn2, và NMOS FET M51 được ghép nối giữa nút pn2 và đường dẫn điện áp dưới Vss. Nghĩa là, PMOS FET M50 bao gồm cực nguồn được ghép nối với đường dẫn điện áp trên Vdd và cực máng được ghép nối với nút pn2; và NMOS FET M51 bao gồm cực máng được ghép nối với nút pn2 và cực nguồn được ghép nối với đường dẫn điện áp dưới Vss. PMOS FET M50 và NMOS FET M51 bao gồm các cực cổng được ghép nối với nút pn1 cho mục đích phản hồi âm.

Giả sử phản hồi âm được kích hoạt bởi xung nhịp bổ sung $\overline{\text{CLK}}$ và xung nhịp không bổ sung tương ứng ở mức thấp và cao, đồng thời bật PMOS FET M53 và NMOS FET M54, phản hồi âm hoạt động như sau:

Nếu điện áp logic ở nút pn1 ở mức logic thấp và ở nút pn2 ở mức logic cao, và bức xạ hoặc nhiễu có xu hướng làm tăng điện áp thấp ở nút pn1, thì điện áp cao ở nút pn2 duy trì NMOS FET M55 của mạch phản hồi âm 536 được bật, ghép nối đường dẫn điện áp dưới Vss với nút pn1. Sự ghép nối của đường dẫn điện áp dưới Vss với nút pn1 bằng NMOS FET M55 đối kháng hoặc chống lại bức xạ hoặc nhiễu đang cố kéo nút pn1 lên. Do đó, điện áp logic cao không nhiều tại nút pn2 khi bật NMOS FET M55 hoạt động như điểm neo để duy trì điện áp tại nút pn1 ở mức thấp ngay cả khi bị ảnh hưởng bởi bức xạ và nhiễu.

Tương tự, nếu điện áp logic tại nút pn1 là logic cao và tại nút pn2 là logic thấp, và bức xạ hoặc nhiễu có xu hướng làm giảm điện áp cao tại nút pn1, thì điện áp thấp tại nút pn2 duy trì PMOS FET M52 của mạch phản hồi âm 536 được bật, ghép nối đường dẫn điện áp trên Vdd với nút pn1. Sự ghép nối của đường dẫn điện áp trên Vdd với nút pn1 bằng PMOS FET M52 đối kháng hoặc chống lại bức xạ hoặc nhiễu đang cố kéo nút pn1 xuống. Do đó, điện áp logic thấp không nhiều tại nút pn2 khi bật PMOS FET M52 hoạt động như điểm neo để duy trì điện áp nút pn1 ở mức cao ngay cả khi bị ảnh hưởng bởi bức xạ và nhiễu.

Tương tự như vậy, nếu điện áp logic tại nút pn1 là logic thấp và tại nút pn2 là logic cao, và bức xạ hoặc nhiễu có xu hướng làm giảm điện áp cao tại nút pn2, thì điện áp thấp

tại nút pn1 duy trì PMOS FET M50 của mạch phản hồi âm 538 được bật, ghép nối đường dẫn điện áp trên Vdd với nút pn2. Sự ghép nối của đường dẫn điện áp trên Vdd với nút pn2 bằng PMOS FET M50 đối kháng hoặc chống lại bức xạ hoặc nhiễu đang cố kéo nút pn2 xuống. Do đó, điện áp thấp logic không nhiều tại nút pn1 khi bật PMOS FET M50 hoạt động như điểm neo để duy trì điện áp nút pn2 ở mức cao ngay cả khi bị ảnh hưởng bởi bức xạ và nhiễu.

Tương tự, nếu điện áp logic ở nút pn1 ở mức logic cao và ở nút pn2 ở mức logic thấp, và bức xạ hoặc nhiễu có xu hướng làm tăng điện áp thấp ở nút pn2, thì điện áp cao ở nút pn1 duy trì NMOS FET M51 của mạch phản hồi âm 538 được bật, ghép nối đường dẫn điện áp dưới Vss với nút pn2. Sự ghép nối của đường dẫn điện áp dưới Vss với nút pn2 bằng NMOS FET M51 đối kháng hoặc chống lại bức xạ hoặc nhiễu đang cố kéo nút pn2 lên. Do đó, điện áp logic cao không nhiều tại nút pn1 khi bật NMOS FET M51 hoạt động như điểm neo để duy trì điện áp tại nút pn2 ở mức thấp ngay cả khi bị ảnh hưởng bởi bức xạ và nhiễu.

Khi chốt chính 530 ở chế độ trong suốt để đáp lại xung nhịp bổ sung $\overline{\text{CLK}}$ và xung nhịp không bổ sung CLK tương ứng ở mức cao và thấp, thì PMOS FET M53 và NMOS FET M54 của mạch phản hồi âm 536 bị tắt hoặc được khóa. Đối với cổng đảo có xung nhịp 534, việc khóa của hoạt động phản hồi âm được cung cấp bởi mạch phản hồi âm 538 đã được tích hợp sẵn bởi hoạt động của xung nhịp đối với PMOS FET M17 và NMOS FET M18. Do đó, việc khóa của mạch phản hồi âm 536 và 538 cho phép dữ liệu (D) được ghi vào chốt chính 530 từ cổng có xung nhịp chính 520 mà không có phản hồi âm cản trở hoạt động ghi dữ liệu.

Về phản hồi âm phụ, chốt phụ 550 bao gồm mạch phản hồi âm 556 cho nút pn3, bao gồm các PMOS FET M62 đến M63 được ghép nối tiếp theo thứ tự giữa đường dẫn điện áp trên Vdd và nút pn3, và các NMOS FET M64 đến M65 được ghép nối tiếp theo thứ tự giữa nút pn3 và đường dẫn điện áp dưới Vss. PMOS FET M62 và NMOS FET M65 bao gồm các cực cổng được ghép nối với nút pn4 cho mục đích phản hồi âm và PMOS FET M63 và NMOS FET M64 bao gồm các cực cổng để nhận xung nhịp không bổ sung CLK $\overline{\text{CLK}}$ và xung nhịp bổ sung để tạo ra phản hồi âm, tương ứng.

Chốt phụ 550 còn bao gồm mạch phản hồi âm 558 cho nút pn4, bao gồm PMOS FET M60 được ghép nối giữa đường dẫn điện áp trên Vdd và nút pn4, và NMOS FET

M61 được ghép nối giữa nút pn4 và đường dẫn điện áp dưới Vss. PMOS FET M60 và NMOS FET M61 bao gồm các cực cổng được ghép nối với nút pn3 cho mục đích phản hồi âm.

Giả sử phản hồi âm được kích hoạt bởi xung nhịp không bổ sung CLK và xung nhịp bổ sung $\overline{\text{CLK}}$ tương ứng ở mức cao và thấp, đồng thời bật PMOS FET M63 và NMOS FET M64, phản hồi âm hoạt động như sau:

Nếu điện áp logic ở nút pn3 là logic thấp và ở nút pn4 là logic cao, và bức xạ hoặc nhiễu có xu hướng làm tăng điện áp thấp ở nút pn3, thì điện áp cao ở nút pn4 duy trì NMOS FET M65 của mạch phản hồi âm 556 được bật, ghép nối đường dẫn điện áp dưới Vss với nút pn3. Sự ghép nối của đường dẫn điện áp dưới Vss với nút pn3 bằng NMOS FET M65 đối kháng hoặc chống lại bức xạ hoặc nhiễu đang cố kéo nút pn3 lên. Do đó, điện áp logic cao không nhiễu tại nút pn4 khi bật NMOS FET M65 hoạt động như điểm neo để duy trì điện áp tại nút pn3 ở mức thấp ngay cả khi bị ảnh hưởng bởi bức xạ và nhiễu.

Tương tự, nếu điện áp logic tại nút pn3 là logic cao và tại nút pn4 là logic thấp, và bức xạ hoặc nhiễu có xu hướng làm giảm điện áp cao tại nút pn3, thì điện áp thấp tại nút pn4 duy trì PMOS FET M62 của mạch phản hồi âm 556 được bật, ghép nối đường dẫn điện áp trên Vdd với nút pn3. Sự ghép nối của đường dẫn điện áp trên Vdd với nút pn3 bằng PMOS FET M62 đối kháng hoặc chống lại bức xạ hoặc nhiễu đang cố kéo nút pn3 xuống. Do đó, điện áp logic thấp không nhiễu tại nút pn4 khi bật PMOS FET M62 hoạt động như điểm neo để duy trì điện áp nút pn3 ở mức cao ngay cả khi bị ảnh hưởng bởi bức xạ và nhiễu.

Tương tự như vậy, nếu điện áp logic tại nút pn3 là logic thấp và tại nút pn4 là logic cao, và bức xạ hoặc nhiễu có xu hướng làm giảm điện áp cao tại nút pn4, thì điện áp thấp tại nút pn3 duy trì PMOS FET M60 của mạch phản hồi âm 558 được bật, ghép nối đường dẫn điện áp trên Vdd với nút pn4. Sự ghép nối của đường dẫn điện áp trên Vdd với nút pn4 bằng PMOS FET M60 đối kháng hoặc chống lại bức xạ hoặc nhiễu đang cố kéo nút pn4 xuống. Do đó, điện áp thấp logic không nhiễu tại nút pn3 khi bật PMOS FET M60 hoạt động như điểm neo để duy trì điện áp nút pn4 ở mức cao ngay cả khi bị ảnh hưởng bởi bức xạ và nhiễu.

Tương tự, nếu điện áp logic ở nút pn3 ở mức logic cao và ở nút pn4 ở mức logic thấp, và bức xạ hoặc nhiễu có xu hướng làm tăng điện áp thấp ở nút pn4, thì điện áp cao ở

nút pn3 duy trì NMOS FET M61 của mạch phản hồi âm 558 được bật, ghép nối đường dẫn điện áp dưới Vss với nút pn4. Sự ghép nối của đường dẫn điện áp dưới Vss với nút pn4 bằng NMOS FET M61 đối kháng hoặc chống lại bức xạ hoặc nhiễu đang cố kéo nút pn4 lên. Do đó, điện áp logic cao không nhiều tại nút pn3 khi bật NMOS FET M61 hoạt động như điểm neo để duy trì điện áp tại nút pn4 ở mức thấp ngay cả khi bị ảnh hưởng bởi bức xạ và nhiễu.

Khi chốt phụ 550 ở chế độ trong suốt để đáp lại xung nhịp bổ sung $\overline{\text{CLK}}$ và xung nhịp không bổ sung CLK tương ứng ở mức cao và thấp, thì PMOS FET M63 và NMOS FET M64 của mạch phản hồi âm 556 bị tắt hoặc được khóa. Đối với cổng đảo có xung nhịp 554, việc khóa của hoạt động phản hồi âm được cung cấp bởi mạch phản hồi âm 538 đã được tích hợp sẵn bởi hoạt động của xung nhịp đối với PMOS FET M28 và NMOS FET M29. Do đó, việc khóa của mạch phản hồi âm 556 và 558 cho phép dữ liệu (D) được ghi vào chốt phụ 550 từ cổng có xung nhịp phụ 540 mà không có phản hồi âm cản trở hoạt động ghi dữ liệu.

Các chốt 430 và 450 của mạch lật 400 đã tăng khả năng chịu lật bit do bức xạ mặt đất và/hoặc nhiễu bằng cách giảm trở kháng khởi động bóng bán dẫn của các nút pn1, pn3 và pn4 so với trở kháng khởi động bóng bán dẫn của nút pn2 (ví dụ, trở kháng khởi động của một FET duy nhất). Các chốt 530 và 550 của mạch lật 500 bao gồm các mạch phản hồi âm 536/538 và 556/558 để chủ động chống bức xạ mặt đất và/hoặc nhiễu có thể làm thay đổi điện áp tại các nút pn1/pn2 và pn3/pn4 sao cho một hoặc nhiều lần lật bit có thể xảy ra, tương ứng.

Cần hiểu rằng các khái niệm được mô tả ở đây có thể được triển khai độc lập hoặc kết hợp trong mạch lật. Ví dụ, mạch lật có thể triển khai độc lập các nút chịu bức xạ cân bằng của mạch lật 400, phản hồi âm của mạch lật 500, và phản hồi âm được khóa của mạch lật 500. Ngoài ra, mạch lật có thể kết hợp các nút chịu bức xạ cân bằng của mạch lật 400, phản hồi âm của mạch lật 500, và phản hồi âm được khóa của mạch lật 500 theo bất kỳ cách nào. Mặc dù các mạch phản hồi âm 536, 538, 556 và 558 được minh họa, đây chỉ là minh họa mà không đề xuất bất kỳ giới hạn nào đối với phạm vi của đối tượng được mô tả ở đây. Các cơ chế phản hồi âm khác có thể được áp dụng để đối kháng hoặc chống lại bức xạ hoặc nhiễu tại các nút

Fig.6 minh họa sơ đồ giản lược của ví dụ về chốt 600 theo một khía cạnh khác của sáng chế. Các chốt 430 và 450 đã được thảo luận chi tiết trên đây là một phần của mạch lật 400. Tuy nhiên, các chốt như được mô tả ở đây không nhất thiết phải là một phần của mạch lật và có thể được sử dụng trong mạch điện khác. Chốt 600 có thể được tạo cấu hình tương tự như chốt 430.

Chốt 600 bao gồm công đảo không có xung nhịp 632 với các FET M20 và M21 có cùng cấu hình như trong công đảo không có xung nhịp 432 đã thảo luận trên đây. Chốt 600 bao gồm công đảo có xung nhịp 634 với các FET từ M16 đến M19 có cùng cấu hình như trong công đảo có xung nhịp 434 đã thảo luận trên đây. Tương tự, kích thước của mỗi trong số các FET từ M16 đến M19 có thể khác (ví dụ, về cơ bản gấp hai lần) kích thước của mỗi trong số các FET M20 và M21 sao cho trở kháng khởi động bóng bán dẫn giữa nút pn1 và đường dẫn điện áp Vdd và Vss về cơ bản giống như trở kháng khởi động bóng bán dẫn giữa nút pn2 và đường dẫn điện áp Vdd và Vss tương ứng. Chốt 600 không cần bao gồm FET đặt lại M22 hoặc M34 như trong chốt 430 và 450 tương ứng. Như được minh họa, nút pn1 có thể đóng vai trò là đầu vào và/hoặc đầu ra của chốt 600.

Fig.7 minh họa sơ đồ giản lược của một ví dụ khác về chốt 700 theo một khía cạnh khác của sáng chế. Các chốt 530 và 550 đã được thảo luận chi tiết trên đây là một phần của mạch lật 500. Tuy nhiên, các chốt như được mô tả ở đây không nhất thiết phải là một phần của mạch lật và có thể được sử dụng trong mạch điện khác. Chốt 700 có thể được tạo cấu hình tương tự như chốt 530.

Chốt 700 bao gồm công đảo thứ nhất 734 bao gồm đầu ra được ghép nối với nút pn1 và đầu vào được ghép nối với nút pn2. Chốt 700 còn bao gồm mạch phản hồi âm thứ nhất 738 bao gồm FET M50 (ví dụ, PMOS FET) được ghép nối giữa đường dẫn điện áp trên Vdd và nút pn2 (ví dụ, cực nguồn được ghép nối với Vdd và cực máng được ghép nối với pn2), trong đó FET M50 bao gồm cực cổng được ghép nối với nút pn1 và FET M51 (ví dụ, NMOS FET) được ghép nối giữa nút pn2 và đường dẫn điện áp dưới Vss (ví dụ, cực máng được ghép nối với pn2 và cực nguồn được ghép nối với Vss), trong đó FET M51 bao gồm cực cổng được ghép nối với nút pn1.

Chốt 700 bao gồm công đảo thứ hai 732 bao gồm đầu ra được ghép nối với nút pn2 và đầu vào được ghép nối với nút pn1. Chốt 700 còn bao gồm mạch phản hồi âm thứ hai 736 bao gồm FET M52 (ví dụ, PMOS FET) được ghép nối giữa đường dẫn điện áp trên

Vdd và nút pn1 (ví dụ, cực nguồn được ghép nối với Vdd và cực máng được ghép nối với pn1), trong đó FET M52 bao gồm cực cổng được ghép nối với nút pn2 và FET M55 (ví dụ, NMOS FET) được ghép nối giữa nút pn1 và đường dẫn điện áp dưới Vss (ví dụ, cực máng được ghép nối với pn1 và cực nguồn được ghép nối với Vss), trong đó FET M55 bao gồm cực cổng được ghép nối với nút pn2. Nút pn1 hoặc nút pn2 có thể đóng vai trò là đầu vào và/hoặc đầu ra của chốt 700.

Fig.8 minh họa sơ đồ giản lược của một ví dụ khác về chốt 800 theo một khía cạnh khác của sáng chế. Chốt 800 có thể được tạo cấu hình tương tự như chốt 530 đã thảo luận trên đây. Chốt 800 bao gồm công đảo có xung nhịp 834 bao gồm đầu ra được ghép nối với nút pn1, và đầu vào được ghép nối với nút pn2. Chốt 800 còn bao gồm công đảo không có xung nhịp 836 bao gồm đầu vào được ghép nối với nút pn1 và đầu ra được ghép nối với nút pn2.

Ngoài ra, chốt 800 bao gồm mạch phản hồi âm thứ nhất 836 được tạo cấu hình để ghép nối nút pn2 với đường dẫn điện áp trên Vdd hoặc đường dẫn điện áp dưới Vss dựa trên điện áp thứ nhất V1 tại nút pn1 tương tự như mạch phản hồi âm 538. Ví dụ, để đáp lại điện áp thứ nhất V1 về cơ bản giống với điện áp nguồn trên đường dẫn điện áp trên Vdd, mạch phản hồi âm thứ nhất 836 được tạo cấu hình để ghép nối nút pn2 với đường dẫn điện áp dưới Vss. Ngược lại, để đáp lại điện áp thứ nhất V1 về cơ bản giống với điện áp nguồn trên đường dẫn điện áp dưới Vss, mạch phản hồi âm thứ nhất 836 được tạo cấu hình để ghép nối nút pn2 với đường dẫn điện áp trên Vdd.

Chốt 800 cũng bao gồm mạch phản hồi âm thứ hai 838 được tạo cấu hình để ghép nối nút pn1 với đường dẫn điện áp trên Vdd hoặc đường dẫn điện áp dưới Vss dựa trên điện áp thứ hai V2 tại nút pn2 tương tự như mạch phản hồi âm 536. Ví dụ, để đáp lại điện áp thứ hai V2 về cơ bản giống với điện áp nguồn trên đường dẫn điện áp trên Vdd, mạch phản hồi âm thứ hai 838 được tạo cấu hình để ghép nối nút pn1 với đường dẫn điện áp dưới Vss. Ngược lại, để đáp lại điện áp thứ hai V2 về cơ bản giống với điện áp nguồn trên đường dẫn điện áp dưới Vss, mạch phản hồi âm thứ hai 838 được tạo cấu hình để ghép nối nút pn1 với đường dẫn điện áp trên Vdd. Nút pn1 hoặc pn2 có thể đóng vai trò là đầu vào và/hoặc đầu ra của chốt 800.

Fig.9 minh họa lưu đồ của ví dụ về phương pháp 900 để vận hành chốt theo một khía cạnh khác của sáng chế. Chốt này có thể là một phần của mạch lật, chẳng hạn như

chốt chính và/hoặc chốt phụ của các mạch lật 400 và 500 đã được thảo luận trên đây. Phương pháp 900 bao gồm bước cung cấp điện áp logic cho nút thứ nhất ở đầu vào của cổng đảo không có xung nhịp để tạo ra điện áp logic bổ sung ở nút thứ hai ở đầu vào của cổng đảo có xung nhịp bị vô hiệu hóa của chốt trong pha thứ nhất của xung nhịp (khối 910).

Phương pháp 900 còn bao gồm bước kích hoạt cổng đảo có xung nhịp, và các mạch phản hồi âm thứ nhất và thứ hai trong pha thứ hai của xung nhịp, trong đó mạch phản hồi thứ nhất ghép nối nút thứ nhất với đường dẫn điện áp thứ nhất để đáp lại điện áp logic bổ sung, và trong đó mạch phản hồi thứ hai ghép nối nút thứ hai với đường dẫn điện áp thứ hai để đáp lại điện áp logic (khối 920).

Fig.10 minh họa sơ đồ khối của ví dụ về hệ thống an toàn phương tiện 1000 theo một khía cạnh khác của sáng chế. Trong ví dụ này, hệ thống an toàn phương tiện 1000 liên quan đến hệ thống ô tô, nhưng phải hiểu rằng các loại hệ thống khác có thể sử dụng nhiều mạch lật khác nhau được mô tả ở đây.

Hệ thống an toàn phương tiện 1000 bao gồm mạch tích hợp (IC) 1010, có thể được tạo cấu hình như hệ thống trên chip (system on chip - SOC). IC 1010 bao gồm lõi xử lý tín hiệu số 1020, lõi này bao gồm tập hợp các mạch lật (flip-flop - F/F) 1030-1 đến 1030-N. Mỗi trong số tập hợp các mạch lật 1030-1 đến 1030-N có thể được tạo cấu hình cho mỗi mạch lật 400 hoặc 500, hoặc bất kỳ sự kết hợp nào của chúng như đã thảo luận trên đây.

Hệ thống an toàn phương tiện 1000 có thể bao gồm thêm hệ thống con ô tô 1050, ví dụ, có thể là hệ thống con điều khiển hành trình, hệ thống con cảnh báo va chạm phía trước (forward collision warning - FCW), hệ thống con cảnh báo chệch làn đường (lane departure warning - LDW), hệ thống con cảnh báo phát hiện điểm mù (blind spot detection - BSD), hệ thống con kiểm soát hành trình thích ứng (adaptive cruise control - ACC), hệ thống con hỗ trợ giữ làn đường (lane keep assist - LKA), ACC với hệ thống con giữ làn đường, hệ thống con hỗ trợ kết xe, hệ thống con lái tự động toàn bộ đường cao tốc, hệ thống con lái tự động hoàn toàn trong đô thị, hệ thống con robo-taxi/xe đưa đón, hệ thống con đội xe giao hàng tự động, hoặc hệ thống khác.

Sử dụng tập con thứ nhất của mạch lật 1030-1 đến 1030-N, lõi xử lý tín hiệu số 1020 có thể tạo và cung cấp tín hiệu điều khiển (control signal - CS) để điều khiển hoạt động của hệ thống con ô tô 1050. Sử dụng tập hợp con thứ hai các mạch lật 1030-1 đến

1030-N, lỗi xử lý tín hiệu số 1020 có thể nhận và xử lý tín hiệu phản hồi (feedback signal - FBS) từ hệ thống con ô tô 1050. Lỗi xử lý tín hiệu số 1020 có thể tạo tín hiệu điều khiển (CS) và/hoặc thực hiện các chức năng khác dựa trên tín hiệu phản hồi (FBS). Được tạo cấu hình trên mỗi mạch lật 400 và/hoặc 500, tập hợp các mạch lật 1030-1 đến 1030-N có khả năng chống bức xạ mặt đất và/hoặc các loại nhiễu khác tốt hơn, đảm bảo rằng hệ thống an toàn của phương tiện 1000 đáp ứng các yêu cầu FIT được quy định bởi tiêu chuẩn liên quan.

Phần mô tả trên đây của sáng chế được trình bày để cho phép người có hiểu biết trung bình trong lĩnh vực kỹ thuật này có thể thực hiện hoặc sử dụng sáng chế. Những sửa đổi khác nhau đối với sáng chế sẽ dễ dàng thấy rõ đối với những người có hiểu biết trung bình trong lĩnh vực kỹ thuật này, và các nguyên tắc chung được xác định ở đây có thể được áp dụng cho các biến thể khác mà không nằm ngoài bản chất hoặc phạm vi của sáng chế. Do đó, sáng chế không nhằm giới hạn ở các ví dụ được mô tả ở đây, mà có phạm vi rộng nhất phù hợp với các nguyên tắc và đặc điểm mới được bộc lộ ở đây.

YÊU CẦU BẢO HỘ

1. Thiết bị mạch lật, thiết bị này bao gồm:

chốt thứ nhất bao gồm:

cổng đảo thứ nhất bao gồm:

bóng bán dẫn hiệu ứng trường (field effect transistor - FET) thứ nhất được ghép nối giữa đường dẫn điện áp thứ nhất và nút thứ nhất; và

FET thứ hai được ghép nối giữa nút thứ nhất và đường dẫn điện áp thứ hai, trong đó mỗi trong số FET thứ nhất và thứ hai được tạo cấu hình với tỷ lệ chiều rộng trên chiều dài (width to length - W/L) kênh hiệu dụng thứ nhất; và

cổng đảo thứ hai bao gồm:

FET thứ ba được ghép nối giữa đường dẫn điện áp thứ nhất và nút thứ hai; và

FET thứ tư được ghép nối giữa nút thứ hai và đường dẫn điện áp thứ hai, trong đó các FET thứ nhất và thứ hai bao gồm các cực cổng được ghép nối với nút thứ hai, trong đó các FET thứ ba và thứ tư bao gồm các cực cổng được ghép nối với nút thứ nhất, và trong đó mỗi trong số FET thứ ba và thứ tư FET được tạo cấu hình với W/L hiệu dụng thứ hai khác với W/L hiệu dụng thứ nhất;

cổng có xung nhịp thứ nhất bao gồm đầu vào thứ nhất và đầu ra thứ nhất được ghép nối với nút thứ nhất của chốt thứ nhất;

cổng có xung nhịp thứ hai bao gồm đầu vào thứ hai được ghép nối với nút thứ nhất của chốt thứ nhất, và đầu ra thứ hai; và

chốt thứ hai bao gồm:

cổng đảo thứ ba bao gồm:

FET thứ năm được ghép nối giữa đường dẫn điện áp thứ nhất và nút thứ ba, trong đó nút thứ ba được ghép nối với đầu ra thứ hai của cổng có xung nhịp thứ hai; và

FET thứ sáu được ghép nối giữa nút thứ ba và đường dẫn điện áp thứ hai, trong đó mỗi trong số FET thứ năm và thứ sáu được tạo cấu hình với W/L hiệu dụng thứ nhất; và

cổng đảo thứ tư bao gồm:

FET thứ bảy được ghép nối giữa đường dẫn điện áp thứ nhất và nút thứ tư; và

FET thứ tám được ghép nối giữa nút thứ tư và đường dẫn điện áp thứ hai, trong đó các FET thứ năm và thứ sáu bao gồm các cực cổng được ghép nối với nút thứ tư, trong đó các FET thứ bảy và thứ tám bao gồm các cực cổng được ghép nối với nút thứ ba, và trong đó mỗi trong số FET thứ bảy và thứ tám được tạo cấu hình với W/L hiệu dụng thứ hai.

2. Thiết bị theo điểm 1, thiết bị này còn bao gồm:

cổng có xung nhịp thứ nhất bao gồm đầu ra được ghép nối với nút thứ nhất; và
cổng có xung nhịp thứ hai bao gồm đầu vào được ghép nối với nút thứ nhất và đầu ra được ghép nối với nút thứ ba.

3. Thiết bị theo điểm 2, thiết bị này còn bao gồm:

mạch ghép kênh bao gồm đầu vào thứ nhất để nhận tín hiệu dữ liệu thứ nhất, đầu vào thứ hai để nhận tín hiệu dữ liệu thứ hai và đầu ra được ghép nối với đầu vào của cổng có xung nhịp thứ nhất; và

bộ điều khiển đầu ra bao gồm đầu vào được ghép nối với nút thứ ba và đầu ra để tạo ra một trong số tín hiệu dữ liệu thứ nhất hoặc tín hiệu dữ liệu thứ hai được chọn.

4. Thiết bị theo điểm 1, trong đó:

cổng đảo thứ nhất bao gồm nhánh thứ nhất giữa đường dẫn điện áp thứ nhất và nút thứ nhất và bao gồm FET thứ nhất, và nhánh thứ hai giữa đường dẫn điện áp thứ hai và nút thứ nhất bao gồm FET thứ hai;

cổng đảo thứ hai bao gồm nhánh thứ ba giữa đường dẫn điện áp thứ nhất và nút thứ hai và bao gồm FET thứ ba, và nhánh thứ tư giữa đường dẫn điện áp thứ hai và nút thứ hai và bao gồm FET thứ tư; và

các nhánh thứ nhất, thứ hai, thứ ba và thứ tư về cơ bản có trở kháng khởi động giống nhau.

5. Thiết bị mạch lật, thiết bị này bao gồm:

chốt thứ nhất bao gồm:

cổng đảo có xung nhịp thứ nhất bao gồm đầu ra được ghép nối với nút thứ nhất và đầu vào được ghép nối với nút thứ hai, trong đó cổng đảo có xung nhịp thứ nhất được tạo cấu hình để cung cấp trở kháng khởi động bóng bán dẫn thứ nhất và thứ hai giữa nút thứ nhất và đường dẫn điện áp thứ nhất và thứ hai tương ứng; và

cổng đảo không có xung nhịp thứ nhất bao gồm đầu vào được ghép nối với nút thứ nhất, và đầu ra được ghép nối với nút thứ hai, trong đó cổng đảo không có xung nhịp thứ nhất được tạo cấu hình để cung cấp trở kháng khởi động bóng bán dẫn thứ ba và thứ tư giữa nút thứ hai và đường dẫn điện áp thứ nhất và thứ hai tương ứng, trong đó trở kháng khởi động bóng bán dẫn thứ nhất, thứ hai, thứ ba và thứ tư là như nhau.

6. Thiết bị theo điểm 5, trong đó chốt thứ nhất còn bao gồm:

mạch phản hồi âm thứ nhất được tạo cấu hình để ghép nối nút thứ hai với đường dẫn điện áp thứ nhất hoặc thứ hai dựa trên điện áp thứ nhất tại nút thứ nhất; và

mạch phản hồi âm thứ hai được tạo cấu hình để ghép nối nút thứ nhất với đường dẫn điện áp thứ nhất hoặc thứ hai dựa trên điện áp thứ hai tại nút thứ hai.

7. Thiết bị theo điểm 6, trong đó cổng đảo có xung nhịp thứ nhất và mạch phản hồi âm thứ hai được kích hoạt bằng xung nhịp.

8. Thiết bị theo điểm 5, thiết bị này còn bao gồm chốt thứ hai, bao gồm:

cổng đảo có xung nhịp thứ hai bao gồm đầu ra được ghép nối với nút thứ ba và đầu vào được ghép nối với nút thứ tư, trong đó cổng đảo có xung nhịp thứ hai được tạo cấu hình để cung cấp trở kháng khởi động bóng bán dẫn thứ năm và thứ sáu giữa nút thứ ba và đường dẫn điện áp thứ nhất và thứ hai tương ứng; và

cổng đảo không có xung nhịp thứ hai bao gồm đầu vào được ghép nối với nút thứ ba, và đầu ra được ghép nối với nút thứ tư, trong đó cổng đảo không có xung nhịp thứ hai được tạo cấu hình để cung cấp trở kháng khởi động bóng bán dẫn thứ bảy và thứ tám giữa nút thứ tư và đường dẫn điện áp thứ nhất và thứ hai, tương ứng, trong đó trở kháng khởi động bóng bán dẫn thứ năm, thứ sáu, thứ bảy và thứ tám là như nhau.

1/7

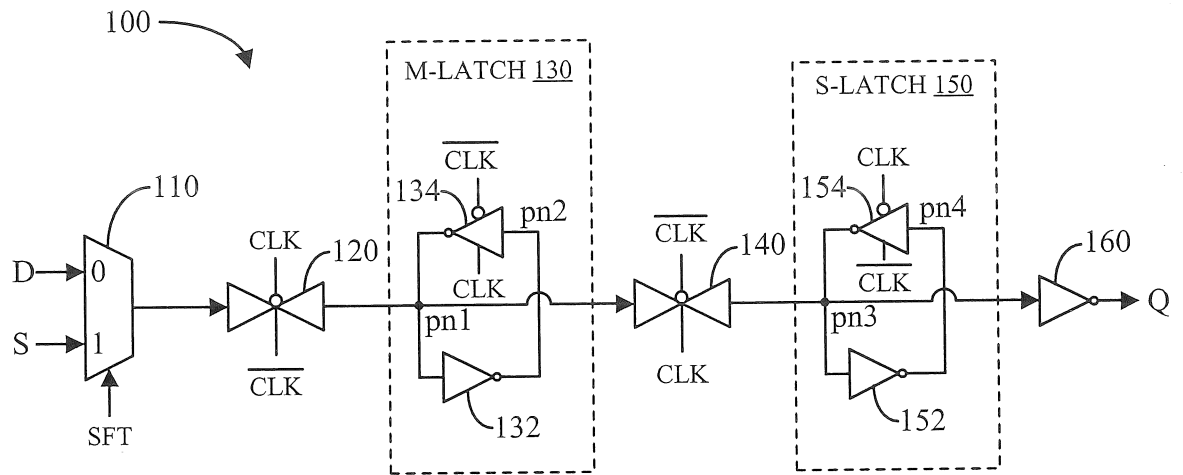


Fig.1A

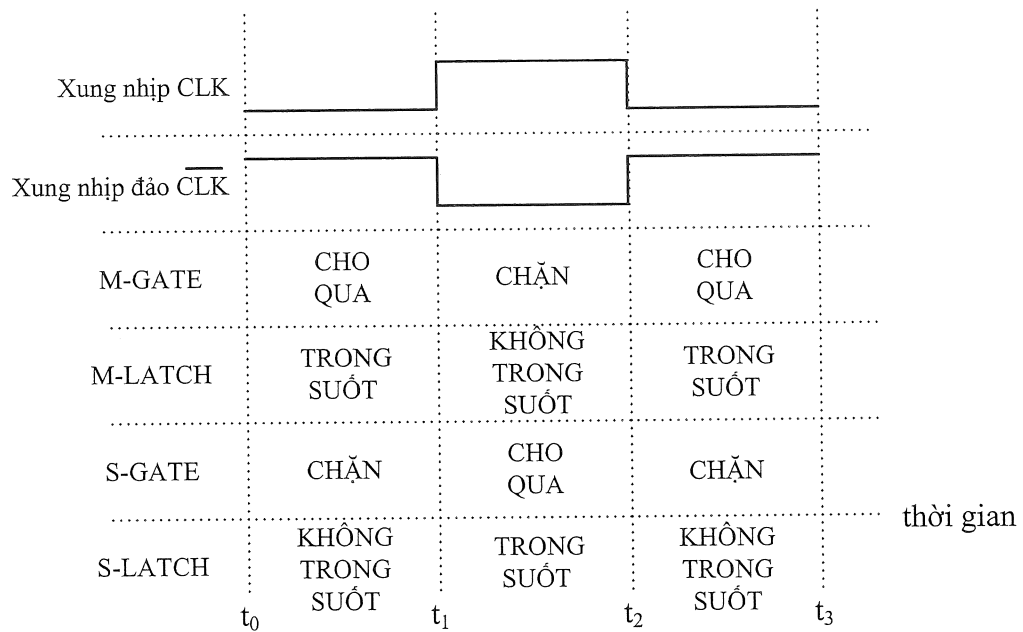


Fig.1B

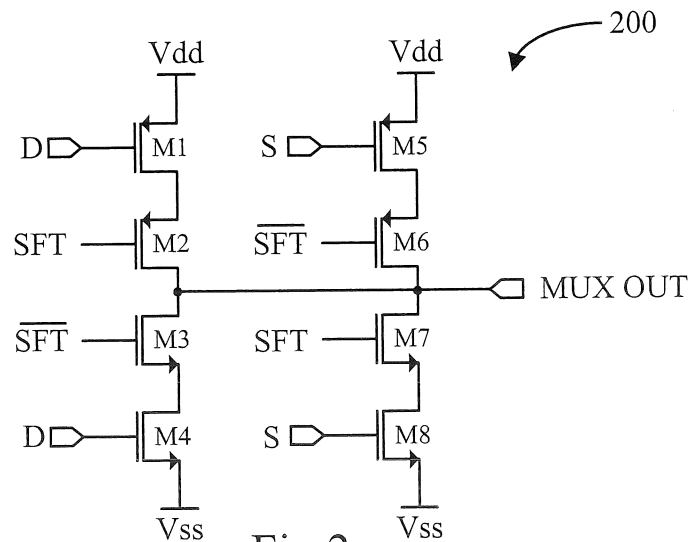


Fig.2

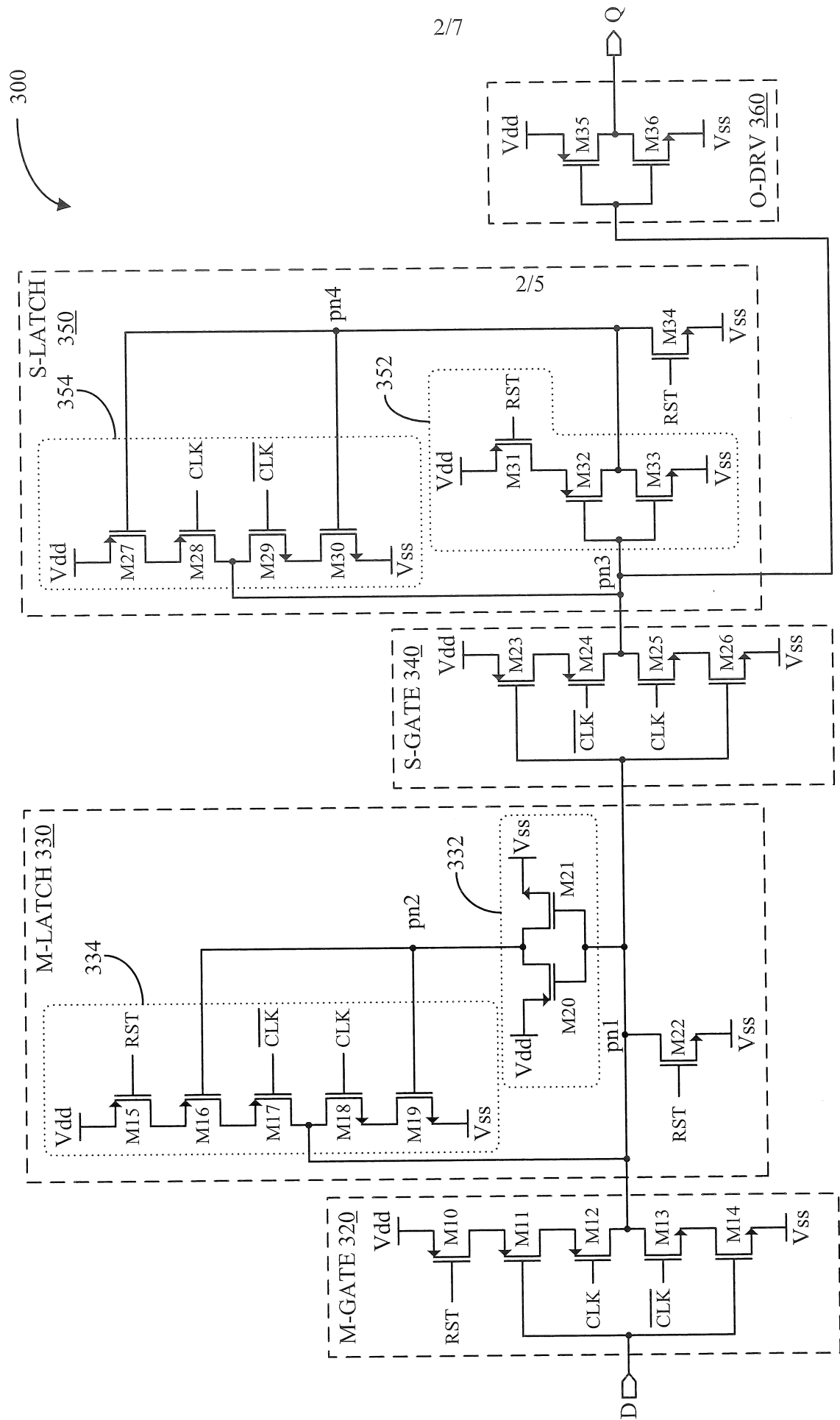


Fig.3

3/7

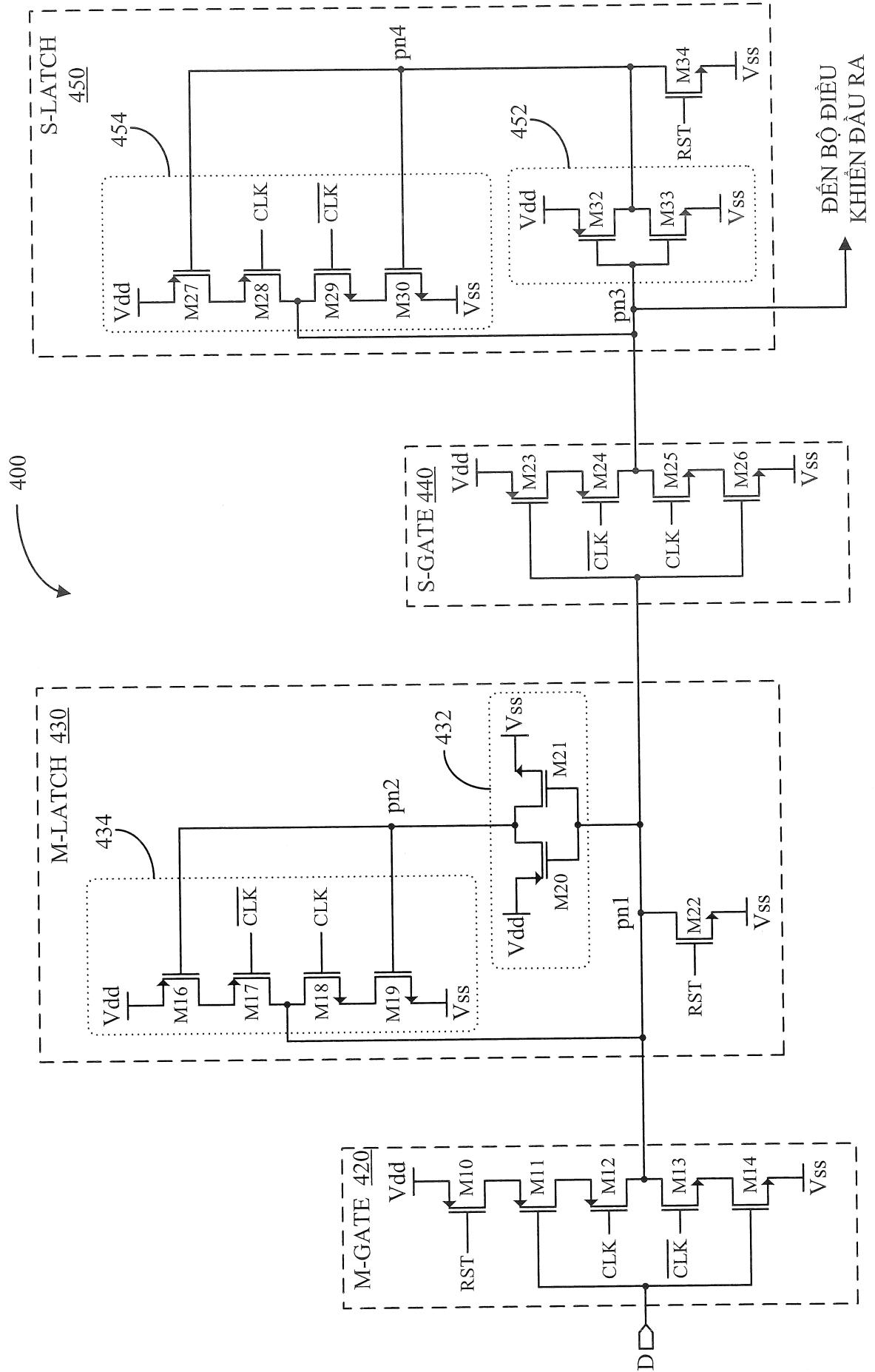


Fig.4

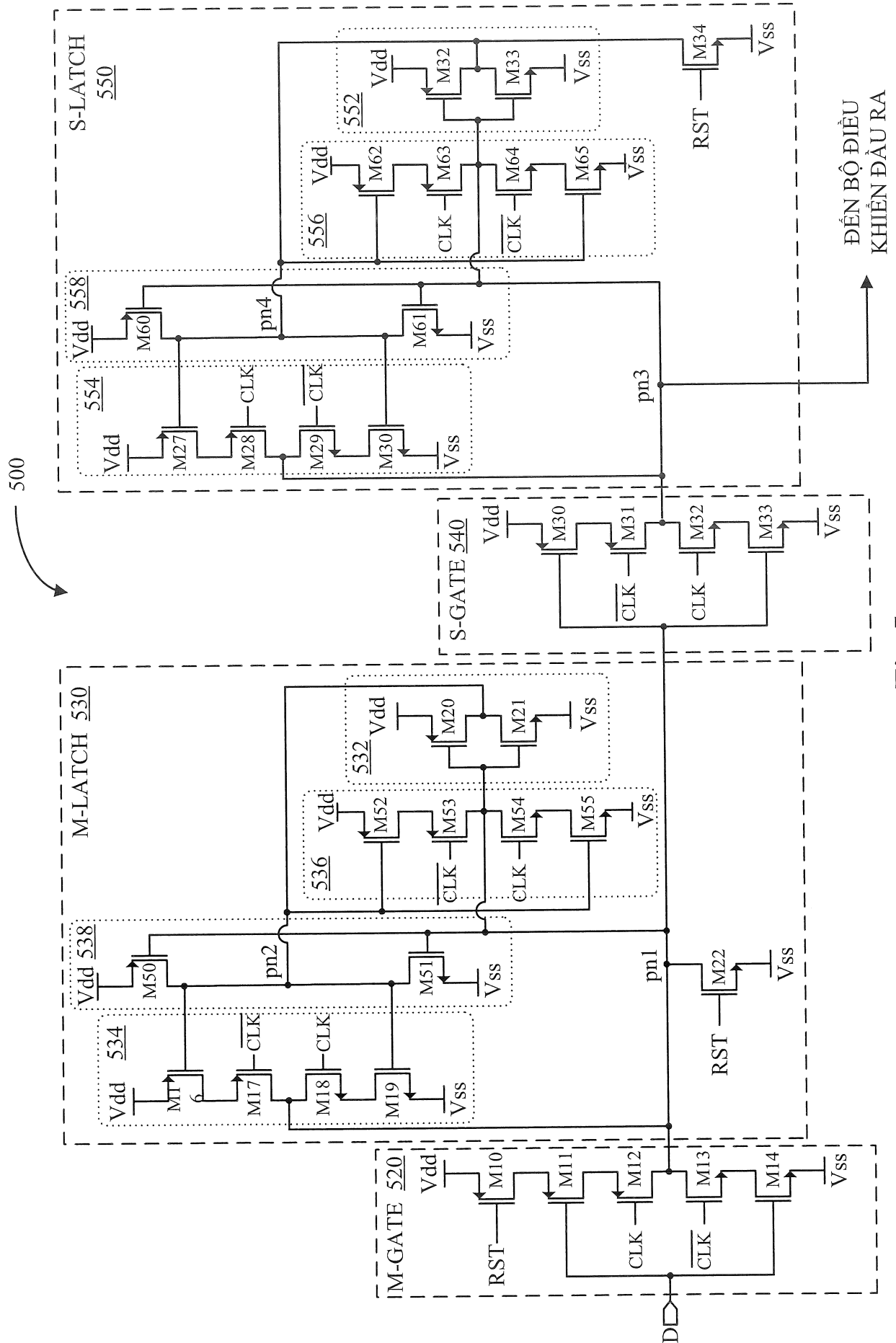
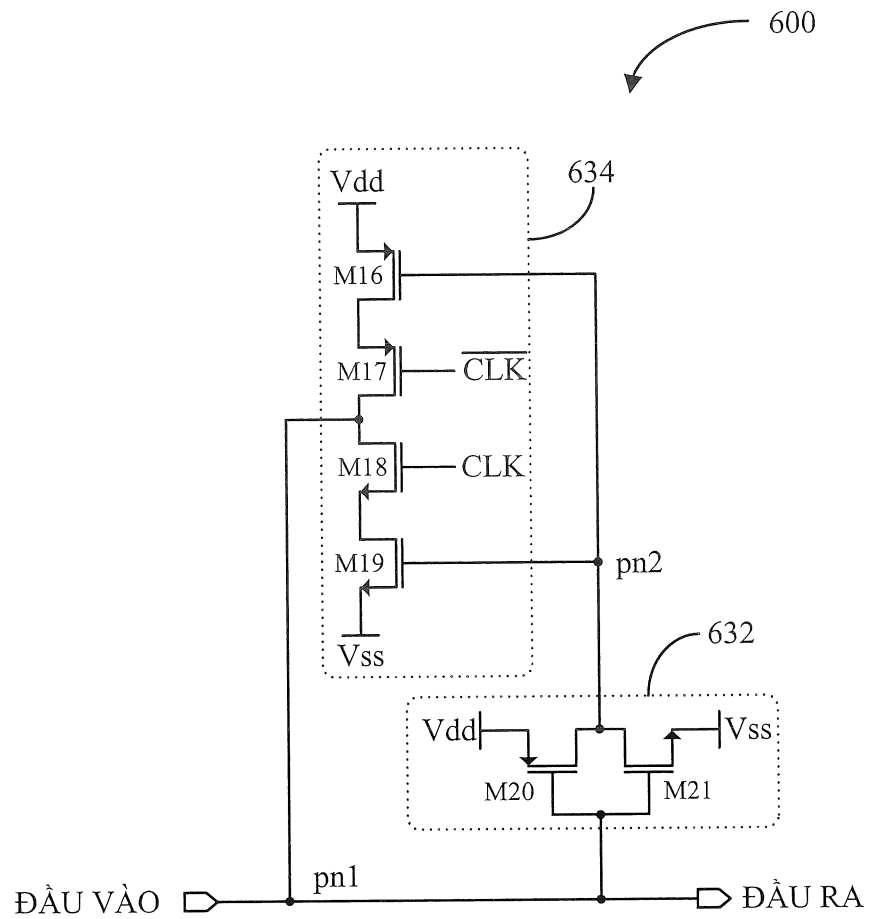


Fig. 5

5/7

**Fig.6**

6/7

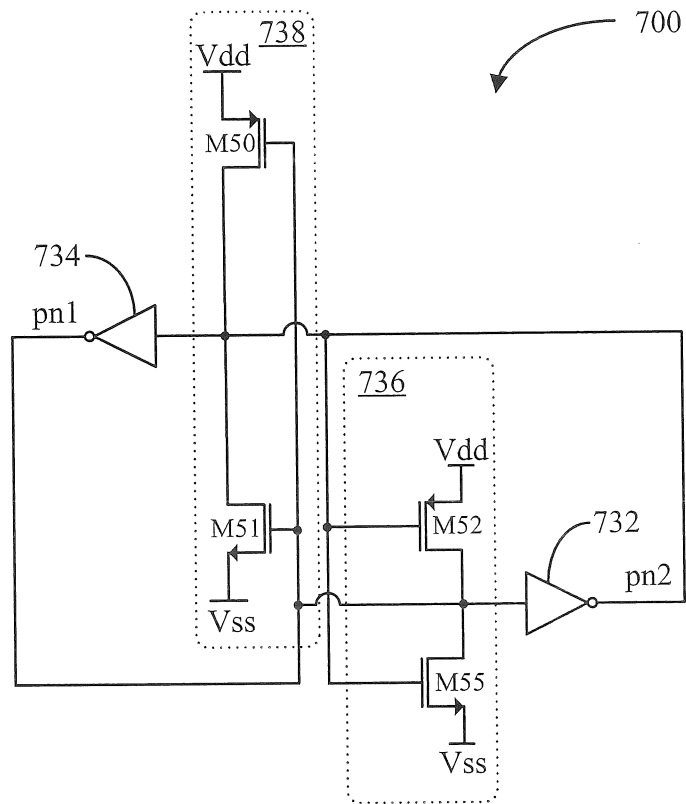


Fig.7

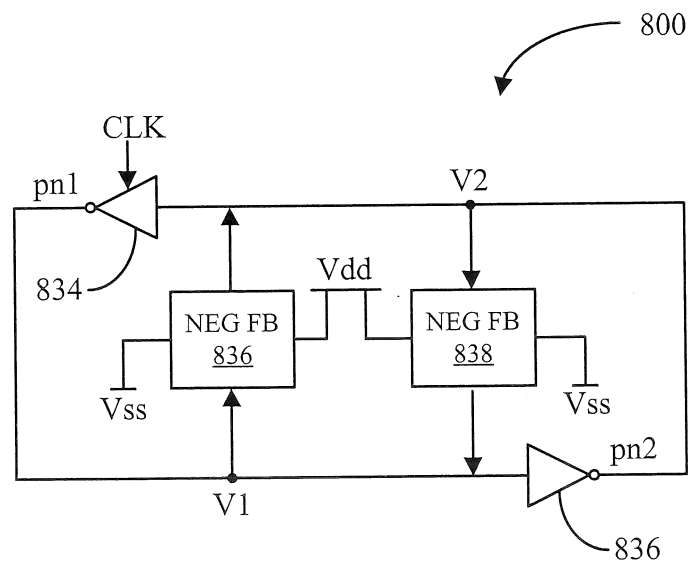


Fig.8

7/7

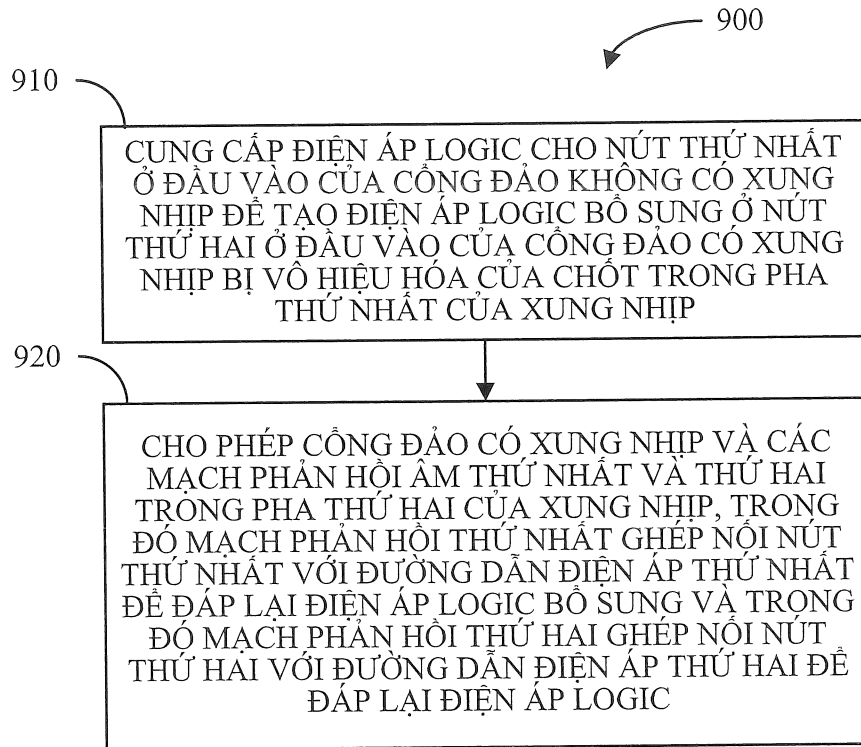


Fig.9

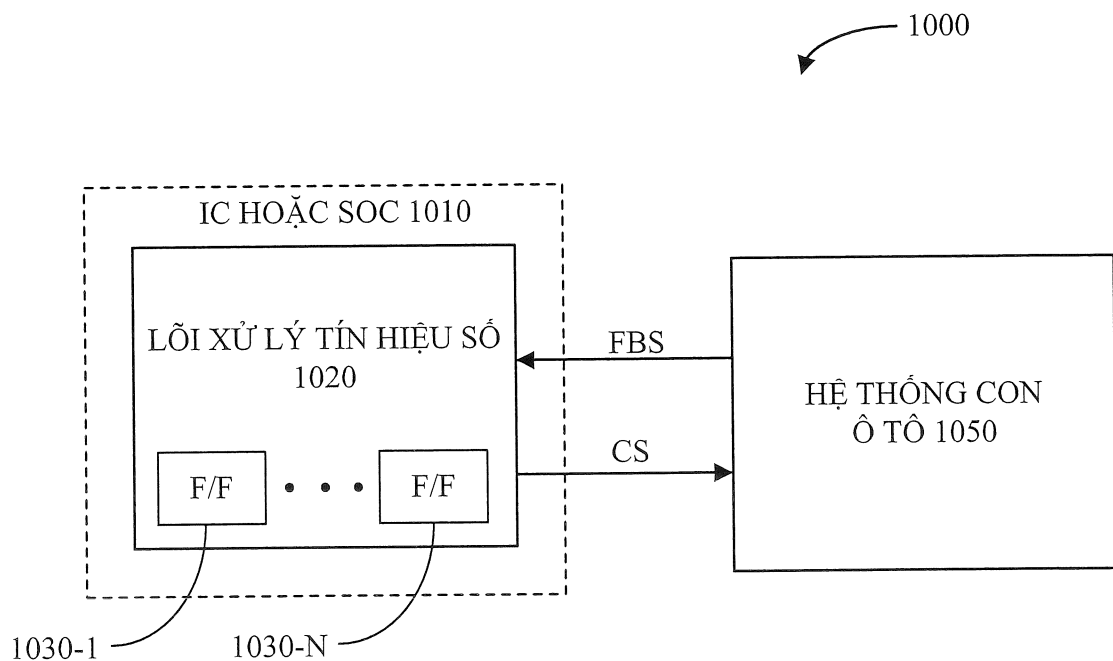


Fig.10