



- (12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ
(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN) (11) 
CỤC SỞ HỮU TRÍ TUỆ 1-0053812
(51)^{2022.01} **G06F 30/392**; G06F 30/394; G06F (13) **B**
115/02; G06F 115/08
-

- (21) 1-2023-02565 (22) 14/09/2021
(86) PCT/US2021/050186 14/09/2021 (87) WO 2022/093412 A1 05/05/2022
(30) 17/079,727 26/10/2020 US
(45) 25/11/2025 452 (43) 25/07/2023 424A
(73) QUALCOMM INCORPORATED (US)
ATTN: International IP Administration, 5775 Morehouse Drive, San Diego, CA
92121-1714, United States of America
(72) LAKSHMIPATHI, Vinod Kumar (IN); SANAKA, Venugopal (US);
SURIAMOORTHY, Babu (IN); KRISHNAPPA, Madan (US); PATIBANDA, Pavan
Kumar (IN).
(74) Công ty TNHH Quốc tế D & N (D&N INTERNATIONAL CO.,LTD.)
-

- (54) MẠCH TÍCH HỢP, PHƯƠNG PHÁP THIẾT KẾ MẠCH TÍCH HỢP VÀ THIẾT BỊ
ĐIỆN TOÁN

(21) 1-2023-02565

(57) Sáng chế đề cập đến các phương án khác nhau có thể bao gồm các mạch tích hợp (IC) và các phương pháp thiết kế mạch tích hợp (IC), như hệ thống trên chip (system-on-chip - SOC). Các phương án bao gồm các phương pháp lập kế hoạch và sản xuất các IC không có các kênh truyền thông, còn được gọi là các IC không kênh. Các phương án có thể bao gồm các macro cứng dạng lớp chồng hỗ trợ thiết kế truyền thông và định tuyến không có các kênh truyền thông dành riêng cần thiết giữa các macro cứng chức năng, như các lõi của SOC. Các phương án khác nhau có thể bao gồm IC trong đó một hoặc nhiều macro cứng liên kết và các dây dẫn kết nối macro cứng chức năng thứ nhất, macro cứng chức năng thứ hai và một hoặc nhiều macro cứng liên kết nằm trong macro cứng chức năng thứ ba. Trong một số phương án, không có kênh truyền thông nào có thể hiện diện giữa macro cứng chức năng thứ nhất, macro cứng chức năng thứ hai và macro cứng chức năng thứ ba. Ngoài ra, sáng chế cũng đề cập đến thiết bị điện toán và phương tiện bất biến có thể đọc được bằng bộ xử lý.

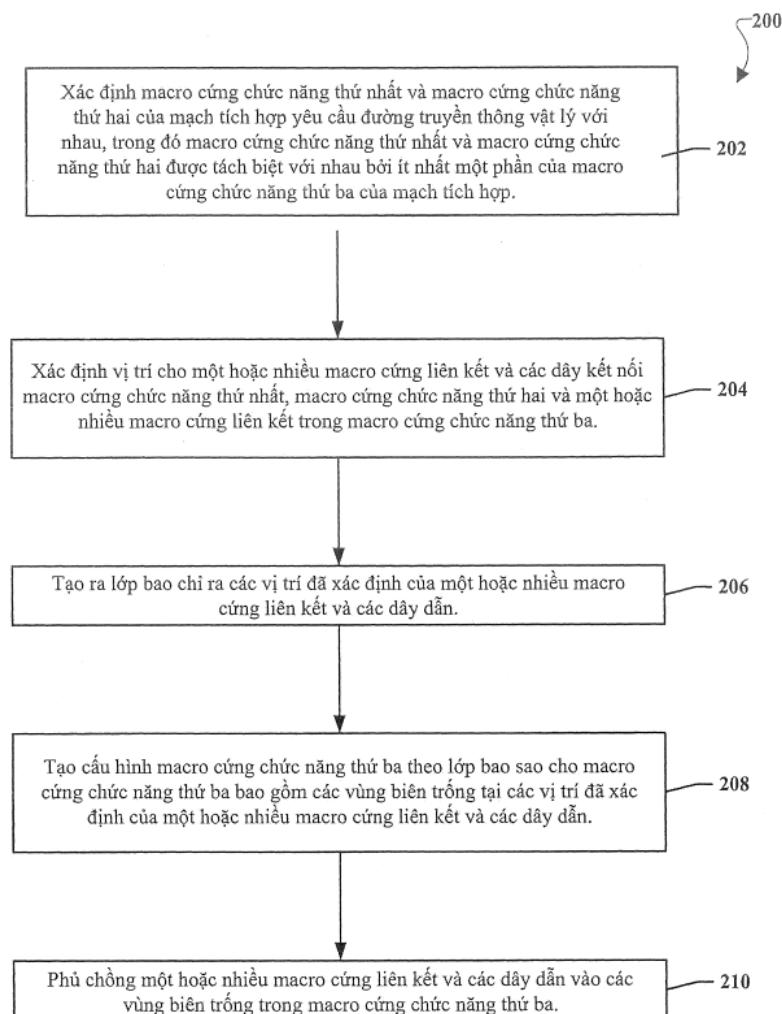


Fig. 2

Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập đến lập kế hoạch mặt bằng không kênh trong các mạch tích hợp, cụ thể là mạch tích hợp, phương pháp thiết kế mạch tích hợp và thiết bị điện toán.

Tình trạng kỹ thuật của sáng chế

Các mạch tích hợp (integrated circuit - IC) mới đang được phát triển cho các trường hợp sử dụng mở rộng, như các thiết bị di động, Internet vạn vật (Internet-of-Thing - IoT), các thiết bị đeo được và các thiết bị dạng yếu tố nhỏ khác. Với các trường hợp sử dụng mở rộng và các bộ tính năng ngày càng tăng được liên kết với các IC, độ phức tạp của thiết kế không ngừng tăng lên.

Bản chất kỹ thuật của sáng chế

Các khía cạnh khác nhau bao gồm các mạch tích hợp (ICs) và các phương pháp thiết kế mạch tích hợp (IC), như hệ thống trên chip (system-on-chip - SOC). Các khía cạnh khác nhau bao gồm các IC không có kênh truyền thông hoặc liên kết và các phương pháp lập kế hoạch và sản xuất các IC không có các kênh truyền thông, còn được gọi là các IC không kênh. Các khía cạnh khác nhau bao gồm các macro cứng dạng lớp chồng hỗ trợ thiết kế truyền thông và định tuyến mà không có các kênh truyền thông dành riêng cần thiết giữa các macro cứng chức năng, như các lõi của SOC.

Các khía cạnh khác nhau có thể bao gồm mạch tích hợp gồm có macro cứng chức năng thứ nhất, macro cứng chức năng thứ hai, macro cứng chức năng thứ ba, một hoặc nhiều macro cứng liên kết, một hoặc nhiều macro cứng liên kết nằm trong macro cứng chức năng thứ ba và các dây dẫn kết nối macro cứng chức năng thứ nhất, macro cứng chức năng thứ hai và một hoặc nhiều macro cứng liên kết. Theo một số khía cạnh, macro cứng chức năng thứ nhất có thể ghép nối điện tử với macro cứng chức năng thứ hai thông qua một hoặc nhiều macro cứng liên kết và các dây dẫn. Theo một số khía cạnh, các mặt của macro cứng chức năng thứ nhất và các mặt của macro cứng chức năng thứ hai có thể không tiếp giáp nhau. Theo một số khía cạnh, macro cứng chức năng thứ nhất và macro cứng chức năng thứ hai có thể tiếp giáp với các mặt khác nhau của macro cứng

chức năng thứ ba. Theo một số khía cạnh, không có kênh truyền thông nào có thể hiện diện giữa macro cứng chức năng thứ nhất, macro cứng chức năng thứ hai và macro cứng chức năng thứ ba. Theo một số khía cạnh, macro cứng chức năng thứ ba có thể hoàn toàn bao quanh mỗi một hoặc nhiều macro cứng liên kết. Theo một số khía cạnh, một hoặc nhiều macro cứng liên kết có thể bao gồm các macro cứng đường ống truyền thông. Theo một số khía cạnh, mạch tích hợp có thể là SOC và macro cứng chức năng thứ nhất, macro cứng chức năng thứ hai và macro cứng chức năng thứ ba lần lượt có thể là lõi thứ nhất, lõi thứ hai và lõi thứ ba.

Các khía cạnh khác nhau có thể bao gồm phương pháp thiết kế mạch tích hợp, bao gồm các bước: xác định macro cứng chức năng thứ nhất và macro cứng chức năng thứ hai của mạch tích hợp yêu cầu đường truyền thông vật lý với nhau, trong đó macro cứng chức năng thứ nhất và macro cứng chức năng thứ hai được tách biệt với nhau bởi ít nhất một phần của macro cứng chức năng thứ ba của mạch tích hợp, xác định các vị trí cho một hoặc nhiều macro cứng liên kết và các dây dẫn kết nối macro cứng chức năng thứ nhất, macro cứng chức năng thứ hai và một hoặc nhiều macro cứng liên kết trong macro cứng chức năng thứ ba, tạo ra lớp bao cho biết các vị trí đã xác định của một hoặc nhiều macro cứng liên kết và các dây dẫn, tạo cấu hình macro cứng chức năng thứ ba theo lớp bao sao cho macro cứng chức năng thứ ba sao cho macro cứng chức năng thứ ba bao gồm các vùng biên trống tại các vị trí đã xác định của một hoặc nhiều macros cứng liên kết và các dây dẫn. Các khía cạnh khác nhau có thể bao gồm phủ chồng một hoặc nhiều macro cứng liên kết và các dây dẫn vào các vùng biên trống trong macro cứng chức năng thứ ba. Trong một số khía cạnh, các dây dẫn có thể kéo dài ra bên ngoài các vùng biên trống trong macro cứng chức năng thứ ba. Trong một số khía cạnh, macro cứng chức năng thứ nhất, macro cứng chức năng thứ hai và macro cứng chức năng thứ ba có thể được tạo cấu hình sao cho không có kênh truyền thông nào hiện diện giữa macro cứng chức năng thứ nhất, macro cứng chức năng thứ hai và macro cứng chức năng thứ ba. Trong một số khía cạnh, một hoặc nhiều macro cứng liên kết có thể là các macro cứng đường ống truyền thông. Trong một số khía cạnh, mạch tích hợp có thể là SOC và macro cứng chức năng thứ nhất, macro cứng chức năng thứ hai và macro cứng chức năng thứ ba lần lượt có thể là lõi thứ nhất, lõi thứ hai và lõi thứ ba.

Các khía cạnh khác bao gồm thiết bị điện toán có bộ xử lý được tạo cấu hình để thực hiện các hoạt động của bất kỳ phương pháp nào được tóm tắt ở trên. Các khía cạnh khác bao gồm thiết bị điện toán có phương tiện để thực hiện các chức năng của bất kỳ phương pháp nào được tóm tắt ở trên. Các khía cạnh khác có thể bao gồm phương tiện lưu trữ bất biến có thể đọc bởi bộ xử lý lưu trữ trên đó các lệnh có thể thực thi được bằng bộ xử lý được tạo cấu hình để khiến cho bộ xử lý của thiết bị điện toán thực hiện các hoạt động của bất kỳ phương pháp nào được tóm tắt ở trên.

Mô tả vắn tắt các hình vẽ

Các hình vẽ kèm theo, được kết hợp ở đây và tạo ra một phần của bản mô tả này, minh họa các phương án ví dụ, và cùng với phần mô tả chung nêu trên và phần mô tả chi tiết dưới đây, phục vụ để giải thích các tính năng của các phương án khác nhau.

Fig.1 là sơ đồ khối thành phần minh họa “hệ thống trên chip” (SOC) ví dụ bao gồm kênh truyền thông.

Fig.2 là sơ đồ dòng quá trình minh họa phương pháp theo sáng chế để thiết kế mạch tích hợp.

Fig.3A là một sơ đồ khối phân cấp của các bộ phận cấu thành của lớp bao theo các phương án khác nhau.

Fig.3B là sơ đồ khối của lớp bao bọc của Fig.3A theo các phương án khác nhau.

Fig.4 là sơ đồ khối thành phần minh họa ví dụ về SOC theo các phương án khác nhau có các macro cứng liên kết nằm trong lõi của SOC.

Fig.5 là sơ đồ khối thành phần của thiết bị điện toán phù hợp với việc sử dụng với các phương án khác nhau.

Fig.6 là sơ đồ khối thành phần minh họa thiết bị điện toán ví dụ phù hợp để sử dụng với nhiều phương án khác nhau.

Fig.7 là sơ đồ khối thành phần minh họa thiết bị điện toán ví dụ phù hợp để sử dụng với nhiều phương án khác nhau.

Mô tả chi tiết sáng chế

Các phương án khác nhau sẽ được mô tả chi tiết với sự tham chiếu đến hình vẽ đính kèm. Bất cứ khi nào có thể, các số tham chiếu giống nhau sẽ được sử dụng trong suốt các bản vẽ để đề cập đến các bộ phận giống nhau hoặc tương tự. Các tham chiếu

được đề cập tới các ví dụ và phương án cụ thể nhằm mục đích minh họa và không nhằm mục đích giới hạn phạm vi của các phương án hoặc yêu cầu bảo hộ khác nhau.

Các kênh truyền thông trên các IC thông thường chiếm 2-3% diện tích khuôn đối với các IC thông thường thể hiện sự gia tăng tỷ lệ thuận về chi phí diện tích khuôn. Các chi phí diện tích khuôn đóng góp vào các chi phí thiết bị mạch tích hợp chuyên dụng (application-specific integrated circuit - ASIC). Khi kích thước khuôn của các IC thông thường tăng lên cùng với sự ra đời của các tập hợp đặc điểm mới, tác động chi phí của các kênh truyền thông lên chi phí thiết bị ASIC cũng tăng lên. Các hạn chế về miền nguồn và các mục tiêu hiệu năng, sức mạnh, diện tích (power performance area - PPA) chủ động cho các IC thông thường đã hạn chế việc tiết kiệm chi phí và giảm chi phí thiết bị ASIC trong thiết kế kênh truyền thông cho các IC thông thường.

Các phương án khác nhau bao gồm các mạch tích hợp (IC) và các phương pháp thiết kế mạch tích hợp (IC), như hệ thống trên chip (system-on-chip - SOC). Các phương án bao gồm các phương pháp lập kế hoạch và sản xuất các IC không có các kênh truyền thông, còn được gọi là các IC không kênh. Các phương án có thể bao gồm các macro cứng dạng lớp chồng hỗ trợ thiết kế truyền thông và định tuyến không có các kênh truyền thông dành riêng cần thiết giữa các macro cứng chức năng, như các lõi của SOC. Các IC theo phương án được thiết kế không có kênh truyền thông dành riêng giữa các macro cứng chức năng, như các SOC được thiết kế không có các kênh truyền thông dành riêng giữa các lõi, có thể bao gồm các diện tích khuôn nhỏ hơn so với các IC được thiết kế thông thường. Việc giảm diện tích khuôn của các IC có thể giảm sự tiêu thụ điện năng so với các IC thông thường. Ngoài ra, việc giảm diện tích khuôn so với các IC thông thường, như khoảng 1-2%, có thể giảm các chi phí thiết bị ASIC. Diện tích khuôn giảm và sự giảm công suất liên quan cũng như giảm các chi phí thiết bị ASIC thể hiện những cải tiến trong thiết kế IC được thực hiện bằng các phương án khác so với thiết kế IC thông thường.

Thuật ngữ “Thiết bị điện toán” được sử dụng ở đây để đề cập đến bất kỳ một hoặc tất cả các điện thoại di động, điện thoại thông minh, thiết bị máy tính xách tay, máy nghe nhạc đa phương tiện cá nhân hoặc di động, máy tính xách tay, máy tính bảng, sách thông minh, ultrabook, máy tính cảm tay, máy nhận thư điện tử, điện thoại di động hỗ trợ Internet đa phương tiện, máy chủ, thiết bị định tuyến có dây hoặc không dây, thiết

bị gia dụng, thiết bị và phương tiện y tế, cảm biến/thiết bị sinh trắc học, thiết bị đeo được bao gồm các đồng hồ thông minh, quần áo thông minh, kính thông minh, dây đeo cổ tay thông minh, trang sức thông minh (ví dụ, các nhẫn thông minh, vòng đeo tay thông minh, v.v.), thiết bị giải trí (ví dụ, các bộ điều khiển trò chơi có dây hoặc không dây, máy nghe nhạc và video, đài vệ tinh, v.v.), thiết bị Internet vạn vật (IoT) hỗ trợ mạng có dây hoặc không dây bao gồm các đồng hồ đo/cảm biến thông minh, thiết bị sản xuất công nghiệp, máy móc và thiết bị lớn và nhỏ dùng cho gia đình hoặc doanh nghiệp, các phân tử truyền thông không dây trong ô tô tự động và bán tự động, thiết bị không dây được gắn vào hoặc tích hợp vào các nền tảng di động khác nhau, thiết bị hệ thống định vị toàn cầu và thiết bị điện tử tương tự mà bao gồm bộ nhớ và bộ xử lý có thể lập trình.

Thuật ngữ “hệ thống trên chip” (SOC), đôi khi còn được gọi là “hệ thống trên một chip”, được sử dụng ở đây để đề cập đến chip mạch tích hợp (IC) duy nhất chứa nhiều tài nguyên hoặc bộ xử lý được tích hợp trên một đế duy nhất. SOC duy nhất có thể chứa hệ mạch cho các chức năng số, tương tự, tín hiệu hỗn hợp và tần số vô tuyến. SOC duy nhất cũng có thể bao gồm bất kỳ số lượng bộ xử lý chuyên dụng hoặc đa dụng nào (các bộ xử lý tín hiệu số, bộ xử lý modem, bộ xử lý video, v.v.), các khối bộ nhớ (như ROM, RAM, Flash, v.v.) và các tài nguyên (như các bộ định thời, bộ điều chỉnh điện áp, bộ tạo dao động, v.v.). Các SOC cũng có thể bao gồm phần mềm để kiểm soát các tài nguyên và bộ xử lý được tích hợp, cũng như để kiểm soát các thiết bị ngoại vi.

Thuật ngữ “hệ thống trong gói” (system-in-a-package - SIP) được sử dụng ở đây để đề cập đến môđun hoặc gói duy nhất chứa nhiều tài nguyên, thiết bị tính toán, lõi hoặc bộ xử lý trên hai hoặc nhiều chip IC, đế hoặc SOC. Ví dụ, SIP có thể bao gồm đế duy nhất trên đó nhiều chip IC hoặc khuôn bán dẫn được chồng lên nhau theo cấu hình thẳng đứng. Tương tự, SIP có thể bao gồm một hoặc nhiều môđun đa chip (multi-chip module - MCM) trên đó nhiều IC hoặc khuôn bán dẫn được đóng gói thành đế thống nhất. SIP cũng có thể bao gồm nhiều SOC độc lập được ghép nối với nhau thông qua hệ mạch truyền thông tốc độ cao và được đóng gói gần nhau, như trên bo mạch chủ duy nhất hoặc trong thiết bị không dây. Sự gần nhau của các SOC tạo điều kiện cho các truyền thông tốc độ cao và việc chia sẻ bộ nhớ và các tài nguyên.

Thuật ngữ “macro cứng” (hard macro - HM), được sử dụng ở đây để đề cập đến thiết kế phần cứng của các thành phần của chức năng logic trên IC, như SOC, xác định

cách các thành phần bên trong chức năng logic được kết nối với nhau và các đường dẫn vật lý và việc nối điện giữa các thành phần đó. Các thành phần của các macro cứng được hình thành từ các phần tử mạch, như các bóng bán dẫn, điện trở, tụ điện, cuộn cảm, v.v. Các thành phần đó của các macro cứng có thể được tùy ý kết nối trực tiếp với nhau và/hoặc kết nối bằng các dây dẫn. Các macro cứng có thể chỉ định kiểu nối dây cố định và không thể sửa đổi được sau khi thiết kế. Các macro cứng có thể có các hình dạng vật lý cố định. Ví dụ về các macro cứng bao gồm các macro cứng chức năng và các macro cứng liên kết. Thuật ngữ “macro cứng chức năng” được sử dụng ở đây để đề cập đến macro cứng bao gồm một hoặc nhiều thành phần và tùy chọn nối điện giữa chúng, dành riêng cho các hoạt động chức năng IC cụ thể, như các lõi của SOC (ví dụ, lõi đa phương tiện, lõi bộ xử lý trung tâm (central processing unit - CPU), lõi cơ sở hạ tầng nguồn, lõi bộ nhớ (ví dụ, bộ nhớ tốc độ dữ liệu kép (double data rate - DDR), lõi modem, lõi bộ xử lý đồ họa (graphics processing unit - GPU), lõi Bộ xử lý tín hiệu thần kinh (Neural Signal Processor - NSP), lõi kết nối giao diện (ví dụ, các lõi kết nối thành phần ngoại vi tốc độ cao (peripheral component interconnect express - PCIe), v.v.)). Thuật ngữ “macro cứng liên kết” được sử dụng ở đây để đề cập đến macro cứng bao gồm một hoặc nhiều thành phần và tùy chọn nối điện giữa chúng, dành riêng cho các truyền thông và định tuyến giữa các macro cứng khác, như các macro cứng đường ống truyền thông, v.v. Các macro cứng, như các macro cứng chức năng, các macro cứng liên kết, v.v., khác với các dây dẫn (hoặc việc nối điện) như được thảo luận ở đây. Các dây dẫn (hoặc việc nối điện) như được thảo luận ở đây đề cập đến các cấu trúc dẫn điện, thường được tạo thành từ kim loại, được tạo thành mà không có các phần tử mạch trong đó.

Trong thiết kế IC thông thường, như thiết kế SOC thông thường, các macro cứng chức năng, như các lõi của SOC, được phát triển độc lập và được chia sẻ trên nhiều dự án. Vì các IC, như các SOC, thường yêu cầu sự truyền thông giữa các macro cứng chức năng, các kênh truyền thông được dành riêng trong thiết kế vật lý IC thông thường cho cách sắp xếp đường ống xử lý và định tuyến. Các kênh truyền thông dành riêng trong các IC thông thường chạy giữa các macro cứng chức năng khác nhau, như giữa các lõi của SOC và có thể tách biệt các macro cứng chức năng với nhau về mặt vật lý. Trong các IC thông thường, các macro cứng chức năng được tách biệt với nhau về mặt vật lý và logic bằng các kênh truyền thông và các macro cứng chức năng khác nhau, như các

lõi SOC khác nhau, thường hoạt động trong các miền điện áp khác nhau. Vì khoảng cách giữa các macro cứng chức năng với nhau có thể thay đổi trong các giai đoạn thiết kế của IC thông thường, việc thiết kế các kênh truyền thông và các thay đổi về xung nhịp và đường ống xử lý thích hợp trên IC thông thường đặt ra những thách thức đáng kể trong thiết kế IC.

Các phương án khác nhau bao gồm các phương pháp để lập kế hoạch và sản xuất các IC không có các kênh truyền thông, còn được gọi là các IC không kênh. Các phương án có thể bao gồm các macro cứng dạng lớp chồng hỗ trợ thiết kế truyền thông và định tuyến cho các IC. Trong các phương án khác nhau, lớp bổ sung của các macro cứng cho IC, như lớp bổ sung của các macro cứng liên kết, có thể được tạo ra để hỗ trợ việc sắp xếp định tuyến và đường ống xử lý trong macro cứng chức năng, như trong lõi của SOC.

Các phương án khác nhau có thể bao gồm việc tạo ra lớp bao, như lớp bao cấp thiết kế (design level - DL) một (design level one - DL1), biểu thị các vị trí của một hoặc nhiều macro cứng liên kết và các dây dẫn trong macro cứng chức năng. Trong các phương án khác nhau, lớp bao có thể bao gồm các chỉ báo về các vùng biên trống trong macro cứng chức năng sẽ vẫn mở trong quá trình thiết kế macro cứng chức năng. Các chỉ báo của các vùng biên trống trong macro cứng chức năng có thể là các macro cứng cấp DL hai (DL two - DL2) hoặc các thuộc tính (hoặc ràng buộc) của lớp bao DL1. Lớp bao có thể bao gồm các macro cứng dạng lớp chồng, như các macro cứng liên kết và các dây dẫn. Các macro cứng dạng lớp chồng, như các macro cứng liên kết và các dây dẫn, có thể là các thuộc tính (hoặc ràng buộc) cấp DL2 của lớp bao DL1. Trong các phương án khác nhau, lớp bao có thể được sử dụng trong IC, như SOC, lập kế hoạch macro cứng chức năng. Ví dụ, hình dạng sơ đồ mặt bằng của macro cứng chức năng và việc lập kế hoạch cho việc tạo giếng trong macro cứng chức năng để căn chỉnh với các chỉ báo của các vùng biên trống có thể được thực hiện bằng cách sử dụng lớp bao DL1 theo các phương án khác nhau bao gồm các macro cứng dạng lớp chồng.

Các khía cạnh khác nhau có thể bao gồm các macro cứng dạng lớp chồng hỗ trợ thiết kế truyền thông và định tuyến không có các kênh truyền thông dành riêng cần thiết giữa các macro cứng chức năng, như các lõi của SOC. Các phương án khác nhau có thể cho phép thiết kế của các IC, như các SOC, hỗ trợ các đường truyền thông giữa hai

macro cứng chức năng qua không gian IC được gán cho một hoặc nhiều macro cứng chức năng khác. Bằng cách cho phép các đường truyền thông thông qua các macro cứng chức năng khác, các phương án khác nhau có thể cho phép các IC, như các SOC, được thiết kế mà không có diện tích khuôn riêng (hoặc dành riêng) cho các kênh truyền thông tách biệt với diện tích khuôn riêng (hoặc dành riêng) cho các macro cứng chức năng.

Fig.1 là một sơ đồ khối thành phần minh họa SOC 100 ví dụ bao gồm kênh truyền thông 150. Trong khi đó Fig.1 minh họa một kênh truyền thông 150, có thể có nhiều hơn một kênh truyền thông được bao gồm trong SOC, như SOC 100 và không phải tất cả các kênh truyền thông được bao gồm trong SOC đều có thể được kết nối với nhau. SOC 100 có thể bao gồm một loạt các macro cứng chức năng gồm có lõi đa phương tiện 102, lõi CPU 106, lõi cơ sở hạ tầng điện 112, lõi bộ nhớ, như lõi bộ nhớ tốc độ dữ liệu kép (DDR) 110, lõi modem 114, lõi GPU 116, lõi NSP 108 và lõi PCIE 104. SOC 100 có thể là IC được thiết kế thông thường trong đó diện tích khuôn riêng (hoặc dành riêng) cho kênh truyền thông 150 tách biệt với diện tích khuôn riêng (hoặc dành riêng) cho các macro cứng chức năng, cụ thể là lõi đa phương tiện 102, lõi CPU 106, lõi cơ sở hạ tầng điện 112, lõi bộ nhớ DDR 110, lõi modem 114, lõi GPU 116, lõi NSP 108 và lõi PCIE 104.

Kênh truyền thông 150 có thể được chỉ định và thiết kế để hỗ trợ các macro liên kết và các dây dẫn để kết nối một hoặc nhiều lõi đa phương tiện 102, lõi CPU 106, lõi cơ sở hạ tầng nguồn 112, lõi bộ nhớ DDR 110, lõi modem 114, GPU lõi 116, lõi NSP 108 và lõi PCIE 104. Vì kênh truyền thông 150 tách biệt về mặt vật lý các macro cứng chức năng, như lõi đa phương tiện 102, lõi CPU 106, lõi cơ sở hạ tầng điện 112, lõi bộ nhớ DDR 110, lõi modem 114, lõi GPU 116, lõi NSP 108, và lõi PCIE 104 với nhau, kênh truyền thông 150 bổ sung vào diện tích khuôn tổng thể cần thiết cho SOC 100 ngoài bất kỳ diện tích khuôn nào cần thiết cho chính các macro cứng chức năng.

Fig.2 là sơ đồ dòng quá trình minh họa phương pháp 200 theo phương án để thiết kế mạch tích hợp. Với sự tham chiếu tới các hình vẽ Fig.1 tới Fig.2, theo các phương án khác nhau, các hoạt động của phương pháp 200 có thể được thực hiện bởi bộ xử lý của thiết bị điện toán. Trong các phương án khác nhau, các hoạt động của phương pháp 200 có thể cho phép các IC, như các SOC, được thiết kế mà không có diện tích khuôn riêng (hoặc dành riêng) cho các kênh truyền thông tách biệt với diện tích khuôn riêng (hoặc

dành riêng) cho các macro cứng chức năng. Theo một số phương án, phương pháp 200 có thể được triển khai trên công cụ dựa trên máy tính trong đó bộ xử lý được tạo cấu hình để thực hiện các hoạt động của phương pháp.

Trong khối 202, bộ xử lý có thể xác định macro cứng chức năng thứ nhất và macro cứng chức năng thứ hai của mạch tích hợp yêu cầu đường truyền thông vật lý với nhau, trong đó macro cứng chức năng thứ nhất và macro cứng chức năng thứ hai được tách biệt với nhau bởi ít nhất một phần của macro cứng chức năng thứ ba của mạch tích hợp. Ví dụ, bộ xử lý có thể xác định macro cứng chức năng thứ nhất và macro cứng chức năng thứ hai của mạch tích hợp yêu cầu đường truyền thông vật lý với nhau bằng cách nhận chỉ báo về sự lựa chọn của người dùng thiết bị điện toán đối với macro cứng chức năng thứ nhất, như lõi PCIE của SOC và chỉ báo về việc lựa chọn macro cứng chức năng thứ hai, như lõi bộ nhớ DDR của SOC, mà macro cứng chức năng thứ nhất có thể cần để truyền thông. Macro cứng chức năng thứ nhất, như lõi PCIE, có thể được gán vùng riêng (hoặc dành riêng) thứ nhất trên khuôn cho SOC và macro cứng chức năng thứ hai, như lõi bộ nhớ DDR, có thể được gán vùng riêng (hoặc dành riêng) thứ hai trên khuôn của SOC. Dựa trên bố cục của SOC, macro cứng chức năng thứ ba, như lõi đa phương tiện, có thể được định vị trên khu vực riêng (hoặc dành riêng) thứ ba trên khuôn của SOC sao cho ít nhất một phần của macro cứng chức năng thứ ba tách biệt macro cứng chức năng thứ nhất, như lõi PCIE, với macro cứng chức năng thứ hai, như lõi bộ nhớ DDR.

Trong khối 204, bộ xử lý có thể xác định các vị trí cho một hoặc nhiều macro cứng liên kết và các dây dẫn kết nối macro cứng chức năng thứ nhất, macro cứng chức năng thứ hai và một hoặc nhiều macro cứng liên kết trong macro cứng chức năng thứ ba. Ví dụ, dựa trên các ràng buộc (hoặc các yêu cầu) đối với độ trễ thời gian, mức tiêu thụ điện truyền thông và/hoặc các ngưỡng khoảng cách truyền thông, bộ xử lý có thể xác định các vị trí cho một hoặc nhiều macro cứng liên kết và các dây dẫn để kết nối macro cứng chức năng thứ nhất, như lõi PCIE, với macro cứng chức năng thứ hai, như lõi bộ nhớ DDR. Như ví dụ cụ thể, vị trí của một hoặc nhiều macro cứng đường ống truyền thông có thể được xác định ít nhất một phần dựa trên các ngưỡng độ trễ và yêu cầu về tần suất đối với các truyền thông giữa macro cứng chức năng thứ nhất, như lõi PCIE, với macro cứng chức năng thứ hai, như lõi bộ nhớ DDR. Các vị trí cho một hoặc

nhiều macro cứng liên kết có thể được xác định trong macro cứng chức năng thứ ba sao cho đường ống truyền thông từ macro cứng chức năng thứ nhất, như lõi PCIE, đến macro cứng chức năng thứ hai, như lõi bộ nhớ DDR, có thể vượt qua diện tích khuôn riêng (hoặc dành riêng) đến macro chức năng thứ ba, như lõi đa phương tiện. Các vị trí của một hoặc nhiều macro cứng và các dây dẫn liên kết có thể được xác định sao cho các vị trí của một hoặc nhiều macro cứng liên kết và các dây dẫn có thể hỗ trợ macro cứng chức năng thứ nhất được ghép nối điện tử với macro cứng thứ hai thông qua một hoặc nhiều macro cứng liên kết và các dây dẫn.

Trong khối 206, bộ xử lý có thể tạo ra lớp bao chỉ ra các vị trí đã xác định của một hoặc nhiều macro cứng liên kết và các dây dẫn. Ví dụ, lớp bao được tạo có thể là lớp bao DL1 chỉ ra các vị trí đã xác định của một hoặc nhiều macro cứng liên kết và các dây dẫn trong macro cứng chức năng thứ ba, như lõi đa phương tiện. Lớp bao DL1 có thể bao gồm các chỉ báo về các vùng biên trống trong macro cứng chức năng thứ ba, như lõi đa phương tiện, sẽ vẫn mở trong quá trình thiết kế của macro cứng chức năng thứ ba, như lõi đa phương tiện. Các chỉ báo của các vùng biên trống trong macro cứng chức năng thứ ba, như lõi đa phương tiện, có thể là các macro cứng cấp DL2 hoặc các thuộc tính (hoặc ràng buộc) của lớp bao DL1. Lớp bao DL1 có thể bao gồm các macro cứng dạng lớp chồng, chẳng hạn như các macro cứng liên kết và các dây dẫn để lấp đầy các vùng biên trống như các macro cứng hoặc các thuộc tính (hoặc ràng buộc) cấp DL2.

Trong khối 208, bộ xử lý có thể tạo cấu hình macro cứng chức năng thứ ba theo lớp bao sao cho macro cứng chức năng thứ ba bao gồm các vùng biên trống tại các vị trí đã xác định của một hoặc nhiều macro cứng liên kết và các dây dẫn. Trong các phương án khác nhau, lớp bao có thể được sử dụng trong lập kế hoạch macro cứng chức năng của IC, như SOC. Ví dụ, hình dạng sơ đồ mặt bằng của macro cứng chức năng thứ ba, như lõi đa phương tiện và việc lập kế hoạch cho việc tạo giếng trong macro cứng chức năng thứ ba, như lõi đa phương tiện, để căn chỉnh với các chỉ báo của các vùng biên trống có thể được thực hiện bằng cách sử dụng lớp bao DL1.

Trong khối 210, bộ xử lý có thể phủ chồng một hoặc nhiều macro cứng liên kết và các dây dẫn vào các vùng biên trống trong macro cứng chức năng thứ ba. Theo cách này, thiết kế của IC tổng thể, như IC tổng thể, có thể bao gồm một hoặc nhiều macro cứng liên kết và các dây dẫn bên trong các giếng trong macro cứng chức năng thứ ba,

như lõi đa phương tiện, tương ứng với các vùng biên trống được xác định bởi lớp bao DL1. Ví dụ, các macro cứng liên kết và các dây dẫn có thể lấp đầy các vùng biên trống sao cho macro cứng chức năng thứ nhất có thể được ghép nối điện tử với macro cứng thứ hai thông qua một hoặc nhiều macro cứng liên kết và các dây dẫn. Ngoài việc nằm trong các vùng biên trống, theo các phương án khác nhau, các dây dẫn có thể kéo dài ra bên ngoài các vùng biên trống.

Fig.3A là một sơ đồ khối phân cấp của các bộ phận cấu thành của lớp bao DL1 301 theo các phương án khác nhau. Với sự tham chiếu tới các hình vẽ Fig.1 đến Fig.3A, lớp bao DL1 301 có thể là lớp bao được tạo theo các hoạt động của phương pháp 200 (Fig.2). Lớp bao DL1 301 có thể bao gồm macro cứng DL2 302 gồm có các vùng biên trống 310 và lớp phủ DL2 303 bao gồm các vị trí của các macro cứng liên kết 320 và các dây dẫn 325. Như ví dụ cụ thể, các macro cứng liên kết 320 có thể là các macro cứng đường ống truyền thông.

Fig.3B là sơ đồ khối của lớp bao DL1 301 thể hiện sự căn chỉnh giữa macro cứng DL2 302 và lớp phủ DL2 303 khi lớp phủ DL2 303 được phủ bằng macro cứng DL2 302 trong lớp bao DL1 301. Với sự tham chiếu tới các hình vẽ Fig.1 đến Fig.3B, các vị trí của các macro cứng liên kết 320 và các dây dẫn 325 thẳng hàng với các vùng biên trống 310 sao cho macro cứng DL2 302 hoàn toàn bao quanh các macro cứng liên kết 320. Theo cách này, diện tích khuôn của macro cứng DL2 302 có thể bao gồm bên trong nó các macro cứng liên kết 320.

Fig.4 là sơ đồ khối thành phần minh họa SOC 400 ví dụ theo các phương án khác nhau. Với sự tham chiếu tới các hình vẽ Fig.1 đến Fig.4, SOC 400 có thể bao gồm các macro cứng liên kết 320 nằm trong macro cứng chức năng, như lõi đa phương tiện 402, của SOC 400. SOC 400 có thể bao gồm một loạt các macro cứng chức năng gồm có lõi đa phương tiện 402, lõi CPU 406, lõi cơ sở hạ tầng điện 412, lõi bộ nhớ, như lõi bộ nhớ DDR 110, lõi modem 414, lõi GPU 416, lõi NSP 408 và lõi PCIE 404. SOC 400 có thể là ví dụ về IC được thiết kế theo các hoạt động của phương pháp 200 (Fig.2). Ví dụ, lớp bao DL1 301 có thể được sử dụng để thiết lập đường truyền thông giữa lõi PCIE 404 và lõi bộ nhớ DDR 410 thông qua lõi đa phương tiện 402. Trong các phương án khác nhau, theo lớp bao DL1 301, các macro cứng liên kết 320 có thể nằm trong lõi đa phương tiện 402 và các dây dẫn 325 có thể kết nối lõi PCIE 404, các macro cứng liên kết 320 và lõi

bộ nhớ DDR 410. Theo cách này, lõi PCIE 404 có thể ghép nối điện tử với lõi bộ nhớ DDR 410 thông qua các macro cứng liên kết 320 và các dây dẫn 325.

Như được minh họa trong Fig.4, mặc dù lõi PCIE 404 và lõi bộ nhớ DDR 410 tiếp giáp với các mặt khác nhau của lõi đa phương tiện 402 (ví dụ, mặt phải và mặt dưới theo hướng của Fig.4) và lõi đa phương tiện 402 về mặt vật lý tách biệt lõi PCIE 404 với lõi bộ nhớ DDR 410, không có kênh truyền thông nào giữa lõi đa phương tiện 402, lõi PCIE 404 và lõi bộ nhớ DDR 410 có mặt trong SOC 400. Như được minh họa trong Fig.4, các mặt của lõi PCIE 404 và lõi bộ nhớ DDR 410 không tiếp giáp nhau. Có thể thấy việc thiếu kênh truyền thông trong SOC 400 khi so sánh giữa SOC 100 (Fig.1) bao gồm kênh truyền thông 150 và phương án SOC 400 (Fig.4), là loại không kênh. Không cần kênh truyền thông riêng (hoặc dành riêng) trong phương án SOC 400 tách biệt diện tích khuôn riêng (hoặc dành riêng) với lõi đa phương tiện 402, lõi PCIE 404 và lõi bộ nhớ DDR 410 vì lớp bao DL1 301 có thể cho phép các macro cứng liên kết 320 FIG và các dây dẫn 325 được đặt trong diện tích khuôn riêng (hoặc dành riêng) cho lõi đa phương tiện 402. Theo cách này, lõi PCIE 404 và lõi bộ nhớ DDR 410 có thể truyền thông qua các macro cứng liên kết 320 và các dây dẫn 325 mà không có sự hiện diện của kênh truyền thông riêng (hoặc dành riêng) giữa lõi PCIE 404 và lõi bộ nhớ DDR 410.

Fig.5 là sơ đồ khối thành phần của thiết bị điện toán trong định dạng điện thoại thông minh 500 phù hợp cho việc triển khai một số phương án (bao gồm, nhưng không giới hạn các khía cạnh được mô tả trên đây với sự tham chiếu tới các hình vẽ Fig.2 đến Fig.4). Với sự tham chiếu tới các hình vẽ Fig.1 đến Fig.5, điện thoại thông minh 500 có thể triển khai các hoạt động của phương pháp 200 và/hoặc có thể sử dụng IC, chẳng hạn như SOC 400, được thiết kế theo các phương án khác nhau. Điện thoại thông minh 500 có thể bao gồm SOC thứ nhất 540 (như SOC-CPU) được ghép nối với SOC thứ hai 502 (như SOC có khả năng truy cập 5G). Như một ví dụ cụ thể, SOC 502 có thể là SOC 400. Các SOC thứ nhất 540 và SOC 502 thứ hai có thể được ghép nối với bộ nhớ trong 516, bộ nhớ trong 506, màn hình hiển thị 512 và với loa 514. Ngoài ra, điện thoại thông minh 500 có thể bao gồm ăngten 504 để gửi và nhận bức xạ điện từ có thể được kết nối với liên kết dữ liệu không dây hoặc bộ thu phát điện thoại di động 508 được ghép nối với một hoặc nhiều bộ xử lý trong các SOC thứ nhất 540 hoặc SOC thứ hai 502. Ví dụ,

ăngten 504 có thể được sử dụng để kết nối điện và đưa ra các lệnh truy cập bộ nhớ chế độ cấu hình và nhiệm vụ cho thiết bị bộ nhớ bên ngoài. Các điện thoại thông minh 500 thường cũng bao gồm các nút chọn danh sách hoặc các công tắc đảo điện 520 để nhận các đầu vào người dùng.

Điện thoại thông minh 500 điển hình cũng bao gồm mạch mã hóa/giải mã (encoding/decoding - CODEC) âm thanh 510, mạch này số hóa âm thanh nhận được từ micro thành các gói dữ liệu phù hợp để truyền không dây và giải mã các gói dữ liệu âm thanh nhận được để tạo ra các tín hiệu tương tự được cung cấp cho loa để tạo ra âm thanh. Ngoài ra, một hoặc nhiều bộ xử lý trong các SOC thứ nhất 540 và SOC thứ hai 502, bộ thu phát không dây 508 và CODEC 510 có thể bao gồm mạch bộ xử lý tín hiệu số (digital signal processor - DSP) (không được hiển thị riêng).

Các khía cạnh khác nhau (bao gồm, nhưng không giới hạn ở, các khía cạnh được mô tả ở trên với sự tham chiếu đến các hình vẽ Fig.2 đến Fig.4) có thể được triển khai trong nhiều hệ thống máy tính bao gồm máy tính xách tay 600 ví dụ về hệ thống này được minh họa trên Fig.6. Với sự tham chiếu tới các hình vẽ Fig.1 đến Fig.6, máy tính xách tay 600 có thể triển khai các hoạt động của phương pháp 200 và/hoặc có thể sử dụng IC, như SOC 400, được thiết kế theo các phương án khác nhau. Nhiều máy tính xách tay bao gồm bề mặt cảm ứng bàn di chuột 617 đóng vai trò là thiết bị trở của máy tính và do đó có thể nhận các cử chỉ kéo, cuộn và vuốt tương tự như các cử chỉ được triển khai trên các thiết bị điện toán được trang bị màn hình hiển thị cảm ứng và được mô tả ở trên. Máy tính xách tay 600 thường sẽ bao gồm bộ xử lý 611 được ghép nối với bộ nhớ khả biến 612 và bộ nhớ bất khả biến dung lượng lớn, như ổ đĩa 613 của bộ nhớ chớp. Ngoài ra, máy tính 600 có thể có một hoặc nhiều ăngten 608 để gửi và nhận bức xạ điện từ có thể được kết nối với liên kết dữ liệu không dây và/hoặc bộ thu phát điện thoại di động 616 được ghép nối với bộ xử lý 611. Máy tính 600 cũng có thể bao gồm ổ đĩa mềm 614 và đĩa compact (compact disc - CD) 615 được ghép nối với bộ xử lý 611. Trong cấu hình notebook, vỏ máy tính bao gồm bàn di chuột 617, bàn phím 618 và màn hình hiển thị 619, tất cả đều được ghép nối với bộ xử lý 611. Như một ví dụ cụ thể, bộ xử lý 611 có thể là SOC 400. Các cấu hình khác của thiết bị điện toán có thể bao gồm chuột máy tính hoặc bi xoay được ghép nối với bộ xử lý (ví dụ, thông qua đầu vào bút

nối tiếp đa năng (universal serial bus - USB) như đã biết, cũng có thể được sử dụng cùng với các khía cạnh khác nhau.

Các khía cạnh khác nhau (bao gồm, nhưng không giới hạn ở, các khía cạnh được mô tả ở trên với sự tham chiếu đến các hình vẽ Fig.2 đến Fig.4) cũng có thể được triển khai trong các hệ thống máy tính cố định, như bất kỳ trong số nhiều máy chủ có sẵn trên thị trường, chẳng hạn như máy chủ 700 của Fig.7. Với sự tham chiếu tới các hình vẽ Fig.1 đến Fig.7, máy chủ 700 có thể triển khai các hoạt động của phương pháp 200 và/hoặc có thể sử dụng IC, như SOC 400, được thiết kế theo các phương án khác nhau. Máy chủ 700 như vậy thường bao gồm một hoặc nhiều cụm bộ xử lý 701 được ghép nối với bộ nhớ khả biến 702 và bộ nhớ bất khả biến dung lượng lớn, chẳng hạn như ổ đĩa 704. Như được minh họa trong Fig.7, các cụm bộ xử lý 701 có thể được thêm vào máy chủ 700 bằng cách chèn chúng vào giá của cụm. Như một ví dụ cụ thể, các cụm bộ xử lý 701 có thể là, hoặc có thể bao gồm, SOC 400. Máy chủ 700 cũng có thể bao gồm ổ đĩa mềm, đĩa compact (CD) hoặc đĩa đa năng kỹ thuật số (digital versatile disc - DVD) 706 được ghép nối với các cụm bộ xử lý 701. Máy chủ 700 cũng có thể bao gồm các cổng truy cập mạng 703 được ghép nối với các cụm bộ xử lý 701 để thiết lập các kết nối giao diện mạng với mạng 705, như mạng cục bộ được ghép nối với các máy tính và máy chủ hệ thống phát sóng khác, Internet, mạng điện thoại chuyển mạch công cộng, và/hoặc mạng dữ liệu di động (ví dụ, CDMA, TDMA, GSM, PCS, 3G, 4G, LTE hoặc bất kỳ loại mạng dữ liệu di động nào khác).

Các bộ xử lý 500, bộ xử lý 611, bộ xử lý 701 có thể là bất kỳ bộ vi xử lý, máy vi tính hoặc chip nhiều bộ xử lý có thể lập trình nào hoặc các chip có thể được tạo cấu hình bằng các lệnh có thể thực thi được bằng bộ xử lý để thực hiện nhiều chức năng khác nhau, bao gồm các chức năng theo các phương án khác nhau được mô tả ở đây. Trong một số thiết bị điện toán, nhiều bộ xử lý có thể được lắp đặt, như một bộ xử lý trong SOC 502 dành riêng cho các chức năng truyền thông không dây và một bộ xử lý trong SOC 540 dành riêng để chạy các ứng dụng khác. Thông thường, các ứng dụng phần mềm có thể được lưu trữ trong bộ nhớ trước khi chúng được truy cập và tải vào bộ xử lý. Bộ xử lý có thể bao gồm bộ nhớ trong đủ để lưu trữ các lệnh phần mềm ứng dụng.

Như được sử dụng trong ứng dụng này, các thuật ngữ “thành phần”, “môđun”, “hệ thống” và những thuật ngữ tương tự nhằm bao gồm thực thể liên quan đến máy tính,

như, nhưng không giới hạn ở, phần cứng, firmware, sự kết hợp giữa phần cứng và phần mềm, phần mềm hoặc phần mềm thực thi, được tạo cấu hình để thực hiện các hoạt động hoặc hàm cụ thể. Ví dụ, thành phần có thể là, nhưng không giới hạn ở, quy trình chạy trên bộ xử lý, bộ xử lý, đối tượng, tệp thực thi, luồng thực thi, chương trình hoặc máy tính. Để minh họa, cả ứng dụng chạy trên thiết bị không dây và thiết bị không dây đều có thể được gọi là thành phần. Một hoặc nhiều thành phần có thể nằm trong quy trình hoặc luồng thực thi và thành phần có thể được bản địa hóa trên một bộ xử lý hoặc lõi hoặc được phân phối giữa hai hoặc nhiều bộ xử lý hoặc lõi. Ngoài ra, các thành phần này có thể thực thi từ nhiều phương tiện bất biến có thể đọc được trên máy tính có các lệnh hoặc cấu trúc dữ liệu khác nhau được lưu trữ trên đó. Các thành phần có thể truyền thông bằng cách thức của các quy trình cục bộ hoặc từ xa, các cuộc gọi hàm hoặc quy trình, các tín hiệu điện tử, các gói dữ liệu, các số đọc/ghi bộ nhớ và các phương pháp truyền thông liên quan đến mạng, máy tính, bộ xử lý hoặc các quy trình đã biết khác.

Các phương án khác nhau được minh họa và mô tả chỉ được cung cấp dưới dạng ví dụ để minh họa các đặc điểm khác nhau của các yêu cầu bảo hộ. Tuy nhiên, các tính năng được thể hiện và mô tả liên quan đến bất kỳ phương án cụ thể nào không nhất thiết phải giới hạn ở phương án liên quan và có thể được sử dụng hoặc kết hợp với các phương án khác được thể hiện và mô tả. Ngoài ra, các yêu cầu bảo hộ không nhằm mục đích bị giới hạn bởi bất kỳ một phương án ví dụ nào. Ví dụ, một hoặc nhiều hoạt động của các phương pháp được bộc lộ ở đây có thể được thay thế hoặc kết hợp với một hoặc nhiều hoạt động của các phương pháp được bộc lộ ở đây.

Các ví dụ triển khai được mô tả trong các đoạn sau. Mặc dù một số ví dụ triển khai được mô tả dưới dạng các phương pháp ví dụ, các ví dụ triển khai khác có thể bao gồm: các phương pháp ví dụ được thảo luận trong các đoạn sau đây được triển khai bởi thiết bị điện toán bao gồm bộ xử lý được tạo cấu hình với các lệnh có thể thực thi được bằng bộ xử lý để thực hiện các hoạt động của các phương pháp của ví dụ triển khai; các phương pháp ví dụ được thảo luận trong các đoạn sau đây được triển khai bởi thiết bị điện toán bao gồm phương tiện để thực hiện các chức năng của các phương pháp trong các ví dụ triển khai; và các phương pháp ví dụ được thảo luận trong các đoạn sau đây có thể được triển khai dưới dạng phương tiện lưu trữ có thể đọc được bằng bộ xử lý không tạm thời lưu trữ trên đó các lệnh có thể thực thi được bởi bộ xử lý được tạo cấu

hình để khiến cho bộ xử lý của thiết bị điện toán thực hiện các hoạt động của các phương pháp trong các ví dụ triển khai. Mặc dù một số ví dụ triển khai được mô tả dưới dạng các mạch tích hợp ví dụ, các ví dụ triển khai khác có thể bao gồm các thiết bị gồm có mạch tích hợp của các ví dụ triển khai.

Ví dụ 1: Mạch tích hợp, bao gồm: macro cứng chức năng thứ nhất; macro cứng chức năng thứ hai; macro cứng chức năng thứ ba; một hoặc nhiều macro cứng liên kết, một hoặc nhiều macro cứng liên kết nằm trong macro cứng chức năng thứ ba; và các dây dẫn kết nối macro cứng chức năng thứ nhất, macro cứng chức năng thứ hai và một hoặc nhiều macro cứng liên kết.

Ví dụ 2: Mạch tích hợp theo ví dụ 1, trong đó macro cứng chức năng thứ nhất ghép nối điện tử với macro cứng chức năng thứ hai thông qua một hoặc nhiều macro cứng liên kết và các dây dẫn.

Ví dụ 3: Mạch tích hợp theo bất kỳ ví dụ nào trong số các ví dụ 1 đến ví dụ 2, trong đó các mặt của macro cứng chức năng thứ nhất và các mặt của macro cứng chức năng thứ hai không tiếp giáp nhau.

Ví dụ 4: Mạch tích hợp theo bất kỳ ví dụ nào trong số các ví dụ 1 đến ví dụ 2, trong đó macro cứng chức năng thứ nhất và macro cứng chức năng thứ hai tiếp giáp với các mặt khác nhau của macro cứng chức năng thứ ba.

Ví dụ 5: Mạch tích hợp theo bất kỳ ví dụ nào trong số các ví dụ 1 đến ví dụ 4, trong đó không có kênh truyền thông nào hiện diện giữa macro cứng chức năng thứ nhất, macro cứng chức năng thứ hai và macro cứng chức năng thứ ba.

Ví dụ 6: Mạch tích hợp theo bất kỳ ví dụ nào trong số các ví dụ từ 1 đến ví dụ 5, trong đó macro cứng chức năng thứ ba hoàn toàn bao quanh một hoặc nhiều macro cứng liên kết.

Ví dụ 7: Mạch tích hợp theo bất kỳ ví dụ nào trong số các ví dụ từ 1 đến ví dụ 6, trong đó một hoặc nhiều macro cứng liên kết bao gồm các macro cứng đường ống truyền thông.

Ví dụ 8: Mạch tích hợp theo bất kỳ ví dụ nào trong số các ví dụ từ 1 đến ví dụ 7, trong đó, mạch tích hợp bao gồm hệ thống trên chip (SOC); và macro cứng chức năng thứ nhất, macro cứng chức năng thứ hai và macro cứng chức năng thứ ba lần lượt bao gồm lõi thứ nhất, lõi thứ hai và lõi thứ ba.

Ví dụ 9: Phương pháp để thiết kế mạch tích hợp, gồm các bước: xác định macro cứng chức năng thứ nhất và macro cứng chức năng thứ hai của mạch tích hợp yêu cầu đường truyền thông vật lý với nhau, trong đó macro cứng chức năng thứ nhất và macro cứng chức năng thứ hai được tách biệt với nhau bởi ít nhất một phần của macro cứng chức năng thứ ba của mạch tích hợp; xác định các vị trí cho một hoặc nhiều macro cứng liên kết và các dây dẫn kết nối macro cứng chức năng thứ nhất, macro cứng chức năng thứ hai và một hoặc nhiều macro cứng liên kết trong macro cứng chức năng thứ ba; tạo ra lớp bao chỉ ra các vị trí đã xác định của một hoặc nhiều macro cứng liên kết và các dây dẫn; tạo cấu hình macro cứng chức năng thứ ba theo lớp bao sao cho macro cứng chức năng thứ ba bao gồm các vùng biên trống tại các vị trí đã xác định của một hoặc nhiều macro cứng liên kết và các dây dẫn.

Ví dụ 10: Phương pháp theo ví dụ 9, còn bao gồm phủ chồng một hoặc nhiều macro cứng liên kết và các dây dẫn vào các vùng biên trống trong macro cứng chức năng thứ ba.

Ví dụ 11: Phương pháp theo bất kỳ ví dụ nào trong số các ví dụ 9 đến ví dụ 10, trong đó macro cứng chức năng thứ nhất, macro cứng chức năng thứ hai và macro cứng chức năng thứ ba được tạo cấu hình sao cho không có kênh truyền thông nào hiện diện giữa macro cứng chức năng thứ nhất, macro cứng chức năng thứ hai và macro cứng chức năng thứ ba.

Ví dụ 12: Phương pháp theo bất kỳ ví dụ nào trong số các ví dụ 9 đến 11, trong đó một hoặc nhiều macro cứng liên kết bao gồm các macro cứng đường ống truyền thông.

Ví dụ 13: Phương pháp theo bất kỳ ví dụ nào trong số các ví dụ 9 đến ví dụ 12, trong đó, mạch tích hợp bao gồm hệ thống trên chip (SOC); và macro cứng chức năng thứ nhất, macro cứng chức năng thứ hai và macro cứng chức năng thứ ba lần lượt bao gồm lõi thứ nhất, lõi thứ hai và lõi thứ ba.

Các mô tả phương pháp nêu trên và các sơ đồ dòng quá trình chỉ được cung cấp như là các ví dụ minh họa và không nhằm mục đích yêu cầu hoặc ngụ ý rằng các khối của các phương án khác nhau có thể được thực hiện theo thứ tự được trình bày. Như được đánh giá cao bởi người có hiểu biết trung bình trong lĩnh vực này, thứ tự của các khối trong các phương án nêu trên có thể được thực hiện theo thứ tự bất kỳ. Các từ

như “sau đó”, “khi đó”, “tiếp theo”, v.v. không nhằm giới hạn thứ tự của các khối; những từ này chỉ được sử dụng để hướng dẫn người đọc thông qua mô tả về các phương pháp. Hơn nữa, bất kỳ tham chiếu nào đến các phần tử được yêu cầu bảo hộ ở dạng số ít, ví dụ, sử dụng từ chỉ số lượng là “một” không được hiểu là giới hạn phần tử ở số ít.

Như được sử dụng ở đây, cụm từ đề cập đến “ít nhất một trong số” danh sách các bộ phận đề cập đến bất kỳ sự kết hợp nào của các bộ phận đó, kể cả các bộ phận đơn lẻ. Ví dụ: “ít nhất một trong số: a, b hoặc c” nhằm bao gồm: a, b, c, a-b, a-c, b-c và a-b-c.

Các khối logic, môđun, mạch và khối thuật toán minh họa khác nhau được mô tả liên quan đến các phương án được bộc lộ ở đây có thể được triển khai dưới dạng phần cứng điện tử, phần mềm máy tính hoặc các kết hợp cả hai. Để minh họa rõ ràng khả năng thay thế lẫn nhau này của phần cứng và phần mềm, các bộ phận, khối, môđun, mạch và khối minh họa khác nhau đã được mô tả chung ở trên về chức năng của chúng. Việc chức năng đó được triển khai dưới dạng phần cứng hay phần mềm phụ thuộc vào các ràng buộc thiết kế và ứng dụng cụ thể được áp trên toàn bộ hệ thống. Người có hiểu biết trung bình trong lĩnh vực kỹ thuật này có thể triển khai chức năng được mô tả theo nhiều cách khác nhau cho từng ứng dụng cụ thể, nhưng các quyết định về phương án như vậy không nên được hiểu là gây ra sự sai lệch khỏi phạm vi của các phương án khác nhau.

Thiết bị xử lý dữ liệu và phần cứng được sử dụng để triển khai các logic, khối logic, môđun và mạch minh họa khác nhau được mô tả liên quan đến các khía cạnh được bộc lộ ở đây có thể được triển khai hoặc thực hiện với bộ xử lý đơn hoặc đa chip đa dụng, bộ xử lý tín hiệu số (DSP), mạch tích hợp chuyên dụng (ASIC), mảng cổng lập trình được dạng trường (field programmable gate array - FPGA) hoặc thiết bị logic có thể lập trình khác, logic cổng hoặc bóng bán dẫn rời rạc, các bộ phận phần cứng rời rạc hoặc bất kỳ sự kết hợp nào của bộ phận được thiết kế để thực hiện các chức năng được mô tả ở đây. Bộ xử lý đa năng có thể là bộ vi xử lý hoặc bất kỳ bộ xử lý, bộ điều khiển, bộ vi điều khiển hoặc máy trạng thái thông thường nào. Bộ xử lý cũng có thể được triển khai dưới dạng kết hợp, chẳng hạn như kết hợp giữa DSP và bộ vi xử lý, nhiều bộ vi xử lý, một hoặc nhiều bộ vi xử lý kết hợp với lõi DSP hoặc bất kỳ cấu hình nào khác như vậy. Theo một số phương án, các quy trình và phương pháp cụ thể có thể được thực hiện bằng hệ mạch dành riêng cho chức năng nhất định.

Trong một hoặc nhiều khía cạnh, các hàm được mô tả có thể được triển khai trong phần cứng, hệ mạch điện tử kỹ thuật số, phần mềm máy tính, firmware, bao gồm các cấu trúc được bộc lộ trong bản mô tả này và các cấu trúc tương đương của chúng hoặc trong bất kỳ sự kết hợp nào của chúng. Các phương án của đối tượng được mô tả trong bản mô tả này cũng có thể được triển khai dưới dạng một hoặc nhiều chương trình máy tính, tức là một hoặc nhiều môđun của các lệnh chương trình máy tính, được mã hóa trên phương tiện lưu trữ máy tính để thực thi hoặc để kiểm soát hoạt động của thiết bị xử lý dữ liệu.

Mã chương trình máy tính hoặc “mã chương trình” để thực thi trên bộ xử lý có thể lập trình nhằm thực hiện các hoạt động của các phương án khác nhau có thể được viết bằng các ngôn ngữ lập trình cấp cao như C, C++, C#, Smalltalk, Java, JavaScript, Visual Basic, Ngôn ngữ truy vấn có cấu trúc (ví dụ, Transact-SQL), Perl, hoặc bằng nhiều ngôn ngữ lập trình khác. Mã chương trình hoặc các chương trình được lưu trữ trên phương tiện lưu trữ có thể đọc được trên máy tính như được sử dụng trong ứng dụng này có thể đề cập đến mã ngôn ngữ máy (như mã đối tượng) có định dạng có thể hiểu được bởi bộ xử lý.

Nếu được triển khai trong phần mềm, các hàm có thể được lưu trữ trên hoặc truyền qua như là một hoặc nhiều lệnh hoặc mã trên phương tiện có thể đọc được bằng máy tính. Các quy trình của phương pháp hoặc thuật toán được bộc lộ ở đây có thể được triển khai trong môđun phần mềm có thể thực thi được bằng bộ xử lý có thể nằm trên phương tiện có thể đọc được bằng máy tính. Phương tiện có thể đọc được bằng máy tính bao gồm cả phương tiện lưu trữ máy tính và phương tiện truyền thông bao gồm bất kỳ phương tiện nào có thể được kích hoạt để truyền chương trình máy tính từ nơi này sang nơi khác. Phương tiện lưu trữ có thể là bất kỳ phương tiện có sẵn nào có thể truy cập bởi máy tính. Ví dụ, và không giới hạn, phương tiện có thể đọc được bằng máy tính như vậy có thể bao gồm RAM, ROM, EEPROM, CD-ROM hoặc các thiết bị lưu trữ đĩa quang, lưu trữ đĩa từ tính khác hoặc lưu trữ từ tính khác hoặc bất kỳ phương tiện nào khác có thể được sử dụng để lưu trữ mã chương trình mong muốn dưới dạng các lệnh hoặc cấu trúc dữ liệu và có thể được truy cập bằng máy tính. Ngoài ra, bất kỳ kết nối nào cũng có thể được đặt tên hợp lệ là phương tiện có thể đọc được bằng máy tính. Đĩa từ và đĩa quang như được sử dụng ở đây, bao gồm đĩa compact (CD), đĩa laze, đĩa quang, đĩa đa

năng kỹ thuật số (DVD), ổ đĩa mềm và các đĩa Blu-ray, trong đó ổ đĩa từ tái tạo dữ liệu bằng từ tính, trong khi đĩa quang tái tạo dữ liệu bằng quang học với các laze. Sự kết hợp trên cũng nên được bao gồm trong phạm vi của phương tiện có thể đọc được bằng máy tính. Ngoài ra, các hoạt động của phương pháp hoặc thuật toán có thể nằm dưới dạng một hoặc bất kỳ sự kết hợp hoặc bộ các mã và các lệnh trên phương tiện có thể đọc được bằng máy và phương tiện có thể đọc được bằng máy tính, có thể được tích hợp vào sản phẩm chương trình máy tính.

Những sửa đổi khác nhau đối với các phương án được mô tả trong sáng chế này có thể sẽ rõ ràng đối với người có hiểu biết trung bình trong lĩnh vực này và các nguyên tắc chung được định nghĩa ở đây có thể được áp dụng cho các phương án khác mà không vượt ra khỏi phạm vi của yêu cầu bảo hộ. Do đó, các yêu cầu bảo hộ không nhằm mục đích giới hạn ở các phương án được nêu ở đây, nhưng được dành cho phạm vi rộng nhất phù hợp với sáng chế này, các nguyên tắc và đặc điểm mới được bộc lộ ở đây.

YÊU CẦU BẢO HỘ

1. Mạch tích hợp, bao gồm:

macro cứng chức năng thứ nhất;

macro cứng chức năng thứ hai;

macro cứng chức năng thứ ba;

một hoặc nhiều macro cứng liên kết, một hoặc nhiều macro cứng liên kết này nằm trong macro cứng chức năng thứ ba; và

các dây dẫn kết nối macro cứng chức năng thứ nhất, macro cứng chức năng thứ hai và một hoặc nhiều macro cứng liên kết.

2. Mạch tích hợp theo điểm 1, trong đó macro cứng chức năng thứ nhất ghép nối điện tử với macro cứng chức năng thứ hai thông qua một hoặc nhiều macro cứng liên kết và các dây dẫn.

3. Mạch tích hợp theo điểm 1, trong đó các mặt của macro cứng chức năng thứ nhất và các mặt của macro cứng chức năng thứ hai không tiếp giáp nhau.

4. Mạch tích hợp theo điểm 1, trong đó macro cứng chức năng thứ nhất và macro cứng chức năng thứ hai tiếp giáp với các mặt khác nhau của macro cứng chức năng thứ ba.

5. Mạch tích hợp theo điểm 4, trong đó không có kênh truyền thông nào hiện diện giữa macro cứng chức năng thứ nhất, macro cứng chức năng thứ hai và macro cứng chức năng thứ ba.

6. Mạch tích hợp theo điểm 1, trong đó macro cứng chức năng thứ ba hoàn toàn bao quanh một hoặc nhiều macro cứng liên kết.

7. Mạch tích hợp theo điểm 1, trong đó một hoặc nhiều macro cứng liên kết bao gồm các macro cứng đường ống truyền thông.

8. Mạch tích hợp theo điểm 1, trong đó:

mạch tích hợp bao gồm hệ thống trên chip (SOC); và
macro cứng chức năng thứ nhất, macro cứng chức năng thứ hai và macro cứng chức năng thứ ba lần lượt bao gồm lõi thứ nhất, lõi thứ hai và lõi thứ ba.

9. Phương pháp thiết kế mạch tích hợp, bao gồm các bước:

xác định macro cứng chức năng thứ nhất và macro cứng chức năng thứ hai của mạch tích hợp yêu cầu đường truyền thông vật lý với nhau, trong đó macro cứng chức năng thứ nhất và macro cứng chức năng thứ hai được tách biệt với nhau bởi ít nhất một phần của macro cứng chức năng thứ ba của mạch tích hợp;

xác định các vị trí cho một hoặc nhiều macro cứng liên kết và các dây dẫn kết nối macro cứng chức năng thứ nhất, macro cứng chức năng thứ hai và một hoặc nhiều macro cứng liên kết trong macro cứng chức năng thứ ba;

tạo ra lớp bao chỉ ra các vị trí đã xác định của một hoặc nhiều macro cứng liên kết và các dây dẫn; và

tạo cấu hình macro cứng chức năng thứ ba theo lớp bao sao cho macro cứng chức năng thứ ba bao gồm các vùng biên trống tại các vị trí đã xác định của một hoặc nhiều macro cứng liên kết và các dây dẫn.

10. Phương pháp theo điểm 9, phương pháp này còn bao gồm phủ chồng một hoặc nhiều macro cứng liên kết và các dây dẫn vào các vùng biên trống trong macro cứng chức năng thứ ba.

11. Phương pháp theo điểm 9, trong đó macro cứng chức năng thứ nhất, macro cứng chức năng thứ hai và macro cứng chức năng thứ ba được tạo cấu hình sao cho không có kênh truyền thông nào hiện diện giữa macro cứng chức năng thứ nhất, macro cứng chức năng thứ hai và macro cứng chức năng thứ ba.

12. Phương pháp theo điểm 9, trong đó một hoặc nhiều macro cứng liên kết bao gồm các macro cứng đường ống truyền thông.

13. Phương pháp theo điểm 9, trong đó:

mạch tích hợp bao gồm hệ thống trên chip (SOC); và
macro cứng chức năng thứ nhất, macro cứng chức năng thứ hai và macro cứng chức năng thứ ba lần lượt bao gồm lõi thứ nhất, lõi thứ hai và lõi thứ ba.

14. Thiết bị điện toán, bao gồm:

bộ xử lý được tạo cấu hình với các lệnh có thể thực thi được bằng bộ xử lý để:

xác định macro cứng chức năng thứ nhất và macro cứng chức năng thứ hai của mạch tích hợp yêu cầu đường truyền thông vật lý với nhau, trong đó macro cứng chức năng thứ nhất và macro cứng chức năng thứ hai được tách biệt với nhau bởi ít nhất một phần của macro cứng chức năng thứ ba của mạch tích hợp;

xác định các vị trí cho một hoặc nhiều macro cứng liên kết và các dây dẫn kết nối macro cứng chức năng thứ nhất, macro cứng chức năng thứ hai và một hoặc nhiều macro cứng liên kết trong macro cứng chức năng thứ ba;

tạo ra lớp bao chỉ ra các vị trí đã xác định của một hoặc nhiều macro cứng liên kết và các dây dẫn; và

tạo cấu hình macro cứng chức năng thứ ba theo lớp bao sao cho macro cứng chức năng thứ ba bao gồm các vùng biên trống tại các vị trí đã xác định của một hoặc nhiều macro cứng liên kết và các dây dẫn

15. Thiết bị điện toán theo điểm 14, trong đó bộ xử lý còn được tạo cấu hình với các lệnh có thể thực thi được bằng bộ xử lý để phủ chồng một hoặc nhiều macro cứng liên kết và các dây dẫn vào các vùng biên trống trong macro cứng chức năng thứ ba.

16. Thiết bị điện toán theo điểm 14, trong đó bộ xử lý được tạo cấu hình với các lệnh có thể thực thi được bằng bộ xử lý sao cho macro cứng chức năng thứ nhất, macro cứng chức năng thứ hai và macro cứng chức năng thứ ba được tạo cấu hình sao cho không có kênh truyền thông nào hiện diện giữa macro cứng chức năng thứ nhất, macro cứng chức năng thứ hai và macro cứng chức năng thứ ba.

17. Thiết bị điện toán theo điểm 14, trong đó một hoặc nhiều macro cứng liên kết bao gồm các macro cứng đường ống truyền thông.

18. Thiết bị điện toán theo điểm 14, trong đó:

mạch tích hợp bao gồm hệ thống trên chip (SOC); và

macro cứng chức năng thứ nhất, macro cứng chức năng thứ hai và macro cứng chức năng thứ ba lần lượt bao gồm lõi thứ nhất, lõi thứ hai và lõi thứ ba.

19. Phương tiện bất biến có thể đọc được bằng bộ xử lý lưu trữ trên đó các lệnh có thể thực thi được bằng bộ xử lý được tạo cấu hình để khiến cho bộ xử lý của thiết bị điện toán thực hiện các hoạt động bao gồm các bước:

xác định macro cứng chức năng thứ nhất và macro cứng chức năng thứ hai của mạch tích hợp yêu cầu đường truyền thông vật lý với nhau, trong đó macro cứng chức năng thứ nhất và macro cứng chức năng thứ hai được tách biệt với nhau bởi ít nhất một phần của macro cứng chức năng thứ ba của mạch tích hợp;

xác định các vị trí cho một hoặc nhiều macro cứng liên kết và các dây dẫn kết nối macro cứng chức năng thứ nhất, macro cứng chức năng thứ hai và một hoặc nhiều macro cứng liên kết trong macro cứng chức năng thứ ba;

tạo ra lớp bao chỉ ra các vị trí đã xác định của một hoặc nhiều macro cứng liên kết và các dây dẫn; và

tạo cấu hình macro cứng chức năng thứ ba theo lớp bao sao cho macro cứng chức năng thứ ba bao gồm các vùng biên trống tại các vị trí đã xác định của một hoặc nhiều macro cứng liên kết và các dây dẫn.

20. Phương tiện bất biến có thể đọc được bằng bộ xử lý theo điểm 19, trong đó các lệnh có thể thực thi được bằng bộ xử lý được lưu trữ được tạo cấu hình để khiến cho bộ xử lý của thiết bị điện toán thực hiện các hoạt động còn bao gồm phủ chồng một hoặc nhiều macro cứng liên kết và các dây dẫn vào các vùng biên trống trong macro cứng chức năng thứ ba.

21. Phương tiện bất biến có thể đọc được bằng bộ xử lý theo điểm 19, trong đó các lệnh có thể thực thi được bằng bộ xử lý được lưu trữ được tạo cấu hình để khiến cho bộ xử lý của thiết bị điện toán thực hiện các hoạt động sao cho macro cứng chức năng thứ nhất, macro cứng chức năng thứ hai và macro cứng chức năng thứ ba được tạo cấu hình sao cho không có kênh truyền thông nào hiện diện giữa macro cứng chức năng thứ nhất, macro cứng chức năng thứ hai và macro cứng chức năng thứ ba.

22. Phương tiện bất biến có thể đọc được bằng bộ xử lý theo điểm 19, trong đó các lệnh có thể thực thi được bằng bộ xử lý được lưu trữ được tạo cấu hình để khiến cho bộ xử lý của thiết bị điện toán thực hiện các hoạt động sao cho một hoặc nhiều macro cứng liên kết bao gồm các macro cứng đường ống truyền thông.

23. Thiết bị điện toán, bao gồm:

phương tiện để xác định macro cứng chức năng thứ nhất và macro cứng chức năng thứ hai của mạch tích hợp yêu cầu đường truyền thông vật lý với nhau, trong đó macro cứng chức năng thứ nhất và macro cứng chức năng thứ hai được tách biệt với nhau bằng ít nhất một phần của macro cứng chức năng thứ ba của mạch tích hợp;

phương tiện để xác định vị trí cho một hoặc nhiều macro cứng liên kết và các dây dẫn kết nối macro cứng chức năng thứ nhất, macro cứng chức năng thứ hai và một hoặc nhiều macro cứng liên kết trong macro cứng chức năng thứ ba;

phương tiện để tạo ra lớp bao chỉ ra các vị trí đã xác định của một hoặc nhiều macro cứng liên kết và các dây dẫn; và

phương tiện để tạo cấu hình macro cứng chức năng thứ ba theo lớp bao sao cho macro cứng chức năng thứ ba bao gồm các vùng biên trống tại các vị trí đã xác định của một hoặc nhiều macro cứng liên kết và các dây dẫn.

24. Thiết bị điện toán theo điểm 23, còn bao gồm phương tiện để phủ chồng một hoặc nhiều macro cứng liên kết và các dây dẫn vào các vùng biên trống trong macro cứng chức năng thứ ba.

25. Thiết bị điện toán theo điểm 23, trong đó macro cứng chức năng thứ nhất, macro cứng chức năng thứ hai và macro cứng chức năng thứ ba được tạo cấu hình sao cho không có kênh truyền thông nào hiện diện giữa macro cứng chức năng thứ nhất, macro cứng chức năng thứ hai và macro cứng chức năng thứ ba.

26. Thiết bị điện toán theo điểm 23, trong đó một hoặc nhiều macro cứng liên kết bao gồm các macro cứng đường ống truyền thông.

27. Thiết bị điện toán theo điểm 23, trong đó:

mạch tích hợp bao gồm hệ thống trên chip (SOC); và

macro cứng chức năng thứ nhất, macro cứng chức năng thứ hai và macro cứng chức năng thứ ba lần lượt bao gồm lõi thứ nhất, lõi thứ hai và lõi thứ ba.

1/7

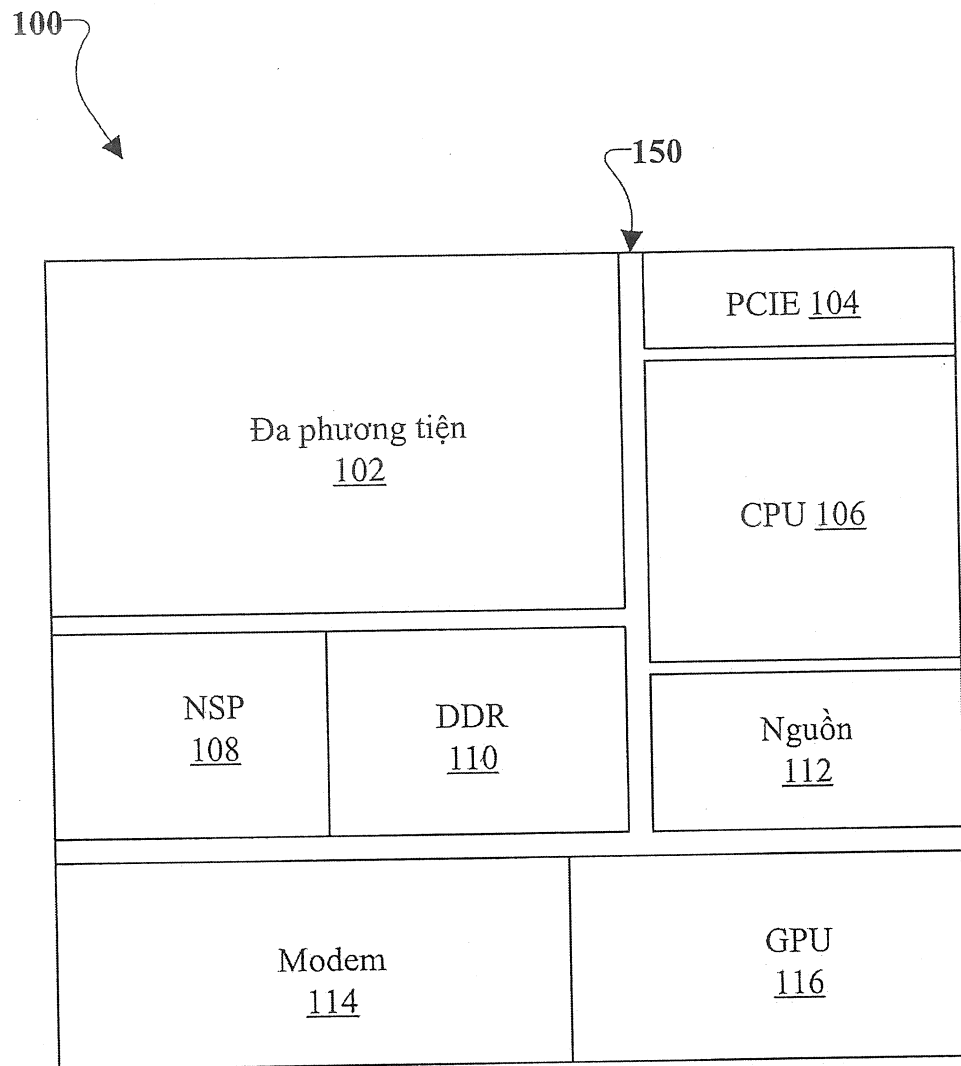


Fig. 1

2/7

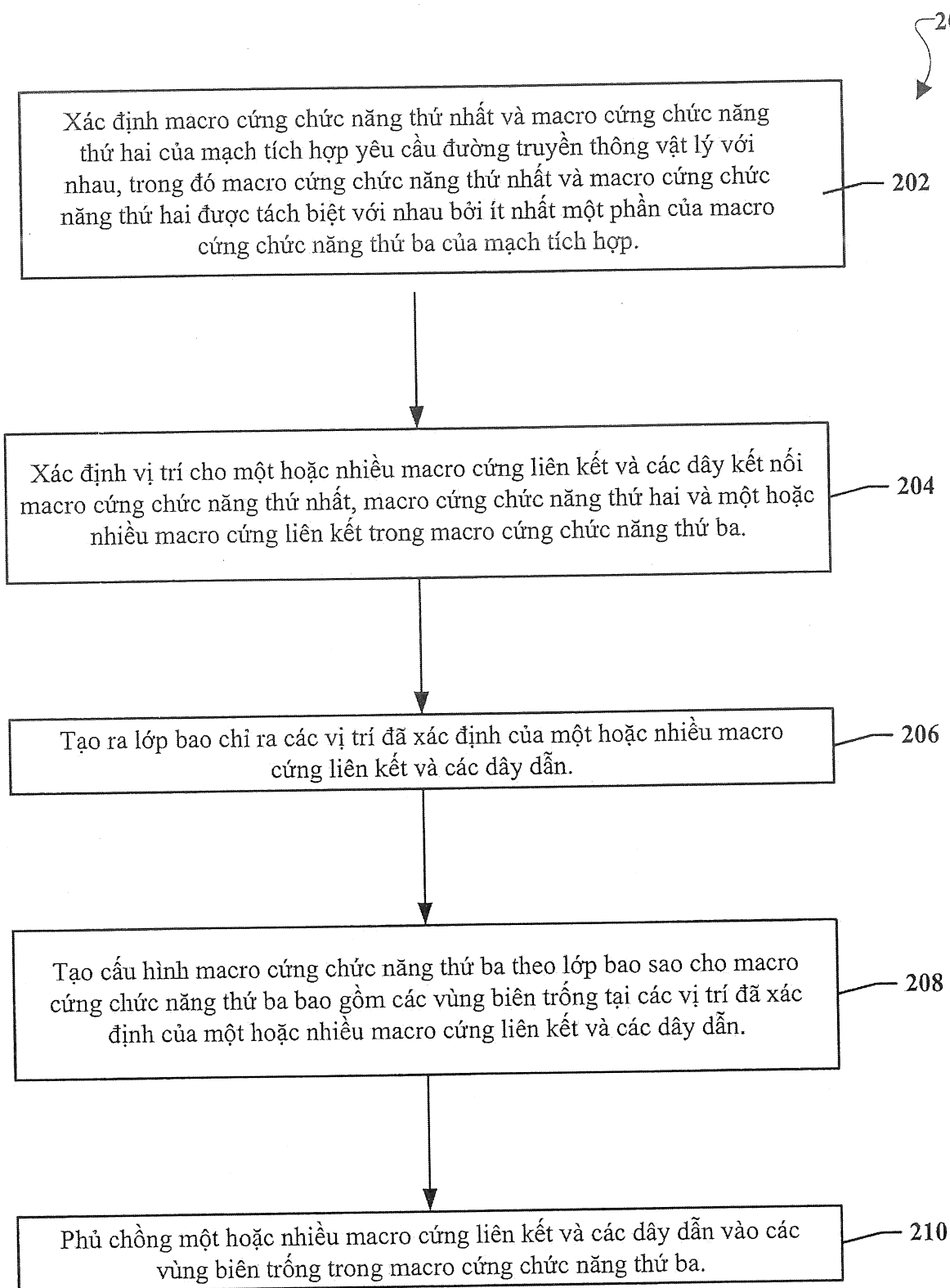


Fig. 2

3/7

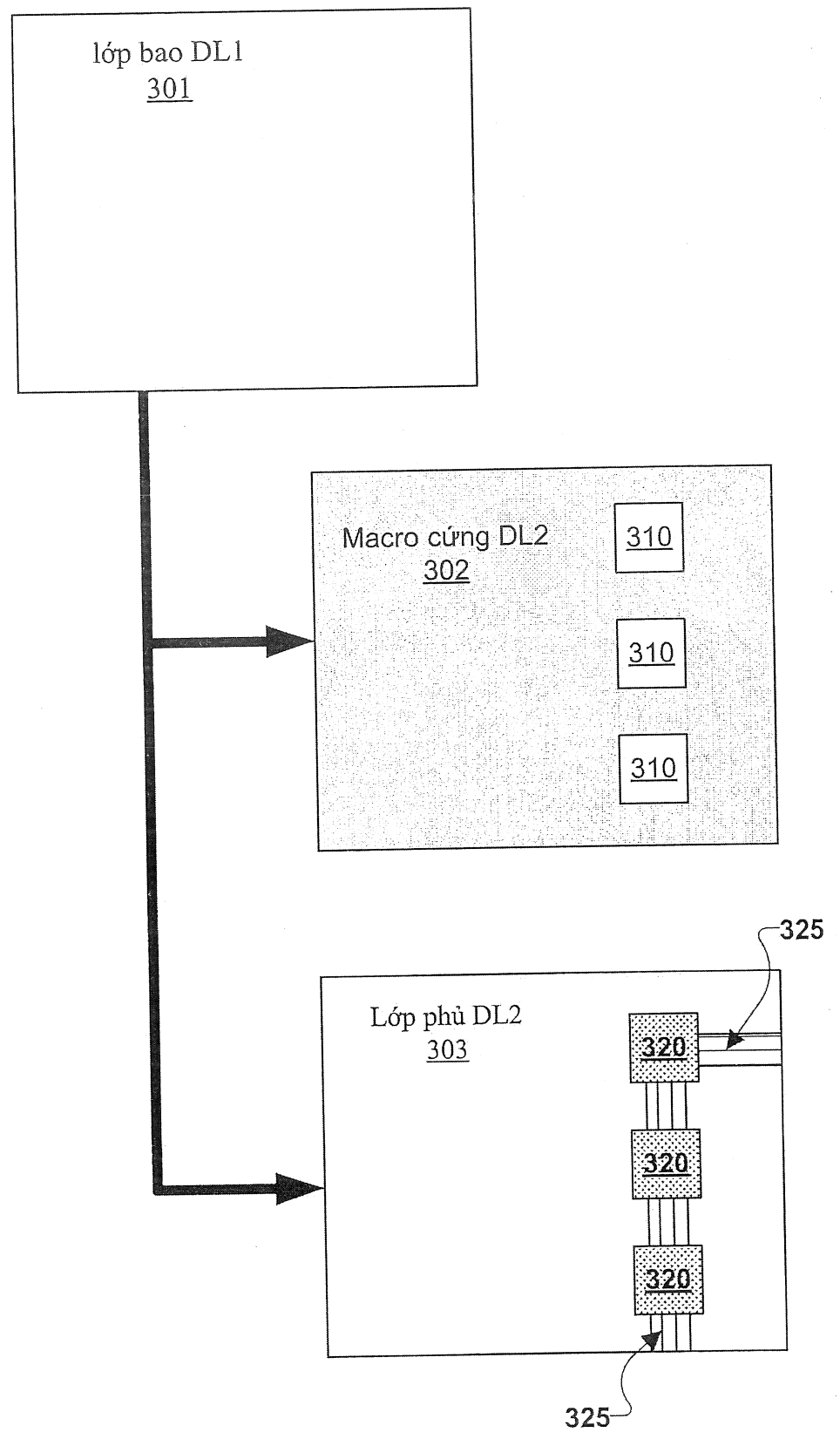


Fig. 3A

4/7

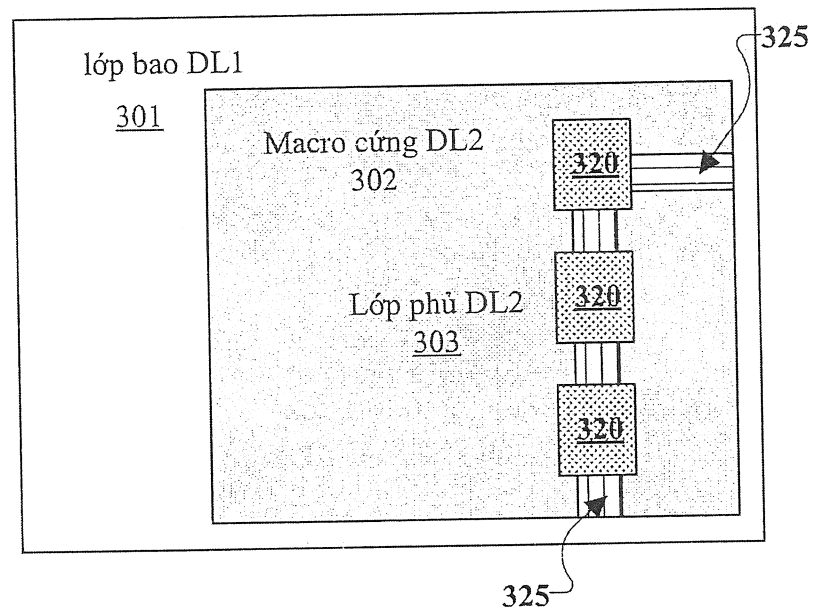


Fig. 3B

5/7

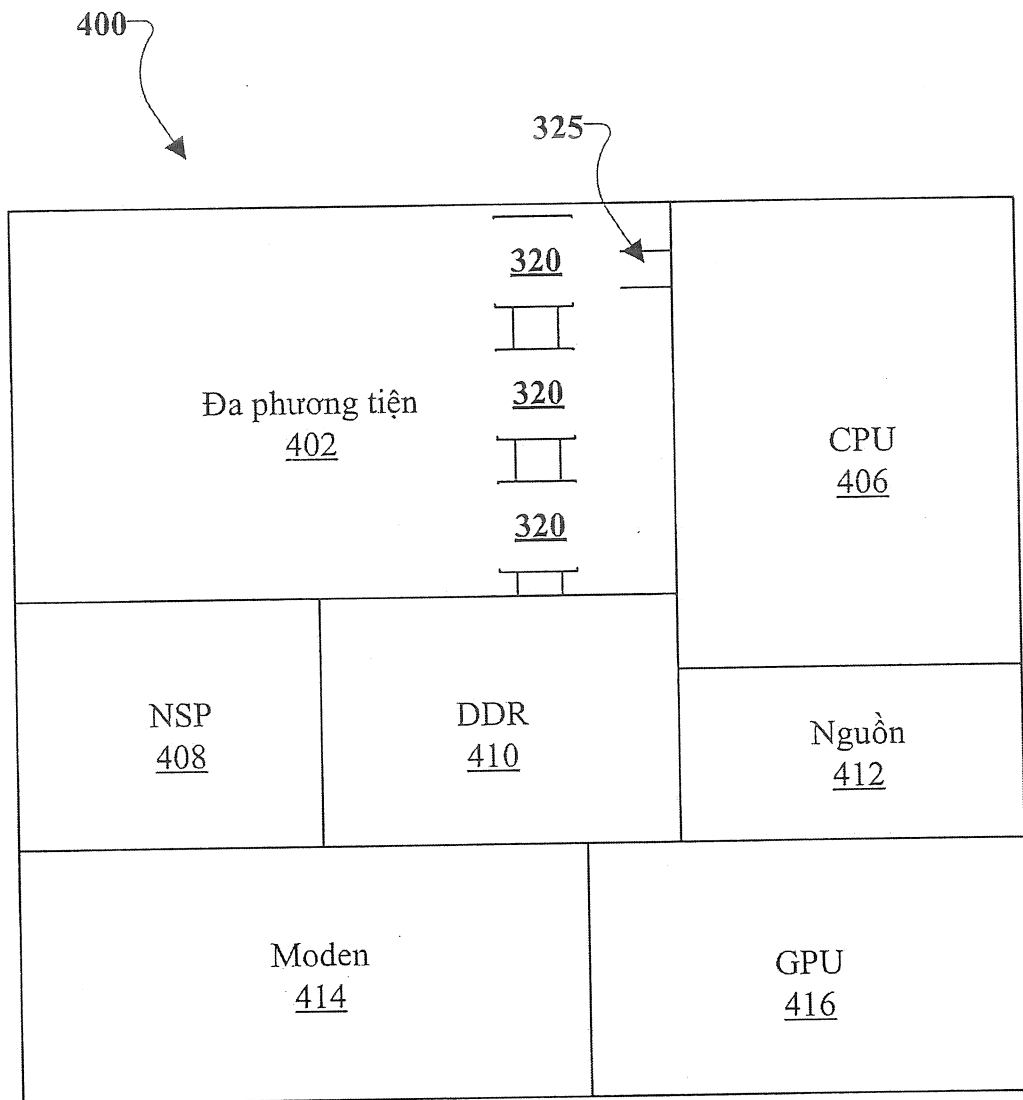


Fig. 4

6/7

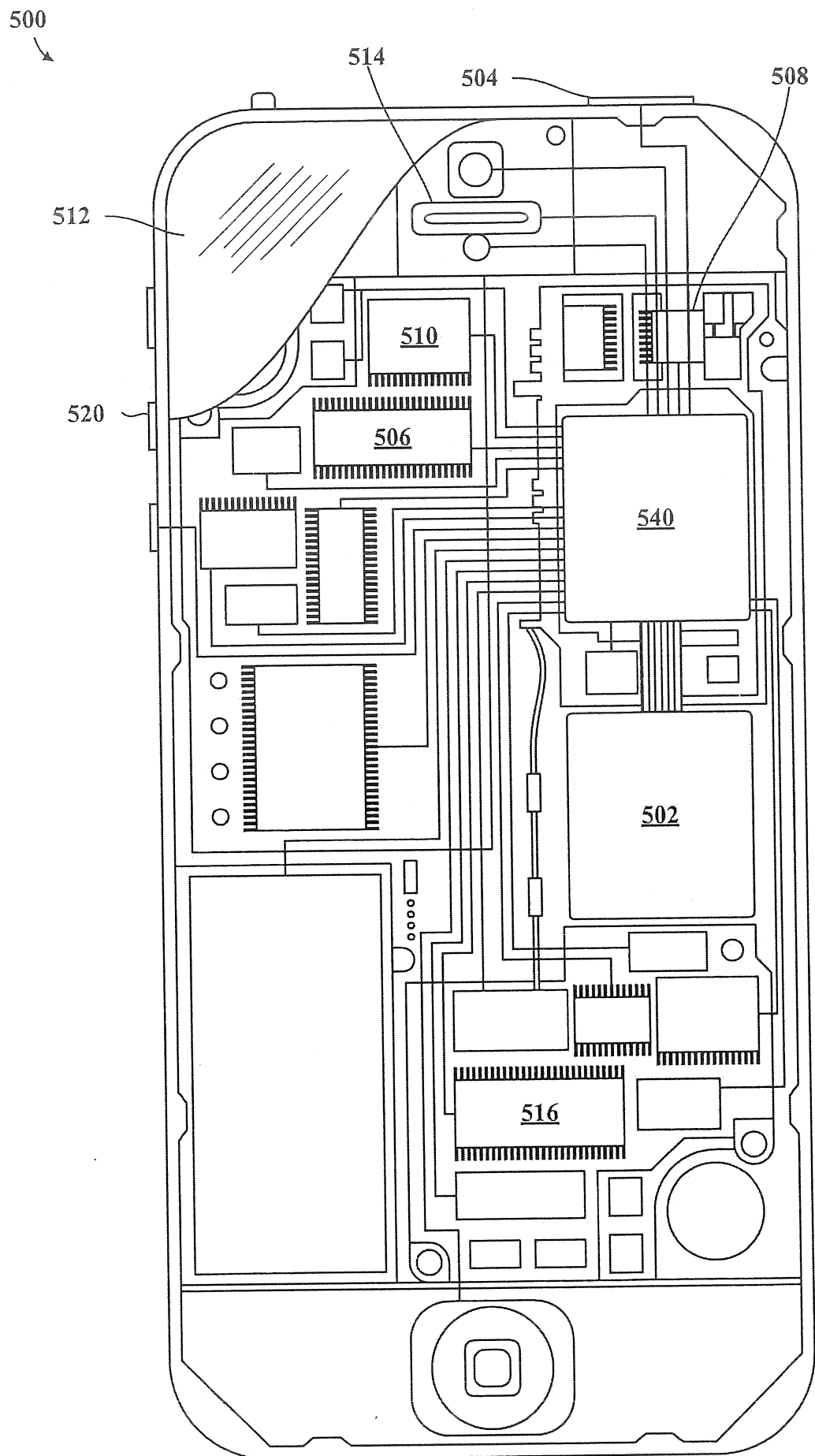


Fig. 5

7/7

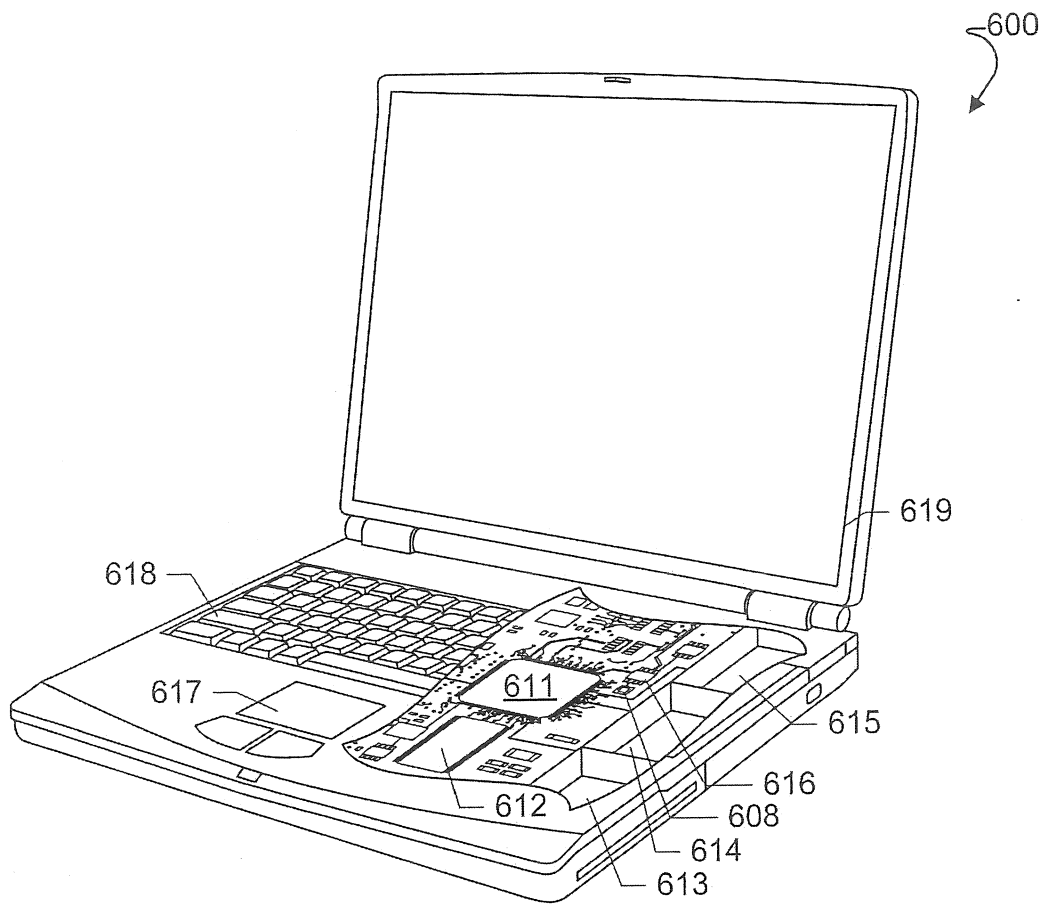


Fig. 6

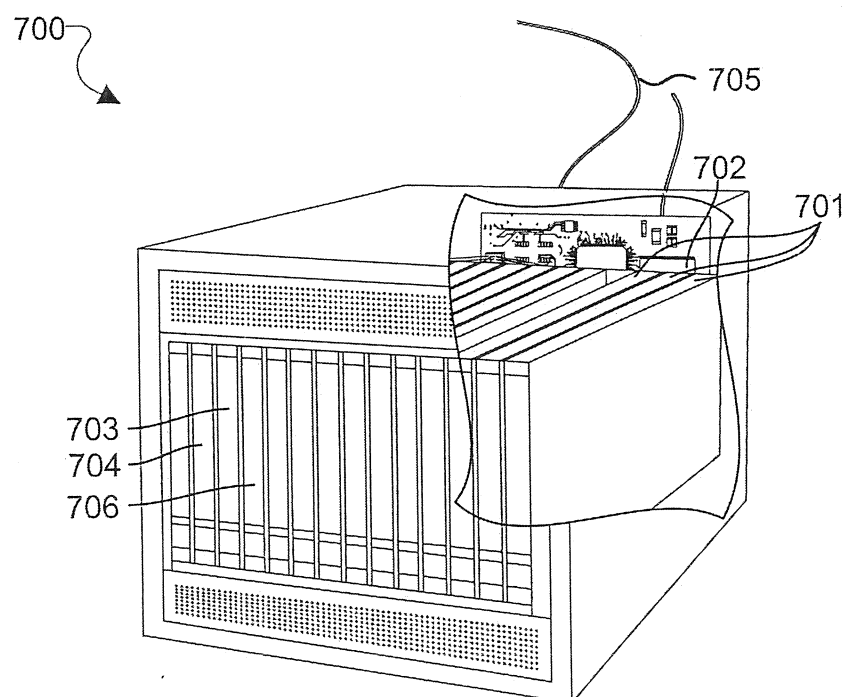


Fig. 7