



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0053800

(51)^{2022.01} G05F 1/46; G06F 1/26; G05F 1/59

(13) B

(21) 1-2023-03236

(22) 26/10/2021

(86) PCT/US2021/056623 26/10/2021

(87) WO 2022/115192 A1 02/06/2022

(30) 17/105,253 25/11/2020 US

(45) 25/11/2025 452

(43) 25/09/2023 426A

(73) QUALCOMM INCORPORATED (US)

ATTN: International IP Administration, 5775 Morehouse Drive, San Diego, CA
92121-1714, United States of America

(72) PAL, Dipti Ranjan (IN); PANT, Harshat (IN); ROY, Abinash (US); HU, Shih-Hsin
Jason (US); BOWMAN, Keith Alan (US).

(74) Công ty TNHH Quốc tế D & N (D&N INTERNATIONAL CO.,LTD.)

(54) HỆ THỐNG VÀ PHƯƠNG PHÁP ĐIỀU KHIỂN ĐIỆN ÁP CỦA MẠCH

(21) 1-2023-03236

(57) Sáng chế đề cập đến hệ thống và phương pháp điều khiển điện áp của mạch. Theo các khía cạnh nhất định, hệ thống bao gồm bộ điều khiển điện áp, trong đó bộ điều khiển điện áp bao gồm các bộ chuyển mạch được ghép nối giữa đường cấp điện áp và đầu ra của bộ điều khiển điện áp, mỗi bộ chuyển mạch có đầu vào điều khiển, và mạch điều khiển được ghép nối với các đầu vào điều khiển của các bộ chuyển mạch. Hệ thống còn bao gồm mạch định thời được ghép nối với mạch điều khiển, trong đó mạch định thời bao gồm dòng trễ, và các mạch lật, mỗi mạch lật có đầu vào và đầu ra, trong đó đầu vào của mỗi mạch lật được ghép nối với nút tương ứng trên dòng trễ, và các đầu ra của các mạch lật được ghép nối với mạch điều khiển.

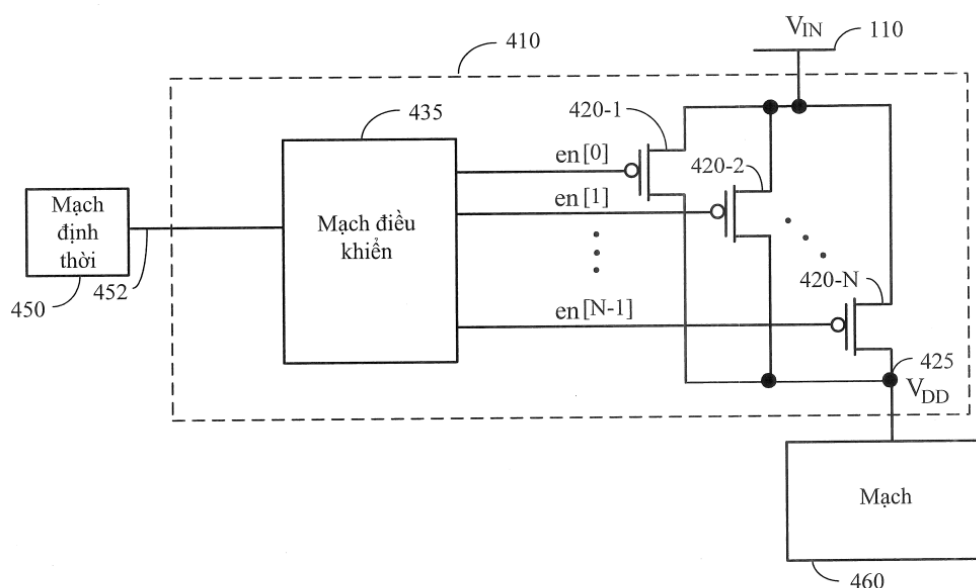


Fig.4

Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập chung đến việc quản lý điện năng, và cụ thể hơn là bộ điều khiển điện áp thích ứng.

Tình trạng kỹ thuật của sáng chế

Mạch (ví dụ, bộ xử lý) có thể nhận điện năng từ đường cấp nguồn đầu vào. Trong một số trường hợp, có thể mong muốn vận hành mạch ở điện áp thấp hơn so với điện áp nguồn trên đường cấp nguồn đầu vào (ví dụ, để giảm tiêu thụ điện năng của mạch). Trong các trường hợp này, bộ điều khiển điện áp được ghép nối giữa đường cấp nguồn đầu vào và điện áp đưa vào mạch có thể được sử dụng để đặt điện áp của mạch về điện áp thấp hơn so với điện áp nguồn đầu vào.

Bản chất kỹ thuật của sáng chế

Phần sau đây trình bày bản chất kỹ thuật được đơn giản hoá của một hoặc nhiều phương án triển khai nhằm cung cấp hiểu biết cơ bản về các phương án triển khai đó. Phần bản chất kỹ thuật này không phải là tổng quan bao quát về tất cả các phương án triển khai được dự tính và không nhằm mục đích xác định các yếu tố chính hoặc quan trọng của tất cả các phương án triển khai hay mô tả phạm vi của bất kỳ hoặc tất cả các phương án triển khai. Mục đích duy nhất của phần này là để trình bày một số khái niệm về một hoặc nhiều phương án triển khai ở dạng đơn giản hoá làm tiền đề cho phần mô tả chi tiết hơn sẽ được trình bày sau.

Khía cạnh thứ nhất đề cập đến hệ thống. Hệ thống bao gồm bộ điều khiển điện áp, trong đó bộ điều khiển điện áp bao gồm các bộ chuyển mạch được ghép nối giữa đường cấp điện áp và đầu ra của bộ điều khiển điện áp, mỗi bộ chuyển mạch có đầu vào điều khiển, và mạch điều khiển được ghép nối với các đầu vào điều khiển của các bộ chuyển mạch. Hệ thống còn bao gồm mạch định thời được ghép nối với mạch điều khiển, trong đó mạch định thời bao gồm dòng trễ, và mạch lật, mỗi mạch lật có đầu vào và đầu ra, trong đó đầu vào của mỗi mạch lật được ghép nối với nút tương ứng trên dòng trễ, và các đầu ra của các mạch lật được ghép nối với mạch điều khiển.

Khía cạnh thứ hai đề cập đến phương pháp điều khiển điện áp của mạch. Phương pháp này bao gồm bước nhận tín hiệu biên định thời và tín hiệu tham chiếu, so sánh tín hiệu biên định thời với tín hiệu tham chiếu, và điều chỉnh số lượng bộ chuyển mạch được bật lên giữa đường cấp nguồn và mạch dựa trên sự so sánh.

Mô tả vắn tắt các hình vẽ

Fig.1 thể hiện ví dụ về hệ thống đa lỗi theo các khía cạnh nhất định của sáng chế.

Fig.2 thể hiện ví dụ về bộ điều khiển điện áp bao gồm bộ điều chỉnh sụt giảm thấp (low-dropout - LDO) tương tự theo các khía cạnh nhất định của sáng chế.

Fig.3 thể hiện ví dụ về bộ điều khiển điện áp bao gồm bộ điều chỉnh LDO số theo các khía cạnh nhất định của sáng chế.

Fig.4 thể hiện ví dụ về bộ điều khiển điện áp theo các khía cạnh nhất định của sáng chế.

Fig.5 thể hiện phương án triển khai làm ví dụ của mạch điều khiển theo các khía cạnh nhất định của sáng chế.

Fig.6 thể hiện phương án triển khai làm ví dụ của mạch định thời theo các khía cạnh nhất định của sáng chế.

Fig.7 thể hiện phương án triển khai làm ví dụ của mạch phát hiện điện áp theo các khía cạnh nhất định của sáng chế.

Fig.8 là sơ đồ định thời minh họa ví dụ về biên định thời theo các khía cạnh nhất định của sáng chế.

Fig.9 thể hiện ví dụ về đường tới hạn trong mạch theo các khía cạnh nhất định của sáng chế.

Fig.10 thể hiện phương án triển khai làm ví dụ của bộ tạo tín hiệu và mạch trễ theo các khía cạnh nhất định của sáng chế.

Fig.11A là sơ đồ định thời làm ví dụ minh họa hoạt động của mạch trễ theo các khía cạnh nhất định của sáng chế.

Fig.11B là sơ đồ định thời làm ví dụ khác minh họa hoạt động của mạch trễ theo các khía cạnh nhất định của sáng chế.

Fig.12 thể hiện ví dụ về mạch giảm nhẹ sụt giảm bao gồm mạch phát hiện điện áp theo các khía cạnh nhất định của sáng chế.

Fig.13 là lưu đồ minh họa ví dụ về phương pháp điều khiển điện áp theo các khía cạnh nhất định của sáng chế.

Mô tả chi tiết sáng chế

Phần mô tả chi tiết trình bày dưới đây, liên quan đến các hình vẽ kèm theo, được dự định dùng làm phần mô tả nhiều cấu hình khác nhau và không dự định để chỉ biểu diễn những cấu hình trong đó các khái niệm mô tả ở đây có thể được thực hành. Phần mô tả chi tiết bao gồm các chi tiết cụ thể nhằm mục đích cung cấp hiểu biết toàn diện về các khái niệm khác nhau. Tuy nhiên, người có hiểu biết trung bình trong lĩnh vực kỹ thuật này sẽ biết rõ rằng những khái niệm này có thể được thực hành mà không cần các chi tiết cụ thể này. Trong một số trường hợp, các cấu trúc và thành phần đã được biết đến rộng rãi được thể hiện dưới dạng sơ đồ khối để tránh gây khó hiểu cho các khái niệm.

Fig.1 thể hiện ví dụ về hệ thống đa lõi 100 (còn được gọi là bộ xử lý đa lõi) theo các khía cạnh nhất định. Hệ thống đa lõi 100 bao gồm nhiều lõi bộ xử lý trung tâm (central processing unit - CPU) 130-1 đến lõi bộ xử lý trung tâm 130-4, trong đó mỗi lõi 130-1 đến lõi 130-4 có thể hoạt động ở một trong nhiều chế độ hiệu suất có thể lựa chọn. Hệ thống 100 có thể sử dụng điều chỉnh tần số điện áp động (dynamic voltage-frequency scaling - DVFS) trong đó tần số và điện áp của mỗi lõi được điều chỉnh động dựa trên chế độ hiệu suất hiện tại của lõi. Ví dụ, điện áp và tần số có thể cao hơn ở chế độ hiệu suất cao hơn so với chế độ hiệu suất thấp hơn.

Theo ví dụ trên Fig.1, các lõi 130-1 đến lõi 130-4 hoạt động trên đường cấp nguồn chung (tức là, được dùng chung) 110. Trong ví dụ này, hệ thống 100 bao gồm các bộ chuyển đổi đầu (head switch) 115-1 đến bộ chuyển đổi đầu 115-4 trong đó mỗi bộ chuyển đổi đầu 115-1 đến bộ chuyển đổi đầu 115-4 được ghép nối giữa đường cấp nguồn chung 110 và một lõi tương ứng trong số các lõi 130-1 đến lõi 130-4. Theo ví

dụ trên Fig.1, mỗi bộ chuyển đổi đầu 115-1 đến bộ chuyển đổi đầu 115-4 được triển khai với một hoặc nhiều bóng bán dẫn (ví dụ, một hoặc nhiều bóng bán dẫn hiệu ứng trường loại p (p-type field effect transistor - PFET)).

Hệ thống 100 còn bao gồm các bộ điều khiển điện áp 120-1 đến bộ điều khiển điện áp 120-4 trong đó mỗi bộ điều khiển điện áp 120-1 đến bộ điều khiển điện áp 120-4 được ghép nối giữa đường cấp nguồn chung 110 và một lõi tương ứng trong số các lõi 130-1 đến lõi 130-4. Như được thảo luận thêm dưới đây, mỗi bộ điều khiển điện áp 120-1 đến bộ điều khiển điện áp 120-4 được tạo cấu hình để đặt điện áp của lõi 130-1 đến lõi 130-4 tương ứng (ví dụ, dựa trên chế độ hiệu suất của lõi). Do đó, các bộ điều khiển điện áp 120-1 đến bộ điều khiển điện áp 120-4 cho phép điện áp của các lõi 130-1 đến lõi 130-4 được đặt (tức là, được điều chỉnh) một cách độc lập mặc dù chúng dùng chung đường cấp nguồn 110. Ví dụ, điện áp của lõi có thể được đặt ở điện áp thấp hơn đối với chế độ hiệu suất thấp hơn để tiết kiệm điện năng và có thể được đặt ở điện áp cao hơn đối với chế độ hiệu suất cao hơn để cho phép lõi hoạt động ở chế độ hiệu suất cao hơn.

Mặc dù Fig.1 thể hiện mỗi bộ điều khiển điện áp 120-1 đến bộ điều khiển điện áp 120-4 được ghép nối song song với bộ chuyển đổi đầu 115-1 đến bộ chuyển đổi đầu 115-4 của lõi 130-1 đến lõi 130-4 tương ứng, nhưng cần hiểu rõ rằng điều này không nhất thiết phải xảy ra. Ví dụ, theo một số phương án triển khai, mỗi bộ chuyển đổi đầu 115-1 đến bộ chuyển đổi đầu 115-4 có thể được tích hợp vào bộ điều khiển điện áp 120-1 đến bộ điều khiển điện áp 120-4 của lõi 130-1 đến lõi 130-4 tương ứng, như được thảo luận thêm dưới đây.

Điện áp nguồn V_{IN} trên đường cấp nguồn chung 110 có thể được cung cấp bởi mạch tích hợp quản lý điện năng (power management integrated circuit - PMIC) được ghép nối với đường cấp nguồn 110. Trong ví dụ này, PMIC (không được thể hiện trên hình vẽ) có thể đặt điện áp nguồn V_{IN} dựa trên lõi hoạt động ở chế độ hiệu suất cao nhất. Điều này là do lõi hoạt động ở chế độ hiệu suất cao nhất yêu cầu điện áp cao nhất. Ví dụ, lõi 130-1 (được gắn nhãn "CPU-0") có thể hoạt động ở chế độ hiệu suất cao nhất (ví dụ, chế độ "tăng cường") trong khi các lõi khác từ lõi 130-2 đến lõi 130-4 (được gắn nhãn "CPU-1" đến "CPU-3") có thể hoạt động ở các chế độ hiệu suất thấp

hơn. Trong ví dụ này, điện áp nguồn V_{IN} trên đường cấp nguồn chung 110 được đặt dựa trên điện áp cần thiết để lõi 130-1 hoạt động ở chế độ hiệu suất cao nhất. Trong trường hợp này, bộ chuyển đổi đầu 115-1 cho lõi 130-1 được bật lên để cung cấp điện áp nguồn V_{IN} cho lõi 130-1.

Bởi vì các lõi khác từ lõi 130-2 đến lõi 130-4 hoạt động ở các chế độ hiệu suất thấp hơn so với lõi 130-1, các lõi khác từ lõi 130-2 đến lõi 130-4 có thể được hoạt động ở các điện áp thấp hơn so với điện áp nguồn V_{IN} để giảm tiêu thụ điện năng của các lõi này. Về vấn đề này, mỗi bộ điều khiển điện áp 120-2 đến bộ điều khiển điện áp 120-4 đặt điện áp của lõi 130-2 đến lõi 130-4 tương ứng thành điện áp tương ứng dưới V_{IN} dựa trên chế độ hiệu suất hiện tại của lõi 130-2 đến lõi 130-4 tương ứng. Trong trường hợp này, các bộ chuyển đổi đầu 115-2 đến bộ chuyển đổi đầu 115-4 có thể bị tắt đi do các điện áp của các lõi 130-2 đến lõi 130-4 được điều khiển bởi các bộ điều khiển điện áp 120-2 đến bộ điều khiển điện áp 120-4 tương ứng.

Trong tình trạng kỹ thuật hiện nay, bộ điều khiển điện áp được triển khai với bộ điều chỉnh điện áp sụt giảm thấp (low-dropout - LDO). Bộ điều chỉnh LDO có thể là tương tự hoặc số.

Fig.2 thể hiện ví dụ về bộ điều khiển điện áp được triển khai với bộ điều chỉnh LDO tương tự 210. Bộ điều chỉnh LDO 210 bao gồm bóng bán dẫn thông 220 (ví dụ, PFET) được ghép nối giữa đường cấp nguồn chung 110 và mạch 240 (ví dụ, mạch tương ứng hoặc các lõi 130-1 đến lõi 130-4). Bộ điều chỉnh LDO 210 còn bao gồm bộ khuếch đại lỗi 230 với đầu ra được ghép nối với cực cổng của bóng bán dẫn thông 220, đầu vào âm được ghép nối với điện áp tham chiếu V_{REF} , và đầu vào dương được ghép nối với đầu ra 232 của bộ điều chỉnh LDO 210, cung cấp điện áp V_{DD} cho mạch 240. Trong quá trình hoạt động, bộ khuếch đại 230 điều chỉnh điện áp cực cổng V_G của bóng bán dẫn thông 220 theo hướng giảm độ chênh lệch (tức là, lỗi) giữa điện áp tham chiếu V_{REF} và điện áp V_{DD} , buộc điện áp V_{DD} phải xấp xỉ bằng điện áp tham chiếu V_{REF} . Do đó, trong ví dụ này, điện áp V_{DD} được đặt thành điện áp mong muốn cho mạch 240 bằng cách đặt điện áp tham chiếu V_{REF} theo đó. Lưu ý rằng bộ chuyển đổi đầu cho mạch 240 không được thể hiện trên Fig.2.

Một thách thức khi triển khai bộ điều khiển điện áp với bộ điều chỉnh LDO tương tự là các bộ điều chỉnh LDO tương tự rất phức tạp và khó để điều chỉnh bằng công nghệ. Ngoài ra, các bộ điều chỉnh LDO tương tự yêu cầu điện áp sụt giảm lớn, làm giảm phạm vi hoạt động của điện áp V_{DD} .

Fig.3 thể hiện ví dụ về bộ điều khiển điện áp được triển khai với bộ điều chỉnh LDO số 310. Bộ điều chỉnh LDO 310 bao gồm mảng các bộ chuyển mạch 320-1 đến bộ chuyển mạch 320-N (ví dụ, PFET) được ghép nối giữa đường cấp nguồn chung 110 và mạch 340 (ví dụ, lõi tương ứng trong số các lõi 130-1 đến lõi 130-4). Bộ điều chỉnh LDO 310 còn bao gồm bộ so sánh điện áp 330 và bộ điều khiển chuyển mạch 335, có thể được tạo xung nhịp bởi tín hiệu xung nhịp CLK_{LDO} . Bộ so sánh điện áp 330 so sánh điện áp tham chiếu V_{REF} với điện áp tại đầu ra 332 của bộ điều chỉnh LDO 310, và xuất ra tín hiệu so sánh đến bộ điều khiển chuyển mạch 335 dựa trên sự so sánh. Tín hiệu so sánh chỉ báo điện áp V_{DD} nhỏ hơn hay lớn hơn điện áp tham chiếu V_{REF} . Bộ điều khiển chuyển mạch 335 điều khiển số lượng bộ chuyển mạch 320-1 đến bộ chuyển mạch 320-N được bật lên (tức là, được kích hoạt) dựa trên tín hiệu so sánh. Cụ thể hơn, bộ điều khiển chuyển mạch 335 điều chỉnh số lượng bộ chuyển mạch 320-1 đến bộ chuyển mạch 320-N được bật lên (tức là, được kích hoạt) theo hướng giảm độ chênh lệch (tức là, lỗi) giữa điện áp V_{DD} và điện áp tham chiếu V_{REF} .

Bộ điều chỉnh LDO số có một hoặc nhiều ưu điểm hơn bộ điều chỉnh LDO tương tự. Ví dụ, bộ điều chỉnh LDO số có thể dễ điều chỉnh hơn bằng công nghệ so với bộ điều chỉnh LDO tương tự, cho phép V_{DD} thấp hơn cho hoạt động điện áp thấp hơn so với bộ điều chỉnh LDO tương tự, và/hoặc có điện áp sụt giảm nhỏ hơn so với LDO tương tự. Tuy nhiên, một thách thức khi triển khai bộ điều khiển điện áp với bộ điều chỉnh LDO số là bộ điều chỉnh LDO số thường có thời gian đáp ứng chậm so với LDO tương tự, dẫn đến sụt giảm điện áp biên độ lớn trong điện áp đầu ra làm giảm hiệu suất bộ xử lý.

Fig.4 thể hiện bộ điều khiển điện áp 410 làm ví dụ theo các khía cạnh của sáng chế. Bộ điều khiển điện áp 410 được ghép nối giữa đường cấp nguồn 110 và mạch 460. Mạch 460 có thể bao gồm lõi CPU (ví dụ, một trong các lõi CPU 130-1 đến lõi CPU 130-4), bộ xử lý tín hiệu số, bộ xử lý video, hoặc một loại bộ xử lý khác. Bộ điều

khíên điện áp 410 được tạo cấu hình để điều khiển điện áp V_{DD} được cung cấp cho mạch 460.

Bộ điều khiển điện áp 410 bao gồm mảng các bộ chuyển mạch 420-1 đến bộ chuyển mạch 420-N được ghép nối giữa đường cấp nguồn 110 và đầu ra 425 của bộ điều khiển điện áp 410, được ghép nối với mạch 460 (ví dụ, lõi CPU). Theo các khía cạnh nhất định, các bộ chuyển mạch 420-1 đến bộ chuyển mạch 420-N có thể được triển khai với các bộ chuyển mạch trong bộ chuyển đổi đầu (ví dụ, một trong các bộ chuyển đổi đầu 115-1 đến bộ chuyển đổi đầu 115-4). Ví dụ, bộ chuyển đổi đầu có thể là bộ chuyển đổi đầu phân phối toàn thể (global distributed head switch - GDHS) bao gồm nhiều bộ chuyển mạch được ghép nối song song giữa đường cấp nguồn 110 và mạch 460. Trong ví dụ này, các bộ chuyển mạch 420-1 đến bộ chuyển mạch 420-N có thể được triển khai với các bộ chuyển mạch của GDHS. Ưu điểm của ví dụ này là bộ điều khiển điện áp 410 có thể điều khiển các trạng thái bật/tắt của các bộ chuyển mạch hiện có trong GDHS để điều khiển điện áp V_{DD} thay vì sử dụng các bộ chuyển mạch riêng biệt, do đó giảm diện tích và chi phí. Do đó, trong ví dụ này, bộ chuyển đổi đầu được tích hợp vào bộ điều khiển điện áp 410.

Đối với trường hợp mạch 460 là để nhận điện áp nguồn V_{IN} , bộ điều khiển điện áp 410 có thể bật lên tất cả các bộ chuyển mạch 420-1 đến bộ chuyển mạch 420-N để giảm thiểu điện trở giữa đường cấp nguồn 110 và mạch 460. Điều này có thể thực hiện, ví dụ, khi mạch 460 là lõi CPU trong hệ thống đa lõi (ví dụ, hệ thống đa lõi 100), và lõi CPU hoạt động ở chế độ hiệu suất cao nhất trong hệ thống đa lõi. Các trường hợp mà điện áp V_{DD} của mạch 460 thấp hơn điện áp nguồn V_{IN} được thảo luận thêm dưới đây.

Bộ điều khiển điện áp 410 còn bao gồm mạch điều khiển 435. Mạch điều khiển 435 được ghép nối với các đầu vào điều khiển của các bộ chuyển mạch 420-1 đến bộ chuyển mạch 420-N, và điều khiển trạng thái bật/tắt của mỗi bộ chuyển mạch 420-1 đến bộ chuyển mạch 420-N qua tín hiệu điều khiển tương ứng (được gắn nhãn “en[0]” đến “en[N-1]”). Ví dụ trong đó mỗi bộ chuyển mạch 420-1 đến bộ chuyển mạch 420-N được triển khai với bóng bán dẫn tương ứng (ví dụ, PFET), đầu vào điều khiển của mỗi bộ chuyển mạch được đặt tại cực cổng của bóng bán dẫn tương ứng. Theo ví dụ

trên Fig.4, mỗi bộ chuyển mạch 420-1 đến bộ chuyển mạch 420-N được triển khai với PFET tương ứng. Trong ví dụ này, mạch điều khiển 435 có thể bật bộ chuyển mạch bằng cách đặt điện áp của tín hiệu điều khiển tương ứng thấp (ví dụ, xấp xỉ mặt đất) và tắt bộ chuyển mạch bằng cách đặt điện áp của tín hiệu điều khiển tương ứng cao (ví dụ, xấp xỉ V_{IN}). Cần hiểu rõ rằng bộ chuyển mạch có thể được triển khai với nhiều hơn một bóng bán dẫn (ví dụ, nhiều bóng bán dẫn song song).

Mạch điều khiển 435 được tạo cấu hình để điều chỉnh điện áp V_{DD} tại đầu ra 425 của bộ điều khiển điện áp 410 bằng cách điều khiển số lượng bộ chuyển mạch 420-1 đến bộ chuyển mạch 420-N (ví dụ, các bộ chuyển mạch trong GDHS) được bật lên (tức là, được kích hoạt). Cụ thể hơn, bộ điều khiển điện áp 410 tăng điện áp V_{DD} bằng cách tăng số lượng bộ chuyển mạch 420-1 đến bộ chuyển mạch 420-N được bật lên (tức là, được kích hoạt). Việc bật nhiều bộ chuyển mạch 420-1 đến bộ chuyển mạch 420-N hơn làm tăng điện áp V_{DD} cho dòng điện tải cho trước bằng cách giảm điện trở giữa đường cấp nguồn 110 và mạch 460. Bộ điều khiển điện áp 410 giảm điện áp V_{DD} bằng cách giảm số lượng bộ chuyển mạch 420-1 đến bộ chuyển mạch 420-N được bật lên (tức là, tăng số lượng bộ chuyển mạch 420-1 đến bộ chuyển mạch 420-N được tắt đi). Việc tắt nhiều bộ chuyển mạch 420-1 đến bộ chuyển mạch 420-N hơn làm giảm điện áp V_{DD} cho dòng điện tải cho trước bằng cách tăng điện trở giữa đường cấp nguồn 110 và mạch 460.

Theo ví dụ trên Fig.4, mạch điều khiển 435 được ghép nối với mạch định thời 450. Mạch định thời 450 được tạo cấu hình để tạo tín hiệu biên định thời chỉ báo biên định thời cho mạch 460 và xuất ra tín hiệu biên định thời tại đầu ra 452 của mạch định thời 450, được ghép nối với mạch điều khiển 435. Phương án triển khai làm ví dụ của mạch định thời 450 được thảo luận dưới đây với tham chiếu đến Fig.6.

Trong quá trình hoạt động, mạch điều khiển 435 so sánh biên định thời được chỉ báo bởi tín hiệu biên định thời với biên định thời mục tiêu. Mạch điều khiển 435 sau đó điều chỉnh điện áp V_{DD} dựa trên sự so sánh theo hướng giảm độ chênh lệch (tức là, lỗi) giữa biên định thời được chỉ báo bởi tín hiệu biên định thời và biên định thời mục tiêu. Ví dụ, nếu biên định thời được chỉ báo bởi tín hiệu biên định thời lớn hơn so với biên định thời mục tiêu, thì mạch điều khiển 435 giảm điện áp V_{DD} cho mạch 460

bằng cách giảm số lượng bộ chuyển mạch 420-1 đến bộ chuyển mạch 420-N được bật lên (tức là, tăng số lượng bộ chuyển mạch 420-1 đến bộ chuyển mạch 420-N được tắt đi). Việc giảm điện áp V_{DD} làm giảm biên định thời cho mạch 460, qua đó giảm bớt độ chênh lệch giữa biên định thời được chỉ báo bởi tín hiệu biên định thời và biên định thời mục tiêu trong trường hợp này. Nếu biên định thời được chỉ báo bởi tín hiệu biên định thời nhỏ hơn so với biên định thời, thì mạch điều khiển 435 tăng điện áp V_{DD} cho mạch 460 bằng cách tăng số lượng bộ chuyển mạch 420-1 đến bộ chuyển mạch 420-N được bật lên. Việc tăng điện áp V_{DD} làm tăng biên định thời cho mạch 460, qua đó làm giảm độ chênh lệch giữa biên định thời được chỉ báo bởi tín hiệu biên định thời và biên định thời mục tiêu trong trường hợp này.

Do đó, trong ví dụ này, bộ điều khiển điện áp 410 điều chỉnh điện áp V_{DD} cho mạch 460 (tức là, lõi CPU) theo hướng giảm độ chênh lệch (tức là, lỗi) giữa biên định thời cho mạch 460 và biên định thời mục tiêu. Nói cách khác, bộ điều khiển điện áp 410 điều chỉnh điện áp V_{DD} nhằm duy trì biên định thời cho mạch 460 tại hoặc gần với biên định thời mục tiêu. Do đó, không giống bộ điều chỉnh LDO truyền thống (ví dụ, bộ điều chỉnh LDO 210 hoặc 310), bộ điều khiển điện áp 410 không so sánh điện áp V_{DD} với điện áp tham chiếu V_{REF} để điều chỉnh điện áp V_{DD} .

Fig.5 thể hiện phương án triển khai làm ví dụ của mạch điều khiển 435 theo các khía cạnh nhất định. Trong ví dụ này, mạch điều khiển 435 bao gồm bộ so sánh 510 và bộ điều khiển chuyển mạch 520. Bộ điều khiển chuyển mạch 520 được ghép nối với các đầu vào điều khiển của các bộ chuyển mạch 420-1 đến bộ chuyển mạch 420-N. Bộ điều khiển chuyển mạch 520 được tạo cấu hình để điều khiển trạng thái bật/tắt của mỗi bộ chuyển mạch 420-1 đến bộ chuyển mạch 420-N qua tín hiệu điều khiển tương ứng (được gán nhãn “en[0]” đến “en[N-1]”) dựa trên tín hiệu so sánh từ bộ so sánh 510, như được thảo luận thêm dưới đây. Ví dụ trong đó mỗi bộ chuyển mạch 420-1 đến bộ chuyển mạch 420-N được triển khai với bóng bán dẫn tương ứng (ví dụ, PFET), đầu vào điều khiển của mỗi bộ chuyển mạch được đặt tại cực cổng của bóng bán dẫn tương ứng. Do đó, trong ví dụ này, bộ điều khiển chuyển mạch 520 được ghép nối với các cực cổng của các bóng bán dẫn (ví dụ, PFET) triển khai các bộ chuyển mạch 420-1 đến bộ chuyển mạch 420-N.

Bộ so sánh 510 có đầu vào thứ nhất 512, đầu vào thứ hai 514 và đầu ra 516. Đầu vào thứ nhất 512 của bộ so sánh 510 được tạo cấu hình để nhận tín hiệu tham chiếu chỉ báo biên định thời mục tiêu. Đầu vào thứ hai 514 của bộ so sánh 510 được ghép nối với đầu ra 452 của mạch định thời 450 và được tạo cấu hình để nhận tín hiệu biên định thời từ mạch định thời 450. Đầu ra 516 của bộ so sánh 510 được ghép nối với bộ điều khiển chuyển mạch 520.

Trong quá trình hoạt động, bộ so sánh 510 so sánh tín hiệu biên định thời với tín hiệu tham chiếu và tạo tín hiệu so sánh dựa trên sự so sánh. Tín hiệu so sánh có thể chỉ báo tín hiệu biên định thời nhỏ hơn hay lớn hơn tín hiệu tham chiếu. Theo một số phương án triển khai, tín hiệu so sánh có thể còn chỉ báo độ lớn của độ chênh lệch giữa tín hiệu biên định thời và tín hiệu tham chiếu. Trong ví dụ này, tín hiệu biên định thời có thể được coi là lớn hơn so với tín hiệu tham chiếu khi biên định thời được chỉ báo bởi tín hiệu biên định thời lớn hơn so với biên định thời mục tiêu được chỉ báo bởi tín hiệu tham chiếu, và tín hiệu biên định thời có thể được coi là nhỏ hơn so với tín hiệu tham chiếu khi biên định thời được chỉ báo bởi tín hiệu biên định thời nhỏ hơn so với biên định thời mục tiêu được chỉ báo bởi tín hiệu tham chiếu.

Bộ điều khiển chuyển mạch 520 nhận tín hiệu so sánh từ bộ so sánh 510 và điều chỉnh điện áp V_{DD} dựa trên tín hiệu so sánh theo hướng giảm độ chênh lệch (tức là, lỗi) giữa tín hiệu biên định thời từ mạch định thời 450 và tín hiệu tham chiếu. Ví dụ, nếu tín hiệu biên định thời lớn hơn so với tín hiệu tham chiếu, thì bộ điều khiển chuyển mạch 520 giảm điện áp V_{DD} cho mạch 460 bằng cách giảm số lượng bộ chuyển mạch 420-1 đến bộ chuyển mạch 420-N được bật lên. Việc giảm điện áp V_{DD} làm giảm biên định thời cho mạch 460, qua đó giảm bớt độ chênh lệch giữa tín hiệu biên định thời và tín hiệu tham chiếu trong trường hợp này. Nếu tín hiệu biên định thời nhỏ hơn so với tín hiệu tham chiếu, thì bộ điều khiển chuyển mạch 520 tăng điện áp V_{DD} cho mạch 460 bằng cách tăng số lượng bộ chuyển mạch 420-1 đến bộ chuyển mạch 420-N được bật lên. Việc tăng điện áp V_{DD} làm tăng biên định thời cho mạch 460, qua đó giảm độ chênh lệch giữa tín hiệu biên định thời và tín hiệu tham chiếu trong trường hợp này. Do đó, trong ví dụ này, bộ điều khiển chuyển mạch 520 điều chỉnh điện áp V_{DD} cho mạch 460 (tức là, lõi CPU) theo hướng giảm độ chênh lệch (tức là, lỗi) giữa biên định thời cho mạch 460 và biên định thời mục tiêu.

Theo ví dụ trên Fig.5, bộ so sánh 510 và bộ điều khiển chuyển mạch 520 nhận tín hiệu xung nhịp CLK_{ctrl} cho các hoạt động định thời của bộ so sánh 510 và bộ điều khiển chuyển mạch 520. Trong một ví dụ, với mỗi m chu kỳ của tín hiệu xung nhịp CLK_{ctrl} , bộ so sánh 510 so sánh tín hiệu biên định thời với tín hiệu tham chiếu và xuất ra tín hiệu so sánh đến bộ điều khiển chuyển mạch 520 dựa trên sự so sánh. Ngoài ra, với mỗi m chu kỳ của tín hiệu xung nhịp CLK_{ctrl} , bộ điều khiển chuyển mạch 520 nhận tín hiệu so sánh từ bộ so sánh 510 và điều chỉnh số lượng bộ chuyển mạch 420-1 đến bộ chuyển mạch 420-N được bật lên (ví dụ, được kích hoạt) dựa trên tín hiệu so sánh. Trong ví dụ này, m có thể là một hoặc nhiều hơn một.

Như được thảo luận ở trên, bộ điều khiển chuyển mạch 520 nhận tín hiệu so sánh từ bộ so sánh 510 và điều chỉnh số lượng bộ chuyển mạch 420-1 đến bộ chuyển mạch 420-N được bật lên (ví dụ, được kích hoạt) dựa trên tín hiệu so sánh. Trong một ví dụ, bộ điều khiển chuyển mạch 520 có thể điều chỉnh số lượng bộ chuyển mạch 420-1 đến bộ chuyển mạch 420-N được bật lên một tại một thời điểm. Trong ví dụ này, nếu tín hiệu so sánh chỉ báo rằng tín hiệu biên định thời lớn hơn so với tín hiệu tham chiếu, thì bộ điều khiển chuyển mạch 520 tắt một trong các bộ chuyển mạch 420-1 đến bộ chuyển mạch 420-N được bật lên nhằm làm cho số lượng bộ chuyển mạch 420-1 đến bộ chuyển mạch 420-N được bật giảm đi một bộ. Nếu tín hiệu so sánh chỉ báo rằng tín hiệu biên định thời nhỏ hơn so với tín hiệu tham chiếu, thì bộ điều khiển chuyển mạch 520 bật một trong các bộ chuyển mạch 420-1 đến bộ chuyển mạch 420-N được tắt đi nhằm làm cho số lượng bộ chuyển mạch 420-1 đến bộ chuyển mạch 420-N được bật tăng lên một bộ. Trong ví dụ này, bộ điều khiển chuyển mạch 520 có thể điều chỉnh số lượng bộ chuyển mạch 420-1 đến bộ chuyển mạch 420-N được bật lên mỗi lần bộ so sánh 510 cập nhật tín hiệu so sánh, có thể xảy ra mỗi m chu kỳ của tín hiệu xung nhịp CLK_{ctrl} trong đó m có thể là một hoặc nhiều hơn một.

Tuy nhiên, cần hiểu rõ rằng sáng chế không bị giới hạn ở ví dụ ở trên. Trong một ví dụ, tín hiệu so sánh từ bộ so sánh 510 có thể còn chỉ báo độ lớn của độ chênh lệch giữa tín hiệu biên định thời và tín hiệu tham chiếu. Trong ví dụ này, bộ điều khiển chuyển mạch 520 có thể bật hoặc tắt nhiều hơn một bộ chuyển mạch tại một thời điểm phụ thuộc vào độ lớn của độ chênh lệch giữa tín hiệu biên định thời và tín hiệu tham chiếu. Ví dụ, nếu tín hiệu so sánh chỉ báo rằng tín hiệu biên định thời lớn hơn so với

tín hiệu tham chiếu, thì bộ điều khiển chuyển mạch 520 có thể tắt k bộ chuyển mạch trong số các bộ chuyển mạch 420-1 đến bộ chuyển mạch 420-N để làm cho số lượng bộ chuyển mạch 420-1 đến bộ chuyển mạch 420-N được bật giảm đi k bộ. Nếu tín hiệu so sánh chỉ báo rằng tín hiệu biên định thời nhỏ hơn so với tín hiệu tham chiếu, thì bộ điều khiển chuyển mạch 520 có thể bật k bộ trong số các bộ chuyển mạch 420-1 đến bộ chuyển mạch 420-N để làm cho số lượng bộ chuyển mạch 420-1 đến bộ chuyển mạch 420-N được bật tăng lên k bộ. Trong ví dụ này, k phụ thuộc vào độ lớn của độ chênh lệch giữa tín hiệu biên định thời và tín hiệu tham chiếu trong đó k có thể lớn hơn đối với độ lớn lớn hơn và nhỏ hơn đối với độ lớn nhỏ hơn.

Fig.6 thể hiện phương án triển khai làm ví dụ của mạch định thời 450 theo các khía cạnh nhất định. Trong ví dụ này, mạch định thời 450 được tạo cấu hình để nhận tín hiệu định thời tại đầu vào 610 và thực hiện chuyển đổi thời gian sang số trên tín hiệu định thời để tạo tín hiệu biên định thời. Trong ví dụ này, tín hiệu biên định thời là tín hiệu số bao gồm các bit (được gắn nhãn “tdc[0]” đến “tdc[n-1]”). Nói cách khác, trong ví dụ này, tín hiệu biên định thời là mã dạng số tdc[0:n-1] cung cấp đọc số của biên định thời. Như được thảo luận thêm dưới đây, tín hiệu định thời có thể đến từ mạch phát hiện điện áp 650 được ghép nối với mạch định thời 450.

Trong ví dụ này, tín hiệu tham chiếu có thể còn là mã dạng số chỉ báo biên định thời mục tiêu. Trong một ví dụ, mã dạng số cho tín hiệu tham chiếu có thể được lưu trong thanh ghi 550 có đầu ra 555 được ghép nối với đầu vào thứ nhất 512 của bộ so sánh 510, như được thể hiện trên Fig.5. Trong ví dụ này, thanh ghi 550 được tạo cấu hình để xuất ra tín hiệu tham chiếu đến bộ so sánh 510 bằng cách xuất ra mã dạng số được lưu trữ trong thanh ghi 550 đến đầu vào thứ nhất 512 của bộ so sánh 510. Trong ví dụ này, biên định thời mục tiêu có thể được lập trình bằng cách viết mã dạng số vào thanh ghi 550 tương ứng với biên định thời mục tiêu.

Trong ví dụ này, thanh ghi 550 cung cấp tín hiệu tham chiếu cho sự so sánh trong bộ điều khiển điện áp 410 sử dụng ít điện năng, diện tích, và độ phức tạp hơn so với các LDO 210 và 310. Trong LDO so sánh điện áp (ví dụ, V_{DD}) với tham chiếu điện áp (ví dụ, V_{REF}), mạch tham chiếu khe hở năng lượng tương tự thường được sử dụng

để tạo tham chiếu điện áp, tiêu thụ nhiều năng lượng và diện tích hơn so với thanh ghi 550 và phức tạp hơn để triển khai.

Theo ví dụ trên Fig.6, mạch định thời 450 bao gồm dòng trễ 615 và nhiều mạch lật 630-1 đến mạch lật 630-n được ghép nối với dòng trễ 615. Mạch lật 630-1 đến mạch lật 630-n được tạo xung nhịp bởi tín hiệu xung nhịp CLK. Tín hiệu xung nhịp CLK có thể giống hoặc khác tín hiệu xung nhịp được dùng để tạo xung nhịp cho bộ so sánh 510 và bộ điều khiển chuyển mạch 520. Dòng trễ 615 có đầu vào 618 được ghép nối với đầu vào 610 của mạch định thời 450 và nhiều nút 622-1 đến nút 622-n trong đó mỗi nút tương ứng với một độ trễ khác nhau dọc theo dòng trễ 615. Theo ví dụ trên Fig.6, dòng trễ 615 bao gồm nhiều bộ đệm trễ 620-1 đến bộ đệm trễ 620-n được ghép nối nối tiếp trong đó đầu ra của mỗi bộ đệm trễ 620-1 đến bộ đệm trễ 620-n tương ứng với nút tương ứng trong số các nút 622-1 đến nút 622-n. Trong quá trình hoạt động, tín hiệu định thời được nhận bởi mạch định thời 450 lan truyền qua dòng trễ 615. Đầu ra của mỗi bộ đệm trễ 620-1 đến bộ đệm trễ 620-n cung cấp một phiên bản bị làm trễ khác nhau của tín hiệu định thời tại các nút 622-1 đến nút 622-n tương ứng.

Mỗi mạch lật 630-1 đến mạch lật 630-n có đầu vào 632-1 đến đầu vào 632-n, đầu ra 634-1 đến đầu ra 634-n, và đầu vào xung nhịp 636-1 đến đầu vào xung nhịp 636-n. Đầu vào xung nhịp 636-1 đến đầu vào xung nhịp 636-n của mỗi mạch lật 630-1 đến mạch lật 630-n được tạo cấu hình để nhận tín hiệu xung nhịp CLK. Mỗi mạch lật 630-1 đến mạch lật 630-n được tạo cấu hình để chốt giá trị bit tại đầu vào 632-1 đến đầu vào 632-n tương ứng trên cạnh của tín hiệu xung nhịp CLK, và xuất ra giá trị bit được chốt tại đầu ra 634-1 đến đầu ra 634-n tương ứng. Cạnh của tín hiệu xung nhịp CLK có thể là cạnh tăng hoặc cạnh giảm phụ thuộc vào việc các mạch lật 630-1 đến mạch lật 630-n được triển khai với các mạch lật được kích hoạt cạnh tăng hay các mạch lật được kích hoạt cạnh giảm.

Đầu vào 632-1 đến đầu vào 632-n của mỗi mạch lật 630-1 đến mạch lật 630-n được ghép nối với một trong các nút 622-1 đến nút 622-n tương ứng trên dòng trễ 615. Do đó, đầu vào 632-1 đến đầu vào 632-n của mỗi mạch lật 630-1 đến mạch lật 630-n nhận phiên bản bị làm trễ khác của tín hiệu định thời. Theo ví dụ trên Fig.6, đầu vào 632-1 đến đầu vào 632-n của mỗi mạch lật 630-1 đến mạch lật 630-n được ghép nối

với đầu ra của một trong các bộ đếm trễ 620-1 đến bộ đếm trễ 620-n tương ứng. Đầu ra 634-1 đến đầu ra 634-n của mỗi mạch lật 630-1 đến mạch lật 630-n cung cấp một trong các bit tương ứng (được gắn nhãn “tdc[0]” đến “tdc[n-1]”) của tín hiệu biên định thời. Trong ví dụ này, mỗi mạch lật 630-1 đến mạch lật 630-n chốt giá trị bit tại các nút 622-1 đến nút 622-n tương ứng trên cạnh của tín hiệu xung nhịp CLK, và xuất ra giá trị bit được chốt dưới dạng giá trị bit cho bit tương ứng của tín hiệu biên định thời.

Trong ví dụ này, các đầu ra 634-1 đến đầu ra 634-n của các mạch lật 630-1 đến mạch lật 630-n được ghép nối với đầu vào thứ hai 514 của bộ so sánh 510 để cung cấp các bit (được gắn nhãn “tdc[0]” đến “tdc[n-1]”) của tín hiệu biên định thời đến bộ so sánh 510. Trong một ví dụ, các đầu ra 634-1 đến đầu ra 634-n của các mạch lật 630-1 đến mạch lật 630-n có thể được ghép nối với đầu vào thứ hai 514 của bộ so sánh 510 song song để cung cấp các bit (được gắn nhãn “tdc[0]” đến “tdc[n-1]”) đến bộ so sánh 510 song song. Trong một ví dụ khác, các đầu ra 634-1 đến đầu ra 634-n của các mạch lật 630-1 đến mạch lật 630-n có thể được ghép nối với đầu vào thứ hai 514 của bộ so sánh 510 qua bộ chuyển đổi song song sang nối tiếp (không được thể hiện trên hình vẽ). Trong ví dụ này, bộ chuyển đổi song song sang nối tiếp nhận các bit (được gắn nhãn “tdc[0]” đến “tdc[n-1]”) từ các đầu ra 634-1 đến đầu ra 634-n của các mạch lật 630-1 đến mạch lật 630-n song song và xuất ra các bit đến đầu vào thứ hai 514 của bộ so sánh 510 nối tiếp.

Trong ví dụ này, các mạch lật 630-1 đến mạch lật 630-n trong mạch định thời 450 cung cấp một cách có hiệu quả nhiều ngưỡng để đo biên định thời. Ví dụ, giả sử độ trễ của mỗi bộ đếm 620-1 đến bộ đếm 620-n là xấp xỉ Δt , đầu ra 634-1 của mạch lật 630-1 chỉ báo biên định thời cao hơn hay thấp hơn Δt , đầu ra 634-2 của mạch lật 630-2 chỉ báo biên định thời cao hơn hay thấp hơn $2\Delta t$, đầu ra 634-3 của mạch lật 630-3 chỉ báo biên định thời cao hơn hay thấp hơn $3\Delta t$, v.v.. Nhiều ngưỡng cung cấp cho mạch điều khiển 435 thông tin bổ sung có thể được sử dụng để điều khiển các bộ chuyển mạch 420-1 đến bộ chuyển mạch 420-N. Ví dụ, thông tin bổ sung có thể được sử dụng để xác định độ lớn của độ chênh lệch giữa biên định thời đo được và biên định thời mục tiêu, độ dốc của biên định thời khi mạch điều khiển 435 thay đổi số lượng bộ chuyển mạch 420-1 đến bộ chuyển mạch 420-N được bật lên, v.v.. Ngược lại, bộ so sánh điện áp 330 được sử dụng bởi LDO 310 trên Fig.3 đơn giản là cung cấp thông tin

về việc điện áp V_{DD} cao hơn hay thấp hơn điện áp tham chiếu (mà hoạt động hiệu quả như một ngưỡng điện áp).

Trong ví dụ này, tín hiệu biên định thời và tín hiệu tham chiếu đều là các mã dạng số. Điều này cho phép bộ so sánh 510 được triển khai với mạch số dễ dàng để triển khai và điều chỉnh tốt hơn với công nghệ xử lý so sánh với bộ so sánh điện áp 330. Ngược lại, bộ so sánh điện áp 330 được triển khai với mạch tương tự nhạy với các biến thể quá trình và không dễ dàng điều chỉnh với công nghệ xử lý.

Fig.7 thể hiện phương án triển khai làm ví dụ của mạch phát hiện điện áp 650 theo các khía cạnh nhất định. Mạch phát hiện điện áp 650 có đầu vào 712, đầu ra thứ nhất 714, và đầu ra thứ hai 716. Trong ví dụ này, mạch phát hiện điện áp 650 bao gồm bộ tạo tín hiệu 720, mạch trễ 730, và mạch lật 740. Mạch lật 730 có thể được tạo cấu hình sao cho độ trễ của mạch trễ 730 xấp xỉ độ trễ trong đường tới hạn trong mạch 460. Ví dụ, mạch trễ 730 có thể có độ trễ lập trình được có thể được lập trình gần khớp với độ trễ của đường tới hạn trong mạch 460. Theo ví dụ trên Fig.7, mạch trễ 730 được cấp năng lượng bởi điện áp V_{DD} từ đầu ra 425 của bộ điều khiển điện áp 410 (tức là, mạch trễ 730 được ghép nối với đầu ra 425 của bộ điều khiển điện áp 410), và do đó nhận cùng điện áp dưới dạng mạch 460. Kết quả là, các thay đổi trong độ trễ của mạch trễ 730 do các thay đổi trong điện áp V_{DD} theo dõi các thay đổi trong độ trễ của đường tới hạn trong mạch 460 do các thay đổi trong điện áp V_{DD} . Do đó, mạch trễ 730 có thể được sử dụng để đo gián tiếp biên định thời trong đường tới hạn trong mạch 460, như được thảo luận thêm dưới đây.

Trong ví dụ này, bộ tạo tín hiệu 720 có đầu ra 722 và đầu vào xung nhịp 724. Đầu ra 722 được ghép nối với đầu vào 732 của mạch trễ 730 và đầu vào xung nhịp 724 được ghép nối với đầu vào 712 của mạch phát hiện điện áp 650, được tạo cấu hình để nhận tín hiệu xung nhịp CLK. Bộ tạo tín hiệu 720 được tạo cấu hình để tạo tín hiệu định thời được đưa vào đầu vào 732 của mạch trễ 730. Như được thảo luận thêm dưới đây, bộ tạo tín hiệu 720 được tạo cấu hình để tạo cạnh của tín hiệu định thời trên cạnh của tín hiệu xung nhịp CLK. Ví dụ, bộ tạo tín hiệu 720 có thể tạo cạnh của tín hiệu định thời mỗi p chu kỳ của tín hiệu xung nhịp CLK trong đó p có thể là một hoặc nhiều hơn một.

Mạch lật 740 có đầu vào 742, đầu ra 744, và đầu vào xung nhịp 746. Đầu vào 742 của mạch lật 740 được ghép nối với đầu ra 734 của mạch trễ 730, và đầu vào xung nhịp 746 của mạch lật 740 được ghép nối với đầu vào 712 của mạch phát hiện điện áp 650, được tạo cấu hình để nhận tín hiệu xung nhịp CLK. Đầu ra 744 của mạch lật 740 được ghép nối với đầu ra thứ nhất 714 của mạch phát hiện điện áp 650. Như được thảo luận thêm dưới đây, mạch lật 740 được tạo cấu hình để xuất ra tín hiệu đầu ra chỉ báo có lỗi định thời hay không.

Trong quá trình hoạt động, bộ tạo tín hiệu 720 tạo cạnh của tín hiệu định thời trên cạnh của tín hiệu xung nhịp CLK. Cạnh của tín hiệu định thời có thể là cạnh tăng hoặc cạnh giảm, và cạnh của tín hiệu xung nhịp CLK có thể là cạnh tăng hoặc cạnh giảm. Bộ tạo tín hiệu 720 xuất ra cạnh của tín hiệu định thời đến đầu vào 732 của mạch trễ 730. Mạch lật 730 làm trễ cạnh của tín hiệu định thời bởi độ trễ khớp hoặc gần khớp với độ trễ của đường tới hạn trong mạch 460, như được thảo luận ở trên. Mạch lật 730 xuất ra cạnh của tín hiệu định thời sau độ trễ tại đầu ra 734 của mạch trễ 730. Độ trễ tại đầu ra 734 của mạch trễ 730 có thể có cùng độ phân cực cạnh như cạnh tại đầu vào 732 của mạch trễ 730 hoặc độ phân cực cạnh nghịch đảo phụ thuộc vào việc mạch trễ 730 có làm nghịch đảo độ phân cực cạnh của tín hiệu định thời hay không.

Mạch lật 740 có thể sau đó cố gắng chốt cạnh của tín hiệu định thời trên cạnh của tín hiệu xung nhịp CLK. Cạnh của tín hiệu xung nhịp CLK được sử dụng để kích hoạt mạch lật 740 có thể ở cách cạnh được sử dụng bởi bộ tạo tín hiệu 720 để tạo cạnh của tín hiệu định thời là một chu kỳ của tín hiệu xung nhịp CLK. Về vấn đề này, Fig.8 thể hiện ví dụ về cạnh 810 của tín hiệu định thời tại đầu vào 742 của mạch lật 740 và cạnh 820 của tín hiệu định thời CLK tại đầu vào xung nhịp 746 của mạch lật 740. Trong ví dụ này, mạch lật 740 có thời gian thiết lập, có thể được định nghĩa là khoảng thời gian tối thiểu cạnh 810 của tín hiệu định thời cần để đến đầu vào 742 của mạch lật 740 trước cạnh 820 của tín hiệu xung nhịp CLK để mạch lật 740 chốt đúng cạnh 810. Trong ví dụ này, biên định thời là xấp xỉ bằng khoảng thời gian (được gắn nhãn "T") mà cạnh 810 của tín hiệu định thời đến đầu vào 742 của mạch lật 740 trước cạnh 820 của tín hiệu xung nhịp CLK trừ đi thời gian thiết lập của mạch lật 740.

Trong ví dụ này, nếu cạnh 810 của tín hiệu định thời đến đầu vào 742 của mạch lật 740 trước khi bắt đầu thời gian thiết lập, thì mạch lật 740 chốt thành công cạnh 810. Điều này chỉ báo rằng việc định thời được đáp ứng bởi mạch trễ 730 (tức là, không có lỗi định thời). Do độ trễ của mạch trễ 730 gần khớp với độ trễ của đường tới hạn trong mạch 460, điều này cũng chỉ báo rằng việc định thời được đáp ứng trong đường tới hạn trong mạch 460. Nếu cạnh 810 của tín hiệu định thời đến đầu vào 742 của mạch lật 740 sau khi bắt đầu thời gian thiết lập, thì mạch lật 740 không chốt được cạnh 810 của tín hiệu định thời. Điều này có thể chỉ báo rằng việc định thời không đáp ứng được (tức là, chỉ báo lỗi định thời). Do đó, đầu ra 744 của mạch lật 740 chỉ báo có lỗi định thời hay không.

Theo các khía cạnh nhất định, đầu ra của mạch lật 740 có thể được sử dụng để phát hiện sự sụt giảm điện áp trong điện áp V_{DD} . Điều này là do sự sụt giảm điện áp làm tăng độ trễ trong mạch trễ 730, khiến cạnh 810 của tín hiệu định thời đến đầu vào 742 của mạch lật 740 sau khi bắt đầu thời gian thiết lập khi sự sụt giảm điện áp đủ lớn. Nói cách khác, sự sụt giảm điện áp đủ lớn khiến mạch lật 740 không chốt được cạnh 810 và do đó không xuất ra được cạnh 810 tại đầu ra 744, chỉ báo lỗi định thời. Do đó, trong ví dụ này, sự sụt giảm điện áp trong điện áp V_{DD} có thể được phát hiện khi đầu ra 744 của mạch lật 740 chỉ báo lỗi định thời gây ra bởi sự sụt giảm điện áp. Nói cách khác, mạch phát hiện 650 phát hiện ra sự sụt giảm điện áp dựa trên tác động của sự sụt giảm điện áp lên độ trễ của mạch trễ 730.

Trong ví dụ này, đầu ra 734 của mạch trễ 730 còn được ghép nối với đầu ra 716 của mạch phát hiện điện áp 650, được ghép nối với đầu vào 610 của mạch định thời 450. Do đó, trong ví dụ này, tín hiệu định thời tại đầu ra 734 của mạch trễ 730 cung cấp tín hiệu định thời được đưa vào mạch định thời 450. Như được thảo luận ở trên, mạch định thời 450 được tạo cấu hình để chuyển đổi tín hiệu định thời thành tín hiệu biên định thời. Trong ví dụ này, cạnh 810 của tín hiệu định thời được đưa vào dòng trễ 615 của mạch định thời 450 sau độ trễ của mạch trễ 730. Cạnh 810 của tín hiệu định thời còn bị làm trễ bởi dòng trễ 615, trong đó cạnh bị làm trễ bằng cách tăng các độ trễ do cạnh 810 lan truyền xuống dòng trễ 615. Các đầu ra của các bộ đệm trễ 620-1 đến bộ đệm trễ 620-n trong dòng trễ 615 xuất ra các phiên bản bị làm trễ khác nhau của cạnh 810 đến các mạch lật 630-1 đến mạch lật 630-n tương ứng. Trong ví dụ này, mỗi

mạch lật 630-1 đến mạch lật 630-n có gắng chốt cạnh 810 của tín hiệu định thời từ đầu ra của bộ đếm trễ 620-1 đến bộ đếm trễ 620-n tương ứng trên cạnh của tín hiệu xung nhịp CLK. Cạnh của tín hiệu xung nhịp CLK được sử dụng để kích hoạt các mạch lật 630-1 đến mạch lật 630-n có thể là cùng một cạnh của tín hiệu xung nhịp CLK được sử dụng để kích hoạt mạch lật 740 trong mạch phát hiện điện áp 650.

Trong ví dụ này, biên định thời được chỉ báo bởi số lượng mạch lật 630-1 đến mạch lật 630-n trong mạch định thời 450 chốt thành công cạnh 810 của tín hiệu định thời. Số lượng mạch lật 630-1 đến mạch lật 630-n chốt thành công cạnh 810 của tín hiệu định thời càng lớn thì biên định thời càng lớn. Mạch lật chốt thành công cạnh xuất ra cạnh được chốt 810 tại đầu ra tương ứng. Ví dụ trong đó cạnh 810 là cạnh giảm (được thể hiện trong ví dụ trên Fig.8), mỗi mạch lật 630-1 đến mạch lật 630-n chốt thành công cạnh xuất ra giá trị bit là không. Ví dụ trong đó cạnh 810 là cạnh tăng, mỗi mạch lật 630-1 đến mạch lật 630-n chốt thành công cạnh xuất ra giá trị bit là một. Do đó, trong ví dụ này, các giá trị bit tại các đầu ra 634-1 đến đầu ra 634-n của các mạch lật 630-1 đến mạch lật 630-n chỉ báo số lượng mạch lật 630-1 đến mạch lật 630-n chốt thành công cạnh 810 của tín hiệu định thời, chỉ báo biên định thời. Như đã được thảo luận ở trên, các đầu ra 634-1 đến đầu ra 634-n của các mạch lật 630-1 đến mạch lật 630-n cung cấp các bit (được gắn nhãn “tdc[0]” đến “tdc[n-1]”) của tín hiệu biên định thời, được đưa vào đầu vào thứ hai 514 của bộ so sánh 510 song song hoặc nối tiếp.

Fig.9 thể hiện ví dụ về đường tới hạn 905 trong mạch 460 theo các khía cạnh nhất định. Cần hiểu rõ rằng đường tới hạn 905 làm ví dụ được thể hiện trên Fig.9 nhằm mục đích minh họa và không dự định làm giới hạn sáng chế ở một đường tới hạn cụ thể. Đường tới hạn của mạch 460 có thể thay đổi, ví dụ, phụ thuộc vào sự triển khai mạch 460. Trong một ví dụ, mạch 460 có thể bao gồm nhiều đường dữ liệu trong đó một trong các đường dữ liệu là đường tới hạn. Trong ví dụ này, đường tới hạn có thể là đường dữ liệu từ trong số nhiều đường dữ liệu có biên định thời nhỏ nhất. Đường dữ liệu 905 trong mạch có thể được nhận dạng, ví dụ, bằng cách thực hiện các phân tích định thời trên mạch 460 hoặc một kỹ thuật khác đã biết trong lĩnh vực này.

Theo ví dụ trên Fig.9, đường tới hạn 905 bao gồm mạch lật thứ nhất 910, đường trễ 930 và mạch lật thứ hai 920. Mạch lật thứ nhất 910 có đầu vào 912, đầu ra 914, và

đầu vào xung nhịp 916. Đầu vào 912 của mạch lật thứ nhất 910 được tạo cấu hình để nhận tín hiệu dữ liệu và đầu vào xung nhịp 916 được tạo cấu hình để nhận tín hiệu xung nhịp CLK. Tín hiệu dữ liệu có thể đến từ một phần khác của mạch 460 (không được thể hiện trên hình vẽ) hoặc có thể là tín hiệu dữ liệu được đưa vào mạch 460.

Mạch lật thứ hai 920 có đầu vào 922, đầu ra 924, và đầu vào xung nhịp 926. Đường trễ 930 được ghép nối giữa đầu ra 914 của mạch lật thứ nhất 910 và đầu vào 922 của mạch lật thứ hai 920. Đầu vào xung nhịp 926 của mạch lật thứ hai 920 được tạo cấu hình để nhận tín hiệu xung nhịp CLK. Trong quá trình hoạt động, đường trễ 930 làm trễ tín hiệu dữ liệu từ mạch lật thứ nhất 910. Đầu ra 924 của mạch lật thứ hai 920 có thể được ghép nối với một phần khác của mạch 460 hoặc đầu ra của mạch 460.

Đường dữ liệu 930 có thể bao gồm các cổng logic và/hoặc các thiết bị khác thực hiện hoạt động (ví dụ, hoạt động logic) trên tín hiệu dữ liệu. Fig.9 thể hiện ví dụ về các loại cổng logic khác nhau có thể được bao gồm trong đường trễ 930. Cần hiểu rõ rằng đường trễ 930 không bị giới hạn ở ví dụ trên Fig.9, đường trễ 930 có thể bao gồm các kết hợp khác nhau của các cổng logic phụ thuộc vào phương án triển khai của mạch 460. Đường trễ 930 làm trễ tín hiệu dữ liệu bởi độ trễ dựa trên, ví dụ, các độ trễ của các cổng logic trong đường trễ 930 và các kết nối giữa các cổng logic. Như được thể hiện trên Fig.9, điện áp V_{DD} của bộ điều khiển điện áp 410 được cung cấp cho các cổng logic trong đường trễ 930, và do đó độ trễ của đường trễ 930 nhạy với điện áp V_{DD} .

Trong quá trình hoạt động, mạch lật thứ nhất 910 được tạo cấu hình để chốt bit của tín hiệu dữ liệu trên cạnh thứ nhất (ví dụ, cạnh tăng) của tín hiệu xung nhịp CLK và xuất ra bit được chốt của tín hiệu dữ liệu tại đầu ra 914. Bit được chốt được đưa vào đường trễ 930. Đường trễ 930 tạo bit tương ứng tại đầu vào 922 của mạch lật 920 sau độ trễ của đường trễ 930. Mạch lật thứ hai 920 được tạo cấu hình để chốt bit từ đường trễ 930 trên cạnh thứ hai (ví dụ, cạnh tăng) của tín hiệu xung nhịp CLK và xuất ra bit được chốt tại đầu ra 924. Cạnh thứ nhất và cạnh thứ hai của tín hiệu xung nhịp CLK có thể cách nhau một chu kỳ của tín hiệu xung nhịp CLK. Trong ví dụ này, biên định thời của đường tới hạn 905 có thể được định nghĩa là khoảng thời gian giữa cạnh thứ hai

của tín hiệu xung nhịp CLK và sự đến của cạnh của bit tại đầu vào 922 của mạch lật thứ hai 920 trừ đi thời gian thiết lập của mạch lật 920.

Độ trễ của mạch trễ 730 có thể được lập trình (tức là, được hiệu chỉnh) để gần khớp với độ trễ của đường trễ 930 để biên định thời của mạch phát hiện điện áp 650 gần khớp với biên định thời của đường tới hạn 905. Do mạch trễ 730 và đường trễ 930 nhận điện áp V_{DD} từ bộ điều khiển điện áp 410, biên định thời của mạch phát hiện điện áp 650 theo dõi các thay đổi trong biên định thời của đường tới hạn 905 do các thay đổi trong điện áp V_{DD} . Điều này cho phép mạch trễ 730 đo gián tiếp biên định thời cho mạch 460 và do đó cho phép tín hiệu biên định thời chỉ báo biên định thời cho mạch 460. Việc sử dụng mạch trễ có độ trễ gần khớp với độ trễ của đường tới hạn để giám sát biên định thời của đường tới hạn có thể được gọi là việc giám sát đường tới hạn.

Để mạch 460 hoạt động đúng, biên định thời của đường tới hạn 905 cần bằng hoặc lớn hơn không (0) bất kể tần số xung nhịp F_{clk} (tức là, tần số của tín hiệu xung nhịp) và điện áp V_{DD} . Vì lý do này, tín hiệu biên định thời xuất ra bởi mạch định thời 450 cung cấp cho mạch điều khiển 435 dạng biểu diễn chính xác hơn của điều kiện hoạt động dòng điện của mạch 460 so với điện áp V_{DD} . Khi mạch điều khiển 435 điều chỉnh số lượng bộ chuyển mạch 420-1 đến bộ chuyển mạch 420-N được bật lên dựa trên tín hiệu biên định thời, tín hiệu biên định thời cung cấp cho mạch điều khiển 435 chỉ báo chính xác về độ nhạy của chức năng mạch với các thay đổi trong số lượng bộ chuyển mạch 420-1 đến bộ chuyển mạch 420-N được bật lên.

Ngược lại, trong LDO 310 trên Fig.3, phép đo điện áp V_{DD} cung cấp dạng biểu diễn gián tiếp của biên định thời dựa trên đặc tính silic. Việc xác định điện áp V_{DD} tương ứng với biên định thời mục tiêu thường yêu cầu các đặc tính toàn diện.

Sự khác nhau trong các loại phép đo là đặc biệt quan trọng do độ nhạy của đường trễ với V_{DD} thay đổi đáng kể qua các điều kiện điều chỉnh tần số điện áp động (DVFS). Ví dụ, độ nhạy của đường trễ với V_{DD} tăng đáng kể từ các điều kiện DVFS cao (tức là, V_{DD} và các giá trị F_{clk} cao) đến các điều kiện DVFS thấp (tức là, V_{DD} và các giá trị F_{clk} thấp). Ngoài ra, độ nhạy của đường trễ với V_{DD} phụ thuộc rất nhiều vào các biến thể quá trình. Vì những lý do này, biến thể V_{DD} chấp nhận được cho LDO (ví dụ, LDO 310) dựa trên các phép đo V_{DD} thay đổi nhiều qua các điều kiện DVFS và các

biến thể quá trình, cần được đặc tính một cách tổng quan bởi silic cho sản phẩm và công nghệ xử lý cho trước. Bộ điều khiển điện áp 410 theo các khía cạnh của sáng chế tránh độ phức tạp đặc tính này bằng cách điều khiển các bộ chuyển mạch 420-1 đến bộ chuyển mạch 420-N sử dụng các phép đo biên định thời thay vì các phép đo V_{DD} .

Fig.10 thể hiện phương án triển khai làm ví dụ của bộ tạo tín hiệu 720 và mạch trễ 730 theo các khía cạnh nhất định của sáng chế. Trong ví dụ này, bộ tạo tín hiệu 720 bao gồm mạch lật 1015, bộ đảo 1018, và cổng AND 1012. Cổng AND 1012 có một đầu vào được ghép nối với đầu ra của mạch lật 1015 qua bộ đảo 1018, một đầu ra khác được tạo cấu hình để nhận tín hiệu kích hoạt EN, và đầu ra được ghép nối với đầu vào của mạch lật 1015. Đầu vào xung nhịp của mạch lật 1015 được điều khiển bởi tín hiệu xung nhịp CLK. Đầu ra của mạch lật 1015 được ghép nối với đầu ra 722 của bộ tạo tín hiệu 720.

Trong quá trình hoạt động, bộ tạo tín hiệu 720 được kích hoạt khi tín hiệu kích hoạt EN là một. Trong trường hợp này, mạch lật 1015 xuất ra tín hiệu định thời chuyển đổi các trạng thái logic (đảo trạng thái (toggles)) trên mỗi cạnh tăng của tín hiệu xung nhịp CLK. Do đó, trong ví dụ này, bộ tạo tín hiệu 720 xen kẽ giữa việc xuất ra cạnh tăng hoặc cạnh giảm. Bộ tạo tín hiệu 720 bị vô hiệu hoá khi tín hiệu kích hoạt EN là không (0).

Trong ví dụ này, mạch trễ 730 bao gồm đường truyền tốc độ cao 1027, thiết bị trễ hiệu chỉnh được 1020, cổng AND 1030, cổng OR thứ nhất 1040, thiết bị trễ tinh chỉnh được thứ nhất 1035, thiết bị trễ tinh chỉnh được thứ hai 1045, cổng XOR thứ nhất 1070, cổng XOR thứ hai 1080, và cổng OR thứ hai 1090. Đầu vào của thiết bị trễ hiệu chỉnh được 1020 được ghép nối với đầu vào 732 của mạch trễ 730. Đường truyền tốc độ cao 1027 bỏ qua thiết bị trễ hiệu chỉnh được 1020 và có độ trễ ngắn hơn nhiều so với thiết bị trễ hiệu chỉnh được 1020. Đường truyền tốc độ cao 1027 được ghép nối với đầu vào 732 của mạch trễ 730, như được thể hiện trên Fig.10.

Đầu vào thứ nhất 1032 của cổng AND 1030 được ghép nối với đường truyền tốc độ cao 1027 và có đầu vào thứ hai 1034 của cổng AND 1030 được ghép nối với đầu ra của thiết bị trễ hiệu chỉnh được 1020. Đầu vào thứ nhất 1042 của cổng OR thứ nhất 1040 được ghép nối với đường truyền tốc độ cao 1027 và có đầu vào thứ hai 1044

của cổng OR thứ nhất 1040 được ghép nối với đầu ra của thiết bị trễ hiệu chỉnh được 1020. Đầu vào thứ nhất 1072 của cổng XOR thứ nhất 1070 được ghép nối với đường truyền tốc độ cao 1027 và có đầu vào thứ hai 1074 của cổng XOR thứ nhất 1070 được ghép nối với đầu ra của cổng AND 1030 qua thiết bị trễ tinh chỉnh được thứ nhất 1035. Đầu vào thứ nhất 1082 của cổng XOR thứ hai 1080 được ghép nối với đường truyền tốc độ cao 1027 và đầu vào thứ hai 1084 của cổng XOR thứ hai 1080 được ghép nối với đầu ra của cổng OR thứ nhất 1040 qua thiết bị trễ tinh chỉnh được thứ hai 1045. Đầu vào thứ nhất 1092 của cổng OR thứ hai 1090 được ghép nối với đầu ra của cổng XOR thứ nhất 1070, đầu vào thứ hai 1094 của cổng OR thứ hai 1090 được ghép nối với đầu ra của cổng XOR thứ hai 1080, và đầu ra của cổng OR thứ hai 1090 được ghép nối với đầu ra 734 của mạch trễ 730.

Theo ví dụ trên Fig.10, thiết bị trễ hiệu chỉnh được 1020 bao gồm bộ ghép kênh 1022 và nhiều đường trễ có chọn lọc. Trong ví dụ này, độ trễ của thiết bị trễ hiệu chỉnh được 1020 có thể được lập trình bằng cách lập trình đường trễ được chọn bởi bộ ghép kênh 1022 qua tín hiệu lựa chọn (được gắn nhãn “td1”). Đầu ra của bộ ghép kênh 1022 được ghép nối với đầu ra của thiết bị trễ hiệu chỉnh được 1020. Tín hiệu lựa chọn td1 có thể là mã dạng số chỉ báo một trong các đường trễ có thể lựa chọn sẽ được chọn bởi bộ ghép kênh 822. Do đó, trong ví dụ này, độ trễ của mạch trễ 730 có thể được lập trình bằng cách sử dụng tín hiệu lựa chọn td1.

Hoạt động của mạch phát hiện điện áp 650 làm ví dụ được minh họa trên Fig.10 sẽ được mô tả theo các khía cạnh nhất định của sáng chế. Hoạt động theo ví dụ trong đó bộ tạo tín hiệu 720 xuất ra cạnh tăng của tín hiệu định thời được mô tả đầu tiên theo các khía cạnh nhất định có tham chiếu đến Fig.11A. Fig.11A là sơ đồ định thời thể hiện ví dụ về tín hiệu tại đầu ra của mạch trễ 730.

Trong ví dụ này, bộ tạo tín hiệu 720 xuất ra cạnh tăng của tín hiệu định thời trên cạnh thứ nhất 1105 của tín hiệu xung nhịp CLK. Cạnh tăng của tín hiệu định thời lan truyền nhanh từ đầu ra 722 của bộ tạo tín hiệu 720 đến đầu vào thứ nhất 1032 của cổng AND 1030 và đầu vào thứ nhất 1072 của cổng XOR thứ nhất 1070 qua đường truyền tốc độ cao 1027 (bỏ qua thiết bị trễ 1020). Cạnh tăng từ đường truyền tốc độ cao 1027 khiến cổng XOR thứ nhất 1070 xuất ra giá trị bit là một đến cổng OR thứ hai 1090.

Điều này là do giá trị bit tại đầu vào thứ hai 1074 của cổng XOR thứ nhất 1070 là không (0) do cạnh tăng của tín hiệu định thời vẫn đang lan truyền qua thiết bị trễ 1020. Giá trị bit là một được xuất ra bởi cổng XOR thứ nhất 1070 khiến cổng OR thứ hai 1090 xuất ra giá trị bit là một tại đầu ra 734 của mạch trễ 730. Điều này được thực hiện để đặt lại đầu ra 734 của mạch trễ 730 thành một. Ví dụ về điều này được minh họa trên Fig.11A, trong đó đầu ra của 734 của mạch trễ 730 được đặt lại thành một sau độ trễ (được gắn nhãn “Df”) xấp xỉ bằng độ trễ xung nhịp đến đầu ra (“CLK-Q”) của mạch lật 1015, độ trễ của đường truyền tốc độ cao 1027, và độ trễ của cổng XOR thứ nhất 1070 và cổng OR thứ hai 1090.

Cạnh tăng của tín hiệu định thời lan truyền qua thiết bị trễ 1020 được xuất ra bởi thiết bị trễ 1020 sau độ trễ của thiết bị trễ 1020. Do đó, cạnh tăng được đưa vào đầu vào thứ hai 1034 của cổng AND 1030 sau độ trễ của thiết bị trễ 1020, khiến cổng AND 1030 xuất ra cạnh tăng. Cạnh tăng lan truyền đến đầu vào thứ hai 1074 của cổng XOR thứ nhất 1070 sau độ trễ của thiết bị trễ tinh chỉnh được thứ nhất 1035. Điều này khiến cổng XOR thứ nhất 1070 xuất ra cạnh giảm, khiến cổng OR thứ hai 1090 xuất ra cạnh giảm tại đầu ra 734 của mạch trễ 730. Ví dụ về điều này được minh họa trên Fig.11A thể hiện ví dụ về cạnh giảm 1110 tại đầu ra 734 của mạch trễ 730. Cạnh giảm 1110 bị làm trễ từ cạnh thứ nhất 1105 của tín hiệu xung nhịp CLK gần bằng độ trễ của thiết bị trễ hiệu chỉnh được 1020 và thiết bị trễ tinh chỉnh được thứ nhất 1035.

Trong ví dụ này, việc định thời được đáp ứng khi mạch lật 740 chốt thành công cạnh giảm 1110 trên cạnh thứ hai 1120 của tín hiệu xung nhịp CLK. Lưu ý rằng, trong ví dụ này, độ phân cực của cạnh của tín hiệu định thời được chuyển đổi bởi mạch trễ 730 (tức là, cạnh 1110 tại đầu ra của mạch trễ 730 là cạnh giảm và cạnh tại đầu ra của bộ tạo tín hiệu 720 là cạnh tăng). Trong ví dụ này, việc định thời được đáp ứng nếu mạch lật 740 chốt thành công cạnh giảm 1110. Trong trường hợp này, mạch lật 740 xuất ra giá trị bit là không tại đầu ra 744 chỉ báo rằng việc định thời được đáp ứng. Việc định thời không được đáp ứng nếu mạch lật 740 không chốt được cạnh giảm 1110. Điều này có thể xảy ra, ví dụ, khi cạnh giảm 1110 đến đầu vào 742 của mạch lật 740 sau khi bắt đầu thời gian thiết lập của mạch lật 740.

Hoạt động theo ví dụ trong đó bộ tạo tín hiệu 720 xuất ra cạnh giảm của tín hiệu định thời sẽ được mô tả theo các khía cạnh nhất định có tham chiếu đến Fig.11B. Fig.11B là sơ đồ định thời thể hiện ví dụ về tín hiệu tại đầu ra của mạch trễ 730.

Trong ví dụ này, bộ tạo tín hiệu 720 xuất ra cạnh giảm của tín hiệu định thời trên cạnh thứ nhất 1155 của tín hiệu xung nhịp CLK. Cạnh giảm của tín hiệu định thời lan truyền nhanh từ đầu ra 722 của bộ tạo tín hiệu 720 đến đầu vào thứ nhất 1042 của cổng OR thứ nhất 1040 và đầu vào thứ nhất 1082 của cổng XOR thứ hai 1080 qua đường truyền tốc độ cao 1027 (bỏ qua thiết bị trễ 1020). Cạnh giảm từ đường truyền tốc độ cao 1027 khiến cổng XOR thứ hai 1080 xuất ra giá trị bit là một đến cổng OR thứ hai 1090. Điều này là do giá trị bit tại đầu vào thứ hai 1084 của cổng XOR thứ hai 1080 vẫn là một do cạnh giảm của tín hiệu định thời vẫn đang lan truyền qua thiết bị trễ 1020. Giá trị bit là một được xuất ra bởi cổng XOR thứ hai 1080 khiến cổng OR thứ hai 1090 xuất ra giá trị bit là một tại đầu ra 734 của mạch trễ 730. Điều này được thực hiện để đặt lại đầu ra 734 của mạch trễ 730 thành một. Ví dụ về điều này được minh họa trên Fig.11B, trong đó đầu ra của 734 của mạch trễ 730 được đặt lại thành một sau độ trễ (được gắn nhãn “Df”) xấp xỉ bằng độ trễ CLK-Q của mạch lật 1015, độ trễ của đường truyền tốc độ cao 1027, và độ trễ của cổng XOR thứ hai 1080 và cổng OR thứ hai 1090.

Cạnh giảm của tín hiệu định thời lan truyền qua thiết bị trễ 1020 được xuất ra bởi thiết bị trễ 1020 sau độ trễ của thiết bị trễ 1020. Do đó, cạnh giảm được đưa vào đầu vào thứ hai 1044 của cổng OR thứ nhất 1040 sau độ trễ của thiết bị trễ 1020, khiến cổng OR thứ nhất 1040 xuất ra cạnh giảm. Cạnh giảm lan truyền đến đầu vào thứ hai 1084 của cổng XOR thứ hai 1080 sau độ trễ của thiết bị trễ tinh chỉnh được thứ hai 1045. Điều này khiến cổng XOR thứ hai 1080 xuất ra cạnh giảm, khiến cổng OR thứ hai 1090 xuất ra cạnh giảm tại đầu ra 734 của mạch trễ 730. Ví dụ về điều này được minh họa trên Fig.11B thể hiện ví dụ về cạnh giảm 1160 tại đầu ra 734 của mạch trễ 730. Cạnh giảm 1160 bị làm trễ từ cạnh thứ nhất 1155 của tín hiệu xung nhịp CLK gần bằng độ trễ của thiết bị trễ hiệu chỉnh được 1020 và thiết bị trễ tinh chỉnh được thứ hai 1045.

Trong ví dụ này, việc định thời được đáp ứng khi mạch lật 740 chốt thành công cạnh giảm 1160 trên cạnh thứ hai 1170 của tín hiệu xung nhịp CLK. Lưu ý rằng, trong ví dụ này, cạnh của tín hiệu định thời có cùng độ phân cực (tức là, âm) tại đầu ra của mạch trễ 730 và đầu ra của bộ tạo tín hiệu 720. Trong ví dụ này, việc định thời được đáp ứng nếu mạch lật 740 chốt thành công cạnh giảm 1160. Trong trường hợp này, mạch lật 740 xuất ra giá trị bit là không tại đầu ra 744 chỉ báo rằng việc định thời được đáp ứng. Việc định thời không được đáp ứng nếu mạch lật 740 không chốt được cạnh giảm 1160.

Do đó, trong ví dụ này, cạnh của tín hiệu định thời tại đầu ra 734 của mạch trễ 730 được sử dụng để xác định việc định thời có được đáp ứng hay không là cạnh giảm bất kể việc bộ tạo tín hiệu 720 xuất ra cạnh tăng hay cạnh giảm. Đối với trường hợp bộ tạo tín hiệu 720 xuất ra cạnh tăng, cạnh lan truyền qua thiết bị trễ hiệu chỉnh được 1020 và thiết bị trễ tinh chỉnh được thứ nhất 1035. Đối với trường hợp bộ tạo tín hiệu 720 xuất ra cạnh giảm, cạnh lan truyền qua thiết bị trễ hiệu chỉnh được 1020 và thiết bị trễ tinh chỉnh được thứ hai 1045. Do đó, trong ví dụ này, thiết bị trễ tinh chỉnh được thứ nhất 1035 và thiết bị trễ tinh chỉnh được thứ hai 1045 cho phép độ trễ trong cạnh tăng và độ trễ trong cạnh giảm được tinh chỉnh riêng biệt. Theo ví dụ trên Fig.10, độ trễ của thiết bị trễ tinh chỉnh được thứ nhất 1035 được đặt bởi tín hiệu điều khiển td2 và độ trễ của thiết bị trễ tinh chỉnh được thứ hai 1045 được đặt bởi tín hiệu điều khiển td3.

Theo ví dụ trên Fig.10, mạch phát hiện điện áp 650 còn bao gồm mạch lật kiểm tra 1050 có đầu vào 1052 được ghép nối với đầu ra của bộ tạo tín hiệu 720 qua đường truyền tốc độ cao 1027, đầu vào xung nhịp 1056 được tạo cấu hình để nhận tín hiệu xung nhịp CLK, và đầu ra 1054. Trong quá trình hoạt động, mạch lật kiểm tra 1050 được tạo cấu hình để chốt tín hiệu định thời lan truyền qua đường truyền tốc độ cao 1027 trên cạnh tăng của tín hiệu xung nhịp CLK và xuất ra tín hiệu định thời được chốt tại đầu ra 1054. Đầu ra 1054 của mạch lật kiểm tra 1050 cung cấp tín hiệu kiểm tra chỉ báo bộ tạo tín hiệu 720 có đang hoạt động đúng hay không. Ví dụ trong đó bộ tạo tín hiệu 720 lần lượt xuất ra các cạnh tăng và cạnh giảm trên các cạnh tăng của tín hiệu xung nhịp CLK, đầu ra 1054 của mạch lật kiểm tra 1050 đảo trạng thái giữa một và không khi bộ tạo tín hiệu 720 đang hoạt động đúng.

Theo phương án triển khai làm ví dụ được minh họa trên Fig.10, cạnh của tín hiệu định thời được sử dụng để xác định việc định thời có được đáp ứng hay không là cạnh giảm. Tuy nhiên, cần hiểu rõ rằng, theo các phương án triển khai khác, cạnh của tín hiệu định thời được sử dụng để xác định việc định thời có được đáp ứng hay không có thể là cạnh tăng. Ví dụ, bộ đảo có thể được ghép nối giữa đầu ra của cổng OR thứ hai 1090 và đầu ra 734 của mạch trễ 730, trong trường hợp mà cạnh của tín hiệu định thời được sử dụng để xác định việc định thời có được đáp ứng hay không là cạnh tăng.

Fig.12 thể hiện ví dụ về mạch giảm nhẹ sụt giảm điện áp 1210 (viết tắt là “mạch giảm nhẹ sụt giảm”) có thể được sử dụng với bộ điều khiển điện áp 410 theo các khía cạnh nhất định. Như được thảo luận thêm dưới đây, mạch giảm nhẹ sụt giảm 1210 giảm bớt thời gian đáp ứng nhất thời của bộ điều khiển điện áp 410. Kết quả là, thời gian đáp ứng nhất thời tương đối chậm của bộ điều khiển điện áp 410 (ví dụ, so sánh với bộ điều chỉnh LDO tương tự) không phải là vấn đề như với bộ điều chỉnh LDO số truyền thống (ví dụ, bộ điều chỉnh LDO số 310). Lưu ý rằng mạch định thời 450, bộ so sánh 510, bộ điều khiển chuyển mạch 520, và các bộ chuyển mạch 420-1 đến bộ chuyển mạch 420-N không được thể hiện trên Fig.12 để dễ minh họa.

Theo ví dụ trên Fig.12, mạch giảm nhẹ sụt giảm 1210 bao gồm mạch phát hiện điện áp 650, mạch trễ 1220, bộ điều khiển xung nhịp 1230, bộ chia xung nhịp 1240. Mạch trễ 1220 có đầu vào 1222 và đầu ra 1224. Mạch trễ 1220 có thể bao gồm nhiều bộ đệm trễ (không được thể hiện trên hình vẽ) được ghép nối nối tiếp trong đó các bộ đệm trễ được cấp năng lượng bởi điện áp V_{DD} . Kết quả là, độ trễ của mạch trễ 1220 bị ảnh hưởng bởi (tức là, nhạy với) điện áp V_{DD} . Đầu vào 1222 của mạch trễ 1220 được tạo cấu hình để nhận tín hiệu xung nhịp CLK.

Theo ví dụ trên Fig.12, tín hiệu xung nhịp CLK được tạo bởi nguồn xung nhịp 1215 được ghép nối với đầu vào 1222 của mạch trễ 1220. Nguồn xung nhịp 1215 có thể được triển khai với vòng lặp khoá pha (phased locked loop - PLL), vòng lặp khoá độ trễ (delay locked loop - DLL), mạch dao động, hoặc kết hợp bất kỳ của chúng. Nguồn xung nhịp 1215 được cấp năng lượng bởi điện áp riêng biệt V_{Clock} để sự sụt giảm điện áp trong điện áp V_{DD} không ảnh hưởng đến nguồn xung nhịp 1215. Theo ví

dụ trên Fig.12, đầu vào 712 của mạch phát hiện điện áp 650 được ghép nối với nguồn xung nhịp 1215 để nhận tín hiệu xung nhịp CLK từ nguồn xung nhịp 1215.

Bộ chia xung nhịp 1240 có đầu vào xung nhịp 1242, đầu ra xung nhịp 1244, và đầu vào điều khiển 1246. Đầu vào xung nhịp 1242 được ghép nối với đầu ra 1224 của mạch trễ 1220 và được tạo cấu hình để nhận tín hiệu xung nhịp CLK bị làm trễ bởi mạch trễ 1220. Bộ chia xung nhịp 1240 được tạo cấu hình để chia có chọn lọc tần số của tín hiệu xung nhịp CLK dưới sự điều khiển của bộ điều khiển 1230. Đầu ra 1244 của bộ chia xung nhịp 1240 được ghép nối với mạch 460 qua đường dẫn xung nhịp 1270. Đường dẫn xung nhịp 1270 là đường cung cấp tín hiệu xung nhịp đến mạch 460 và còn có thể được gọi là bộ phân phối xung nhịp hoặc một thuật ngữ khác. Theo ví dụ trên Fig.12, đường dẫn xung nhịp 1270 bao gồm một hoặc nhiều bộ đệm trễ 1275-1 đến bộ đệm trễ 1275-k được ghép nối nối tiếp và được cấp năng lượng bởi điện áp V_{DD} . Do đó, trong ví dụ này, tín hiệu xung nhịp CLK được cung cấp đến mạch 460 qua mạch trễ 1220 và đường dẫn xung nhịp 1270. Mạch 460 sử dụng tín hiệu xung nhịp CLK để tính thời gian các hoạt động của mạch 460 (ví dụ, lỗi CPU). Ví dụ, tín hiệu xung nhịp CLK có thể được cung cấp cho các mạch lật 910 và mạch lật 920 trong đường tới hạn làm ví dụ 905 được thể hiện trong ví dụ trên Fig.9 qua đường dẫn xung nhịp 1270.

Bộ điều khiển 1230 có đầu vào 1232 và đầu ra 1234. Đầu vào 1232 của bộ điều khiển 1230 được ghép nối với đầu ra thứ nhất 714 của mạch phát hiện điện áp 650. Như được thảo luận ở trên, mạch phát hiện điện áp 650 có thể được sử dụng để phát hiện sự sụt giảm điện áp trong điện áp V_{DD} dựa trên lỗi định thời gây ra bởi sự sụt giảm điện áp. Trong ví dụ này, bộ điều khiển 1230 có thể giám sát tín hiệu đầu ra tại đầu ra thứ nhất 714 của mạch phát hiện điện áp 650 để phát hiện sự sụt giảm điện áp bởi mạch phát hiện điện áp 650. Đầu ra 1234 của bộ điều khiển 1230 được ghép nối với đầu vào điều khiển 1246 của bộ chia xung nhịp 1240. Bộ điều khiển 1230 điều khiển bộ chia xung nhịp 1240 qua đầu vào điều khiển 1246, như được thảo luận thêm dưới đây.

Khi mạch phát hiện điện áp 650 phát hiện sự sụt giảm điện áp trong điện áp V_{DD} (ví dụ, xuất ra tín hiệu lỗi định thời do sự sụt giảm điện áp), bộ điều khiển 1230

lệnh cho bộ chia xung nhịp 1240 tạm thời giảm tần số của tín hiệu xung nhịp cho mạch 460 bằng cách chia tần số của tín hiệu xung nhịp CLK. Việc giảm tần số của tín hiệu xung nhịp ngăn sự sụt giảm điện áp gây ra các lỗi định thời trong mạch 460. Ví dụ, tín hiệu xung nhịp được chia tần số có thể được cung cấp cho các mạch lật 910 và mạch lật 920 trong đường tới hạn 905 làm ví dụ được thể hiện trên Fig.9 qua đường dẫn xung nhịp 1270, và ngăn lỗi định thời trong đường tới hạn 905 do sự sụt giảm điện áp. Sự sụt giảm điện áp có thể được gây ra bởi sự tiêu thụ dòng điện tăng đột ngột của mạch 460 hoặc nguyên nhân khác.

Do đó, trong ví dụ này, bộ điều khiển 1230 thực hiện việc giảm nhẹ sự sụt giảm để đáp lại việc phát hiện sự sụt giảm điện áp bởi mạch phát hiện điện áp 650 bằng cách lệnh cho bộ chia xung nhịp 1240 chia tần số của tín hiệu xung nhịp. Ví dụ, bộ chia xung nhịp 1240 có thể giảm tần số xung nhịp đi một nửa hoặc một lượng khác khi được lệnh làm giảm tần số xung nhịp bởi bộ điều khiển 1230. Khi sự sụt giảm điện áp không còn được phát hiện, bộ điều khiển 1230 có thể lệnh cho bộ chia xung nhịp 1240 đi qua tín hiệu xung nhịp đến mạch 460 mà không cần chia tần số. Trong trường hợp này, tần số xung nhịp tại mạch 460 có thể giống với tần số xung nhịp tại đầu ra của nguồn xung nhịp 1215.

Để việc giảm nhẹ sự sụt giảm trở nên hiệu quả, mạch giảm nhẹ sự sụt giảm 1210 cần đáp lại sự sụt giảm điện áp trước khi sự sụt giảm điện áp tác động tiêu cực lên mạch 460. Về vấn đề này, mạch trễ 1220 và đường dẫn xung nhịp 1270 làm trễ (tức là, hoãn) tác động của sự sụt giảm điện áp lên mạch 460 để cung cấp cho mạch giảm nhẹ sự sụt giảm 1210 đủ thời gian để đáp lại sự sụt giảm điện áp. Điều này là do các xung của xung nhịp trong mạch trễ 1220 và đường dẫn xung nhịp 1270 tại thời điểm sự sụt giảm điện áp được kéo dài do sự giảm điện áp V_{DD} . Điều này làm giảm một cách có hiệu quả tần số của tín hiệu xung nhịp được đưa vào mạch 460 cho nhiều chu kỳ xung nhịp, cung cấp cho mạch giảm nhẹ sự sụt giảm 1210 đủ thời gian để phát hiện sự sụt giảm điện áp và giảm tần số của tín hiệu xung nhịp bằng cách sử dụng chia xung nhịp 1240 để giảm nhẹ sự sụt giảm. Do đó, mạch trễ 1220 và đường dẫn xung nhịp 1270 giảm thời gian đáp ứng nhất thời của mạch giảm nhẹ sự sụt giảm 1210.

Bởi vì mạch giảm nhẹ sụt giảm 1210 giảm nhẹ tác động của sự sụt giảm điện áp lên mạch 460, nên bộ điều khiển điện áp 410 không bắt buộc phải đáp ứng nhanh đối với sự sụt giảm điện áp. Kết quả là, thời gian đáp ứng nhất thời tương đối chậm của bộ điều khiển điện áp 410 (ví dụ, so sánh với LDO tương tự) không phải là vấn đề như với LDO số truyền thống (ví dụ, LDO số 310). Vì lý do này, mạch giảm nhẹ sụt giảm 1210 cho phép bộ điều khiển điện áp 410 giữ được các lợi ích của LDO số trong khi giải quyết chính xác vấn đề thời gian đáp ứng nhất thời chậm.

Cần hiểu rõ rằng sáng chế không bị giới hạn ở mạch giảm nhẹ sụt giảm 1210 làm ví dụ được thể hiện trên Fig.12. Các mạch giảm nhẹ sụt giảm khác có thể còn được sử dụng để giảm nhẹ sự sụt giảm điện áp nhằm giải quyết vấn đề thời gian đáp ứng nhất thời tương đối chậm của bộ điều khiển điện áp 410.

Cũng cần phải hiểu rằng biên định thời của mạch phát hiện điện áp 650 có thể được đặt nhỏ hơn một chút (ví dụ, nhỏ hơn một đến 20 phần trăm) so với biên định thời của đường tới hạn 905 trong mạch 460. Điều này có thể được thực hiện, ví dụ, để lỗi định thời xảy ra trong mạch phát hiện điện áp 650 trước đường tới hạn 905, cho mạch giảm nhẹ sụt giảm 1210 thời gian để đáp lại sự sụt giảm điện áp được phát hiện trước khi sự sụt giảm gây ra lỗi định thời trong đường tới hạn 905. Biên định thời của mạch phát hiện điện áp 650 có thể được đặt nhỏ hơn một chút so với biên định thời của đường tới hạn 930 trong mạch 460 bằng cách lập trình độ trễ của mạch trễ 730 dài hơn một chút (ví dụ, dài hơn một đến 20 phần trăm) so với độ trễ của đường trễ 930 trong đường tới hạn 905. Trong ví dụ này, tín hiệu biên định thời chỉ báo biên định thời nhỏ hơn một chút so với biên định thời của đường tới hạn trong mạch 460.

Nói chung, cần hiểu rõ rằng tín hiệu biên định thời có thể chỉ báo biên định thời nhỏ hơn một chút so với biên định thời thực tế cho mạch 460 trong bất kỳ phương án triển khai làm ví dụ nào được thảo luận ở trên có tham chiếu đến các hình vẽ từ Fig.4 đến Fig.12. Điều này có thể được thực hiện, ví dụ, để giúp đảm bảo rằng lỗi định thời không xảy ra trong đường tới hạn của mạch 460. Như được thảo luận ở trên, biên định thời của mạch phát hiện điện áp 650 có thể được đặt nhỏ hơn một chút so với biên định thời của đường tới hạn 930 trong mạch 460 bằng cách lập trình độ trễ của mạch trễ 730

dài hơn một chút (ví dụ, dài hơn một đến 20 phần trăm) so với độ trễ của đường trễ 930 trong đường tới hạn 905.

Fig.13 minh họa ví dụ về phương pháp 1300 để điều khiển điện áp của mạch theo các khía cạnh nhất định. Mạch (ví dụ, mạch 460) có thể bao gồm lõi CPU (ví dụ, một trong các lõi CPU 130-1 đến lõi CPU 130-4), bộ xử lý tín hiệu số, bộ xử lý video, hoặc một loại bộ xử lý khác.

Ở khối 1310, tín hiệu biên định thời và tín hiệu tham chiếu được nhận. Ví dụ, tín hiệu biên định thời và tín hiệu tham chiếu có thể được nhận tại bộ so sánh 510. Tín hiệu tham chiếu có thể chỉ báo biên định thời mục tiêu, và tín hiệu biên định thời có thể chỉ báo biên định thời cho mạch.

Ở khối 1320, tín hiệu biên định thời được so sánh với tín hiệu tham chiếu. Ví dụ, bộ so sánh 510 có thể so sánh tín hiệu biên định thời với tín hiệu tham chiếu.

Ở khối 1330, số lượng bộ chuyển mạch được bật lên giữa đường cấp nguồn và mạch được điều chỉnh dựa trên sự so sánh. Ví dụ, bộ điều khiển chuyển mạch 520 có thể điều chỉnh số lượng bộ chuyển mạch được bật lên dựa trên sự so sánh. Các bộ chuyển mạch có thể tương ứng với các bộ chuyển mạch 420-1 đến bộ chuyển mạch 420-N trong đó mỗi bộ chuyển mạch được ghép nối giữa đường cấp nguồn và mạch.

Theo các khía cạnh nhất định, việc điều chỉnh số lượng bộ chuyển mạch được bật lên có thể bao gồm bước tăng số lượng bộ chuyển mạch được bật lên giữa đường cấp nguồn và mạch nếu tín hiệu biên định thời nhỏ hơn so với tín hiệu tham chiếu. Theo các khía cạnh nhất định, việc điều chỉnh số lượng bộ chuyển mạch được bật lên có thể bao gồm bước giảm số lượng bộ chuyển mạch được bật lên giữa đường cấp nguồn và mạch nếu tín hiệu biên định thời lớn hơn so với tín hiệu tham chiếu.

Theo các khía cạnh nhất định, phương pháp 1300 có thể còn bao gồm bước tạo tín hiệu biên định thời, trong đó việc tạo tín hiệu biên định thời bao gồm bước thực hiện chuyển đổi thời gian sang số trên tín hiệu định thời. Trong một ví dụ, phương pháp 1300 có thể còn bao gồm bước nhận tín hiệu định thời từ mạch phát hiện điện áp (ví dụ, mạch phát hiện điện áp 650). Trong ví dụ này, mạch phát hiện điện áp có thể được tạo cấu hình để phát hiện sự sụt giảm điện áp (ví dụ, sự sụt giảm điện áp V_{DD}).

Mạch điều khiển 435, bộ so sánh 510, bộ điều khiển chuyển mạch 520, và bộ điều khiển 1230 có thể từng cái được triển khai với bộ xử lý, máy trạng thái, mạch tích hợp chuyên dụng (application specific integrated circuit - ASIC), mảng cổng lập trình theo trường (field programmable gate array - FPGA) hoặc thiết bị logic lập trình được khác, các thành phần phần cứng rời rạc (ví dụ, các cổng logic), hoặc kết hợp bất kỳ của chúng được thiết kế để thực hiện các chức năng được mô tả ở đây. Bộ xử lý có thể thực hiện các chức năng được mô tả ở đây bằng cách thực thi phần mềm bao gồm mã để thực hiện các chức năng. Phần mềm có thể được lưu trữ trên phương tiện lưu trữ đọc được bằng máy tính, chẳng hạn như RAM, ROM, EEPROM, đĩa quang, và/hoặc đĩa từ.

Cần hiểu rõ rằng sáng chế không bị giới hạn ở các thuật ngữ làm ví dụ được sử dụng ở trên để mô tả các khía cạnh của sáng chế. Ví dụ, bộ điều khiển 1230 có thể còn được gọi là bộ điều khiển thích ứng (adaptive control unit - ACU) hoặc một thuật ngữ khác. Cạnh tăng có thể còn được gọi là sự chuyển tiếp tăng, cạnh dương, hoặc thuật ngữ khác. Cạnh giảm có thể còn được gọi là sự chuyển tiếp giảm, cạnh âm, hoặc thuật ngữ khác. Lỗi định thời có thể còn được gọi là sự thất bại định thời, sự vi phạm định thời, hoặc một thuật ngữ khác.

Các ví dụ về phương án triển khai được mô tả trong các mục được đánh số sau đây:

1. Hệ thống bao gồm:

bộ điều khiển điện áp, trong đó bộ điều khiển điện áp bao gồm:

các bộ chuyển mạch được ghép nối giữa đường cấp điện áp và đầu ra của bộ điều khiển điện áp, mỗi bộ chuyển mạch có đầu vào điều khiển; và

mạch điều khiển được ghép nối với các đầu vào điều khiển của các bộ chuyển mạch; và

mạch định thời được ghép nối với mạch điều khiển, trong đó mạch định thời bao gồm:

dòng trễ; và

các mạch lật, mỗi mạch lật có đầu vào và đầu ra, trong đó đầu vào của mỗi mạch lật được ghép nối với nút tương ứng trên dòng trễ, và các đầu ra của các mạch lật được ghép nối với mạch điều khiển.

2. Hệ thống theo mục 1, trong đó mỗi bộ chuyển mạch bao gồm bóng bán dẫn tương ứng, và đầu vào điều khiển của mỗi bộ chuyển mạch được đặt tại cực cổng của bóng bán dẫn tương ứng.

3. Hệ thống theo mục 1 hoặc 2, trong đó dòng trễ bao gồm nhiều bộ đệm trễ được ghép nối nối tiếp.

4. Hệ thống theo mục 3, trong đó đầu vào của mỗi mạch lật được ghép nối với đầu ra của một trong các bộ đệm trễ tương ứng.

5. Hệ thống theo mục bất kỳ trong số các mục từ 1 đến 4, còn bao gồm mạch phát hiện điện áp được ghép nối với dòng trễ.

6. Hệ thống theo mục 5, trong đó mạch phát hiện điện áp bao gồm:

bộ tạo tín hiệu; và

mạch trễ có đầu vào và đầu ra, trong đó đầu vào của mạch trễ được ghép nối với bộ tạo tín hiệu, và đầu ra của mạch trễ được ghép nối với dòng trễ.

7. Hệ thống theo mục 6, trong đó bộ tạo tín hiệu được tạo cấu hình để tạo tín hiệu định thời, và xuất ra tín hiệu định thời đến đầu vào của mạch trễ.

8. Hệ thống theo mục 7, trong đó bộ tạo tín hiệu được tạo cấu hình để tạo cạnh của tín hiệu định thời trên cạnh thứ nhất của tín hiệu xung nhịp, và xuất ra cạnh của tín hiệu định thời đến đầu vào của mạch trễ.

9. Hệ thống theo mục 8, trong đó mỗi mạch lật được tạo cấu hình để chốt giá trị bit tại đầu vào của mạch lật trên cạnh thứ hai của tín hiệu xung nhịp, và xuất ra giá trị bit được chốt tại đầu ra của mạch lật.

10. Hệ thống theo mục 9, trong đó cạnh thứ nhất của tín hiệu xung nhịp và cạnh thứ hai của tín hiệu xung nhịp cách nhau một chu kỳ của tín hiệu xung nhịp.

11. Hệ thống theo mục bất kỳ trong số các mục từ 1 đến 9, trong đó mạch điều khiển bao gồm:

bộ điều khiển chuyển mạch được ghép nối với các đầu vào điều khiển của các bộ chuyển mạch; và

bộ so sánh có đầu vào thứ nhất, đầu vào thứ hai và đầu ra, trong đó đầu ra của bộ so sánh được ghép nối với bộ điều khiển chuyển mạch, đầu vào thứ nhất được tạo cấu hình để nhận tín hiệu tham chiếu, và đầu vào thứ hai được ghép nối với các đầu ra của các mạch lật.

12. Hệ thống theo mục 11, trong đó tín hiệu tham chiếu bao gồm mã dạng số.

13. Hệ thống theo mục 12, còn bao gồm thanh ghi được ghép nối với đầu vào thứ nhất của bộ so sánh, trong đó thanh ghi được tạo cấu hình để lưu trữ mã dạng số.

14. Hệ thống theo mục bất kỳ trong số các mục từ 1 đến 13, còn bao gồm:
nguồn xung nhịp;
bộ chia xung nhịp;
mạch trễ được ghép nối giữa nguồn xung nhịp và bộ chia xung nhịp;
mạch phát hiện điện áp được ghép nối với dòng trễ; và
bộ điều khiển xung nhịp được ghép nối giữa mạch phát hiện điện áp và đầu vào điều khiển của bộ chia xung nhịp.

15. Hệ thống theo mục 14, trong đó nguồn xung nhịp bao gồm vòng lặp khoá pha (PLL).

16. Hệ thống theo mục 14 hoặc 15, trong đó mạch phát hiện điện áp được tạo cấu hình để phát hiện sự sụt giảm điện áp.

17. Hệ thống theo mục 16, trong đó:
nguồn xung nhịp được tạo cấu hình để xuất ra tín hiệu xung nhịp đến mạch trễ; và

bộ điều khiển xung nhịp được tạo cấu hình để lệnh cho bộ chia xung nhịp chia tần số của tín hiệu xung nhịp để đáp lại việc phát hiện sự sụt giảm điện áp bởi mạch phát hiện điện áp.

18. Hệ thống theo mục bất kỳ trong số các mục từ 14 đến 17, còn bao gồm:
bộ xử lý được ghép nối với đầu ra của bộ điều khiển điện áp; và
đường dẫn xung nhịp được ghép nối giữa bộ chia xung nhịp và bộ xử lý.
19. Phương pháp điều khiển điện áp của mạch, bao gồm các bước:
nhận tín hiệu biên định thời và tín hiệu tham chiếu;
so sánh tín hiệu biên định thời với tín hiệu tham chiếu; và
điều chỉnh số lượng bộ chuyển mạch được bật lên giữa đường cấp nguồn và mạch dựa trên sự so sánh.
20. Phương pháp theo mục 19, trong đó việc điều chỉnh số lượng bộ chuyển mạch được bật lên bao gồm bước tăng số lượng bộ chuyển mạch được bật lên giữa đường cấp nguồn và mạch nếu tín hiệu biên định thời nhỏ hơn so với tín hiệu tham chiếu.
21. Phương pháp theo mục 20, trong đó việc điều chỉnh số lượng bộ chuyển mạch được bật lên bao gồm bước giảm số lượng bộ chuyển mạch được bật lên giữa đường cấp nguồn và mạch nếu tín hiệu biên định thời lớn hơn so với tín hiệu tham chiếu.
22. Phương pháp theo mục bất kỳ trong số các mục từ 19 đến 21, còn bao gồm bước tạo tín hiệu biên định thời, trong đó việc tạo tín hiệu biên định thời bao gồm bước thực hiện chuyển đổi thời gian sang số trên tín hiệu định thời.
23. Phương pháp theo mục 22, còn bao gồm bước nhận tín hiệu định thời từ mạch phát hiện điện áp.
24. Phương pháp theo mục 23, trong đó mạch phát hiện điện áp được tạo cấu hình để phát hiện sự sụt giảm điện áp.

25. Phương pháp theo mục 24, còn bao gồm bước giảm tần số của tín hiệu xung nhịp đến bộ xử lý để đáp lại việc phát hiện sự sụt giảm điện áp bởi mạch phát hiện điện áp.

Mọi sự viển dẫn đến phần tử ở đây có sử dụng từ chỉ định như “thứ nhất”, “thứ hai”, v.v. nói chung đều không giới hạn số lượng hoặc thứ tự của các phần tử này. Thay vào đó, các từ chỉ định được sử dụng ở đây như một cách thuận tiện để phân biệt giữa hai hoặc nhiều phần tử hoặc các trường hợp của một phần tử. Do đó, tham chiếu đến các phần tử thứ nhất và thứ hai không có nghĩa là chỉ hai phần tử có thể được sử dụng, hoặc phần tử thứ nhất phải đứng trước phần tử thứ hai.

Theo sáng chế, từ “làm ví dụ” được sử dụng có nghĩa là “phục vụ như một ví dụ, trường hợp hoặc minh họa.” Bất kỳ phương án triển khai hoặc khía cạnh nào được mô tả ở đây là “làm ví dụ” không nhất thiết phải hiểu là được ưu tiên hoặc có lợi hơn các khía cạnh khác của sáng chế. Tương tự như vậy, thuật ngữ “các khía cạnh” không yêu cầu rằng tất cả các khía cạnh của sáng chế bao gồm đặc điểm, ưu điểm hoặc chế độ hoạt động được thảo luận. Thuật ngữ “xấp xỉ”, như được sử dụng ở đây đối với một giá trị hoặc đặc tính được nêu, nhằm mục đích chỉ ra là nằm trong phạm vi 10% của giá trị hoặc đặc tính được nêu.

Phần mô tả của sáng chế được cung cấp để cho phép bất kỳ người nào có hiểu biết trung bình về lĩnh vực kỹ thuật này thực hiện hoặc sử dụng sáng chế. Những sửa đổi khác nhau đối với sáng chế sẽ dễ dàng thấy rõ đối với những người có hiểu biết trung bình trong lĩnh vực kỹ thuật này, và các nguyên tắc chung được xác định ở đây có thể được áp dụng cho các biến thể khác mà không nằm ngoài bản chất hoặc phạm vi của sáng chế. Do đó, sáng chế không dự định giới hạn tại các ví dụ được mô tả ở đây mà để hoà hợp với phạm vi rộng nhất phù hợp với các nguyên tắc và tính năng mới được bộc lộ ở đây.

YÊU CẦU BẢO HỘ

1. Hệ thống điều khiển điện áp của mạch bao gồm:
mạch giảm nhẹ sụt giảm điện áp có mạch phát hiện điện áp; và
bộ điều khiển điện áp, trong đó bộ điều khiển điện áp bao gồm:
các bộ chuyển mạch được ghép nối giữa đường cấp điện áp và đầu ra của bộ điều khiển điện áp, mỗi bộ chuyển mạch có đầu vào điều khiển; và
mạch điều khiển được ghép nối với các đầu vào điều khiển của các bộ chuyển mạch; và
mạch định thời được ghép nối với mạch điều khiển, trong đó mạch định thời bao gồm:
dòng trễ được ghép nối với mạch phát hiện điện áp; và
các mạch lật, mỗi mạch lật có đầu vào và đầu ra, trong đó đầu vào của mỗi mạch lật được ghép nối với nút tương ứng trên dòng trễ, và các đầu ra của các mạch lật được ghép nối với mạch điều khiển.
2. Hệ thống theo điểm 1, trong đó mỗi bộ chuyển mạch bao gồm bóng bán dẫn tương ứng, và đầu vào điều khiển của mỗi bộ chuyển mạch được đặt tại cực cổng của bóng bán dẫn tương ứng.
3. Hệ thống theo điểm 1, trong đó dòng trễ bao gồm nhiều bộ đệm trễ được ghép nối nối tiếp.
4. Hệ thống theo điểm 3, trong đó đầu vào của mỗi mạch lật được ghép nối với đầu ra của một trong các bộ đệm trễ tương ứng.
5. Hệ thống theo điểm 1, trong đó mạch giảm nhẹ sụt giảm điện áp còn bao gồm:
bộ chia xung nhịp;
mạch trễ thứ nhất được ghép nối giữa nguồn xung nhịp và bộ chia xung nhịp;
và
bộ điều khiển xung nhịp được ghép nối giữa mạch phát hiện điện áp và đầu vào điều khiển của bộ chia xung nhịp.

6. Hệ thống theo điểm 5, trong đó mạch phát hiện điện áp bao gồm:

bộ tạo tín hiệu;

mạch trễ thứ hai có đầu vào và đầu ra, trong đó đầu vào của mạch trễ thứ hai được ghép nối với bộ tạo tín hiệu, và đầu ra của mạch trễ thứ hai được ghép nối với dòng trễ; và

mạch lật phát hiện có đầu vào và đầu ra, trong đó đầu vào của mạch lật phát hiện được ghép nối với đầu ra của mạch trễ thứ hai, và đầu ra của mạch lật phát hiện được ghép nối với bộ điều khiển xung nhịp.

7. Hệ thống theo điểm 6, trong đó bộ tạo tín hiệu được tạo cấu hình để tạo tín hiệu định thời, và xuất ra tín hiệu định thời đến đầu vào của mạch trễ thứ hai.

8. Hệ thống theo điểm 7, trong đó bộ tạo tín hiệu được ghép nối với nguồn xung nhịp, và bộ tạo tín hiệu được tạo cấu hình để tạo cạnh của tín hiệu định thời trên cạnh thứ nhất của tín hiệu xung nhịp từ nguồn xung nhịp, và xuất ra cạnh của tín hiệu định thời đến đầu vào của mạch trễ thứ hai.

9. Hệ thống theo điểm 8, trong đó mỗi mạch lật trong mạch định thời được tạo cấu hình để chốt giá trị bit tại đầu vào của mạch lật trên cạnh thứ hai của tín hiệu xung nhịp, và xuất ra giá trị bit được chốt tại đầu ra của mạch lật.

10. Hệ thống theo điểm 9, trong đó cạnh thứ nhất của tín hiệu xung nhịp và cạnh thứ hai của tín hiệu xung nhịp cách nhau một chu kỳ của tín hiệu xung nhịp.

11. Hệ thống theo điểm 1, trong đó mạch điều khiển bao gồm:

bộ điều khiển chuyển mạch được ghép nối với các đầu vào điều khiển của các bộ chuyển mạch; và

bộ so sánh có đầu vào thứ nhất, đầu vào thứ hai và đầu ra, trong đó đầu ra của bộ so sánh được ghép nối với bộ điều khiển chuyển mạch, đầu vào thứ nhất được tạo cấu hình để nhận tín hiệu tham chiếu, và đầu vào thứ hai được ghép nối với các đầu ra của các mạch lật.

12. Hệ thống theo điểm 11, trong đó tín hiệu tham chiếu bao gồm mã dạng số.

13. Hệ thống theo điểm 12, còn bao gồm thanh ghi được ghép nối với đầu vào thứ nhất của bộ so sánh, trong đó thanh ghi được tạo cấu hình để lưu trữ mã dạng số.

14. Hệ thống theo điểm 5, trong đó nguồn xung nhịp bao gồm vòng lặp khoá pha (phase locked loop - PLL).

15. Hệ thống theo điểm 5, trong đó mạch phát hiện điện áp được tạo cấu hình để phát hiện sự sụt giảm điện áp.

16. Hệ thống theo điểm 15, trong đó:

nguồn xung nhịp được tạo cấu hình để xuất ra tín hiệu xung nhịp đến mạch trễ thứ nhất; và

bộ điều khiển xung nhịp được tạo cấu hình để lệnh cho bộ chia xung nhịp chia tần số của tín hiệu xung nhịp để đáp lại việc phát hiện sự sụt giảm điện áp bởi mạch phát hiện điện áp.

17. Hệ thống theo điểm 5, còn bao gồm:

bộ xử lý được ghép nối với đầu ra của bộ điều khiển điện áp; và

đường dẫn xung nhịp được ghép nối giữa bộ chia xung nhịp và bộ xử lý.

18. Hệ thống theo điểm 6, trong đó:

nguồn xung nhịp được tạo cấu hình để xuất ra tín hiệu xung nhịp đến mạch trễ thứ nhất; và

bộ điều khiển xung nhịp được tạo cấu hình để lệnh cho bộ chia xung nhịp chia tần số của tín hiệu xung nhịp dựa trên đầu ra của mạch lật phát hiện.

19. Hệ thống theo điểm 18, trong đó mạch lật phát hiện được tạo cấu hình để chốt giá trị bit tại đầu vào của mạch lật phát hiện trên cạnh của tín hiệu xung nhịp, và xuất ra giá trị bit được chốt tại đầu ra của mạch lật phát hiện.

20. Phương pháp điều khiển điện áp của mạch, phương pháp này bao gồm các bước:

nhận tín hiệu định thời từ mạch phát hiện điện áp, trong đó mạch phát hiện điện áp được tạo cấu hình để phát hiện sự sụt giảm điện áp;

thực hiện chuyển đổi thời gian sang số trên tín hiệu định thời để tạo tín hiệu biên định thời;

nhận tín hiệu biên định thời và tín hiệu tham chiếu;

so sánh tín hiệu biên định thời với tín hiệu tham chiếu;

điều chỉnh số lượng bộ chuyển mạch được bật lên giữa đường cấp nguồn và mạch dựa trên sự so sánh; và

giảm tần số của tín hiệu xung nhịp để đáp lại việc phát hiện sự sụt giảm điện áp bởi mạch phát hiện điện áp.

21. Phương pháp theo điểm 20, trong đó việc điều chỉnh số lượng bộ chuyển mạch được bật lên bao gồm bước tăng số lượng bộ chuyển mạch được bật lên giữa đường cấp nguồn và mạch nếu tín hiệu biên định thời nhỏ hơn so với tín hiệu tham chiếu.

22. Phương pháp theo điểm 21, trong đó việc điều chỉnh số lượng bộ chuyển mạch được bật lên bao gồm bước giảm số lượng bộ chuyển mạch được bật lên giữa đường cấp nguồn và mạch nếu tín hiệu biên định thời lớn hơn so với tín hiệu tham chiếu.

23. Phương pháp theo điểm 20, trong đó mạch phát hiện điện áp bao gồm mạch trễ, và phương pháp này còn bao gồm các bước:

tạo tín hiệu định thời; và

lan truyền tín hiệu định thời qua mạch trễ;

trong đó việc nhận tín hiệu định thời từ mạch phát hiện điện áp bao gồm bước nhận tín hiệu định thời từ đầu ra của mạch trễ.

24. Phương pháp theo điểm 23, trong đó mạch phát hiện điện áp bao gồm mạch lật được ghép nối với đầu ra của mạch trễ, và phương pháp này còn bao gồm các bước:

chốt tín hiệu định thời trên cạnh của tín hiệu xung nhịp sử dụng mạch lật; và

phát hiện sự sụt giảm điện áp dựa trên đầu ra của mạch lật.

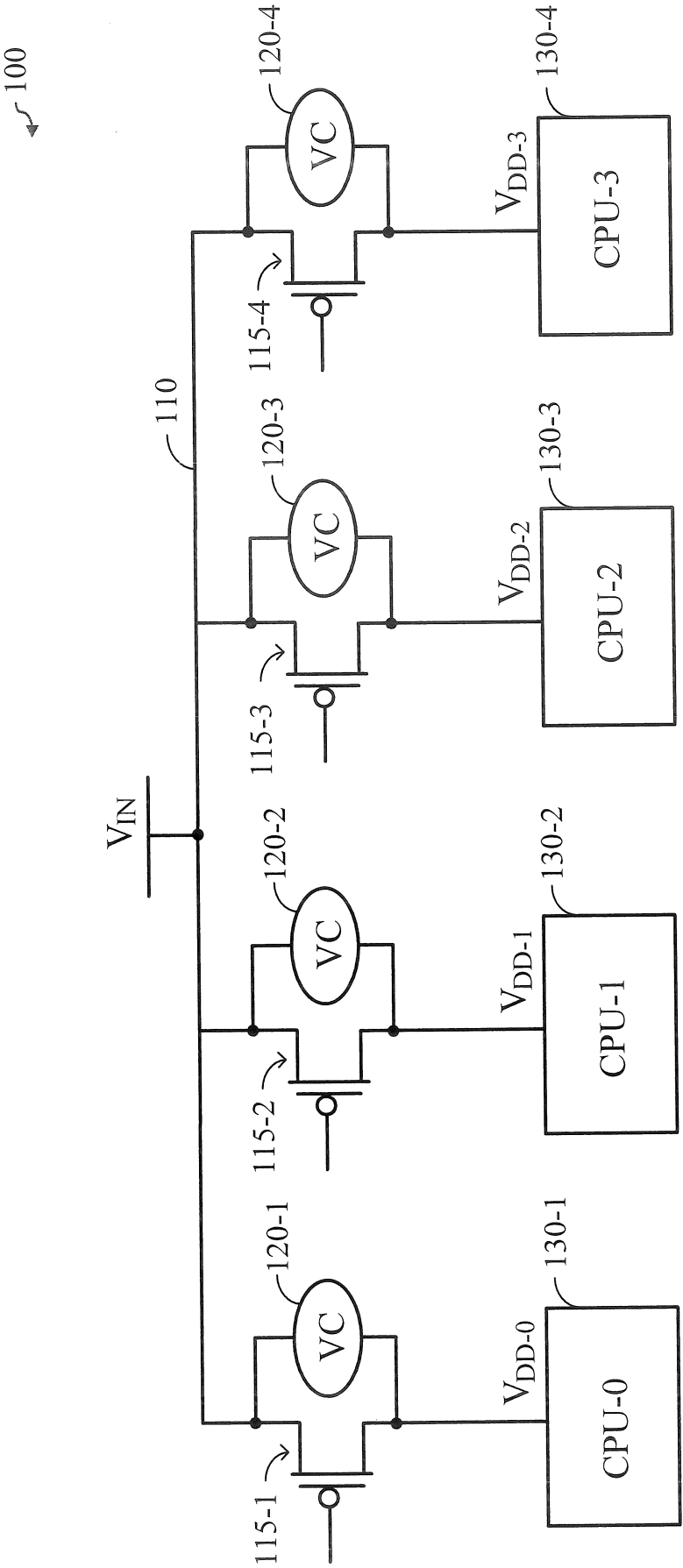


Fig.1

2/13

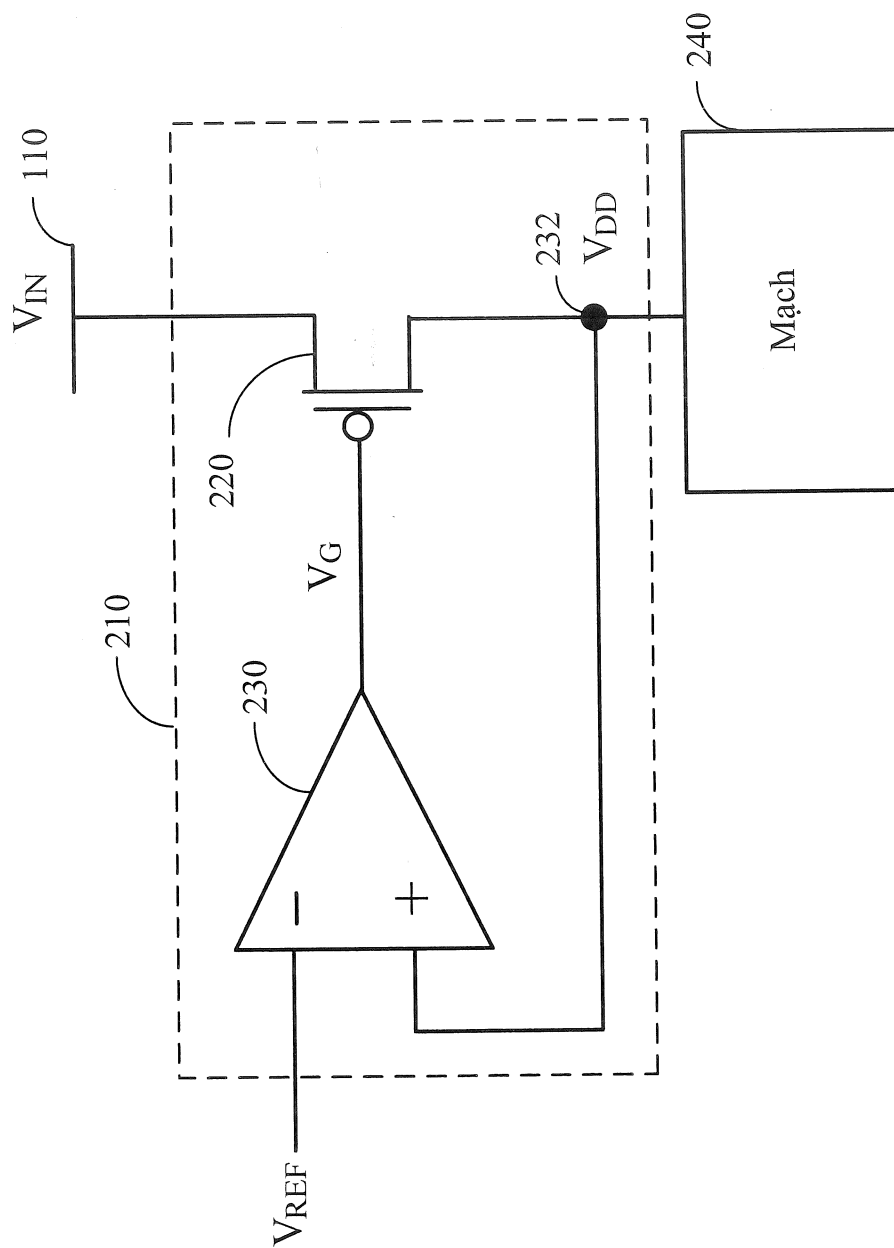


Fig.2

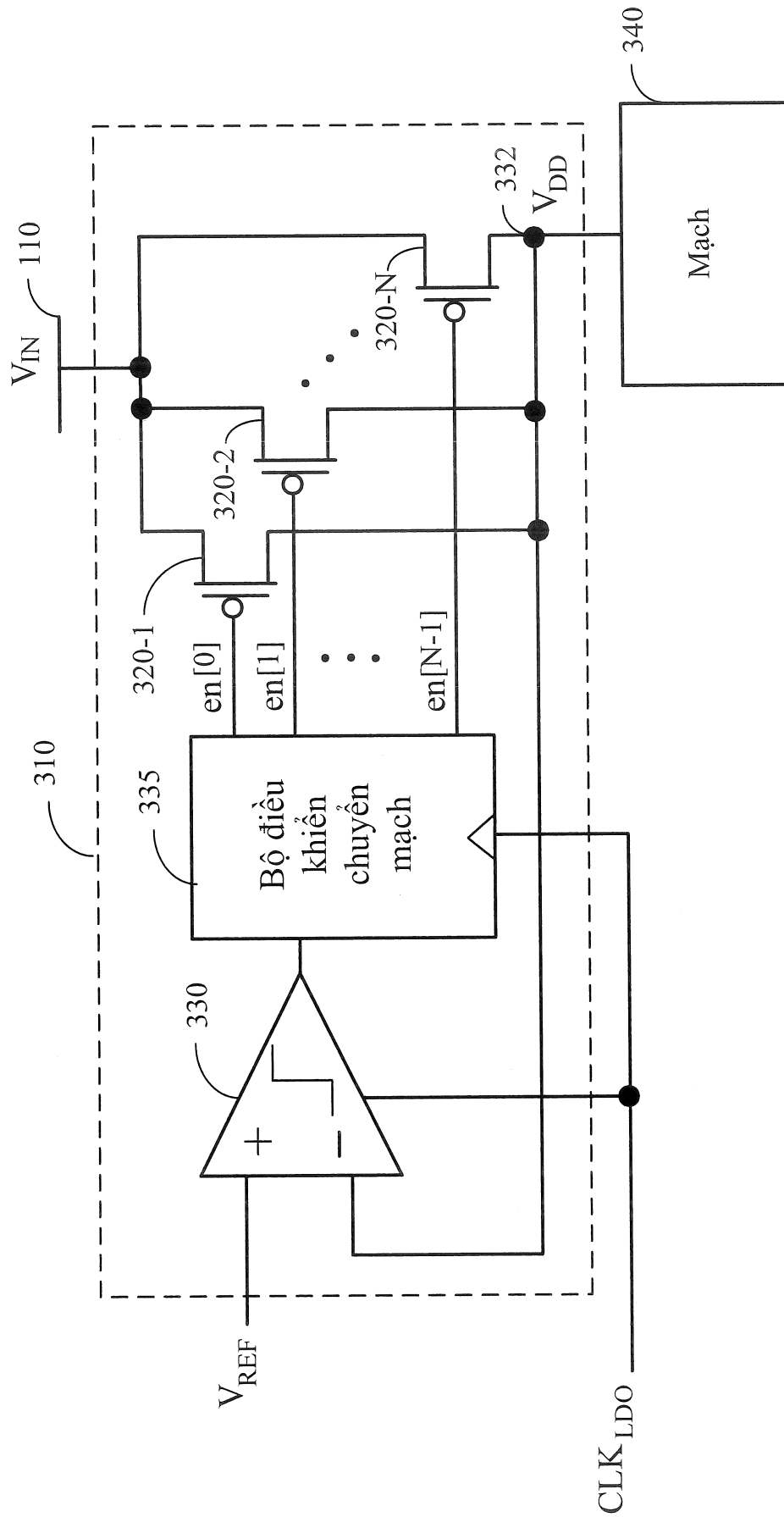


Fig. 3

4/13

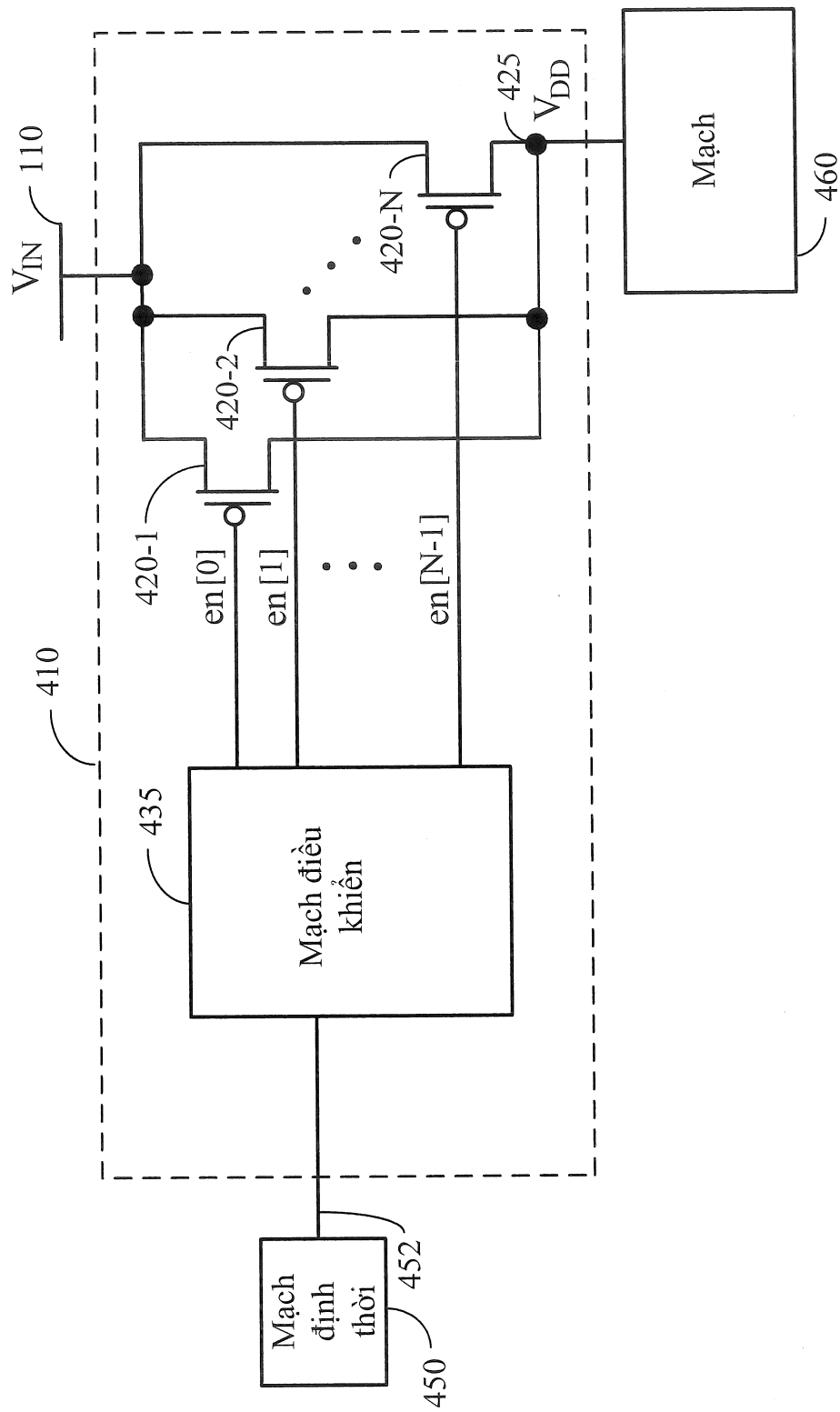


Fig.4

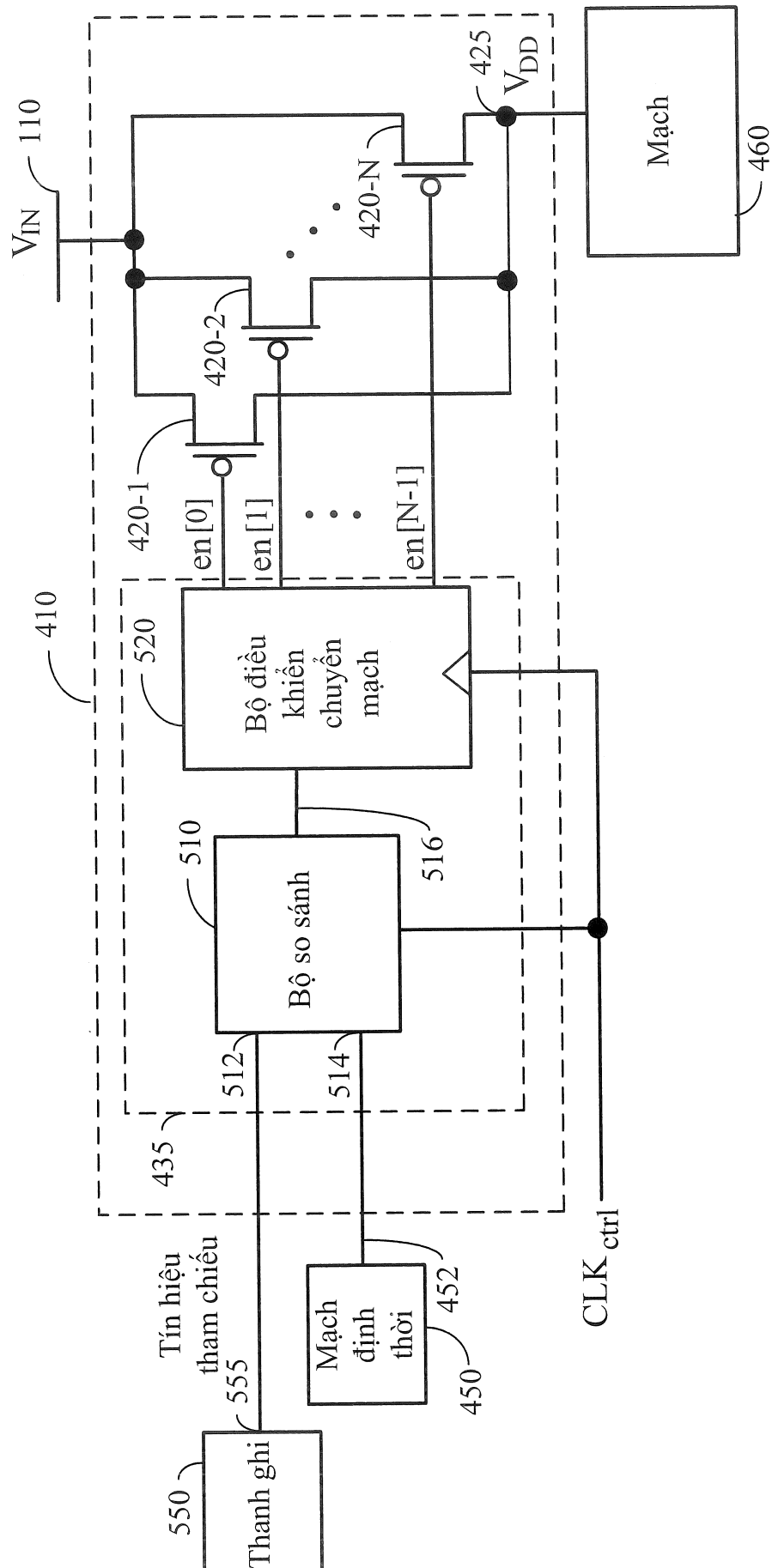


Fig.5

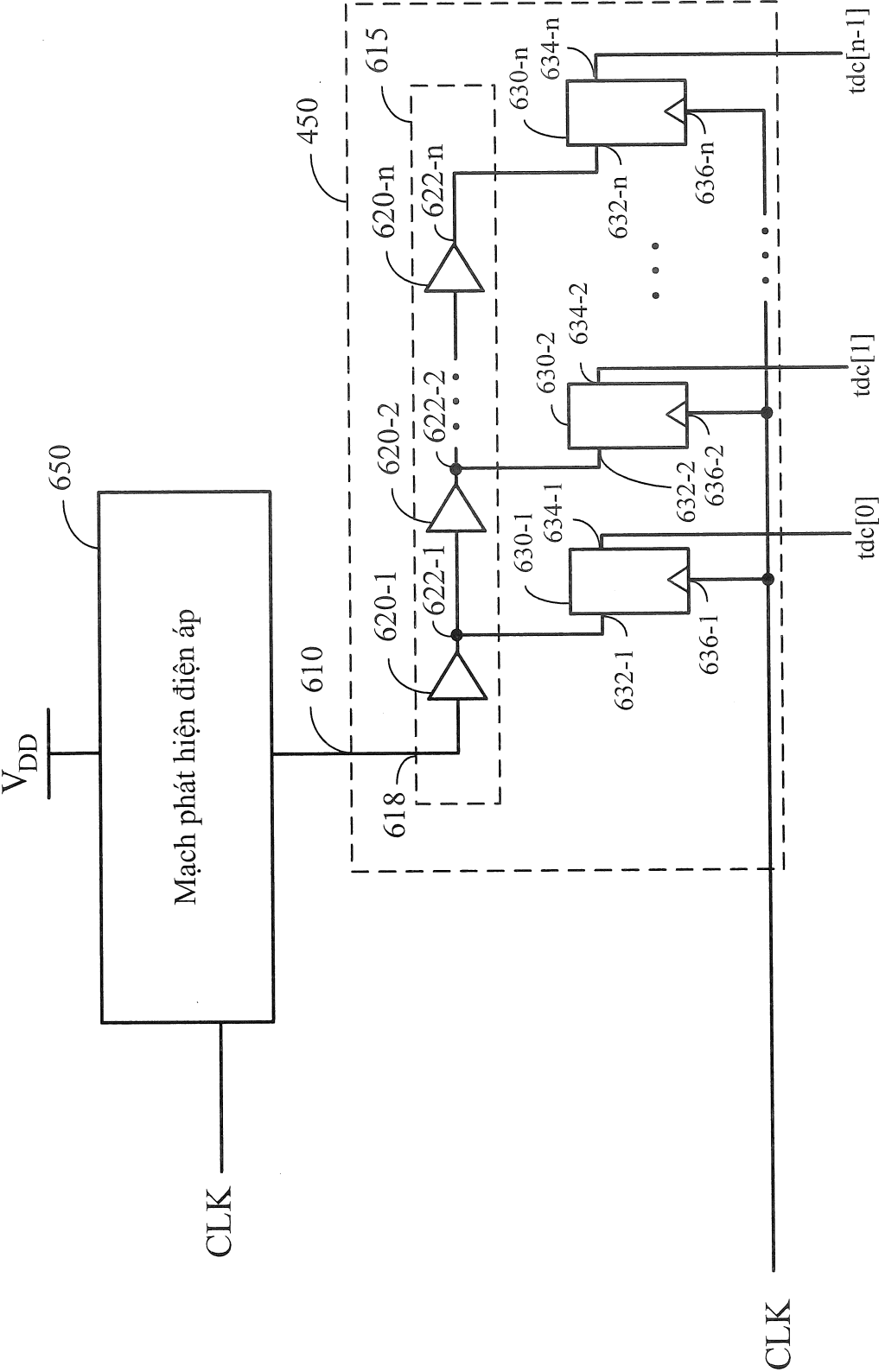


Fig.6

7/13

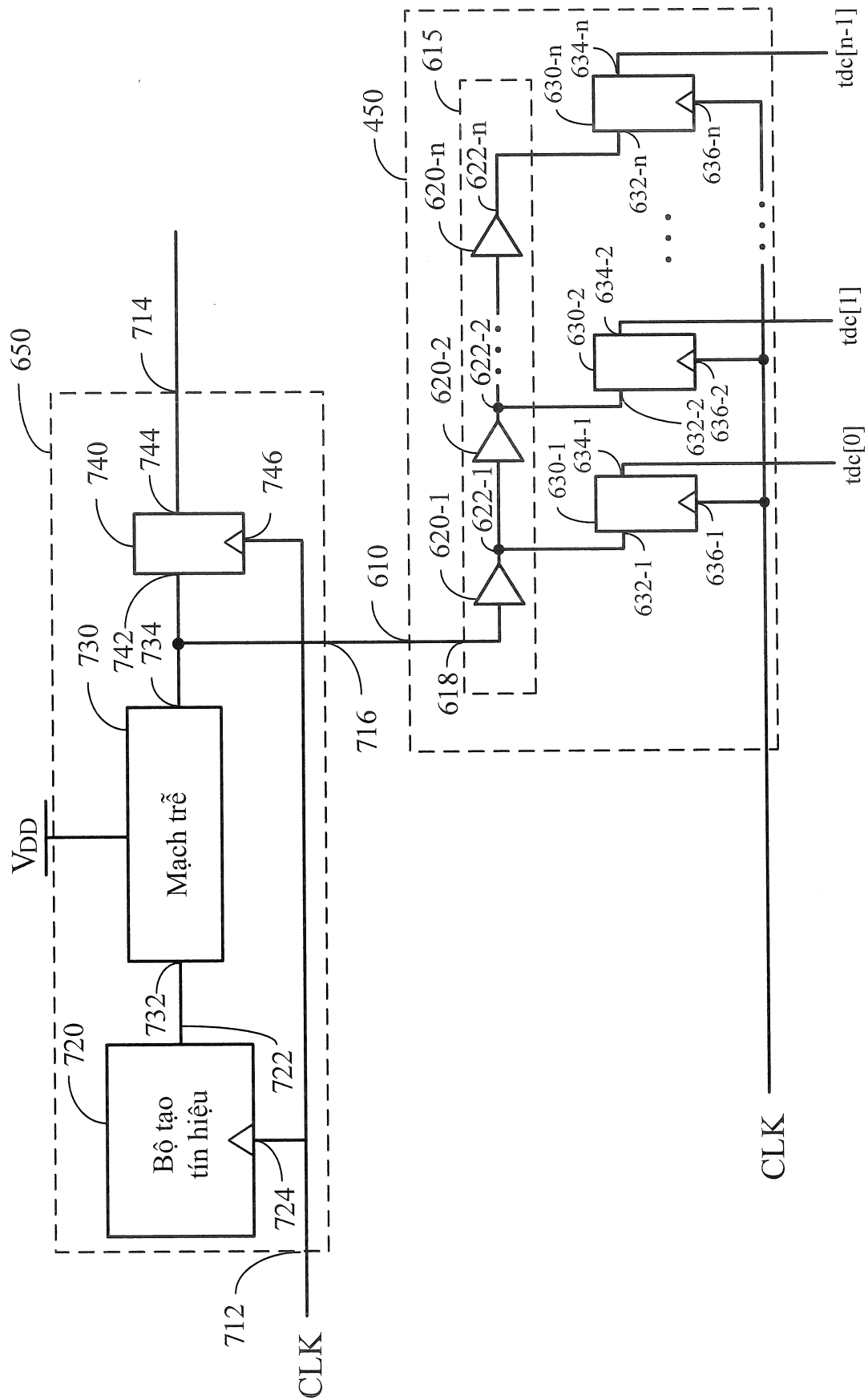


Fig. 7

8/13

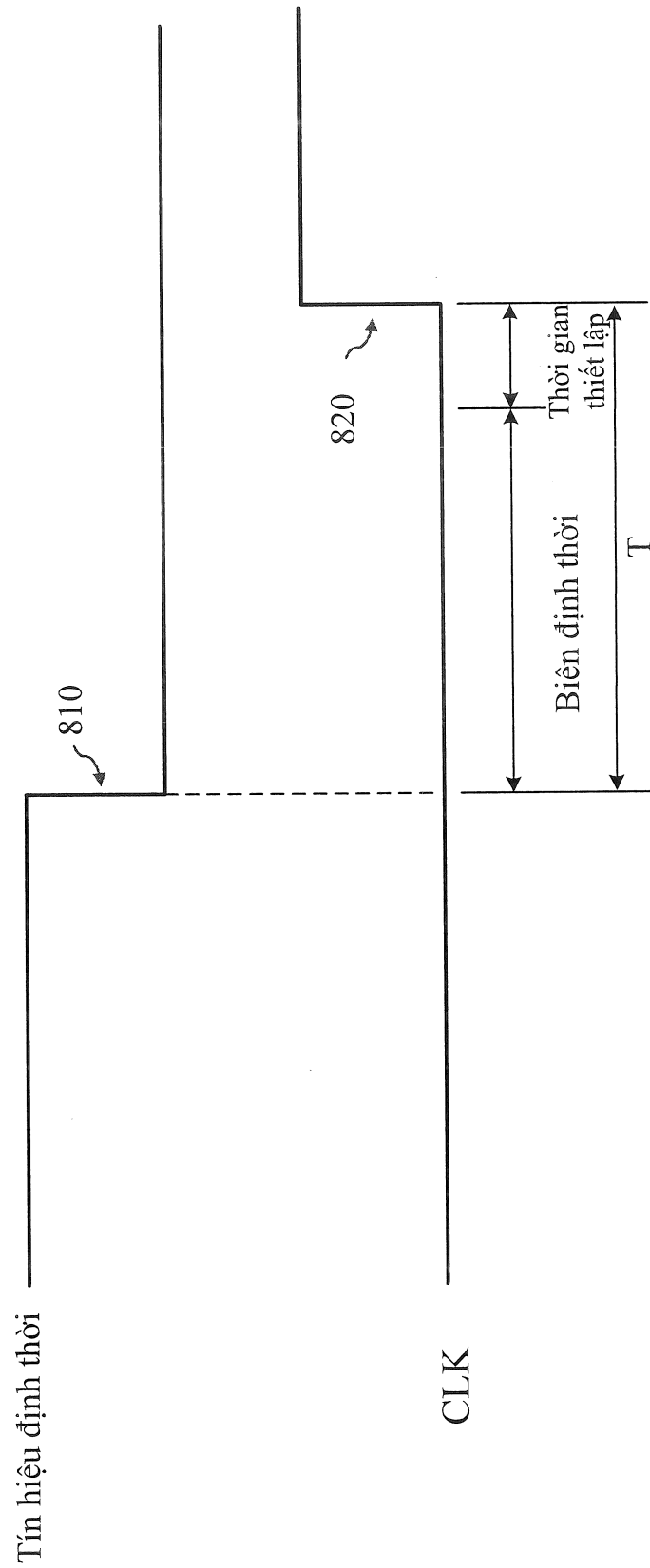


Fig.8

9/13

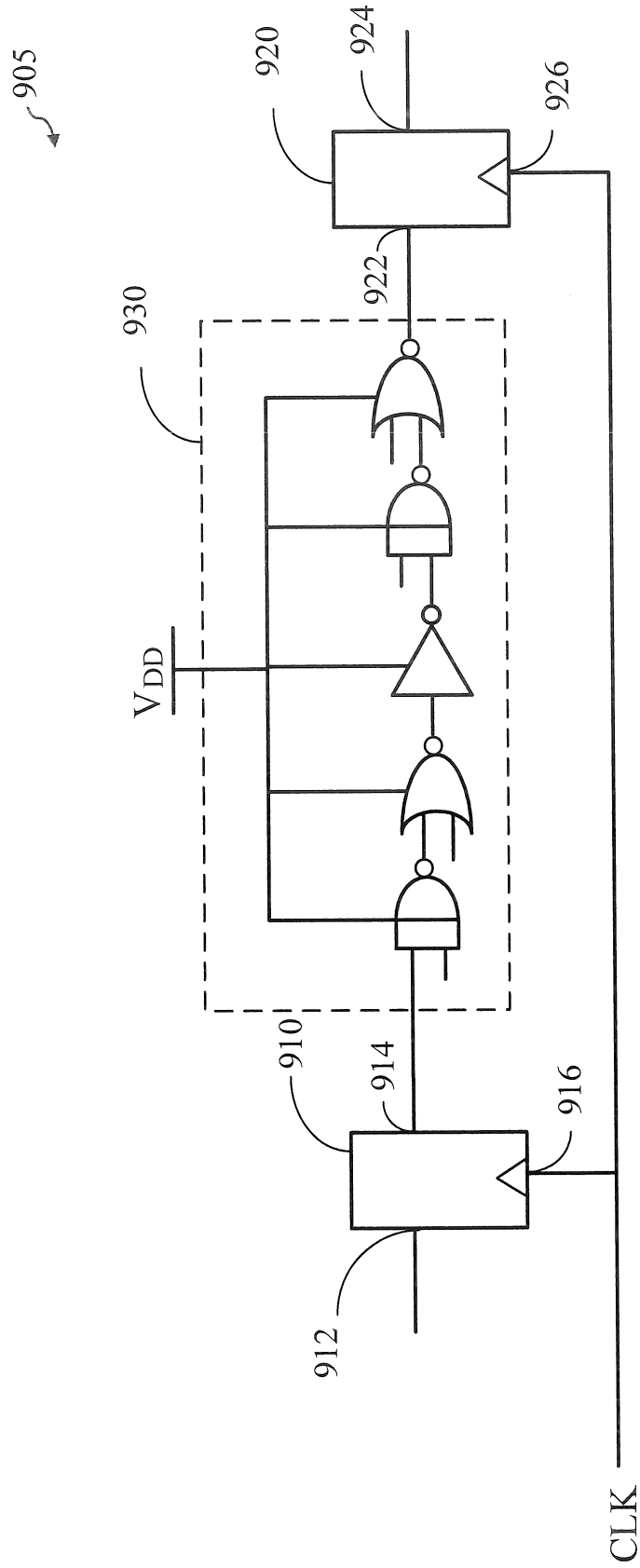


Fig.9

10/13

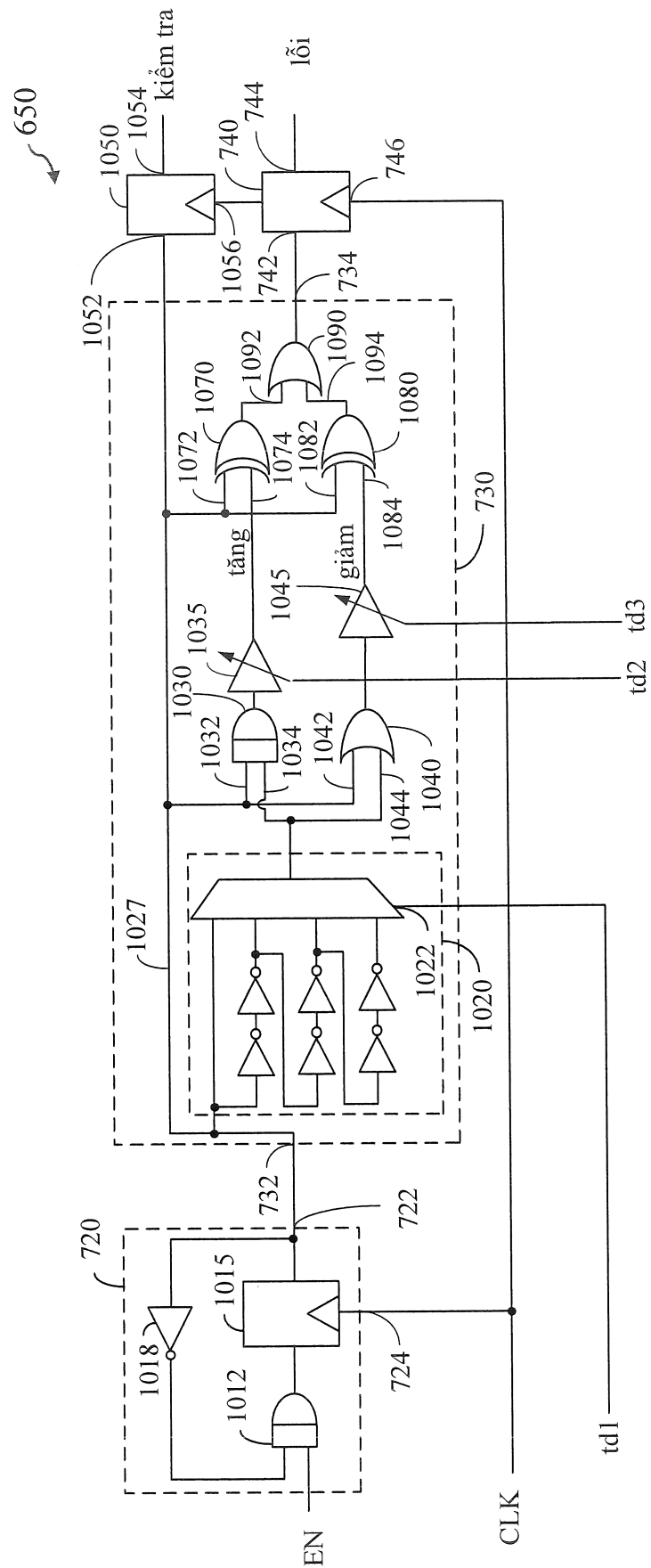


Fig.10

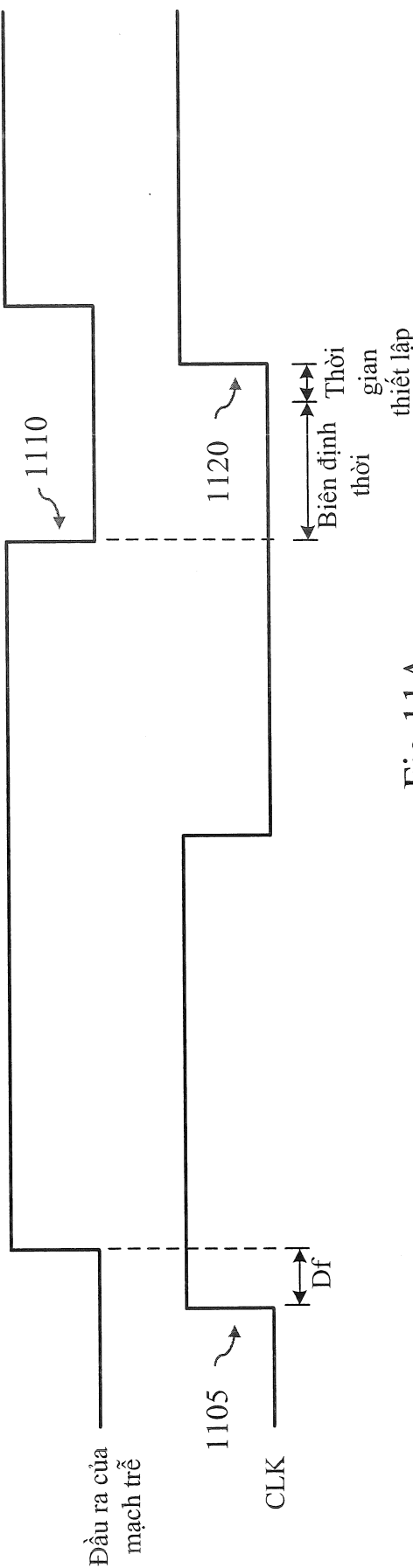


Fig. 11A

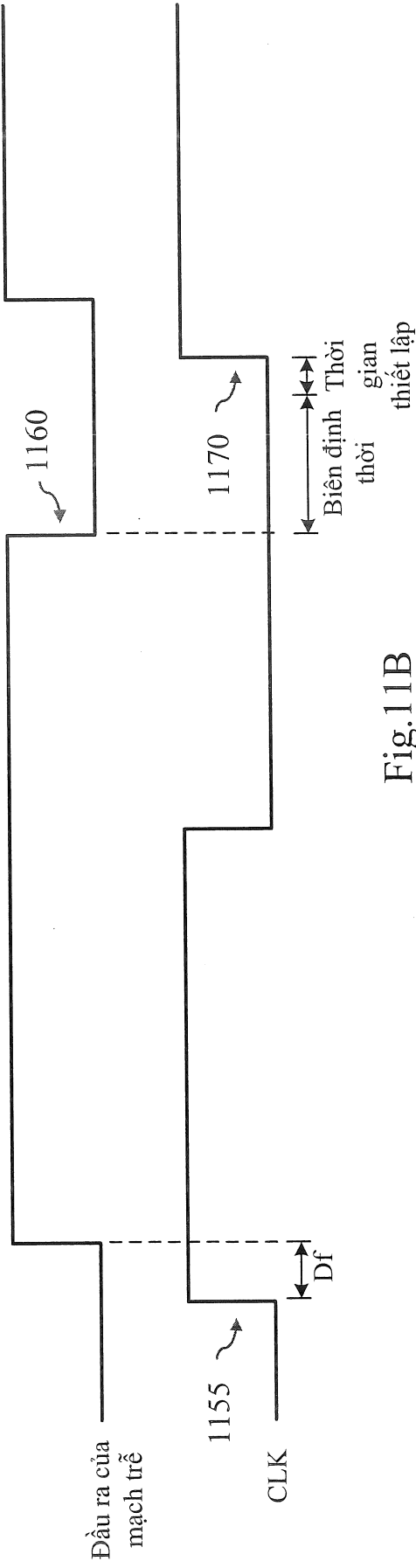


Fig. 11B

12/13

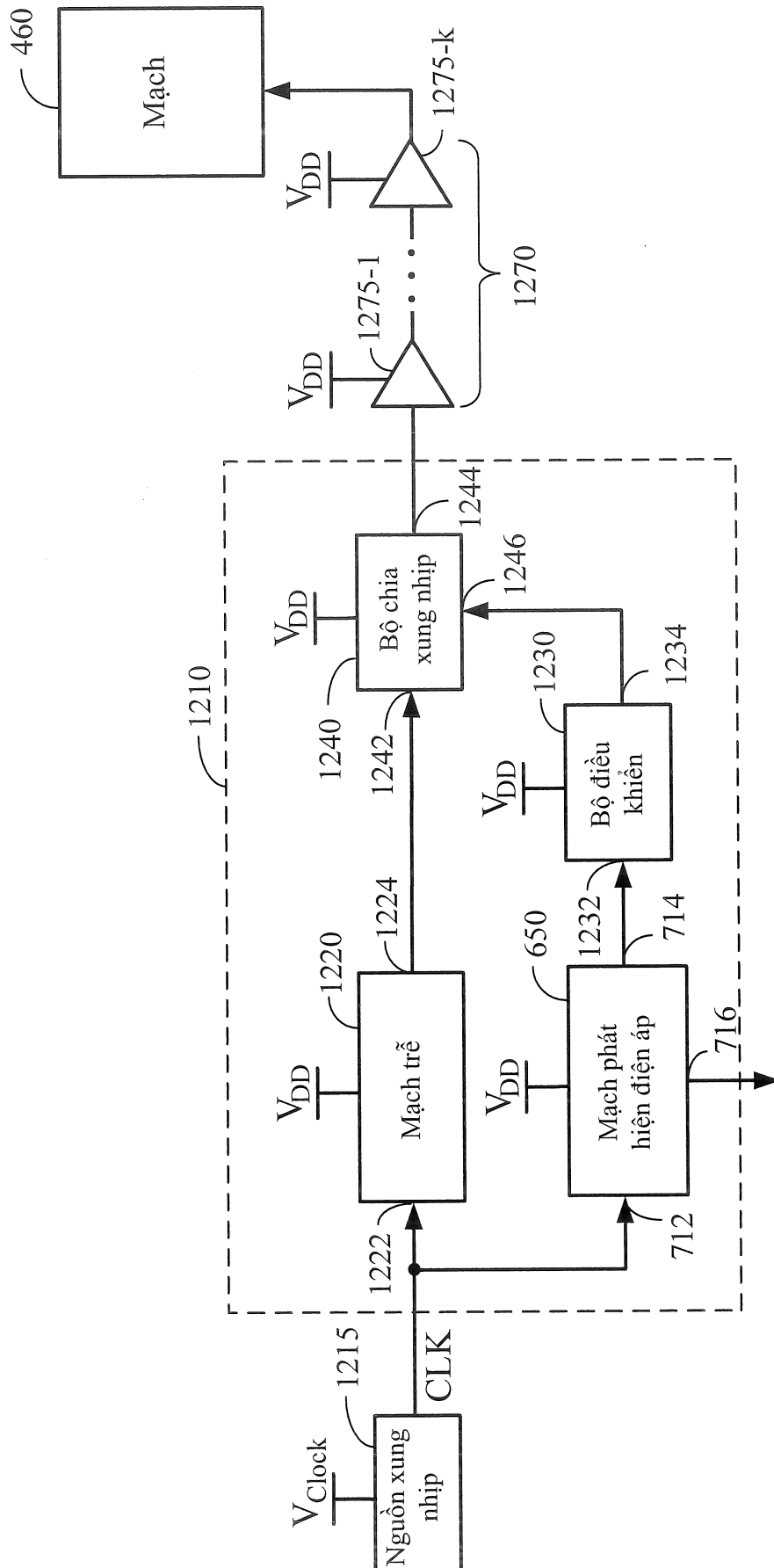


Fig.12

13/13

↖ 1310

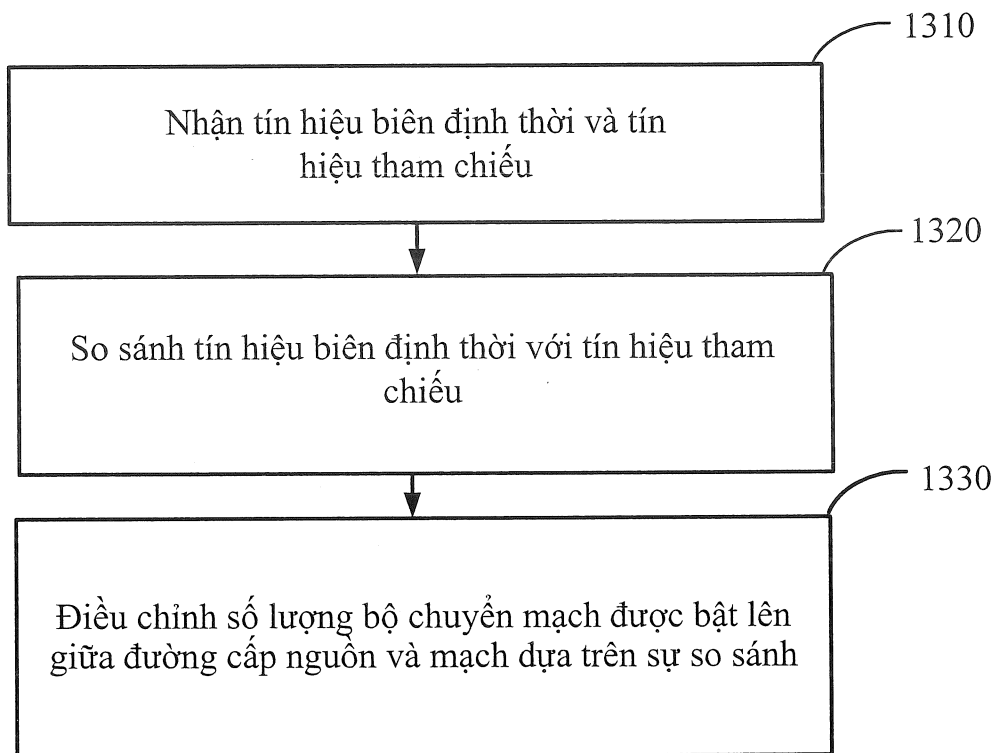


Fig.13