



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẢNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN) (11)
CỤC SỞ HỮU TRÍ TUỆ



1-0053796

(51)^{2021.01} **G06F 13/40; H04L 25/03; H04L 25/02; (13) B**
H03H 7/38; H04B 3/14

(21) 1-2022-05816

(22) 17/03/2021

(86) PCT/US2021/022833 17/03/2021

(87) WO 2021/188724 23/09/2021

(30) 62/991,437 18/03/2020 US; 17/197,335 10/03/2021 US

(45) 25/11/2025 452

(43) 25/11/2022 416A

(73) Qualcomm Incorporated (US)

ATTN: International IP Administration, 5775 Morehouse Drive, San Diego, CA
92121-1714, United States of America

(72) LEE, Chulkyu (US); PARK, Hyunjeong (KR).

(74) Công ty TNHH Quốc tế D & N (D&N INTERNATIONAL CO.,LTD.)

(54) PHƯƠNG PHÁP VÀ THIẾT BỊ KẾT CUỐI ĐƯỜNG TRUYỀN VÀ HỆ THỐNG
TRUYỀN THÔNG DỮ LIỆU

(21) 1-2022-05816

(57) Sáng chế đề cập đến phương pháp và thiết bị để kết cuối đường truyền và hệ thống truyền thông dữ liệu. Đầu cuối cho đường truyền tần số cao bao gồm bộ điện trở thứ nhất có đầu cuối thứ nhất được ghép nối với đầu thứ nhất của đường truyền và đầu cuối thứ hai được ghép nối với chân dán đầu vào/đầu ra thứ nhất và điện trở thứ hai có đầu cuối thứ nhất được ghép nối với chân dán đầu vào/đầu ra thứ nhất. Bộ điện trở thứ nhất và bộ điện trở thứ hai có thể cung cấp điện trở kết hợp phù hợp với giá trị danh định của trở kháng đặc tính của đường truyền. Thiết bị có thể bao gồm bộ điện trở thứ ba có đầu cuối thứ nhất được ghép nối với đầu thứ hai của đường truyền và đầu cuối thứ hai được ghép nối với chân dán đầu vào/đầu ra thứ hai và bộ điện trở thứ tư có đầu cuối thứ nhất được ghép nối với chân dán đầu vào/đầu ra thứ hai. Bộ điện trở thứ ba và bộ điện trở thứ tư có thể cung cấp điện trở tổng hợp phù hợp với giá trị danh định của trở kháng đặc tính của đường truyền.

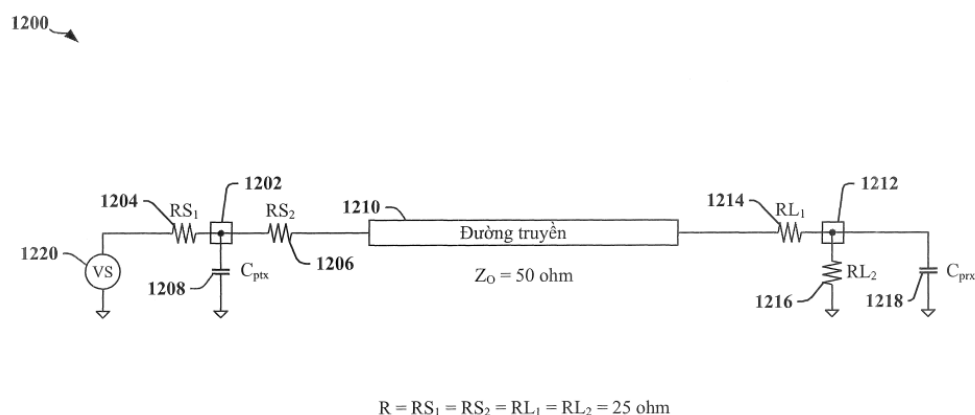


FIG. 12

Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập đến các liên kết dữ liệu tốc độ cao và cụ thể hơn là kỹ thuật kết nối cuối các đường truyền tần số cao.

Tình trạng kỹ thuật của sáng chế

Thiết bị truyền thông di động có thể bao gồm nhiều thành phần như bao gồm bảng mạch, thiết bị mạch tích hợp (integrated circuit, IC) và/hoặc thiết bị hệ thống trên chip (System-on-Chip, SoC). Các thành phần này có thể bao gồm thiết bị xử lý, thành phần giao diện người dùng, thành phần lưu trữ và thành phần ngoại vi khác mà truyền thông thông qua bus truyền thông dữ liệu dùng chung, bus này có thể bao gồm bus nối tiếp đa điểm hoặc bus song song.

Các giao diện nối tiếp đa năng được biết đến trong lĩnh vực bao gồm giao diện nối tiếp liên mạch tích hợp (Inter-Integrated Circuit, I2C hoặc I²C) và các biến thể và lựa chọn thay thế của nó. Giao diện I2C có thể cung cấp băng thông có thể đo được bằng kilobit trên giây (Kbps). Các chuẩn đa phương tiện như các chuẩn và đặc tính kỹ thuật được xác định bởi Liên minh Giao diện Bộ xử lý Công nghiệp Di động (Mobile Industry Processor Interface, MIPI) bao gồm Giao diện Hệ thống Hiển thị (Display System Interface, DSI) và DigRF, và các chuẩn được xác định bởi Liên minh Công nghiệp Điện tử (Electronic Industries Alliance, EIA) và/hoặc Hiệp hội Điện tử Tiêu dùng (Consumer Electronics Association, CEA) bao gồm Giao diện Đa phương tiện độ nét cao (High-Definition Multimedia Interface, HDMI) và các chuẩn được xác định bởi Hiệp hội Tiêu chuẩn Điện tử Video (Video Electronics Standards Association, VESA) bao gồm DisplayPort (một chuẩn giao diện hiển thị mới).

Liên minh MIPI xác định các chuẩn cho giao diện nối tiếp Liên mạch tích hợp cải tiến (Improved Inter-Integrated Circuit, I3C), giao diện Đầu trước Tần số Vô tuyến (Radio Frequency Front-End, RFFE), Giao diện Quản lý Nguồn Hệ thống (System Power Management Interface, SPMI) và các giao diện khác, bao gồm Giao diện C-PHY, D-PHY, M-PHY. Các chuẩn giao diện này có thể được sử dụng để kết nối chẳng

hạn các bộ xử lý, các cảm biến và các thiết bị ngoại vi khác. Trong một số cấu hình, nhiều bus chính được ghép nối với bus nối tiếp sao cho hai hoặc nhiều thiết bị có thể đóng vai trò là bus chính cho các loại thông báo khác nhau được truyền trên bus nối tiếp. Chuẩn giao diện RFFE xác định các giao thức truyền thông có thể được sử dụng để điều khiển các thiết bị đầu trước tần số vô tuyến (radio frequency, RF) khác nhau, bao gồm bộ khuếch đại công suất (power amplifier, PA), bộ khuếch đại độ ồn thấp (low-noise amplifier, LNA), bộ dò sóng anten, bộ lọc, cảm biến, thiết bị quản lý điện năng, bộ chuyển mạch, v.v.. Các thiết bị này có thể được sắp xếp trong một thiết bị IC duy nhất hoặc nằm trong nhiều thiết bị IC. Trong một thiết bị truyền thông di động, nhiều anten và bộ thu phát vô tuyến có thể hỗ trợ nhiều liên kết RF đồng thời. Các giao thức SPMI xác định một giao diện phần cứng có thể được triển khai giữa băng tần cơ sở hoặc bộ xử lý ứng dụng và các thành phần ngoại vi. Trong một số ví dụ, các giao thức SPMI được triển khai để hỗ trợ các hoạt động quản lý điện năng trong một thiết bị.

Các giao diện vật lý được cải tiến là cần thiết để hỗ trợ việc triển khai các ứng dụng tốc độ cao hơn, phức tạp hơn, khiến cho nhu cầu về hiệu suất ngày càng tăng từ các bus nối tiếp đa điểm.

Bản chất kỹ thuật của sáng chế

Các khía cạnh nhất định của sáng chế liên quan đến hệ thống, thiết bị, phương pháp và kỹ thuật có thể được sử dụng để kết cuối đường truyền. Các kết cuối được bọc lộ có thể làm giảm sự không phù hợp về trở kháng, giảm thiểu nhiễu phát sinh từ sóng phản xạ và cải thiện hiệu suất của bộ phát và bộ thu.

Theo các khía cạnh khác nhau của sáng chế, thiết bị bao gồm bộ điện trở thứ nhất có đầu cuối thứ nhất được ghép nối với một đầu của đường truyền thứ nhất và đầu cuối thứ hai được ghép nối với chân dán đầu vào/đầu ra thứ nhất, và bộ điện trở thứ hai có đầu cuối thứ nhất được ghép nối với chân dán đầu vào/đầu ra thứ nhất. Bộ điện trở thứ nhất và bộ điện trở thứ hai có thể được chọn để cung cấp điện trở kết hợp phù hợp với giá trị danh định của trở kháng đặc tính của đường truyền thứ nhất.

Theo một khía cạnh, thiết bị bao gồm mạch thu có đầu vào được ghép nối với chân dán đầu vào/đầu ra thứ nhất. Đầu cuối thứ hai của bộ điện trở thứ hai có thể được

ghép nối với mạch nối đất hoặc mức điện áp chế độ thông thường. Theo một khía cạnh, thiết bị bao gồm một mạch dẫn dòng có một đầu ra được ghép nối với đầu cuối thứ hai của bộ điện trở thứ hai.

Theo một khía cạnh, bộ điện trở thứ hai và chân dán đầu vào/đầu ra thứ nhất được cung cấp trên thiết bị IC, và bộ điện trở thứ nhất và một đầu của đường truyền thứ nhất được đặt bên ngoài thiết bị mạch tích hợp.

Theo một số khía cạnh nhất định, bộ điện trở thứ nhất và bộ điện trở thứ hai tạo thành một bộ phân áp có chân dán đầu vào/đầu ra thứ nhất ở đầu ra của bộ phân áp. Tín hiệu nhận được ở chân dán đầu vào/đầu ra thứ nhất là biểu diễn suy giảm của tín hiệu nhận được ở một đầu của đường truyền thứ nhất. Các tín hiệu phản xạ từ chân dán đầu vào/đầu ra thứ nhất được dẫn đến một đầu của đường truyền thứ nhất có thể bị suy yếu bởi bộ điện trở thứ nhất. Bộ cân bằng tuyến tính thời gian liên tục có thể được ghép nối với chân dán đầu vào/đầu ra thứ nhất. Bộ điện trở thứ nhất và bộ điện trở thứ hai có thể được tạo cấu hình như một mạch kết cuối tuyến tính hóa đáp ứng tần số.

Theo một số khía cạnh nhất định, thiết bị bao gồm bộ điện trở thứ ba có đầu cuối thứ nhất được ghép nối với một đầu của đường truyền thứ hai và đầu cuối thứ hai được ghép nối với chân dán đầu vào/đầu ra thứ hai. Thiết bị có thể bao gồm bộ điện trở thứ tư có đầu cuối thứ nhất được ghép nối với chân dán đầu vào/đầu ra thứ hai và đầu cuối thứ hai được ghép nối với đầu cuối thứ hai của bộ điện trở thứ hai. Bộ điện trở thứ ba và bộ điện trở thứ tư có thể cung cấp điện trở kết hợp phù hợp với giá trị danh định của trở kháng đặc tính của đường truyền thứ hai. Chân dán đầu vào/đầu ra thứ nhất và chân dán đầu vào/đầu ra thứ hai có thể được ghép nối với các đầu vào vi sai của mạch thu. Chân dán đầu vào/đầu ra thứ nhất và chân dán đầu vào/đầu ra thứ hai có thể được ghép nối thông qua các bộ điện trở tương ứng với các đầu ra vi sai của mạch điều khiển.

Theo các khía cạnh khác nhau của sáng chế, hệ thống có liên kết truyền thông dữ liệu bao gồm đường truyền thứ nhất, thiết bị mạch tích hợp thứ nhất được ghép nối với đầu thứ nhất của liên kết truyền thông dữ liệu thông qua mạch kết cuối thứ nhất, và thiết bị mạch tích hợp thứ hai được ghép nối với đầu thứ hai của liên kết truyền thông dữ liệu thông qua mạch kết cuối thứ hai. Mạch kết cuối thứ nhất có thể bao gồm bộ

điện trở thứ nhất có đầu cuối thứ nhất được ghép nối với đầu thứ nhất của đường truyền thứ nhất và đầu cuối thứ hai được ghép nối với chân dán đầu vào/đầu ra thứ nhất. Mạch kết cuối thứ nhất có thể bao gồm bộ điện trở thứ hai có đầu cuối thứ nhất được ghép nối với chân dán đầu vào/đầu ra thứ nhất và mạch thu có đầu vào thứ nhất được ghép nối với chân dán đầu vào/đầu ra thứ nhất. Đầu cuối thứ hai của bộ điện trở thứ hai được ghép nối với mạch nối đất hoặc mức điện áp chế độ thông thường. Bộ điện trở thứ nhất và bộ điện trở thứ hai có thể cung cấp điện trở kết hợp phù hợp với giá trị danh định của trở kháng đặc tính của đường truyền thứ nhất.

Theo các khía cạnh khác nhau của sáng chế, phương pháp kết cuối đường truyền bao gồm bước ghép nối đầu cuối thứ nhất của bộ điện trở thứ nhất với một đầu của đường truyền thứ nhất và ghép nối đầu cuối thứ hai của bộ điện trở thứ nhất với chân dán đầu vào/đầu ra thứ nhất. Đầu cuối thứ nhất của bộ điện trở thứ hai có thể được ghép nối với chân dán đầu vào/đầu ra thứ nhất. Bộ điện trở thứ nhất và bộ điện trở thứ hai có thể cung cấp điện trở kết hợp phù hợp với giá trị danh định của trở kháng đặc tính của đường truyền thứ nhất.

Mô tả vắn tắt các hình vẽ

Fig.1 minh họa thiết bị sử dụng liên kết dữ liệu giữa các thiết bị IC được vận hành có chọn lọc theo một trong nhiều chuẩn có sẵn.

Fig.2 minh họa cấu trúc hệ thống cho thiết bị sử dụng liên kết dữ liệu giữa các thiết bị IC.

Fig.3 minh họa ví dụ về thiết bị có thể được ghép nối với một hoặc nhiều liên kết, các làn hoặc các bus theo các khía cạnh nhất định được bộc lộ ở đây.

Fig.4 minh họa cấu hình trong đó bus dữ liệu tốc độ cao và bus điều khiển nối tiếp tốc độ thấp được triển khai giữa hệ thống trên chip (System-on-Chip, SoC) và camera theo cách mà có thể được điều chỉnh theo các khía cạnh nhất định được bộc lộ ở đây.

Fig.5 minh họa giao diện C-PHY được sử dụng để triển khai bus dữ liệu tốc độ cao theo các khía cạnh nhất định được bộc lộ ở đây.

Fig.6 minh họa các khía cạnh nhất định của cấu hình các bộ điều khiển và bộ thu trong giao diện nối tiếp.

Fig.7 minh họa một liên kết truyền thông có thể được thực hiện bằng cách sử dụng lớp vật lý bao gồm nguồn và tải.

Fig.8 minh họa ảnh hưởng của sự không phù hợp trở kháng đối với việc bảo hiệu trong một kênh của liên kết truyền thông nối tiếp.

Fig.9 minh họa ảnh hưởng của nhiều tín hiệu phản xạ đối với tín hiệu được truyền qua một kênh suy hao có các điểm kết cuối không phù hợp.

Fig.10 minh họa một ví dụ về kết cuối cảm ứng trong giao diện nối tiếp tần số cao.

Fig.11 minh họa các liên kết vi sai hai dây và ba dây có thể được điều chỉnh theo các khía cạnh nhất định được bộc lộ ở đây.

Fig.12 minh họa một ví dụ về liên kết truyền thông đã được điều chỉnh theo các khía cạnh nhất định của sáng chế.

Fig.13 bao gồm các ví dụ về mạch kết cuối được tạo cấu hình theo các khía cạnh nhất định của sáng chế.

Fig.14 bao gồm các bảng minh họa các hệ số phản xạ điện áp khi các mạch kết cuối được tạo cấu hình theo các khía cạnh nhất định của sáng chế.

Fig.15 minh họa các liên kết vi sai hai dây và ba dây được điều chỉnh theo các khía cạnh nhất định của sáng chế.

Fig.16 minh họa một ví dụ về thiết bị sử dụng mạch xử lý có thể được điều chỉnh theo các khía cạnh nhất định được bộc lộ ở đây.

Fig.17 là lưu đồ minh họa một số khía cạnh được bộc lộ ở đây.

Fig.18 minh họa một ví dụ về việc triển khai phần cứng cho một thiết bị được điều chỉnh theo các khía cạnh nhất định được bộc lộ ở đây.

Mô tả chi tiết sáng chế

Phần mô tả chi tiết được trình bày sau đây liên quan đến các hình vẽ kèm theo nhằm mục đích mô tả các cấu hình khác nhau và không nhằm trình bày các cấu hình duy nhất mà trong đó các khái niệm được mô tả ở đây có thể được thực hiện. Phần mô tả chi tiết bao gồm các chi tiết cụ thể nhằm mục đích cung cấp sự hiểu biết thấu đáo về các khái niệm khác nhau. Tuy nhiên, người có hiểu biết trung bình trong lĩnh vực kỹ thuật này sẽ hiểu rõ rằng các khái niệm này có thể được thực hành mà không cần các chi tiết cụ thể này. Trong một số trường hợp, các cấu trúc và thành phần đã biết được thể hiện dưới dạng sơ đồ khối để tránh gây khó hiểu các khái niệm như vậy.

Một số khía cạnh của sáng chế sẽ được trình bày có tham chiếu đến các thiết bị và phương pháp khác nhau. Các thiết bị và phương pháp này sẽ được mô tả trong phần mô tả chi tiết sau đây và được minh họa trong các hình vẽ kèm theo bằng các khối, modul, thành phần, mạch, các bước, quy trình, thuật toán, v.v. (gọi chung là “các phần tử”). Các phần tử này có thể được triển khai bằng cách sử dụng phần cứng điện tử, phần mềm máy tính hoặc bất kỳ sự kết hợp nào của chúng. Việc các phần tử đó được triển khai dưới dạng phần cứng hay phần mềm phụ thuộc vào các ràng buộc về thiết kế và ứng dụng cụ thể áp đặt lên toàn bộ hệ thống.

Ví dụ về thiết bị sử dụng liên kết dữ liệu nối tiếp

Theo một số khía cạnh nhất định, một liên kết dữ liệu nối tiếp có thể được sử dụng để kết nối các thiết bị điện tử với nhau mà là các thành phần con của một thiết bị, chẳng hạn như điện thoại di động, điện thoại thông minh, điện thoại giao thức khởi tạo phiên (session initiation protocol, SIP), máy tính xách tay, notebook, netbook, smartbook, thiết bị kỹ thuật số hỗ trợ cá nhân (personal digital assistant, PDA), vô tuyến vệ tinh, thiết bị hệ thống định vị toàn cầu (global positioning system, GPS), thiết bị nhà thông minh, thiết bị chiếu sáng thông minh, thiết bị đa phương tiện, thiết bị video, trình phát âm thanh kỹ thuật số (ví dụ: trình phát MP3), camera, bảng điều khiển trò chơi, thiết bị giải trí, thành phần xe cộ, thiết bị tính toán đeo được (ví dụ: đồng hồ thông minh, thiết bị theo dõi sức khỏe hoặc thể dục, kính mắt, v.v.), thiết bị, cảm biến, thiết bị an ninh, máy bán hàng tự động, đồng hồ thông minh, máy bay không người lái, máy bay multicopter hoặc bất kỳ thiết bị có chức năng tương tự nào khác.

Fig.1 minh họa một ví dụ về thiết bị 100 có thể sử dụng bus truyền thông dữ liệu. Thiết bị 100 có thể bao gồm mạch xử lý 102 có nhiều mạch hoặc thiết bị 104, 106 và/hoặc 108, có thể được thực hiện trong một hoặc nhiều thiết bị ASIC hoặc trong thiết bị Hệ thống trên chip (System-on-Chip, SoC). Trong một ví dụ, thiết bị 100 có thể được tạo cấu hình để sử dụng làm thiết bị truyền thông và mạch xử lý 102 có thể bao gồm thiết bị xử lý được cung cấp trong ASIC 104, một hoặc nhiều thiết bị ngoại vi 106 và bộ thu phát 108 cho phép thiết bị truyền thông qua anten 124 với mạng truy cập vô tuyến, mạng truy cập lõi, Internet và/hoặc mạng khác.

ASIC 104 có thể có một hoặc nhiều bộ xử lý 112, một hoặc nhiều modem 110, bộ nhớ trên bo mạch 114, mạch giao diện bus 116 và/hoặc các mạch hoặc chức năng logic khác. Mạch xử lý 102 có thể được điều khiển bởi hệ điều hành cung cấp lớp giao diện lập trình ứng dụng (application programming interface, API) cho phép một hoặc nhiều bộ xử lý 112 thực thi các modul phần mềm nằm trong bộ nhớ trên bo mạch 114 hoặc bộ lưu trữ có thể đọc được bởi bộ xử lý khác 122 được cung cấp trên mạch xử lý 102. Modul phần mềm có thể bao gồm các lệnh và dữ liệu được lưu trữ trong bộ nhớ trên bo mạch 114 hoặc bộ lưu trữ có thể đọc được bởi bộ xử lý 122. ASIC 104 có thể truy cập bộ nhớ trên bo mạch 114 của nó, bộ lưu trữ có thể đọc được bởi bộ xử lý 122 và/hoặc bộ lưu trữ bên ngoài mạch xử lý 102. Bộ nhớ trên bo mạch 114, bộ nhớ có thể đọc được bởi bộ xử lý 122 có thể bao gồm bộ nhớ chỉ đọc (read-only memory, ROM) hoặc bộ nhớ truy cập ngẫu nhiên (random-access memory, RAM), ROM lập trình được có thể xóa bằng điện (electrically erasable programmable ROM, EEPROM), thẻ flash hoặc bất kỳ thiết bị nhớ nào có thể được sử dụng trong các hệ thống xử lý và các nền tảng máy tính. Mạch xử lý 102 có thể bao gồm, thực hiện hoặc có quyền truy cập vào cơ sở dữ liệu cục bộ hoặc bộ lưu trữ thông số khác có thể duy trì các thông số hoạt động và thông tin khác được sử dụng để tạo cấu hình và vận hành thiết bị 100 và/hoặc mạch xử lý 102. Cơ sở dữ liệu cục bộ có thể được thực hiện bằng cách sử dụng thanh ghi, modul cơ sở dữ liệu, bộ nhớ flash, phương tiện từ tính, EEPROM, đĩa mềm hoặc đĩa cứng, hoặc tương tự. Mạch xử lý 102 cũng có thể được ghép nối hoạt động với các thiết bị bên ngoài như anten 124, màn hình 126, các bộ điều khiển của người vận hành, chẳng hạn như công tắc hoặc nút 128, 130 và/hoặc bàn phím tích hợp hoặc bàn phím ngoài 132, trong số các thành phần khác. Modul giao diện người dùng có thể được tạo

cấu hình để hoạt động với màn hình 126, bàn phím ngoài 132, v.v. thông qua một liên kết truyền thông chuyên dụng hoặc thông qua một hoặc nhiều kết nối dữ liệu nối tiếp.

Mạch xử lý 102 có thể bao gồm hoặc được ghép nối với một hoặc nhiều bus 118a, 118b, 120 cho phép một số thiết bị 104, 106 và/hoặc 108 trao đổi các bản tin và thông tin khác. Trong một ví dụ, ASIC 104 có thể có mạch giao diện bus 116 bao gồm sự kết hợp của các mạch, bộ đếm, bộ định thời, bộ logic điều khiển và các mạch hoặc môđun có thể tạo cấu hình khác. Theo một ví dụ, mạch giao diện bus 116 có thể được tạo cấu hình để hoạt động theo các đặc tả kỹ thuật hoặc giao thức truyền thông. Mạch xử lý 102 có thể bao gồm hoặc điều khiển chức năng quản lý công suất để tạo cấu hình và quản lý hoạt động của thiết bị 100.

Fig.2 minh họa các khía cạnh nhất định của thiết bị 200 bao gồm nhiều thiết bị 202 và 222₀-222_N được ghép nối với một bus nối tiếp 220. Các thiết bị 202 và 222₀-222_N có thể được triển khai trong một hoặc nhiều thiết bị IC bán dẫn, chẳng hạn như bộ xử lý ứng dụng, SoC hoặc ASIC. Trong các phương án triển khai khác nhau, thiết bị 202 và 222₀-222_N có thể bao gồm, hỗ trợ hoặc hoạt động như một môđem, thiết bị xử lý tín hiệu, bộ điều khiển màn hình, camera, giao diện người dùng, cảm biến, bộ điều khiển cảm biến, trình phát đa phương tiện, bộ thu phát, thiết bị RFFE và/hoặc các thành phần hoặc thiết bị khác. Trong một số ví dụ, một hoặc nhiều thiết bị phụ 222₀-222_N có thể được sử dụng để điều khiển, quản lý hoặc giám sát thiết bị cảm biến. Truyền thông giữa các thiết bị 202 và 222₀-222_N qua bus nối tiếp 220 được điều khiển bởi bus chính 202. Một số loại bus nhất định có thể hỗ trợ nhiều bus chính 202.

Trong một ví dụ, thiết bị chính 202 có thể bao gồm bộ điều khiển giao diện 204 để quản lý quyền truy cập vào bus nối tiếp, tạo cấu hình địa chỉ động cho các thiết bị phụ 222₀-222_N và/hoặc gây ra tín hiệu đồng hồ 228 được truyền trên đường đồng hồ 218 của bus nối tiếp 220. Thiết bị chính 202 có thể bao gồm các thanh ghi cấu hình 206 hoặc bộ lưu trữ khác 224, và bộ logic điều khiển khác 212 được tạo cấu hình để xử lý các giao thức và/hoặc các chức năng cấp cao hơn. Bộ logic điều khiển 212 có thể bao gồm mạch xử lý như máy trạng thái, bộ sắp xếp, bộ xử lý tín hiệu hoặc bộ xử lý đa năng. Thiết bị chính 202 bao gồm một bộ thu phát 210 và các bộ điều khiển/bộ thu dòng 214a và 214b. Bộ thu phát 210 có thể bao gồm bộ thu, bộ phát và các mạch

chung, trong đó các mạch chung có thể bao gồm các mạch và/hoặc thiết bị định thời, logic và lưu trữ. Trong một ví dụ, bộ phát mã hóa và truyền dữ liệu dựa trên định thời trong tín hiệu đồng hồ 228 được cung cấp bởi mạch tạo xung nhịp 208. Đồng hồ định thời khác 226 có thể được sử dụng bởi bộ logic điều khiển 212 và các chức năng, mạch hoặc module khác.

Ít nhất một thiết bị 222₀-222_N có thể được tạo cấu hình để hoạt động như một thiết bị phụ trên bus nối tiếp 220 và có thể bao gồm các mạch và module hỗ trợ màn hình, cảm biến hình ảnh, và/hoặc mạch và module điều khiển và truyền thông với một hoặc nhiều cảm biến để đo các điều kiện môi trường. Trong một ví dụ, thiết bị phụ 222₀ được tạo cấu hình để hoạt động như một thiết bị phụ có thể cung cấp chức năng điều khiển, module hoặc mạch 232 bao gồm các mạch và module để hỗ trợ màn hình, cảm biến hình ảnh và/hoặc mạch và module điều khiển và truyền thông với một hoặc nhiều cảm biến đo các điều kiện môi trường. Thiết bị phụ 222₀ có thể bao gồm thanh ghi cấu hình 234 hoặc bộ lưu trữ khác 236, bộ logic điều khiển 242, bộ thu phát 240 và bộ điều khiển/bộ thu đường 244a và 244b. Bộ logic điều khiển 242 có thể bao gồm mạch xử lý như máy trạng thái, bộ sắp xếp, bộ xử lý tín hiệu hoặc bộ xử lý đa năng. Bộ thu phát 210 có thể bao gồm bộ thu, bộ phát và các mạch chung, trong đó các mạch chung có thể bao gồm các mạch và/hoặc thiết bị định thời, logic và lưu trữ. Trong một ví dụ, bộ phát mã hóa và truyền dữ liệu dựa trên thời gian trong tín hiệu đồng hồ 248 được cung cấp bởi các mạch tạo và/hoặc khôi phục đồng hồ 246. Tín hiệu đồng hồ 248 có thể bắt nguồn từ tín hiệu nhận được từ dòng đồng hồ 218. Các tín hiệu đồng hồ định thời khác 238 có thể được sử dụng bởi bộ logic điều khiển 242 và các chức năng, mạch hoặc module khác.

Bus nối tiếp 220 có thể được vận hành theo giao thức I2C, I3C, RFFE, SPMI, C-PHY, D-PHY hoặc một giao thức phù hợp khác. Ít nhất một thiết bị 202, 222₀-222_N có thể được tạo cấu hình để hoạt động có chọn lọc như thiết bị chính hoặc thiết bị phụ trên bus nối tiếp 220. Hai hoặc nhiều thiết bị 202, 222₀-222_N có thể được tạo cấu hình để hoạt động như một thiết bị chính trên bus nối tiếp 220.

Trong một ví dụ, bus nối tiếp 220 có thể được vận hành theo giao thức I3C. Các thiết bị truyền thông bằng giao thức I3C có thể cùng tồn tại trên cùng một bus nối tiếp

220 với các thiết bị truyền thông bằng giao thức I2C. Các giao thức I3C có thể hỗ trợ các chế độ truyền thông khác nhau, bao gồm chế độ tốc độ dữ liệu duy nhất (single data rate, SDR) tương thích với các giao thức I2C. Chế độ tốc độ dữ liệu cao (High-data-rate, HDR) có thể cung cấp tốc độ truyền dữ liệu từ 6 megabit/giây (Mbps) đến 16 Mbps và một số chế độ HDR có thể cung cấp tốc độ truyền dữ liệu cao hơn. Các giao thức I2C có thể tuân theo trên thực tế chuẩn I2C cung cấp cho tốc độ dữ liệu có thể nằm trong khoảng từ 100 kilobit/giây (kbps) đến 3,2 Mb/giây. Các giao thức I2C và I3C có thể xác định các khía cạnh điện và định thời cho các tín hiệu được truyền trên bus nối tiếp 2 dây 220, ngoài các định dạng dữ liệu và các khía cạnh của điều khiển bus. Theo một số khía cạnh, các giao thức I2C và I3C có thể xác định các đặc tính dòng điện một chiều (direct current, DC) ảnh hưởng đến các mức tín hiệu nhất định được liên kết với bus nối tiếp 220 và/hoặc các đặc tính dòng điện xoay chiều (alternating current, AC) ảnh hưởng đến các khía cạnh định thời nhất định của tín hiệu được truyền trên bus nối tiếp 220. Trong một số ví dụ, bus nối tiếp 2 dây 220 truyền dữ liệu trên đường dữ liệu 216 và tín hiệu đồng hồ trên đường đồng hồ 218. Trong một số trường hợp, dữ liệu có thể được mã hóa ở trạng thái báo hiệu hoặc chuyển đổi ở trạng thái báo hiệu của dòng dữ liệu 216 và dòng đồng hồ 218.

Fig.3 minh họa một ví dụ về thiết bị 300 được điều chỉnh để kết nối với một hoặc nhiều liên kết hoặc làn đường của bus nối tiếp 302. Thiết bị 300 có thể được triển khai như một mạch xử lý và/hoặc như một ASIC hoặc SoC. Bộ xử lý ứng dụng 304 có thể đóng vai trò là nguồn dữ liệu và/hoặc bộ góp dữ liệu. Bộ xử lý ứng dụng 304 có thể bao gồm hoặc được ghép nối với bộ điều khiển giao thức 306 được tạo cấu hình để định dạng dữ liệu và lệnh phù hợp với giao thức truyền thông mong muốn hoặc đã chọn. Trong một ví dụ, bộ điều khiển giao thức 306 có thể được tạo cấu hình để tạo các gói dữ liệu được định dạng phù hợp với giao thức truyền thông mong muốn hoặc đã chọn. Bộ điều khiển giao thức 306 có thể bao gồm hoặc được thực hiện bằng bộ vi xử lý, bộ vi điều khiển, bộ sắp xếp, máy trạng thái hoặc một số thiết bị xử lý khác. Trong một số ví dụ nhất định, bộ điều khiển giao thức 306 có thể được tạo cấu hình để mã hóa dữ liệu trong các thông báo được gửi theo I3C, D-PHY, M-PHY, C-PHY, RFFE, SPMI hoặc giao thức khác.

Trong một số trường hợp, bộ điều khiển giao thức 306 bao gồm hoặc phối hợp với bộ mã hóa/bộ giải mã 308 để nhận dữ liệu được tạo ra nhờ sử dụng bộ xử lý ứng dụng 304 và mã hóa dữ liệu này để truyền trên bus nối tiếp 302. Bộ mã hóa/bộ giải mã 308 có thể nhận dữ liệu từ bus nối tiếp 302 và cung cấp thông tin đã giải mã để gửi đến bộ xử lý ứng dụng 304. Các mạch bộ nối tiếp hóa/bộ hủy nối tiếp hóa (ví dụ: mạch SERDES 310) và mạch truy cập phương tiện 312 chuyển đổi dữ liệu thành dòng bit để truyền theo các đặc tính kỹ thuật báo hiệu được xác định cho bus nối tiếp 302. Mạch SERDES 310 và mạch truy cập phương tiện 312 chuyển đổi dòng bit từ tín hiệu nhận được từ bus nối tiếp 302 thành dữ liệu mà có thể được giải mã và cung cấp cho bộ xử lý ứng dụng 304 xử lý. Các mạch truy cập phương tiện 312 có thể bao gồm bộ thu phát, bộ tạo đồng hồ, mạch khôi phục đồng hồ, mạch vòng lặp khóa pha (PLL), và các loại tương tự.

Fig.4 minh họa một ví dụ về hệ thống 400 bao gồm các liên kết truyền thông được sử dụng để ghép nối bộ xử lý ứng dụng 402 với cảm biến hình ảnh 412, camera hoặc thiết bị hình ảnh khác. Trong một ví dụ, hệ thống có thể được thể hiện trong một SoC. Trong một ví dụ, hệ thống có thể được tạo cấu hình dưới dạng Giao diện nối tiếp camera MIPI 2 (Camera Serial Interface 2, CSI-2) 420. Cảm biến hình ảnh 412 có thể tạo ra khối lượng lớn dữ liệu pixel và dữ liệu khác biểu diễn hình ảnh do cảm biến hình ảnh chụp. Dữ liệu có thể được truyền bởi cảm biến hình ảnh 412 theo cụm khi cảm biến hình ảnh 412 đang chụp các hình ảnh hoặc khung hình riêng lẻ và/hoặc theo luồng liên tục khi cảm biến hình ảnh 412 hoạt động ở chế độ video hoặc chế độ đa hình ảnh. Trong một số trường hợp nhất định, liên kết dữ liệu hình ảnh tốc độ cao một chiều 422 được cung cấp để truyền dữ liệu hình ảnh từ cảm biến hình ảnh 412 tới bộ xử lý ứng dụng 402. Bộ xử lý ứng dụng 402 có thể bao gồm các mạch giao diện bus (D-PHY hoặc C-PHY Rx 404) được tạo cấu hình để nhận dữ liệu từ liên kết dữ liệu hình ảnh 422. Các mạch giao diện bus (D-PHY hoặc C-PHY Tx 414) trong cảm biến hình ảnh 412 có thể cho phép cảm biến hình ảnh 412 truyền thông qua liên kết dữ liệu hình ảnh 422.

Bus dữ liệu điều khiển hai chiều tốc độ thấp 424 có thể được cung cấp để hỗ trợ truyền thông lệnh và thông tin điều khiển giữa bộ xử lý ứng dụng 402 và cảm biến hình ảnh 412. Giao diện bus dữ liệu điều khiển 406 trong bộ xử lý ứng dụng 402 có thể

truyền các lệnh và nhận phản hồi cho các lệnh này tương đương với một phần dữ liệu hình ảnh được truyền khi cảm biến hình ảnh 412 hoạt động. Giao diện bus dữ liệu điều khiển 406 có thể trao đổi các loại thông tin khác với cảm biến hình ảnh 412. Giao diện bus dữ liệu điều khiển 416 trong cảm biến hình ảnh 412 có thể nhận lệnh và truyền phản hồi cho các lệnh này và có thể trao đổi các loại thông tin khác với bộ xử lý ứng dụng 402.

Cảm biến hình ảnh 412 có thể bao gồm bộ điều khiển có thể được tạo cấu hình bởi bộ xử lý ứng dụng 402. Bộ điều khiển có thể kiểm soát các khía cạnh nhất định của hoạt động của cảm biến hình ảnh 412. Bus dữ liệu điều khiển 424 có thể kết hợp các thiết bị ngoại vi khác với bộ xử lý ứng dụng 402 và/hoặc bộ điều khiển của cảm biến hình ảnh 412. Các giao thức và đặc tính kỹ thuật điều chỉnh liên kết dữ liệu hình ảnh tốc độ cao 422 và bus dữ liệu điều khiển 424 có thể được xác định bởi Liên minh MIPI, bởi tổ chức tiêu chuẩn khác hoặc bởi một nhà thiết kế hệ thống. Để phục vụ mục đích của sáng chế, một cấu trúc dựa trên các chuẩn CSI-2 do Liên minh MIPI xác định sẽ được sử dụng làm ví dụ.

Fig.5 minh họa giao diện C-PHY 500 có thể được vận hành theo các đặc tính kỹ thuật hoặc giao thức do Liên minh MIPI xác định. Công nghệ giao diện lớp vật lý C-PHY sử dụng mã hóa phân cực 3 pha. Giao diện C-PHY 500 được minh họa được triển khai bằng cách sử dụng liên kết ba dây 520. Tại bộ phát, mỗi bộ điều khiển lớp vật lý 506 có thể điều khiển một dây của liên kết ba dây 520. Dữ liệu được mã hóa trong một chuỗi các ký hiệu được truyền trên liên kết ba dây 520, trong đó mỗi ký hiệu xác định trạng thái báo hiệu của liên kết ba dây 520 cho một khoảng ký hiệu. Trong mỗi khoảng ký hiệu, một dây của liên kết ba dây 520 là không được điều khiển và hai dây còn lại của liên kết ba dây 520 được điều khiển với cực tính ngược nhau. Giao diện C-PHY 500 có thể cung cấp để truyền dữ liệu tốc độ cao và có thể tiêu thụ một nửa hoặc ít hơn năng lượng của các giao diện khác vì có ít hơn 3 bộ điều khiển hoạt động trong mỗi khoảng ký hiệu.

Trong giao diện C-PHY 500 được minh họa, mỗi dây của liên kết 3 dây 520 có thể không được điều khiển, được điều khiển dương hoặc được điều khiển âm. Một dây tín hiệu không được điều khiển có thể ở trạng thái trở kháng cao. Một dây tín hiệu

không được điều khiển có thể bị điều khiển hoặc kéo đến mức điện áp mà về cơ bản nằm giữa các mức điện áp dương và âm được cung cấp trên dây tín hiệu được điều khiển. Một dây tín hiệu không được điều khiển có thể không có dòng điện chạy qua nó. Các trạng thái báo hiệu có thể được ký hiệu là $\{+1, -1, 0\}$ và bộ điều khiển đường truyền 506 có thể được điều chỉnh để cung cấp từng trạng thái trong số ba trạng thái báo hiệu này. Trong một ví dụ, bộ điều khiển 506 có thể bao gồm bộ điều khiển chế độ dòng điện cấp đơn vị. Trong một ví dụ khác, bộ điều khiển 506 có thể điều khiển điện áp phân cực ngược nhau trên hai tín hiệu được truyền trên hai dây của liên kết ba dây 520 trong khi dây thứ ba ở trở kháng cao và/hoặc được nối đất. Đối với mỗi khoảng ký hiệu, ít nhất một tín hiệu ở trạng thái chưa được điều khiển (0), trong khi số lượng tín hiệu được điều khiển dương (trạng thái +1) bằng số tín hiệu được điều khiển âm (trạng thái -1), sao cho tổng của dòng điện chạy đến bộ thu bằng không. Đối với mỗi ký hiệu, trạng thái của ít nhất một dây tín hiệu được thay đổi so với ký hiệu được truyền trong khoảng thời gian truyền trước đó.

Giao diện C-PHY 500 có thể mã hóa nhiều bit cho mỗi lần chuyển đổi trên liên kết ba dây 520. Trong một ví dụ, bộ lập ánh xạ/bộ nối tiếp hóa 502 có thể ánh xạ dữ liệu 16 bit 508 thành một tập hợp bảy ký hiệu 3 bit được cung cấp trong chuỗi 3 bit được xếp theo thứ tự của các ký hiệu thô 510 tới bộ mã hóa ký hiệu 504. Bộ mã hóa ký hiệu 504 cung cấp một chuỗi tín hiệu điều khiển 512 tương ứng với các ký hiệu được truyền để xác định trạng thái báo hiệu của liên kết ba dây 520 cho mỗi trong số các khoảng bảy ký hiệu. Bộ mã hóa ký hiệu chọn từng ký hiệu được truyền dựa trên ký hiệu được truyền ngay trước đó và ký hiệu thô hiện tại 510. Bộ mã hóa ký hiệu 504 hoạt động sao cho, đối với mỗi khoảng ký hiệu, trạng thái báo hiệu của ít nhất một dây (dây A, B, C) của liên kết ba dây 520 thay đổi theo trạng thái báo hiệu trong khoảng ký hiệu ngay trước đó..

Việc sử dụng mã hóa 3 dây, 3 pha cho phép một số bit được mã hóa trong nhiều ký hiệu trong đó các bit trên mỗi ký hiệu không phải là số nguyên. Trong ví dụ về hệ thống ba dây, ba pha, có 3 sự kết hợp khả dụng của 2 dây, có thể được điều khiển đồng thời và 2 sự kết hợp cực tính có thể có trên bất kỳ cặp dây nào được điều khiển đồng thời, tạo ra 6 trạng thái có thể. Vì mỗi lần chuyển đổi xảy ra từ một trạng thái hiện tại sang một trạng thái khác, nên 5 trong số 6 trạng thái luôn khả dụng tại mỗi lần chuyển

đổi sao cho trạng thái báo hiệu của ít nhất một dây thay đổi tại mỗi lần chuyển đổi. Với 5 trạng thái, $\log_2(5) \cong 2,32$ bit có thể được mã hóa trên mỗi ký hiệu. Theo đó, một bộ ánh xạ có thể chấp nhận một từ 16 bit và chuyển đổi nó thành 7 ký hiệu, vì 7 ký hiệu mang 2,32 bit trên mỗi ký hiệu có thể mã hóa 16,24 bit. Nói cách khác, sự kết hợp của bảy ký hiệu mã hóa năm trạng thái có 5^7 (78,125) hoán vị. Theo đó, 7 ký hiệu có thể được sử dụng để mã hóa 2^{16} (65.536) hoán vị 16 bit.

Tại bộ thu, một tập hợp các bộ so sánh 526 và bộ giải mã ký hiệu 524 được tạo cấu hình để cung cấp sự biểu diễn kỹ thuật số về trạng thái của mỗi dây trong liên kết ba dây 520. Mỗi bộ so sánh 526 so sánh trạng thái báo hiệu của hai dây trong liên kết ba dây 520 để tạo ra một tập hợp các tín hiệu khác nhau 532, bao gồm các tín hiệu khác nhau AB, BC và CA. Bộ giải mã ký hiệu 524 có thể bao gồm mạch đồng hồ và khôi phục dữ liệu (clock and data recovery, CDR) 534 tạo ra tín hiệu đồng hồ bằng cách sử dụng các chuyển đổi được phát hiện ở trạng thái của liên kết ba dây 520 giữa các khoảng ký hiệu liên tiếp, trong đó tín hiệu đồng hồ được sử dụng để thu các giá trị ký hiệu biểu diễn trạng thái báo hiệu của liên kết ba dây 520. Bộ hủy nối tiếp hóa/bộ giải ánh xạ 522 nhận được một tập hợp gồm 7 ký hiệu 530, mà được giải ánh xạ để thu được 16 bit dữ liệu đầu ra 528.

Fig.6 minh họa cấu hình khác nhau của các bộ điều khiển, bộ thu và/hoặc bộ thu phát có thể được sử dụng để điều khiển bus nối tiếp và để nhận tín hiệu từ bus nối tiếp. Một số cấu hình nhất định có thể được sử dụng để hỗ trợ truyền thông nối tiếp đa năng hoặc có thể được vận hành theo I3C, D-PHY, M-PHY, C-PHY, RFFE, SPMI hoặc giao thức khác.

Báo hiệu vi sai thường liên quan đến việc truyền thông tin bằng điện bằng cách sử dụng hai tín hiệu bổ sung được gửi trên một cặp dây 610a, 610b hoặc 610c, có thể được gọi là một cặp vi sai. Việc sử dụng các cặp vi sai có thể làm giảm đáng kể nhiễu điện từ (electromagnetic interference - EMI) bằng cách loại bỏ ảnh hưởng của nhiễu chế độ chung mà ảnh hưởng đến cả hai dây trong một cặp vi sai. Trên kênh chuyển tiếp 600, một cặp dây 610a có thể được điều khiển bởi bộ điều khiển vi sai chủ 604. Bộ điều khiển vi sai 604 nhận một luồng dữ liệu đầu vào 602 và tạo ra các phiên bản dương và âm của dữ liệu đầu vào 602, sau đó được cung cấp cho cặp dây 610a. Bộ thu

vi sai 606 ở phía máy khách tạo ra luồng dữ liệu đầu ra 608 bằng cách thực hiện so sánh các tín hiệu được mang trên cặp dây 610a.

Trên kênh ngược 640, một hoặc nhiều cặp dây 610c có thể được điều khiển bởi bộ điều khiển vi sai phía máy khách 646. Bộ điều khiển vi sai 646 nhận một luồng dữ liệu đầu vào 648 và tạo ra các phiên bản dương và âm của dữ liệu đầu vào 648, được cung cấp cho cặp dây 610c. Bộ thu vi sai 644 trên máy chủ tạo ra luồng dữ liệu đầu ra 642 bằng cách thực hiện so sánh các tín hiệu được mang trên cặp dây 610c.

Trong kênh hai chiều 620, máy chủ và máy khách có thể được tạo cấu hình cho chế độ bán song công và có thể truyền và nhận dữ liệu trên cùng một cặp dây 610b. Một bus hai chiều có thể hoạt động thay thế hoặc bổ sung ở chế độ song công bằng cách sử dụng kết hợp các bộ điều khiển vi sai thuận và nghịch 604, 646 để điều khiển nhiều cặp dây 610a, 610c. Trong việc thực hiện hai chiều bán song công được mô tả cho kênh hai chiều 620, các bộ điều khiển vi sai 624 và 624' có thể ngăn chặn điều khiển cặp dây 610b đồng thời bằng cách sử dụng, ví dụ, một bộ điều khiển cho phép đầu ra (output enable, OE) tương ứng 630a, 630b để buộc các bộ điều khiển vi sai 624 và 624' vào trạng thái trở kháng cao. Bộ thu vi sai 626' có thể bị ngăn không cho điều khiển đầu vào/đầu ra 622 trong khi bộ điều khiển vi sai 624 đang hoạt động, thường sử dụng bộ điều khiển OE 630b để buộc bộ thu vi sai 626' vào trạng thái trở kháng cao. Bộ thu vi sai 626 có thể bị ngăn điều khiển đầu vào/đầu ra 628 trong khi bộ điều khiển vi sai 624' đang hoạt động, thường sử dụng bộ điều khiển cho phép đầu vào (input enable, IE) 632b để buộc bộ thu vi sai 626 ở trạng thái trở kháng cao. Trong một số trường hợp, đầu ra của bộ điều khiển vi sai 624 và 626' và bộ thu vi sai 626 và 626' có thể ở trạng thái trở kháng cao khi giao diện không hoạt động. Theo đó, các bộ điều khiển OE 630a, 630b của bộ điều khiển vi sai 624, 626' và bộ điều khiển IE 632a, 632b của bộ thu vi sai 626, 626' có thể hoạt động độc lập với nhau.

Mỗi bộ điều khiển vi sai 604, 624, 626' và 646 có thể bao gồm một cặp bộ khuếch đại, trong đó một bộ khuếch đại nhận ở một đầu vào tín hiệu nghịch đảo của đầu vào của bộ khuếch đại kia. Mỗi bộ điều khiển vi sai 604, 624, 626' và 646 có thể nhận một đầu vào duy nhất và có thể có một bộ đảo bên trong tạo ra đầu vào nghịch đảo để sử dụng với một cặp bộ khuếch đại. Các bộ điều khiển vi sai 604, 624, 626' và

646 cũng có thể được cấu tạo bằng cách sử dụng hai bộ khuếch đại được điều khiển riêng biệt, sao cho các đầu ra tương ứng của chúng có thể được đặt ở chế độ trở kháng cao độc lập với nhau.

Trong một ví dụ, các bộ điều khiển vi sai 604, 624 và/hoặc 646 có thể được tạo cấu hình lại hoặc điều khiển sao cho chỉ một trong các dây trong cặp dây 610a, 610b hoặc 610c của làn hoạt động được điều khiển. Trong các ví dụ khác, các bộ điều khiển vi sai 604, 624 và/hoặc 646 có thể bị tắt hoặc đặt ở chế độ đầu ra trở kháng cao. Trong các ví dụ khác, kênh một đầu 650 có thể sử dụng bộ điều khiển đường truyền một đầu riêng biệt 654 và bộ thu 656 để cung cấp các cuộc truyền thông trên liên kết một đầu, một dây 610d. Ví dụ, bộ điều khiển đường truyền một đầu dây 654 và bộ thu 656 có thể được sử dụng trong giao diện C-PHY. Trong một số trường hợp, đầu vào 652 và đầu ra 658 của liên kết một đầu 610d có thể là hai chiều và cả thiết bị truyền và nhận đều có thể sử dụng bộ thu phát bao gồm cả bộ điều khiển đường truyền 654 và bộ thu 656 được điều khiển theo một hoặc nhiều giao thức.

Các khía cạnh nhất định của sáng chế liên quan đến mạch lớp vật lý SERDES (SERDES PHY) được tạo cấu hình để truyền tần số cao. SERDES PHY có thể được sử dụng để thực hiện các liên kết truyền thông bên trong hoặc giữa các mạch tích hợp, khuôn bán dẫn và/hoặc các gói thiết bị. Độ tin cậy được cải thiện có thể đạt được đối với SERDES PHY đã được điều chỉnh để bao gồm các kỹ thuật so khớp trở kháng được cung cấp theo các khía cạnh nhất định của sáng chế.

Fig.7 minh họa một liên kết truyền thông 700 có thể được thực hiện bằng cách sử dụng lớp vật lý SERDES. Trong một liên kết truyền thông khái niệm 700, nguồn điện áp 704 điều khiển một đường truyền lý tưởng 702 có trở kháng đặc tính (Z_0), có thể được định nghĩa là tỷ lệ của biên độ của điện áp và dòng điện của một tín hiệu lan truyền trên đường truyền 702. Trong ví dụ minh họa, đường truyền 702 được kết cuối bằng các bộ điện trở kết cuối 706, 708 phù hợp với trở kháng đặc tính của đường truyền 702.

Điện trở có thể được định nghĩa là thành phần điện hai đầu có điện trở được tạo cấu hình hoặc có thể tạo cấu hình và/hoặc tiêu tán công suất điện. Các thành phần khác có thể có điện trở đối với dòng điện và có thể tiêu tán điện năng. Ví dụ, đường truyền

702 có thể có điện trở tương đối thấp tỷ lệ với chiều dài vật lý, diện tích mặt cắt ngang, nhiệt độ và/hoặc các đặc tính hoặc yếu tố khác. Theo một số khía cạnh nhất định của sáng chế, điện trở có thể có điện trở ít nhất là 5 Ω . Trong các ví dụ khác nhau được đưa ra trong sáng chế, điện trở kết cuối hoặc điện trở được sử dụng trong mạch kết cuối có điện trở 25 Ω và 50 Ω . Điện trở có giá trị trở kháng khác có thể được sử dụng trong các phương án thực hiện khác nhau. Điện trở có thể được cung cấp dưới dạng các thành phần rời rạc, cấu trúc lắng đọng và/hoặc cấu trúc được chế tạo trong một thiết bị vi mạch.

Bộ điện trở kết cuối thứ nhất 706 ghép nguồn điện áp 704 vào đầu thứ nhất của đường truyền 702, và bộ điện trở kết cuối thứ hai 708 được ghép nối giữa đầu thứ hai của đường truyền 702 và mạch nối đất. Các bộ điện trở kết cuối 706, 708 có giá trị được chọn để phù hợp với trở kháng đặc tính của đường truyền 702. Khi các bộ điện trở kết cuối 706, 708 phù hợp với trở kháng đặc tính của đường truyền 702, phản xạ tín hiệu bị triệt tiêu. Phản xạ tín hiệu có thể xảy ra khi tín hiệu nhận được từ đường truyền 702 không được hấp thụ hoàn toàn ở đầu thu và năng lượng không bị hấp thụ sẽ dội lại dọc theo đường truyền 702. Ví dụ, một tỷ lệ chính của năng lượng trong tín hiệu đến một đường truyền chưa kết thúc có thể được phản xạ khi một bộ thu đường dây trong thiết bị thu biểu thị đầu vào trở kháng cao cho đường truyền chưa kết thúc. Hệ số phản xạ điện áp của đường truyền 702 có thể được định nghĩa là tỷ số giữa điện áp của tín hiệu phản xạ tại điểm kết cuối 710 của đường truyền 702 với điện áp của tín hiệu đến (hoặc tín hiệu tới) tại điểm kết cuối 710. Hệ số phản xạ điện áp có thể được biểu thị bằng:

$$\Gamma = \frac{(Z_L - Z_0)}{(Z_L + Z_0)},$$

trong đó Z_L là trở kháng của tải tại điểm kết cuối 710 (ở đây là điện trở R_L) và trong đó Z_0 là trở kháng đặc tính của đường truyền 702. Trong một số trường hợp, trở kháng đặc tính và điện trở kết cuối 706, 708 có giá trị điện trở là 50 Ω (50 ohm).

Fig.7 cũng minh họa mô hình của một liên kết truyền thông trong thế giới thực 720 trong đó các điện dung ký sinh của chân dán 728, 732 hiện diện tại các nút kết thúc, được biểu diễn dưới dạng các chân dán đầu vào/đầu ra (I/O) 734, 736 tương ứng.

Trong liên kết truyền thông thế giới thực được minh họa 720, nguồn điện áp 724 điều khiển đường truyền 722 có trở kháng đặc tính danh định (Z_0). Đường truyền 722 được kết cuối bằng các bộ điện trở kết cuối 726, 730 được chọn để phù hợp với trở kháng đặc tính của đường truyền 722. Một điện trở kết cuối thứ nhất 726 ghép nguồn điện áp 724 vào đầu thứ nhất của đường truyền 722 và một điện trở kết cuối thứ hai 730 được ghép nối giữa đầu thứ hai của đường truyền 702 và mạch nối đất. Phản xạ có thể xảy ra khi các bộ điện trở kết cuối 726, 730 không phù hợp sát với trở kháng đặc tính của đường truyền 722.

Các điện dung ký sinh của chân dán 728, 732 làm thay đổi trở kháng đầu cuối bằng cách thêm điện kháng. Các đầu cuối bị thay đổi có thể gây ra sự không phù hợp về trở kháng đối với trở kháng đặc tính của đường truyền 722. Do đó, phản xạ tín hiệu có thể được mong đợi ở cả hai đầu của đường truyền 722. Trong một số trường hợp, có thể quan sát thấy điện dung ký sinh ở đầu vào của thiết bị thu tại chân dán I/O 736.

Thiết bị truyền thông di động và các thiết bị khác được sử dụng trong các ứng dụng yêu cầu thông lượng dữ liệu lớn hơn từ các giao diện nối tiếp. Nhu cầu tăng thông lượng dữ liệu đã được giải quyết trong nhiều ứng dụng bằng cách tăng tần suất hoạt động của các giao diện nối tiếp. Trong một số trường hợp, giao diện nối tiếp được hoạt động ở tần số 5 GHz trở lên. Điện kháng do điện dung ký sinh của chân dán đưa vào tại các điểm cuối của đường truyền tỷ lệ nghịch với tần số của tín hiệu được truyền trên đường truyền và hoạt động của bus nối tiếp ở tần số cao hơn tạo ra điện kháng thấp hơn. Hơn nữa, bước sóng của tín hiệu tần số cao hơn được truyền qua đường truyền bằng đồng có thể tương đương với độ dài vật lý của đường truyền trong thiết bị truyền thông di động, có thể làm tăng nhiễu do phản xạ gây ra khi các biên phản xạ trong tín hiệu kỹ thuật số đến trùng với điểm đến của một biên tiếp theo trong tín hiệu kỹ thuật số.

Fig.8 minh họa ảnh hưởng của sự không phù hợp trở kháng đối với việc bảo hiệu 830 trong kênh 804 của liên kết truyền thông 800 sử dụng SERDES PHY. Liên kết truyền thông 800 bao gồm thiết bị nguồn 802 và thiết bị tải 806 được ghép nối bởi một đường truyền tạo ra kênh 804. Sự không phù hợp trở kháng xuất hiện ở mỗi đầu của kênh. Sự không phù hợp trở kháng tại thiết bị nguồn 802 có thể là do điện dung ký

sinh và/hoặc các điện dung khác có trong chân dán truyền 826. Sự không phù hợp trở kháng tại thiết bị tải 806 có thể là do điện dung ký sinh và/hoặc các điện dung khác có trong chân dán nhận 828.

Một xung 832 được phóng vào kênh 804 trong một tín hiệu bắt nguồn từ một bộ phát trong thiết bị nguồn 802. Tần số cơ bản của xung có thể tương ứng với bước sóng trong kênh 804 có cùng độ lớn với độ dài vật lý của kênh 804. Trong một ví dụ, xung 832 có thể tương ứng với nửa chu kỳ của tín hiệu xung nhịp 5 GHz và xung 832 có thể được truyền qua dây dẫn, đầu nối hoặc đường truyền khác dài khoảng 4 cm. Trong ví dụ minh họa, thời gian truyền của một xung qua kênh 804 gần khớp với độ rộng xung 834.

Việc phóng xung 832 đưa năng lượng vào kênh. Trong một kênh lý tưởng, không tổn hao, phù hợp trở kháng, toàn bộ năng lượng đưa vào kênh 804 ở thiết bị nguồn 802 được hấp thụ ở thiết bị tải 806. Trong các phương án thực hiện của thế giới thực, một số năng lượng bị mất khi truyền qua kênh 804 và điện dung ký sinh có thể gây ra các phản xạ gây nhiễu. Khi kênh 804 đủ dài, suy hao truyền dẫn có thể đủ lớn để các dạng sóng phản xạ bị suy giảm đến mức năng lượng phản xạ ít ảnh hưởng đến bộ thu trong thiết bị tải 806. Trong các thiết bị truyền thông di động, các đường truyền bus nối tiếp có chiều dài khoảng 4 cm và phản xạ có thể gây ảnh hưởng có hại đến bộ thu.

Như được minh họa chung trong lưu đồ 820, xung 832 tạo ra điện áp 808 tại chân dán phát 826 có biên độ phóng 852 khi xung 832 được phóng vào kênh 804. Xung 832 đi qua kênh 804 và tạo ra một điện áp 810 với biên độ suy giảm 854 khi xung đến 836 đến chân dán thu 828 ở bộ thu. Bộ thu nhận thấy xung đến 836 đã bị suy giảm do ảnh hưởng của suy hao trong kênh 804. Bộ thu hấp thụ hầu hết năng lượng 822 trong xung tới 836. Một số ít năng lượng được giữ lại trong kênh 804 trong một xung phản xạ 838 phát ra từ chân dán thu 828 và quay trở lại bộ phát. Điện áp 812 tại chân dán thu 828 do xung phản xạ 838 tạo ra có biên độ ban đầu 856.

Xung phản xạ 838 đi qua kênh 804 và đến dưới dạng xung phản xạ suy giảm 840 tạo ra điện áp 814 với biên độ suy giảm hơn nữa 858 khi xung phản xạ suy giảm 840 đi đến chân dán phát 826. Bộ phát hấp thụ hầu hết năng lượng 824 trong xung

phản xạ suy giảm 840. Một số năng lượng được giữ lại trong kênh 804 trong một xung phản xạ kép 842 phát ra từ chân dẫn phát 826 và quay trở lại bộ thu. Điện áp 816 ở chân dẫn phát 826 do xung phản xạ kép 842 có biên độ ban đầu là 860. Xung phản xạ kép 842 được thêm vào tín hiệu bắt nguồn từ bộ phát trong thiết bị nguồn 802.

Xung phản xạ kép 842 đi qua kênh 804 và đóng góp một điện áp 818 được thêm vào điện áp được tạo ra bởi tín hiệu bắt nguồn từ bộ phát. Trong ví dụ minh họa, xung phản xạ kép 842 kết hợp với trạng thái điện áp thấp của tín hiệu bắt nguồn từ bộ phát. Bộ thu nhận thấy một xung phản xạ kép suy giảm 844. Khi xung phản xạ kép 844 bị suy giảm giao thoa với xung thứ hai do bộ thu truyền đi, bộ thu nhận thấy xung đến thứ hai 846 với biên độ tăng.

Xung phản xạ kép 844 bị suy giảm có thể gây ra lỗi khi nhận dữ liệu. Xung phản xạ kép 844 bị suy giảm có thể có ảnh hưởng đến một hoặc nhiều biên của xung đến thứ hai 846 tại bộ thu. Sự hiện diện của xung phản xạ kép suy giảm 844 tại bộ thu có thể được hiểu là một xung hợp lệ khi biên độ của xung phản xạ kép suy giảm 844 vượt quá mức ngưỡng 850 được sử dụng để phân biệt giữa các mức logic. Trong một ví dụ khác, việc bổ sung xung phản xạ kép suy giảm 844 vào xung đến thứ hai 846 có thể làm thay đổi thời gian mà mức điện áp tại bộ thu vượt qua mức ngưỡng 850 được sử dụng để phân biệt giữa các mức logic. Sự chênh lệch về định thời vượt qua ngưỡng gây ra hiện tượng chập chờn trong tín hiệu nhận được. Sự chập chờn có thể ảnh hưởng đến tín hiệu đồng hồ và/hoặc có thể yêu cầu tăng dung sai định thời cho phép bộ thu bỏ qua các tín hiệu phản xạ. Sự chập chờn có thể giới hạn tần số tối đa của tín hiệu truyền qua kênh 804. Sự chập chờn có thể đặc biệt rắc rối khi các xung có thời lượng gần bằng thời gian chuyển tiếp của các biên qua kênh 804.

Độ suy giảm và suy hao trong quá trình truyền qua kênh ngắn vật lý có thể thấp hơn độ suy giảm qua kênh dài vật lý. Tín hiệu tần số cao truyền qua kênh ngắn 804 có thể bị ảnh hưởng bởi nhiều phản xạ khi độ suy giảm trong kênh thấp. Các dạng sóng phản xạ nhiều lần có thể gây nhiễu đáng kể cho các tín hiệu đến.

Fig.9 bao gồm đồ thị 900 minh họa ảnh hưởng của nhiễu phản xạ đối với tín hiệu được truyền qua một kênh suy hao có các đầu cuối không phù hợp. Đường cong thứ nhất 902 minh họa suy hao chèn (chủ yếu là suy hao kênh) cho kênh trên một dải

tần số. Đường cong thứ nhất 902 liên quan đến một kênh được kết thúc bằng các trở kháng phù hợp. Đường cong thứ hai 904 liên quan đến một kênh có các điểm kết thúc không phù hợp. Đường cong thứ hai 904 minh họa suy hao chèn và suy hao phản xạ, trong đó suy hao phản xạ tương ứng với công suất được phản xạ chứ không phải được nhận và hấp thụ tại bộ thu. Đường cong thứ hai 904 minh họa ảnh hưởng của cộng hưởng, có thể do sóng dừng xảy ra khi các chuyển đổi trong tín hiệu xảy ra giống như phản xạ của các chuyển tiếp đã truyền trước đó đến bộ phát và/hoặc bộ thu.

Suy hao chèn cộng hưởng được minh họa trong đường cong thứ hai 904 có thể dẫn đến các cấu hình trong đó suy hao ở tần số cao hơn có thể nhỏ hơn suy hao ở tần số thấp hơn. Hiện tượng suy hao chèn như vậy có thể được gọi là không đơn điệu và/hoặc phi tuyến tính đối với tần số. Suy hao chèn cộng hưởng được minh họa trong đường cong thứ hai 904 có thể chỉ ra rằng các phương pháp chống phản xạ thông thường có thể không hiệu quả khi tần số của tín hiệu truyền dẫn đến thời lượng xung là bội số của thời gian chuyển tiếp qua kênh.

Fig.9 bao gồm các bảng 910, 920 minh họa ảnh hưởng của tần số báo hiệu đến trở kháng kết cuối và hệ số phản xạ điện áp (Γ) khi có điện dung ký sinh tại các điểm kết cuối của kênh có trở kháng đặc tính 50Ω . Dung kháng có thể được tính bằng $1/(\omega \times C)$, trong đó ω là tần số góc của tín hiệu nhận được tại điểm kết thúc. Bảng thứ nhất 910 liên quan đến một giao diện trong đó điện dung ký sinh có giá trị $1,5 \text{ pF}$ và bảng thứ hai 920 liên quan đến một giao diện trong đó điện dung ký sinh có giá trị $1,0 \text{ pF}$. Mỗi bảng bao gồm điện kháng (X_C), trở kháng đầu cuối tổng hợp ($R \parallel X_C$) và hệ số phản xạ, có thể được sử dụng để tính toán tổn thất điện năng do phản xạ.

Bộ cân bằng tuyến tính thời gian liên tục (Continuous Time Linear Equalizer - CTLE) được sử dụng trong một số giao diện nhất định để chống suy hao kênh do điện dung ký sinh gây ra. CTLE cung cấp giải pháp cân bằng đơn giản, chi phí thấp và hiệu quả khi suy hao kênh có mối quan hệ tuyến tính với tần số. Tuy nhiên, CTLE có thể không hiệu quả khi có nhiều phi tuyến tính, kể cả khi suy hao kênh cộng hưởng không tuyến tính. Ví dụ: CTLE có thể cung cấp quá mức cân bằng và/hoặc dưới mức cân bằng ở các tần số khác nhau.

Fig.10 minh họa một ví dụ về kết cuối cảm ứng 1000 trong đó hai cuộn cảm 1012, 1014 được thêm vào các mạch kết cuối trong giao diện tần số cao. Mỗi đầu của đường truyền 1006 gồm một mạch truyền có điện trở 1002 hoặc 1008, điện dung ký sinh 1004 hoặc 1010 và cuộn cảm 1012 hoặc 1014. Các cuộn cảm 1012, 1014 có giá trị điện cảm được chọn để triệt tiêu ảnh hưởng của điện dung ký sinh tương ứng 1004 hoặc 1010. Cảm kháng có thể được tính bằng $\omega \times L$, trong đó ω là tần số góc của tín hiệu nhận được tại điểm kết thúc. Cảm kháng tăng khi dung kháng giảm và mạch kết cuối cảm ứng được điều chỉnh đến tần số thiết kế. Các mạch kết cuối cảm ứng có thể hoạt động dưới mức tối ưu khi tần số báo hiệu thay đổi.

Các đặc tính của đường truyền không phù hợp trở kháng trong liên kết truyền thông cũng có thể là do các đường truyền riêng lẻ trong các liên kết truyền thông vi sai. Fig.11 minh họa liên kết vi phân hai dây 1100 trong đó tín hiệu được truyền theo các phiên bản phân cực ngược nhau trên hai dây gần nhau về mặt vật lý. Mỗi dây có thể được mô tả như một đường truyền 1106, 1116. Các bộ điện trở 1102, 1112 trong bộ phát và các bộ điện trở 1108, 1118 trong bộ thu được sử dụng để kết cuối các đường truyền 1106, 1116 tương ứng có giá trị điện trở phù hợp với trở kháng đặc tính danh định của các đường truyền 1106, 1116. Các điện dung ký sinh 1104, 1114, 1110, 1120 trong bộ phát và bộ thu được ghép nối với các đường truyền 1106, 1116 tương ứng.

Fig.11 cũng minh họa liên kết vi sai ba dây 1140, ví dụ, có thể được sử dụng trong giao diện C-PHY. Trong giao diện C-PHY, tín hiệu ba pha được truyền theo các pha khác nhau trên mỗi dây trong ba dây. Mỗi dây có thể được định rõ đặc điểm như một đường truyền 1146a, 1146b 1146c. Một bộ điện trở đóng cắt 1142 trong bộ phát và một bộ điện trở 1150 trong bộ thu được sử dụng để kết cuối các đường truyền tương ứng 1146a, 1146b 1146c và có giá trị điện trở phù hợp với trở kháng đặc tính danh định của các đường truyền 1146a, 1146b 1146c. Các điện dung ký sinh 1144, 1148 ảnh hưởng đến bộ phát và bộ thu cũng được ghép nối vào các đường truyền tương ứng 1146a, 1146b 1146c.

Một số khía cạnh của sáng chế liên quan đến sơ đồ đầu cuối có thể hoạt động ở tần số báo hiệu cao và có thể làm giảm các hiệu ứng cộng hưởng bao gồm cả nhiễu

gây ra bởi các dạng sóng phản xạ nhiều lần. Sơ đồ đầu cuối được bộc lộ hiện tại có hiệu quả trong việc kết cuối các kênh ngắn ở đầu phát và ở đầu thu. Trong một số ví dụ, một cách tiếp cận hiệu quả về chi phí để ngăn chặn ảnh hưởng của điện dung ký sinh bao gồm tách điện trở kết cuối giữa hai bộ điện trở. Trong một ví dụ, một bộ điện trở thứ nhất được ghép nối với đường truyền và với chân dán kết nối của thiết bị và bộ điện trở thứ hai được cung cấp sau chân dán kết nối của thiết bị, bao gồm cả khi điện dung ký sinh được lấy trong chân dán và/hoặc được ghép nối với chân dán. Bộ điện trở thứ nhất có thể được cung cấp bên ngoài thiết bị IC bao gồm bộ phát hoặc bộ thu. Trong một ví dụ, bộ điện trở thứ nhất được cung cấp trên vật mang chip, bảng mạch in hoặc nền mang thiết bị IC bao gồm bộ phát hoặc bộ thu. Sơ đồ kết cuối được đề xuất có thể cải thiện sự phù hợp trở kháng và triệt tiêu nhiễu đa phản xạ trong các kênh ngắn. Sơ đồ kết cuối được đề xuất có thể tuyến tính hóa phản ứng của kênh đối với việc thay đổi tần số tín hiệu và có thể cho phép hiệu suất tối ưu của CTLE.

Fig.12 minh họa một ví dụ về liên kết truyền thông 1200 đã được điều chỉnh theo các khía cạnh nhất định của sáng chế. Như được minh họa, nguồn điện áp 1220 điều khiển đường truyền 1210 có trở kháng đặc tính danh định (Z_0). Nguồn điện áp 1220 có thể đại diện cho bộ điều khiển đường truyền trong thiết bị truyền. Trong ví dụ minh họa, đường truyền 1210 được kết cuối bằng một cặp bộ điện trở kết cuối 1204, 1206 ở đầu phát và bằng một cặp bộ điện trở kết cuối 1214, 1216 ở đầu thu. Ở đầu phát, các bộ điện trở kết cuối 1204, 1206 ghép nguồn điện áp vào đường truyền 1210 và tạo ra một điện trở tổng hợp phù hợp với giá trị danh định của trở kháng đặc tính của đường dây 1210. Ở đầu thu, các bộ điện trở kết cuối 1214, 1216 ghép nối đường truyền 1210 với mạch nối đất và tạo ra một điện trở tổng hợp phù hợp với giá trị danh định của trở kháng đặc tính của đường truyền 1210.

Trong một thiết bị phát, các bộ điện trở kết cuối 1204, 1206 được ghép nối với nhau tại hoặc thông qua một chân dán I/O 1202. Trong một ví dụ, mỗi bộ điện trở kết cuối 1204, 1206 có điện trở bằng khoảng một nửa giá trị danh định của trở kháng đặc tính của đường truyền 1210. Một hoặc nhiều điện dung ký sinh 1208 được thể hiện là được ghép nối với chân dán I/O 1202 nằm ở điểm kết nối của cặp bộ điện trở kết cuối 1204, 1206 ở đầu phát của đường truyền 1210. Trong một số ví dụ, điện trở kết cuối thứ nhất 1204 được cung cấp trên cùng một thiết bị IC bao gồm thiết bị phát. Điện trở

kết cuối thứ hai 1206 có thể được cung cấp trên cùng một thiết bị IC bao gồm thiết bị phát. Trong một số ví dụ, điện trở kết cuối thứ hai 1206 được cung cấp bên ngoài thiết bị IC bao gồm thiết bị phát. Ví dụ, điện trở kết cuối thứ hai 1206 có thể được cung cấp trên vật mang chip, bảng mạch in hoặc nền mang thiết bị IC bao gồm thiết bị phát.

Trong thiết bị thu, các bộ điện trở kết cuối 1214, 1216 được ghép nối với nhau tại hoặc thông qua chân dán I/O 1212. Một hoặc nhiều điện dung ký sinh 1218 được thể hiện là được ghép nối với chân dán I/O 1212 và do đó cũng được ghép nối tại điểm kết nối của cặp bộ điện trở kết cuối 1214, 1216 ở đầu thu của đường truyền 1210. Một đầu vào của mạch thu dòng có thể được ghép nối với chân dán I/O 1212 và có thể tạo ra trở kháng cao cho chân dán I/O 1212. Đầu vào của mạch thu dòng có thể đóng góp vào điện dung ký sinh tại chân dán I/O 1212. Trong một ví dụ, mỗi bộ điện trở kết cuối 1214, 1216 có điện trở bằng khoảng một nửa giá trị danh định của trở kháng đặc tính của đường truyền 1210. Trong một số ví dụ, điện trở kết cuối thứ nhất 1214 có thể được cung cấp trong cùng một thiết bị IC bao gồm thiết bị thu. Trong các ví dụ khác, điện trở kết cuối thứ nhất 1214 có thể được cung cấp bên ngoài thiết bị IC bao gồm thiết bị thu. Ví dụ, điện trở kết cuối thứ nhất 1214 có thể được cung cấp trên vật mang chip, bảng mạch in hoặc nền mang thiết bị IC bao gồm thiết bị thu.

Fig.13 bao gồm một ví dụ về mạch kết cuối bộ thu 1300 được tạo cấu hình theo các khía cạnh nhất định của sáng chế. Thiết bị IC 1310 được ghép nối với đường truyền 1314 qua mạch kết cuối bộ thu 1300. Đường truyền 1314 có thể cung cấp một làn đầu cuối đơn của bus nối tiếp hoặc bus song song. Mạch kết cuối bộ thu 1300 có bộ điện trở thứ nhất 1302 và bộ điện trở thứ hai 1304 được ghép nối tại điểm chính giữa 1308 của mạch kết cuối bộ thu 1300.

Trong ví dụ minh họa, bộ điện trở thứ nhất 1302 về mặt vật lý nằm bên ngoài thiết bị IC 1310 và được tạo cấu hình để ghép nối chân dán I/O 1312 của thiết bị IC 1310 với đường truyền 1314. Trong một số ví dụ, bộ điện trở thứ nhất 1302 được cung cấp trên vật mang chip, bảng mạch in hoặc đế mang thiết bị IC 1310. Điểm chính giữa 1308 của mạch kết cuối bộ thu 1300 nằm trong thiết bị IC 1310 và được ghép nối với chân dán I/O 1312 và với bộ điện trở thứ nhất 1302 thông qua chân dán I/O 1312. Điểm chính giữa 1308 có thể còn được ghép nối với đầu vào trở kháng cao của bộ thu

dòng, bộ so sánh hoặc thiết bị khác như vậy trong thiết bị IC 1310. Bộ điện trở thứ hai 1304 còn được ghép nối với mạch nối đất.

Bộ điện trở thứ nhất 1302 và bộ điện trở thứ hai 1304 được mắc nối tiếp và tổ hợp này kết cuối cho đường truyền 1314 ở mạch tiếp đất thông qua điện trở tổng hợp là R . Các giá trị điện trở của bộ điện trở thứ nhất 1302 và bộ điện trở thứ hai 1304 có thể được chọn để phù hợp với giá trị danh định của trở kháng đặc tính (Z_0) của đường truyền 1314. Giá trị danh định của trở kháng đặc tính của đường truyền 1314 có thể được xác định là trở kháng thiết kế của đường truyền 1314, trong đó một số hệ thống có thể quan sát được một số phương sai so với giá trị danh định. Trở kháng đặc tính cho một đường truyền lý tưởng hoàn toàn là điện trở. Trong một số ví dụ, bộ điện trở thứ nhất 1302 và bộ điện trở thứ hai 1304 có giá trị điện trở bằng nhau ($R/2$), trong đó $R = Z_0$.

Một bộ tụ điện ký sinh 1306 được thể hiện là được ghép nối với điểm chính giữa 1308 của bộ điện trở thứ nhất 1302 và bộ điện trở thứ hai 1304 được mắc nối tiếp. Bộ tụ điện ký sinh 1306 có thể là do điện dung ký sinh được gắn với, hoặc do cấu trúc của chân dán I/O 1312 và các đầu nối được ghép nối với chân dán I/O 1312 hoặc điểm chính giữa 1308. Điện dung ký sinh cũng có thể bao gồm điện dung công của một hoặc nhiều bóng bán dẫn trong bộ thu dòng được ghép nối với chân dán I/O 1312 hoặc điểm chính giữa 1308.

Cấu hình của mạch kết cuối bộ thu 1300 giới hạn ảnh hưởng của dung kháng tương ứng với bộ tụ điện ký sinh 1306 đối với đầu cuối đường dây thông thường. Việc bố trí song song bộ tụ điện ký sinh 1306 với bộ điện trở thứ hai 1304 tạo ra trở kháng ($R/2 \parallel X_C$) thấp hơn trở kháng của sự kết hợp của bộ tụ điện ký sinh 1306 với điện trở phù hợp với trở kháng đặc tính ($R \parallel X_C$). Cấu hình song song của bộ điện trở thứ hai 1304 và bộ tụ điện ký sinh 1306 hạn chế ảnh hưởng không phù hợp của bộ tụ điện ký sinh 1306 đối với trở kháng đầu cuối (R_{term}). Trở kháng đầu cuối có thể được tính như sau:

$$R_{term} = R/2 + (R/2 \parallel X_C).$$

Fig.13 bao gồm một ví dụ về mạch kết cuối bộ phát 1320 được tạo cấu hình theo các khía cạnh nhất định của sáng chế. Thiết bị IC 1330 được ghép nối với đường

truyền 1334 thông qua mạch kết cuối bộ phát 1320. Đường truyền 1334 có thể cung cấp lần đầu cuối đơn của bus nối tiếp hoặc bus song song. Mạch kết cuối bộ phát 1320 có bộ điện trở thứ nhất 1322 và bộ điện trở thứ hai 1324 được ghép nối tại điểm chính giữa 1328 của mạch kết cuối bộ phát 1320.

Trong ví dụ minh họa, bộ điện trở thứ nhất 1322 về mặt vật lý nằm bên ngoài thiết bị IC 1330 và được tạo cấu hình để ghép nối chân dán I/O 1332 của thiết bị IC 1330 với đường truyền 1334. Trong một số ví dụ, bộ điện trở thứ nhất 1322 được cung cấp trên vật mang chip, bảng mạch in hoặc nền mang thiết bị IC 1330. Điểm chính giữa 1328 của mạch kết cuối bộ phát 1320 nằm trong thiết bị IC 1330 và được ghép nối với chân dán I/O 1332 và với bộ điện trở thứ nhất 1322 thông qua chân dán I/O 1332. Điểm chính giữa 1328 có thể còn được ghép nối với đầu ra của bộ điều khiển kích dòng.

Bộ điện trở thứ nhất 1322 và bộ điện trở thứ hai 1324 mắc nối tiếp và tổ hợp này kết cuối cho đường truyền 1334 qua điện trở tổng hợp là R . Các giá trị điện trở của bộ điện trở thứ nhất 1322 và bộ điện trở thứ hai 1324 có thể được chọn để phù hợp với giá trị danh định của trở kháng đặc tính (Z_0) của đường truyền 1334. Trong một số ví dụ, bộ điện trở thứ nhất 1322 và bộ điện trở thứ hai 1324 có giá trị điện trở bằng nhau ($R/2$), trong đó $R = Z_0$.

Một bộ tụ điện ký sinh 1326 được thể hiện là được ghép nối với điểm chính giữa 1328 của bộ điện trở thứ nhất 1322 và bộ điện trở thứ hai 1324 được mắc nối tiếp. Bộ tụ điện ký sinh 1326 có thể là do điện dung ký sinh được gắn với, hoặc do cấu trúc của chân dán I/O 1332 và các đầu nối được ghép nối với chân dán I/O 1332 hoặc điểm chính giữa 1328. Điện dung ký sinh cũng có thể bao gồm điện dung ký sinh của bộ điều khiển đường truyền được ghép nối với chân dán I/O 1332 hoặc điểm chính giữa 1328.

Cấu hình của mạch kết cuối bộ phát 1320 giới hạn ảnh hưởng của dung kháng tương ứng với bộ tụ điện ký sinh 1326 đối với đầu cuối đường dây thông thường. Việc bố trí song song bộ tụ điện ký sinh 1326 với bộ điện trở thứ hai 1324 tạo ra trở kháng ($R/2 \parallel X_C$) thấp hơn trở kháng của sự kết hợp của bộ tụ điện ký sinh 1326 với điện trở phù hợp với trở kháng đặc tính ($R \parallel X_C$). Cấu hình song song của bộ điện trở thứ hai

1324 và bộ tụ điện ký sinh 1326 hạn chế ảnh hưởng không phù hợp của bộ tụ điện ký sinh 1326 đối với trở kháng đầu cuối.

Cấu hình song song của bộ điện trở thứ hai 1324 và bộ tụ điện ký sinh 1326 hạn chế ảnh hưởng không phù hợp của bộ tụ điện ký sinh 1326 đối với trở kháng đầu cuối (R_{term}). Trở kháng đầu cuối có thể được tính như sau:

$$R_{term} = R/2 + (R/2 \parallel X_C).$$

Fig.14 bao gồm các bảng 1400, 1420 minh họa ảnh hưởng của tần số báo hiệu đến trở kháng đầu cuối và hệ số phản xạ điện áp (Γ) khi điện dung ký sinh có mặt tại các chân dán I/O 1202, 1212 của Fig.12 hoặc chân dán I/O 1312, 1332 của Fig.13. Bảng 1400, 1420 liên quan đến đường truyền có trở kháng đặc tính 50 Ω . Các bảng 1400, 1420 có thể được so sánh và đối chiếu với các bảng 910 và 920 được đưa ra trên Fig.9.

Dung kháng có thể được tính bằng $1/(\omega \times C)$, trong đó ω là tần số góc của tín hiệu nhận được tại điểm kết thúc. Bảng thứ nhất 1400 liên quan đến một giao diện trong đó điện dung ký sinh có giá trị 1,5 pF và bảng thứ hai 1420 liên quan đến một giao diện trong đó điện dung ký sinh có giá trị 1,0 pF. Mỗi bảng bao gồm điện kháng (X_C), trở kháng đầu cuối tổng hợp 1402, 1422 ($R \parallel X_C$) và các hệ số phản xạ 1404, 1424. Các hệ số phản xạ 1404, 1424 cho thấy những cải tiến đáng kể so với các hệ số phản xạ tương ứng được đưa ra trong bảng 910 và 920, với những cải tiến có thể đo lường được dưới dạng hệ số 3 trở lên.

Hệ số phản xạ được cải thiện 1404, 1424 làm giảm công suất phản xạ trên đường truyền 1210, 1314, 1334. Hơn nữa, mỗi cặp bộ điện trở 1204 và 1206, 1214 và 1216, 1302 và 1304, 1324 và 1324 được tạo cấu hình như một bộ phân áp từ góc độ của các chân dán I/O tương ứng 1202, 1212, 1312, 1332. Tác dụng của các bộ phân áp là làm giảm một nửa biên độ của các phản xạ xuất phát tại các chân dán I/O 1202, 1212, 1312, 1332. Phản xạ phát ra từ các chân dán I/O 1202, 1212, 1312, 1332 được giảm biên độ hơn nữa do hiệu ứng phân chia điện áp của trở kháng của đường truyền 1210, 1314, 1334 và bởi bộ điện trở thứ nhất 1206, 1214, 1302, 1322. Tín hiệu phản xạ đến chân dán I/O 1202, 1332 của bộ phát tiếp tục bị suy giảm bởi một bộ phân áp và phản xạ ở một nửa biên độ của tín hiệu phản xạ nhận được. Trong một số trường

hợp, các bộ phân áp hoạt động để triệt tiêu nhanh chóng năng lượng phản xạ trên đường truyền 1210, 1314, 1334.

Việc triệt tiêu năng lượng phản xạ và cải thiện hệ số phản xạ 1404, 1424 có thể loại bỏ hoặc giảm thiểu các hiệu ứng cộng hưởng gây ra từ các dạng sóng phản xạ nhiều lần. Đáp ứng tần số của các mạch kết cuối được bộc lộ hiện tại 1300, 1320 có thể đạt tới mức tuyến tính, kể cả ở tần số 5 GHz trở lên. Độ tuyến tính hoặc gần tuyến tính của đáp ứng tần số cho phép các bộ cân bằng thông thường có được sự cân bằng tối ưu. Trong một số trường hợp, mạch kết cuối bộ thu 1300 có thể tuyến tính hóa đáp ứng tần số của kênh thành tần số tín hiệu thay đổi và mạch kết cuối bộ thu 1300 có thể được sử dụng với CTLE hoặc bộ cân bằng khác. Trong một ví dụ, CTLE có thể được ghép nối với chân dán I/O 1312 tại bộ thu khi cấu hình của các bộ điện trở 1302, 1304 cung cấp đáp ứng tần số tuyến tính cho các tín hiệu nhận được tại chân dán I/O 1312.

Lợi ích có thể được tích lũy từ việc sử dụng các mạch kết cuối 1300, 1320 trong các liên kết truyền thông vi sai. Fig.15 minh họa liên kết vi sai hai dây 1500 được điều chỉnh theo các khía cạnh nhất định của sáng chế. Trong liên kết vi phân hai dây 1500, tín hiệu được truyền theo các phiên bản phân cực ngược nhau trên hai dây gần nhau về mặt vật lý. Mỗi dây có thể được mô tả như một đường truyền 1506, 1516. Trong ví dụ minh họa, đường truyền thứ nhất 1506 được kết thúc bởi một cặp bộ điện trở kết cuối (RS 1502) ở đầu phát và bởi một cặp bộ điện trở kết cuối 1508, 1526 ở đầu thu. Tại đầu phát, các bộ điện trở kết cuối cung cấp một điện trở tổng hợp phù hợp với giá trị danh định của trở kháng đặc tính của đường truyền thứ nhất 1506. Tại đầu thu, các bộ điện trở kết cuối 1508, 1526 cung cấp một điện trở kết hợp phù hợp với giá trị danh định của trở kháng đặc tính của đường truyền thứ nhất 1506. Đường truyền thứ hai 1516 được kết thúc bằng một cặp bộ điện trở kết cuối (RS 1512) ở đầu phát và bằng một cặp bộ điện trở kết cuối 1518, 1528 ở đầu thu. Tại đầu phát, các bộ điện trở kết cuối cung cấp một điện trở tổng hợp phù hợp với giá trị danh định của trở kháng đặc tính của đường truyền thứ hai 1516. Ở đầu thu, các bộ điện trở kết cuối 1518, 1528 cung cấp một điện trở kết hợp phù hợp với giá trị danh định của trở kháng đặc tính của đường truyền thứ hai 1516. Mỗi chân dán I/O 1530b, 1530d ở đầu thu được ghép nối với đầu vào của bộ thu vi sai 1522. Ở đầu thu, cặp bộ điện trở kết cuối 1508, 1526 của đường dây thứ nhất 1506 và cặp bộ điện trở kết cuối 1518, 1528 của đường dây thứ hai

1516 được ghép nối với một bộ tụ điện chung 1524 có cấu hình để ghép nối các thành phần xoay chiều nối đất. Điểm mà tại đó ghép đôi điện trở kết cuối 1508, 1526 đối với đường dây thứ nhất 1506 và cặp bộ điện trở kết cuối 1518, 1528 đối với đường dây thứ hai 1516 thì tạo ra một mức điện áp phương thức chung.

Các bộ điện trở trong mỗi cặp bộ điện trở kết cuối được ghép nối với nhau tại một chân dán I/O 1530a-1530d của thiết bị truyền hoặc nhận. Trong một ví dụ, mỗi bộ điện trở kết cuối có điện trở bằng khoảng một nửa giá trị danh định của trở kháng đặc tính của đường truyền 1506, 1516. Các điện dung ký sinh 1504, 1510, 1514, 1520 được biểu thị dưới dạng các bộ tụ điện được ghép nối với các chân dán I/O 1530a-1530d, các bộ tụ điện này cũng được ghép nối tại điểm chính giữa của một cặp bộ điện trở kết cuối. Hai bộ điện trở kết cuối được ghép nối với nhau tại mỗi chân dán I/O 1530a-1530d. Trong một ví dụ, mỗi bộ điện trở kết cuối có điện trở bằng khoảng một nửa giá trị danh định của trở kháng đặc tính của các đường truyền 1506, 1516.

Fig.15 cũng minh họa liên kết vi sai ba dây 1540, có thể được sử dụng trong giao diện C-PHY và được điều chỉnh theo các khía cạnh nhất định của sáng chế. Trong giao diện C-PHY, tín hiệu ba pha được truyền theo các pha khác nhau trên mỗi ba dây. Mỗi dây có thể được định rõ đặc điểm như một đường truyền 1546a, 1546b, 1546c. Một tập hợp bộ điện trở chuyển mạch 1542 trong bộ phát và hai tập hợp bộ điện trở 1550, 1552 trong bộ thu được sử dụng để kết cuối các đường truyền tương ứng 1546a, 1546b, 1546c phù hợp với các mạch kết cuối 1300, 1320 được minh họa trong Fig.13. Ví dụ, các bộ điện trở trong hai tập hợp bộ điện trở 1550, 1552 được tạo cấu hình làm bộ phân áp có thể làm giảm phản xạ trên đường truyền 1546a, 1546b, 1546c bao gồm cả phản xạ từ các chân dán I/O 1548 có thể là do tác động của điện dung ký sinh chẳng hạn. Trong giao diện C-PHY, dòng điện thuần bằng không được truyền đến bộ thu và một đầu của mỗi bộ điện trở trong tập hợp các bộ điện trở 1550 được ghép nối với bộ tụ điện chung 1554 có thể chuyển mạch tạm thời xuống mạch nối đất. Không yêu cầu ghép nối trực tiếp với mạch nối đất vì dòng điện nhận được và dòng điện trở lại dự kiến sẽ hủy bỏ.

Ví dụ về các mạch và phương pháp xử lý

Fig.16 là sơ đồ minh họa một ví dụ về việc thực hiện phần cứng cho một thiết bị 1600. Trong một số ví dụ, thiết bị 1600 có thể thực hiện một hoặc nhiều chức năng được bộc lộ ở đây. Theo các khía cạnh khác nhau của sáng chế, một phần tử hoặc bất kỳ phần nào của phần tử hoặc bất kỳ sự kết hợp nào của các phần tử như được bộc lộ ở đây có thể được thực hiện bằng cách sử dụng mạch xử lý 1602. Mạch xử lý 1602 có thể bao gồm một hoặc nhiều bộ xử lý 1604 được điều khiển bằng một số kết hợp giữa môđun phần cứng và phần mềm. Ví dụ về bộ xử lý 1604 bao gồm bộ vi xử lý, bộ vi điều khiển, bộ xử lý tín hiệu kỹ thuật số (digital signal processors, DSP), SoC, ASIC, mảng cổng lập trình được theo trường (field programmable gate arrays, FPGA), thiết bị logic có thể lập trình (programmable logic devices, PLD), máy trạng thái, trình tự, cổng logic, mạch phần cứng rời và phần cứng khác phù hợp được tạo cấu hình để thực hiện các chức năng khác nhau được mô tả trong suốt sáng chế. Một hoặc nhiều bộ xử lý 1604 có thể bao gồm các bộ xử lý chuyên biệt thực hiện các chức năng cụ thể và có thể được tạo cấu hình, bổ sung hoặc điều khiển bởi một trong các môđun phần mềm 1616. Một hoặc nhiều bộ xử lý 1604 có thể được tạo cấu hình thông qua sự kết hợp của các môđun phần mềm 1616 được tải trong quá trình khởi tạo và được tạo cấu hình thêm bằng cách tải hoặc dỡ một hoặc nhiều môđun phần mềm 1616 trong quá trình hoạt động.

Trong ví dụ minh họa, mạch xử lý 1602 có thể được thực hiện với cấu trúc bus, được đại diện chung bằng bus 1610. Bus 1610 có thể bao gồm bất kỳ số lượng bus và cầu kết nối nào tùy thuộc vào ứng dụng cụ thể của mạch xử lý 1602 và các ràng buộc thiết kế tổng thể. Bus 1610 liên kết các mạch khác nhau với nhau bao gồm một hoặc nhiều bộ xử lý 1604 và bộ lưu trữ 1606. Bộ nhớ 1606 có thể bao gồm các thiết bị nhớ và thiết bị lưu trữ chung và có thể được gọi là phương tiện có thể đọc được bằng máy tính và/hoặc phương tiện có thể đọc được bởi bộ xử lý. Bus 1610 cũng có thể liên kết nhiều mạch khác nhau như nguồn định thời, bộ định thời, thiết bị ngoại vi, bộ điều chỉnh điện áp và mạch quản lý nguồn. Giao diện bus 1608 có thể cung cấp giao diện giữa bus 1610 và một hoặc nhiều bộ thu phát 1612a, 1612b. Một bộ thu phát 1612a, 1612b có thể được cung cấp cho mỗi công nghệ mạng được hỗ trợ bởi mạch xử lý. Trong một số trường hợp, nhiều công nghệ mạng có thể chia sẻ một số hoặc tất cả mạch điện hoặc môđun xử lý được tìm thấy trong bộ thu phát 1612a, 1612b. Mỗi bộ

thu phát 1612a, 1612b cung cấp một phương tiện để truyền thông với nhiều thiết bị khác qua một phương tiện truyền dẫn. Trong một ví dụ, bộ thu phát 1612a có thể được sử dụng để ghép nối thiết bị 1600 với một bus nhiều dây. Trong một ví dụ khác, bộ thu phát 1612b có thể được sử dụng để kết nối thiết bị 1600 với mạng truy cập vô tuyến. Tùy thuộc vào bản chất của thiết bị 1600, giao diện người dùng 1618 (ví dụ: bàn phím, màn hình, loa, micrô, cần điều khiển) cũng có thể được cung cấp và có thể được ghép nối truyền thông với bus 1610 trực tiếp hoặc thông qua giao diện bus 1608.

Bộ xử lý 1604 có thể chịu trách nhiệm quản lý bus 1610 và xử lý chung có thể bao gồm việc thực thi phần mềm được lưu trữ trong phương tiện đọc được bằng máy tính có thể bao gồm bộ lưu trữ 1606. Theo khía cạnh này, mạch xử lý 1602, bao gồm cả bộ xử lý 1604, có thể được sử dụng để thực hiện bất kỳ phương pháp, chức năng và kỹ thuật nào được bộc lộ ở đây. Bộ lưu trữ 1606 có thể được sử dụng để lưu trữ dữ liệu do bộ xử lý 1604 thao tác khi thực thi phần mềm và phần mềm có thể được tạo cấu hình để thực hiện bất kỳ một trong các phương pháp được bộc lộ ở đây.

Một hoặc nhiều bộ xử lý 1604 trong mạch xử lý 1602 có thể thực thi phần mềm. Phần mềm sẽ được hiểu theo nghĩa rộng có nghĩa là các lệnh, tập lệnh, mã, đoạn mã, mã chương trình, chương trình, chương trình con, modul phần mềm, ứng dụng, ứng dụng phần mềm, gói phần mềm, quy trình, chương trình con, đối tượng, thực thi, chuỗi thực thi, thủ tục, chức năng, thuật toán, v.v., cho dù được gọi là phần mềm, firmware, phần mềm trung gian, vi mã, ngôn ngữ mô tả phần cứng, hoặc cách khác. Phần mềm có thể nằm ở dạng đọc được bằng máy tính trong bộ lưu trữ 1606 hoặc trong phương tiện bên ngoài đọc được bằng máy tính. Phương tiện bên ngoài đọc được bằng máy tính và/hoặc bộ lưu trữ 1606 có thể bao gồm phương tiện bất biến đọc được bằng máy tính. Phương tiện bất biến đọc được bằng máy tính bao gồm, ví dụ, thiết bị lưu trữ từ tính (ví dụ: đĩa cứng, đĩa mềm, dải từ tính), đĩa quang (ví dụ: đĩa compact (CD) hoặc đĩa đa năng kỹ thuật số (DVD)), thẻ thông minh, thiết bị nhớ flash (ví dụ: “ổ đĩa flash”, thẻ, thanh hoặc ổ khóa), RAM, ROM, bộ nhớ chỉ đọc có thể lập trình (PROM), PROM có thể xóa được (EPROM) bao gồm EEPROM, thanh ghi, đĩa di động và bất kỳ phương tiện thích hợp nào khác để lưu trữ phần mềm và/hoặc các lệnh mà máy tính có thể truy cập và đọc được. Phương tiện đọc được bằng máy tính và/hoặc bộ lưu trữ 1606 cũng có thể bao gồm, ví dụ, sóng mang, đường truyền và bất kỳ phương tiện

thích hợp nào khác để truyền phần mềm và/hoặc các lệnh mà máy tính có thể truy cập và đọc được. Phương tiện đọc được bằng máy tính và/hoặc bộ lưu trữ 1606 có thể nằm trong mạch xử lý 1602, trong bộ xử lý 1604, bên ngoài mạch xử lý 1602, hoặc được phân phối trên nhiều thực thể bao gồm cả mạch xử lý 1602. Phương tiện đọc được bằng máy tính và/hoặc bộ lưu trữ 1606 có thể được đưa vào một sản phẩm chương trình máy tính. Ví dụ, sản phẩm chương trình máy tính có thể bao gồm phương tiện đọc được bằng máy tính trong vật liệu đóng gói. Người có hiểu biết trung bình trong lĩnh vực này sẽ nhận ra cách tốt nhất để thực hiện chức năng được mô tả được trình bày trong sáng chế tùy thuộc vào ứng dụng cụ thể và các ràng buộc thiết kế tổng thể áp dụng cho hệ thống tổng thể.

Bộ lưu trữ 1606 có thể giữ phần mềm được duy trì và/hoặc tổ chức trong các đoạn mã, modul, ứng dụng, chương trình, v.v. có thể tải được, có thể được gọi ở đây là modul phần mềm 1616. Mỗi modul phần mềm 1616 có thể bao gồm các các lệnh và dữ liệu, khi được cài đặt hoặc tải trên mạch xử lý 1602 và được thực thi bởi một hoặc nhiều bộ xử lý 1604, góp phần vào hình ảnh khi chạy 1614 điều khiển hoạt động của một hoặc nhiều bộ xử lý 1604. Khi được thực thi, một số lệnh nhất định có thể khiến mạch xử lý 1602 thực hiện các chức năng phù hợp với các phương pháp, thuật toán và quy trình nhất định được mô tả ở đây.

Một số modul phần mềm 1616 có thể được tải trong quá trình khởi tạo mạch xử lý 1602 và các modul phần mềm này 1616 có thể tạo cấu hình mạch xử lý 1602 để cho phép thực hiện các chức năng khác nhau được bộc lộ ở đây. Ví dụ, một số modul phần mềm 1616 có thể tạo cấu hình các thiết bị bên trong và/hoặc mạch logic 1622 của bộ xử lý 1604 và có thể quản lý quyền truy cập vào các thiết bị bên ngoài như bộ thu phát 1612a, 1612b, giao diện bus 1608, giao diện người dùng 1618, bộ định thời, bộ đồng xử lý toán học, và tương tự như thế. Modul phần mềm 1616 có thể bao gồm chương bộ điều khiển và/hoặc hệ điều hành tương tác với trình xử lý ngắt và bộ điều khiển thiết bị và điều khiển quyền truy cập vào các tài nguyên khác nhau được cung cấp bởi mạch xử lý 1602. Các tài nguyên có thể bao gồm bộ nhớ, thời gian xử lý, quyền truy cập vào bộ thu phát 1612a, 1612b, giao diện người dùng 1618, v.v..

Một hoặc nhiều bộ xử lý 1604 của mạch xử lý 1602 có thể đa chức năng, theo đó một số modul phần mềm 1616 được tải và cấu hình để thực hiện các chức năng khác nhau hoặc các phiên bản khác nhau của cùng một chức năng. Ví dụ, một hoặc nhiều bộ xử lý 1604 có thể được điều chỉnh thêm để quản lý các tác vụ nên được khởi tạo đáp lại đầu vào từ giao diện người dùng 1618, bộ thu phát 1612a, 1612b và bộ điều khiển thiết bị. Để hỗ trợ thực hiện nhiều chức năng, một hoặc nhiều bộ xử lý 1604 có thể được tạo cấu hình để cung cấp môi trường đa nhiệm, theo đó mỗi chức năng trong số nhiều chức năng được thực hiện như một tập hợp các tác vụ được phục vụ bởi một hoặc nhiều bộ xử lý 1604 khi cần thiết hoặc mong muốn. Trong một ví dụ, môi trường đa nhiệm có thể được thực hiện bằng cách sử dụng chương trình chia sẻ thời gian 1620 để vượt qua quyền kiểm soát của bộ xử lý 1604 giữa các tác vụ khác nhau, theo đó mỗi tác vụ trả lại quyền kiểm soát của một hoặc nhiều bộ xử lý 1604 cho chương trình chia sẻ thời gian 1620 khi hoàn thành bất kỳ hoạt động nào còn tồn đọng và/hoặc để phản hồi một đầu vào chẳng hạn như ngắt. Khi một tác vụ có quyền kiểm soát của một hoặc nhiều bộ xử lý 1604, mạch xử lý được chuyên biệt hóa một cách hiệu quả cho các mục đích được giải quyết bởi chức năng liên quan đến tác vụ điều khiển. Chương trình chia sẻ thời gian 1620 có thể bao gồm một hệ điều hành, một vòng lặp chính chuyên giao quyền kiểm soát trên cơ sở giải thuật round-robin, chức năng phân bổ quyền kiểm soát của một hoặc nhiều bộ xử lý 1604 theo mức độ ưu tiên của các chức năng, và/hoặc vòng lặp chính được điều khiển ngắt đáp ứng các sự kiện bên ngoài bằng cách cung cấp quyền kiểm soát của một hoặc nhiều bộ xử lý 1604 đối với một chức năng xử lý.

Fig.17 là lưu đồ 1700 của phương pháp tạo cấu hình ghép nối giữa thiết bị và đường truyền. Tại khối 1702, đầu cuối thứ nhất của bộ điện trở thứ nhất có thể được ghép nối với một đầu của đường truyền thứ nhất. Tại khối 1704, đầu cuối thứ hai của bộ điện trở thứ nhất có thể được ghép nối với chân dán I/O thứ nhất. Đầu cuối thứ nhất của bộ điện trở thứ hai được ghép nối với chân dán I/O thứ nhất. Bộ điện trở thứ nhất và bộ điện trở thứ hai có thể được chọn để cung cấp điện trở kết hợp phù hợp với giá trị danh định của trở kháng đặc tính của đường truyền thứ nhất.

Trong một ví dụ, một đầu vào của mạch thu được ghép nối với chân dán I/O thứ nhất. Đầu cuối thứ hai của bộ điện trở thứ hai có thể được ghép nối với mạch nối đất điện hoặc mức điện áp chế độ thông thường hoặc đường ray trở kháng thấp. Trong một

ví dụ khác, một đầu ra của mạch điều khiển đường truyền được ghép nối với đầu cuối thứ hai của bộ điện trở thứ hai.

Trong một số ví dụ nhất định, bộ điện trở thứ hai và chân dán I/O thứ nhất được cung cấp trên thiết bị mạch tích hợp. Bộ điện trở thứ nhất và một đầu của đường truyền thứ nhất có thể nằm bên ngoài thiết bị mạch tích hợp. Điện dung ký sinh trong thiết bị mạch tích hợp có thể đo được hoặc biểu hiện ở chân dán I/O thứ nhất và bộ điện trở thứ hai có thể được ghép nối song song một cách hiệu quả với điện dung ký sinh được quan sát ở chân dán I/O thứ nhất.

Trong một số ví dụ nhất định, bộ điện trở thứ nhất và bộ điện trở thứ hai tạo thành một bộ chia điện áp với chân dán I/O thứ nhất ở đầu ra hoặc trung tâm của bộ phân áp. Tín hiệu nhận được ở chân dán đầu vào/đầu ra thứ nhất có thể là biểu diễn suy giảm của tín hiệu nhận được ở một đầu của đường truyền thứ nhất. Phản xạ từ chân dán I/O thứ nhất được dẫn đến một đầu của đường truyền thứ nhất bị suy giảm bởi bộ điện trở thứ nhất.

Trong một số ví dụ nhất định, đầu cuối thứ nhất của bộ điện trở thứ ba được ghép nối với một đầu của đường truyền thứ hai và đầu cuối thứ hai của bộ điện trở thứ ba được ghép nối với chân dán I/O thứ hai. Đầu cuối thứ nhất của bộ điện trở thứ tư được ghép nối với chân dán I/O thứ hai và đầu cuối thứ hai của bộ điện trở thứ tư được ghép nối với đầu cuối thứ hai của bộ điện trở thứ ba. Bộ điện trở thứ ba và bộ điện trở thứ tư có thể được chọn để cung cấp điện trở kết hợp phù hợp với giá trị danh định của trở kháng đặc tính của đường truyền thứ hai. Chân dán I/O thứ nhất và chân dán I/O thứ hai được ghép nối với các đầu vào vi sai của mạch thu. Chân dán I/O thứ nhất và chân dán I/O thứ hai được ghép nối thông qua các bộ điện trở tương ứng với các đầu ra vi sai của mạch điều khiển.

Fig.18 là sơ đồ minh họa một ví dụ đơn giản về việc thực hiện phân cứng cho thiết bị 1800 sử dụng mạch xử lý 1802. Mạch xử lý thường có bộ điều khiển hoặc bộ xử lý 1816 có thể bao gồm một hoặc nhiều bộ vi xử lý, bộ vi điều khiển, bộ xử lý tín hiệu kỹ thuật số, bộ sắp xếp dây và/hoặc máy trạng thái. Mạch xử lý 1802 có thể được thực hiện với cấu trúc bus, được đại diện chung bởi bus 1820. Bus 1820 có thể bao gồm bất kỳ số lượng bus và cầu kết nối nào tùy thuộc vào ứng dụng cụ thể của mạch

xử lý 1802 và các ràng buộc thiết kế tổng thể. Bus 1820 liên kết các mạch khác nhau với nhau bao gồm một hoặc nhiều bộ xử lý và/hoặc modul phần cứng, được đại diện bởi bộ điều khiển hoặc bộ xử lý 1816, các modul hoặc mạch 1804, 1806 và 1808 và phương tiện lưu trữ có thể đọc được bằng bộ xử lý 1818. Một hoặc nhiều mạch lớp vật lý và/hoặc modul 1814 có thể được cung cấp để hỗ trợ truyền thông qua liên kết truyền thông được thực hiện bằng cách sử dụng bus nhiều dây 1812, thông qua anten hoặc mảng anten 1822 (ví dụ, với mạng truy cập vô tuyến), v.v.. Bus 1820 cũng có thể liên kết nhiều mạch khác nhau như nguồn định thời, thiết bị ngoại vi, bộ điều chỉnh điện áp và mạch quản lý công suất, là hiểu biết thông thường trong lĩnh vực này, và do đó, sẽ không được mô tả thêm.

Bộ xử lý 1816 chịu trách nhiệm xử lý chung, bao gồm việc thực thi phần mềm, mã và/hoặc các lệnh được lưu trữ trên phương tiện lưu trữ có thể đọc được bởi bộ xử lý 1818. Phương tiện lưu trữ đọc được bằng bộ xử lý 1818 có thể bao gồm phương tiện lưu trữ bất biến. Phần mềm, khi được thực thi bởi bộ xử lý 1816, khiến cho mạch xử lý 1802 thực hiện các chức năng khác nhau được mô tả trên đây cho bất kỳ thiết bị cụ thể nào. Phương tiện lưu trữ đọc được bằng bộ xử lý 1818 có thể được sử dụng để lưu trữ dữ liệu được xử lý bởi bộ xử lý 1816 khi thực thi phần mềm. Mạch xử lý 1802 còn bao gồm ít nhất một trong các modul 1804, 1806 và 1808. Các modul 1804, 1806 và 1808 có thể là các modul phần mềm chạy trong bộ xử lý 1816, thường trú/được lưu trữ trong phương tiện lưu trữ có thể đọc được bởi bộ xử lý 1818, một hoặc nhiều modul phần cứng được ghép nối với bộ xử lý 1816 hoặc một số kết hợp của chúng. Các modul 1804, 1806 và 1808 có thể bao gồm các lệnh vi điều khiển, thông số cấu hình máy trạng thái hoặc một số kết hợp của chúng.

Trong một cấu hình, thiết bị 1800 bao gồm các modul và/hoặc mạch 1808 được điều chỉnh để mã hóa dữ liệu trong các tín hiệu được truyền qua đường truyền và/hoặc để giải mã dữ liệu từ các tín hiệu nhận được từ đường truyền, và các modul và/hoặc mạch 1806 được tạo cấu hình để cân bằng tín hiệu nhận được từ đường truyền. Thiết bị 1800 có thể bao gồm các modul kết cuối đường dây và/hoặc mạch 1804.

Trong một số ví dụ, các phần của modul kết cuối đường dây và/hoặc mạch 1804 có thể được bao gồm trong các mạch lớp vật lý và/hoặc modul 1814 thực hiện

mạch giao diện được điều chỉnh để ghép nối thiết bị 1800 với một bus nối tiếp. Thiết bị 1800 có thể có bộ điện trở thứ nhất có đầu cuối thứ nhất được ghép nối với một đầu của đường truyền thứ nhất và đầu cuối thứ hai được ghép nối với chân dán I/O thứ nhất và bộ điện trở thứ hai có đầu cuối thứ nhất được ghép nối với chân dán I/O thứ nhất. Bộ điện trở thứ nhất và bộ điện trở thứ hai có thể được chọn để cung cấp điện trở kết hợp phù hợp với giá trị danh định của trở kháng đặc tính của đường truyền thứ nhất. Trong một ví dụ, thiết bị 1800 bao gồm mạch thu có đầu vào được ghép nối với chân dán I/O thứ nhất. Đầu cuối thứ hai của bộ điện trở thứ hai có thể được ghép nối với mạch nối đất hoặc mức điện áp chế độ thông thường. Trong một ví dụ khác, thiết bị 1800 có thể bao gồm một mạch dẫn dòng có một đầu ra được ghép nối với đầu cuối thứ hai của bộ điện trở thứ hai.

Trong một số ví dụ nhất định, bộ điện trở thứ hai và chân dán I/O thứ nhất được cung cấp trên thiết bị IC. Bộ điện trở thứ nhất và một đầu của đường truyền thứ nhất có thể nằm bên ngoài thiết bị IC. Điện dung ký sinh trong thiết bị mạch tích hợp có thể đo được hoặc biểu hiện ở chân dán I/O thứ nhất và bộ điện trở thứ hai có thể được ghép nối song song một cách hiệu quả với điện dung ký sinh được quan sát ở chân dán I/O thứ nhất.

Trong một số ví dụ nhất định, bộ điện trở thứ nhất và bộ điện trở thứ hai tạo thành một bộ phân áp với chân dán I/O thứ nhất ở tâm của bộ phân áp. Tín hiệu nhận được ở chân dán I/O thứ nhất là biểu diễn suy giảm của tín hiệu nhận được ở một đầu của đường truyền thứ nhất. Các phản xạ từ chân dán I/O thứ nhất và được dẫn đến một đầu của đường truyền thứ nhất bị suy giảm bởi bộ điện trở thứ nhất.

Trong một số ví dụ, thiết bị 1800 bao gồm CTLE được ghép nối với chân dán I/O 1332 thứ nhất. bộ điện trở thứ nhất và bộ điện trở thứ hai có thể được tạo cấu hình như một mạch kết cuối tuyến tính hóa đáp ứng tần số.

Trong một số ví dụ, thiết bị 1800 bao gồm bộ điện trở thứ ba có đầu cuối thứ nhất được ghép nối với một đầu của đường truyền thứ hai và đầu cuối thứ hai được ghép nối với chân dán I/O 1332 thứ hai và bộ điện trở thứ tư có đầu cuối thứ nhất được ghép nối với chân dán I/O thứ hai và đầu cuối thứ hai được ghép nối với đầu cuối thứ hai của bộ điện trở thứ hai. Bộ điện trở thứ ba và bộ điện trở thứ tư có thể được chọn

để cung cấp điện trở kết hợp phù hợp với giá trị danh định của trở kháng đặc tính của đường truyền thứ hai. Trong một ví dụ, chân dán I/O thứ nhất và chân dán I/O thứ hai được ghép nối với các đầu vào vi sai của mạch thu. Trong một ví dụ khác, chân dán I/O thứ nhất và chân dán I/O thứ hai được ghép nối thông qua các bộ điện trở tương ứng với các đầu ra vi sai của mạch điều khiển.

Trong một số ví dụ, thiết bị 1800 được bao gồm trong hệ thống có liên kết truyền thông dữ liệu, thiết bị IC thứ nhất được ghép nối với đầu thứ nhất của liên kết truyền thông dữ liệu thông qua mạch kết cuối thứ nhất và thiết bị mạch tích hợp thứ hai được ghép nối với đầu thứ hai của liên kết truyền thông dữ liệu thông qua mạch kết cuối thứ hai. Mạch kết cuối thứ nhất có thể bao gồm một bộ điện trở thứ nhất có đầu cuối thứ nhất được ghép nối với một đầu của đường truyền thứ nhất trong liên kết truyền thông dữ liệu và đầu cuối thứ hai được ghép nối với chân dán I/O thứ nhất. Mạch kết cuối thứ nhất có thể bao gồm bộ điện trở thứ hai có đầu cuối thứ nhất được ghép nối với chân dán I/O thứ nhất và mạch thu có đầu vào thứ nhất được ghép nối với chân dán I/O thứ nhất. Đầu cuối thứ hai của bộ điện trở thứ hai có thể được ghép nối với mạch nối đất hoặc mức điện áp chế độ thông thường. Điện trở và Bộ điện trở thứ hai có thể được chọn để cung cấp điện trở kết hợp phù hợp với giá trị danh định của trở kháng đặc tính của đường truyền thứ nhất.

Trong một ví dụ, bộ điện trở thứ hai và chân dán I/O thứ nhất được cung cấp trên thiết bị IC thứ nhất. Bộ điện trở thứ nhất và đầu cuối thứ nhất của đường truyền thứ nhất có thể được đặt bên ngoài thiết bị mạch tích hợp thứ nhất. Điện dung ký sinh trong thiết bị mạch tích hợp có thể đo được hoặc biểu hiện ở chân dán I/O thứ nhất và bộ điện trở thứ hai có thể được ghép nối song song một cách hiệu quả với điện dung ký sinh được quan sát ở chân dán I/O thứ nhất.

Trong một số ví dụ, bộ điện trở thứ nhất và bộ điện trở thứ hai tạo thành bộ phân áp với chân dán I/O thứ nhất ở tâm của bộ phân áp. Tín hiệu nhận được ở chân dán I/O thứ nhất là biểu diễn suy giảm của tín hiệu nhận được ở đầu thứ nhất của đường truyền thứ nhất. Phản xạ từ chân dán I/O thứ nhất được dẫn đến đầu thứ nhất của đường truyền thứ nhất có thể bị suy giảm qua bộ điện trở thứ nhất.

Trong một ví dụ, bộ cân bằng CTLE được ghép nối với chân dán I/O 1332 thứ nhất. Bộ điện trở thứ nhất và bộ điện trở thứ hai có thể được tạo cấu hình như một mạch kết cuối tuyến tính hóa đáp ứng tần số.

Trong một ví dụ, liên kết truyền thông dữ liệu bao gồm đường truyền thứ hai. Mạch kết cuối thứ nhất có thể bao gồm bộ điện trở thứ ba có đầu cuối thứ nhất được ghép nối với một đầu của đường truyền thứ hai và đầu cuối thứ hai được ghép nối với chân dán I/O thứ hai. Mạch kết cuối thứ nhất có thể bao gồm bộ điện trở thứ tư có đầu cuối thứ nhất được ghép nối với chân dán I/O thứ hai và đầu cuối thứ hai được ghép nối với đầu cuối thứ hai của bộ điện trở thứ hai. Bộ điện trở thứ ba và bộ điện trở thứ tư có thể cung cấp điện trở kết hợp phù hợp với giá trị danh định của trở kháng đặc tính của đường truyền thứ hai. Chân dán I/O thứ nhất có thể được ghép nối với đầu vào thứ hai của mạch thu. Mạch thu có thể bao gồm hoặc hoạt động như một bộ thu vi sai.

Trong một ví dụ, mạch kết cuối thứ hai bao gồm bộ điện trở thứ năm có đầu cuối thứ nhất được ghép nối với đầu thứ hai của đường truyền thứ nhất và đầu cuối thứ hai được ghép nối với chân dán I/O thứ ba. Mạch kết cuối thứ hai có thể bao gồm bộ điện trở thứ sáu có đầu cuối thứ nhất được ghép nối với chân dán I/O thứ ba và mạch điều khiển đường truyền có đầu ra được ghép nối với đầu cuối thứ hai của bộ điện trở thứ sáu. Bộ điện trở thứ năm và bộ điện trở thứ sáu có thể cung cấp điện trở kết hợp phù hợp với giá trị danh định của trở kháng đặc tính của đường truyền thứ nhất. Mạch điều khiển đường truyền có thể bao gồm hoặc hoạt động như bộ điều khiển đường truyền vi sai.

Một số ví dụ thực hiện được mô tả trong các mục được đánh số sau:

1. Thiết bị bao gồm: bộ điện trở thứ nhất có đầu cuối thứ nhất được ghép nối với một đầu của đường truyền thứ nhất và đầu cuối thứ hai được ghép nối với chân dán đầu vào/đầu ra thứ nhất; và bộ điện trở thứ hai có đầu cuối thứ nhất được ghép nối với chân dán đầu vào/đầu ra thứ nhất, trong đó bộ điện trở thứ nhất và bộ điện trở thứ hai cung cấp điện trở kết hợp phù hợp với giá trị danh định của trở kháng đặc tính của đường truyền thứ nhất.

2. Thiết bị theo điểm 1, còn bao gồm: mạch thu có đầu vào được ghép nối với chân dán đầu vào/đầu ra thứ nhất, trong đó đầu cuối thứ hai của bộ điện trở thứ hai được ghép nối với mạch nối đất hoặc mức điện áp chế độ thông thường.
3. Thiết bị theo điểm 1, còn bao gồm: mạch điều khiển đường truyền có đầu ra được ghép nối với đầu cuối thứ hai của bộ điện trở thứ hai.
4. Thiết bị theo điểm bất kỳ trong số các điểm từ 1 đến 3, trong đó bộ điện trở thứ hai và chân dán đầu vào/đầu ra thứ nhất được cung cấp trên thiết bị mạch tích hợp, và trong đó bộ điện trở thứ nhất và một đầu của đường truyền thứ nhất được đặt bên ngoài thiết bị mạch tích hợp.
5. Thiết bị theo điểm bất kỳ trong số các điểm từ 1 đến 4, trong đó bộ điện trở thứ nhất và bộ điện trở thứ hai tạo thành bộ phân áp với chân dán đầu vào/đầu ra thứ nhất được ghép nối với đầu ra của bộ phân áp và trong đó tín hiệu nhận được ở chân dán đầu vào/đầu ra thứ nhất là biểu diễn suy giảm của tín hiệu nhận được ở một đầu của đường truyền thứ nhất.
6. Thiết bị theo điểm 5, trong đó phản xạ từ chân dán đầu vào/đầu ra thứ nhất được dẫn đến một đầu của đường truyền thứ nhất bị suy giảm bởi bộ điện trở thứ nhất.
7. Thiết bị theo điểm bất kỳ trong số các điểm từ 1 đến 6, còn bao gồm: bộ cân bằng tuyến tính theo thời gian liên tục được ghép nối với chân dán đầu vào/đầu ra thứ nhất, trong đó bộ điện trở thứ nhất và bộ điện trở thứ hai được tạo cấu hình dưới dạng mạch kết cuối tuyến tính đáp ứng tần số.
8. Thiết bị theo điểm bất kỳ trong số các điểm từ 1 đến 7, còn bao gồm: bộ điện trở thứ ba có đầu cuối thứ nhất được ghép nối với một đầu của đường truyền thứ hai và đầu cuối thứ hai được ghép nối với chân dán đầu vào/đầu ra thứ hai; và bộ điện trở thứ tư có đầu cuối thứ nhất được ghép nối với chân dán đầu vào/đầu ra thứ hai và đầu cuối thứ hai được ghép nối với đầu cuối thứ hai của bộ điện trở thứ hai, trong đó bộ điện trở thứ ba và bộ điện trở thứ tư cung cấp điện trở kết hợp phù hợp với giá trị danh định của đặc tính trở kháng của đường truyền thứ hai.

9. Thiết bị theo điểm 8, trong đó chân dán đầu vào/đầu ra thứ nhất và chân dán đầu vào/đầu ra thứ hai được ghép nối với các đầu vào vi sai của mạch thu.
10. Thiết bị theo điểm 8, trong đó chân dán đầu vào/đầu ra thứ nhất và chân dán đầu vào/đầu ra thứ hai được ghép nối thông qua các bộ điện trở tương ứng với các đầu ra vi sai của mạch điều khiển.
11. Hệ thống truyền thông dữ liệu bao gồm: liên kết truyền thông dữ liệu bao gồm đường truyền thứ nhất; thiết bị mạch tích hợp thứ nhất được ghép nối với đầu thứ nhất của liên kết truyền thông dữ liệu thông qua mạch kết cuối thứ nhất; và thiết bị mạch tích hợp thứ hai được ghép nối với đầu thứ hai của liên kết truyền thông dữ liệu thông qua mạch kết cuối thứ hai, trong đó mạch kết cuối thứ nhất bao gồm: bộ điện trở thứ nhất có đầu cuối thứ nhất được ghép nối với đầu thứ nhất của đường truyền thứ nhất và đầu cuối thứ hai được ghép nối với chân dán đầu vào/đầu ra thứ nhất; bộ điện trở thứ hai có đầu cuối thứ nhất được ghép nối với chân dán đầu vào/đầu ra thứ nhất; và mạch thu có đầu vào thứ nhất được ghép nối với chân dán đầu vào/đầu ra thứ nhất, trong đó đầu cuối thứ hai của bộ điện trở thứ hai được ghép nối với mạch nối đất hoặc mức điện áp chế độ thông thường và trong đó bộ điện trở thứ nhất và bộ điện trở thứ hai cung cấp điện trở kết hợp phù hợp với giá trị danh định của trở kháng đặc tính của đường truyền thứ nhất.
12. Hệ thống theo điểm 11, trong đó bộ điện trở thứ hai và chân dán đầu vào/đầu ra thứ nhất được cung cấp trong thiết bị mạch tích hợp thứ nhất, và trong đó bộ điện trở thứ hai và đầu thứ nhất của đường truyền thứ nhất được đặt bên ngoài thiết bị mạch tích hợp thứ nhất.
13. Hệ thống theo điểm 11 hoặc điểm 12, trong đó bộ điện trở thứ nhất và bộ điện trở thứ hai tạo thành bộ phân áp với chân dán đầu vào/đầu ra thứ nhất được ghép nối với đầu ra của bộ phân áp, và trong đó tín hiệu nhận được ở chân dán đầu vào/đầu ra thứ nhất là biểu diễn suy giảm của các tín hiệu nhận được ở đầu thứ nhất của đường truyền thứ nhất.

14. Hệ thống theo điểm 13, trong đó phản xạ từ chân dán đầu vào/đầu ra thứ nhất được dẫn tới đầu thứ nhất của đường truyền thứ nhất bị suy giảm bởi bộ điện trở thứ nhất.
15. Hệ thống theo điểm bất kỳ trong số các điểm từ 11 đến 14, còn bao gồm: bộ cân bằng tuyến tính thời gian liên tục được ghép nối với chân dán đầu vào/đầu ra thứ nhất, trong đó bộ điện trở thứ nhất và bộ điện trở thứ hai được tạo cấu hình dưới dạng mạch kết cuối tuyến tính đáp ứng tần số.
16. Hệ thống theo điểm bất kỳ trong số các điểm từ 11 đến 15, trong đó liên kết truyền thông dữ liệu bao gồm đường truyền thứ hai và trong đó mạch kết cuối thứ nhất còn bao gồm: bộ điện trở thứ ba có đầu cuối thứ nhất được ghép nối với một đầu của đường truyền thứ hai và đầu cuối thứ hai được ghép nối với chân dán đầu vào/đầu ra thứ hai; và bộ điện trở thứ tư có đầu cuối thứ nhất được ghép nối với chân dán đầu vào/đầu ra thứ hai và đầu cuối thứ hai được ghép nối với đầu cuối thứ hai của bộ điện trở thứ hai, trong đó bộ điện trở thứ ba và bộ điện trở thứ tư cung cấp điện trở kết hợp phù hợp với giá trị danh định của đặc tính trở kháng của đường truyền thứ hai và trong đó chân dán đầu vào/đầu ra thứ nhất được ghép nối với đầu vào thứ hai của mạch thu, trong đó mạch thu bao gồm một bộ thu vi sai.
17. Hệ thống theo điểm bất kỳ trong số các điểm từ 11 đến 16, trong đó mạch kết cuối thứ hai bao gồm: bộ điện trở thứ năm có đầu cuối thứ nhất được ghép nối với đầu thứ hai của đường truyền thứ nhất và đầu cuối thứ hai được ghép nối với chân dán đầu vào/đầu ra thứ ba; bộ điện trở thứ sáu có đầu cuối thứ nhất được ghép nối với chân dán đầu vào/đầu ra thứ ba; và mạch điều khiển đường truyền có đầu ra được ghép nối với đầu cuối thứ hai của bộ điện trở thứ sáu, trong đó bộ điện trở thứ năm và bộ điện trở thứ sáu cung cấp điện trở kết hợp phù hợp với giá trị danh định của trở kháng đặc tính của đường truyền thứ nhất.
18. Hệ thống theo điểm 17, trong đó mạch điều khiển đường truyền bao gồm bộ điều khiển đường truyền vi sai.
19. Phương pháp kết cuối đường truyền, bao gồm: ghép nối đầu cuối thứ nhất của bộ điện trở thứ nhất với một đầu của đường truyền thứ nhất; và ghép đầu cuối thứ

hai của bộ điện trở thứ nhất với chân dán đầu vào/đầu ra thứ nhất, trong đó đầu cuối thứ nhất của bộ điện trở thứ hai được ghép nối với chân dán đầu vào/đầu ra thứ nhất và trong đó bộ điện trở thứ nhất và bộ điện trở thứ hai cung cấp điện trở kết hợp phù hợp giá trị danh định của trở kháng đặc tính của đường truyền thứ nhất.

20. Phương pháp theo điểm 19, trong đó đầu vào của mạch thu được ghép nối với chân dán đầu vào/đầu ra thứ nhất, và trong đó đầu cuối thứ hai của bộ điện trở thứ hai được ghép nối với mạch nối đất hoặc mức điện áp chế độ thông thường.
21. Phương pháp theo điểm 20, trong đó đầu ra của mạch điều khiển đường truyền được ghép nối với đầu cuối thứ hai của bộ điện trở thứ hai.
22. Phương pháp theo điểm bất kỳ trong số các điểm từ 19 đến 21, trong đó bộ điện trở thứ hai và chân dán đầu vào/đầu ra thứ nhất được cung cấp trên thiết bị mạch tích hợp, và trong đó bộ điện trở thứ nhất và một đầu của đường truyền thứ nhất được đặt bên ngoài thiết bị mạch tích hợp.
23. Phương pháp theo điểm bất kỳ trong số các điểm từ 19 đến 22, trong đó bộ điện trở thứ nhất và bộ điện trở thứ hai tạo thành bộ phân áp với chân dán đầu vào/đầu ra thứ nhất được ghép nối với đầu ra của bộ phân áp và trong đó tín hiệu nhận được ở chân dán đầu vào/đầu ra thứ nhất là biểu diễn suy giảm của tín hiệu nhận được ở một đầu của đường truyền thứ nhất.
24. Phương pháp theo điểm 23, trong đó phản xạ từ chân dán đầu vào/đầu ra thứ nhất được dẫn đến một đầu của đường truyền thứ nhất bị suy giảm bởi bộ điện trở thứ nhất.
25. Phương pháp theo điểm bất kỳ trong số các điểm từ 19 đến 24, phương pháp này còn bao gồm bước: ghép đầu cuối thứ nhất của bộ điện trở thứ ba với một đầu của đường truyền thứ hai; và ghép đầu cuối thứ hai của bộ điện trở thứ ba với chân dán đầu vào/đầu ra thứ hai, trong đó đầu cuối thứ nhất của bộ điện trở thứ tư được ghép nối với chân dán đầu vào/đầu ra thứ hai và đầu cuối thứ hai của bộ điện trở thứ tư được ghép nối với đầu cuối thứ hai của bộ điện trở thứ ba, trong

đó bộ điện trở thứ ba và bộ điện trở thứ tư cung cấp điện trở kết hợp phù hợp với giá trị danh định của trở kháng đặc tính của đường truyền thứ hai.

26. Phương pháp theo điểm 25, trong đó chân dán đầu vào/đầu ra thứ nhất và chân dán đầu vào/đầu ra thứ hai được ghép nối với các đầu vào vi sai của mạch thu.
27. Phương pháp theo điểm 25, trong đó chân dán đầu vào/đầu ra thứ nhất và chân dán đầu vào/đầu ra thứ hai được ghép nối thông qua các bộ điện trở tương ứng với các đầu ra vi sai của mạch điều khiển.

Điều này được hiểu rằng thứ tự hoặc thứ bậc cụ thể của các bước trong các quy trình được bộc lộ là một minh họa cho các phương pháp tiếp cận làm ví dụ. Dựa trên ưu tiên về thiết kế, người ta hiểu rằng thứ tự hoặc thứ bậc cụ thể của các bước trong quy trình có thể được sắp xếp lại. Hơn nữa, một số bước có thể được kết hợp hoặc bỏ qua. Công bố phương pháp kèm theo trình bày các phần tử của các bước khác nhau theo thứ tự mẫu và không có nghĩa là giới hạn trong thứ tự hoặc thứ bậc cụ thể được trình bày.

Mô tả ở trên được cung cấp để cho phép bất kỳ người nào có hiểu biết trong lĩnh vực kỹ thuật này thực hiện các khía cạnh khác nhau được mô tả ở đây. Những sửa đổi khác nhau đối với các khía cạnh này sẽ dễ dàng được nhận biết đối với những người có hiểu biết trung bình trong lĩnh vực này và các nguyên tắc chung được xác định ở đây có thể được áp dụng cho các khía cạnh khác. Do đó, các yêu cầu bảo hộ không dự định bị giới hạn ở các khía cạnh được trình bày ở đây, nhưng được đưa ra phạm vi đầy đủ phù hợp với các ngôn ngữ yêu cầu bảo hộ, trong đó việc tham chiếu đến thành phần trong số ít không có ý nghĩa là “một và chỉ một” trừ khi đã nêu cụ thể như vậy, nhưng đúng hơn là “một hoặc nhiều”. Trừ khi có quy định cụ thể khác, thuật ngữ “một số” đề cập đến một hoặc nhiều. Tất cả các điểm tương đương về cấu trúc và chức năng đối với các phần tử của các khía cạnh khác nhau được mô tả trong sáng chế đã được biết đến hoặc sau này được biết đến với những người có hiểu biết trung bình trong lĩnh vực kỹ thuật này được đưa vào đây một cách rõ ràng bằng cách tham chiếu và được bao hàm bởi các điểm yêu cầu bảo hộ. Hơn nữa, không có gì được bộc lộ ở đây nhằm mục đích dành riêng cho công chúng bất kể việc tiết lộ đó có được nêu rõ ràng trong các điểm yêu cầu bảo hộ hay không. Không có phần tử nào trong yêu cầu

bảo hộ được hiểu là phương tiện cộng chức năng trừ khi phần tử đó được thể hiện rõ ràng bằng cách sử dụng cụm từ “phương tiện để”.

YÊU CẦU BẢO HỘ

1. Thiết bị kết cuối đường truyền bao gồm:

bộ suy giảm đầu vào/đầu ra thứ nhất (1312, 1530b);

bộ điện trở thứ nhất (1302, 1526) có đầu cuối thứ nhất được ghép nối với một đầu của đường truyền thứ nhất (1314, 1506), và đầu cuối thứ hai được ghép nối với bộ suy giảm đầu vào/đầu ra thứ nhất (1312, 1530b); và

bộ điện trở thứ hai (1304, 1508) có đầu cuối thứ nhất được ghép nối với bộ suy giảm đầu vào/đầu ra thứ nhất,

trong đó bộ điện trở thứ nhất và bộ điện trở thứ hai được tạo cấu hình để tạo ra điện trở kết hợp phù hợp với giá trị danh định của trở kháng đặc tính của đường truyền thứ nhất;

mạch thu (1522) có đầu vào được ghép nối với bộ suy giảm đầu vào/đầu ra thứ nhất, trong đó đầu cuối thứ hai của bộ điện trở thứ hai được ghép nối với mạch nối đất hoặc mức điện áp chế độ thông thường.

2. Thiết bị kết cuối đường truyền bao gồm:

bộ suy giảm đầu vào/đầu ra thứ ba (1530a);

bộ điện trở thứ năm (1322, 1502 Rp2) có đầu cuối thứ nhất được ghép nối với đầu thứ hai của đường truyền thứ nhất (1334, 1506), và đầu cuối thứ hai được ghép nối với bộ suy giảm đầu vào/đầu ra thứ ba (1530a); và

bộ điện trở thứ sáu (1324, 1502Rp1) có đầu cuối thứ nhất được ghép nối với bộ suy giảm đầu vào/đầu ra thứ ba,

trong đó bộ điện trở thứ năm và bộ điện trở thứ sáu được tạo cấu hình để tạo ra điện trở kết hợp phù hợp với giá trị danh định của trở kháng đặc tính của đường truyền thứ nhất;

mạch điều khiển đường truyền có đầu ra được ghép nối với đầu cuối thứ hai của bộ điện trở thứ sáu.

3. Hệ thống truyền thông dữ liệu bao gồm:

liên kết truyền thông dữ liệu bao gồm đường truyền thứ nhất (1314, 1334, 1506);

thiết bị mạch tích hợp thứ nhất (1310) được ghép nối với đầu thứ nhất của liên kết truyền thông dữ liệu thông qua mạch kết cuối thứ nhất; và

thiết bị mạch tích hợp thứ hai (1330) được ghép nối với đầu thứ hai của liên kết truyền thông dữ liệu thông qua mạch kết cuối thứ hai,

trong đó mạch kết cuối thứ nhất bao gồm thiết bị theo điểm 1.

4. Hệ thống theo điểm 3, trong đó bộ điện trở thứ hai và bộ suy giảm đầu vào/đầu ra thứ nhất được bố trí trong thiết bị mạch tích hợp thứ nhất, và trong đó bộ điện trở thứ nhất và đầu thứ nhất của đường truyền thứ nhất được đặt bên ngoài thiết bị mạch tích hợp thứ nhất.

5. Hệ thống theo điểm 3, trong đó bộ điện trở thứ nhất và bộ điện trở thứ hai tạo thành bộ phân áp với bộ suy giảm đầu vào/đầu ra thứ nhất được ghép nối với đầu ra của bộ phân áp, và trong đó các tín hiệu nhận được ở bộ suy giảm đầu vào/đầu ra thứ nhất là biểu diễn suy giảm của các tín hiệu nhận được ở đầu thứ nhất của đường truyền thứ nhất, trong đó bộ điện trở thứ nhất được tạo cấu hình để làm suy giảm các phản xạ từ bộ suy giảm đầu vào/đầu ra thứ nhất được dẫn đến đầu thứ nhất của đường truyền thứ nhất.

6. Hệ thống theo điểm 3, còn bao gồm:

bộ cân bằng tuyến tính thời gian liên tục được ghép nối với bộ suy giảm đầu vào/đầu ra thứ nhất, trong đó bộ điện trở thứ nhất và bộ điện trở thứ hai được tạo cấu hình dưới dạng mạch kết cuối tuyến tính hóa đáp ứng tần số.

7. Hệ thống theo điểm 3, trong đó liên kết truyền thông dữ liệu bao gồm đường truyền thứ hai (1516) và trong đó mạch kết cuối thứ nhất còn bao gồm:

bộ điện trở thứ ba (1528) có đầu cuối thứ nhất được ghép nối với một đầu của đường truyền thứ hai và đầu cuối thứ hai được ghép nối với bộ suy giảm đầu vào/đầu ra thứ hai (1530d); và

bộ điện trở thứ tư (1518) có đầu cuối thứ nhất được ghép nối với bộ suy giảm đầu vào/đầu ra thứ hai và đầu cuối thứ hai được ghép nối với đầu cuối thứ hai của bộ điện trở thứ hai,

trong đó bộ điện trở thứ ba và bộ điện trở thứ tư được tạo cấu hình để cung cấp điện trở kết hợp phù hợp với giá trị danh định của trở kháng đặc tính của đường truyền thứ hai, và

trong đó bộ suy giảm đầu vào/đầu ra thứ hai được ghép nối với đầu vào thứ hai của mạch thu, trong đó mạch thu bao gồm bộ thu vi sai.

8. Hệ thống theo điểm 3, trong đó mạch kết cuối thứ hai bao gồm thiết bị theo điểm 2.
9. Hệ thống theo điểm 8, trong đó bộ điện trở thứ sáu và bộ suy giảm đầu vào/đầu ra thứ hai được bố trí trong thiết bị mạch tích hợp thứ hai, và trong đó bộ điện trở thứ năm và đầu thứ hai của đường truyền thứ nhất được đặt bên ngoài thiết bị mạch tích hợp thứ hai.
10. Hệ thống theo điểm 8, trong đó mạch điều khiển đường truyền bao gồm bộ điều khiển đường truyền vi sai.
11. Phương pháp kết cuối đường truyền, phương pháp này bao gồm các bước:
ghép nối (1702) đầu cuối thứ nhất của bộ điện trở thứ nhất với một đầu của đường truyền thứ nhất; và
ghép nối (1704) đầu cuối thứ hai của bộ điện trở thứ nhất với bộ suy giảm đầu vào/đầu ra thứ nhất, trong đó đầu cuối thứ nhất của bộ điện trở thứ hai được ghép nối với bộ suy giảm đầu vào/đầu ra thứ nhất, và trong đó bộ điện trở thứ nhất và bộ điện trở thứ hai tạo ra điện trở kết hợp phù hợp với giá trị danh định của trở kháng đặc tính của đường dây truyền tải thứ nhất, trong đó đầu vào của mạch thu được ghép nối với bộ suy giảm đầu vào/đầu ra thứ nhất, và trong đó đầu cuối thứ hai của bộ điện trở thứ hai được ghép nối với mạch nối đất hoặc mức điện áp chế độ thông thường.
12. Phương pháp kết cuối đường truyền, phương pháp này bao gồm các bước:
ghép nối (1702) đầu cuối thứ nhất của bộ điện trở thứ năm với đầu thứ hai của đường truyền thứ nhất; và
ghép nối (1704) đầu cuối thứ hai của bộ điện trở thứ năm với bộ suy giảm đầu vào/đầu ra thứ ba, trong đó đầu cuối thứ nhất của bộ điện trở thứ sáu được ghép nối với bộ suy giảm đầu vào/đầu ra thứ ba, và trong đó điện trở thứ năm và bộ điện trở thứ sáu tạo ra điện trở kết hợp phù hợp với giá trị danh định của trở kháng đặc tính của đường dây truyền tải thứ nhất, trong đó đầu ra của mạch điều khiển đường truyền được ghép nối với đầu cuối thứ hai của bộ điện trở thứ sáu.
13. Phương pháp kết cuối đường truyền, phương pháp này bao gồm các bước:
cung cấp liên kết truyền thông dữ liệu bao gồm đường truyền thứ nhất theo điểm 11 hoặc 12;

ghép nối thiết bị mạch tích hợp thứ nhất với đầu thứ nhất của liên kết truyền thông dữ liệu thông qua mạch kết cuối thứ nhất; và

ghép nối thiết bị mạch tích hợp thứ hai với đầu thứ hai của liên kết truyền thông dữ liệu thông qua mạch kết cuối thứ hai,
trong đó việc ghép nối thiết bị mạch tích hợp thứ nhất bao gồm phương pháp theo điểm 11.

14. Phương pháp theo điểm 13, trong đó bộ điện trở thứ hai và bộ suy giảm đầu vào/đầu ra thứ nhất được bố trí trên thiết bị mạch tích hợp thứ nhất, và trong đó bộ điện trở thứ nhất và một đầu của đường truyền thứ nhất được đặt bên ngoài thiết bị mạch tích hợp.

15. Phương pháp theo điểm 13, trong đó bộ điện trở thứ nhất và bộ điện trở thứ hai tạo thành bộ phân áp với bộ suy giảm đầu vào/đầu ra thứ nhất được ghép nối với đầu ra của bộ phân áp, và trong đó các tín hiệu nhận được ở bộ suy giảm đầu vào/đầu ra thứ nhất là biểu diễn suy giảm của các tín hiệu nhận được ở một đầu của đường truyền thứ nhất, trong đó các phản xạ từ bộ suy giảm đầu vào/đầu ra thứ nhất được dẫn đến một đầu của đường truyền thứ nhất bị suy giảm bởi bộ điện trở thứ nhất.

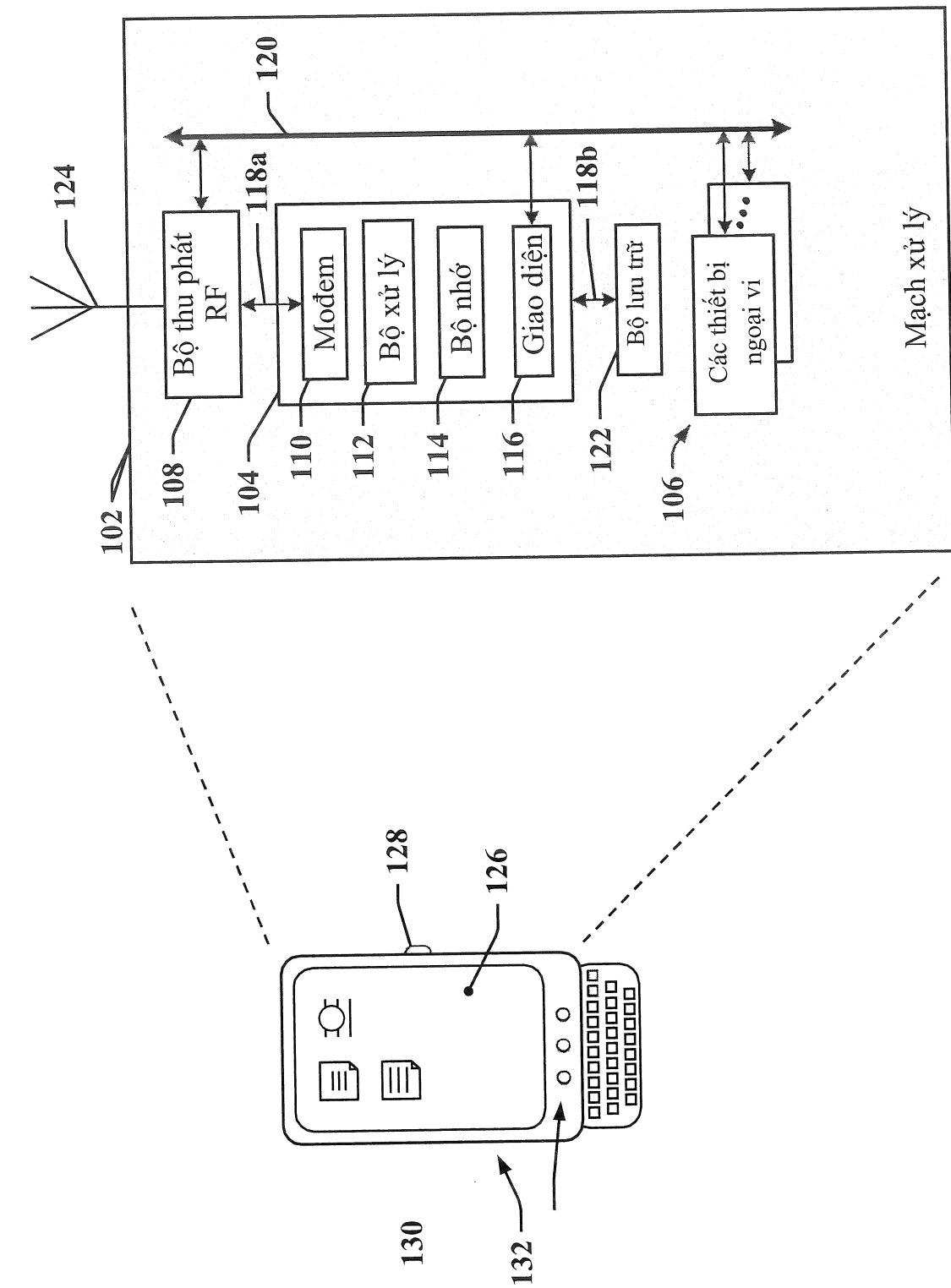
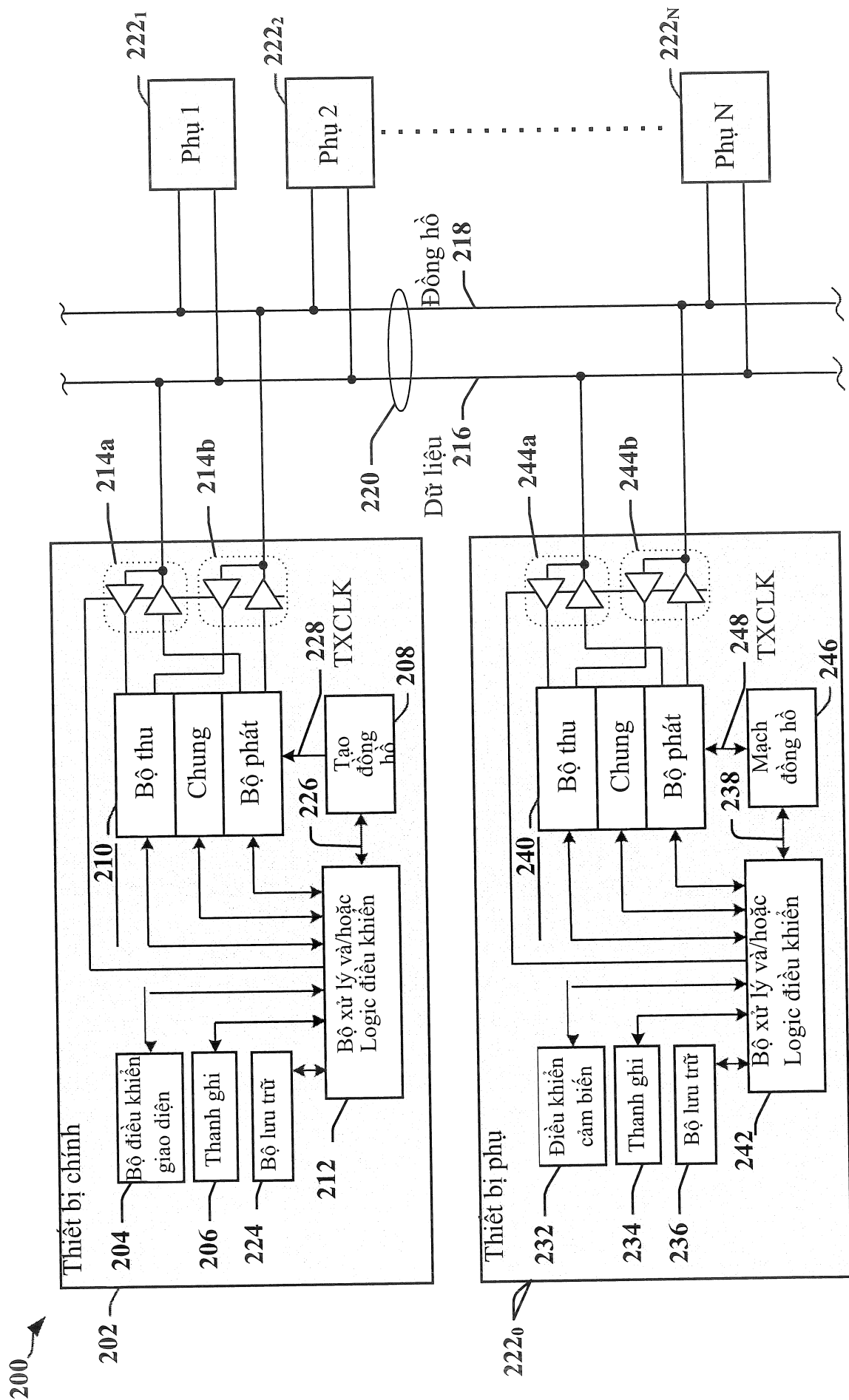


FIG. 1



300 →

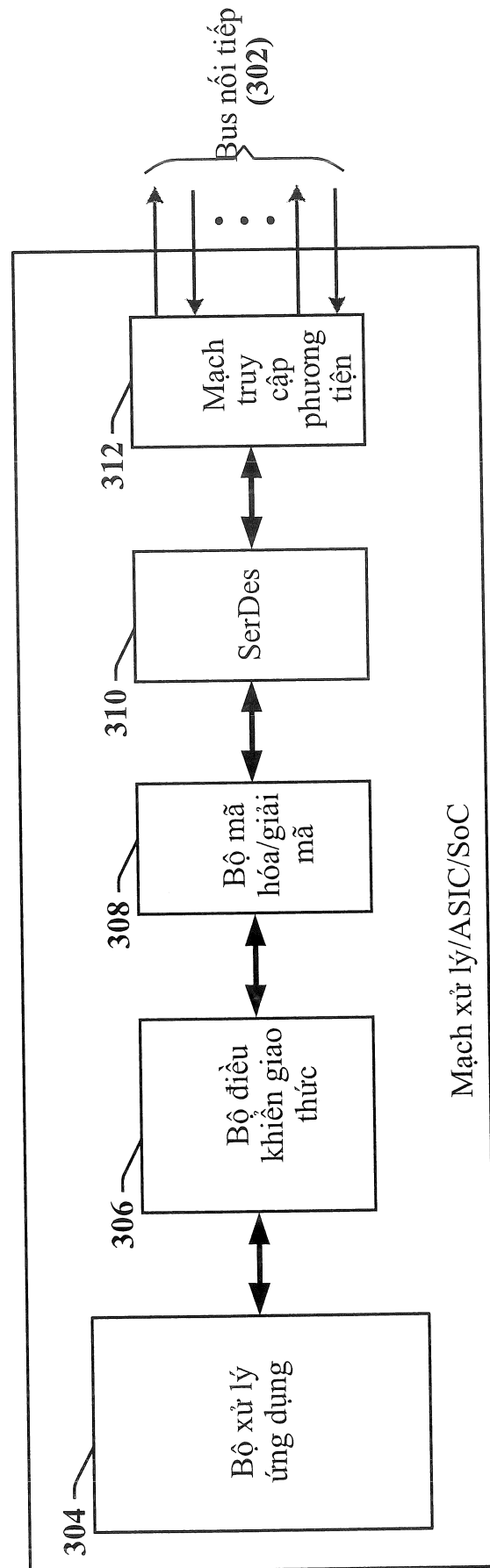


FIG. 3

400 →

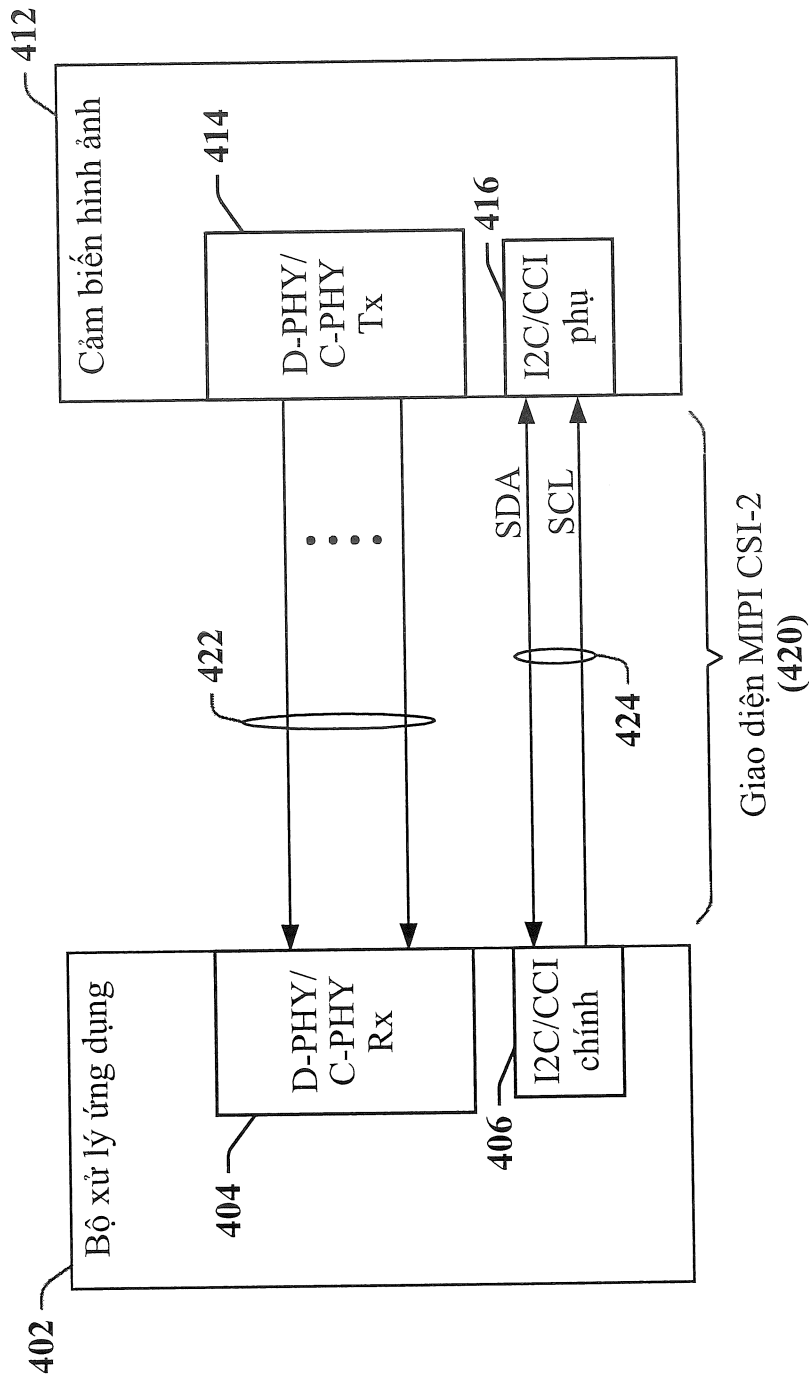


FIG. 4

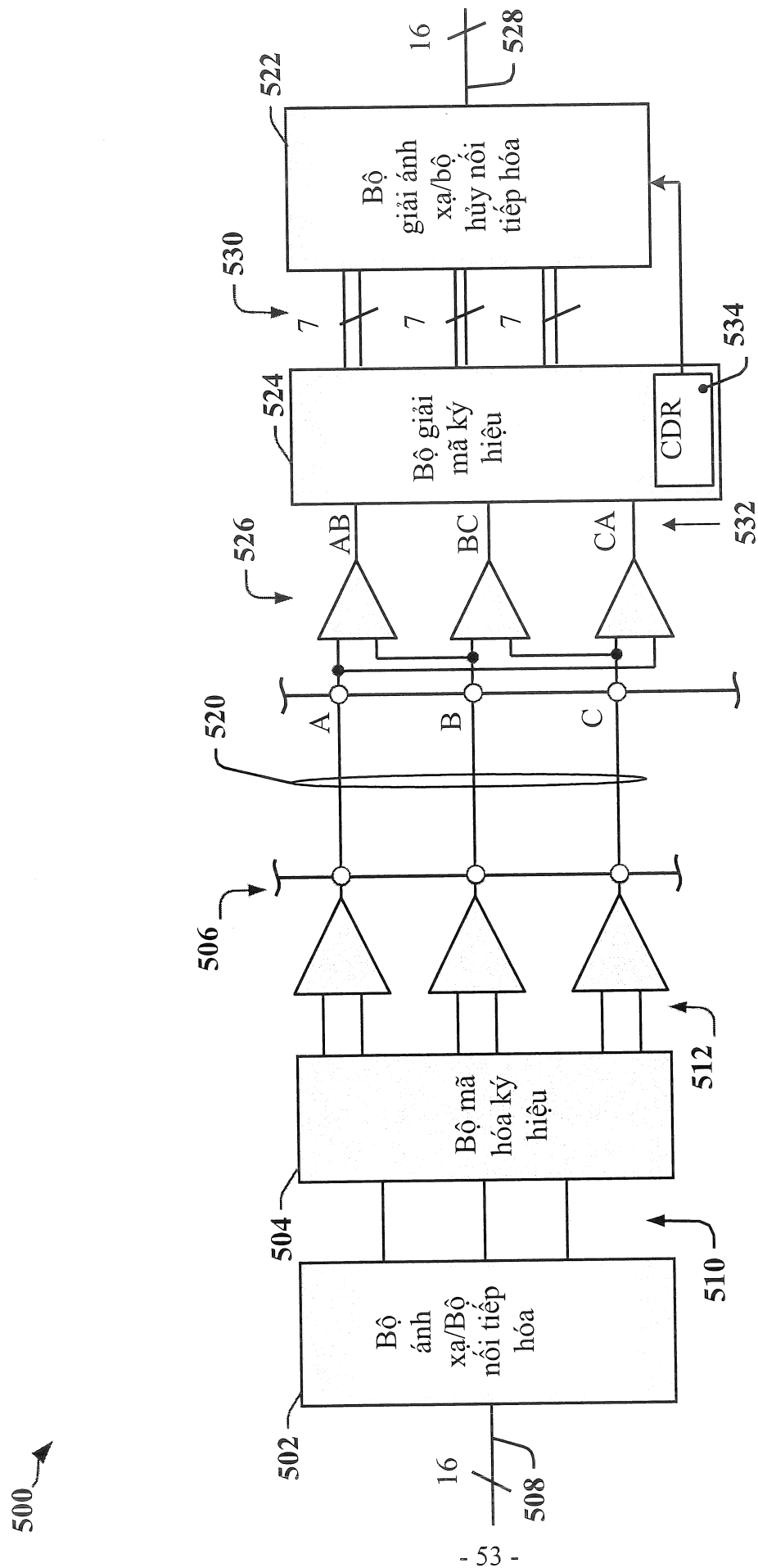
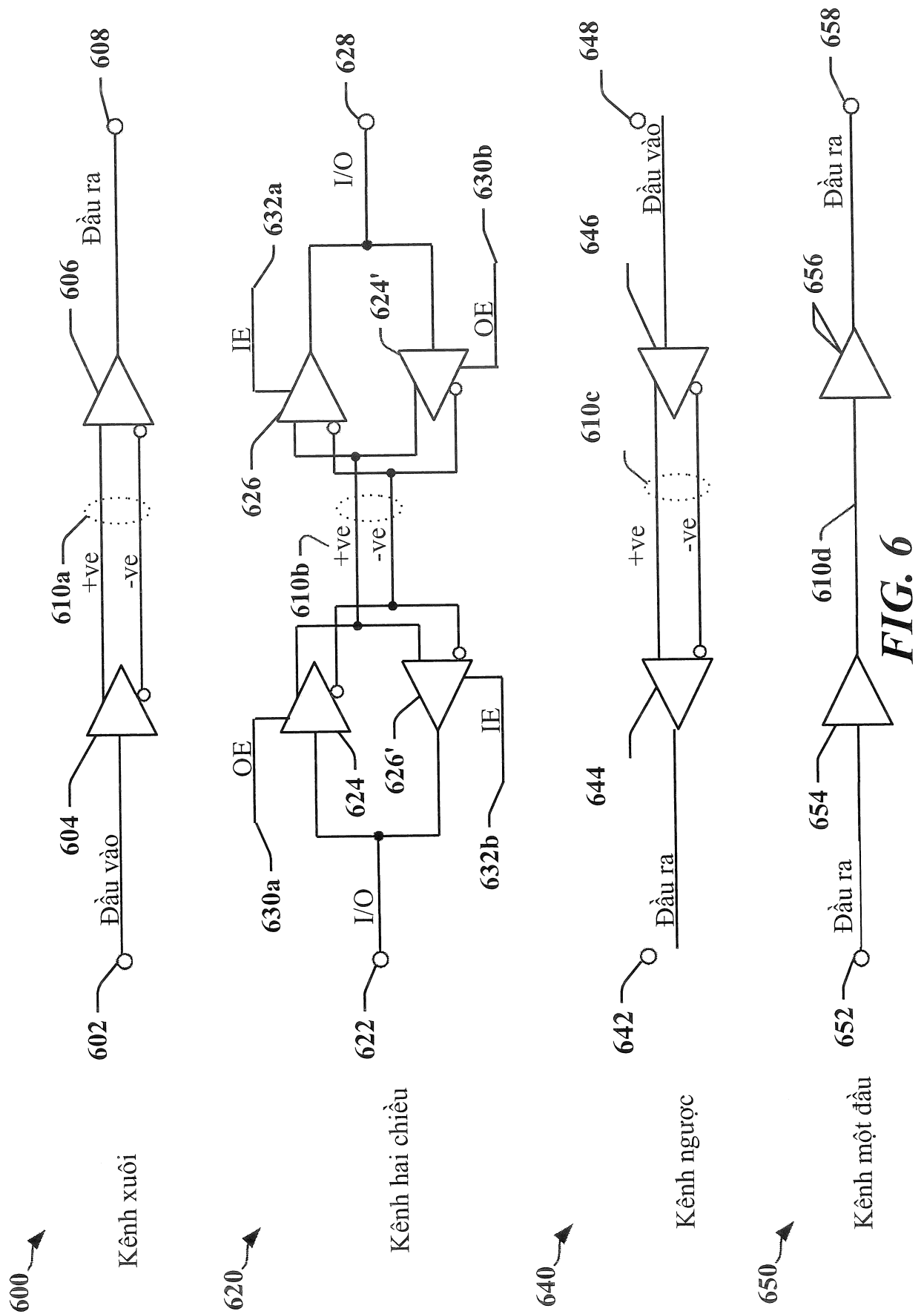


FIG. 5



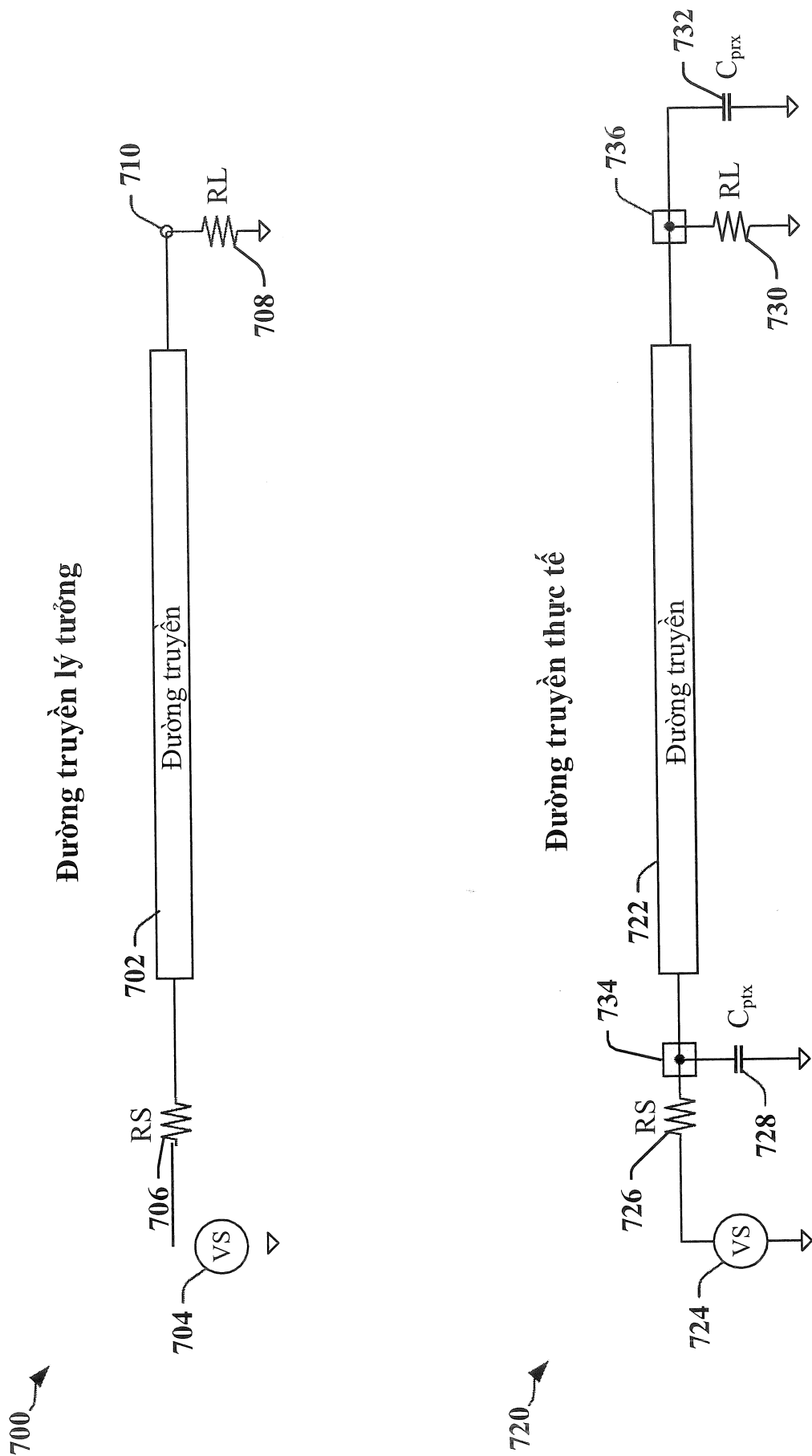


FIG. 7

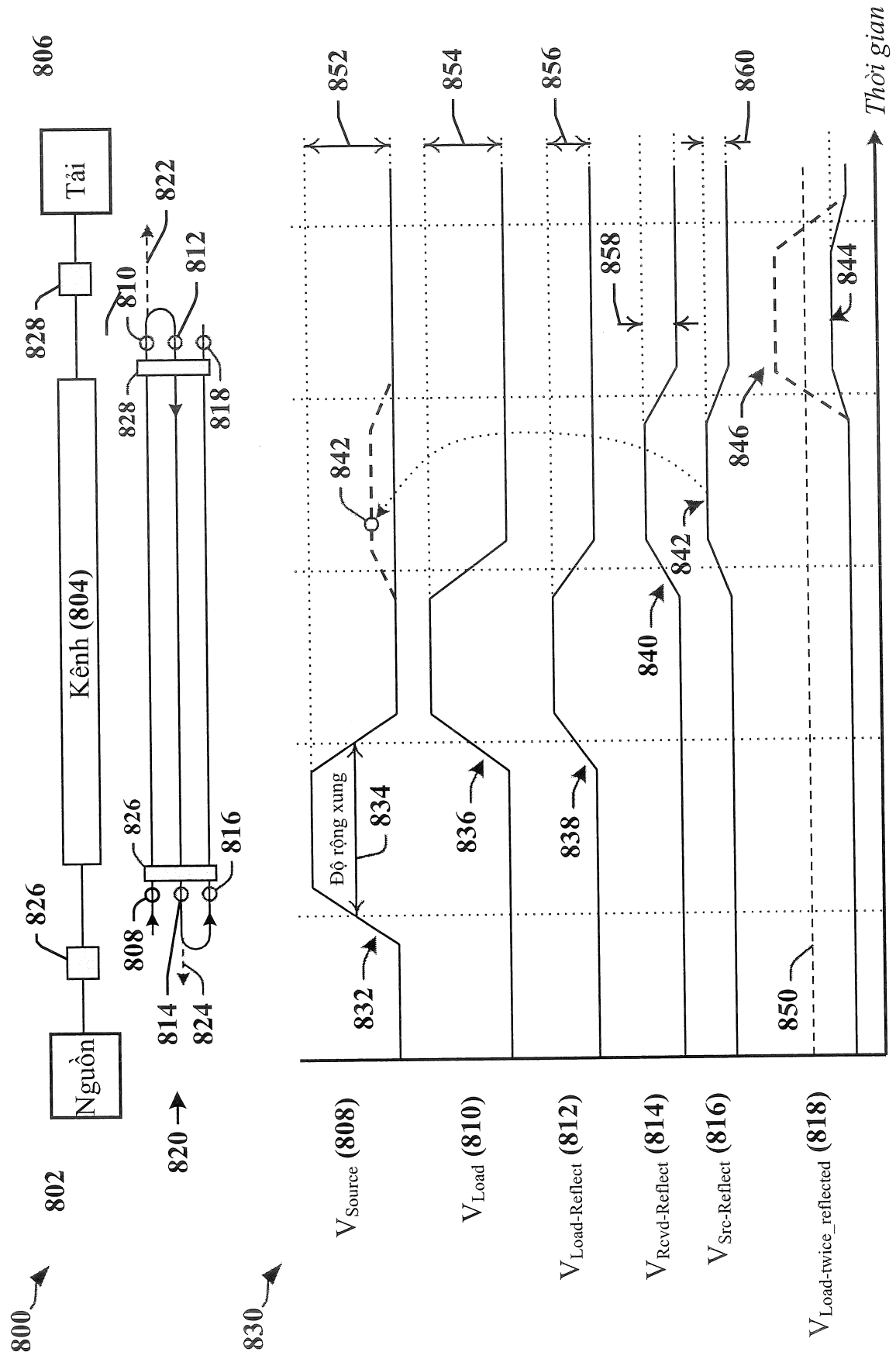


FIG. 8

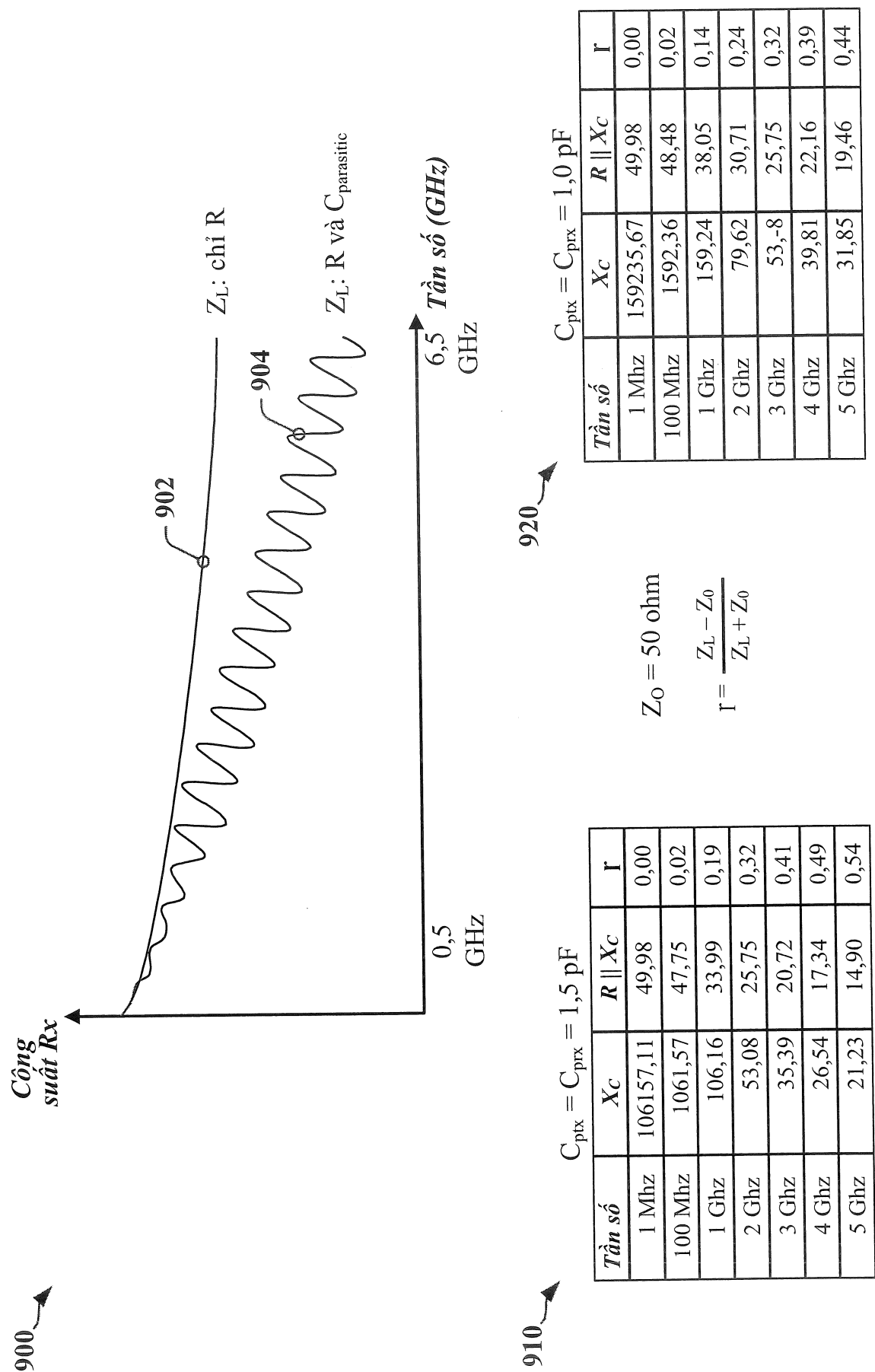


FIG. 9

1000 →

Kết cuối cảm ứng

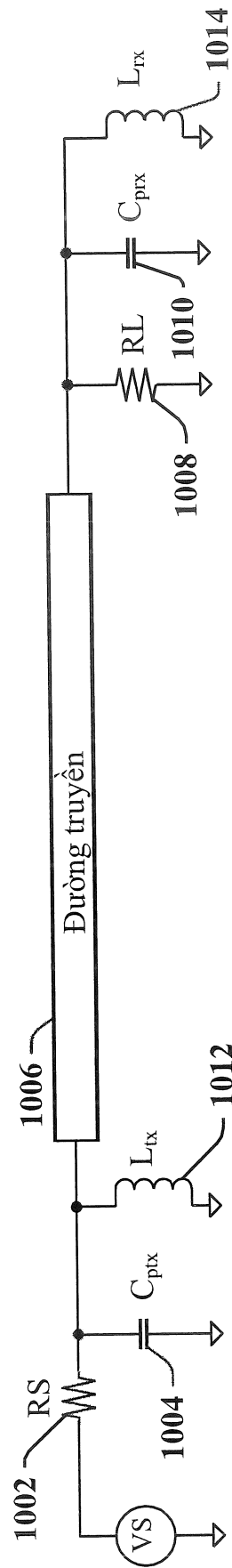
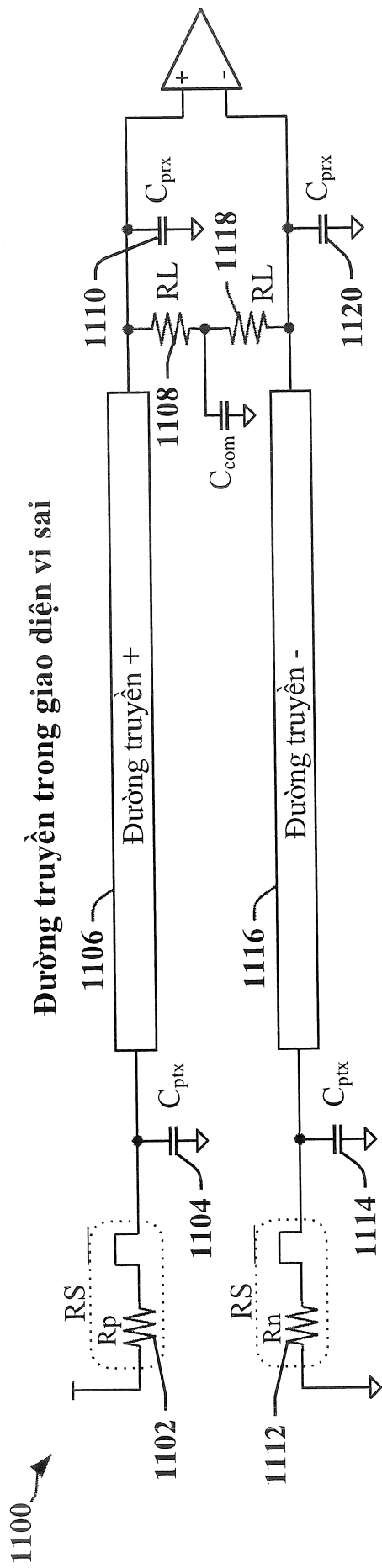


FIG. 10



Đường truyền trong giao diện C-PHY

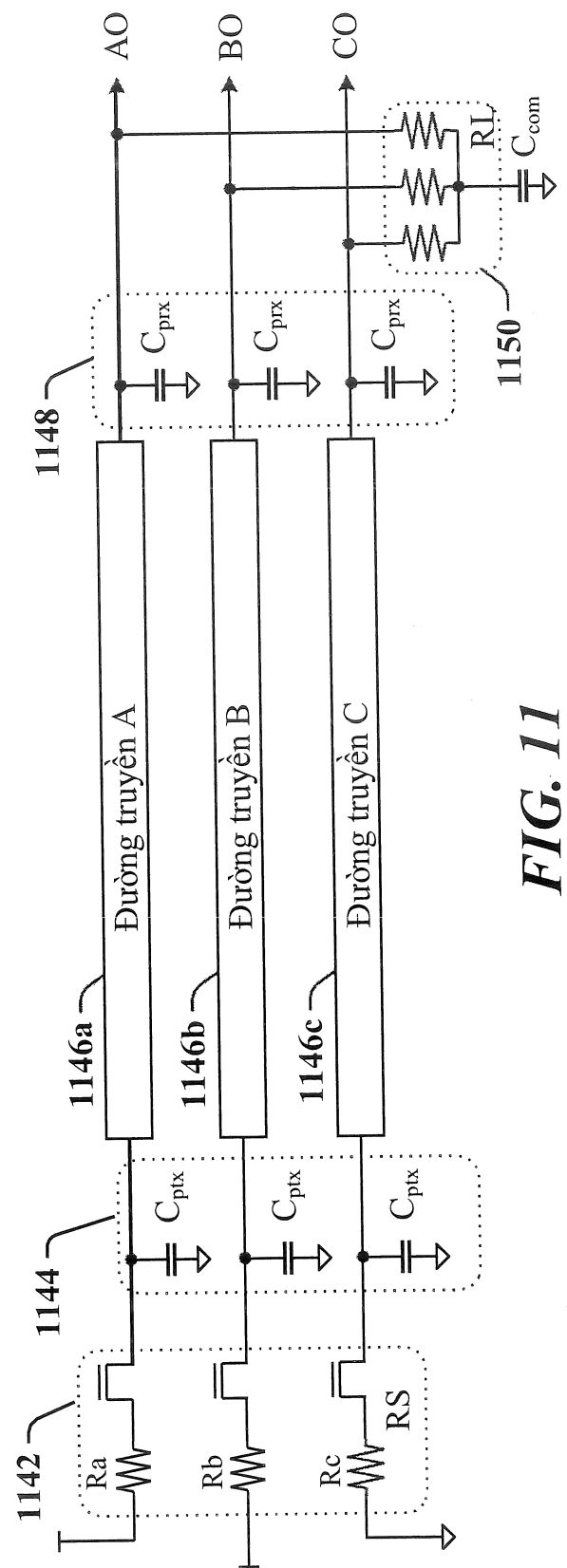
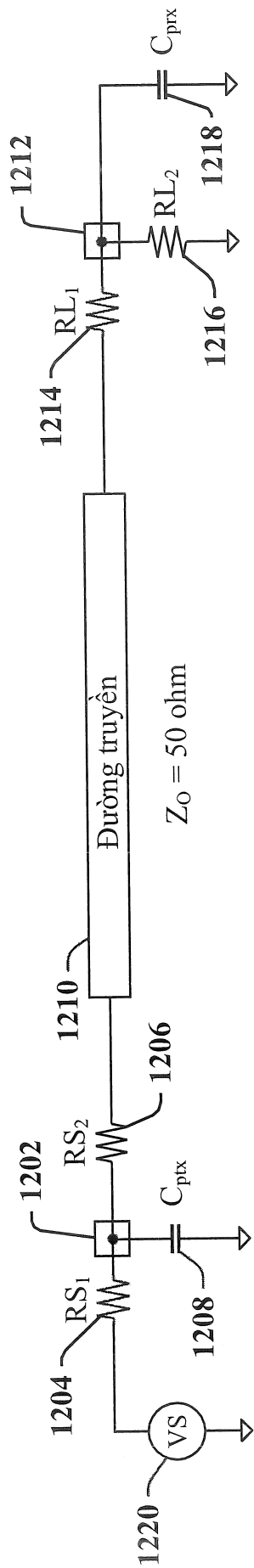


FIG. 11

1200



$$R = RS_1 = RS_2 = RL_1 = RL_2 = 25\text{ ohm}$$

FIG. 12

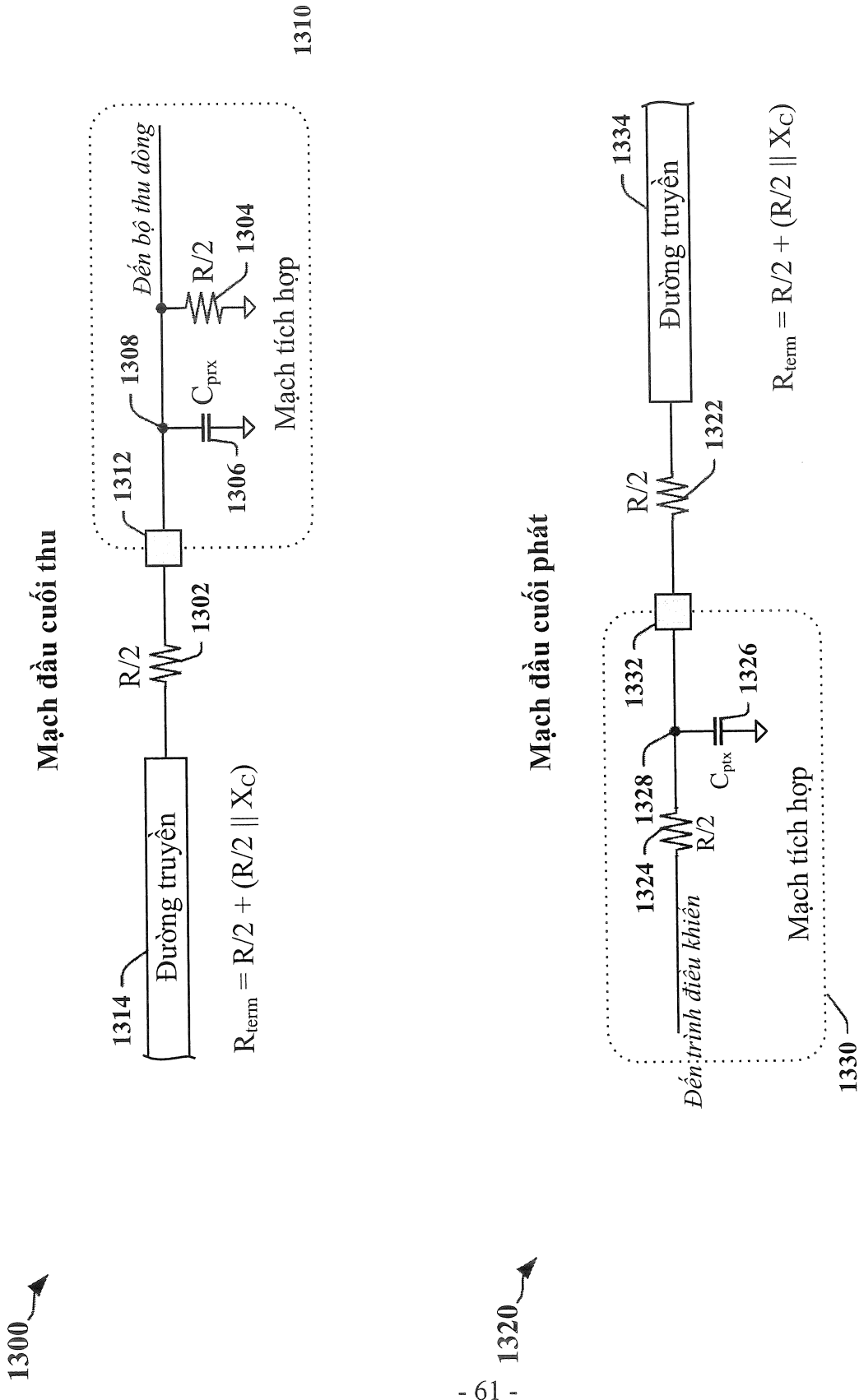


FIG. 13

1400 ↘

$$C = C_{\text{ptx}} = C_{\text{prx}} = 1,5 \text{ pF}$$

Tần số	X_C	$R \parallel X_C$	R_{term}	r
1 Mhz	106157,11	24,99	49,99	0,00
100 Mhz	1061,57	24,42	49,42	0,01
1 Ghz	106,16	20,23	45,23	0,05
2 Ghz	53,08	17,00	42,00	0,09
3 Ghz	35,39	14,65	39,65	0,12
4 Ghz	26,54	12,87	37,87	0,14
5 Ghz	21,23	11,48	36,48	0,16

1402 ↗ 1404 ↗

1420 ↘

$$C = C_{\text{ptx}} = C_{\text{prx}} = 1,0 \text{ pF}$$

Tần số	X_C	$R \parallel X_C$	R_{term}	r
1 Mhz	159235,67	25,00	50,00	0,00
100 Mhz	1592,36	24,61	49,61	0,00
1 Ghz	159,24	21,61	46,61	0,04
2 Ghz	79,62	19,03	44,03	0,06
3 Ghz	53,-8	17,00	42,00	0,09
4 Ghz	39,81	15,36	40,36	0,11
5 Ghz	31,85	14,01	39,01	0,12

1422 ↗ 1424 ↗

FIG. 14

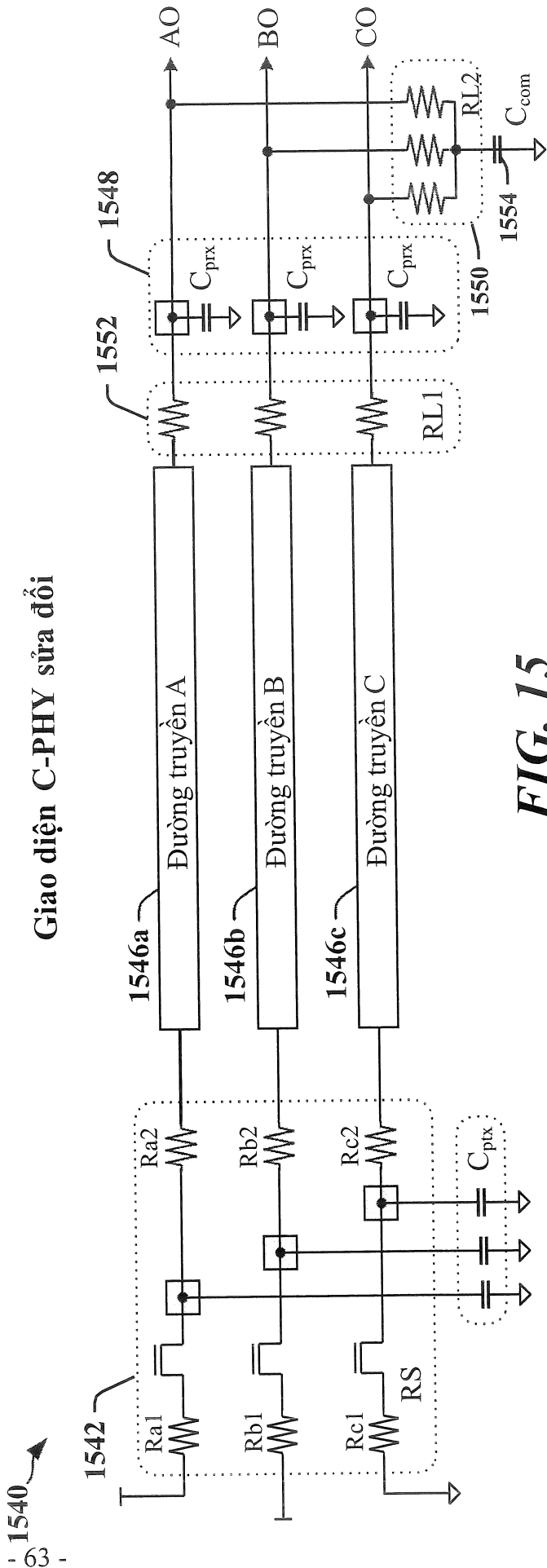
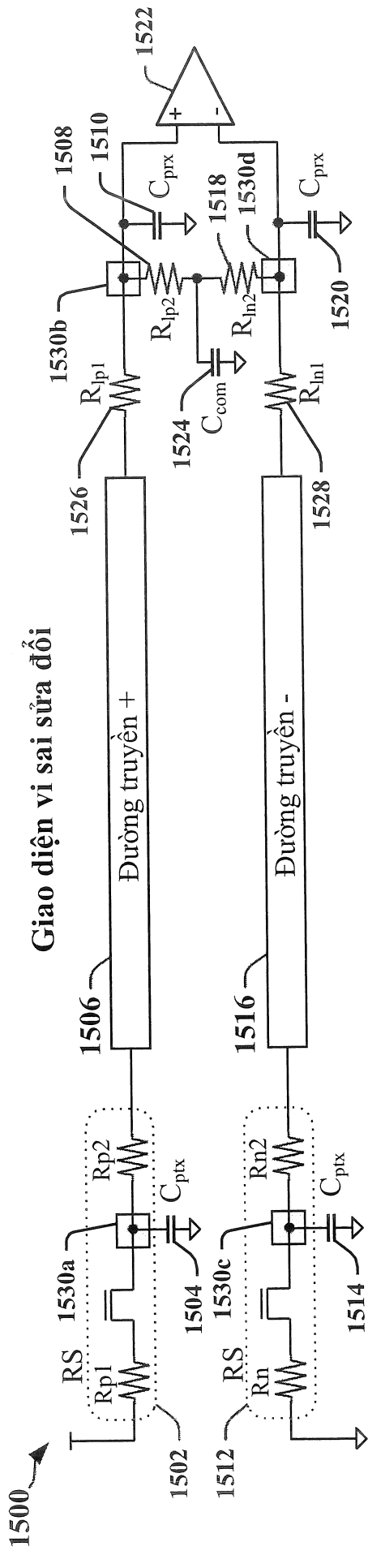


FIG. 15

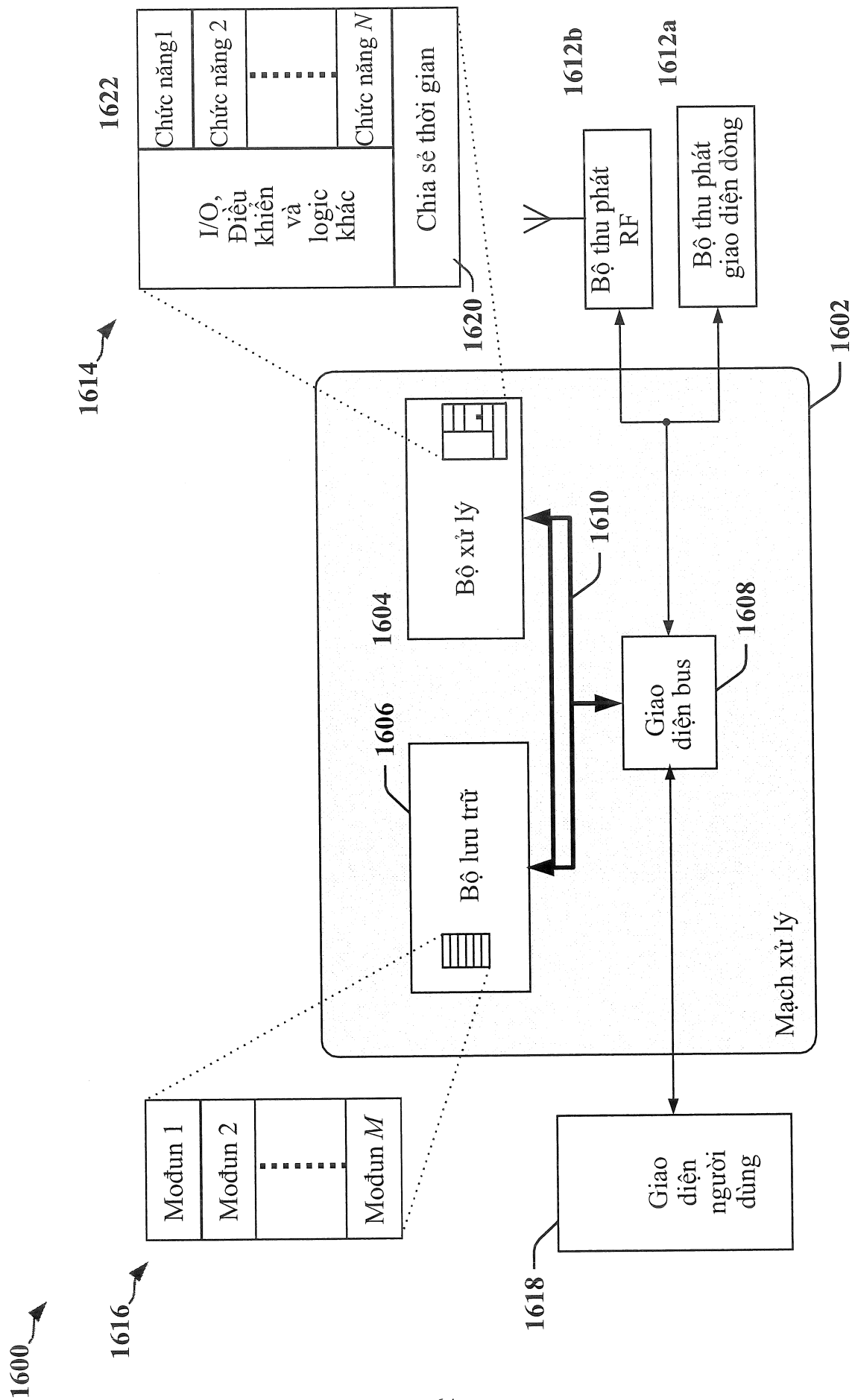
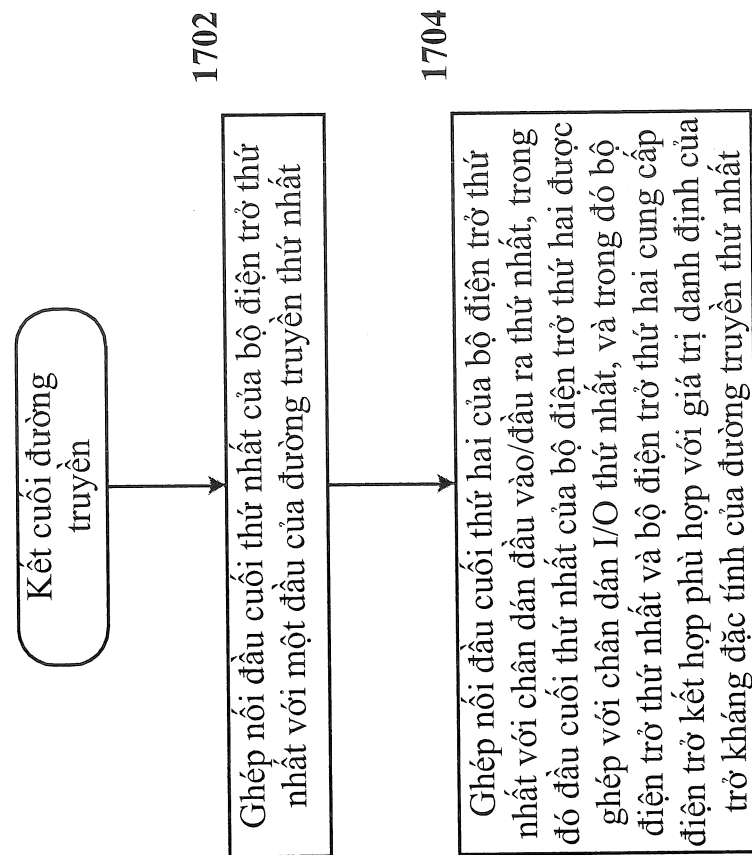


FIG. 16

1700

**FIG. 17**

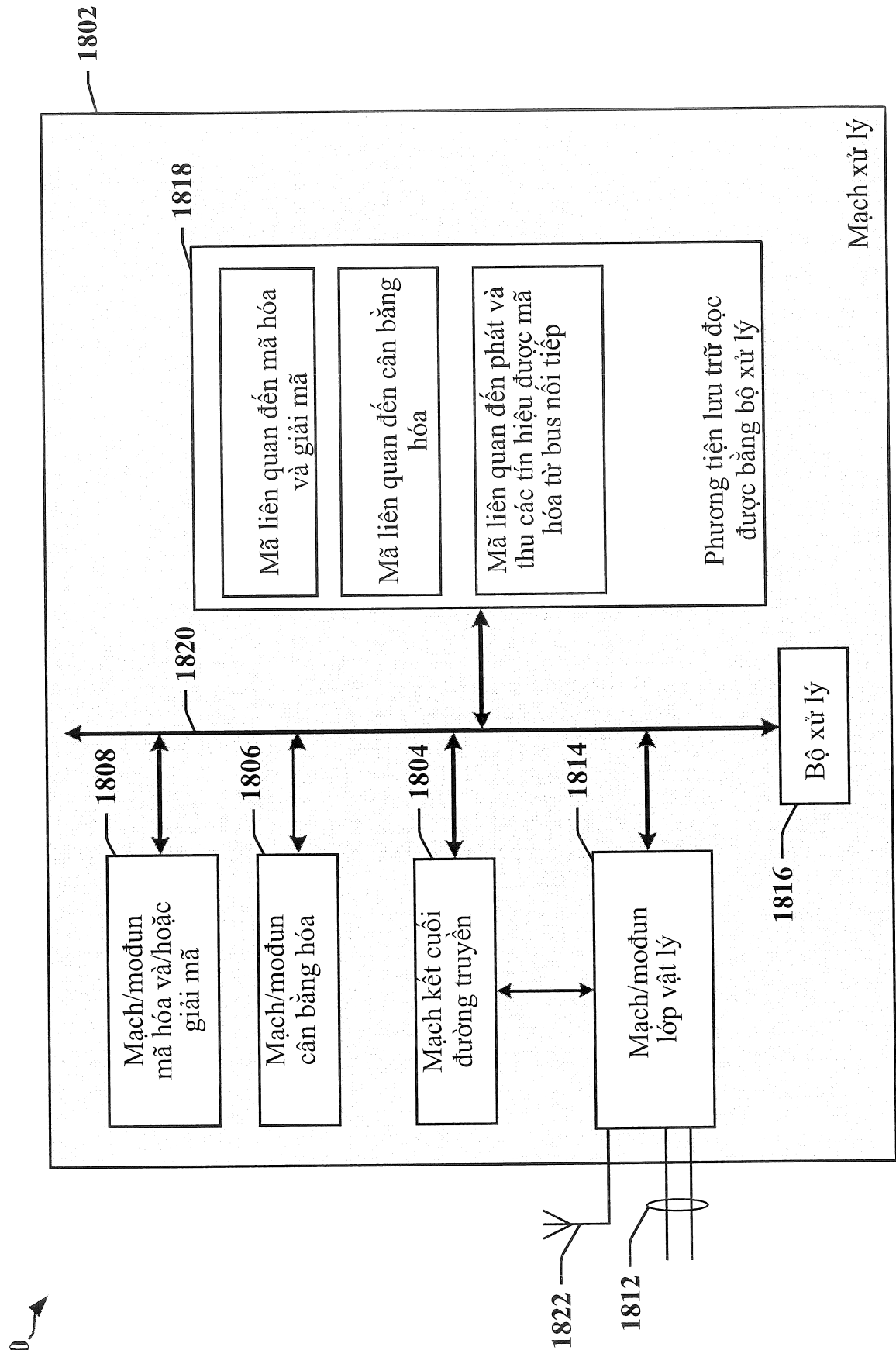


FIG. 18