



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN) (11)
CỤC SỞ HỮU TRÍ TUỆ



1-0053710

(51)⁷ H04L 1/00; H03M 13/13; H03M 13/13 (13) B

(21) 1-2019-03458

(22) 28/06/2019

(45) 25/11/2025 452

(43) 25/09/2019 378A

(73) Tập đoàn Công nghiệp - Viễn thông Quân đội (VN)

Số 1 đường Trần Hữu Dực, phường Mỹ Đình 2, quận Nam Từ Liêm, thành phố Hà Nội

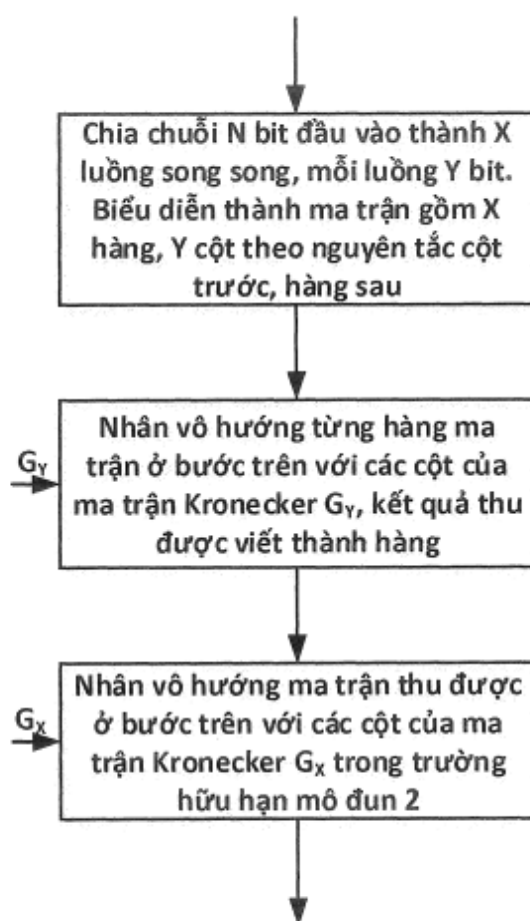
(72) Lê Thanh Bằng (VN); Từ Tuấn Linh (VN).

(74) Công ty TNHH Tư vấn Quốc Dân (NACILAW)

(54) PHƯƠNG PHÁP TÍNH TOÁN SONG SONG CHO HỆ THỐNG MÃ HÓA PHÂN CỰC

(21) 1-2019-03458

(57) Sáng chế đề cập đến phương pháp tính toán song song cho mã hóa phân cực (Parallel Computation for Polarization Encoding - PCPE) cho kỹ thuật mã hóa kênh truyền trong hệ thống thông tin di động thế hệ năm bao gồm chia chuỗi N bit đầu vào thành X luồng song song, mỗi luồng Y bit; nhân Y bit tại mỗi luồng với các cột của ma trận Kronecker G_Y , kết quả thu được biểu diễn thành hàng theo nguyên tắc loại bỏ bit; và nhân vô hướng ma trận thu được với các cột của ma trận Kronecker G_X theo nguyên tắc lặp mẫu kết hợp nhân vô hướng. Ngoài ra, sáng chế còn đề cập đến hệ thống mã hóa phân cực theo kỹ thuật tính toán song song hóa (Parallel Computation for Polarization Encoding - PCPE) cho kỹ thuật mã hóa kênh truyền trong hệ thống thông tin di động thế hệ năm.



Hình 7

Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập đến phương pháp triển khai kỹ thuật mã hóa sửa lỗi kênh truyền cho các hệ thống thông tin di động thế hệ năm. Cụ thể là hệ thống mã hóa phân cực và phương pháp tính toán song song cho hệ thống mã hóa phân cực.

Tình trạng kỹ thuật của sáng chế

Trong hệ thống thông tin vô tuyến, các kỹ thuật mã hóa sửa lỗi kênh truyền có vai trò quan trọng trong quá trình truyền dẫn thông tin số để tăng khả năng tái tạo dữ liệu bị ảnh hưởng bởi nhiễu tại phía thu. Các kỹ thuật mã hóa kênh truyền nói chung được xây dựng và cải tiến nhằm mục đích giải quyết bài toán về tối ưu thuật toán để tăng khả năng sửa lỗi của mã kênh hoặc bài toán xây dựng kỹ thuật mã hóa có khả năng sửa lỗi với độ phức tạp thuật toán và thời gian tính toán nằm trong phạm vi có thể chấp nhận được.

Trong các kỹ thuật mã hóa kênh truyền cho hệ thống thông tin di động thế hệ năm, kỹ thuật mã hóa phân cực được sử dụng cho kênh dữ liệu quảng bá (Physical Broadcast Channel - PBCH) và các kênh điều khiển đường lên/đường xuống. Việc xây dựng kiến trúc kỹ thuật mã hóa phân cực phụ thuộc vào các yếu tố như mức độ tin cậy của kênh truyền tương ứng với từng bit trong chuỗi bit đầu vào, chiều dài chuỗi bit đầu vào, tốc độ mã hóa và tỷ số tín hiệu trên nhiễu của kênh truyền vô tuyến.

Về nguyên lý, kỹ thuật mã hóa phân cực bao gồm ba bước. Bước thứ nhất là đan xen chuỗi bit đầu vào để chống lỗi cụm xảy ra trong quá trình truyền dẫn. Bước thứ hai là ấn định vị trí các bit mang thông tin. Các bit đầu ra của bước đan xen được xem là các bit mang thông tin và được gán vào chuỗi N bit tại những vị trí xác định. Vị trí được xác định cho các bit mang thông tin chính là các vị trí ít bị ảnh hưởng bởi nhiễu và tạp âm khi chuỗi bit mang thông tin được truyền qua môi trường kênh truyền. Cuối cùng, chuỗi N bit đầu ra thu được sau bước ấn định vị trí bit được nhân với ma trận Kronecker để tạo ra chuỗi bit đầu ra sau mã hóa phân cực.

Trong thực tế, việc tính toán phép nhân chuỗi N bit với ma trận Kronecker vuông cấp N được thực hiện theo phương pháp tuần tự và nối tiếp. Điều này có nghĩa là, mỗi bit đầu ra được xác định bằng phép nhân tuần tự trong trường môđun 2 của chuỗi N bit đầu vào với N phần tử của mỗi véc tơ cột của ma trận Kronecker. Tuy nhiên, việc tính

toán phép nhân chuỗi bit với ma trận theo phương pháp tuần tự là nguyên nhân chính làm cho thời gian thực hiện thuật toán tăng lên. Điều này gây ra trễ xử lý lớn, ảnh hưởng đến chất lượng dịch vụ của người dùng. Hơn nữa, trong trường hợp các mô hình dữ liệu khác nhau, số lượng chuỗi bit đầu vào tăng lên dẫn tới kích thước ma trận Kronecker tăng lên làm cho độ phức tạp tính toán tăng lên theo chiều tăng của số lượng bit đầu vào.

Tham chiếu hình 3, mô tả cách thức thực hiện của khối mã hóa phân cực theo phương pháp đã biết trong lĩnh vực kỹ thuật này. Trong phương pháp này, phép nhân chuỗi N bit đầu vào với ma trận G_N được thực hiện nối tiếp và tuần tự. Theo phương pháp này, các phần tử trên các cột của ma trận G_N được lưu vào các bộ nhớ chỉ đọc (Read-Only Memory - ROM). Chuỗi N bit đầu vào được nhân vô hướng trong trường mô đun 2 một cách tuần tự với các cột của ma trận Kronecker G_N với các giá trị được đọc ra tương ứng từ các bộ nhớ ROM.

Nhược điểm của phương pháp nối tiếp và tuần tự là tốc độ xử lý thấp và thời gian tính toán chậm. Theo đó, đối với phép nhân vô hướng chuỗi N bit đầu vào với ma trận Kronecker G_N , cần tối thiểu N xung nhịp để có được chuỗi N bit đầu ra sau mã hóa phân cực. Đối với hệ thống thông tin di động thế hệ 5, các mô hình dữ liệu sử dụng mã hóa kênh truyền phân cực thường làm việc với chuỗi bit có kích thước lớn (tối thiểu là 512 và tối đa là 1024). Như vậy, đối với phương pháp tính toán tuần tự, giá trị N càng lớn dẫn tới thời gian tính toán phép nhân càng tăng lên và tốc độ xử lý mã hóa phân cực càng giảm đi.

Bản chất kỹ thuật của sáng chế

Mục đích của sáng chế là đề xuất phương pháp tính toán song song cho hệ thống mã hóa phân cực để nâng cao tốc độ cho kỹ thuật mã hóa kênh truyền trong các hệ thống di động thế hệ năm, cụ thể, đây là phương pháp hiệu quả cho khối mã hóa phân cực bằng việc cải thiện tốc độ xử lý mã hóa cũng như giảm thiểu thời gian tính toán, đặc biệt đối với các mô hình dữ liệu đầu vào với số lượng bit lớn. Phương pháp này cũng cho phép tái sử dụng tài nguyên phần cứng được lưu trữ sẵn trong quá trình thực hiện mã hóa, đảm bảo tính đơn giản và linh hoạt trong quá trình thiết kế.

Để đạt được mục đích trên, sáng chế đề xuất phương pháp tính toán song song cho mã hóa phân cực (Parallel Computation for Polarization Encoding - PCPE) để nâng cao tốc độ xử lý và giảm thiểu thời gian thực hiện mã hóa kênh truyền trong hệ thống thông tin di động thế hệ năm.

Mô tả vắn tắt các hình vẽ

Hình 1 là hình vẽ mô tả các khối chức năng của kỹ thuật mã hóa phân cực.

Hình 2 là hình vẽ mô tả các ví dụ của ma trận Kronecker có kích thước lần lượt là 2, 4 và 8.

Hình 3 là hình vẽ mô tả cách thức thực hiện bước mã hóa theo phương pháp đã biết.

Hình 4 là hình vẽ mô tả nguyên tắc sắp xếp chuỗi 4 bit đầu vào thành dạng ma trận theo nguyên tắc cột trước, hàng sau.

Hình 5 là hình vẽ mô tả phép nhân vô hướng hai chuỗi 2 bit với ma trận Kronecker G_2 theo nguyên tắc loại bỏ bit.

Hình 6 là hình vẽ mô tả phép nhân vô hướng chuỗi mẫu dữ liệu với ma trận Kronecker G_2 theo nguyên tắc lặp mẫu kết hợp nhân vô hướng.

Hình 7 là hình vẽ mô tả cách thức thực hiện mã hóa phân cực theo phương pháp đề xuất của sáng chế.

Hình 8 là hình vẽ mô tả sơ đồ khối triển khai các bước mã hóa theo phương pháp đề xuất của sáng chế.

Hình 9 là hình vẽ mô tả thiết kế của khối chuyển đổi nối tiếp song song.

Hình 10 là hình vẽ mô tả thiết kế của khối tạo xung điều khiển X luồng.

Hình 11 là hình vẽ mô tả thiết kế phân cứng của khối mở rộng xung.

Hình 12 là hình vẽ mô tả sơ đồ kết nối các khối con trong khối nhân vô hướng theo hàng.

Hình 13 là hình vẽ mô tả thiết kế của khối lưu các cột ma trận Kronecker G_Y .

Hình 14 là hình vẽ mô tả thiết kế của khối tạo xung điều khiển.

Hình 15 là hình vẽ mô tả khối đảo chuỗi bit.

Hình 16 là hình vẽ mô tả thiết kế của khối nhân vô hướng theo hàng.

Hình 17 là hình vẽ mô tả thiết kế của khối cộng tích lũy.

Hình 18 là hình vẽ mô tả sơ đồ kết nối các khối con trong khối nhân vô hướng theo cột.

Hình 19 là hình vẽ mô tả thiết kế khối lặp mẫu.

Hình 20 là hình vẽ mô tả thiết kế của khối lưu các hàng ma trận Kronecker G_X .

Hình 21 là hình vẽ mô tả thiết kế khối nhân vô hướng trong trường hữu hạn.

Hình 22 là hình vẽ mô tả sơ đồ thử nghiệm mã hóa phân cực theo phương pháp đề xuất của sáng chế.

Mô tả chi tiết sáng chế

Hệ thống mã hóa phân cực trong sáng chế bao gồm ba khối chính: khối đan xen 101, khối ấn định vị trí bit 102 và khối mã hóa phân cực 103 theo tham chiếu tại hình 1. Trong đó, kỹ thuật tính toán song song hóa (Parallel Computation for Polarization Encoding - PCPE) được tích hợp vào khối mã hóa phân cực. Cụ thể:

Khối đan xen 101: Mục đích của khối đan xen 101 là chống lỗi cụm xảy ra trong chuỗi bit được đưa vào đầu vào mã hóa. Theo đó, vị trí các bit trong chuỗi bit đầu vào được thay đổi dựa trên giá trị chỉ số đan xen tương ứng với vị trí của bit đang xét trong chuỗi bit đầu vào. Giả thiết chuỗi bit đầu vào có độ dài là K , khi đó, tập chỉ số đan xen sẽ nhận các giá trị nguyên dương nằm trong đoạn từ 0 đến $K - 1$ và được xáo trộn theo thuật toán đan xen. Chuỗi K bit đầu ra sau khi đan xen được đưa tới khối ấn định vị trí bit 102.

Khối ấn định vị trí bit 102: Mục đích của khối ấn định vị trí bit 102 là xác định vị trí các bit mang thông tin trong chuỗi N bit trước khi đưa vào khối mã hóa phân cực. Vị trí được ấn định cho các bit mang thông tin chính là các vị trí ít bị ảnh hưởng bởi nhiễu và tạp âm khi chuỗi bit mang thông tin được truyền qua môi trường kênh truyền. Theo đó, K bit đầu ra sau khối đan xen được đặt tại các vị trí xác định trong chuỗi N bit. $N - K$ bit còn lại được xác định là các bit không mang thông tin và được thiết lập với cùng một giá trị hằng số không đổi trước khi thực hiện mã hóa phân cực.

Khối mã hóa phân cực 103: Nhiệm vụ của khối mã hóa phân cực 103 là nhân chuỗi bit đầu ra khối ấn định vị trí bit với ma trận Kronecker. Theo đó, với giả thiết đầu ra khối ấn định vị trí bit 102 là một chuỗi bit có độ dài là N , khi đó, một ma trận Kronecker vuông cấp N (sau đây được ký hiệu là G_N) sẽ được tạo ra từ ma trận Kronecker nguyên thủy cấp 2. Kết quả của phép nhân chuỗi N bit với ma trận Kronecker G_N chính là chuỗi N bit đầu ra sau mã hóa phân cực.

Khối mã hóa phân cực 103 gồm ba khối chức năng chính được mô tả trong hình 8 bao gồm:

- Khối chuyển đổi nối tiếp song song 801 (Serial to Parallel).

- Khối nhân vô hướng theo hàng 802 (Row-based Scalar Product).
- Khối nhân vô hướng theo cột 803 (Column-based Scalar Product).

Hình 9 mô tả thiết kế phần cứng của khối chuyển đổi nối tiếp song song 801. Theo đó, một tín hiệu điều khiển tồn tại trong một chu kỳ xung nhịp được đưa tới đầu vào khối tạo xung điều khiển X luồng 901 và khối mở rộng xung 902. Tín hiệu đầu ra của khối tạo xung điều khiển X luồng 901 là tín hiệu có chu kỳ bằng X lần chu kỳ xung nhịp, có độ rộng bằng một chu kỳ xung nhịp được đưa tới chân điều khiển ghi (được ký hiệu là “we”) của các bộ nhớ vào trước ra trước (First Input First Output - FIFO) 903 để điều khiển ghi chuỗi bit tại đầu vào. Tín hiệu đầu ra của khối mở rộng xung 902 là tín hiệu có độ rộng bằng Y lần chu kỳ xung nhịp được đưa tới chân điều khiển đọc (được ký hiệu là “re”) của các bộ nhớ vào trước ra trước (First Input First Output - FIFO) 903 để điều khiển đọc chuỗi bit tại đầu ra bộ nhớ bộ nhớ vào trước ra trước (FIFO) 903. Cuối cùng một bộ lựa chọn thứ nhất 904 được sử dụng để trích xuất chuỗi Y bit tại đầu ra mỗi luồng. Để tạo ra được các luồng dữ liệu Y bit, khối chuyển đổi nối tiếp song song 801 sử dụng bộ trễ tín hiệu 905. Bộ trễ tín hiệu 905 nhận tín hiệu đầu ra của khối tạo xung điều khiển X luồng 901 và trễ đi k xung nhịp để tạo ra luồng dữ liệu Y bit thứ k+1. Mỗi một luồng dữ liệu Y bit sẽ đi qua một khối nhân vô hướng theo hàng 802.

Hình 10 mô tả thiết kế phần cứng của khối tạo xung điều khiển X luồng 901. Theo đó, khối tạo xung điều khiển X luồng nhận tín hiệu điều khiển tồn tại trong một chu kỳ xung nhịp và tạo ra tín hiệu tuần hoàn có chu kỳ bằng X lần chu kỳ xung nhịp và có độ rộng bằng một chu kỳ xung nhịp tại đầu ra. Bộ cộng số học 1001 hai đầu vào thực hiện phép cộng giữa tín hiệu điều khiển đầu vào và tín hiệu hồi tiếp tại đầu ra bộ lựa chọn thứ hai 1003. Giá trị thu được tại đầu ra bộ cộng được so sánh bằng với hằng số X sử dụng bộ so sánh bằng thứ nhất 1002. Tín hiệu đầu ra bộ lựa chọn thứ hai 1003 được so sánh bằng với giá trị 0 sử dụng bộ so sánh bằng thứ hai 1004. Tín hiệu tại đầu ra bộ so sánh bằng thứ hai 1004 được kết hợp với tín hiệu điều khiển đầu vào thông qua phép lô-gic AND sử dụng khối lô-gic AND 1005.

Hình 11 mô tả thiết kế phần cứng của khối mở rộng xung 902. Theo đó, tín hiệu điều khiển tồn tại trong một chu kỳ xung nhịp được đưa tới đầu vào của khối này. Một giá trị hằng số mô tả độ rộng xung mong muốn (Y chu kỳ xung nhịp) tại đầu ra được cấu hình cho khối mở rộng xung. Khối so sánh hai đầu vào 1101 thực hiện so sánh giá trị hằng số mong muốn và đầu ra của bộ lựa chọn thứ ba 1103 để cấp tín hiệu điều khiển

đầu ra cho bộ lựa chọn thứ ba 1103. Bộ cộng hai đầu vào 1102 sẽ thực hiện cộng số học tín hiệu đầu ra bộ lựa chọn với giá trị 1. Cuối cùng, tín hiệu đầu ra bộ lựa chọn được kết hợp với tín hiệu điều khiển đầu vào thông qua phép lô-gic OR sử dụng khối lô-gic OR 1104.

Hình 12 mô tả sơ đồ kết nối các khối con trong khối nhân vô hướng theo hàng 802 tại một luồng Y bất kỳ. Các phân tử trên các cột của ma trận Kronecker G_Y được lưu trữ trong khối lưu các cột ma trận G_Y 1201. Tín hiệu xung mở rộng có độ rộng Y chu kỳ xung nhịp là đầu ra của khối mở rộng xung 902 được đưa tới khối tạo xung điều khiển 1202. Đầu ra của khối tạo xung điều khiển là Y tín hiệu điều khiển có độ rộng của các xung điều khiển từ 1 đến Y chu kỳ xung nhịp được đưa tới đầu vào khối nhân vô hướng 1204. Khối nhân vô hướng 1204 sử dụng các tín hiệu điều khiển này, kết hợp với đầu ra của khối lưu các cột ma trận G_Y 1201 để thực hiện biến đổi chuỗi Y bit đầu vào sau khi đã đi qua khối đảo chuỗi bit 1203 theo nguyên tắc loại bỏ bit (BRR – Bit Removal Rule).

Hình 13 mô tả thiết kế của khối lưu các cột ma trận Kronecker G_Y 1201. Tín hiệu xung mở rộng được đưa tới bộ đếm thứ nhất 1301 tăng dần sau mỗi chu kỳ xung nhịp. Đầu ra của bộ đếm thứ nhất 1301 được đưa tới đầu vào địa chỉ của các bộ nhớ chỉ đọc ROM 1302. Các phân tử trên các cột của ma trận Kronecker G_Y được lưu trữ trong các bộ nhớ chỉ đọc ROM 1302 và được đọc ra theo chu kỳ của xung nhịp.

Hình 14 mô tả thiết kế của khối tạo xung điều khiển 1202. Tín hiệu xung mở rộng được đưa vào bộ đếm thứ hai 1401 tăng dần sau mỗi chu kỳ xung nhịp. Giá trị thu được tại đầu ra bộ đếm được đưa tới đầu vào của Y bộ so sánh hai đầu vào 1402. Các bộ so sánh hai đầu vào 1402 thực hiện phép so sánh nhỏ hơn hoặc bằng giá trị đầu ra bộ đếm với các giá trị hệ số tăng dần từ 1 đến Y. Đầu ra của các bộ so sánh hai đầu vào 1402 chính là các tín hiệu điều khiển được đưa tới khối nhân vô hướng 1204.

Hình 15 mô tả thiết kế của khối đảo chuỗi bit 1203. Chuỗi Y bit đầu vào được đưa tới đầu vào dữ liệu (được ký hiệu là “data”) của bộ nhớ truy xuất ngẫu nhiên (Random Access Memory - RAM) 1504. Bộ đếm thứ ba 1501 thực hiện đếm tăng dần từ 1 đến Y và bộ đếm thứ tư 1502 thực hiện đếm giảm dần từ Y đến 1 được đưa vào hai đầu vào của bộ lựa chọn thứ tư 1503. Tín hiệu đầu ra bộ lựa chọn thứ tư 1503 được đưa tới đầu vào địa chỉ (ký hiệu là “add”) của bộ nhớ truy xuất ngẫu nhiên RAM 1504.

Hình 16 mô tả thiết kế của khối nhân vô hướng 1204. Khối nhân vô hướng 1204 nhận ba nguồn tín hiệu đầu vào là chuỗi Y bit từ đầu ra khối đảo chuỗi bit 1203, tín hiệu điều khiển từ khối tạo tín hiệu điều khiển 1202 và thông tin về các cột của ma trận Kronecker từ khối lưu các cột ma trận G_Y 1201. Trong khối nhân vô hướng 1204, các khối cộng tích lũy 1601 sẽ thực hiện phép nhân vô hướng theo nguyên tắc loại bỏ bit (BRR – Bit Removal Rule). Đầu ra của các khối cộng tích lũy 1601 sẽ được kết hợp lại thông qua phép lô-gic OR sử dụng khối lô-gic OR 1602.

Hình 17 mô tả thiết kế của khối cộng tích lũy 1601 thứ k bất kỳ trong tổng số Y khối cộng tích lũy theo nguyên tắc loại bỏ bit (BRR – Bit Removal Rule). Tín hiệu thu được từ cột thứ k của ma trận Kronecker G_Y được đưa tới chân điều khiển của bộ lựa chọn thứ năm 1701. Đầu ra của bộ lựa chọn thứ năm 1701 được đưa tới đầu vào thứ nhất của bộ cộng 1703. Bộ cộng 1703 thực hiện phép cộng tích lũy với hai đầu vào là hai giá trị thu được từ bộ lựa chọn thứ năm 1701 và bộ lựa chọn thứ sáu 1702. Tín hiệu điều khiển thứ k được đưa tới các chân điều khiển của bộ lựa chọn thứ sáu 1702 và bộ lựa chọn thứ bảy 1704. Đầu ra của bộ lựa chọn thứ bảy 1704 chính là mẫu thứ k thu được.

Hình 18 mô tả sơ đồ kết nối các khối con trong khối Nhân vô hướng theo cột 803. Các chuỗi Y mẫu thu được từ các khối nhân vô hướng 1204 được đưa tới các khối đảo và lập mẫu 1801 cùng với tín hiệu xung mở rộng. Khối lưu các hàng ma trận G_X 1802 thực hiện lưu các phần tử trên các hàng của ma trận Kronecker G_X theo tín hiệu điều khiển từ đầu ra của khối đảo và lập mẫu 1801. Khối nhân vô hướng trong trường hữu hạn 1803 kết hợp với khối các khối đảo và lập mẫu 1801 sẽ thực hiện lập mẫu và nhân vô hướng theo nguyên tắc lập mẫu kết hợp nhân vô hướng trong trường hữu hạn (Sample Repeat and Scalar Multiple) SRSM để thu được chuỗi bit đầu ra sau mã hóa phân cực.

Hình 19 mô tả thiết kế khối đảo và lập mẫu 1801. Tín hiệu điều khiển được đưa vào khối tạo xung điều khiển X luồng 901 để tạo ra tín hiệu tuần hoàn có chu kỳ bằng X lần chu kỳ xung nhịp và có độ rộng xung bằng một chu kỳ xung nhịp. Tín hiệu này sau đó được sử dụng để điều khiển bộ đếm thứ tư 1901 thực hiện đếm tăng dần từ giá trị 1 đến giá trị Y. Tín hiệu điều khiển tại đầu vào được đưa tới chân điều khiển của bộ đếm thứ năm 1902 thực hiện đếm lùi từ giá trị Y đến giá trị 1. Tín hiệu đầu ra của hai bộ đếm được đưa tới bộ lựa chọn thứ tám 1903. Đầu ra của bộ lựa chọn thứ tám 1903

được nối trực tiếp vào đầu vào địa chỉ của bộ nhớ RAM 1904, điều khiển việc đọc và ghi chuỗi mẫu Y bit đầu vào. Tín hiệu điều khiển đầu vào cũng được đưa qua khối mở rộng xung 902 để tạo xung điều khiển đầu ra có độ rộng chính bằng N chu kỳ xung nhịp. Bộ lựa chọn thứ chín 1905 lấy tín hiệu tại đầu ra bộ lựa chọn làm tín hiệu điều khiển để trích xuất chuỗi mẫu đầu ra khỏi đảo và lặp mẫu.

Hình 20 mô tả thiết kế khối lưu các hàng ma trận G_X 1802. Tín hiệu điều khiển tại đầu ra khỏi đảo và lặp mẫu 1801 được sử dụng để điều khiển bộ đếm thứ sáu 2001 thực hiện đếm tăng dần từ 1 đến X. Tín hiệu đầu ra bộ đếm thứ sáu 2001 được đưa tới đầu vào địa chỉ của các bộ nhớ ROM 2002. Các bộ nhớ ROM 2002 có nhiệm vụ lưu các phần tử trên các hàng của ma trận Kronecker G_X . Bộ lựa chọn thứ mười 2003 sử dụng tín hiệu điều khiển để trích xuất các giá trị đọc được từ các bộ nhớ ROM 2002.

Hình 21 mô tả thiết kế khối nhân vô hướng trong trường hữu hạn 1803. Chuỗi mẫu đầu ra khỏi lặp mẫu của luồng dữ liệu thứ k được kết hợp với hàng thứ k của ma trận Kronecker G_X bằng phép lô-gic AND qua khối lô-gic AND 2101. Có tất cả X khối lô-gic AND 2101 tương ứng với X luồng dữ liệu song song. Tín hiệu tại đầu ra của X khối lô-gic AND được đưa tới khối lô-gic XOR 2102. Khối lô-gic XOR 2102 kết hợp với X khối lô-gic AND thực hiện phép nhân vô hướng trong trường hữu hạn. Kết quả đầu ra khỏi lô-gic XOR 2102 thu được chuỗi bit sau mã hóa phân cực.

Tham chiếu hình 2, các ví dụ về ma trận Kronecker G_2 , G_4 và G_8 . Đặc điểm của các ma trận Kronecker là vuông và có dạng tam giác trên. Hơn nữa, các ma trận Kronecker chỉ tồn tại các phần tử 0 và 1 và có các phần tử trên đường chéo chính bằng 1. Ma trận Kronecker G_2 được gọi là ma trận nguyên thủy. Các ma trận Kronecker cấp lớn hơn 2 thường được xác định thông qua ma trận nguyên thủy này. Một cách tổng quát, ma trận Kronecker vuông cấp N được xác định theo công thức: $G_N = G_2^{\otimes n}$ với $n = \log_2 N$.

Theo phương án thực hiện sáng chế, tham chiếu hình 7, phương pháp tính toán song song cho mã hóa phân cực để nâng cao tốc độ cho kỹ thuật mã hóa kênh truyền trong các hệ thống di động thế hệ 5 được thực hiện tuần tự như sau:

Bước 1: Song song hóa chuỗi N bit đầu vào thành X luồng, mỗi luồng Y bit theo nguyên tắc cột trước, hàng sau (Row After Column - RAC).

Tại bước này, chuỗi N bit đầu vào được chia thành X luồng song song, mỗi luồng chứa Y bit thỏa mãn điều kiện: $X \times Y = N$ theo nguyên tắc cột trước, hàng sau (Row After Column - RAC). Tức là nếu xem kết quả đầu ra của bước này là một ma trận gồm X hàng và Y cột thì các bit của chuỗi N bit đầu vào được sắp xếp vào ma trận một cách thứ tự theo nguyên tắc cột trước, hàng sau.

Cụ thể, tham chiếu hình 8, chuỗi N bit đầu ra sau khối ấn định vị trí bit (được ký hiệu là u) được đưa tới hệ thống mã hóa phân cực sử dụng kỹ thuật tính toán song song hóa (Parallel Computation for Polarization Encoding - PCPE) theo đề xuất của sáng chế. Đầu tiên, chuỗi bit đầu vào được đưa tới khối chuyển đổi nối tiếp song song 801 để thực hiện chuyển đổi luồng N bit nối tiếp đầu vào thành X luồng song song, mỗi luồng có Y bit dữ liệu theo nguyên tắc sắp xếp RAC.

Bước 2: Xem mỗi hàng trong ma trận thu được tại bước 1 là một luồng Y bit, nhân Y bit tại mỗi luồng với các cột của ma trận Kronecker G_Y , kết quả thu được biểu diễn thành hàng theo nguyên tắc loại bỏ bit (BRR – Bit Removal Rule).

Tại bước này, thực hiện nhân mỗi luồng Y bit thu được từ bước 1 với ma trận Kronecker G_Y theo nguyên tắc loại bỏ bit (BRR – Bit Removal Rule). Do các luồng Y bit là độc lập với nhau nên có thể thực hiện đồng thời phép nhân X luồng Y bit với ma trận Kronecker G_Y . Theo đó, các phần tử trên các cột của ma trận Kronecker G_Y được lưu vào các bộ nhớ chỉ đọc ROM và được sử dụng làm các tín hiệu điều khiển cho các luồng Y bit. Kết quả đầu ra thu được mỗi luồng được biểu diễn theo hàng. Cuối cùng, tại bước này, thu được X luồng dữ liệu, mỗi luồng bao gồm Y mẫu.

Khối nhân vô hướng theo hàng 802 nhận các luồng dữ liệu song song từ khối chuyển đổi nối tiếp song song và thực hiện nhân vô hướng từng luồng dữ liệu song song với ma trận Kronecker tương ứng theo nguyên tắc loại bỏ bit (BRR – Bit Removal Rule). Cụ thể, sau khi nhận được X luồng song song, mỗi luồng có Y bit từ đầu ra khối chuyển đổi nối tiếp song song, khối nhân vô hướng theo hàng 802 thực hiện phép nhân vô hướng mỗi luồng Y bit với từng cột ma trận Kronecker G_Y theo nguyên tắc loại bỏ bit (BRR – Bit Removal Rule). Ma trận Kronecker G_Y có tất cả Y cột, do đó, kết quả đầu ra có Y giá trị được biểu diễn thành hàng trên mỗi luồng.

Bước 3: Nhân vô hướng ma trận thu được ở bước 2 với các cột của ma trận Kronecker G_X theo nguyên tắc lặp mẫu kết hợp nhân vô hướng trong trường hữu hạn (Sample Repeat and Scalar Multiple) SRSM.

Tại bước này, phép nhân vô hướng theo cột được thực hiện theo nguyên tắc lặp mẫu kết hợp nhân vô hướng. Theo đó, thực hiện song song hóa theo nguyên tắc lặp mẫu kết hợp nhân vô hướng trong trường hữu hạn (Sample Repeat and Scalar Multiple) SRSM trên X luồng dữ liệu thu được ở bước 2 với ma trận Kronecker G_X , tại mỗi luồng đầu ra lúc này, thu được N mẫu dữ liệu. Cộng tương ứng từng phần tử trên các luồng trong trường môđun 2, kết quả cuối cùng thu được chuỗi N bit đầu ra sau mã hóa.

Cụ thể, khối nhân vô hướng theo cột 803 nhận các luồng dữ liệu song song là đầu ra của khối nhân vô hướng theo hàng 802 và thực hiện phép nhân vô hướng với từng cột của ma trận Kronecker dựa theo nguyên tắc lặp mẫu kết hợp nhân vô hướng trong trường hữu hạn (Sample Repeat and Scalar Multiple) SRSM. Kết quả sau khi thực hiện nguyên tắc lặp mẫu kết hợp nhân vô hướng trong trường hữu hạn (Sample Repeat and Scalar Multiple) SRSM thu được N mẫu dữ liệu trên các luồng song song. Tiến hành cộng từng mẫu dữ liệu trên các luồng trong trường môđun 2, thu được chuỗi N bit đầu ra sau mã hóa. Đầu ra của hệ thống mã hóa phân cực là một chuỗi N bit sau mã hóa (được ký hiệu là d).

Một cách tổng quát, sáng chế đề xuất khác biệt với các giải pháp cùng loại đề xuất ở chỗ:

Sử dụng kỹ thuật tính toán song song tại bước mã hóa để nâng cao tốc độ xử lý mã hóa cũng như giảm thiểu thời gian tính toán. Chuỗi bit đầu vào được chia thành các luồng song song, bước mã hóa được thực hiện đồng thời trên các luồng song song này.

Các phần tử của ma trận Kronecker được lưu vào các bộ nhớ chỉ đọc ROM và được sử dụng chung để mã hóa các luồng, do đó, tiết kiệm tài nguyên phần cứng cho việc lưu trữ dữ liệu, đặc biệt trong trường hợp số lượng bit đầu vào lớn dẫn đến kích thước của ma trận Kronecker tăng lên

Khối mã hóa phân cực có nhiệm vụ tạo ra chuỗi N bit đầu ra sau mã hóa từ chuỗi N bit đầu vào sau khi đã xác định xong vị trí của các bit mang thông tin. Theo đó, chuỗi N bit đầu ra khối ấn định vị trí bit sẽ được nhân với ma trận Kronecker vuông cấp N . Khác với phương pháp truyền thống, trong kỹ thuật tính toán song song hóa (Parallel Computation for Polarization Encoding - PCPE), khối mã hóa sẽ sử dụng phương pháp tính toán song song để nâng cao tốc độ mã hóa và giảm thời gian xử lý.

Các ví dụ thực hiện sáng chế

Xét trường hợp chuỗi dữ liệu đầu vào có 4 bit được ký hiệu là $\{a_1, a_2, a_3, a_4\}$. Kết quả phép nhân trực tiếp chuỗi bit với ma trận Kronecker G_4 được trình bày như sau:

$$\begin{bmatrix} a_1 & a_2 & a_3 & a_4 \end{bmatrix} \begin{bmatrix} 1 & 0 & 0 & 0 \\ 1 & 1 & 0 & 0 \\ 1 & 0 & 1 & 0 \\ 1 & 1 & 1 & 1 \end{bmatrix} = \begin{bmatrix} a_4 + a_3 + a_2 + a_1 & a_4 + a_2 & a_4 + a_3 & a_4 \end{bmatrix}.$$

Có thể nhận thấy, thực chất của phép nhân vô hướng chuỗi bit đầu vào và các vector cột của ma trận Kronecker chính là phép cộng các phần tử của chuỗi bit đầu vào theo tín hiệu điều khiển mức cao chính là các vector cột của ma trận Kronecker. Ví dụ, tại cột thứ 2 của ma trận Kronecker, phần tử tại hàng 1 và hàng 3 bằng “0”, và tại cột thứ 2 của vector đầu ra cũng thiếu hai phần tử của chuỗi bit đầu vào tương ứng là a_1, a_3 . Tại cột thứ 3 của ma trận Kronecker, phần tử tại hàng 1 và 2 bằng “0”, và tại cột thứ 3 của vector đầu ra cũng thiếu 2 phần tử của chuỗi bit đầu vào tương ứng là a_1, a_2 . Tại cột thứ 4 của ma trận Kronecker, phần tử tại hàng 1, 2 và 3 bằng “0”, và tại cột thứ 4 của vector đầu ra cũng thiếu 3 phần tử của chuỗi bit đầu vào tương ứng là a_1, a_2, a_3 . Một cách tổng quát, nguyên tắc loại bỏ bit (BRR – Bit Removal Rule) cho phép nhân vô hướng chuỗi bit đầu vào với các cột ma trận Kronecker được phát biểu như sau:

“Nếu phần tử tại hàng i , cột j của ma trận Kronecker bằng 0 thì tại cột thứ j của chuỗi đầu ra, hạng tử thứ i trong phép cộng các phần tử của chuỗi bit đầu vào sẽ được loại bỏ”.

Thực hiện phép chuyển đổi chuỗi 4 bit đầu vào thành 2 luồng song song, mỗi luồng 2 bit. Sau đó sắp xếp lại thành một ma trận vuông cấp 2 theo nguyên tắc cột trước, hàng sau (Row After Column - RAC) như mô tả trong hình 4 thu được kết quả như sau.

$$\begin{bmatrix} a_1 & a_3 \\ a_2 & a_4 \end{bmatrix}.$$

Tiếp theo, xem mỗi hàng của ma trận thu được ở trên là một chuỗi con 2 bit. Khi đó, ta có hai chuỗi con là $\{a_1, a_3\}$ và $\{a_2, a_4\}$. Nhân vô hướng từng chuỗi con 2 bit này với ma trận Kronecker G_2 theo nguyên tắc loại bỏ bit (BRR – Bit Removal Rule) như mô tả trong hình 5, kết quả thu được trên mỗi chuỗi con 2 bit được viết thành hàng như dưới đây.

$$\begin{bmatrix} a_1 + a_3 & a_3 \\ a_2 + a_4 & a_4 \end{bmatrix}.$$

Hình 6 mô tả các bước thực hiện phép nhân vô hướng từng cột của ma trận thu được ở phía trên với từng cột của ma trận Kronecker G_2 . Từ hình 6 có thể nhận thấy, thực chất của phép nhân vô hướng theo cột này chính là phép lặp các mẫu dữ liệu theo hàng sau đó thực hiện các phép toán cộng và nhân trong trường môđun 2. Thật vậy, xét chuỗi con thứ nhất: $\{a_1 + a_3, a_3\}$ và hàng thứ nhất của ma trận $G_2: \{1, 0\}$. Mỗi phần tử trong chuỗi $\{a_1 + a_3, a_3\}$ được lặp lại lần lượt 2 lần, trở thành: $\{a_1 + a_3, a_1 + a_3, a_3, a_3\}$. Đồng thời với đó, các hàng của ma trận Kronecker G_2 theo thứ tự cũng được lặp lại 2 lần và trở thành: $\{1, 0, 1, 0\}$. Thực hiện phép nhân tương ứng một-một hai từng phần tử trong hai chuỗi sau khi lặp mẫu, thu được chuỗi A: $\{a_1 + a_3, 0, a_3, 0\}$. Thực hiện tương tự như trên đối với chuỗi con thứ 2: $\{a_2 + a_4, a_4\}$ và hàng thứ hai của ma trận $G_2: \{1, 1\}$ thu được chuỗi B: $\{a_2 + a_4, a_2 + a_4, a_4, a_4\}$. Cộng tương ứng một-một từng phần tử trên hai chuỗi A và B thu được kết quả tương tự như phép nhân trực tiếp theo phương pháp truyền thống $[a_4 + a_3 + a_2 + a_1 \quad a_4 + a_2 \quad a_4 + a_3 \quad a_4]$.

Chú ý rằng, chuỗi bit đầu ra sau cùng chính là kết quả thu được với các phép toán cộng và nhân được thực hiện trong trường môđun 2. Trong trường môđun 2, toán tử “cộng” tương ứng với phép “XOR” 2 bit còn toán tử “nhân” tương ứng với phép “AND” 2 bit.

$$\begin{aligned} (a + b) \bmod 2 &= (a \bmod 2) \text{ XOR } (b \bmod 2) \\ (a \times b) \bmod 2 &= (a \bmod 2) \text{ AND } (b \bmod 2) \end{aligned}$$

Để chứng minh tính hiệu quả và đúng đắn của sáng chế, kỹ thuật mã hóa phân cực được tích hợp vào luồng xử lý tín hiệu đường xuống của kênh dữ liệu quảng bá PBCH của hệ thống thông tin di động thế hệ 5.

Đối với kênh quảng bá PBCH, chuỗi thông tin đầu vào có độ dài là 56 bit được đưa qua khối đan xen để chống lỗi cụm, trước khi đưa vào khối ấn định vị trí bit để xác định vị trí của các bit mang thông tin. Đầu ra khối ấn định vị trí bit là chuỗi 512 bit trong đó có 56 bit mang thông tin và 456 bit dư thừa. Chuỗi 512 bit này được đưa vào khối mã hóa phân cực có áp dụng kỹ thuật tính toán song song hóa (Parallel Computation for Polarization Encoding - PCPE) như đề xuất của sáng chế.

Khối mã hóa phân cực áp dụng kỹ thuật tính toán song song hóa (Parallel Computation for Polarization Encoding - PCPE) bao gồm 3 khối con như mô tả trong hình 8 được thiết kế hoàn toàn trên phần cứng vi mạch số khả trình (Field Programmable Gate Array - FPGA) nhằm tận dụng khả năng xử lý nhanh chóng. Theo đó, khối chuyển đổi nối tiếp song song 801 thực hiện chia chuỗi 512 bit đầu vào thành 8 luồng song song, mỗi luồng có độ dài 64 bit theo nguyên tắc cột trước, hàng sau (Row After Column - RAC). Khối nhân vô hướng theo hàng 802 nhận 8 luồng song song 64 bit từ đầu ra khối chuyển đổi nối tiếp song song, sau đó thực hiện nhân vô hướng độc lập từng luồng 64 bit với từng cột của ma trận Kronecker vuông G_{64} theo nguyên tắc loại bỏ bit (BRR – Bit Removal Rule). Các phần tử của ma trận Kronecker G_{64} là cố định đối với kênh dữ liệu quảng bá (Physical Broadcast Channel - PBCH), do đó, các phần tử trên các cột của ma trận này có thể được lưu trữ trong bộ nhớ chỉ đọc và có thể sử dụng chung cho tất cả 8 luồng dữ liệu. 8 luồng dữ liệu 64 mẫu tại đầu ra khối nhân vô hướng theo hàng được đưa tới đầu vào khối nhân vô hướng theo cột 803. Tại đây, 8 luồng dữ liệu 64 mẫu sẽ được nhân vô hướng với ma trận Kronecker G_8 theo nguyên tắc SRSP để thu được chuỗi 512 bit đầu ra. Tương tự như trong khối nhân vô hướng theo hàng 802, các phần tử của ma trận Kronecker G_8 là cố định đối với kênh dữ liệu quảng bá (Physical Broadcast Channel - PBCH). Do đó, các hàng của ma trận G_8 có thể được lưu trong bộ nhớ chỉ đọc và được sử dụng chung cho cả 8 luồng dữ liệu.

Hệ thống kiểm tra phương pháp mã hóa phân cực theo đề xuất của sáng chế như mô tả trong hình 22 bao gồm bộ phát dữ liệu đầu vào khối mã hóa phân cực và phần mềm giải mã dữ liệu. Bộ phát dữ liệu mã hóa phân cực phát chuỗi 56 bit là đầu vào của khối mã hóa phân cực. Khối mã hóa phân cực sử dụng kỹ thuật tính toán song song hóa (Parallel Computation for Polarization Encoding - PCPE) mã hóa chuỗi 56 bit đầu vào thành 512 bit đầu ra. Chuỗi 512 bit đầu ra được đưa vào phần xử lý mức ký tự trước khi được đưa tới đầu vào khối giải mã.

Hiệu quả đạt được của sáng chế

Phương pháp theo sáng chế là khả thi, dễ áp dụng và đảm bảo các yêu cầu về hiệu năng của hệ thống. Thay vì tính toán nhân chuỗi bit đầu vào với ma trận tuần tự và nối tiếp, kỹ thuật tính toán song song hóa (Parallel Computation for Polarization Encoding - PCPE) thực hiện mã hóa phân cực theo phương pháp song song, chia chuỗi bit đầu vào thành các luồng song song và thực hiện tính toán đồng thời trên các luồng

song song này. Điều này vừa đảm bảo giảm thời gian xử lý mã hóa chuỗi bit, làm tăng tốc độ xử lý thông tin, vừa đảm bảo sử dụng hiệu quả tài nguyên lưu trữ.

Yêu cầu bảo hộ

1. Phương pháp tính toán song song cho hệ thống mã hóa phân cực gồm những bước sau:

bước 1: chia chuỗi bit cần mã hóa thành X luồng, mỗi luồng có Y bit, trong đó X là số luồng, Y là số bit trong mỗi luồng, cả X và Y đều là số nguyên dương, N là số bit của chuỗi bit cần mã hóa và bằng X nhân với Y ;

bước 2: thực hiện phép nhân vô hướng của mỗi luồng bit Y thu được ở bước 1 với mỗi cột của ma trận Kronecker bình phương bậc Y (ký hiệu là G_Y) để thu được X luồng đầu ra, mỗi luồng đầu ra có Y mẫu, mỗi mẫu là một số vô hướng và là phép nhân của mỗi luồng bit Y từ Bước 1 và mỗi cột của ma trận G_Y ; trong đó X và Y là các số nguyên dương từ bước 1;

bước 3: thu được X luồng, mỗi luồng có N bit bằng cách nhân đôi từng bit trong mỗi luồng Y -bit thu được từ bước 2 X lần trong đó X , Y và N là các số nguyên dương từ bước 1;

bước 4: thu được ma trận có X hàng và N cột bằng cách nhân đôi mỗi hàng của ma trận Kronecker bình phương bậc X (ký hiệu là G_X) Y lần trong đó X , Y và N là các số nguyên dương từ bước 1;

bước 5: thực hiện phép nhân vô hướng của mỗi mẫu phần tử trong mỗi luồng từ bước 3 với mỗi mẫu trong mỗi hàng của ma trận từ bước 4 để thu được X luồng, mỗi luồng có N mẫu, mỗi mẫu là phép nhân của mỗi mẫu trong mỗi luồng từ bước 3 với mỗi mẫu trong mỗi hàng của ma trận từ bước 4; trong đó X và N là các số nguyên dương từ bước 1;

bước 6: thu được chuỗi bit bằng cách thực hiện phép cộng mỗi mẫu trong mỗi luồng từ bước 5 kết hợp với phép toán modulo.

2. Phương pháp tính toán song song cho hệ thống mã hóa phân cực theo điểm 1, trong đó bước 1 của phương pháp bao gồm:

thu được X luồng bit, mỗi luồng có Y bit theo định nghĩa sau:

$$\{B_k, B_{X+k}, B_{2X+k}, B_{3X+k}, \dots, B_{(Y-1)X+k}\}$$

trong đó, k là một số nguyên dương, $k = \{1, 2, 3, \dots, X\}$ biểu thị luồng thứ k^{th} trong X luồng; $\{B_k, B_{X+k}, B_{2X+k}, B_{3X+k}, \dots, B_{(Y-1)X+k}\}$ là một biểu diễn nhị phân biểu thị

các bit ở vị trí k^{th} , $(X+k)^{\text{th}}$, $(2X+k)^{\text{th}}$, $(3X+k)^{\text{th}}$, ..., $((Y-1)X+k)^{\text{th}}$ của chuỗi bit đầu vào được mã hóa có độ dài N .

3. Phương pháp tính toán song song cho hệ thống mã hóa phân cực theo điểm 1, trong đó bước 3 của phương pháp bao gồm:

nhân đôi mỗi mẫu trong mỗi luồng mẫu Y thu được từ bước 2 X lần theo định nghĩa sau:

luồng thứ k^{th} bao gồm N bit:

$$\{B_k, B_k, \dots, B_k, B_{X+k}, B_{X+k}, \dots, B_{X+k}, B_{2X+k}, B_{2X+k}, \dots, B_{2X+k}, \dots, B_{(Y-1)X+k}, B_{(Y-1)X+k}, \dots, B_{(Y-1)X+k}\}$$

trong đó k là một số nguyên dương, $k = \{1, 2, 3, \dots, X\}$ biểu thị luồng thứ k^{th} trong X luồng; $\{B_k, B_{X+k}, B_{2X+k}, B_{3X+k}, \dots, B_{(Y-1)X+k}\}$ là một biểu diễn nhị phân biểu thị các bit ở vị trí thứ k^{th} , $(X+k)^{\text{th}}$, $(2X+k)^{\text{th}}$, ..., $((Y-1)X+k)^{\text{th}}$ của chuỗi bit đầu vào được mã hóa có độ dài N . Mỗi bit B_j với $j = \{k, X+k, 2X+k, \dots, ((Y-1)X+k)\}$ được nhân đôi X lần.

4. Phương pháp tính toán song song cho hệ thống mã hóa phân cực theo điểm 1, trong đó bước 5 của phương pháp bao gồm:

thu được X luồng đầu ra, mỗi luồng có N mẫu, mỗi mẫu là tích của mỗi phần tử trong mỗi luồng từ bước 3 với mỗi phần tử trong mỗi hàng của ma trận từ bước 4 theo định nghĩa sau:

luồng thứ k^{th} bao gồm N mẫu:

$$\{D_{(k,1)}, D_{(k,2)}, D_{(k,3)}, D_{(k,4)}, \dots, D_{(k,N)}\}$$

trong đó k là số nguyên dương biểu thị chỉ số luồng, $k = \{1, 2, \dots, X\}$; X là số luồng; $D_{(k,i)}$ với $i = \{1, 2, \dots, N\}$ được sử dụng để biểu diễn mẫu đầu ra i^{th} của luồng k^{th} .

5. Phương pháp tính toán song song cho hệ thống mã hóa phân cực theo điểm 1, trong đó bước 6 của phương pháp bao gồm:

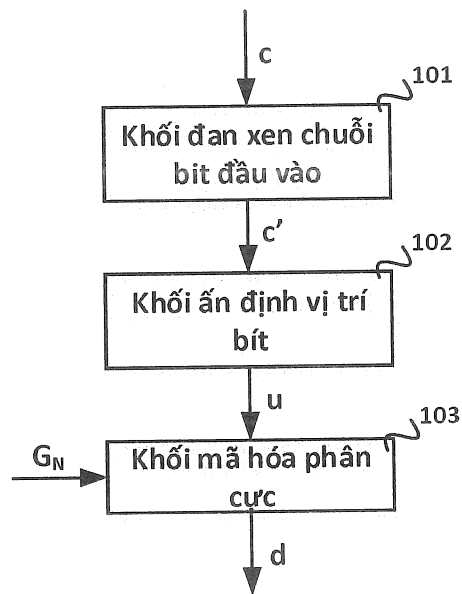
thu được luồng đầu ra có độ dài N bằng cách thực hiện phép cộng từng phần tử của mỗi luồng từ bước 5 theo công thức sau:

$$S_i = \sum_{k=1}^X D_{(k,i)}$$

trong đó, k là một số nguyên dương biểu thị chỉ số luồng, $k = \{1, 2, \dots, X\}$; i là một số nguyên dương biểu thị chỉ số mẫu của luồng đầu ra, $i = \{1, 2, \dots, N\}$; $D_{(k,i)}$ được sử dụng để biểu diễn mẫu i^{th} trong luồng k^{th} ; S_i được sử dụng để biểu diễn mẫu thứ i^{th} của luồng đầu ra;

thu được từng bit được mã hóa (ký hiệu là C_i) theo công thức sau: $C_i = \text{modulo}(S_i, 2)$; trong đó C_i được sử dụng để biểu diễn bit thứ i^{th} của luồng bit được mã hóa phân cực, $C_i = \{0, 1\}$, phép toán “Modulo” được sử dụng để tìm phần dư của phép chia S_i cho 2.

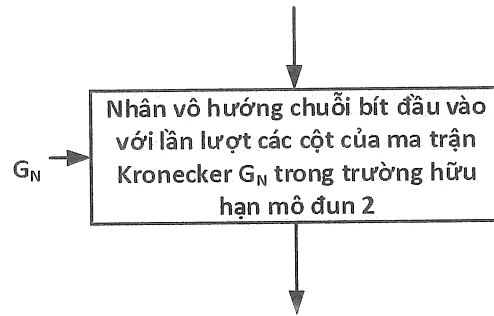
Hình vẽ



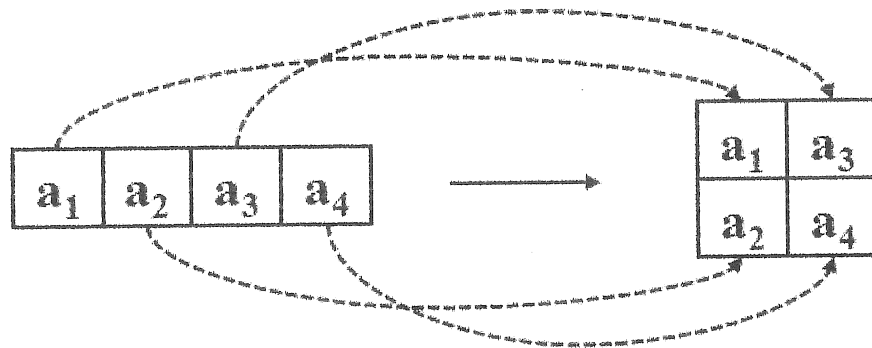
Hình 1

$$G_2 = \begin{bmatrix} 1 & 0 \\ 1 & 1 \end{bmatrix}; G_4 = \begin{bmatrix} 1 & 0 & 0 & 0 \\ 1 & 1 & 0 & 0 \\ 1 & 0 & 1 & 0 \\ 1 & 1 & 1 & 1 \end{bmatrix}; G_8 = \begin{bmatrix} 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 1 & 1 & 0 & 0 & 0 & 0 & 0 & 0 \\ 1 & 0 & 1 & 0 & 0 & 0 & 0 & 0 \\ 1 & 1 & 1 & 1 & 0 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 \\ 1 & 1 & 0 & 0 & 1 & 1 & 0 & 0 \\ 1 & 0 & 1 & 0 & 1 & 0 & 1 & 0 \\ 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 \end{bmatrix}$$

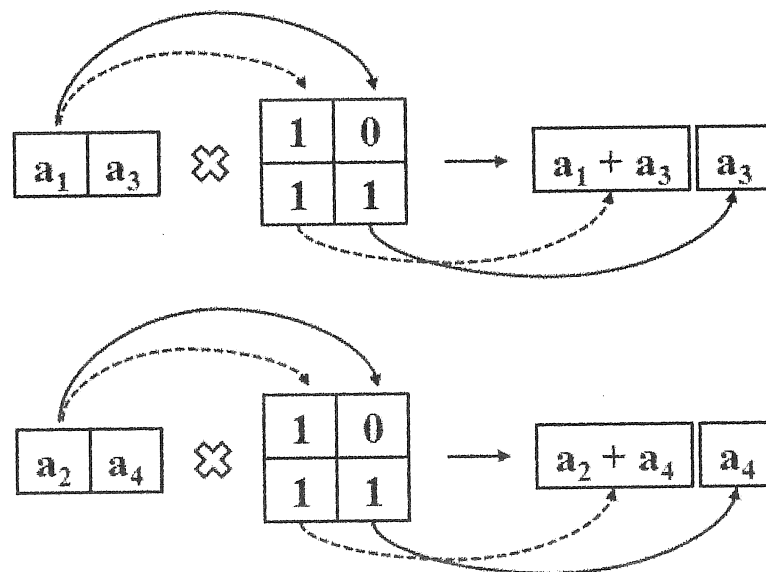
Hình 2



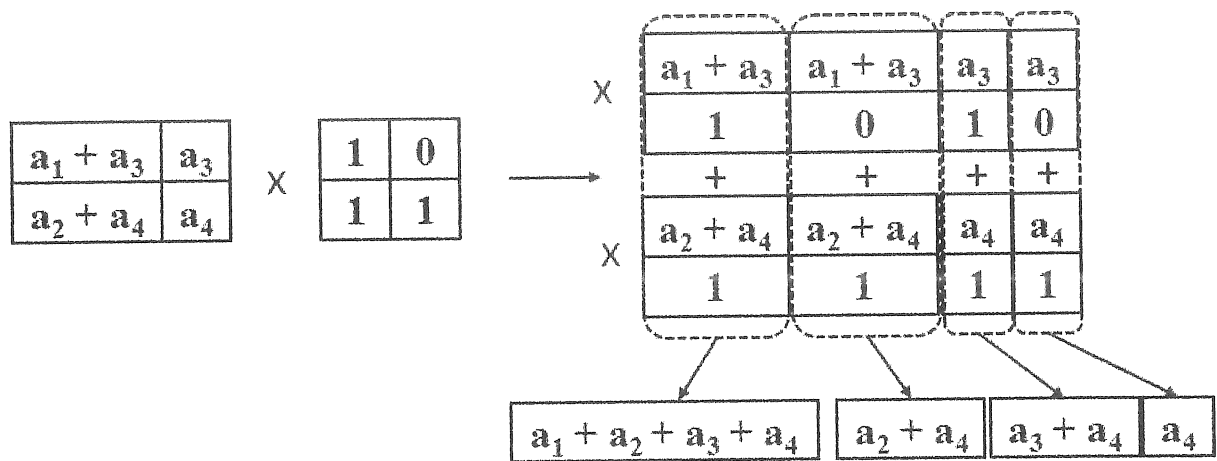
Hình 3



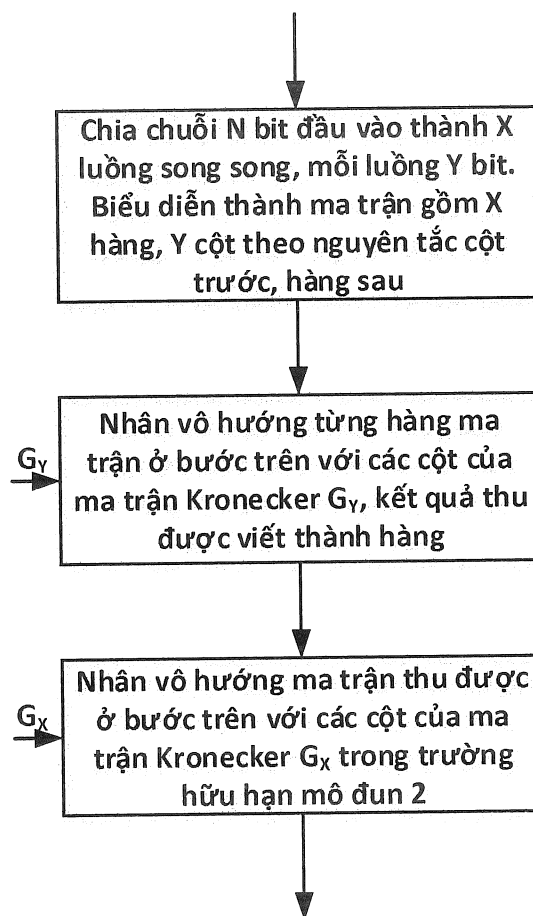
Hình 4



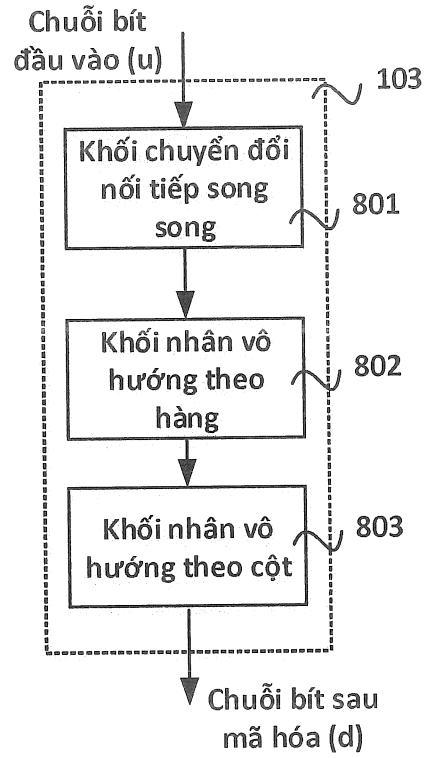
Hình 5



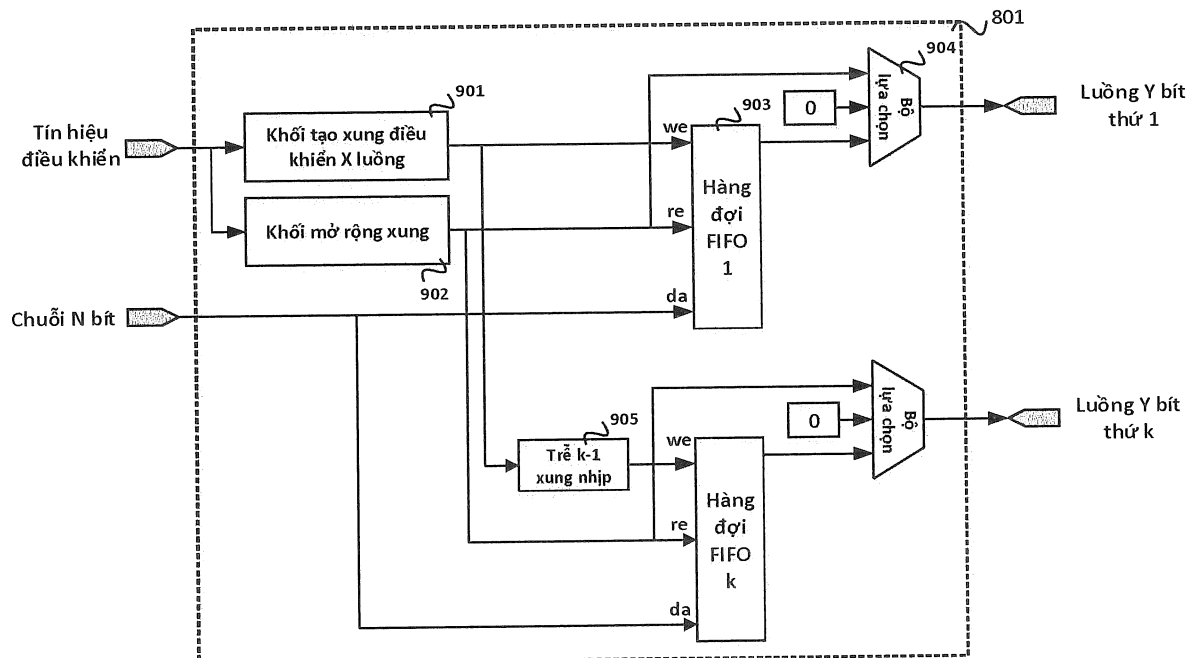
Hình 6



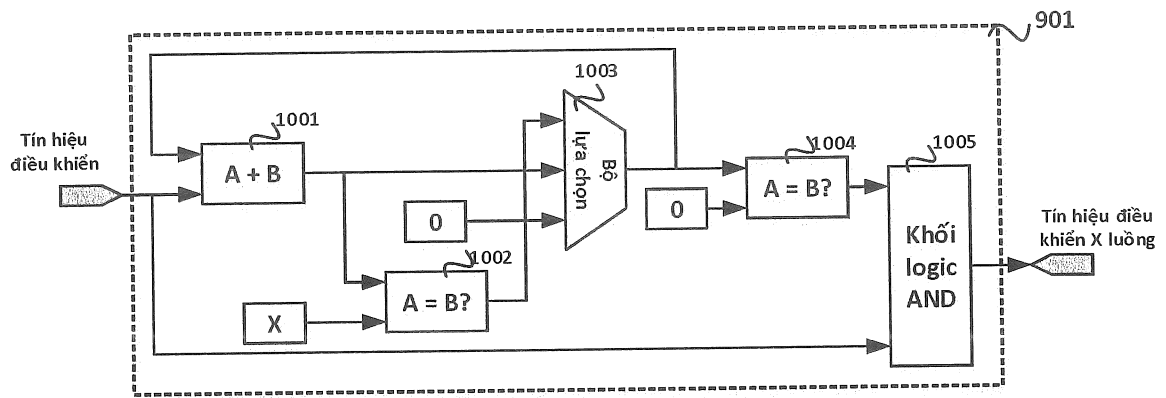
Hình 7



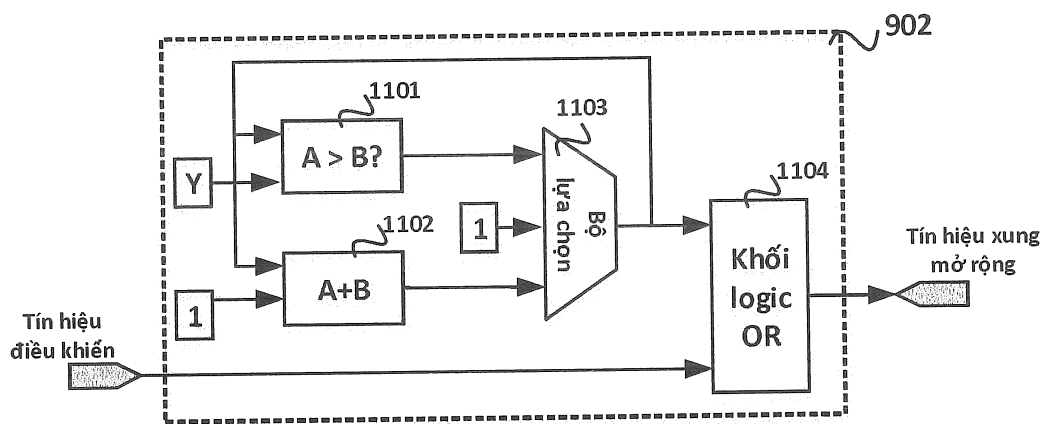
Hình 8



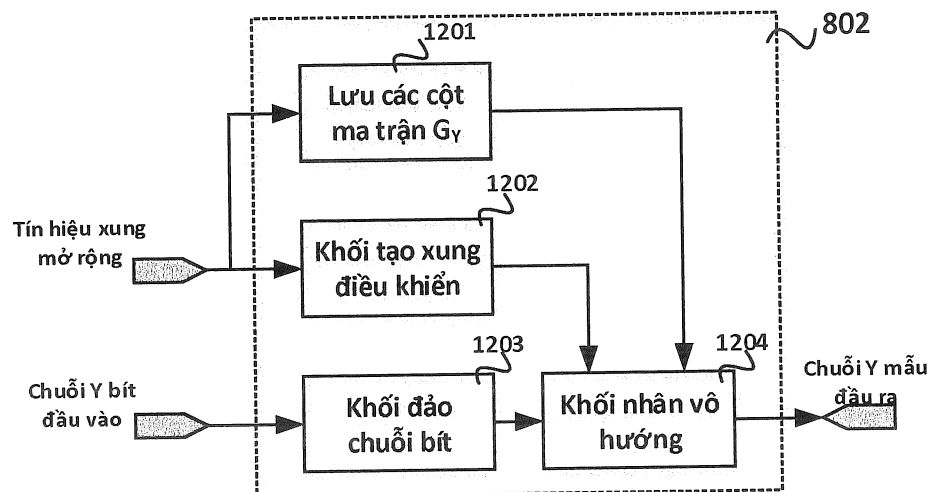
Hình 9



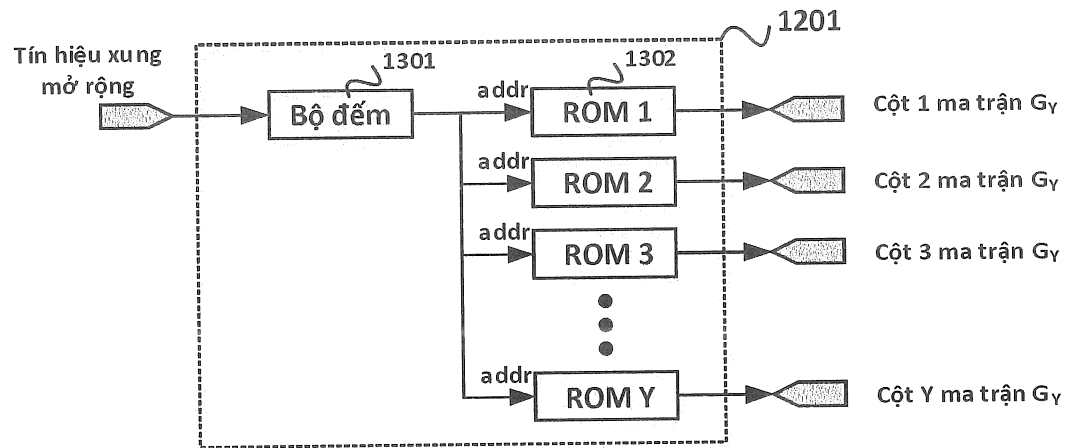
Hình 10



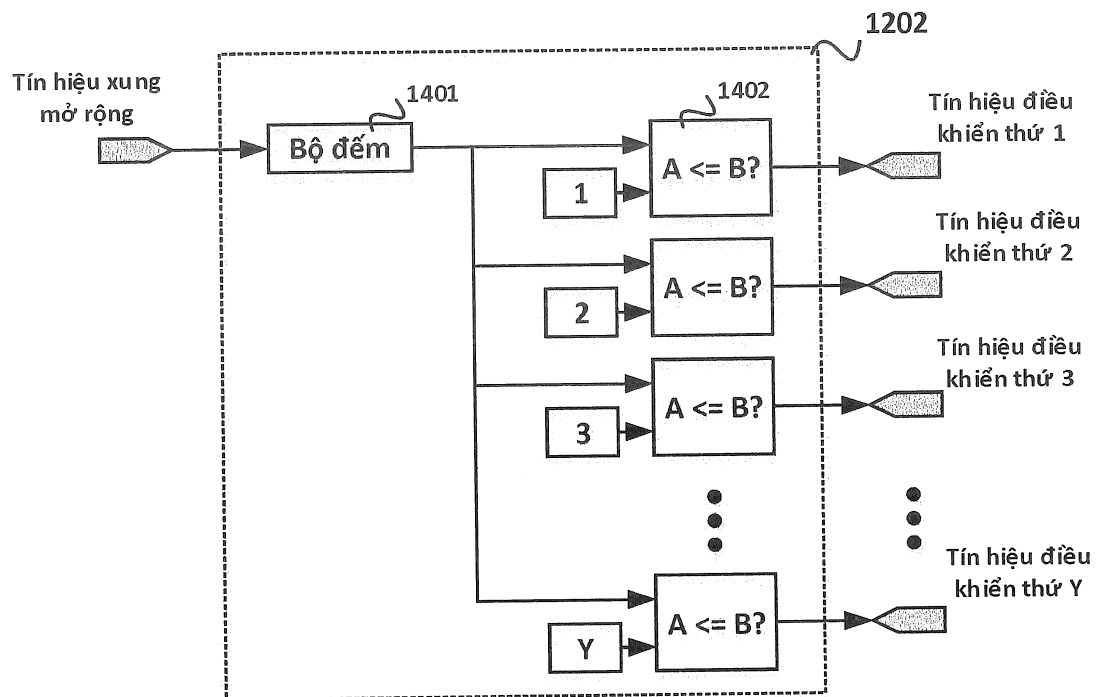
Hình 11



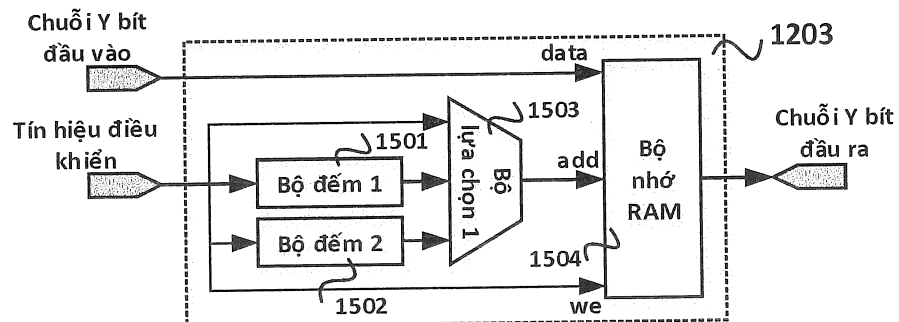
Hình 12



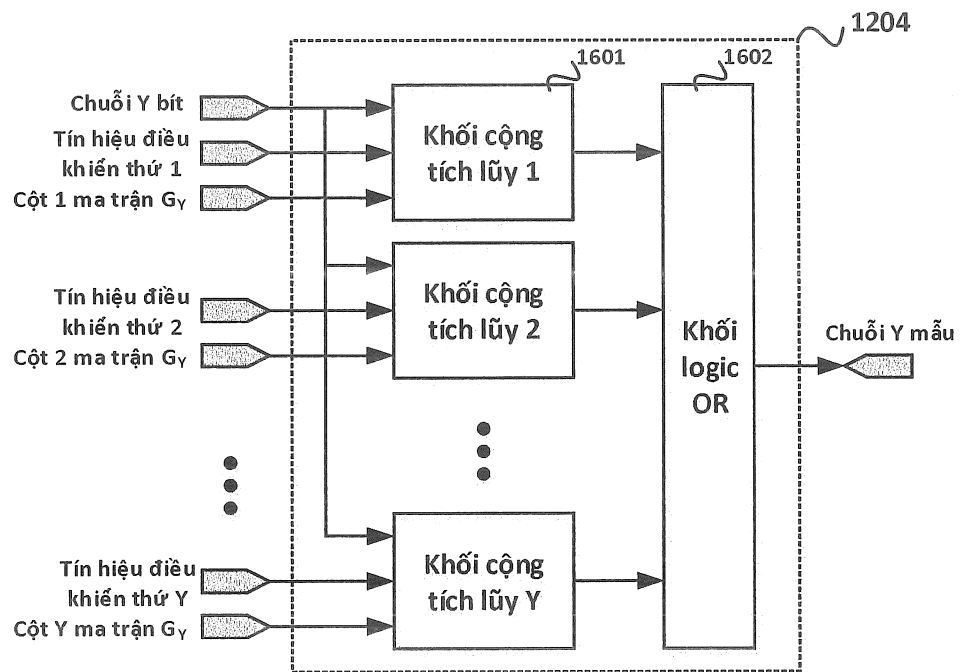
Hình 13



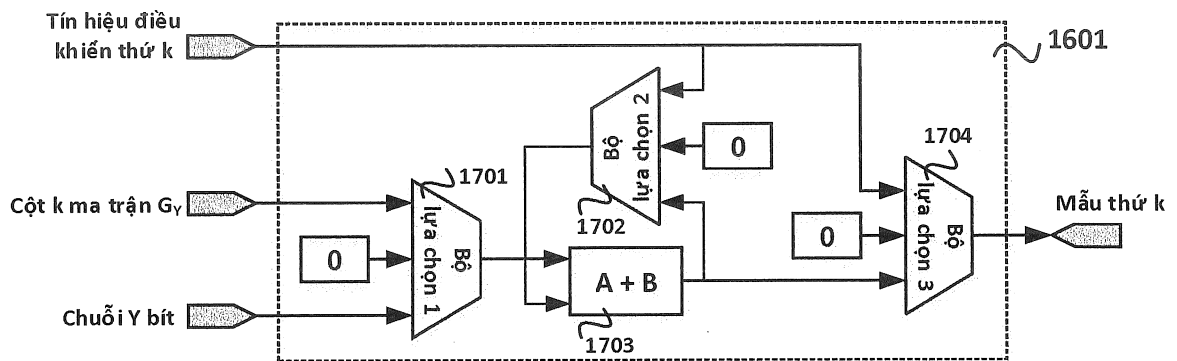
Hình 14



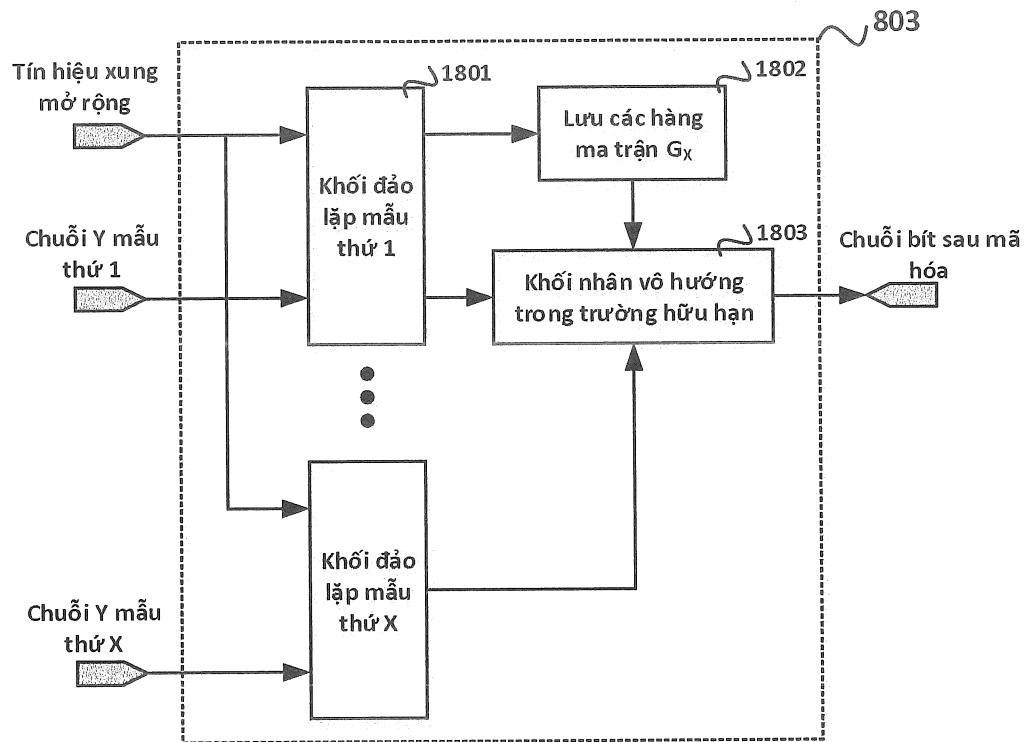
Hình 15



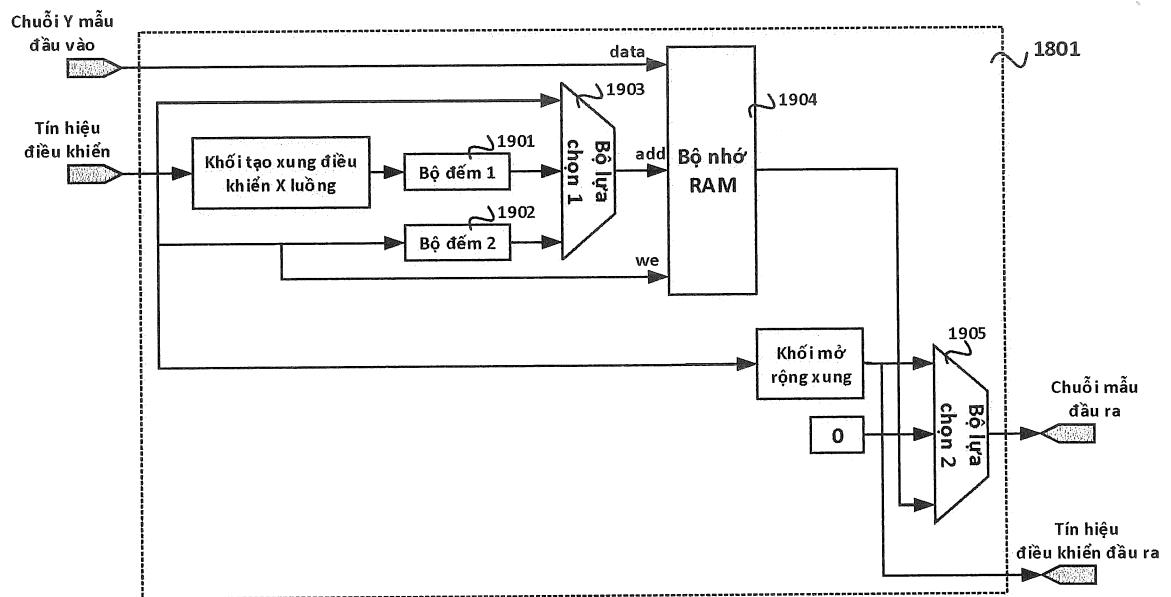
Hình 16



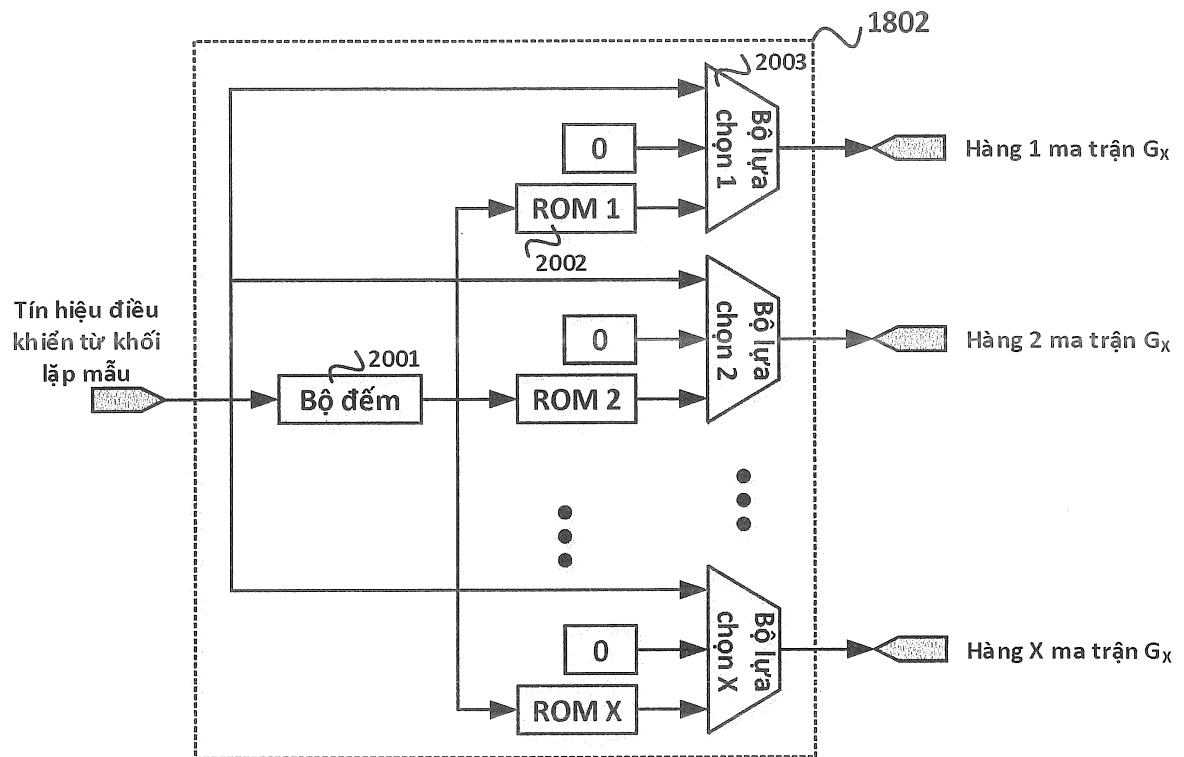
Hình 17



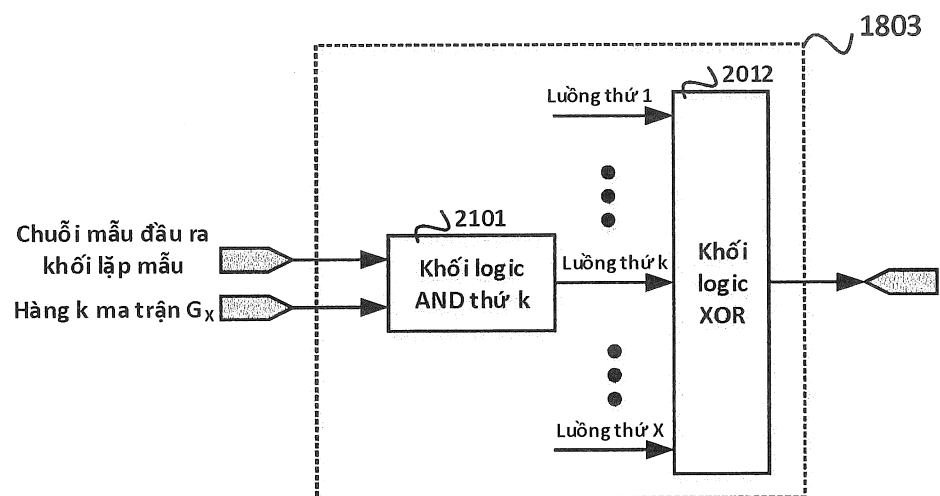
Hình 18



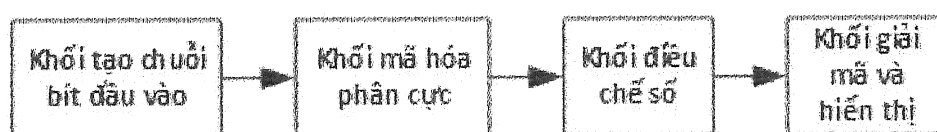
Hình 19



Hình 20



Hình 21



Hình 22