



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0053637

(51)⁷ G06F 5/00

(13) B

(21) 1-2019-00043

(22) 03/01/2019

(45) 25/11/2025 452

(43) 25/03/2019 372A

(73) Tập đoàn Công nghiệp - Viễn thông Quân đội (VIETTEL) (VN)
Số 1 Trần Hữu Dực, Mỹ Đình 2, quận Nam Từ Liêm, thành phố Hà Nội

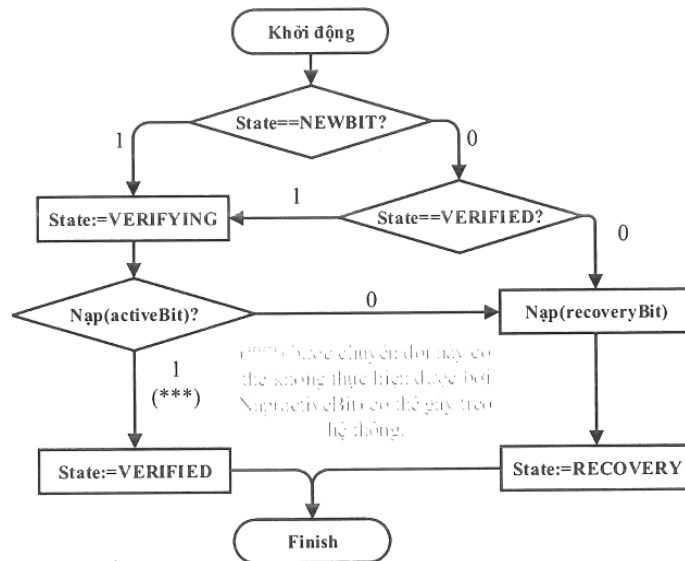
(72) Tăng Thiên Vũ (VN); Nguyễn Chí Linh (VN); Tạ Quốc Việt (VN); Hà Văn Hương (VN); Vũ Tuấn Đức (VN).

(74) Công ty Luật TNHH quốc tế BMVN (BMVN INTERNATIONAL LLC)

(54) PHƯƠNG PHÁP SỬA LỖI CẬP NHẬT CHƯƠNG TRÌNH CHO VI MẠCH SỐ
KHẢ TRÌNH BẰNG CƠ CHẾ TỰ PHỤC HỒI SỬ DỤNG MÁY HỮU HẠN
TRẠNG THÁI

(21) 1-2019-00043

(57) Sáng chế đề xuất phương pháp sửa lỗi cập nhật chương trình cho vi mạch số khả trình bằng cơ chế tự phục hồi sử dụng máy trạng thái hữu hạn (Finite State Machine - FSM) trong đó máy trạng thái hữu hạn này có khả năng phát hiện được quá trình nạp bitstream trong lần khởi động gần nhất của hệ thống có thành công hay không để quyết định sử dụng bitstream dự phòng để khôi phục hệ thống.



Hình 3

Lĩnh vực kỹ thuật được đề cập

Sáng chế liên quan đến phương pháp sửa lỗi cập nhật chương trình cho vi mạch số khả trình (Field Programmable Gate Array - FPGA) bằng cơ chế tự phục hồi sử dụng máy hữu hạn trạng thái khi xảy ra hiện tượng treo hệ thống trong quá trình nạp chương trình mới.

Tình trạng kỹ thuật của sáng chế

Quá trình phát triển nhanh của các ứng dụng công nghệ thông tin và truyền thông đòi hỏi các thiết bị điện tử phải xử lý được các tác vụ liên quan đến dữ liệu số ở tốc độ rất cao. Một trong các phương pháp nâng cao khả năng xử lý của thiết bị điện tử này là sử dụng phần cứng số chuyên dụng, đặc biệt là các vi mạch số có khả năng cấu hình lại sử dụng công nghệ FPGA.

Chip FPGA là một vi mạch số đặc biệt cho phép người dùng có thể lập trình và linh hoạt nạp lại chương trình mới. Chương trình của FPGA (gọi là bitstream) là một tệp dữ liệu được lưu trữ ở một định dạng đặc biệt. Tùy theo từng dòng FPGA của từng hãng mà cấu trúc dữ liệu của tệp bitstream này khác nhau.

Công nghệ FPGA yêu cầu phải nạp lại toàn bộ bitstream cho chip FGPA trong mỗi lần khởi động hệ thống. Quá trình nạp chương trình này về bản chất là truyền bitstream từ một kho lưu trữ (có thể là máy tính cá nhân, các bộ nhớ điện tĩnh, các kho lưu trữ đám mây...) lên chip FPGA. Các sai lệch trong quá trình truyền dữ liệu này có thể dẫn đến việc nạp chương trình mới cho FPGA không thành công, dẫn đến hệ thống hoạt động sai chức năng hoặc thậm chí bị treo và mất liên lạc.

Bản chất kỹ thuật của sáng chế

Sáng chế đề xuất phương pháp sửa lỗi cập nhật chương trình cho vi mạch số khả trình (FPGA Recovery Bitstream - FRB) bằng cơ chế tự phục hồi nhằm hạn chế đến mức tối đa các rủi ro trong quá trình nạp chương trình mới cho chip FPGA.

Trọng tâm của phương pháp FRB theo sáng chế là sử dụng máy hữu hạn trạng thái (Finite State Machine - FSM), trong đó FSM này theo dõi trạng thái của hệ thống trước và sau quá trình cập nhật bitstream cho FPGA, nhờ đó quyết định được quá trình nạp bitstream mới có an toàn với hệ thống hay không. Phương pháp FRB theo sáng chế được thực hiện như sau:

(i) CHƯƠNG TRÌNH MỚI (NEWBIT) là trạng thái mà một bitstream mới đã được lưu trữ trong bộ nhớ và sẵn sàng để nạp lên FPGA. Trạng thái này sẽ được người dùng khởi tạo ban đầu cho FSM.

(ii) CHỜ XÁC MINH (VERIFYING) là trạng thái mà bitstream đang được nạp lên mạch và chờ được xác minh liệu bitstream sẽ được nạp này có làm treo hệ thống hay không. Trước khi quá trình nạp bitstream được tiến hành, trạng thái của FSM sẽ được đưa về VERIFYING. Trong trường hợp hệ thống treo ngay trong quá trình nạp, trạng thái của hệ thống sẽ bị giữ tại VERIFYING.

(iii) ĐÃ XÁC MINH (VERIFIED) là trạng thái mà bitstream đã được nạp thành công lên mạch và quá trình nạp bitstream không gây treo hệ thống. FRB sử dụng các điểm kiểm tra trước và sau quá trình nạp bitstream để xác định liệu bitstream có gây treo hệ thống hay không.

(iv) TỰ PHỤC HỒI (RECOVERY) là trạng thái mà bitstream dự phòng đang được nạp vào hệ thống. Nguyên nhân dẫn đến FSM rơi vào trạng thái này có thể là do lỗi trong quá trình nạp bitstream mới hoặc bitstream mới không hợp lệ.

Như vậy, điểm mấu chốt để quyết định liệu có chọn bitstream dự phòng để nạp vào hệ thống hay không là dựa vào trạng thái hiện tại của FSM. Nếu trạng thái hiện tại là VERIFYING tức là lần nạp gần đây nhất của bitstream mới đã không thành công, bitstream này đã làm treo hệ thống dẫn đến FSM không chuyển sang được trạng thái VERIFIED. Nếu trạng thái hiện tại của FSM là RECOVERY tức là trong lần nạp gần đây nhất hệ thống đang sử dụng bitstream dự phòng. Vì vậy, khi FSM đang ở trạng thái VERIFYING hoặc RECOVERY, FRB sẽ quyết định chọn nạp bitstream dự phòng vào hệ thống, quá trình này được thể hiện trong đoạn mã giả sau:

PROGRAM: LOAD_BITSTREAM;

Lấy trạng thái hiện tại của mạch và lưu vào tệp bitstate;

IF(\$bitstate = **VERIFIED**) **OR** (\$bitsate = **NEWBIT**); **THEN**

 \$bitstate := **VERIFYING**;

 Tiến hành nạp bitstream;

 Thoát chương trình;

ELSE

IF(\$bitstate = **RECOVERY**) **OR** (\$bitstate = **VERIFYING**); **THEN**

 \$bitstate := **RECOVERY**;

 Tiến hành nạp bitstream dự phòng;

 Thoát chương trình;

ENDIF;

ENDIF;

ENDPROGRAM;

Mô tả tóm tắt các hình vẽ

Hình 1 là hình vẽ mô tả các chế độ nạp chương trình cho chip vi mạch số khả trình nói chung. Hình 2 mô tả các thành phần tham gia nạp chương trình cho FPGA trong đó khối xử lý trung tâm (Central Processing Unit - CPU) đóng vai trò là chủ động trong điều khiển quá trình.

Hình 3 thể hiện lưu đồ thuật toán của phương pháp FRB. Hình 4 thể hiện các thông tin của hệ thống trong trường hợp chương trình mới của FPGA được cập nhật thành công. Hình 5 thể hiện thông tin của hệ thống trong trường hợp chương trình mới của FPGA không tồn tại. Hình 6 thể hiện trạng thái của hệ thống trong trường hợp chương trình mới của FPGA gây treo hệ thống và hệ thống phải khởi động lại. Hình 7 thể hiện thông tin của hệ thống trong trường hợp lần khởi động trước chương trình của FPGA nạp không thành công và gây ra treo hệ thống. Hình 8 thể hiện trường hợp hệ thống giữ nguyên trạng thái dự phòng trong các lần khởi động.

Mô tả chi tiết sáng chế

Trước khi mô tả chi tiết phương pháp FRB theo sáng chế, phần mô tả sau đây giới thiệu tổng quan về kỹ thuật liên quan đến việc nạp bitstream cho một hệ vi mạch số khả trình.

FPGA là một vi mạch số khả trình và có khả năng cấu hình lại bằng chương trình do người sử dụng thiết kế (gọi là bitstream). Các vùng được cấu hình trong FPGA có tính chất “điện động” (volatile) - là tính chất của các vùng nhớ bị mất dữ liệu khi bị ngắt nguồn điện cung cấp, tức là cấu hình của FPGA sẽ mất khi nguồn cấp cho chip bị cắt, dẫn đến quá trình khởi động FPGA luôn phải đi kèm theo việc nạp mới bitstream. Quá trình nạp một bitstream mới cho FPGA có bản chất là truyền bitstream đó vào bộ nhớ đệm bên trong chip FPGA. Khối xử lý bitstream bên trong FPGA sẽ đọc bitstream từ bộ nhớ đệm, xử lý bitstream này trước khi tiến hành cấu hình cho các phần khả trình (xem Hình 1). Quá trình xử lý bitstream bao gồm các quá trình bóc tách dữ liệu từ bitstream hoặc có thể có thêm các quá trình liên quan đến giải mã dữ liệu (trong trường hợp bitstream được mã hóa).

Dựa vào nhiệm vụ của chip FPGA trong quá trình nạp bitstream người ta chia quá trình này thành hai chế độ: Chủ động (master) và Bị động (slave). Hình 1 mô tả về hai chế độ này, trong đó:

- Chế độ chủ động (Hình 1.a): chip FPGA chủ động trong quá trình lấy bitstream từ bộ nhớ để tiến hành tự nạp. Chip FPGA cấp tín hiệu xung nhịp đồng hồ cho cả quá trình truyền nhận, và bitstream được truyền trực tiếp từ bộ nhớ ngoài đến bộ nhớ đệm bên trong FPGA.

- Chế độ bị động (Hình 1.b): chip FPGA thụ động trong quá trình được nạp bitstream. Một thiết bị ngoài chip như máy tính cá nhân, các chip xử lý trung tâm... tiến hành đọc bitstream từ bộ nhớ và truyền lên chip FPGA.

Phương pháp FRB hoạt động ở chế độ bị động, trong đó bộ xử lý trung tâm (Central Processing Unit - CPU) là bộ điều khiển chính trong toàn bộ quá trình nạp bitstream (Hình 1.b). Khối CPU sử dụng cổng giao diện cấu hình cho khối xử lý trung tâm (Processor Configuration Access Port – PCAP) để thực hiện nạp bitstream mới cho chip FPGA. Mô tả chung về cổng kết nối này được thể hiện trong Hình 2, trong đó CPU sử dụng Giao diện cấu hình thiết bị (Device Configuration Interface - DevC) để kết nối đến khối xử lý bitstream bên trong FPGA. Trình nạp FRB là chương trình nạp bitstream sử dụng phương pháp FRB được chạy trên CPU, trình này thông qua chương trình điều khiển (gọi là driver) của khối DevC để truyền bitstream từ bộ nhớ đến FPGA.

Bitstream sử dụng để nạp cho FPGA được lưu trữ tại các bộ nhớ “điện tĩnh” (non-volatile) trên thiết bị. Bitstream lưu trên thiết bị này có thể được cập nhật mới thông qua các giao thức truyền nhận dữ liệu trên mạng máy tính.

Những xử lý liên quan đến truyền nhận và lưu trữ luôn tiềm ẩn các rủi ro gây ra sai lệch cho dữ liệu. Bitstream với dữ liệu sai lệch được nạp vào chip FPGA có thể dẫn đến hệ thống hoạt động sai hoặc thậm chí dẫn đến treo hệ thống và mất kết nối. Phương pháp FRB theo sáng chế ứng dụng cơ chế tự phục hồi để đảm bảo được quá trình nạp chương trình cho chip FPGA là an toàn.

Phương pháp FRB được mô tả thông qua một lưu đồ thuật toán thể hiện trong Hình 3. Trong đó quá trình nạp bitstream được mô tả qua các bước cụ thể như sau:

- Khi khởi động trình nạp FRB, trường hợp trạng thái của hệ thống là NEWBIT, trình nạp FRB sẽ xác nhận là đang có một bitstream mới đang được lưu trữ trên bộ nhớ và sẵn sàng để nạp cho chip FPGA. Do chương trình này chưa được xác minh tính đúng đắn, do đó hệ thống sẽ chuyển sang trạng thái VERIFYING trước khi thực hiện tiếp các bước sau.
- Ở trạng thái VERIFYING, hệ thống tiến hành nạp bitstream cho chip FPGA. Quá trình nạp bitstream này có thể làm treo hệ thống và hệ thống tiến hành tự khởi động lại sau một thời gian (cơ chế tự động khởi động lại sau một thời gian bị treo là cơ chế tự bảo vệ cơ bản của một hệ thống nhúng có sử dụng hệ điều hành). Trong trường hợp chương trình được nạp thành công và hệ thống hoạt động bình thường, trạng thái của hệ thống chuyển sang VERIFIED.
- Khi khởi động hệ thống, nếu chương trình nạp phát hiện hệ thống đang ở trạng thái VERIFYING, điều đó có nghĩa là lần nạp chương trình trước không thành công (trường hợp thành công thì hệ thống sẽ chuyển về trạng thái VERIFIED), chương trình nạp sẽ tiến hành nạp chương trình dự phòng và chuyển qua trạng

thái RECOVERY. Chương trình dự phòng sẽ được lưu trữ tại vùng nhớ an toàn, và đảm bảo được các chức năng cơ bản của hệ thống.

- Khi khởi động, nếu chương trình nạp phát hiện hệ thống đang ở trạng thái RECOVERY, điều đó có nghĩa là lần khởi động trước của hệ thống đang sử dụng chương trình dự phòng. Nguyên nhân của vấn đề này có thể do chương trình chính bị lỗi hoặc không tồn tại chương trình chính. Trong trường hợp này, hệ thống sẽ tiếp tục sử dụng chương trình dự phòng cho đến khi có chỉ thị mới (ví dụ như chuyển sang trạng thái NEWBIT để đi tiến hành xác minh một chương trình mới có hợp lệ hay không).

Quá trình tự phục hồi sẽ được khởi động khi hệ thống nằm ở trạng thái VERIFYING. Như nêu trên, khi ở trạng thái VERIFYING tức là hệ thống trong lần khởi động gần nhất đã không thành công trong nạp mới bitstream.

Ví dụ thực hiện sáng chế

Phương pháp FRB được phát triển thành trình nạp FRB và tích hợp trên thiết bị thu phát tín hiệu cao tần 4G (Radio Remote Head – RRH) thuộc dự án phát triển trạm gốc thu phát sóng 4G (eNodeB) do VTTEK – Viettel nghiên cứu và sản xuất. RRH là một hệ thống nhúng sử dụng một Hệ thống nhiều thành phần trên chip (System On Chip – SOC) làm khối xử lý trung tâm. Khối xử lý trung tâm này là chip thuộc dòng sản phẩm Zynq7000 của Xilinx, bao gồm ba thành phần cơ bản sau:

- Khối xử lý trung tâm (Center Processing Unit - CPU) là hai nhân ARM Cortex A9, thực hiện các nhiệm vụ điều khiển và cấu hình nói chung. CPU trên RRH chạy hệ điều hành Linux và là môi trường để triển khai trình nạp FRB.
- Phần vi mạch số khả trình là chip FPGA dòng Kintex7 của Xilinx, thực hiện các tác vụ liên quan đến xử lý dữ liệu số tốc độ cao. Phần vi mạch khả trình này hoạt động dựa trên bitstream của người dùng và là đối tượng để trình nạp FRB tác động đến.
- Các khối chức năng ngoại vi đảm bảo hoạt động cho toàn bộ hệ chip, trong đó đặc biệt là khối DevC dùng để kết nối giữa CPU và chip FPGA trong quá trình nạp bitstream. FRB sử dụng DevC như một khối chức năng để có thể nạp được FPGA.

FPGA phải nạp lại chương trình sau mỗi lần cấp nguồn lại cho chip, do đó trình FRB sẽ được tích hợp thành một bước trong toàn bộ quá trình khởi động của RRH. Quá trình khởi động ở trạng thái bình thường của RRH bao gồm các bước chính sau:

- Bước 1: khi được cấp nguồn, trình khởi động hệ thống (first state bootloader, u-boot) được khởi chạy và tiến hành thiết lập tất cả các ngoại vi cần thiết cho việc khởi động hệ điều hành Linux.
- Bước 2: khởi động hệ điều hành Linux.

- Bước 3: trình nạp chạy trên hệ điều hành Linux tiến hành cấu hình phần FPGA.
- Bước 4: trình cấu hình trên hệ điều hành Linux tiến hành cấu hình các thành phần còn lại của hệ thống.
- Bước 5: các tiến trình thực hiện các chức năng khác của RRH được khởi động.

Phương pháp FRB với đại diện là trình nạp FRB được triển khai tại Bước 3 trong quá trình khởi động hệ thống. Các trường hợp được mô tả tiếp theo trong mục này sẽ thể hiện hoạt động của trình nạp FRB.

Trong mô tả của các trường hợp sau đây, để tiện cho theo dõi tác giả sẽ gọi bitstream chính là ActiveBit, bitstream dự phòng là RecoveryBit.

Trường hợp 1: ActiveBit hoạt động tốt

Trong trường hợp này, hệ thống tiến hành nạp ActiveBit và do ActiveBit hoạt động đúng nên hệ thống sẽ khởi động bình thường. Kết quả của hệ thống trong trường hợp này được thể hiện trong đoạn thông tin trong Hình 4.

Trong Hình 4, hệ thống chuyển từ trạng thái NEWBIT sang VERIFYING, sau đó trình nạp chương trình kiểm tra hệ thống khởi động ổn định và chuyển sang trạng thái VERIFIED. ActiveBit được nạp thành công.

NEWBIT ----> VERIFYING -----> VERIFIED

Trường hợp 2: ActiveBit không tồn tại

Trình nạp FRB tiến hành kiểm tra ActiveBit và thấy nó không tồn tại, tiến hành nạp RecoveryBit và chuyển trạng thái mạch qua RECOVERY. **Error! Reference source not found.** Hình 5 mô tả đoạn thông tin thể hiện quá trình chuyển đổi trạng thái của hệ thống.

NEWBIT ----> RECOVERY

Trường hợp 3: ActiveBit là một chương trình lỗi, gây treo hệ thống

Như đã nhắc đến ở phần trước, trong trường hợp bitstream sử dụng để nạp cho vi mạch khả trình là không hợp lệ có thể gây ra treo hệ thống. **Error! Reference source not found.** Hình 6 thể hiện quá trình nạp một đoạn chương trình sai xuống FPGA, chương trình này sau một thời gian gây treo và hệ thống không tiếp tục hoạt động. Sau một thời gian, cơ chế bảo vệ của hệ điều hành sẽ cố gắng khởi động lại toàn bộ hệ thống. Do quá trình nạp chương trình gây treo hệ thống, đó đó trạng thái của trình nạp FRB sẽ dừng lại ở trạng thái VERIFYING. **Error! Reference source not found.** Hình 7 thể hiện hoạt động của hệ thống sau lần khởi động lại tiếp theo. Trình nạp FRB phát hiện được hệ thống đang ở trạng thái VERIFYING sẽ tiến hành nạp chương trình dự phòng và chuyển qua trạng thái RECOVERY.

NEWBIT ----> VERIFYING ----> X (Reboot) ----> VERIFYING
-----> RECOVERY

Trường hợp 4: Hệ thống đang ở trạng thái RECOVERY khi khởi động

Bởi vì một lý do nào đó làm cho hệ thống dừng lại ở trạng thái RECOVERY, dẫn đến tất cả các lần khởi động hệ thống sẽ tự động nạp chương trình dự phòng. Trạng thái này chỉ được thay đổi khi người dùng chủ động thay đổi trạng thái của trình nạp FRB. Quá trình khởi động ở trạng thái RECOVERY được thể hiện trong Hình 8.

RECOVERY ----> RECOVERY

Trường hợp 5: Hệ thống đang ở trạng thái VERIFIED khi khởi động

Hệ thống đang ở trạng thái VERIFIED có nghĩa là lần khởi động trước ActiveBit đã được khởi động thành công. Nhưng điều đó không đảm bảo được trong quá trình lưu trữ ActiveBit được hoàn toàn bảo toàn. Do đó khi nạp ActiveBit vào hệ thống, trạng thái của FRB vẫn được chuyển sang VERIFYING.

Trường hợp ActiveBit vẫn được bảo toàn:

VERIFIED ----> VERIFYING ----> VERIFIED

Trường hợp ActiveBit không được bảo toàn và gây ra lỗi treo hệ thống:

VERIFIED ----> VERIFYING ----> X (Reboot) -> VERIFYING
----> RECOVERY

Hiệu quả đạt được của sáng chế

Phương pháp FRB theo sáng chế cung cấp một cơ chế an toàn cho quá trình nạp bitstream cho phần cứng vi mạch số khả trình. Trong trường hợp quá trình nạp dẫn đến treo hệ thống, hệ thống sẽ có khả năng tự phục hồi.

Chức năng của các thiết bị trên hệ thống viễn thông được cập nhật từ xa thường xuyên, quá trình cập nhật chức năng và nạp chương trình thông qua mạng Internet tiềm ẩn nhiều rủi ro liên quan đến sai lệch dữ liệu, dẫn đến khả năng treo hệ thống và mất hẳn liên lạc với thiết bị. Phương pháp cập nhật đảm bảo an toàn này sẽ là nền tảng tốt cho các ứng dụng liên quan đến quá trình cập nhật chức năng của hệ thống thông qua mạng Internet.

YÊU CẦU BẢO HỘ

1. Phương pháp sửa lỗi cập nhật chương trình cho vi mạch số khả trình (Field Programmable Gate Array – FPGA) bằng cơ chế tự phục hồi sử dụng máy hữu hạn trạng thái (Finite State Machine – FSM) bao gồm: trạng thái “CHƯƠNG TRÌNH MỚI (NEWBIT)” là trạng thái khởi tạo của hệ thống và ở trạng thái này bitstream sẵn sàng cho nạp mới; trạng thái “CHỜ XÁC MINH (VERIFYING)” là trạng thái bitstream vừa được nạp vào hệ thống và đang trong giai đoạn xác minh liệu bitstream có làm lỗi hệ thống sau khi được nạp hay không; trạng thái “ĐÃ XÁC MINH (VERIFIED)” là trạng thái bitstream đã được nạp thành công và không gây ảnh hưởng đến quá trình hoạt động của hệ thống; và trạng thái “TỰ PHỤC HỒI (RECOVERY)” là trạng thái bitstream mới đang bị lỗi và hệ thống đang sử dụng bitstream dự phòng; quá trình hoạt động của FSM như sau:

(i) khi ở trạng thái “CHƯƠNG TRÌNH MỚI (NEWBIT)”, FSM tiến hành nạp bitstream mới và chuyển qua trạng thái “CHỜ XÁC MINH (VERIFYING)”;

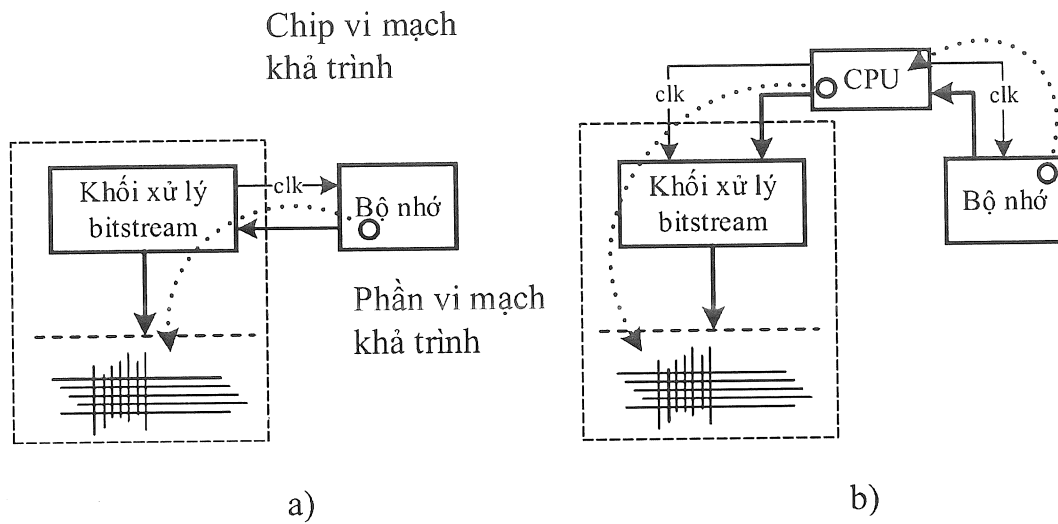
(ii) khi ở trạng thái “CHỜ XÁC MINH (VERIFYING)”, nếu bitstream vừa được nạp mới không gây treo hệ thống thì FSM chuyển qua trạng thái “ĐÃ XÁC MINH (VERIFIED)”, trong trường hợp hệ thống bị treo sau khi nạp bitstream mới thì FSM treo ở trạng thái “CHỜ XÁC MINH (VERIFYING)”;

(iii) khi ở trạng thái “TỰ PHỤC HỒI (RECOVERY)” thì FSM tiếp tục sử dụng bitstream dự phòng và giữ nguyên trạng thái này; quá trình chỉ chuyển sang nạp bitstream mới khi và chỉ khi người dùng đưa trạng thái của FSM sang “CHƯƠNG TRÌNH MỚI (NEWBIT)”;

(iv) khi ở trạng thái “ĐÃ XÁC MINH (VERIFIED)” tức là bitstream mới đã sử dụng cho lần khởi động trước và không gây treo hệ thống, FSM tiếp tục nạp bitstream này và chuyển qua trạng thái “CHỜ XÁC MINH (VERIFYING)”;

mặc dù bitstream không gây treo hệ thống ở lần sử dụng gần nhất nhưng lỗi có thể xảy ra trong quá trình lưu trữ, do đó FSM vẫn cần phải chuyển qua trạng thái “CHỜ XÁC MINH (VERIFYING)” trước khi nạp mới;

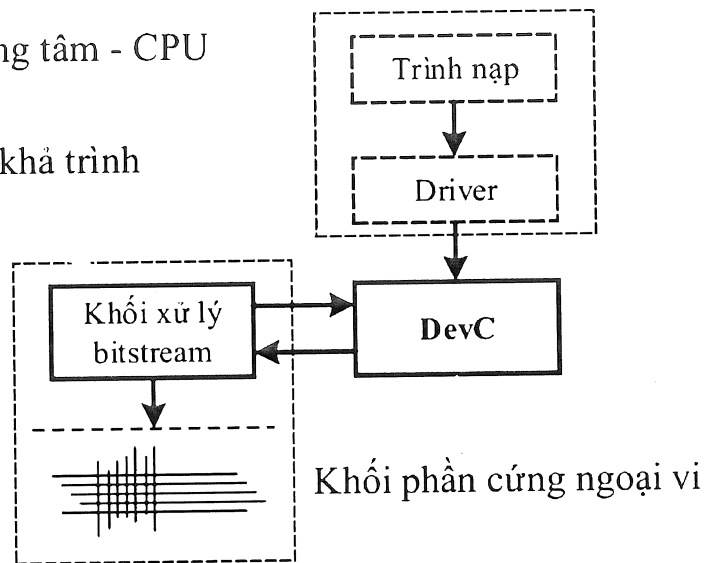
(v) khi hệ thống khởi động, nếu FSM kiểm tra thấy trạng thái hiện tại là “CHỜ XÁC MINH (VERIFYING)”, chứng tỏ bitstream mới đã gây treo hệ thống trong lần khởi động trước đó dẫn đến FSM không thể chuyển sang trạng thái “ĐÃ XÁC MINH (VERIFIED)”, khi đó FSM sẽ tiến hành nạp bitstream dự phòng và chuyển qua trạng thái “TỰ PHỤC HỒI (RECOVERY)”.



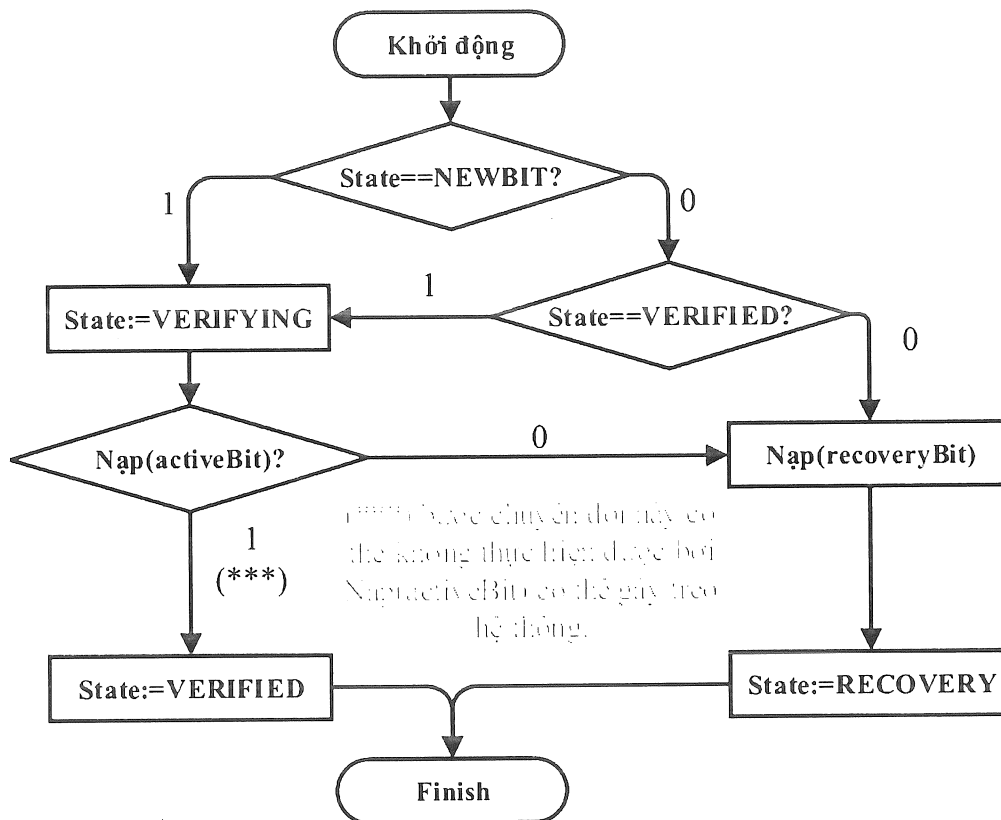
Hình 1

Đơn vị xử lý trung tâm - CPU

Chip vi mạch khả trình



Hình 2



Hình 3

```

RRU_2T2R_PVT2S:~# cat load_bit.log
This is upgrade FPGA bitstream log
[FPGABIT] Current bitstate: NEWBIT
[FPGABIT] In fpga_info.txt: RRU_2T2R_PVT2S, , , 100000000, NA
[FPGABIT] FW-release: RRU_2T2R_PVT2S
[FPGABIT] Current config: bw 100000000 Hz
[FPGABIT] Start to write bitstream: change state to VERIFYING
[FPGAVERIFY] Bitstream load state: VERIFYING
[FPGAVERIFY] Change to VERIFIED
  
```

Hình 4

```

RRU_2T2R_PVT2S:~# cat load_bit.log
This is upgrade FPGA bitstream log
[FPGABIT] Current bitstate: NEWBIT
[FPGABIT] Error: fpga_default.tar.gz does not exist or can not be extracted
[FPGABIT] /home/root/viettel/config/bitstream/fpga_bitstream.tar.gz is not valid.
[FPGABIT] Default bit is loaded
[FPGAVERIFY] Bitstream load state: RECOVERY
  
```

Hình 5

```

Start to check and update bitstream
This is upgrade FPGA bitstream log
[FPGABIT] Current bitstate: NEWBIT
[FPGABIT] In fpga_info.txt: RRU_2T2R_PVT2S, , , 10000000, NA
[FPGABIT] FW-release: RRU_2T2R_PVT2S
[FPGABIT] Current config: bw 100000000 Hz
[FPGABIT] Start to write bitstream: change state to VERIFYING
[ 5.558752] Did not transfer last 2 bytes
[ 7.617947] cdns-i2c e0004000.i2c: timeout waiting on completion
[ 8.637971] cdns-i2c e0004000.i2c: timeout waiting on completion

U-Boot 2014.07 (Jun 27 2018 - 14:18:00)

I2C: ready
DRAM: ECC disabled 1 GiB
SF: Detected S25FL512S_256K with page size 512 Bytes, erase size 256 KiB
EEPROM: Invalid ID (61 62 63 64)
In: serial
Out: serial
Err: serial
Net: Gem.e000b000
Hit any key to stop autoboot: 0
U-Boot-PetaLinux>

```

Hình 6

```

RRU_2T2R_PVT2S:~# cat load_bit.log
This is upgrade FPGA bitstream log
[FPGABIT] Current bitstate: RECOVERY
[FPGABIT] Start to load RECOVERY
[FPGABIT] Default bit is loaded
[FPGAVERIFY] Bitstream load state: RECOVERY

```

Hình 7

```

RRU_2T2R_PVT2S:~# cat load_bit.log
This is upgrade FPGA bitstream log
[FPGABIT] Current bitstate: VERIFYING
[FPGABIT] Start to load RECOVERY
[FPGABIT] Default bit is loaded
[FPGAVERIFY] Bitstream load state: RECOVERY

```

Hình 8