



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẢNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0053512

(51)^{2022.01} H03K 17/16; G05F 1/59; G05F 1/614; (13) B
H04L 25/02; H03K 17/567; H03K
17/687; G05F 1/565; G05F 1/618

(21) 1-2023-00284

(22) 08/06/2021

(86) PCT/US2021/036448 08/06/2021

(87) WO 2022/026059 A1 03/02/2022

(30) 16/941,261 28/07/2020 US; 16/941,230 28/07/2020 US

(45) 25/11/2025 452

(43) 25/05/2023 422A

(73) QUALCOMM INCORPORATED (US)

ATTN: International IP Administration, 5775 Morehouse Drive, San Diego, CA
92121-1714, United States of America

(72) HAFIZI, Madjid (US).

(74) Công ty TNHH Quốc tế D & N (D&N INTERNATIONAL CO.,LTD.)

(54) CHIP

(21) 1-2023-00284

(57) Sáng chế đề cập đến chip bao gồm trình điều khiển. Theo các khía cạnh nhất định, trình điều khiển bao gồm bóng bán dẫn kéo xuống được ghép nối giữa đầu ra và đất, bóng bán dẫn hiệu ứng trường loại-n (n-type field effect transistor - NFET) kéo lên được ghép nối giữa ray điện áp thứ nhất và đầu ra, và bóng bán dẫn hiệu ứng trường loại-p (p-type field effect transistor - PFET) kéo lên được ghép nối giữa ray điện áp thứ nhất và đầu ra. Trình điều khiển cũng bao gồm công tắc thứ nhất được ghép nối giữa cực cổng của NFET kéo lên và đất, và công tắc thứ hai được ghép nối giữa cực cổng của PFET kéo lên và ray điện áp thứ hai.

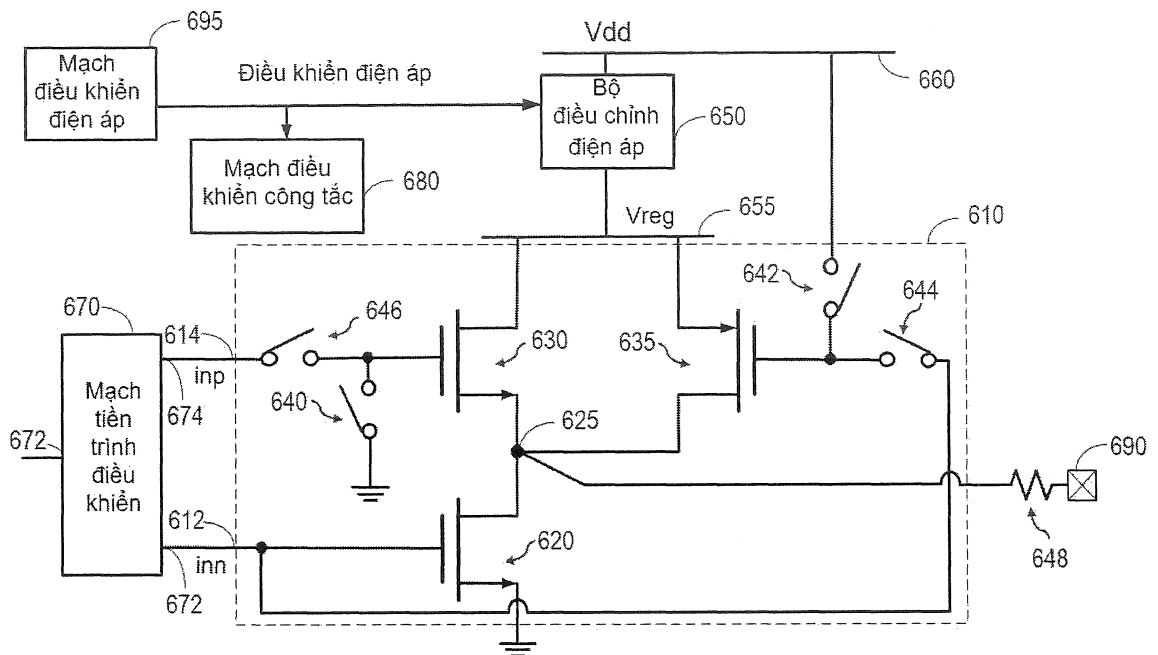


Fig.6

Lĩnh vực kỹ thuật được đề cập

Các khía cạnh của sáng chế nói chung đề cập đến trình điều khiển, và cụ thể hơn là trình điều khiển lai với dải biên độ đầu ra rộng.

Tình trạng kỹ thuật của sáng chế

Trình điều khiển có thể được sử dụng để điều khiển tín hiệu từ chip thứ nhất sang chip thứ hai thông qua liên kết (ví dụ, một hoặc nhiều đường điện kim loại, cáp, v.v.) để hỗ trợ truyền thông giữa chip với chip. Theo một số khía cạnh nhất định, trình điều khiển có thể điều khiển liên kết bằng tín hiệu nối tiếp tốc độ cao để giảm số lượng chân của chip thứ nhất và chip thứ hai.

Bản chất kỹ thuật của sáng chế

Phần sau đây trình bày ngắn gọn về một hoặc nhiều phương án triển khai nhằm cung cấp hiểu biết cơ bản về các phương án triển khai này. Phần bản chất kỹ thuật của sáng chế này không phải là phần tổng quan bao quát về tất cả các phương án triển khai được dự tính và không nhằm mục đích xác định các yếu tố chính hoặc quan trọng của tất cả các phương án triển khai, cũng không nhằm phân định phạm vi của bất kỳ hoặc tất cả các phương án triển khai. Mục đích duy nhất của phần này là trình bày một số khái niệm về một hoặc nhiều phương án triển khai ở dạng đơn giản hóa để làm phần mở đầu cho phần mô tả chi tiết hơn sẽ được trình bày tiếp sau đây.

Khía cạnh thứ nhất đề cập đến chip bao gồm trình điều khiển. Trình điều khiển bao gồm bóng bán dẫn kéo xuống được ghép nối giữa đầu ra và đất, bóng bán dẫn hiệu ứng trường loại-n (n-type field effect transistor - NFET) kéo lên được ghép nối giữa ray điện áp thứ nhất và đầu ra, và bóng bán dẫn hiệu ứng trường loại-p (p-type field effect transistor - PFET) kéo lên được ghép nối giữa ray điện áp thứ nhất và đầu ra. Trình điều khiển cũng bao gồm công tắc thứ nhất được ghép nối giữa cực cổng của NFET kéo lên và đất, và công tắc thứ hai được ghép nối giữa cực cổng của PFET kéo lên và ray điện áp thứ hai.

Khía cạnh thứ hai đề cập đến chip bao gồm trình điều khiển nhiều lát. Trình điều khiển nhiều lát bao gồm nhiều lát. Mỗi lát bao gồm bóng bán dẫn kéo xuống tương ứng

được ghép nối giữa đầu ra tương ứng và đất, bóng bán dẫn hiệu ứng trường loại-n (NFET) kéo lên tương ứng được ghép nối giữa ray điện áp thứ nhất và đầu ra tương ứng, và bóng bán dẫn hiệu ứng trường loại-p (PFET) kéo lên tương ứng được ghép nối giữa ray điện áp thứ nhất và đầu ra tương ứng. Mỗi lát cũng bao gồm công tắc thứ nhất tương ứng được ghép nối giữa cực cổng của NFET kéo lên tương ứng và đất, và công tắc thứ hai tương ứng được ghép nối giữa cực cổng của PFET kéo lên tương ứng và ray điện áp thứ hai.

Khía cạnh thứ ba đề cập đến chip bao gồm trình điều khiển. Trình điều khiển bao gồm bóng bán dẫn kéo xuống thứ nhất được ghép nối giữa đầu ra thứ nhất và đất, bóng bán dẫn kéo xuống thứ hai được ghép nối giữa đầu ra thứ hai và đất, bóng bán dẫn hiệu ứng trường loại-n (NFET) kéo lên thứ nhất được ghép nối giữa ray điện áp thứ nhất và đầu ra thứ nhất, NFET kéo lên thứ hai được ghép nối giữa ray điện áp thứ nhất và đầu ra thứ hai, bóng bán dẫn hiệu ứng trường loại-p (PFET) kéo lên thứ nhất được ghép nối giữa ray điện áp thứ nhất và đầu ra thứ nhất, và PFET kéo lên thứ hai được ghép nối giữa ray điện áp thứ nhất và đầu ra thứ hai. Trình điều khiển cũng bao gồm công tắc thứ nhất được ghép nối giữa cực cổng của NFET kéo lên thứ nhất và đất, công tắc thứ hai được ghép nối giữa cực cổng của NFET kéo lên thứ hai và đất, công tắc thứ ba được ghép nối giữa cực cổng của PFET kéo lên thứ nhất và ray điện áp thứ hai, và công tắc thứ tư được ghép nối giữa cực cổng của PFET kéo lên thứ nhất và ray điện áp thứ hai.

Khía cạnh thứ tư đề cập đến phương pháp vận hành trình điều khiển lai. Trình điều khiển lai bao gồm bóng bán dẫn kéo xuống được ghép nối giữa đầu ra và đất, bóng bán dẫn hiệu ứng trường loại-n (NFET) kéo lên được ghép nối giữa ray điện áp và đầu ra, và bóng bán dẫn hiệu ứng trường loại-p (PFET) kéo lên được ghép nối giữa ray điện áp và đầu ra. Phương pháp này bao gồm các bước: trong chế độ trình điều khiển thứ nhất, tắt PFET kéo lên, điều khiển cực cổng của bóng bán dẫn kéo xuống bằng tín hiệu đầu vào thứ nhất và điều khiển cực cổng của NFET kéo lên bằng tín hiệu đầu vào thứ hai. Phương pháp này cũng bao gồm các bước: trong chế độ trình điều khiển thứ hai, tắt NFET kéo lên, điều khiển cực cổng của bóng bán dẫn kéo xuống bằng tín hiệu đầu vào thứ nhất và điều khiển cực cổng của PFET kéo lên bằng tín hiệu đầu vào thứ nhất.

Mô tả vắn tắt các hình vẽ

Fig.1 thể hiện ví dụ về hệ thống bao gồm chip thứ nhất, chip thứ hai và trình điều khiển truyền thông giữa chip với chip theo các khía cạnh nhất định của sáng chế.

Fig.2 thể hiện ví dụ về hệ thống trong đó Bộ chuyển nối tiếp/Bộ chuyển song song (Serializer/Deserializer - SerDes) được sử dụng cho truyền thông giữa chip với chip theo các khía cạnh nhất định của sáng chế.

Fig.3 thể hiện ví dụ về hệ thống trong đó các liên kết vi sai được sử dụng cho truyền thông giữa chip với chip theo các khía cạnh nhất định của sáng chế.

Fig.4 thể hiện ví dụ về trình điều khiển với kiến trúc NFET-trên-NFET theo các khía cạnh nhất định của sáng chế.

Fig.5 thể hiện ví dụ về trình điều khiển với kiến trúc PFET-trên-NFET theo các khía cạnh nhất định của sáng chế.

Fig.6 thể hiện ví dụ về trình điều khiển lai theo các khía cạnh nhất định của sáng chế.

Fig.7 thể hiện phương án triển khai làm ví dụ của mạch điều khiển công tắc theo các khía cạnh nhất định của sáng chế.

Fig.8 thể hiện ví dụ về trình điều khiển lai bao gồm nhiều lát theo các khía cạnh nhất định của sáng chế.

Fig.9 thể hiện ví dụ về trình điều khiển lai vi sai theo các khía cạnh nhất định của sáng chế.

Fig.10 thể hiện ví dụ về trình điều khiển lai vi sai bao gồm nhiều lát theo các khía cạnh nhất định của sáng chế.

Fig.11 thể hiện bộ điều chỉnh độ sụt điện áp thấp (low dropout - LDO) bao gồm NFET thông qua theo các khía cạnh nhất định của sáng chế.

Fig.12 thể hiện bộ điều chỉnh LDO bao gồm PFET thông qua theo các khía cạnh nhất định của sáng chế.

Fig.13 thể hiện ví dụ về bộ điều chỉnh LDO lai bao gồm NFET thông qua và PFET thông qua theo các khía cạnh nhất định của sáng chế.

Fig.14 thể hiện ví dụ về bộ điều chỉnh LDO lai bao gồm các mạch bù theo các khía cạnh nhất định của sáng chế.

Fig.15 thể hiện phương án triển khai làm ví dụ của mạch điện áp-tham chiếu theo các khía cạnh nhất định của sáng chế.

Fig.16 thể hiện phương án triển khai làm ví dụ khác của mạch điện áp-tham chiếu theo các khía cạnh nhất định của sáng chế.

Fig.17 thể hiện phương án triển khai làm ví dụ khác nữa của mạch điện áp-tham chiếu theo các khía cạnh nhất định của sáng chế.

Fig.18 thể hiện ví dụ về đường phóng tính điện thông qua trình điều khiển lai và bộ điều chỉnh LDO lai theo các khía cạnh nhất định của sáng chế.

Fig.19A thể hiện phương án triển khai làm ví dụ của trình điều khiển lai theo các khía cạnh nhất định của sáng chế.

Fig.19B thể hiện phương án triển khai làm ví dụ của bộ điều chỉnh LDO lai được điều khiển bởi cùng một bộ tín hiệu điều khiển như trình điều khiển lai trên Fig.19A theo các khía cạnh nhất định của sáng chế.

Fig.20 là lưu đồ minh họa phương pháp vận hành trình điều khiển lai theo các khía cạnh nhất định của sáng chế.

Mô tả chi tiết sáng chế

Phần mô tả chi tiết trình bày dưới đây, liên quan đến các hình vẽ kèm theo, được dự định dùng làm phần mô tả về nhiều cấu hình khác nhau và không dự định để chỉ biểu diễn những cấu hình mà trong đó các khái niệm mô tả ở đây có thể được thực hành. Phần mô tả chi tiết bao gồm các chi tiết cụ thể nhằm mục đích cung cấp hiểu biết thấu đáo về các khái niệm khác nhau. Tuy nhiên, đối với người có hiểu biết trung bình trong lĩnh vực, hiển nhiên là các khái niệm này có thể được thực hành mà không có các chi tiết cụ thể này. Trong một số trường hợp, các cấu trúc và thành phần đã được biết rộng rãi được thể hiện dưới dạng sơ đồ khối để tránh gây khó hiểu đối với các khái niệm đó.

Fig.1 thể hiện ví dụ về hệ thống 100 bao gồm chip thứ nhất 110, chip thứ hai 120, liên kết thứ nhất 122, và liên kết thứ hai 124. Mỗi liên kết trong số các liên kết 122 và

124 có thể bao gồm một hoặc nhiều đường mạch kim loại trên lớp nền 126 (ví dụ, bảng mạch in), cáp, v.v. Chip thứ nhất 110 và chip thứ hai 120 có thể được gắn trên lớp nền 126, ví dụ được thể hiện trên Fig.1. Tuy nhiên, cần hiểu rõ rằng điều này là không nhất thiết.

Trong ví dụ này, chip thứ nhất 110 bao gồm trình điều khiển thứ nhất 130 và chân đầu ra thứ nhất 135 được ghép nối với đầu ra của trình điều khiển thứ nhất 130. Chip thứ hai 120 bao gồm bộ thu thứ nhất 140 và chân đầu vào thứ nhất 145 được ghép nối với đầu vào của bộ thu thứ nhất 140. Liên kết thứ nhất 122 được ghép nối giữa chân đầu ra thứ nhất 135 trên chip thứ nhất 110 và chân đầu vào thứ nhất 145 trên chip thứ hai 120.

Khi vận hành, trình điều khiển thứ nhất 130 nhận tín hiệu từ mạch thứ nhất 170 trên chip thứ nhất 110. Mạch thứ nhất 170 có thể bao gồm bộ xử lý, bộ thu phát, modem hoặc loại mạch khác. Trình điều khiển thứ nhất 130 điều khiển liên kết thứ nhất 122 bằng tín hiệu để truyền tín hiệu từ chip thứ nhất 110 sang chip thứ hai 120. Bộ thu thứ nhất 140 trên chip thứ hai 120 nhận tín hiệu qua liên kết thứ nhất 122 và xuất tín hiệu nhận được sang mạch thứ hai 175 trên chip thứ hai 120 để xử lý tiếp. Mạch thứ hai 175 có thể bao gồm bộ xử lý, bộ thu phát, modem, hoặc loại mạch khác. Bộ thu thứ nhất 140 có thể khuếch đại tín hiệu nhận được và/hoặc thực hiện cân bằng trên tín hiệu nhận được để sửa méo tín hiệu nhận được do sự suy giảm phụ thuộc vào tần số trong liên kết thứ nhất 122 gây ra. Trong ví dụ này, trình điều khiển thứ nhất 130, liên kết thứ nhất 122, và bộ thu thứ nhất 140 hỗ trợ truyền thông từ chip thứ nhất 110 sang chip thứ hai 120.

Trong ví dụ này, chip thứ hai 120 còn bao gồm trình điều khiển thứ hai 150 và chân đầu ra thứ hai 155 được ghép nối với đầu ra của trình điều khiển thứ hai 150. Chip thứ nhất 110 bao gồm bộ thu thứ hai 160 và chân đầu vào thứ hai 165 được ghép nối với đầu vào của bộ thu thứ hai 160. Liên kết thứ hai 124 được ghép nối giữa chân đầu ra thứ hai 155 trên chip thứ hai 120 và chân đầu vào thứ hai 165 trên chip thứ nhất 110.

Khi vận hành, trình điều khiển thứ hai 150 nhận tín hiệu từ mạch thứ hai 175 trên chip thứ hai 120. Trình điều khiển thứ hai 150 điều khiển liên kết thứ hai 124 bằng tín hiệu để truyền tín hiệu từ chip thứ hai 120 sang chip thứ nhất 110. Bộ thu thứ hai 160 trên chip thứ nhất 110 nhận tín hiệu qua liên kết thứ hai 124 và xuất tín hiệu nhận được

sang mạch thứ nhất 170 trên chip thứ nhất 110 để xử lý tiếp. Bộ thu thứ hai 160 có thể khuếch đại tín hiệu nhận được và/hoặc thực hiện cân bằng trên tín hiệu nhận được để sửa méo tín hiệu nhận được do sự suy giảm phụ thuộc vào tần số trong liên kết thứ hai 124 gây ra. Trong ví dụ này, trình điều khiển thứ hai 150, liên kết thứ hai 124, và bộ thu thứ hai 160 hỗ trợ truyền thông từ chip thứ hai 120 sang chip thứ nhất 110.

Do đó, trong ví dụ này, các trình điều khiển 130 và 150, các liên kết 122 và 124, và các bộ thu 140 và 160 tạo điều kiện truyền thông hai chiều giữa chip thứ nhất 110 và chip thứ hai 120. Tuy nhiên, cần hiểu rõ rằng, trong các phương án triển khai khác, truyền thông có thể chỉ được hỗ trợ theo một chiều. Ví dụ, đối với trường hợp chỉ hỗ trợ truyền thông từ chip thứ nhất 110 đến chip thứ hai 120, trình điều khiển thứ hai 150, liên kết thứ hai 124 và bộ thu thứ hai 160 có thể được bỏ qua. Cũng cần hiểu rõ rằng truyền thông theo cả hai hướng có thể được thực hiện trên một liên kết dùng chung thay vì hai liên kết riêng biệt (ví dụ, sử dụng ghép kênh phân chia theo thời gian trong đó các tín hiệu được truyền qua liên kết dùng chung theo một hướng tại một thời điểm). Cũng cần hiểu rõ rằng chip thứ nhất 110 và chip thứ hai 120 có thể bao gồm các thành phần bổ sung không được thể hiện trên Fig.1. Ví dụ, chip thứ nhất 110 có thể bao gồm mạch tiền-trình điều khiển thứ nhất giữa mạch thứ nhất 170 và đầu vào của trình điều khiển thứ nhất 130 để điều khiển trước trình điều khiển thứ nhất 130, và chip thứ hai 120 có thể bao gồm mạch tiền-trình điều khiển thứ hai giữa mạch thứ hai 175 và đầu vào của trình điều khiển thứ hai 150 để điều khiển trước trình điều khiển thứ hai 150.

Theo các khía cạnh nhất định, Bộ chuyển nối tiếp/Bộ chuyển song song (SerDes) có thể được sử dụng để gửi tín hiệu nối tiếp tốc độ cao giữa chip thứ nhất 110 và chip thứ hai 120. Một lợi thế của SerDes là SerDes giảm số lượng chân của chip thứ nhất 110 và chip thứ hai 120. Ví dụ về truyền thông SerDes giữa chip thứ nhất 110 và chip thứ hai 120 được thể hiện trên Fig.2.

Trong ví dụ này, chip thứ nhất 110 bao gồm bộ chuyển nối tiếp thứ nhất 210 giữa mạch thứ nhất 170 và đầu vào của trình điều khiển thứ nhất 130, và chip thứ hai 120 bao gồm bộ chuyển song song thứ nhất 220 giữa đầu ra của bộ thu thứ nhất 140 và mạch thứ hai 175. Khi vận hành, bộ chuyển nối tiếp thứ nhất 210 nhận tín hiệu song song từ mạch thứ nhất 170 và chuyển đổi tín hiệu song song nhận được sang tín hiệu nối tiếp. Trình

điều khiển thứ nhất 130 nhận tín hiệu nối tiếp và điều khiển liên kết thứ nhất 122 bằng tín hiệu nối tiếp. Bộ thu thứ nhất 140 trên chip thứ hai 120 nhận tín hiệu nối tiếp qua liên kết thứ nhất 122 và xuất tín hiệu nối tiếp nhận được sang bộ chuyển song song thứ nhất 220. Bộ chuyển song song thứ nhất 220 chuyển đổi tín hiệu nối tiếp nhận được trở lại thành tín hiệu song song và xuất tín hiệu song song sang mạch thứ hai 175 để xử lý tiếp.

Trong ví dụ này, chip thứ hai 120 còn bao gồm bộ chuyển nối tiếp thứ hai 230 giữa mạch thứ hai 175 và đầu vào của trình điều khiển thứ hai 150, và chip thứ nhất 110 bao gồm bộ chuyển song song thứ hai 240 giữa đầu ra của bộ thu thứ hai 160 và mạch thứ nhất 170. Khi vận hành, bộ chuyển nối tiếp thứ hai 230 nhận tín hiệu song song từ mạch thứ hai 175 và chuyển đổi tín hiệu song song nhận được sang tín hiệu nối tiếp. Trình điều khiển thứ hai 150 nhận tín hiệu nối tiếp và điều khiển liên kết thứ hai 124 bằng tín hiệu nối tiếp. Bộ thu thứ hai 160 trên chip thứ nhất 110 nhận tín hiệu nối tiếp qua liên kết thứ hai 124 và xuất tín hiệu nối tiếp nhận được sang bộ chuyển song song thứ hai 240. Bộ chuyển song song thứ hai 240 chuyển đổi tín hiệu nối tiếp nhận được trở lại thành tín hiệu song song và xuất tín hiệu song song sang mạch thứ nhất 170 để xử lý tiếp.

Theo các khía cạnh nhất định, mỗi liên kết trong số liên kết thứ nhất 122 và liên kết thứ hai 124 có thể là liên kết vi sai. Liên quan đến điểm này, Fig.3 thể hiện ví dụ trong đó liên kết thứ nhất 122 là liên kết vi sai bao gồm cặp đường truyền thứ nhất 312a và 312b, và liên kết thứ hai 124 là liên kết vi sai bao gồm cặp đường truyền thứ hai 314a và 314b. Mỗi đường truyền 312a, 312b, 314a và 314b có thể bao gồm đường kim loại trên lớp nền 126 (ví dụ, bảng mạch in).

Trong ví dụ này, trình điều khiển thứ nhất 130 có đầu ra vi sai bao gồm cặp đầu ra 330a và 330b, và bộ thu thứ nhất 140 có đầu vào vi sai bao gồm cặp đầu vào 340a và 340b. Đầu ra 330a của trình điều khiển thứ nhất 130 được ghép nối với đường truyền 312a qua chân đầu ra 335a và đầu ra 330b của trình điều khiển thứ nhất 130 được ghép nối với đường truyền 312b qua chân đầu ra 335b. Trình điều khiển thứ nhất 130 được tạo cấu hình để điều khiển các đường truyền 312a và 312b bằng tín hiệu vi sai. Đầu vào 340a của bộ thu thứ nhất 140 được ghép nối với đường truyền 312a qua chân đầu vào

345a và đầu vào 340b của bộ thu thứ nhất 140 được ghép nối với đường truyền 312b qua chân đầu vào 345b. Bộ thu thứ nhất 140 được tạo cấu hình để nhận tín hiệu vi sai ở đầu vào 340a và 340b.

Trong ví dụ này, trình điều khiển thứ hai 150 có đầu ra vi sai bao gồm cặp đầu ra 350a và 350b, và bộ thu thứ hai 160 có đầu vào vi sai bao gồm cặp đầu vào 360a và 360b. Đầu ra 350a của trình điều khiển thứ hai 150 được ghép nối với đường truyền 314a qua chân đầu ra 355a và đầu ra 350b của trình điều khiển thứ hai 150 được ghép nối với đường truyền 314b qua chân đầu ra 355b. Trình điều khiển thứ hai 150 được tạo cấu hình để điều khiển các đường truyền 314a và 314b bằng tín hiệu vi sai. Đầu vào 360a của bộ thu thứ hai 160 được ghép nối với đường truyền 314a qua chân đầu vào 365a và đầu vào 360b của bộ thu thứ hai 160 được ghép nối với đường truyền 314b qua chân đầu vào 365b. Bộ thu thứ hai 160 được tạo cấu hình để nhận tín hiệu vi sai ở đầu vào 360a và 360b.

Theo các khía cạnh nhất định, trình điều khiển 130 và 150 có thể cần hỗ trợ dải khoảng cách rộng giữa chip thứ nhất 110 và chip thứ hai 120. Ví dụ, khoảng cách giữa chip thứ nhất 110 và chip thứ hai 120 có thể khác nhau giữa các hệ thống khác nhau (ví dụ, từ 2,54 cm (1 inch) đến hơn 15,24 cm (6 inch)). Đối với khoảng cách ngắn hơn, sự suy giảm trên các liên kết 122 và 124 ít hơn, cho phép mức tín hiệu đầu ra (tức là, biên độ) của trình điều khiển 130 và 150 thấp hơn để tiết kiệm điện năng. Đối với khoảng cách xa hơn, độ suy giảm trên các liên kết 122 và 124 cao hơn, điều này có thể yêu cầu mức tín hiệu đầu ra (tức là, biên độ) của trình điều khiển 130 và 150 cao hơn để đảm bảo đủ mức tín hiệu đến được bộ thu 140 và 160. Do đó, có thể có mong muốn các trình điều khiển 130 và 150 có phạm vi mức tín hiệu đầu ra (tức là, biên độ) rộng để hỗ trợ truyền tín hiệu trên dải khoảng cách rộng giữa chip thứ nhất 110 và chip thứ hai 120.

Trong một số ứng dụng, chip thứ nhất 110 có thể là chip mạch tích hợp tần số vô tuyến (radio frequency integrated circuit - RFIC) và chip thứ hai 120 có thể là chip modem. Trong các ứng dụng này, mạch thứ nhất 170 có thể bao gồm bộ thu phát và mạch thứ hai 175 có thể bao gồm modem, trong đó trình điều khiển 130 và 150 cung cấp truyền thông chip với chip (tức là, giao diện) giữa bộ thu phát và modem. Tốc độ dữ liệu giữa bộ thu phát và modem có thể dao động ở phạm vi rộng (ví dụ, từ 1,5 Gbps

đến 18 Gbps). Ví dụ, bộ thu phát và modem có thể hỗ trợ công nghệ truyền thông không dây với dải tốc độ dữ liệu rộng. Ngoài ra, bộ thu phát và modem có thể hỗ trợ nhiều công nghệ truyền thông không dây (ví dụ, thế hệ thứ năm (fifth generation - 5G), thế hệ thứ tư (fourth generation - 4G), thế hệ thứ ba (third generation - 3G), v.v.) với các tốc độ dữ liệu khác nhau. Đối với tốc độ dữ liệu thấp hơn, các mức tín hiệu đầu ra (tức là, biên độ) của trình điều khiển 130 và 150 có thể thấp hơn để tiết kiệm điện năng. Đối với tốc độ dữ liệu cao hơn, các mức tín hiệu đầu ra (tức là, biên độ) của trình điều khiển 130 và 150 có thể cần phải cao hơn để đảm bảo có đủ mức dữ liệu ở bộ thu 140 và 160.

Do đó, có mong muốn đối với trình điều khiển có phạm vi mức tín hiệu đầu ra (tức là, biên độ) rộng để hỗ trợ dải khoảng cách rộng giữa chip thứ nhất 110 và chip thứ hai 120 và/hoặc dải tốc độ dữ liệu rộng. Một thách thức trong việc đạt được phạm vi mức tín hiệu đầu ra (tức là, biên độ) rộng là phạm vi mức tín hiệu đầu ra (tức là, biên độ) của các thiết kế trình điều khiển hiện tại bị hạn chế, như được trình bày thêm dưới đây.

Fig.4 thể hiện ví dụ về trình điều khiển 410 với kiến trúc NFET-trên-NFET (viết tắt là “N-trên-N”). Trình điều khiển 410 có thể được sử dụng để triển khai từng trình điều khiển trong số các trình điều khiển 130 và 150 trên các hình vẽ từ Fig.1 đến Fig.3 (tức là, mỗi trình điều khiển 130 và 150 có thể là một trường hợp riêng biệt của trình điều khiển 410).

Trong ví dụ này, trình điều khiển 410 bao gồm bóng bán dẫn hiệu ứng trường loại-n (NFET) kéo xuống 420 và NFET kéo lên 430 được điều khiển bởi các tín hiệu đầu vào bổ sung lần lượt là inn và inp. NFET kéo xuống 420 được tạo cấu hình để kéo đầu ra 432 của trình điều khiển 410 xuống khi được bật bởi tín hiệu đầu vào inn, và NFET kéo lên 430 được tạo cấu hình để kéo đầu ra 432 lên khi được bật bởi tín hiệu đầu vào inp. Khi vận hành, một trong các NFET 420 và 430 được bật luân phiên để đẩy đầu ra 432 lên cao hoặc xuống thấp.

Mức tín hiệu đầu ra (tức là, biên độ) của trình điều khiển 410 có thể được thay đổi (tức là, được điều chỉnh) bằng cách thay đổi điện áp được cung cấp cho trình điều khiển 410. Liên quan đến điểm này, Fig.4 thể hiện ví dụ trong đó điện áp được cung cấp cho trình điều khiển 410 là điện áp được điều chỉnh Vreg được cung cấp bởi bộ điều

chỉnh điện áp 450 (ví dụ, bộ điều chỉnh độ sụt điện áp thấp (LDO)). Trong ví dụ này, mức điện áp của điện áp được điều chỉnh Vreg được điều khiển bởi tín hiệu điều khiển điện áp được nhập vào bộ điều chỉnh điện áp 450. Do mức tín hiệu đầu ra (tức là, biên độ) của trình điều khiển 410 phụ thuộc vào mức điện áp của điện áp được điều chỉnh Vreg được cung cấp cho trình điều khiển 410 (được điều khiển bởi tín hiệu điều khiển điện áp), tín hiệu điều khiển điện áp có thể được sử dụng để điều chỉnh mức tín hiệu đầu ra (tức là, biên độ) của trình điều khiển 410.

Trình điều khiển 410 hỗ trợ các mức tín hiệu đầu ra thấp có thể được sử dụng cho khoảng cách ngắn và/hoặc tốc độ dữ liệu thấp để giảm công suất. Tuy nhiên, mức tín hiệu đầu ra cận trên của trình điều khiển 410 bị hạn chế. Điều này là do cực nguồn của NFET kéo lên 430 (được ghép nối với đầu ra 432) cần thấp hơn điện áp cực cổng của NFET kéo lên 430 một mức ít nhất bằng điện áp ngưỡng của NFET kéo lên 430 để bật NFET kéo lên 430. Do đó, trình điều khiển 410 có thể không đạt được mức tín hiệu đầu ra (tức là, biên độ) đủ cao đối với trường hợp khoảng cách xa giữa các chip 110 và 120 và/hoặc tốc độ dữ liệu cao. Ngoài ra, NFET kéo lên 430 không cung cấp đường xả từ đầu ra 432 của trình điều khiển 410 đến thiết bị kẹp (không được hiển thị) trong sự kiện phóng tĩnh điện (electrostatic discharge - ESD). Do đó, trình điều khiển 410 có thể thiếu độ bền ESD.

Trong ví dụ trên Fig.4, trình điều khiển 410 là trình điều khiển một đầu. Tuy nhiên, cần hiểu rõ rằng phiên bản vi sai của trình điều khiển 410 có thể được triển khai bằng cách thêm NFET kéo lên thứ hai và NFET kéo xuống thứ hai điều khiển đầu ra thứ hai của trình điều khiển 410 theo hướng ngược lại với đầu ra 432.

Fig.5 thể hiện ví dụ về trình điều khiển 510 với kiến trúc PFET-trên-NFET (viết tắt là “P-trên-N”). Trình điều khiển 510 có thể được sử dụng để triển khai từng trình điều khiển trong số các trình điều khiển 130 và 150 trên các hình vẽ từ Fig.1 đến Fig.3 (tức là, mỗi trình điều khiển 130 và 150 có thể là một trường hợp riêng biệt của trình điều khiển 510).

Trong ví dụ này, trình điều khiển 510 bao gồm bóng bán dẫn hiệu ứng trường loại-n (NFET) kéo xuống 520 và bóng bán dẫn hiệu ứng trường loại-p (PFET) kéo lên 530 trong đó cả NFET kéo xuống 520 và PFET kéo lên 530 được điều khiển bởi tín hiệu

đầu vào inn. NFET kéo xuống 520 được tạo cấu hình để kéo đầu ra 532 của trình điều khiển 510 xuống khi được bật bởi tín hiệu đầu vào inn, và PFET kéo lên 530 được tạo cấu hình để kéo đầu ra 532 lên khi được bật bởi tín hiệu đầu vào inn. Khi vận hành, một trong số NFET kéo xuống 520 và PFET kéo lên 530 được bật luân phiên để đẩy đầu ra 532 lên cao hoặc xuống thấp.

Mức tín hiệu đầu ra (tức là, biên độ) của trình điều khiển 510 có thể được thay đổi (tức là, được điều chỉnh) bằng cách thay đổi điện áp được cung cấp cho trình điều khiển 510. Liên quan đến điểm này, Fig.5 thể hiện ví dụ trong đó điện áp được cung cấp cho trình điều khiển 510 là điện áp được điều chỉnh Vreg được cung cấp bởi bộ điều chỉnh điện áp 450 (ví dụ, bộ điều chỉnh LDO) được trình bày ở trên. Trong ví dụ này, mức điện áp của điện áp được điều chỉnh được điều khiển bởi tín hiệu điều khiển điện áp được nhập vào bộ điều chỉnh điện áp 450. Do mức tín hiệu đầu ra (tức là, biên độ) của trình điều khiển 510 phụ thuộc vào mức điện áp của điện áp được điều chỉnh Vreg được cung cấp cho trình điều khiển 510 (được điều khiển bởi tín hiệu điều khiển điện áp), tín hiệu điều khiển điện áp có thể được sử dụng để điều chỉnh mức tín hiệu đầu ra (tức là, biên độ) của trình điều khiển 510.

Trình điều khiển 510 hỗ trợ các mức tín hiệu đầu ra cao có thể được sử dụng cho khoảng cách dài và/hoặc tốc độ dữ liệu cao. Tuy nhiên, mức tín hiệu đầu ra cận dưới của trình điều khiển 510 bị hạn chế. Điều này là do cực nguồn của PFET kéo lên 530 (được ghép nối với điện áp được điều chỉnh Vreg) cần ở điện áp ít nhất bằng điện áp ngưỡng của PFET kéo lên 530 để bật PFET kéo lên 530. Điều này giới hạn mức điện áp được điều chỉnh Vreg có thể được thiết lập thấp đến đâu, do đó giới hạn mức tín hiệu đầu ra cận dưới của trình điều khiển 510. Do đó, trình điều khiển 510 có thể không đạt được mức tín hiệu đầu ra (tức là, biên độ) thấp đối với trường hợp khoảng cách gần giữa các chip 110 và 120 và/hoặc tốc độ dữ liệu thấp.

Trong ví dụ trên Fig.5, trình điều khiển 510 là trình điều khiển một đầu. Tuy nhiên, cần hiểu rõ rằng phiên bản vi sai của trình điều khiển 510 có thể được triển khai bằng cách thêm NFET kéo xuống thứ hai và PFET kéo lên thứ hai điều khiển đầu ra thứ hai của trình điều khiển 510 theo hướng ngược lại với đầu ra 532.

Do đó, có mong muốn đối với trình điều khiển có phạm vi mức tín hiệu đầu ra (tức là, biên độ) rộng hơn trình điều khiển P-trên-N 510 và N-trên-N 410 để hỗ trợ dải khoảng cách rộng hơn giữa các chip 110 và 120 và/hoặc dải tốc độ dữ liệu rộng hơn.

Các khía cạnh của sáng chế đề xuất trình điều khiển lai kết hợp kiến trúc trình điều khiển N-trên-N và kiến trúc trình điều khiển P-trên-N để đạt được phạm vi mức tín hiệu đầu ra (tức là, biên độ) rộng, như được trình bày thêm bên dưới.

Fig.6 thể hiện ví dụ về trình điều khiển lai 610 với phạm vi mức tín hiệu đầu ra (tức là, biên độ) rộng theo các khía cạnh của sáng chế. Trình điều khiển lai 610 bao gồm NFET kéo xuống 620, NFET kéo lên 630, và PFET kéo lên 635. Trong ví dụ trên Fig.6, NFET kéo xuống 620 được ghép nối giữa đầu ra 625 của trình điều khiển 610 và đất với cực máng của NFET kéo xuống 620 được ghép nối với đầu ra 625 và cực nguồn của NFET kéo xuống 620 được nối đất. NFET kéo lên 630 được ghép nối giữa ray điện áp thứ nhất 655 và đầu ra 625 với cực máng của NFET kéo lên 630 được ghép nối với ray điện áp thứ nhất 655 và cực nguồn của NFET kéo lên 630 được ghép nối với đầu ra 625. PFET kéo lên 635 được ghép nối giữa ray điện áp thứ nhất 655 và đầu ra 625 với cực nguồn của PFET kéo lên 635 được ghép nối với ray điện áp thứ nhất 655 và cực máng của PFET kéo lên 635 được ghép nối với đầu ra 625. NFET kéo xuống 620 được tạo cấu hình để kéo đầu ra 625 xuống khi được bật, NFET kéo lên 630 được tạo cấu hình để kéo đầu ra 625 lên khi được bật, và PFET kéo lên 635 được tạo cấu hình để kéo đầu ra 625 lên khi được bật, như được trình bày thêm dưới đây.

Trình điều khiển lai 610 còn bao gồm công tắc thứ nhất 640, công tắc thứ hai 642, công tắc thứ ba 644, và công tắc thứ tư 646. Mỗi công tắc 640, 642, 644 và 646 có thể được triển khai với cực cổng truyền, NFET, PFET hoặc loại công tắc khác. Trong ví dụ trên Fig.6, công tắc thứ nhất 640 được ghép nối giữa cực cổng của NFET kéo lên 630 và đất, công tắc thứ hai 642 được ghép nối giữa cực cổng của PFET kéo lên 635 và ray điện áp thứ hai 660, công tắc thứ ba 644 được ghép nối giữa cực cổng của PFET kéo lên 635 và đầu vào thứ nhất 612 của trình điều khiển 610, và công tắc thứ tư 646 được ghép nối giữa cực cổng của NFET kéo lên 630 và đầu vào thứ hai 614 của trình điều khiển 610. Cực cổng của NFET kéo xuống 620 được ghép nối với đầu vào thứ nhất 612.

Đầu vào thứ nhất 612 và đầu vào thứ hai 614 là các đầu vào bổ sung được điều khiển bởi các tín hiệu đầu vào bổ sung lần lượt là inn và inp. Theo các khía cạnh nhất định, tín hiệu đầu vào bổ sung inn và inp có thể được tạo bởi mạch tiền-trình điều khiển 670, ví dụ về mạch này được thể hiện trên Fig.6. Trong ví dụ này, mạch tiền-trình điều khiển 670 có đầu vào 672, đầu ra thứ nhất 672 được ghép nối với đầu vào thứ nhất 612 của trình điều khiển 610, và đầu ra thứ hai 674 được ghép nối với đầu vào thứ hai 614 của trình điều khiển 610. Mạch tiền-trình điều khiển 670 có thể nhận tín hiệu đầu vào ở đầu vào 672 (ví dụ, từ mạch thứ nhất 170, mạch thứ hai 175, bộ chuyển nối tiếp thứ nhất 210 hoặc bộ chuyển nối tiếp thứ hai 230) và tạo tín hiệu đầu vào bổ sung inn và inp từ tín hiệu đầu vào. Mạch tiền-trình điều khiển 670 xuất tín hiệu đầu vào inn từ đầu ra thứ nhất 672 và xuất tín hiệu đầu vào inp từ đầu ra thứ hai 674.

Như được trình bày thêm bên dưới, các công tắc 640, 642, 644 và 646 được tạo cấu hình để chuyển đổi trình điều khiển lai 610 giữa chế độ trình điều khiển N-trên-N và chế độ trình điều khiển P-trên-N. Trong một ví dụ, trình điều khiển lai 610 được vận hành ở chế độ trình điều khiển N-trên-N để hỗ trợ dải biên độ thứ nhất (ví dụ, 50 mV đến 400 mV) và được vận hành ở chế độ trình điều khiển P-trên-N để hỗ trợ dải biên độ thứ hai (ví dụ, 425 mV đến 700 mV). Trong ví dụ này, dải biên độ của trình điều khiển lai 610 là sự kết hợp của dải biên độ thứ nhất và dải biên độ thứ hai. Điều này cho phép trình điều khiển lai 610 đạt được dải biên độ rộng, như được trình bày thêm bên dưới.

Trong ví dụ trên Fig.6, bộ điều chỉnh điện áp 650 được ghép nối giữa ray điện áp thứ hai 660 và ray điện áp thứ nhất 655. Bộ điều chỉnh điện áp 650 được tạo cấu hình để tạo ra điện áp được điều chỉnh Vreg từ điện áp nguồn Vdd trên ray điện áp thứ hai 660. Điện áp nguồn Vdd có thể được cung cấp bởi mạch tích hợp quản lý nguồn (power management integrated circuit - PMIC) được ghép nối với ray điện áp thứ hai 660. Bộ điều chỉnh điện áp 650 có thể được triển khai với bộ điều chỉnh LDO hoặc loại bộ điều chỉnh điện áp khác. Trong ví dụ này, điện áp được điều chỉnh Vreg được điều khiển bởi tín hiệu điều khiển điện áp được nhập vào bộ điều chỉnh điện áp 650. Mức tín hiệu đầu ra (tức là, biên độ) của trình điều khiển 610 phụ thuộc vào điện áp được điều chỉnh Vreg trên ray điện áp thứ nhất 655. Do mức tín hiệu đầu ra (tức là, biên độ) phụ thuộc vào điện áp được điều chỉnh và tín hiệu điều khiển điện áp điều khiển điện áp được điều chỉnh Vreg, nên tín hiệu điều khiển điện áp có thể được sử dụng để thay đổi (tức là, điều

chỉnh) mức tín hiệu đầu ra (tức là, biên độ) của trình điều khiển 610, như được trình bày thêm bên dưới. Tín hiệu điều khiển điện áp có thể là tín hiệu điều khiển số hoặc tín hiệu điều khiển tương tự. Tín hiệu điều khiển điện áp có thể đến từ mạch điều khiển điện áp 695 được ghép nối với bộ điều chỉnh điện áp 650. Mạch điều khiển điện áp 695 có thể điều khiển mức tín hiệu đầu ra của trình điều khiển 610 bằng cách sử dụng tín hiệu điều khiển điện áp, ví dụ, dựa trên tốc độ dữ liệu của tín hiệu đầu vào inn và inp và/hoặc khoảng cách giữa chip thứ nhất 110 và chip thứ hai 120. Ví dụ, mạch điều khiển điện áp 695 có thể tăng mức tín hiệu đầu ra cho tốc độ dữ liệu cao hơn và/hoặc tăng mức tín hiệu đầu ra cho khoảng cách dài hơn giữa chip thứ nhất 110 và chip thứ hai 120.

Trong ví dụ trên Fig.6, đầu ra 625 được ghép nối với chân đầu ra 690 thông qua điện trở 648. Chân đầu ra 690 có thể được ghép nối với liên kết (ví dụ, liên kết 122 hoặc 124) và có thể tương ứng với chân đầu ra 135 hoặc 155. Điện trở 648 có thể được tạo cấu hình để cung cấp trở kháng phù hợp giữa trình điều khiển 610 và liên kết (không được thể hiện trên Fig.6) được ghép nối với chân đầu ra 690.

Trong ví dụ này, mạch điều khiển công tắc 680 điều khiển các công tắc 640, 642, 644 và 646 để vận hành có chọn lọc trình điều khiển lai 610 ở chế độ trình điều khiển N-trên-N hoặc chế độ trình điều khiển P-trên-N. Để dễ minh họa, các kết nối riêng lẻ giữa mạch điều khiển công tắc 680 và các công tắc 640, 642, 644 và 646 không được thể hiện rõ ràng trên Fig.6.

Để vận hành trình điều khiển lai 610 ở chế độ trình điều khiển N-trên-N, mạch điều khiển công tắc 680 bật công tắc thứ hai 642 và tắt công tắc thứ ba 644. Thao tác này sẽ tắt PFET kéo lên 635 và tách cực cổng của PFET kéo lên khỏi đầu vào thứ nhất 612. Mạch điều khiển công tắc 680 cũng tắt công tắc thứ nhất 640 và bật công tắc thứ tư 646 để ghép nối cực cổng của NFET kéo lên 630 với đầu vào thứ hai 614. Trong chế độ trình điều khiển N-trên-N, trình điều khiển lai 610 triển khai trình điều khiển N-trên-N 410 được minh họa trên Fig.4, hỗ trợ mức tín hiệu đầu ra thấp (tức là, biên độ thấp).

Để vận hành trình điều khiển lai 610 ở chế độ trình điều khiển P-trên-N, mạch điều khiển công tắc 680 tắt công tắc thứ hai 642 và bật công tắc thứ ba 644 để ghép nối cực cổng của PFET kéo lên 635 với đầu vào thứ nhất 612. Mạch điều khiển công tắc 680 cũng bật công tắc thứ nhất 640 và tắt công tắc thứ tư 646. Thao tác này sẽ tắt NFET

kéo lên 630 và tách cực cổng của NFET kéo lên 630 khỏi đầu vào thứ hai 614. Trong chế độ trình điều khiển P-trên-N, trình điều khiển lai 610 triển khai trình điều khiển P-trên-N 510 được minh họa trên Fig.5, hỗ trợ mức tín hiệu đầu ra cao.

Theo các khía cạnh nhất định, mạch điều khiển công tắc 680 vận hành trình điều khiển lai 610 ở chế độ trình điều khiển N-trên-N hoặc chế độ trình điều khiển P-trên-N dựa trên điện áp được điều chỉnh Vreg trên ray điện áp thứ nhất 655. Như đã trình bày ở trên, biên độ của trình điều khiển 610 phụ thuộc vào điện áp được điều chỉnh Vreg. Trong ví dụ này, nếu điện áp được điều chỉnh Vreg nằm trong dải điện áp được điều chỉnh thứ nhất tương ứng với dải biên độ thứ nhất (ví dụ, 50 mV đến 400 mV) của trình điều khiển 610, thì mạch điều khiển công tắc 680 vận hành trình điều khiển lai 610 ở chế độ trình điều khiển N-trên-N. Nếu điện áp được điều chỉnh Vreg nằm trong dải điện áp được điều chỉnh thứ hai tương ứng với dải biên độ thứ hai (ví dụ, 425 mV đến 700 mV) của trình điều khiển 610, thì mạch điều khiển công tắc 680 vận hành trình điều khiển lai 610 ở chế độ trình điều khiển P-trên-N. Như đã trình bày ở trên, dải biên độ của trình điều khiển lai 610 là sự kết hợp của dải biên độ thứ nhất và dải biên độ thứ hai, cho phép trình điều khiển lai 610 đạt được dải biên độ rộng.

Vì điện áp được điều chỉnh Vreg được điều khiển bởi tín hiệu điều khiển điện áp, mạch điều khiển công tắc 680 có thể vận hành trình điều khiển lai 610 ở chế độ trình điều khiển N-trên-N hoặc chế độ trình điều khiển P-trên-N dựa trên tín hiệu điều khiển điện áp. Liên quan đến điểm này, Fig.6 thể hiện ví dụ trong đó tín hiệu điều khiển điện áp được nhập vào mạch điều khiển công tắc 680. Trong ví dụ này, mạch điều khiển công tắc 680 vận hành trình điều khiển lai 610 ở chế độ trình điều khiển N-trên-N khi tín hiệu điều khiển điện áp đặt điện áp được điều chỉnh Vreg ở mức điện áp trong dải điện áp được điều chỉnh thứ nhất tương ứng với dải biên độ thứ nhất (ví dụ, 50 mV đến 400 mV) của trình điều khiển 610. Trong ví dụ này, mạch điều khiển công tắc 680 vận hành trình điều khiển lai 610 ở chế độ trình điều khiển P-trên-N khi tín hiệu điều khiển điện áp đặt điện áp được điều chỉnh Vreg ở mức điện áp trong dải điện áp được điều chỉnh thứ hai tương ứng với dải biên độ thứ hai (ví dụ, 425 mV đến 700 mV) của trình điều khiển 610. Do đó, trong ví dụ này, tín hiệu điều khiển điện áp có thể được sử dụng để điều khiển cả biên độ của trình điều khiển lai 610 và chế độ trình điều khiển của trình điều khiển lai 610.

Theo các khía cạnh nhất định, tín hiệu điều khiển điện áp là tín hiệu điều khiển kỹ thuật số (còn được gọi là mã kỹ thuật số), trong đó mức điện áp của điện áp được điều chỉnh Vreg được đặt theo giá trị của tín hiệu điều khiển điện áp. Trong một ví dụ, tín hiệu điều khiển điện áp bao gồm n bit. Trong ví dụ này, tín hiệu điều khiển điện áp có 2^n giá trị khả thi, trong đó mỗi giá trị trong số 2^n giá trị khả thi tương ứng với một mức tương ứng trong 2^n mức điện áp có thể lựa chọn cho điện áp được điều chỉnh Vreg. Do đó, trong ví dụ này, mạch điều khiển điện áp 695 có thể đặt điện áp được điều chỉnh Vreg thành mức bất kỳ trong số 2^n mức điện áp có thể lựa chọn bằng cách đặt tín hiệu điều khiển điện áp (ví dụ, mã kỹ thuật số) bằng giá trị tương ứng.

Trong một ví dụ, tập hợp các giá trị thứ nhất cho tín hiệu điều khiển điện áp tương ứng với các mức điện áp trong dải điện áp được điều chỉnh thứ nhất và tập hợp các giá trị thứ hai cho tín hiệu điều khiển điện áp tương ứng với các mức điện áp trong dải điện áp được điều chỉnh thứ hai. Như đã trình bày ở trên, dải điện áp được điều chỉnh thứ nhất tương ứng với dải biên độ thứ nhất (ví dụ, 50 mV đến 400 mV) của trình điều khiển 610 và dải điện áp được điều chỉnh thứ hai tương ứng với dải biên độ thứ hai (ví dụ, 425 mV đến 700 mV) của trình điều khiển 610. Do đó, trong ví dụ này, tập hợp giá trị thứ nhất bao trùm dải biên độ thứ nhất và tập hợp giá trị thứ hai bao trùm dải biên độ thứ hai. Trong ví dụ này, mạch điều khiển công tắc 680 có thể được tạo cấu hình để vận hành trình điều khiển 610 ở chế độ trình điều khiển N-trên-N nếu giá trị hiện tại của tín hiệu điều khiển điện áp nằm trong tập giá trị thứ nhất (tức là, tín hiệu điều khiển điện áp có một giá trị trong tập giá trị thứ nhất) và vận hành trình điều khiển 610 ở chế độ trình điều khiển P-trên-N nếu giá trị hiện tại của tín hiệu điều khiển điện áp nằm trong tập giá trị thứ hai (tức là, tín hiệu điều khiển điện áp có một giá trị trong tập giá trị thứ hai).

Trong một ví dụ, tín hiệu điều khiển điện áp bao gồm năm bit với 32 giá trị khả thi nằm trong khoảng từ 0 đến 31. Một ví dụ về điểm này được thể hiện trên Fig.7 trong đó tín hiệu điều khiển điện áp được dán nhãn $V<4:0>$ cho biết tín hiệu điều khiển điện áp bao gồm năm bit. Trong ví dụ này, tập hợp giá trị thứ nhất có thể bao gồm các giá trị từ 0 đến 23 và tập hợp giá trị thứ hai có thể bao gồm các giá trị từ 24 đến 31. Do đó, trong ví dụ này, các giá trị từ 0 đến 23 bao trùm dải biên độ thứ nhất (ví dụ, 50 mV đến 400 mV) của trình điều khiển 610 và các giá trị từ 24 đến 31 bao trùm dải biên độ thứ hai (ví dụ, 425 mV đến 700 mV) của trình điều khiển 610. Trong ví dụ này, mạch điều

khởi công tắc 680 vận hành trình điều khiển 610 ở chế độ trình điều khiển N-trên-N nếu giá trị hiện tại của tín hiệu điều khiển điện áp nằm trong khoảng từ 0 đến 23 và vận hành trình điều khiển 610 ở chế độ trình điều khiển P-trên-N nếu giá trị hiện tại của tín hiệu điều khiển điện áp nằm trong khoảng từ 24 đến 31.

Trong ví dụ trên Fig.7, mạch điều khiển công tắc 680 được triển khai với cực cổng AND 710 bao gồm đầu vào thứ nhất 712, đầu vào thứ hai 714, và đầu ra 716. Đầu vào thứ nhất 712 nhận bit quan trọng thứ hai $V<3>$ của tín hiệu điều khiển điện áp và đầu vào thứ hai 714 nhận bit quan trọng nhất $V<4>$ của tín hiệu điều khiển điện áp. Trong ví dụ này, cực cổng AND 710 thực hiện thao tác AND trên các bit $V<3>$ và $V<4>$ để tạo tín hiệu điều khiển cho các công tắc 640, 642, 644 và 646. Cực cổng AND 710 xuất ra giá trị một khi cả hai bit $V<3>$ và $V<4>$ đều là một, xảy ra khi giá trị của tín hiệu điều khiển điện áp nằm trong khoảng từ 24 đến 31 (tức là, giá trị của tín hiệu điều khiển điện áp nằm trong tập giá trị thứ hai tương ứng với dải biên độ thứ hai). Cực cổng AND 710 xuất ra giá trị không khi một trong các bit $V<3>$ và $V<4>$ bằng không hoặc cả hai bit $V<3>$ và $V<4>$ bằng không, điều này xảy ra khi giá trị của tín hiệu điều khiển điện áp nằm trong khoảng từ 0 đến 23 (tức là, giá trị của tín hiệu điều khiển điện áp nằm trong tập giá trị thứ nhất tương ứng với dải biên độ thứ nhất). Do đó, cực cổng AND 710 xuất ra giá trị một khi giá trị của tín hiệu điều khiển điện áp nằm trong khoảng từ 24 đến 31 và xuất ra giá trị không khi giá trị của tín hiệu điều khiển điện áp nằm trong khoảng từ 0 đến 23. Trong ví dụ này, các công tắc 640, 642, 644 và 646 được tạo cấu hình sao cho công tắc thứ nhất 640 và công tắc thứ ba 644 bật và công tắc thứ hai 642 và công tắc thứ tư 646 tắt khi tín hiệu điều khiển công tắc xuất ra giá trị một. Điều này khiến cho trình điều khiển 610 hoạt động ở chế độ trình điều khiển P-trên-N khi giá trị của tín hiệu điều khiển điện áp nằm trong khoảng từ 24 đến 31. Các công tắc 640, 642, 644 và 646 được tạo cấu hình sao cho công tắc thứ nhất 640 và công tắc thứ ba 644 tắt và công tắc thứ hai 642 và công tắc thứ tư 646 bật khi tín hiệu điều khiển công tắc xuất ra giá trị không. Điều này khiến cho trình điều khiển 610 vận hành trình điều khiển ở chế độ trình điều khiển N-trên-N khi giá trị của tín hiệu điều khiển điện áp nằm trong khoảng từ 0 đến 23.

Cần hiểu rõ rằng mạch điều khiển công tắc 680 không bị hạn chế ở phương án triển khai làm ví dụ thể hiện trên Fig.7. Mạch điều khiển công tắc 680 có thể được triển

khai với các cực cổng logic khác nhau và/hoặc các tổ hợp cực cổng logic khác nhau. Ngoài ra, cần hiểu rõ rằng, trong các phương án triển khai khác, tín hiệu điều khiển điện áp có thể bao gồm ít hơn năm bit hoặc nhiều hơn năm bit.

Trình điều khiển lai làm ví dụ 610 được thể hiện trên Fig.6 có thể được sử dụng để triển khai trình điều khiển lai nhiều lát 805, ví dụ về trình điều khiển này được thể hiện trên Fig.8. Trong ví dụ này, trình điều khiển lai nhiều lát 805 bao gồm nhiều lát từ 810-1 đến 810-m được ghép nối song song giữa ray điện áp thứ nhất 655 và đất. Mỗi lát trong các lát từ 810-1 đến 810-m được triển khai với trình điều khiển lai làm ví dụ 610 được thể hiện trên Fig.6 (tức là, mỗi lát trong các lát từ 810-1 đến 810-m là một trường hợp riêng biệt của trình điều khiển lai 610 được thể hiện trên Fig.6.) Như được thể hiện trên Fig.8, đầu ra 625 của các lát từ 810-1 đến 810-m được ghép nối với chân đầu ra 890 thông qua điện trở 848 (tức là, điện trở 848 được ghép nối giữa đầu ra 625 của các lát từ 810-1 đến 810-m và chân đầu ra 890). Chân đầu ra 890 có thể được ghép nối với liên kết (ví dụ, liên kết 122 hoặc 124) và có thể tương ứng với chân đầu ra 135 hoặc 155.

Đầu vào thứ nhất 612 của các lát từ 810-1 đến 810-m được ghép nối với đầu vào thứ nhất 812 của trình điều khiển lai nhiều lát 805 và đầu vào thứ hai 614 của các lát từ 810-1 đến 810-m được ghép nối với đầu vào thứ hai 814 của trình điều khiển lai nhiều lát 805. Đầu vào thứ nhất 812 và đầu vào thứ hai 814 được điều khiển bởi các tín hiệu đầu vào bổ sung lần lượt là inn và inp.

Mạch điều khiển công tắc 680 (được thể hiện trên Fig.6) điều khiển các công tắc 640, 642, 644 và 646 trong các lát từ 810-1 đến 810-m để vận hành có chọn lọc trình điều khiển lai nhiều lát 805 ở chế độ trình điều khiển N-trên-N hoặc chế độ trình điều khiển P-trên-N. Ví dụ, mạch điều khiển công tắc 680 có thể vận hành trình điều khiển lai nhiều lát 805 ở chế độ trình điều khiển N-trên-N khi điện áp được điều chỉnh Vreg nằm trong dải điện áp được điều chỉnh thứ nhất tương ứng với dải biên độ thứ nhất (ví dụ, 50 mV đến 400 mV), và vận hành trình điều khiển lai nhiều lát 805 ở chế độ trình điều khiển P-trên-N khi điện áp được điều chỉnh Vreg nằm trong dải điện áp được điều chỉnh thứ hai tương ứng với dải biên độ thứ hai (ví dụ, 425 mV đến 700 mV). Lưu ý rằng bộ điều chỉnh điện áp 650 không được thể hiện trên Fig.8.

Theo các khía cạnh nhất định, số lát từ 810-1 đến 810-m đang hoạt động (tức là, được bật) tại một thời điểm nhất định có thể được điều chỉnh (ví dụ, sử dụng công tắc). Ví dụ, số lượng lát từ 810-1 đến 810-m đang hoạt động (tức là, được bật) có thể được điều chỉnh để điều chỉnh trở kháng đầu ra của trình điều khiển lai nhiều lát 805. Trong ví dụ này, trở kháng đầu ra của trình điều khiển lai nhiều lát 805 có thể được điều chỉnh (tức là, được hiệu chỉnh) để cung cấp trở kháng phù hợp với liên kết (ví dụ, liên kết 122 hoặc 124) được ghép nối với chân đầu ra 890.

Fig.9 thể hiện trình điều khiển lai vi sai 905 theo các khía cạnh nhất định. Trình điều khiển vi sai 905 bao gồm nhánh thứ nhất 910A và nhánh thứ hai 910B. Mỗi nhánh trong số nhánh thứ nhất 910A và nhánh thứ hai 910B có thể được triển khai với trình điều khiển lai 610 được thể hiện trên Fig.6 (tức là, mỗi nhánh có thể là một trường hợp riêng biệt của trình điều khiển lai 610). Trên Fig.9, số tham chiếu cho các bộ phận của nhánh thứ nhất 910A bao gồm chữ cái “A” và số tham chiếu cho các bộ phận của nhánh thứ hai 910B bao gồm chữ cái “B.” Như được trình bày thêm bên dưới, nhánh thứ nhất 910A và nhánh thứ hai 910B được điều khiển theo hướng ngược nhau để tạo ra tín hiệu đầu ra vi sai.

Nhánh thứ nhất 910A bao gồm NFET kéo xuống thứ nhất 620A, NFET kéo lên thứ nhất 630A, và PFET kéo lên thứ nhất 635A. NFET kéo xuống thứ nhất 620A được ghép nối giữa đầu ra thứ nhất 625A và đất với cực máng của NFET kéo xuống thứ nhất 620A được ghép nối với đầu ra thứ nhất 625A và cực nguồn của NFET kéo xuống thứ nhất 620 được nối đất. NFET kéo lên thứ nhất 630A được ghép nối giữa ray điện áp thứ nhất 655 và đầu ra thứ nhất 625A với cực máng của NFET kéo lên thứ nhất 630A được ghép nối với ray điện áp thứ nhất 655 và cực nguồn của NFET kéo lên thứ nhất 630A được ghép nối với đầu ra thứ nhất 625A. PFET kéo lên thứ nhất 635A được ghép nối giữa ray điện áp thứ nhất 655 và đầu ra thứ nhất 625A với cực nguồn của PFET kéo lên thứ nhất 635A được ghép nối với ray điện áp thứ nhất 655 và cực máng của PFET kéo lên thứ nhất 635A được ghép nối với đầu ra thứ nhất 625A.

Nhánh thứ hai 910B bao gồm NFET kéo xuống thứ hai 620B, NFET kéo lên thứ hai 630B, và PFET kéo lên thứ hai 635B. NFET kéo xuống thứ hai 620B được ghép nối giữa đầu ra thứ hai 625B và đất với cực máng của NFET kéo xuống thứ hai 620B được

ghép nối với đầu ra thứ hai 625B và cực nguồn của NFET kéo xuống thứ hai 620B được nối đất. NFET kéo lên thứ hai 630B được ghép nối giữa ray điện áp thứ nhất 655 và đầu ra thứ hai 625B với cực máng của NFET kéo lên thứ hai 630B được ghép nối với ray điện áp thứ nhất 655 và cực nguồn của NFET kéo lên thứ hai 630B được ghép nối với đầu ra thứ hai 625B. PFET kéo lên thứ hai 635B được ghép nối giữa ray điện áp thứ nhất 655 và đầu ra thứ hai 625B với cực nguồn của PFET kéo lên thứ hai 635B được ghép nối với ray điện áp thứ nhất 655 và cực máng của PFET kéo lên thứ hai 635B được ghép nối với đầu ra thứ hai 625B.

Trong ví dụ trên Fig.9, trình điều khiển 905 bao gồm công tắc thứ nhất 640A được ghép nối giữa cực cổng của NFET kéo lên thứ nhất 630A và đất, công tắc thứ hai 640B được ghép nối giữa cực cổng của NFET kéo lên thứ hai 630B và đất, công tắc thứ ba 642A được ghép nối giữa cực cổng của PFET kéo lên thứ nhất 635A và ray điện áp thứ hai 660, và công tắc thứ tư 642B được ghép nối giữa cực cổng của PFET kéo lên thứ hai 635B và ray điện áp thứ hai 660. Trình điều khiển 905 còn bao gồm công tắc thứ năm 644A được ghép nối giữa cực cổng của PFET kéo lên thứ nhất 635A và đầu vào thứ nhất 912 của trình điều khiển 905, công tắc thứ sáu 644B được ghép nối giữa cực cổng của PFET kéo lên thứ hai 635B và đầu vào thứ hai 914 của trình điều khiển 905, công tắc thứ bảy 646A được ghép nối giữa cực cổng của NFET kéo lên thứ nhất 630A và đầu vào thứ hai 914, và công tắc thứ tám 646B được ghép nối giữa cực cổng của NFET kéo lên thứ hai 630B và đầu vào thứ nhất 912. Cực cổng của NFET kéo xuống thứ nhất 620A được ghép nối với đầu vào thứ nhất 912 và cực cổng của NFET kéo xuống thứ hai 620B được ghép nối với đầu vào thứ hai 914.

Đầu vào thứ nhất 912 và đầu vào thứ hai 914 là các đầu vào bổ sung được điều khiển bởi các tín hiệu đầu vào bổ sung lần lượt là inn và inp. Tín hiệu đầu vào bổ sung inn và inp có thể được cung cấp bởi mạch tiền-trình điều khiển 670, (được thể hiện trên Fig.6) như được trình bày ở trên. Trong ví dụ này, đầu ra thứ nhất 672 của mạch tiền-trình điều khiển 670 có thể được ghép nối với đầu vào thứ nhất 912 và đầu ra thứ hai 674 của mạch tiền-trình điều khiển 670 có thể được ghép nối với đầu vào thứ hai 914.

Trong ví dụ này, các đầu vào của nhánh thứ hai 910B được đảo ngược so với các đầu vào của nhánh thứ nhất 910A sao cho các tín hiệu đầu vào bổ sung inn và inp điều

khiến nhánh thứ nhất 910A và nhánh thứ hai 910B theo các hướng ngược nhau để tạo ra tín hiệu đầu ra vi sai. Cụ thể hơn, tín hiệu đầu vào inn điều khiển NFET kéo xuống thứ nhất 620A trong nhánh thứ nhất 910A và tín hiệu đầu vào inp điều khiển NFET kéo xuống thứ hai 620B trong nhánh thứ hai 910B. Trong chế độ trình điều khiển N-trên-N, tín hiệu đầu vào inp điều khiển NFET kéo lên thứ nhất 630A trong nhánh thứ nhất 910A và tín hiệu đầu vào inn điều khiển NFET kéo lên thứ hai 630B trong nhánh thứ hai 910B. Trong chế độ trình điều khiển P-trên-N, tín hiệu đầu vào inn điều khiển PFET kéo lên thứ nhất 635A trong nhánh thứ nhất 910A và tín hiệu đầu vào inp điều khiển PFET kéo lên thứ hai 635B trong nhánh thứ hai 910B.

Trong ví dụ trên Fig.9, đầu ra thứ nhất 625A được ghép nối với chân đầu ra thứ nhất 990A thông qua điện trở thứ nhất 948A (tức là, điện trở thứ nhất 948A được ghép nối giữa đầu ra thứ nhất 625A và chân đầu ra thứ nhất 990A). Đầu ra thứ hai 625B được ghép nối với chân đầu ra thứ hai 990B thông qua điện trở thứ hai 948B (tức là, điện trở thứ hai 948B được ghép nối giữa đầu ra thứ hai 625B và chân đầu ra thứ hai 990B). Chân đầu ra thứ nhất 990A và chân đầu ra thứ hai 990B có thể được ghép nối với liên kết vi sai trong đó chân đầu ra thứ nhất 990A được ghép nối với đường truyền thứ nhất (ví dụ, đường truyền 312a hoặc 314a) của liên kết vi sai và chân đầu ra thứ hai 990B được ghép nối với đường truyền thứ hai (ví dụ, đường truyền 312b hoặc 314b) của liên kết vi sai.

Trong ví dụ này, mạch điều khiển công tắc 680 điều khiển các công tắc trong nhánh thứ nhất 910A và nhánh thứ hai 920 để vận hành có chọn lọc trình điều khiển lai vi sai 905 ở chế độ trình điều khiển N-trên-N hoặc chế độ trình điều khiển P-trên-N. Để dễ minh họa, các ghép nối riêng lẻ giữa mạch điều khiển công tắc 680 và các công tắc không được thể hiện rõ ràng trên Fig.9.

Để vận hành trình điều khiển lai vi sai 905 ở chế độ trình điều khiển N-trên-N, mạch điều khiển công tắc 680 tắt công tắc thứ nhất 640A, tắt công tắc thứ hai 640B, bật công tắc thứ ba 642A, bật công tắc thứ tư 642B, tắt công tắc thứ năm 644A, tắt công tắc thứ sáu 644B, bật công tắc thứ bảy 646A và bật công tắc thứ tám 646B. Thao tác này ghép nối cực cổng của NFET kéo lên thứ nhất 630A với đầu vào thứ hai 914, ghép nối cực cổng của NFET kéo lên thứ hai 630B với đầu vào thứ nhất 912 và tắt PFET kéo lên

thứ nhất 635A và PFET kéo lên thứ hai 635B. Trong chế độ trình điều khiển N-trên-N, trình điều khiển lai vi sai 905 triển khai trình điều khiển N-trên-N vi sai.

Để vận hành trình điều khiển lai vi sai 905 ở chế độ trình điều khiển P-trên-N, mạch điều khiển công tắc 680 bật công tắc thứ nhất 640A, bật công tắc thứ hai 640B, tắt công tắc thứ ba 642A, tắt công tắc thứ tư 642B, bật công tắc thứ năm 644A, bật công tắc thứ sáu 644B, tắt công tắc thứ bảy 646A và tắt công tắc thứ tám 646B. Thao tác này ghép nối cực cổng của PFET kéo lên thứ nhất 635A với đầu vào thứ nhất 912, ghép nối cực cổng của PFET kéo lên thứ hai 635B với đầu vào thứ hai 914 và tắt NFET kéo lên thứ nhất 630A và NFET kéo lên thứ hai 630B. Trong chế độ trình điều khiển P-trên-N, trình điều khiển lai vi sai 905 triển khai trình điều khiển P-trên-N vi sai.

Mạch điều khiển công tắc 680 vận hành trình điều khiển lai vi sai 905 ở chế độ trình điều khiển N-trên-N hoặc chế độ trình điều khiển P-trên-N dựa trên điện áp được điều chỉnh Vreg trên ray điện áp thứ nhất 655. Ví dụ, nếu điện áp được điều chỉnh Vreg nằm trong dải điện áp được điều chỉnh thứ nhất tương ứng với dải biên độ thứ nhất (ví dụ, 50 mV đến 400 mV) của trình điều khiển 905, thì mạch điều khiển công tắc 680 vận hành trình điều khiển lai 905 ở chế độ trình điều khiển N-trên-N. Nếu điện áp được điều chỉnh Vreg nằm trong dải điện áp được điều chỉnh thứ hai tương ứng với dải biên độ thứ hai (ví dụ, 425 mV đến 700 mV) của trình điều khiển 905, thì mạch điều khiển công tắc 680 vận hành trình điều khiển lai 905 ở chế độ trình điều khiển P-trên-N.

Vì điện áp được điều chỉnh Vreg được điều khiển bởi tín hiệu điều khiển điện áp, mạch điều khiển công tắc 680 có thể vận hành trình điều khiển lai 905 ở chế độ trình điều khiển N-trên-N hoặc chế độ trình điều khiển P-trên-N dựa trên tín hiệu điều khiển điện áp. Liên quan đến điểm này, Fig.9 thể hiện ví dụ trong đó tín hiệu điều khiển điện áp được nhập vào mạch điều khiển công tắc 680. Trong ví dụ này, mạch điều khiển công tắc 680 vận hành trình điều khiển lai 905 ở chế độ trình điều khiển N-trên-N khi tín hiệu điều khiển điện áp đặt điện áp được điều chỉnh Vreg ở mức điện áp trong dải điện áp được điều chỉnh thứ nhất tương ứng với dải biên độ thứ nhất (ví dụ, 50 mV đến 400 mV) của trình điều khiển 905. Trong ví dụ này, mạch điều khiển công tắc 680 vận hành trình điều khiển lai 905 ở chế độ trình điều khiển P-trên-N khi tín hiệu điều khiển điện áp đặt

điện áp được điều chỉnh Vreg ở mức điện áp trong dải điện áp được điều chỉnh thứ hai tương ứng với dải biên độ thứ hai (ví dụ, 425 mV đến 700 mV) của trình điều khiển 905.

Như đã trình bày ở trên, tín hiệu điều khiển điện áp có thể là tín hiệu điều khiển kỹ thuật số (còn được gọi là mã kỹ thuật số), trong đó mức điện áp của điện áp được điều chỉnh Vreg được đặt theo giá trị của tín hiệu điều khiển điện áp. Trong một ví dụ, tập hợp các giá trị thứ nhất cho tín hiệu điều khiển điện áp tương ứng với các mức điện áp trong dải điện áp được điều chỉnh thứ nhất và tập hợp các giá trị thứ hai cho tín hiệu điều khiển điện áp tương ứng với các mức điện áp trong dải điện áp được điều chỉnh thứ hai. Như đã trình bày ở trên, dải điện áp được điều chỉnh thứ nhất tương ứng với dải biên độ thứ nhất (ví dụ, 50 mV đến 400 mV) của trình điều khiển 905 và dải điện áp được điều chỉnh thứ hai tương ứng với dải biên độ thứ hai (ví dụ, 425 mV đến 700 mV) của trình điều khiển 905. Do đó, trong ví dụ này, tập hợp giá trị thứ nhất bao trùm dải biên độ thứ nhất và tập hợp giá trị thứ hai bao trùm dải biên độ thứ hai. Trong ví dụ này, mạch điều khiển công tắc 680 có thể được tạo cấu hình để vận hành trình điều khiển 905 ở chế độ trình điều khiển N-trên-N nếu giá trị hiện tại của tín hiệu điều khiển điện áp nằm trong tập giá trị thứ nhất và vận hành trình điều khiển 905 ở chế độ trình điều khiển P-trên-N nếu giá trị hiện tại của tín hiệu điều khiển điện áp nằm trong tập giá trị thứ hai.

Trình điều khiển lai vi sai làm ví dụ 905 được thể hiện trên Fig.9 có thể được sử dụng để triển khai trình điều khiển lai nhiều lát 1005, ví dụ về trình điều khiển này được thể hiện trên Fig.10. Trong ví dụ này, trình điều khiển lai nhiều lát 1005 bao gồm nhiều lát từ 1010-1 đến 1010-m được ghép nối song song giữa ray điện áp thứ nhất 655 và đất. Mỗi lát trong các lát từ 1010-1 đến 1010-m được triển khai với trình điều khiển lai vi sai làm ví dụ 905 được thể hiện trên Fig.9 (tức là, mỗi lát trong các lát từ 1010-1 đến 1010-m là một trường hợp riêng biệt của trình điều khiển lai vi sai 905 được thể hiện trên Fig.9.) Lưu ý rằng các chi tiết của trình điều khiển lai vi sai 905 không được thể hiện trên Fig.10 để dễ minh họa.

Như được thể hiện trên Fig.10, đầu ra thứ nhất 625A của các lát từ 1010-1 đến 1010-m được ghép nối với chân đầu ra thứ nhất 1090A thông qua điện trở thứ nhất 1048A (tức là, điện trở thứ nhất 1048A được ghép nối giữa đầu ra thứ nhất 625A của các lát từ 1010-1 đến 1010-m và chân đầu ra thứ nhất 1090A). Đầu ra thứ hai 625B của

các lát từ 1010-1 đến 1010-m được ghép nối với chân đầu ra thứ hai 1090B thông qua điện trở thứ hai 1048B (tức là, điện trở thứ hai 1048B được ghép nối giữa đầu ra thứ hai 625B của các lát từ 1010-1 đến 1010-m và chân đầu ra thứ hai 1090B). Chân đầu ra thứ nhất 1090A và chân đầu ra thứ hai 1090B có thể được ghép nối với liên kết vi sai trong đó chân đầu ra thứ nhất 1090A được ghép nối với đường truyền thứ nhất (ví dụ, đường truyền 312a hoặc 314a) của liên kết vi sai và chân đầu ra thứ hai 1090B được ghép nối với đường truyền thứ hai (ví dụ, đường truyền 312b hoặc 314b) của liên kết vi sai.

Đầu vào thứ nhất 912 của các lát từ 1010-1 đến 1010-m được ghép nối với đầu vào thứ nhất 1012 của trình điều khiển lai nhiều lát 1005, và đầu vào thứ hai 914 của các lát từ 1010-1 đến 1010-m được ghép nối với đầu vào thứ hai 1014 của trình điều khiển lai nhiều lát 1005. Đầu vào thứ nhất 1012 và đầu vào thứ hai 1014 được điều khiển bởi các tín hiệu đầu vào bổ sung lần lượt là inn và inp.

Mạch điều khiển công tắc 680 (được thể hiện trên Fig.9) điều khiển các công tắc trong các lát từ 1010-1 đến 1010-m để vận hành có chọn lọc trình điều khiển lai nhiều lát 1005 ở chế độ trình điều khiển N-trên-N hoặc chế độ trình điều khiển P-trên-N. Ví dụ, mạch điều khiển công tắc 680 có thể vận hành trình điều khiển lai nhiều lát 1005 ở chế độ trình điều khiển N-trên-N khi điện áp được điều chỉnh Vreg nằm trong dải điện áp được điều chỉnh thứ nhất tương ứng với dải biên độ thứ nhất (ví dụ, 50 mV đến 400 mV), và vận hành trình điều khiển lai nhiều lát 1005 ở chế độ trình điều khiển P-trên-N khi điện áp được điều chỉnh Vreg nằm trong dải điện áp được điều chỉnh thứ hai tương ứng với dải biên độ thứ hai (ví dụ, 425 mV đến 700 mV). Lưu ý rằng bộ điều chỉnh điện áp 650 không được thể hiện trên Fig.10.

Theo các khía cạnh nhất định, số lát từ 1010-1 đến 1010-m đang hoạt động (tức là, được bật) tại một thời điểm nhất định có thể được điều chỉnh (ví dụ, sử dụng công tắc). Ví dụ, số lượng lát từ 1010-1 đến 1010-m đang hoạt động (tức là, được bật) có thể được điều chỉnh để điều chỉnh trở kháng đầu ra ở mỗi đầu ra của trình điều khiển lai nhiều lát 1005. Trong ví dụ này, trở kháng đầu ra ở mỗi đầu ra của trình điều khiển lai nhiều lát 1005 có thể được điều chỉnh (tức là, được hiệu chỉnh) để cung cấp trở kháng phù hợp với đường truyền được ghép nối với chân đầu ra tương ứng trong các chân đầu ra 1090A và 1090B.

Như đã trình bày ở trên, bộ điều chỉnh điện áp 650 có thể được triển khai với bộ điều chỉnh độ sụt điện áp thấp (LDO). Bộ điều chỉnh LDO thường bao gồm một bóng bán dẫn thông qua và một bộ khuếch đại lỗi trong đó đầu ra của bộ khuếch đại lỗi điều khiển cực cổng của bóng bán dẫn thông qua dựa trên điện áp tham chiếu và phản hồi về điện áp được điều chỉnh. Bóng bán dẫn thông qua có thể là NFET thông qua hoặc PFET thông qua.

Fig.11 thể hiện ví dụ về bộ điều chỉnh LDO 1105 bao gồm NFET thông qua 1110, bộ khuếch đại 1120, mạch điện áp-tham chiếu 1140 và bộ chia điện áp 1135. NFET thông qua 1110 được ghép nối giữa ray điện áp thứ nhất 655 và ray điện áp thứ hai 660. Bộ chia điện áp 1135 bao gồm điện trở thứ nhất R1 và điện trở thứ hai R2 được ghép nối nối tiếp giữa ray điện áp thứ nhất 655 và đất. Bộ chia điện áp 1135 cung cấp điện áp phản hồi Vfb tại nút 1130 như sau:

$$V_{fb} = \left(\frac{R_2}{R_1 + R_2} \right) \cdot V_{reg} \quad (1)$$

trong đó R1 và R2 trong phương trình (1) lần lượt là điện trở của các điện trở R1 và R2. Như thể hiện trong phương trình (1), điện áp phản hồi Vfb tỷ lệ với điện áp được điều chỉnh Vreg và do đó cung cấp phản hồi về điện áp được điều chỉnh Vreg. Điện áp phản hồi Vfb được cấp cho đầu vào âm của bộ khuếch đại 1120. Mạch điện áp-tham chiếu 1140 được tạo cấu hình để tạo ra điện áp tham chiếu Vref là đầu vào cho đầu vào dương của bộ khuếch đại 1120. Mạch điện áp-tham chiếu 1140 được tạo cấu hình để đặt mức điện áp của điện áp tham chiếu Vref dựa trên tín hiệu điều khiển điện áp. Như được trình bày thêm bên dưới, điện áp được điều chỉnh Vreg được điều chỉnh bằng cách điều chỉnh điện áp tham chiếu Vref bằng cách sử dụng tín hiệu điều khiển điện áp.

Khi vận hành, bộ khuếch đại 1120 nhận điện áp phản hồi Vfb và điện áp tham chiếu Vref. Bộ khuếch đại 1120 điều khiển cực cổng của NFET thông qua 1110 theo hướng làm giảm chênh lệch giữa điện áp tham chiếu và điện áp phản hồi Vfb sao cho điện áp được điều chỉnh Vreg trên ray điện áp thứ nhất 655 xấp xỉ bằng:

$$V_{reg} = \left(1 + \frac{R_1}{R_2} \right) \cdot V_{ref} \quad (2)$$

Như thể hiện trong phương trình (2), điện áp được điều chỉnh Vreg tỷ lệ với điện áp tham chiếu Vref. Do đó, tín hiệu điều khiển điện áp có thể được sử dụng để điều

chỉnh điện áp được điều chỉnh V_{reg} bằng cách điều chỉnh điện áp tham chiếu V_{ref} được tạo bởi mạch điện áp tham chiếu 1140.

Bộ điều chỉnh LDO 1105 hỗ trợ các mức điện áp được điều chỉnh thấp có thể được sử dụng để đặt biên độ của trình điều khiển lai (ví dụ, trình điều khiển lai 610, 805, 905 hoặc 1005) ở mức thấp. Tuy nhiên, mức điện áp được điều chỉnh cận trên của bộ điều chỉnh 1105 bị hạn chế. Điều này là do cực nguồn của NFET thông qua 1110 (được ghép nối với ray điện áp thứ nhất 655) cần thấp hơn điện áp cực cổng của NFET thông qua 1110 một mức ít nhất bằng điện áp ngưỡng của NFET thông qua 1110 để bật NFET thông qua 1110. Do đó, bộ điều chỉnh LDO 1105 có thể không đặt được biên độ của trình điều khiển lai ở mức cao, do đó làm giảm dải biên độ của trình điều khiển lai.

Fig.12 thể hiện ví dụ về bộ điều chỉnh LDO 1205 bao gồm PFET thông qua 1210, bộ khuếch đại 1220, mạch điện áp-tham chiếu 1140 và bộ chia điện áp 1135. PFET thông qua 1210 được ghép nối giữa ray điện áp thứ nhất 655 và ray điện áp thứ hai 660. Trong ví dụ này, điện áp phản hồi V_{fb} được nhập vào đầu vào dương của bộ khuếch đại 1220 và điện áp tham chiếu V_{ref} từ mạch điện áp-tham chiếu 1140 được nhập vào đầu vào âm của bộ khuếch đại 1220.

Khi vận hành, bộ khuếch đại 1220 nhận điện áp phản hồi V_{fb} và điện áp tham chiếu V_{ref} . Bộ khuếch đại 1220 điều khiển cực cổng của PFET thông qua 1210 theo hướng làm giảm chênh lệch giữa điện áp tham chiếu và điện áp phản hồi V_{fb} sao cho điện áp được điều chỉnh V_{reg} trên ray điện áp thứ nhất 655 tỷ lệ với điện áp tham chiếu V_{ref} (ví dụ, dựa trên phương trình (2)). Vì tín hiệu điều khiển điện áp điều khiển điện áp tham chiếu V_{ref} được tạo ra bởi mạch điện áp-tham chiếu 1140, tín hiệu điều khiển điện áp có thể được sử dụng để điều chỉnh điện áp được điều chỉnh V_{reg} bằng cách điều chỉnh điện áp tham chiếu V_{ref} .

Bộ điều chỉnh LDO 1205 hỗ trợ các mức điện áp được điều chỉnh cao có thể được sử dụng để đặt biên độ của trình điều khiển lai (ví dụ, trình điều khiển lai 610, 805, 905 hoặc 1005) ở mức cao. Tuy nhiên, mức điện áp được điều chỉnh cận dưới của bộ điều chỉnh LDO 1205 bị hạn chế so với bộ điều chỉnh LDO 1105 sử dụng NFET thông qua 1110. Do đó, bộ điều chỉnh LDO 1205 có thể không đặt được biên độ của trình điều khiển lai ở mức thấp, do đó làm giảm dải biên độ của trình điều khiển lai.

Để giải quyết các hạn chế của bộ điều chỉnh LDO 1105 và 1205, các khía cạnh của sáng chế đề xuất bộ điều chỉnh LDO lai kết hợp NFET thông qua và PFET thông qua để đạt được dải điện áp được điều chỉnh rộng, như được trình bày thêm dưới đây.

Fig.13 thể hiện ví dụ về bộ điều chỉnh LDO lai 1310 theo các khía cạnh của sáng chế. Bộ điều chỉnh LDO lai 1310 có thể được sử dụng để triển khai bộ điều chỉnh điện áp 650. Bộ điều chỉnh LDO lai 1310 được tạo cấu hình để tạo ra điện áp được điều chỉnh Vreg trên ray điện áp thứ nhất 655 từ điện áp nguồn Vdd trên ray điện áp thứ hai 660. Ray điện áp thứ nhất 655 có thể được ghép nối với trình điều khiển lai 610, 805, 905 hoặc 1005, như đã trình bày ở trên.

Bộ điều chỉnh LDO lai 1310 bao gồm NFET thông qua 1320, PFET thông qua 1330, bộ khuếch đại thứ nhất 1340, bộ khuếch đại thứ hai 1350, công tắc thứ nhất 1322, công tắc thứ hai 1324, công tắc thứ ba 1332, công tắc thứ tư 1334, công tắc thứ năm 1328, công tắc thứ sáu 1338, bộ chia điện áp 1335, và mạch điện áp-tham chiếu 1360. NFET thông qua 1320 được ghép nối giữa ray điện áp thứ nhất 655 và ray điện áp thứ hai 660 với cực máng của NFET thông qua 1320 được ghép nối với ray điện áp thứ hai 660 và cực nguồn của NFET thông qua 1320 được ghép nối với ray điện áp thứ nhất 655. PFET thông qua 1330 được ghép nối giữa ray điện áp thứ nhất 655 và ray điện áp thứ hai 660 với cực nguồn của PFET thông qua 1330 được ghép nối với ray điện áp thứ hai 660 và cực máng của PFET thông qua 1330 được ghép nối với ray điện áp thứ nhất 655. Mỗi bộ khuếch đại thứ nhất 1340 và bộ khuếch đại thứ hai 1350 có thể là bộ khuếch đại một tầng hoặc nhiều tầng. Ngoài ra, mỗi bộ trong số bộ khuếch đại thứ nhất 1340 và bộ khuếch đại thứ hai 1350 có thể được triển khai với bộ khuếch đại nhiều tầng ghép trực tiếp, bộ khuếch đại nhiều tầng ghép trực tiếp kiểu gấp, hoặc loại bộ khuếch đại khác.

Bộ chia điện áp 1335 bao gồm điện trở thứ nhất R1 và điện trở thứ hai R2 được ghép nối nối tiếp giữa ray điện áp thứ nhất 655 và đất. Bộ chia điện áp 1335 cung cấp điện áp phản hồi V_{fb} tại nút phản hồi 1333 như tính theo phương trình (1) cung cấp ở trên.

Công tắc thứ nhất 1322 được ghép nối giữa đầu ra 1346 của bộ khuếch đại thứ nhất 1340 và cực cổng của NFET thông qua 1320, công tắc thứ hai 1324 được ghép nối

giữa đầu ra của bộ khuếch đại thứ hai 1350 và cực cổng của PFET thông qua 1330, công tắc thứ ba 1332 được ghép nối giữa cực cổng của NFET thông qua 1320 và đất, và công tắc thứ tư 1334 được ghép nối giữa cực cổng của PFET thông qua 1330 và ray điện áp thứ hai 660. Ngoài ra, công tắc thứ năm 1328 được ghép nối giữa nút phản hồi 1333 và đầu vào thứ nhất 1342 của bộ khuếch đại thứ nhất 1340, và công tắc thứ sáu 1338 được ghép nối giữa nút phản hồi 1333 và đầu vào thứ nhất 1352 của bộ khuếch đại thứ hai 1350.

Mạch điện áp-tham chiếu 1360 được tạo cấu hình để nhận tín hiệu điều khiển điện áp ở đầu vào 1362 (ví dụ, từ mạch điều khiển điện áp 695 được thể hiện trên Fig.6) và tạo điện áp tham chiếu V_{ref} ở đầu ra 1364 dựa trên tín hiệu điều khiển điện áp nhận được. Theo các khía cạnh nhất định, mạch điện áp-tham chiếu 1360 được tạo cấu hình để đặt mức điện áp của điện áp tham chiếu V_{ref} dựa trên tín hiệu điều khiển điện áp. Theo ví dụ trong đó tín hiệu điều khiển điện áp là tín hiệu số, mạch điện áp tham chiếu 1360 có thể có nhiều mức điện áp tham chiếu có thể lựa chọn trong đó mỗi mức điện áp tham chiếu có thể lựa chọn tương ứng với một giá trị khác nhau của tín hiệu điều khiển. Trong ví dụ này, mạch điện áp tham chiếu 1360 đặt mức điện áp của điện áp tham chiếu V_{ref} thành một trong các mức điện áp tham chiếu có thể lựa chọn tương ứng với giá trị hiện tại của tín hiệu điều khiển. Như được trình bày thêm bên dưới, điện áp được điều chỉnh V_{reg} được điều chỉnh bằng cách điều chỉnh điện áp tham chiếu V_{ref} bằng cách sử dụng tín hiệu điều khiển điện áp. Điện áp được điều chỉnh V_{reg} có thể liên quan đến điện áp tham chiếu V_{ref} theo phương trình (2) được cung cấp ở trên. Ví dụ, khi tín hiệu điều khiển điện áp là tín hiệu kỹ thuật số (còn được gọi là mã kỹ thuật số), mạch điện áp-tham chiếu 1360 có thể được triển khai bằng bộ chuyển đổi kỹ thuật số sang tương tự (digital-to-analog converter - DAC). Các phương án làm ví dụ về mạch điện áp-tham chiếu 1360 được trình bày dưới đây.

Đầu ra 1364 của mạch điện áp-tham chiếu 1360 được ghép nối với đầu vào thứ hai 1344 của bộ khuếch đại thứ nhất 1340 và đầu vào thứ hai 1354 của bộ khuếch đại thứ hai 1350. Do đó, điện áp tham chiếu V_{ref} được đưa vào đầu vào thứ hai 1364 của bộ khuếch đại thứ nhất 1340 và đầu vào thứ hai 1354 của bộ khuếch đại thứ hai 1350.

Như được trình bày thêm bên dưới, các công tắc 1322, 1324, 1328, 1332, 1334 và 1338 được tạo cấu hình để chuyển bộ điều chỉnh LDO lai 1310 giữa chế độ điều chỉnh thứ nhất và chế độ điều chỉnh thứ hai. Trong chế độ điều chỉnh thứ nhất, NFET thông qua 1320 được sử dụng làm bóng bán dẫn thông qua của bộ điều chỉnh LDO lai 1310 với PFET thông qua 1330 bị tắt, và, trong chế độ điều chỉnh thứ hai, PFET thông qua 1330 được sử dụng làm bóng bán dẫn thông qua của bộ điều chỉnh LDO lai 1310 với NFET thông qua 1320 đã tắt. Trong một ví dụ, bộ điều chỉnh LDO lai 1310 có thể được vận hành ở chế độ điều chỉnh thứ nhất khi điện áp được điều chỉnh nằm trong dải điện áp được điều chỉnh thứ nhất và được vận hành ở chế độ điều chỉnh thứ hai khi điện áp được điều chỉnh nằm trong dải điện áp được điều chỉnh thứ hai. Trong ví dụ này, dải điện áp được điều chỉnh của bộ điều chỉnh LDO lai 1310 là sự kết hợp của dải điện áp được điều chỉnh thứ nhất và dải điện áp được điều chỉnh thứ hai, cho phép bộ điều chỉnh LDO lai 1310 đạt được dải điện áp được điều chỉnh rộng, như được trình bày thêm bên dưới.

Mạch điều khiển công tắc 1380 điều khiển các công tắc 1322, 1324, 1328, 1332, 1334 và 1338 để vận hành có chọn lọc bộ điều chỉnh LDO lai 1310 ở chế độ điều chỉnh thứ nhất hoặc chế độ điều chỉnh thứ hai (ví dụ, dựa trên tín hiệu điều khiển điện áp). Để dễ minh họa, các kết nối riêng lẻ giữa mạch điều khiển công tắc 1380 và các công tắc 1322, 1324, 1328, 1332, 1334 và 1338 không được thể hiện rõ ràng trên Fig.13. Trong một số phương án triển khai, mạch điều khiển công tắc 1380 có thể giống với mạch điều khiển công tắc 680 được sử dụng để điều khiển chế độ trình điều khiển của trình điều khiển lai 610, 805, 905 hoặc 1005, như được trình bày thêm bên dưới.

Để vận hành bộ điều chỉnh LDO lai 1310 ở chế độ điều chỉnh thứ nhất, mạch điều khiển công tắc 1380 bật công tắc thứ nhất 1322, tắt công tắc thứ hai 1324, tắt công tắc thứ ba 1332 và bật công tắc thứ tư 1334. Thao tác này ghép nối đầu ra của bộ khuếch đại thứ nhất 1340 với cực cổng của NFET thông qua 1320 và tắt PFET thông qua 1330. Ngoài ra, mạch điều khiển công tắc 1380 cũng bật công tắc thứ năm 1328 và tắt công tắc thứ sáu 1338. Việc này ghép nối nút phản hồi 1333 với đầu vào thứ nhất 1342 của bộ khuếch đại thứ nhất 1340 và tách nút phản hồi 1333 khỏi đầu vào thứ nhất 1352 của bộ khuếch đại thứ hai 1350.

Ở chế độ điều chỉnh thứ nhất, bộ khuếch đại thứ nhất 1340 nhận điện áp phản hồi V_{fb} ở đầu vào thứ nhất 1342 và điện áp tham chiếu V_{ref} ở đầu vào thứ hai 1344. Bộ khuếch đại thứ nhất 1340 điều khiển cực cổng của PFET thông qua 1320 theo hướng làm giảm chênh lệch giữa điện áp tham chiếu và điện áp phản hồi V_{fb} sao cho điện áp được điều chỉnh V_{reg} trên ray điện áp thứ nhất 655 gần tỷ lệ với điện áp tham chiếu V_{ref} (ví dụ, dựa trên phương trình (2)). Vì điện áp tham chiếu V_{ref} được điều khiển bởi tín hiệu điều khiển điện áp và điện áp được điều chỉnh V_{reg} tỷ lệ với điện áp tham chiếu V_{ref} , tín hiệu điều khiển điện áp có thể được sử dụng để điều chỉnh điện áp được điều chỉnh V_{reg} . Ở chế độ điều chỉnh thứ nhất, NFET thông qua 1320 cho phép bộ điều chỉnh LDO lai 1310 đạt được điện áp được điều chỉnh thấp với khả năng loại bỏ nhiễu nguồn cấp cao.

Để vận hành bộ điều chỉnh LDO lai 1310 ở chế độ điều chỉnh thứ hai, mạch điều khiển công tắc 1380 tắt công tắc thứ nhất 1322, bật công tắc thứ hai 1324, bật công tắc thứ ba 1332 và tắt công tắc thứ tư 1334. Thao tác này ghép nối đầu ra của bộ khuếch đại thứ hai 1350 với cực cổng của PFET thông qua 1330 và tắt NFET thông qua 1320. Ngoài ra, mạch điều khiển công tắc 1380 cũng tắt công tắc thứ năm 1328 và bật công tắc thứ sáu 1338. Thao tác này ghép nối nút phản hồi 1333 với đầu vào thứ nhất 1352 của bộ khuếch đại thứ hai 1350 và tách nút phản hồi 1333 khỏi đầu vào thứ nhất 1342 của bộ khuếch đại thứ nhất 1340.

Ở chế độ điều chỉnh thứ hai, bộ khuếch đại thứ hai 1350 nhận điện áp phản hồi V_{fb} ở đầu vào thứ nhất 1352 và điện áp tham chiếu V_{ref} ở đầu vào thứ hai 1354. Bộ khuếch đại thứ hai 1350 điều khiển cực cổng của PFET thông qua 1330 theo hướng làm giảm chênh lệch giữa điện áp tham chiếu và điện áp phản hồi V_{fb} sao cho điện áp được điều chỉnh V_{reg} trên ray điện áp thứ nhất 655 gần tỷ lệ với điện áp tham chiếu V_{ref} (ví dụ, dựa trên phương trình (2)). Vì điện áp tham chiếu V_{ref} được điều khiển bởi tín hiệu điều khiển điện áp và điện áp được điều chỉnh V_{reg} tỷ lệ với điện áp tham chiếu V_{ref} , tín hiệu điều khiển điện áp có thể được sử dụng để điều chỉnh điện áp được điều chỉnh V_{reg} . Ở chế độ điều chỉnh thứ hai, PFET thông qua 1330 cho phép bộ điều chỉnh LDO lai 1310 đạt được điện áp được điều chỉnh cao (ví dụ, gần với V_{dd}).

Như đã trình bày ở trên, mạch điều khiển công tắc 1380 có thể vận hành bộ điều chỉnh LDO lai 1310 ở chế độ điều chỉnh thứ nhất hoặc chế độ điều chỉnh thứ hai dựa trên tín hiệu điều khiển điện áp. Liên quan đến điểm này, Fig.13 thể hiện ví dụ trong đó tín hiệu điều khiển điện áp được nhập vào mạch điều khiển công tắc 1380. Trong ví dụ này, mạch điều khiển công tắc 1380 vận hành bộ điều chỉnh LDO lai 1310 ở chế độ điều chỉnh thứ nhất khi tín hiệu điều khiển điện áp đặt điện áp được điều chỉnh Vreg ở mức điện áp trong dải điện áp được điều chỉnh thứ nhất, và vận hành bộ điều chỉnh LDO lai 1310 ở chế độ điều chỉnh thứ hai khi tín hiệu điều khiển điện áp đặt điện áp được điều chỉnh Vreg ở mức điện áp trong dải điện áp được điều chỉnh thứ hai. Trong một ví dụ, dải điện áp được điều chỉnh thứ nhất tương ứng với dải biên độ thứ nhất (ví dụ, 50 mV đến 400 mV) của trình điều khiển lai 610, 805, 905, hoặc 1005, và dải điện áp được điều chỉnh thứ hai tương ứng với dải biên độ thứ hai (ví dụ, 425 mV đến 700 mV) của trình điều khiển lai 610, 805, 905, hoặc 1005. Trong ví dụ này, mạch điều khiển công tắc 1380 vận hành bộ điều chỉnh LDO lai 1310 ở chế độ điều chỉnh thứ nhất khi trình điều khiển lai 610, 805, 905 hoặc 1005 ở chế độ trình điều khiển N-trên-N, và vận hành bộ điều chỉnh LDO lai 1310 ở chế độ điều chỉnh thứ hai khi trình điều khiển lai 610, 805, 905 hoặc 1005 ở chế độ trình điều khiển P-trên-N. Do đó, trong ví dụ này, chế độ điều chỉnh thứ nhất trùng với chế độ trình điều khiển N-trên-N và chế độ điều chỉnh thứ hai trùng với chế độ trình điều khiển P-trên-N, cho phép chế độ điều chỉnh của bộ điều chỉnh LDO lai 1310 và chế độ trình điều khiển của trình điều khiển lai được điều khiển bởi cùng một mạch điều khiển công tắc. Theo đó, trong ví dụ này, mạch điều khiển công tắc 1380 có thể giống với mạch điều khiển công tắc 680 được sử dụng để điều khiển chế độ trình điều khiển của trình điều khiển lai 610, 805, 905 hoặc 1005. Tuy nhiên, cần hiểu rõ rằng sáng chế không bị giới hạn ở ví dụ này.

Theo các khía cạnh nhất định, tín hiệu điều khiển điện áp là tín hiệu kỹ thuật số (còn được gọi là mã kỹ thuật số), trong đó mức điện áp của điện áp được điều chỉnh Vreg được đặt theo giá trị của tín hiệu điều khiển điện áp. Trong một ví dụ, tập hợp các giá trị thứ nhất cho tín hiệu điều khiển điện áp tương ứng với các mức điện áp trong dải điện áp được điều chỉnh thứ nhất và tập hợp các giá trị thứ hai cho tín hiệu điều khiển điện áp tương ứng với các mức điện áp trong dải điện áp được điều chỉnh thứ hai. Trong ví dụ này, mạch điều khiển công tắc 1380 có thể được tạo cấu hình để vận hành bộ điều

chỉnh LDO lai 1310 ở chế độ điều chỉnh thứ nhất nếu giá trị hiện tại của tín hiệu điều khiển điện áp nằm trong tập giá trị thứ nhất, và vận hành bộ điều chỉnh LDO lai 1310 nếu giá trị hiện tại của tín hiệu điều khiển điện áp nằm trong tập giá trị thứ hai. Mạch điều khiển công tắc 1380 còn có thể được tạo cấu hình để vận hành trình điều khiển lai 610, 805, 905, hoặc 1005 ở chế độ trình điều khiển N-trên-N nếu giá trị hiện tại của tín hiệu điều khiển điện áp nằm trong tập giá trị thứ nhất, và vận hành trình điều khiển lai ở chế độ trình điều khiển P-trên-N nếu giá trị hiện tại của tín hiệu điều khiển điện áp nằm trong tập giá trị thứ hai.

Mặc dù bộ điều chỉnh LDO lai 1310 được trình bày ở trên bằng cách sử dụng ví dụ trong đó bộ điều chỉnh LDO lai 1310 cung cấp điện áp được điều chỉnh Vreg cho trình điều khiển lai, cần hiểu rõ rằng LDO lai 1310 không bị giới hạn ở ví dụ này. Bộ điều chỉnh LDO lai 1310 có thể được sử dụng trong các ứng dụng khác khi có mong muốn cung cấp điện áp được điều chỉnh có thể được điều chỉnh trong dải điện áp rộng.

Fig.14 thể hiện ví dụ về bộ điều chỉnh LDO lai 1310 còn bao gồm mạch bù thứ nhất 1410, công tắc thứ bảy 1415, và mạch bù thứ hai 1420. Mạch bù thứ nhất 1410 được ghép nối giữa cực cổng của NFET thông qua 1320 và đất. Trong ví dụ trên Fig.14, mạch bù thứ nhất 1410 bao gồm điện trở 1414 và tụ điện bù 1412 được ghép nối tiếp. Mạch bù thứ nhất 1410 có thể được tạo cấu hình để cung cấp bù vòng lặp nhằm tăng biên độ pha và độ ổn định vòng lặp của bộ điều chỉnh LDO 1310 ở chế độ điều chỉnh thứ nhất.

Mạch bù thứ hai 1420 được ghép nối giữa cực cổng của PFET thông qua 1330 và công tắc thứ bảy 1415, và công tắc thứ bảy 1415 được ghép nối giữa mạch bù thứ hai 1420 và cực máng của PFET thông qua 1330. Trong ví dụ trên Fig.14, mạch bù thứ hai 1420 bao gồm điện trở 1424 và tụ điện bù 1422 được ghép nối tiếp.

Mạch điều khiển công tắc 1380 (được thể hiện trên Fig.13) có thể được tạo cấu hình để tắt công tắc thứ bảy 1415 ở chế độ điều chỉnh thứ nhất và bật công tắc thứ bảy 1415 ở chế độ điều chỉnh thứ hai. Do đó, trong ví dụ này, mạch bù thứ hai 1420 được ghép nối giữa cực cổng của PFET thông qua 1330 và cực máng của PFET thông qua 1330 trong chế độ điều chỉnh thứ hai để cung cấp bù Miller nhằm cải thiện độ ổn định của vòng lặp.

Do đó, trong ví dụ này, các mạch bù riêng biệt (tức là, mạch bù thứ nhất 1410 và mạch bù thứ hai 1420) được sử dụng cho chế độ điều chỉnh thứ nhất và chế độ điều chỉnh thứ hai thay vì mạch bù chung cho cả hai chế độ điều chỉnh. Điều này cho phép cơ chế bù cho chế độ điều chỉnh thứ nhất và chế độ điều chỉnh thứ hai được thiết kế độc lập để mang lại độ ổn định vòng lặp tốt cho chế độ điều chỉnh thứ nhất và độ ổn định vòng lặp tốt cho chế độ điều chỉnh thứ hai.

Fig.15 thể hiện phương án triển khai làm ví dụ của mạch điện áp-tham chiếu 1360 theo các khía cạnh nhất định của sáng chế. Trong ví dụ này, mạch điện áp-tham chiếu 1360 bao gồm nguồn dòng điện 1510 và biến trở 1520. Nguồn dòng điện 1510 được ghép nối giữa ray điện áp thứ hai 660 và đầu ra 1364 của mạch điện áp-tham chiếu 1360, và biến trở 1520 được ghép nối giữa đầu ra 1364 của mạch điện áp-tham chiếu 1360 và đất.

Trong ví dụ này, biến trở 1520 có điện trở điều khiển kỹ thuật số được điều khiển bởi tín hiệu điều khiển điện áp nhận được ở đầu vào 1362. Biến trở 1520 có thể bao gồm nhiều điện trở và nhiều công tắc trong đó các công tắc điều khiển điện trở nào đóng góp vào điện trở của biến trở 1520 tại một thời điểm nhất định. Trong ví dụ này, mỗi công tắc có thể được điều khiển bởi một bit tương ứng của tín hiệu điều khiển điện áp. Trong ví dụ này, điện áp tham chiếu V_{ref} được tính bằng

$$V_{ref} = I \cdot R_v \quad (3)$$

trong đó I là dòng điện của nguồn dòng điện 1510 và R_v là điện trở của biến trở 1520. Như thể hiện trong phương trình (3), tín hiệu điều khiển điện áp điều khiển điện áp tham chiếu bằng cách điều khiển điện trở của biến trở 1520.

Fig.16 thể hiện phương án triển khai làm ví dụ khác của mạch điện áp-tham chiếu 1360 theo các khía cạnh nhất định của sáng chế. Trong ví dụ này, mạch điện áp-tham chiếu 1360 bao gồm điện trở tham chiếu 1610 và biến trở 1520. Điện trở tham chiếu 1610 được ghép nối giữa ray điện áp thứ hai 660 và đầu ra 1364 của mạch điện áp-tham chiếu 1360, và biến trở 1520 được ghép nối giữa đầu ra 1364 của mạch điện áp-tham chiếu 1360 và đất. Điện trở tham chiếu 1610 có thể có điện trở cố định.

Như đã trình bày ở trên, biến trở 1520 có điện trở điều khiển kỹ thuật số được điều khiển bởi tín hiệu điều khiển điện áp nhận được ở đầu vào 1362. Trong ví dụ này, điện áp tham chiếu V_{ref} được tính bằng

$$V_{ref} = \left(\frac{R_v}{R_f + R_v} \right) \cdot V_{dd} \quad (4)$$

trong đó R_f là điện trở của điện trở tham chiếu 1610 và R_v là điện trở của biến trở 1520. Như thể hiện trong phương trình (4), tín hiệu điều khiển điện áp điều khiển điện áp tham chiếu bằng cách điều khiển điện trở của biến trở 1520.

Fig.17 thể hiện phương án triển khai làm ví dụ của mạch điện áp-tham chiếu 1360 kết hợp các phần tử của các phương án triển khai làm ví dụ được thể hiện trên Fig.15 và Fig.16, theo các khía cạnh nhất định của sáng chế. Trong ví dụ này, mạch điện áp-tham chiếu 1360 bao gồm nguồn dòng điện 1510, điện trở tham chiếu 1610, biến trở 1520, bóng bán dẫn thứ nhất 1710, bóng bán dẫn thứ hai 1720 và bộ biến tần 1715. Trong ví dụ trên Fig.17, mỗi bóng bán dẫn trong số bóng bán dẫn thứ nhất 1710 và bóng bán dẫn thứ hai 1720 được triển khai bằng PFET.

Nguồn dòng điện 1510 được ghép nối giữa ray điện áp thứ hai 660 và bóng bán dẫn thứ nhất 1710, và bóng bán dẫn thứ nhất 1710 được ghép nối giữa nguồn dòng điện 1510 và đầu ra 1364 của mạch điện áp-tham chiếu 1360. Bóng bán dẫn thứ hai 1720 được ghép nối giữa ray điện áp thứ hai 660 và điện trở tham chiếu 1610, và điện trở tham chiếu 1610 được ghép nối giữa bóng bán dẫn thứ hai 1720 và đầu ra 1364 của mạch điện áp-tham chiếu 1360. Biến trở 1520 được ghép nối giữa đầu ra 1364 của mạch điện áp-tham chiếu 1360 và đất.

Cực cổng của bóng bán dẫn thứ nhất 1710 được ghép nối với đầu vào chọn chế độ tham chiếu 1735. Đầu vào của bộ biến tần 1715 được ghép nối với đầu vào chọn chế độ tham chiếu 1735, và đầu ra của bộ biến tần 1715 được ghép nối với cực cổng của bóng bán dẫn thứ hai 1720.

Mạch điện áp-tham chiếu 1360 được tạo cấu hình để hoạt động ở chế độ tham chiếu thứ nhất hoặc chế độ tham chiếu thứ hai dựa trên tín hiệu chọn chế độ tham chiếu (được gắn nhãn “Ref_mode”) nhận được ở đầu vào chọn chế độ tham chiếu 1735. Trong ví dụ trên Fig.17, mạch điện áp-tham chiếu 1360 hoạt động ở chế độ tham chiếu thứ

nhất khi tín hiệu chọn chế độ tham chiếu ở mức thấp. Trong trường hợp này, bóng bán dẫn thứ nhất 1710 bật và bóng bán dẫn thứ hai 1720 tắt. Điều này khiến cho bóng bán dẫn thứ nhất 1710 ghép nối nguồn dòng điện 1510 với biến trở 1520. Trong chế độ này, điện áp tham chiếu V_{ref} được tính bằng phương trình (3). Mạch điện áp-tham chiếu 1360 hoạt động ở chế độ tham chiếu thứ hai khi tín hiệu chọn chế độ tham chiếu ở mức cao. Trong trường hợp này, bóng bán dẫn thứ nhất 1710 tắt và bóng bán dẫn thứ hai 1720 bật. Điều này khiến cho bóng bán dẫn thứ hai 1720 ghép nối điện trở tham chiếu 1610 giữa ray điện áp thứ hai 660 và biến trở 1520. Trong chế độ này, điện áp tham chiếu V_{ref} được tính bằng phương trình (4).

Trình điều khiển lai làm ví dụ 610, 805, 905 hoặc 1005 và bộ điều chỉnh LDO lai 1310 cung cấp độ bền ESD, như được trình bày thêm bên dưới. ESD có thể xảy ra khi điện tích tĩnh vô tình được chuyển đến chân đầu ra 1890 của chip (ví dụ, chip 110 hoặc 120) từ nguồn bên ngoài (ví dụ, trong khi xử lý chip), như thể hiện trên Fig.18. Chân đầu ra 1890 có thể tương ứng với chân đầu ra 690, 890, 990A, 990B, 1090A hoặc 1090B. Điện trở 1848 được ghép nối với chân đầu ra 1890 có thể tương ứng với điện trở 648, 848, 948A, 948B, 1048A hoặc 1048B.

Tham chiếu đến Fig.18, chip có thể bao gồm đi-ốt 1810 và thiết bị kẹp 1820 để cung cấp khả năng bảo vệ ESD. Đi-ốt 1810 được ghép nối giữa chân đầu ra 1890 và ray điện áp thứ hai 660 và thiết bị kẹp 1820 được ghép nối giữa ray điện áp thứ hai 660 và đất. Thiết bị kẹp 1820 có thể bao gồm bóng bán dẫn kẹp và bộ phát hiện quá độ RC trong đó bộ phát hiện quá độ RC được tạo cấu hình để phát hiện sự kiện ESD và bật bóng bán dẫn kẹp khi phát hiện sự kiện ESD để cung cấp đường phóng điện xuống đất. Trong ví dụ này, trong sự kiện ESD, đi-ốt 1810 và thiết bị kẹp 1820 cung cấp đường phóng điện từ chân đầu ra 1890 xuống đất để xả điện tích tĩnh trên chân đầu ra 1890.

Tuy nhiên, điện áp trên chân đầu ra 1890 vẫn có thể đạt đến điện áp lớn, điều này có thể khiến các bóng bán dẫn được ghép nối với chân đầu ra 1890 tạo điện áp cực cổng đến cực máng lớn và có thể làm hỏng bóng bán dẫn. Để ngăn chặn điều này, một hoặc nhiều PFET kéo lên 635 trong trình điều khiển lai 610, 805, 905 hoặc 1005 và PFET thông qua 1330 trong bộ điều chỉnh LDO lai 1310 bật lên trong sự kiện ESD, tạo ra đường phóng điện 1805 thông qua trình điều khiển lai và bộ điều chỉnh LDO lai. Điều

này giả định rằng các cực cổng của PFET trôi về phía đất khi tắt nguồn sao cho PFET bật trong sự kiện ESD. Dòng phóng điện tương ứng đi qua điện trở 1848, dẫn đến điện áp IR giảm trên điện trở 1848. Sự sụt giảm điện áp IR trên điện trở 1848 làm giảm điện áp tiếp xúc với các bóng bán dẫn trong trình điều khiển lai và bộ điều chỉnh LDO lai trong sự kiện ESD, giúp giảm điện áp cực cổng đến cực máng của các bóng bán dẫn trong trình điều khiển lai và bộ điều chỉnh LDO lai, do đó tăng thêm độ bền ESD. Lưu ý rằng chỉ các bóng bán dẫn của trình điều khiển lai và bộ điều chỉnh LDO lai trong đường phóng điện 1805 được thể hiện trên Fig.18 để dễ minh họa.

Như đã trình bày ở trên, chế độ điều chỉnh thứ nhất của bộ điều chỉnh LDO lai 1310 có thể trùng với chế độ trình điều khiển N-trên-N của trình điều khiển lai 610, 805, 905 hoặc 1005 và chế độ điều chỉnh thứ hai của bộ điều chỉnh LDO lai 1310 có thể trùng với chế độ trình điều khiển P-trên-N của trình điều khiển lai 610, 805, 905 hoặc 1005. Điều này cho phép chế độ điều chỉnh của bộ điều chỉnh LDO lai 1310 và chế độ trình điều khiển của trình điều khiển lai được điều khiển bởi cùng một mạch điều khiển công tắc. Một ví dụ về điểm này được thể hiện trên Fig.19A và Fig.19B, trong đó Fig.19A thể hiện phương án triển khai làm ví dụ của trình điều khiển lai 905 và Fig.19B thể hiện phương án triển khai làm ví dụ của bộ điều chỉnh LDO lai 1310 theo các khía cạnh nhất định. Trong ví dụ này, mạch điều khiển công tắc 680 tạo tín hiệu điều khiển enp ở đầu ra 1910 và tín hiệu điều khiển enn ở đầu ra 1920 dựa trên tín hiệu điều khiển điện áp (ví dụ, từ mạch điều khiển điện áp 695). Các tín hiệu điều khiển enp và enn được sử dụng để điều khiển chế độ trình điều khiển của trình điều khiển lai 905 và chế độ điều chỉnh của bộ điều chỉnh LDO lai 1310. Do đó, trong ví dụ này, chế độ trình điều khiển của trình điều khiển lai 905 và chế độ điều chỉnh của bộ điều chỉnh LDO lai 1310 được điều khiển bởi cùng một bộ tín hiệu điều khiển enp và enn.

Trong ví dụ trên Fig.19A, công tắc 640A được triển khai với NFET, công tắc 640B được triển khai với NFET, công tắc 642A được triển khai với PFET, và công tắc 642B được triển khai với PFET. Cực cổng của mỗi bóng bán dẫn này được ghép với đầu ra 1910 của mạch điều khiển công tắc 680 để nhận tín hiệu điều khiển enp. Mỗi công tắc 644A và 644B được triển khai với một cực cổng truyền tương ứng bao gồm một PFET và một NFET được ghép nối song song, trong đó cực cổng của PFET được ghép nối với đầu ra 1920 của mạch điều khiển công tắc 680 để nhận tín hiệu điều khiển enn

và cực cổng của NFET được ghép nối với đầu ra 1910 của mạch điều khiển công tắc 680 để nhận tín hiệu điều khiển enp. Mỗi công tắc 646A và 646B được triển khai với một cực cổng truyền tương ứng bao gồm một PFET và một NFET được ghép nối song song, trong đó cực cổng của PFET được ghép nối với đầu ra 1910 của mạch điều khiển công tắc 680 để nhận tín hiệu điều khiển enp và cực cổng của NFET được ghép nối với đầu ra 1920 của mạch điều khiển công tắc 680 để nhận tín hiệu điều khiển enn.

Trong ví dụ trên Fig.19B, công tắc 1332 được triển khai với NFET và công tắc 1334 được triển khai với PFET, trong đó cực cổng của mỗi bóng bán dẫn trong số NFET và PFET được ghép nối với đầu ra 1910 của mạch điều khiển công tắc 680 để nhận tín hiệu điều khiển enp (được thể hiện trên Fig.19A). Mỗi công tắc 1322 và 1328 được triển khai với một cực cổng truyền tương ứng bao gồm một PFET và một NFET được ghép nối song song, trong đó cực cổng của PFET được ghép nối với đầu ra 1910 của mạch điều khiển công tắc 680 để nhận tín hiệu điều khiển enp và cực cổng của NFET được ghép nối với đầu ra 1920 của mạch điều khiển công tắc 680 để nhận tín hiệu điều khiển enn. Mỗi công tắc 1324 và 1338 được triển khai với một cực cổng truyền tương ứng bao gồm một PFET và một NFET được ghép nối song song, trong đó cực cổng của PFET được ghép nối với đầu ra 1920 của mạch điều khiển công tắc 680 để nhận tín hiệu điều khiển enn và cực cổng của NFET được ghép nối với đầu ra 1910 của mạch điều khiển công tắc 680 để nhận tín hiệu điều khiển enp. Lưu ý rằng các mạch bù 1410 và 1420 không được thể hiện trên Fig.19B để dễ minh họa.

Trong ví dụ này, mạch điều khiển công tắc 680 vận hành trình điều khiển lai 905 ở chế độ trình điều khiển N-trên-N và bộ điều chỉnh LDO lai 1310 ở chế độ điều chỉnh thứ nhất bằng cách đặt tín hiệu điều khiển enp bằng không và tín hiệu điều khiển enn bằng một. Ví dụ, mạch điều khiển công tắc 680 có thể thực hiện việc này nếu giá trị hiện tại của tín hiệu điều khiển điện áp nằm trong tập giá trị thứ nhất (ví dụ, từ 0 đến 23). Mạch điều khiển công tắc 680 vận hành trình điều khiển lai 905 ở chế độ trình điều khiển P-trên-N và bộ điều chỉnh LDO lai 1310 ở chế độ điều chỉnh thứ hai bằng cách đặt tín hiệu điều khiển enp bằng một và tín hiệu điều khiển enn bằng không. Mạch điều khiển công tắc 680 có thể thực hiện việc này, ví dụ, nếu giá trị hiện tại của tín hiệu điều khiển điện áp nằm trong tập giá trị thứ hai (ví dụ, từ 24 đến 31).

Cần hiểu rõ rằng các công tắc trong trình điều khiển lai 905 và các công tắc trong bộ điều chỉnh LDO lai 1310 không bị giới hạn ở các phương án triển khai làm ví dụ được thể hiện trên Fig.19A và Fig.19B.

Fig.20 minh họa phương pháp 2000 vận hành trình điều khiển lai theo các khía cạnh nhất định của sáng chế. Trình điều khiển lai (ví dụ, trình điều khiển lai 610) bao gồm bóng bán dẫn kéo xuống (ví dụ, NFET kéo xuống 620) được ghép nối giữa đầu ra (ví dụ, đầu ra 625) và đất, bóng bán dẫn hiệu ứng trường loại-n (NFET) kéo lên (ví dụ, NFET kéo lên 630) được ghép nối giữa ray điện áp (ví dụ, ray điện áp thứ nhất 655) và đầu ra, và bóng bán dẫn hiệu ứng trường loại-p (PFET) kéo lên (ví dụ, PFET kéo lên 635) được ghép nối giữa ray điện áp và đầu ra.

Tại khối 2010, ở chế độ trình điều khiển thứ nhất, PFET kéo lên bị tắt. Ví dụ, có thể tắt PFET kéo lên bằng cách bật công tắc (ví dụ, công tắc thứ hai 642) được ghép nối giữa cực cổng của PFET kéo lên và ray điện áp thứ hai (ví dụ, ray điện áp thứ hai 660). Công tắc có thể được bật bằng mạch điều khiển công tắc 680. Chế độ trình điều khiển thứ nhất có thể tương ứng với chế độ trình điều khiển N-trên-N.

Tại khối 2020, trong chế độ trình điều khiển thứ nhất, cực cổng của bóng bán dẫn kéo xuống được điều khiển bằng tín hiệu đầu vào thứ nhất và cực cổng của NFET kéo lên được điều khiển bằng tín hiệu đầu vào thứ hai. Tín hiệu thứ nhất có thể tương ứng với tín hiệu đầu vào inn và tín hiệu đầu vào thứ hai có thể tương ứng với tín hiệu đầu vào inp. Tín hiệu đầu vào thứ nhất và tín hiệu thứ hai có thể bổ sung cho nhau. Cực cổng của bóng bán dẫn kéo xuống và cực cổng của NFET kéo lên có thể được điều khiển bởi mạch tiền-trình điều khiển 670.

Tại khối 2030, ở chế độ trình điều khiển thứ hai, NFET kéo lên bị tắt. Ví dụ, có thể tắt NFET kéo lên bằng cách bật công tắc (ví dụ, công tắc thứ nhất 640) được ghép nối giữa cực cổng của NFET kéo lên và đất. Công tắc có thể được bật bằng mạch điều khiển công tắc 680. Chế độ trình điều khiển thứ hai có thể tương ứng với chế độ trình điều khiển P-trên-N.

Tại khối 2040, trong chế độ trình điều khiển thứ hai, cực cổng của bóng bán dẫn kéo xuống được điều khiển bằng tín hiệu đầu vào thứ nhất và cực cổng của PFET kéo lên được điều khiển bằng tín hiệu đầu vào thứ nhất. Tín hiệu thứ nhất có thể tương ứng

với tín hiệu đầu vào inn. Cực cổng của bóng bán dẫn kéo xuống và cực cổng của PFET kéo lên có thể được điều khiển bởi mạch tiền-trình điều khiển 670.

Cần hiểu rõ rằng sáng chế không bị hạn chế bởi thuật ngữ làm ví dụ được dùng ở trên để mô tả các khía cạnh của sáng chế. Ví dụ, trình điều khiển có thể cũng được gọi là bộ phát, mạch trình điều khiển, hoặc thuật ngữ khác. Trong một ví dụ khác, liên kết có thể cũng được gọi là kênh, đường truyền, hoặc thuật ngữ khác. Lát cũng có thể được gọi là đơn vị lát hoặc thuật ngữ khác. Trong một ví dụ khác, NFET có thể cũng được gọi là bóng bán dẫn oxit kim loại loại-n (n-type metal oxide semiconductor - NMOS) và PFET cũng có thể được gọi là bóng bán dẫn oxit kim loại loại-p (p-type metal oxide semiconductor - PMOS). Trong một ví dụ khác, bóng bán dẫn thông qua có thể còn được gọi là phần tử thông qua, thiết bị thông qua, hoặc thuật ngữ khác. Chân đầu ra cũng có thể được gọi là chân dán đầu ra hoặc thuật ngữ khác, và chân đầu vào cũng có thể được gọi là chân dán đầu vào hoặc thuật ngữ khác.

Mọi đề cập đến phần tử ở đây có sử dụng cách chỉ định như "thứ nhất," "thứ hai," v.v. nói chung đều không giới hạn số lượng hoặc thứ tự của các phần tử này. Thay vào đó, các từ chỉ định này được dùng ở đây như phương pháp thuận tiện để phân biệt giữa hai hoặc nhiều phần tử hoặc ví dụ về phần tử. Theo đó, cần hiểu rõ rằng các từ chỉ định "thứ nhất", "thứ hai", v.v. trong các yêu cầu bảo hộ không nhất thiết phải tương ứng với các từ chỉ định tương tự trong phần mô tả bằng văn bản. Do đó, cần hiểu rõ rằng việc đề cập đến phần tử thứ nhất và thứ hai không có nghĩa là chỉ có thể sử dụng hai phần tử, hoặc rằng phần tử thứ nhất phải đứng trước phần tử thứ hai.

Thuật ngữ "ghép nối" được sử dụng ở đây để chỉ ghép nối điện trực tiếp hoặc gián tiếp giữa hai cấu trúc. Ví dụ, trong một ví dụ về ghép nối điện gián tiếp, một cấu trúc có thể được ghép nối với cấu trúc khác thông qua điện trở.

Trong bản mô tả này, thuật ngữ "làm ví dụ" được sử dụng có nghĩa là "đóng vai trò làm ví dụ, trường hợp mẫu, hoặc minh họa". Phương án triển khai hoặc khía cạnh bất kỳ được mô tả ở đây là "làm ví dụ" không nhất thiết được hiểu là được ưu tiên hoặc có lợi so với các khía cạnh khác của sáng chế. Tương tự, thuật ngữ "các khía cạnh" không yêu cầu rằng tất cả các khía cạnh của sáng chế đều bao gồm đặc tính, ưu điểm hoặc chế độ hoạt động đã được trình bày. Thuật ngữ "xấp xỉ", như được sử dụng ở đây

liên quan đến giá trị hoặc thuộc tính đã nêu, được dùng để chỉ việc nằm trong khoảng chênh lệch 10% so với giá trị hoặc thuộc tính đã nêu.

Phần mô tả trên đây của sáng chế được đề xuất để cho phép người có hiểu biết trung bình về lĩnh vực kỹ thuật này thực hiện hoặc sử dụng sáng chế. Những thay đổi khác nhau đối với sáng chế sẽ là hiển nhiên với người có hiểu biết trung bình trong lĩnh vực kỹ thuật, và các nguyên lý chung được xác định ở đây có thể được áp dụng cho các thay đổi khác mà không nằm ngoài tinh thần hoặc phạm vi của sáng chế. Do đó, sáng chế không dự định bị giới hạn ở các ví dụ đã mô tả ở đây mà phải được hiểu là có phạm vi rộng nhất phù hợp với các nguyên lý và các đặc tính mới được tiết lộ ở đây.

Phần sau đây mô tả các phương án triển khai khác theo sáng chế:

Phương án 1. Chip bao gồm:

trình điều khiển, trong đó trình điều khiển bao gồm:

bóng bán dẫn kéo xuống được ghép nối giữa đầu ra và đất;

bóng bán dẫn hiệu ứng trường loại-n (NFET) kéo lên được ghép nối giữa ray điện áp thứ nhất và đầu ra;

bóng bán dẫn hiệu ứng trường loại-p (PFET) kéo lên được ghép nối giữa ray điện áp thứ nhất và đầu ra;

cổng tắc thứ nhất được ghép nối giữa cực cổng của NFET kéo lên và đất;
và

cổng tắc thứ hai được ghép nối giữa cực cổng của PFET kéo lên và ray điện áp thứ hai.

Phương án 2. Chip theo phương án 1, còn bao gồm:

chân đầu ra; và

điện trở được ghép nối giữa chân đầu ra và đầu ra của trình điều khiển.

Phương án 3. Chip theo phương án 1 hoặc 2, còn bao gồm bộ điều chỉnh điện áp được ghép nối giữa ray điện áp thứ hai và ray điện áp thứ nhất, trong đó bộ điều chỉnh điện áp được tạo cấu hình để tạo ra điện áp được điều chỉnh từ điện áp nguồn trên ray điện áp thứ hai và xuất ra điện áp được điều chỉnh trên ray điện áp thứ nhất.

Phương án 4. Chip theo phương án 3, còn bao gồm mạch điều khiển được tạo cấu hình để:

tắt công tắc thứ nhất và bật công tắc thứ hai nếu điện áp được điều chỉnh nằm trong dải điện áp được điều chỉnh thứ nhất; và

bật công tắc thứ nhất và tắt công tắc thứ hai nếu điện áp được điều chỉnh nằm trong dải điện áp được điều chỉnh thứ hai.

Phương án 5. Chip theo phương án 3 hoặc 4, trong đó bộ điều chỉnh điện áp bao gồm bóng bán dẫn hiệu ứng trường loại-p (PFET) thông qua được ghép nối giữa ray điện áp thứ nhất và ray điện áp thứ hai.

Phương án 6. Chip theo phương án bất kỳ trong số các phương án từ 1 đến 5, còn bao gồm mạch điều khiển được tạo cấu hình để:

nhận tín hiệu điều khiển;

tắt công tắc thứ nhất và bật công tắc thứ hai nếu tín hiệu điều khiển có giá trị nằm trong tập giá trị thứ nhất; và

bật công tắc thứ nhất và tắt công tắc thứ hai nếu tín hiệu điều khiển có giá trị nằm trong tập giá trị thứ hai.

Phương án 7. Chip theo phương án bất kỳ trong số các phương án từ 1 đến 6, trong đó cực cổng của bóng bán dẫn kéo xuống được ghép nối với đầu vào thứ nhất, và trình điều khiển còn bao gồm:

công tắc thứ ba được ghép nối giữa cực cổng của PFET kéo lên và đầu vào thứ nhất; và

công tắc thứ tư được ghép nối giữa cực cổng của NFET kéo lên và đầu vào thứ hai.

Phương án 8. Chip theo phương án 7, trong đó đầu vào thứ nhất và đầu vào thứ hai là các đầu vào bổ sung cho nhau.

Phương án 9. Chip theo phương án 7 hoặc 8, còn bao gồm mạch điều khiển được tạo cấu hình để:

nhận tín hiệu điều khiển;

tắt công tắc thứ nhất, bật công tắc thứ hai, tắt công tắc thứ ba, và bật công tắc thứ tư nếu tín hiệu điều khiển có giá trị nằm trong tập giá trị thứ nhất; và

bật công tắc thứ nhất, tắt công tắc thứ hai, bật công tắc thứ ba, và tắt công tắc thứ tư nếu tín hiệu điều khiển có giá trị nằm trong tập giá trị thứ hai.

Phương án 10. Chip bao gồm:

trình điều khiển nhiều lát, trong đó trình điều khiển nhiều lát bao gồm nhiều lát, mỗi lát bao gồm:

bóng bán dẫn kéo xuống tương ứng được ghép nối giữa đầu ra tương ứng và đất;

bóng bán dẫn hiệu ứng trường loại-n (NFET) kéo lên tương ứng được ghép nối giữa ray điện áp thứ nhất và đầu ra tương ứng;

bóng bán dẫn hiệu ứng trường loại-p (PFET) kéo lên tương ứng được ghép nối giữa ray điện áp thứ nhất và đầu ra tương ứng;

công tắc thứ nhất tương ứng được ghép nối giữa cực cổng của NFET kéo lên tương ứng và đất; và

công tắc thứ hai tương ứng được ghép nối giữa cực cổng của PFET kéo lên tương ứng và ray điện áp thứ hai.

Phương án 11. Chip theo phương án 10, còn bao gồm:

chân đầu ra; và

điện trở được ghép nối giữa chân đầu ra và đầu ra của từng lát.

Phương án 12. Chip theo phương án 10 hoặc 11, còn bao gồm bộ điều chỉnh điện áp được ghép nối giữa ray điện áp thứ hai và ray điện áp thứ nhất, trong đó bộ điều chỉnh điện áp được tạo cấu hình để tạo ra điện áp được điều chỉnh từ điện áp nguồn trên ray điện áp thứ hai và xuất ra điện áp được điều chỉnh trên ray điện áp thứ nhất.

Phương án 13. Chip theo phương án 12, còn bao gồm mạch điều khiển được tạo cấu hình để:

tắt công tắc thứ nhất và bật công tắc thứ hai trong mỗi lát nếu điện áp được điều chỉnh nằm trong dải điện áp được điều chỉnh thứ nhất; và

bật công tắc thứ nhất và tắt công tắc thứ hai trong mỗi lát nếu điện áp được điều chỉnh nằm trong dải điện áp được điều chỉnh thứ hai.

Phương án 14. Chip theo phương án bất kỳ trong số các phương án từ 10 đến 13, còn bao gồm mạch điều khiển được tạo cấu hình để:

nhận tín hiệu điều khiển;

tắt công tắc thứ nhất và bật công tắc thứ hai trong mỗi lát nếu tín hiệu điều khiển có giá trị nằm trong tập giá trị thứ nhất; và

bật công tắc thứ nhất và tắt công tắc thứ hai trong mỗi lát nếu tín hiệu điều khiển có giá trị nằm trong tập giá trị thứ hai.

Phương án 15. Chip bao gồm:

trình điều khiển, trong đó trình điều khiển bao gồm:

bóng bán dẫn kéo xuống thứ nhất được ghép nối giữa đầu ra thứ nhất và đất;

bóng bán dẫn kéo xuống thứ hai được ghép nối giữa đầu ra thứ hai và đất;

bóng bán dẫn hiệu ứng trường loại-n (NFET) kéo lên thứ nhất được ghép nối giữa ray điện áp thứ nhất và đầu ra thứ nhất;

NFET kéo lên thứ hai được ghép nối giữa ray điện áp thứ nhất và đầu ra thứ hai;

bóng bán dẫn hiệu ứng trường loại-p (PFET) kéo lên thứ nhất được ghép nối giữa ray điện áp thứ nhất và đầu ra thứ nhất;

PFET kéo lên thứ hai được ghép nối giữa ray điện áp thứ nhất và đầu ra thứ hai;

công tắc thứ nhất được ghép nối giữa cực cổng của NFET kéo lên thứ nhất và đất;

công tắc thứ hai được ghép nối giữa cực cổng của NFET kéo lên thứ hai và đất;

công tắc thứ ba được ghép nối giữa cực cổng của PFET kéo lên thứ nhất và ray điện áp thứ hai; và

công tắc thứ tư được ghép nối giữa cực cổng của PFET kéo lên thứ nhất và ray điện áp thứ hai.

Phương án 16. Chip theo phương án 15, còn bao gồm:

chân đầu ra thứ nhất;

điện trở thứ nhất được ghép nối giữa chân đầu ra thứ nhất và đầu ra thứ nhất của trình điều khiển;

chân đầu ra thứ hai; và

điện trở thứ hai được ghép nối giữa chân đầu ra thứ hai và đầu ra thứ hai của trình điều khiển.

Phương án 17. Chip theo phương án 15 hoặc 16, còn bao gồm bộ điều chỉnh điện áp được ghép nối giữa ray điện áp thứ hai và ray điện áp thứ nhất, trong đó bộ điều chỉnh điện áp được tạo cấu hình để tạo ra điện áp được điều chỉnh từ điện áp nguồn trên ray điện áp thứ hai và xuất ra điện áp được điều chỉnh trên ray điện áp thứ nhất.

Phương án 18. Chip theo phương án 17, còn bao gồm mạch điều khiển được tạo cấu hình để:

tắt công tắc thứ nhất, tắt công tắc thứ hai, bật công tắc thứ ba, và bật công tắc thứ tư nếu điện áp được điều chỉnh nằm trong dải điện áp được điều chỉnh thứ nhất; và

bật công tắc thứ nhất, bật công tắc thứ hai, tắt công tắc thứ ba, và tắt công tắc thứ tư nếu điện áp được điều chỉnh nằm trong dải điện áp được điều chỉnh thứ hai.

Phương án 19. Chip theo phương án 17 hoặc 18, trong đó bộ điều chỉnh điện áp bao gồm bóng bán dẫn hiệu ứng trường loại-p (PFET) thông qua được ghép nối giữa ray điện áp thứ nhất và ray điện áp thứ hai.

Phương án 20. Chip theo phương án bất kỳ trong số các phương án từ 15 đến 19, còn bao gồm mạch điều khiển được tạo cấu hình để:

nhận tín hiệu điều khiển;

tắt công tắc thứ nhất, tắt công tắc thứ hai, bật công tắc thứ ba, và bật công tắc thứ tư nếu tín hiệu điều khiển có giá trị nằm trong tập giá trị thứ nhất; và

bật công tắc thứ nhất, bật công tắc thứ hai, tắt công tắc thứ ba, và tắt công tắc thứ tư nếu tín hiệu điều khiển có giá trị nằm trong tập giá trị thứ hai.

Phương án 21. Chip theo phương án bất kỳ trong số các phương án từ 15 đến 20, trong đó cực cổng của bóng bán dẫn kéo xuống thứ nhất được ghép nối với đầu vào thứ nhất, cực cổng của bóng bán dẫn kéo xuống thứ hai được ghép nối với đầu vào thứ hai, và trình điều khiển còn bao gồm:

công tắc thứ năm được ghép nối giữa cực cổng của PFET kéo lên thứ nhất và đầu vào thứ nhất;

công tắc thứ sáu được ghép nối giữa cực cổng của PFET kéo lên thứ hai và đầu vào thứ hai;

công tắc thứ bảy được ghép nối giữa cực cổng của NFET kéo lên thứ nhất và đầu vào thứ hai; và

công tắc thứ tám được ghép nối giữa cực cổng của NFET kéo lên thứ hai và đầu vào thứ nhất.

Phương án 22. Chip theo phương án 21, trong đó đầu vào thứ nhất và đầu vào thứ hai là các đầu vào bổ sung cho nhau.

Phương án 23. Chip theo phương án 21 hoặc 22, còn bao gồm mạch điều khiển được tạo cấu hình để:

nhận tín hiệu điều khiển;

tắt công tắc thứ nhất, tắt công tắc thứ hai, bật công tắc thứ ba, bật công tắc thứ tư, tắt công tắc thứ năm, tắt công tắc thứ sáu, bật công tắc thứ bảy, và bật công tắc thứ tám nếu tín hiệu điều khiển có giá trị nằm trong tập giá trị thứ nhất; và

bật công tắc thứ nhất, bật công tắc thứ hai, tắt công tắc thứ ba, tắt công tắc thứ tư, bật công tắc thứ năm, bật công tắc thứ sáu, tắt công tắc thứ bảy, và tắt công tắc thứ tám nếu tín hiệu điều khiển có giá trị nằm trong tập giá trị thứ hai.

Phương án 24. Phương pháp vận hành trình điều khiển lai, trình điều khiển lai bao gồm bóng bán dẫn kéo xuống được ghép nối giữa đầu ra và đất, bóng bán dẫn hiệu ứng trường loại-n (NFET) kéo lên được ghép nối giữa ray điện áp và đầu ra, và bóng bán dẫn hiệu ứng trường loại-p (PFET) kéo lên được ghép nối giữa ray điện áp và đầu ra, phương pháp này bao gồm các bước:

trong chế độ trình điều khiển thứ nhất, tắt PFET kéo lên;

trong chế độ trình điều khiển thứ nhất, điều khiển cực cổng của bóng bán dẫn kéo xuống bằng tín hiệu đầu vào thứ nhất và điều khiển cực cổng của NFET kéo lên bằng tín hiệu đầu vào thứ hai;

trong chế độ trình điều khiển thứ hai, tắt NFET kéo lên; và

trong chế độ trình điều khiển thứ hai, điều khiển cực cổng của bóng bán dẫn kéo xuống bằng tín hiệu đầu vào thứ nhất và điều khiển cực cổng của PFET kéo lên bằng tín hiệu đầu vào thứ nhất.

Phương án 25. Phương pháp theo phương án 24, trong đó tín hiệu đầu vào thứ nhất và tín hiệu đầu vào thứ hai là các tín hiệu bổ sung cho nhau.

Phương án 26. Phương pháp theo phương án 24 hoặc 25, còn bao gồm các bước:

tạo ra điện áp được điều chỉnh bằng cách sử dụng bộ điều chỉnh điện áp; và

xuất ra điện áp được điều chỉnh trên ray điện áp.

Phương án 27. Phương pháp theo phương án 26, còn bao gồm các bước:

vận hành trình điều khiển ở chế độ trình điều khiển thứ nhất nếu điện áp được điều chỉnh nằm trong dải điện áp được điều chỉnh thứ nhất; và

vận hành trình điều khiển ở chế độ trình điều khiển thứ hai nếu điện áp được điều chỉnh nằm trong dải điện áp được điều chỉnh thứ hai.

Phương án 28. Phương pháp theo phương án bất kỳ trong số các phương án từ 24 đến 27, phương pháp này còn bao gồm các bước:

nhận tín hiệu điều khiển;

vận hành trình điều khiển ở chế độ trình điều khiển thứ nhất nếu tín hiệu điều khiển có giá trị nằm trong tập giá trị thứ nhất; và

vận hành trình điều khiển ở chế độ trình điều khiển thứ hai nếu tín hiệu điều khiển có giá trị nằm trong tập giá trị thứ hai.

YÊU CẦU BẢO HỘ

1. Chip bao gồm:

trình điều khiển, trong đó trình điều khiển bao gồm:

bóng bán dẫn kéo xuống được ghép nối giữa đầu ra và đất;

bóng bán dẫn hiệu ứng trường loại-n (n-type field effect transistor - NFET) kéo lên được ghép nối giữa ray điện áp thứ nhất và đầu ra;

bóng bán dẫn hiệu ứng trường loại-p (p-type field effect transistor - PFET) kéo lên được ghép nối giữa ray điện áp thứ nhất và đầu ra;

công tắc thứ nhất được ghép nối giữa cực cổng của NFET kéo lên và đất;

công tắc thứ hai được ghép nối giữa cực cổng của PFET kéo lên và ray điện áp thứ hai;

công tắc thứ ba được ghép nối giữa cực cổng của PFET kéo lên và đầu vào thứ nhất; và

công tắc thứ tư được ghép nối giữa cực cổng của NFET kéo lên và đầu vào thứ hai, trong đó cực cổng của bóng bán dẫn kéo xuống được ghép nối với đầu vào thứ nhất và trong đó đầu vào thứ nhất và đầu vào thứ hai là các đầu vào bổ sung; và

mạch điều khiển được tạo cấu hình để:

tắt công tắc thứ nhất, bật công tắc thứ hai, tắt công tắc thứ ba, và bật công tắc thứ tư để vận hành trình điều khiển ở chế độ trình điều khiển thứ nhất; và

bật công tắc thứ nhất, tắt công tắc thứ hai, bật công tắc thứ ba, và tắt công tắc thứ tư để vận hành trình điều khiển ở chế độ trình điều khiển thứ hai.

2. Chip theo điểm 1, còn bao gồm:

chân đầu ra; và

điện trở được ghép nối giữa chân đầu ra và đầu ra của trình điều khiển.

3. Chip theo điểm 1, còn bao gồm bộ điều chỉnh điện áp được ghép nối giữa ray điện áp thứ hai và ray điện áp thứ nhất, trong đó bộ điều chỉnh điện áp được tạo cấu hình

để tạo ra điện áp được điều chỉnh trên ray điện áp thứ nhất được lấy từ điện áp nguồn trên ray điện áp thứ hai, trong đó bộ điều chỉnh điện áp được tạo cấu hình để cung cấp điện áp được điều chỉnh trong dải điện áp được điều chỉnh thứ nhất hoặc trong dải điện áp được điều chỉnh thứ hai dựa trên tín hiệu điều khiển điện áp được nhập vào bộ điều chỉnh điện áp.

4. Chip theo điểm 3, trong đó mạch điều khiển được tạo cấu hình để vận hành trình điều khiển ở chế độ trình điều khiển thứ nhất nếu điện áp được điều chỉnh nằm trong dải điện áp được điều chỉnh thứ nhất và vận hành trình điều khiển ở chế độ trình điều khiển thứ hai nếu điện áp được điều chỉnh nằm trong dải điện áp được điều chỉnh thứ hai.

5. Chip theo điểm 3, trong đó bộ điều chỉnh điện áp bao gồm bóng bán dẫn hiệu ứng trường loại-p (PFET) thông qua được ghép nối giữa ray điện áp thứ nhất và ray điện áp thứ hai.

6. Chip theo điểm 1, trong đó chế độ trình điều khiển thứ nhất bao gồm chế độ trình điều khiển NFET-trên-NFET và chế độ trình điều khiển thứ hai bao gồm chế độ trình điều khiển PFET-trên-NFET.

7. Chip bao gồm:

trình điều khiển, trong đó trình điều khiển bao gồm:

bóng bán dẫn kéo xuống được ghép nối giữa đầu ra và đất;

bóng bán dẫn hiệu ứng trường loại-n (NFET) kéo lên được ghép nối giữa ray điện áp thứ nhất và đầu ra;

bóng bán dẫn hiệu ứng trường loại-p (PFET) kéo lên được ghép nối giữa ray điện áp thứ nhất và đầu ra;

cổng thứ nhất được ghép nối giữa cực cổng của NFET kéo lên và đất;

cổng thứ hai được ghép nối giữa cực cổng của PFET kéo lên và ray điện áp thứ hai;

cổng thứ ba được ghép nối giữa cực cổng của PFET kéo lên và đầu vào thứ nhất; và

công tắc thứ tư được ghép nối giữa cực cổng của NFET kéo lên và đầu vào thứ hai, trong đó cực cổng của bóng bán dẫn kéo xuống được ghép nối với đầu vào thứ nhất và trong đó đầu vào thứ nhất và đầu vào thứ hai là các đầu vào bổ sung; và

mạch điều khiển được tạo cấu hình để:

nhận tín hiệu điều khiển;

tắt công tắc thứ nhất, bật công tắc thứ hai, tắt công tắc thứ ba, và bật công tắc thứ tư nếu tín hiệu điều khiển có giá trị nằm trong tập giá trị thứ nhất; và

bật công tắc thứ nhất, tắt công tắc thứ hai, bật công tắc thứ ba, và tắt công tắc thứ tư nếu tín hiệu điều khiển có giá trị nằm trong tập giá trị thứ hai.

8. Chip bao gồm:

trình điều khiển nhiều lát, trong đó trình điều khiển nhiều lát bao gồm nhiều lát, mỗi lát bao gồm:

bóng bán dẫn kéo xuống tương ứng được ghép nối giữa đầu ra tương ứng và đất;

bóng bán dẫn hiệu ứng trường loại-n (NFET) kéo lên tương ứng được ghép nối giữa ray điện áp thứ nhất và đầu ra tương ứng;

bóng bán dẫn hiệu ứng trường loại-p (PFET) kéo lên tương ứng được ghép nối giữa ray điện áp thứ nhất và đầu ra tương ứng;

công tắc thứ nhất tương ứng được ghép nối giữa cực cổng của NFET kéo lên tương ứng và đất;

công tắc thứ hai tương ứng được ghép nối giữa cực cổng của PFET kéo lên tương ứng và ray điện áp thứ hai;

công tắc thứ ba tương ứng được ghép nối giữa cực cổng của PFET kéo lên và đầu vào thứ nhất; và

công tắc thứ tư tương ứng được ghép nối giữa cực cổng của NFET kéo lên và đầu vào thứ hai, trong đó cực cổng của bóng bán dẫn kéo xuống được ghép

nối với đầu vào thứ nhất và trong đó đầu vào thứ nhất và đầu vào thứ hai là các đầu vào bổ sung; và

mạch điều khiển được tạo cấu hình để:

tắt công tắc thứ nhất, bật công tắc thứ hai, tắt công tắc thứ ba, và bật công tắc thứ tư của mỗi lát để vận hành trình điều khiển ở chế độ trình điều khiển thứ nhất; và

bật công tắc thứ nhất, tắt công tắc thứ hai, bật công tắc thứ ba, và tắt công tắc thứ tư của mỗi lát để vận hành trình điều khiển ở chế độ trình điều khiển thứ hai.

9. Chip theo điểm 8, còn bao gồm:

chân đầu ra; và

điện trở được ghép nối giữa chân đầu ra và đầu ra của từng lát.

10. Chip theo điểm 8, còn bao gồm bộ điều chỉnh điện áp được ghép nối giữa ray điện áp thứ hai và ray điện áp thứ nhất, trong đó bộ điều chỉnh điện áp được tạo cấu hình để tạo ra điện áp được điều chỉnh trên ray điện áp thứ nhất được lấy từ điện áp nguồn trên ray điện áp thứ hai, trong đó bộ điều chỉnh điện áp được tạo cấu hình để cung cấp điện áp được điều chỉnh trong dải điện áp được điều chỉnh thứ nhất hoặc trong dải điện áp được điều chỉnh thứ hai dựa trên tín hiệu điều khiển điện áp được nhập vào bộ điều chỉnh điện áp.

11. Chip theo điểm 10, trong đó mạch điều khiển được tạo cấu hình để vận hành trình điều khiển ở chế độ trình điều khiển thứ nhất nếu điện áp được điều chỉnh nằm trong dải điện áp được điều chỉnh thứ nhất và vận hành trình điều khiển ở chế độ trình điều khiển thứ hai nếu điện áp được điều chỉnh nằm trong dải điện áp được điều chỉnh thứ hai.

12. Chip theo điểm 8, trong đó chế độ trình điều khiển thứ nhất bao gồm chế độ trình điều khiển NFET-trên-NFET và chế độ trình điều khiển thứ hai bao gồm chế độ trình điều khiển PFET-trên-NFET.

13. Chip bao gồm:

trình điều khiển, trong đó trình điều khiển bao gồm:

bóng bán dẫn kéo xuống thứ nhất được ghép nối giữa đầu ra thứ nhất và đất;

bóng bán dẫn kéo xuống thứ hai được ghép nối giữa đầu ra thứ hai và đất;

bóng bán dẫn hiệu ứng trường loại-n (NFET) kéo lên thứ nhất được ghép nối giữa ray điện áp thứ nhất và đầu ra thứ nhất;

NFET kéo lên thứ hai được ghép nối giữa ray điện áp thứ nhất và đầu ra thứ hai;

bóng bán dẫn hiệu ứng trường loại-p (PFET) kéo lên thứ nhất được ghép nối giữa ray điện áp thứ nhất và đầu ra thứ nhất;

PFET kéo lên thứ hai được ghép nối giữa ray điện áp thứ nhất và đầu ra thứ hai;

cổng tắc thứ nhất được ghép nối giữa cực cổng của NFET kéo lên thứ nhất và đất;

cổng tắc thứ hai được ghép nối giữa cực cổng của NFET kéo lên thứ hai và đất;

cổng tắc thứ ba được ghép nối giữa cực cổng của PFET kéo lên thứ nhất và ray điện áp thứ hai; và

cổng tắc thứ tư được ghép nối giữa cực cổng của PFET kéo lên thứ hai và ray điện áp thứ hai;

cổng tắc thứ năm được ghép nối giữa cực cổng của PFET kéo lên thứ nhất và đầu vào thứ nhất;

cổng tắc thứ sáu được ghép nối giữa cực cổng của PFET kéo lên thứ hai và đầu vào thứ hai;

cổng tắc thứ bảy được ghép nối giữa cực cổng của NFET kéo lên thứ nhất và đầu vào thứ hai; và

công tắc thứ tám được ghép nối giữa cực cổng của NFET kéo lên thứ hai và đầu vào thứ nhất, trong đó cực cổng của bóng bán dẫn kéo xuống thứ nhất được ghép nối với đầu vào thứ nhất và cực cổng của bóng bán dẫn kéo xuống thứ hai được ghép nối với đầu vào thứ hai và trong đó đầu vào thứ nhất và đầu vào thứ hai là các đầu vào bổ sung;

mạch điều khiển được tạo cấu hình để:

tắt công tắc thứ nhất, tắt công tắc thứ hai, bật công tắc thứ ba, bật công tắc thứ tư, tắt công tắc thứ năm, tắt công tắc thứ sáu, bật công tắc thứ bảy, và bật công tắc thứ tám để vận hành trình điều khiển ở chế độ trình điều khiển thứ nhất; và

bật công tắc thứ nhất, bật công tắc thứ hai, tắt công tắc thứ ba, tắt công tắc thứ tư, bật công tắc thứ năm, bật công tắc thứ sáu, tắt công tắc thứ bảy, và tắt công tắc thứ tám để vận hành trình điều khiển ở chế độ trình điều khiển thứ hai.

14. Chip theo điểm 13, còn bao gồm:

chân đầu ra thứ nhất;

điện trở thứ nhất được ghép nối giữa chân đầu ra thứ nhất và đầu ra thứ nhất của trình điều khiển;

chân đầu ra thứ hai; và

điện trở thứ hai được ghép nối giữa chân đầu ra thứ hai và đầu ra thứ hai của trình điều khiển.

15. Chip theo điểm 13, còn bao gồm bộ điều chỉnh điện áp được ghép nối giữa ray điện áp thứ hai và ray điện áp thứ nhất, trong đó bộ điều chỉnh điện áp được tạo cấu hình để tạo ra điện áp được điều chỉnh trên ray điện áp thứ nhất được lấy từ điện áp nguồn trên ray điện áp thứ hai, trong đó bộ điều chỉnh điện áp được tạo cấu hình để cung cấp điện áp được điều chỉnh trong dải điện áp được điều chỉnh thứ nhất hoặc trong dải điện áp được điều chỉnh thứ hai dựa trên tín hiệu điều khiển điện áp được nhập vào bộ điều chỉnh điện áp.

16. Chip theo điểm 15, trong đó mạch điều khiển được tạo cấu hình để vận hành trình điều khiển ở chế độ trình điều khiển thứ nhất nếu điện áp được điều chỉnh nằm trong dải điện áp được điều chỉnh thứ nhất và vận hành trình điều khiển ở chế độ trình điều khiển thứ hai nếu điện áp được điều chỉnh nằm trong dải điện áp được điều chỉnh thứ hai.

17. Chip theo điểm 16, trong đó bộ điều chỉnh điện áp bao gồm bóng bán dẫn hiệu ứng trường loại-p (PFET) thông qua được ghép nối giữa ray điện áp thứ nhất và ray điện áp thứ hai.

18. Chip theo điểm 13, trong đó chế độ trình điều khiển thứ nhất bao gồm chế độ trình điều khiển NFET-trên-NFET và chế độ trình điều khiển thứ hai bao gồm chế độ trình điều khiển PFET-trên-NFET.

19. Chip bao gồm:

trình điều khiển, trong đó trình điều khiển bao gồm:

bóng bán dẫn kéo xuống thứ nhất được ghép nối giữa đầu ra thứ nhất và đất;

bóng bán dẫn kéo xuống thứ hai được ghép nối giữa đầu ra thứ hai và đất;

bóng bán dẫn hiệu ứng trường loại-n (NFET) kéo lên thứ nhất được ghép nối giữa ray điện áp thứ nhất và đầu ra thứ nhất;

NFET kéo lên thứ hai được ghép nối giữa ray điện áp thứ nhất và đầu ra thứ hai;

bóng bán dẫn hiệu ứng trường loại-p (PFET) kéo lên thứ nhất được ghép nối giữa ray điện áp thứ nhất và đầu ra thứ nhất;

PFET kéo lên thứ hai được ghép nối giữa ray điện áp thứ nhất và đầu ra thứ hai;

cổng tắc thứ nhất được ghép nối giữa cực cổng của NFET kéo lên thứ nhất và đất;

cổng tắc thứ hai được ghép nối giữa cực cổng của NFET kéo lên thứ hai và đất;

công tắc thứ ba được ghép nối giữa cực cổng của PFET kéo lên thứ nhất và ray điện áp thứ hai;

công tắc thứ tư được ghép nối giữa cực cổng của PFET kéo lên thứ hai và ray điện áp thứ hai;

công tắc thứ năm được ghép nối giữa cực cổng của PFET kéo lên thứ nhất và đầu vào thứ nhất;

công tắc thứ sáu được ghép nối giữa cực cổng của PFET kéo lên thứ hai và đầu vào thứ hai;

công tắc thứ bảy được ghép nối giữa cực cổng của NFET kéo lên thứ nhất và đầu vào thứ hai; và

công tắc thứ tám được ghép nối giữa cực cổng của NFET kéo lên thứ hai và đầu vào thứ nhất, trong đó cực cổng của bóng bán dẫn kéo xuống thứ nhất được ghép nối với đầu vào thứ nhất và cực cổng của bóng bán dẫn kéo xuống thứ hai được ghép nối với đầu vào thứ hai và trong đó đầu vào thứ nhất và đầu vào thứ hai là các đầu vào bổ sung; và

mạch điều khiển được tạo cấu hình để:

nhận tín hiệu điều khiển;

tắt công tắc thứ nhất, tắt công tắc thứ hai, bật công tắc thứ ba, bật công tắc thứ tư, tắt công tắc thứ năm, tắt công tắc thứ sáu, bật công tắc thứ bảy, và bật công tắc thứ tám nếu tín hiệu điều khiển có giá trị nằm trong tập giá trị thứ nhất; và

bật công tắc thứ nhất, bật công tắc thứ hai, tắt công tắc thứ ba, tắt công tắc thứ tư, bật công tắc thứ năm, bật công tắc thứ sáu, tắt công tắc thứ bảy, và tắt công tắc thứ tám nếu tín hiệu điều khiển có giá trị nằm trong tập giá trị thứ hai.

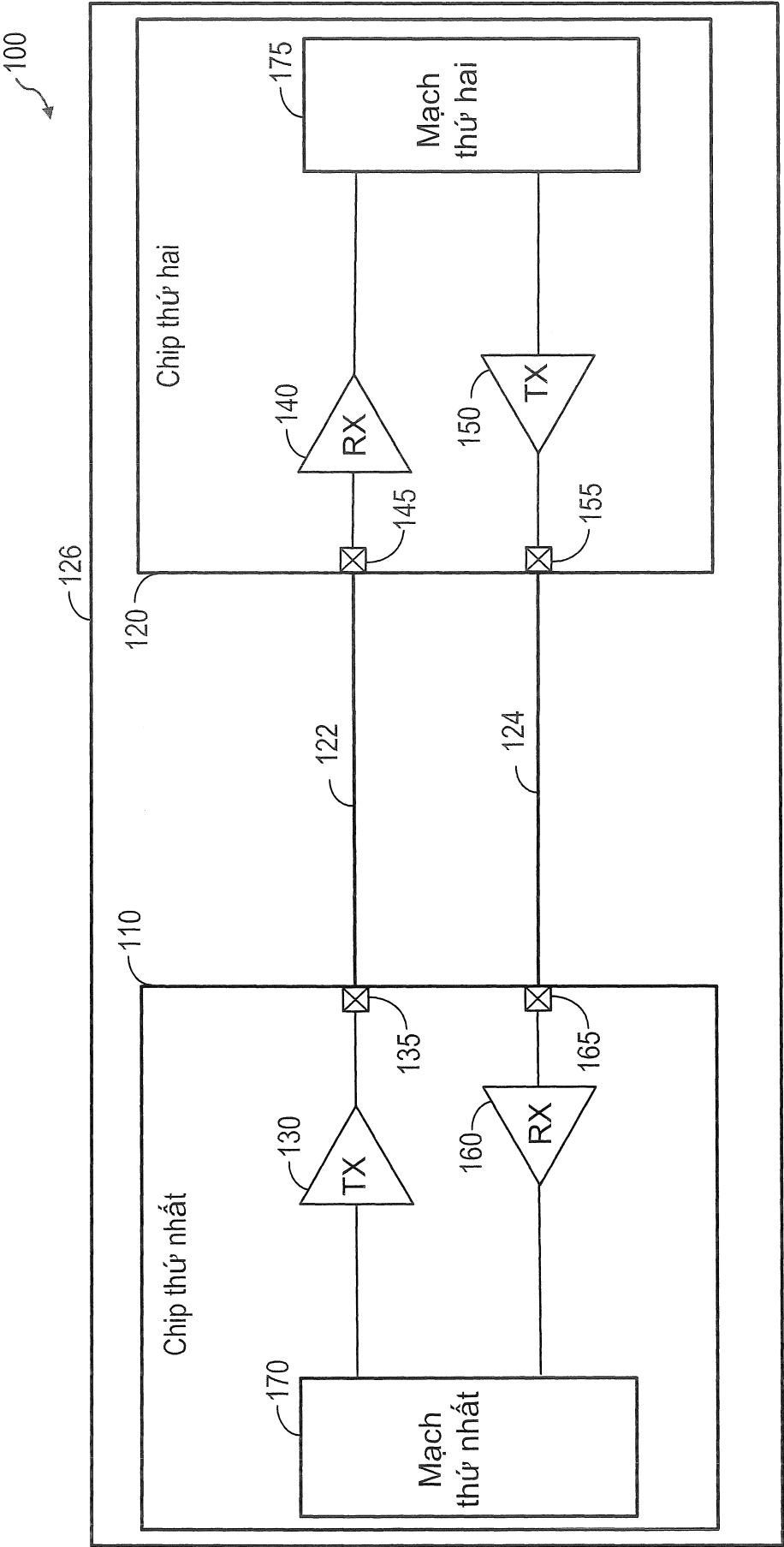


Fig.1

2/20

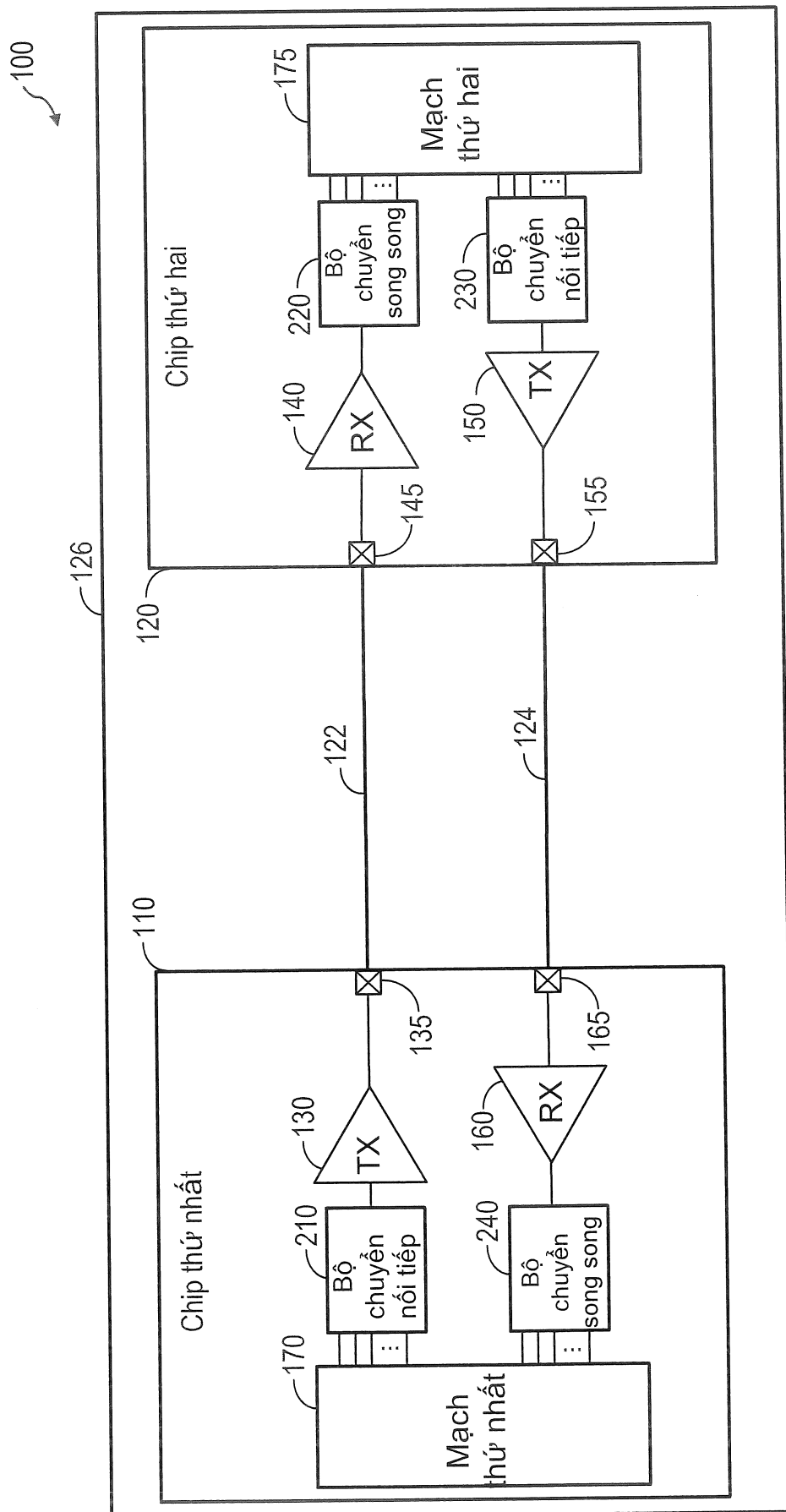


Fig.2

3/20

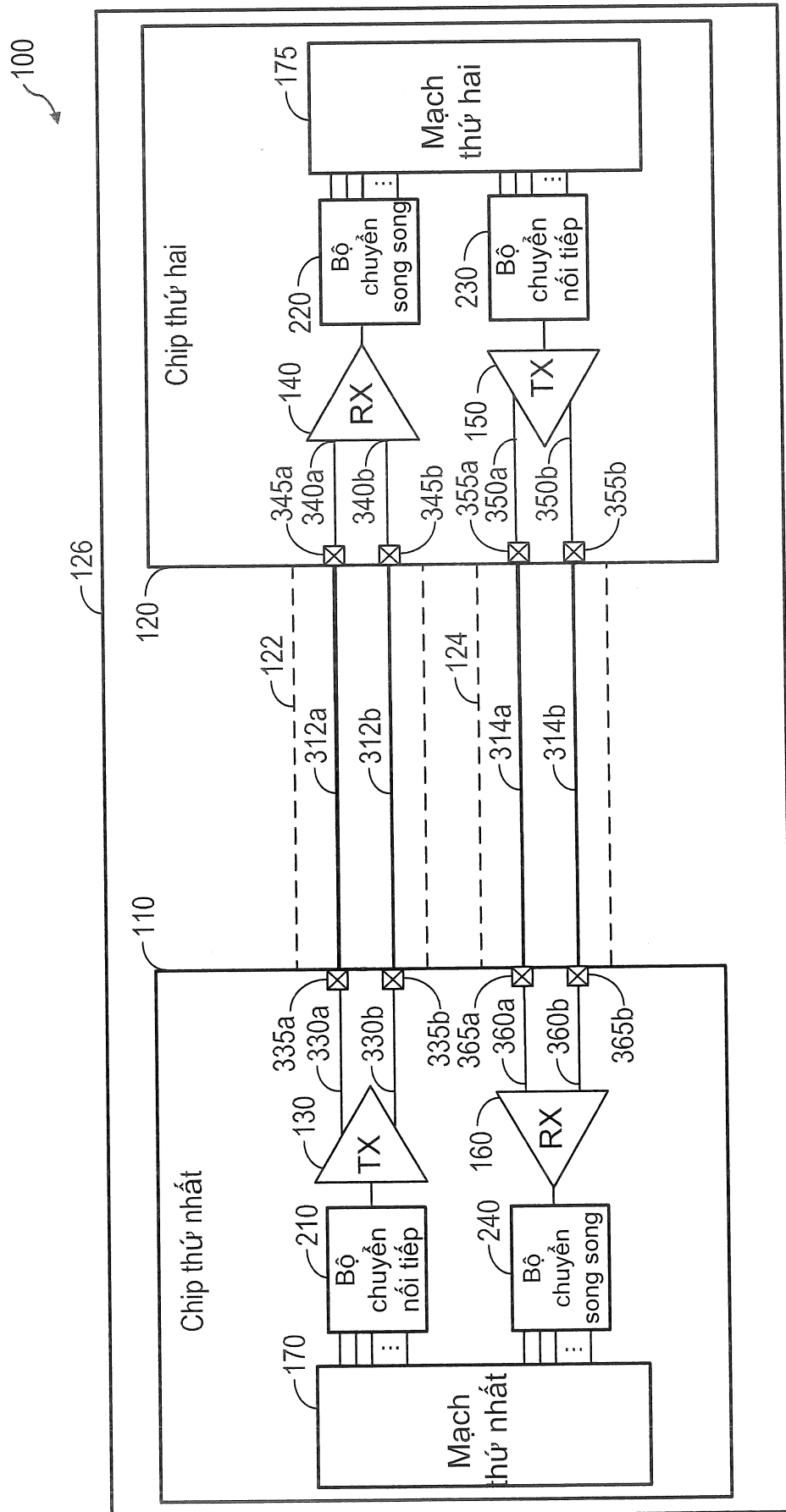
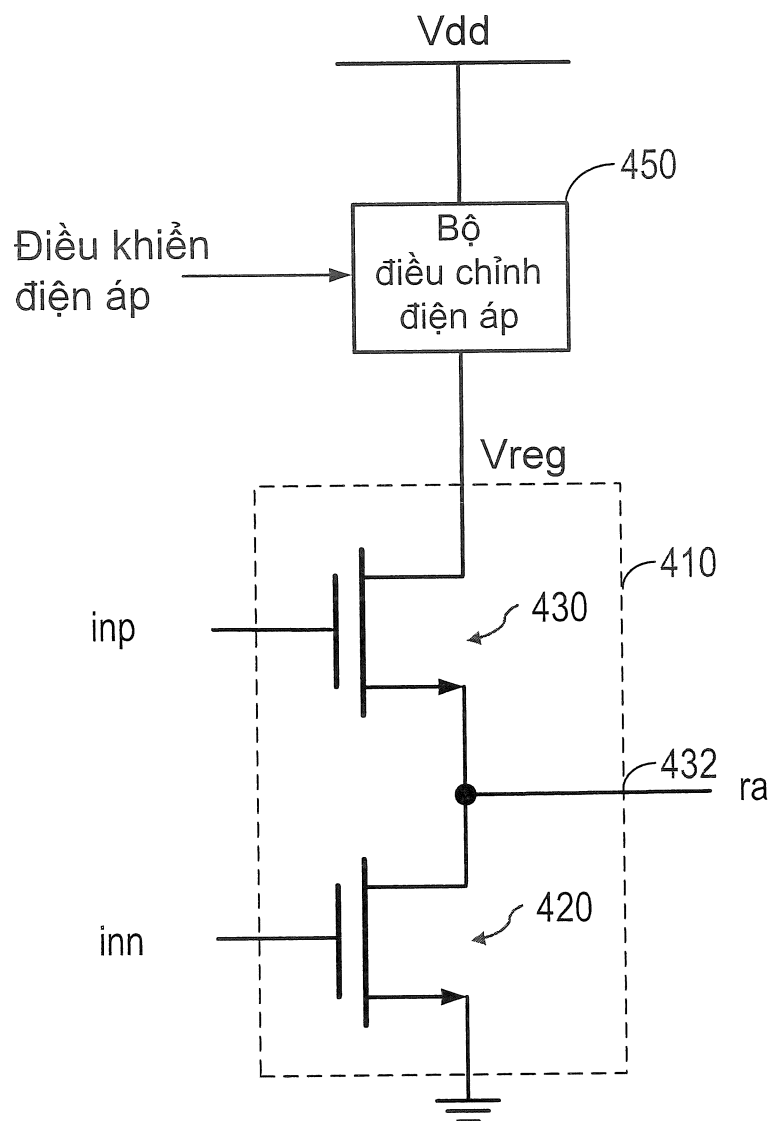


Fig.3

4/20

**Fig.4**

5/20

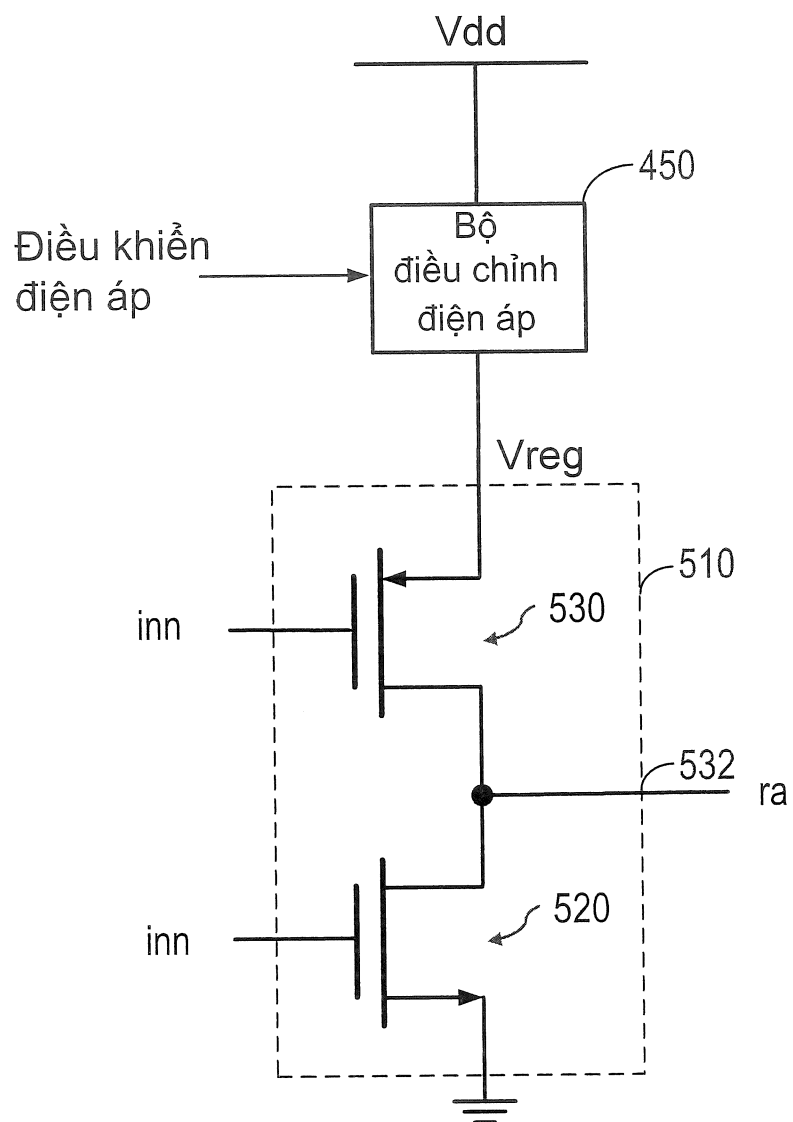


Fig.5

6/20

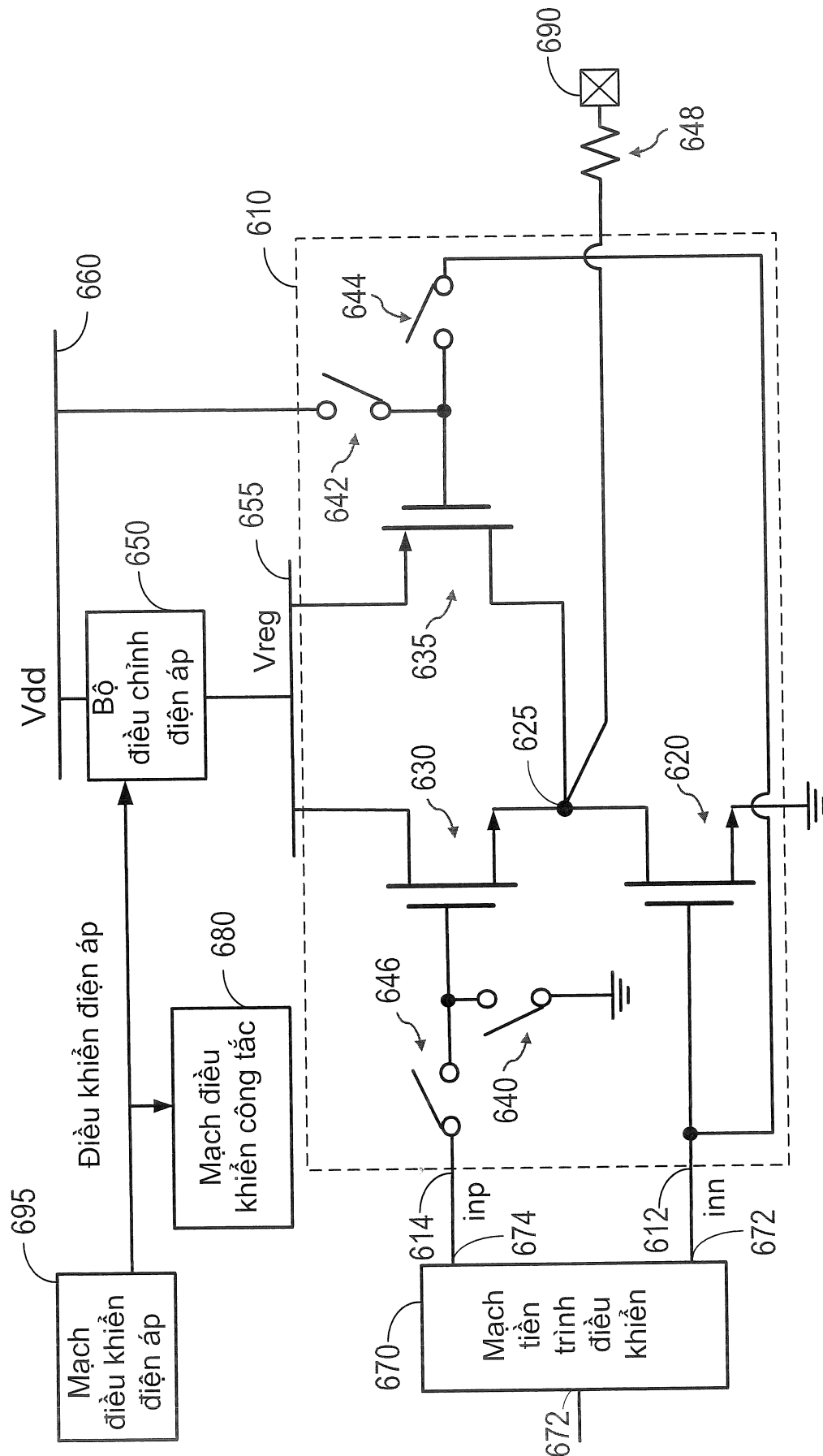


Fig.6

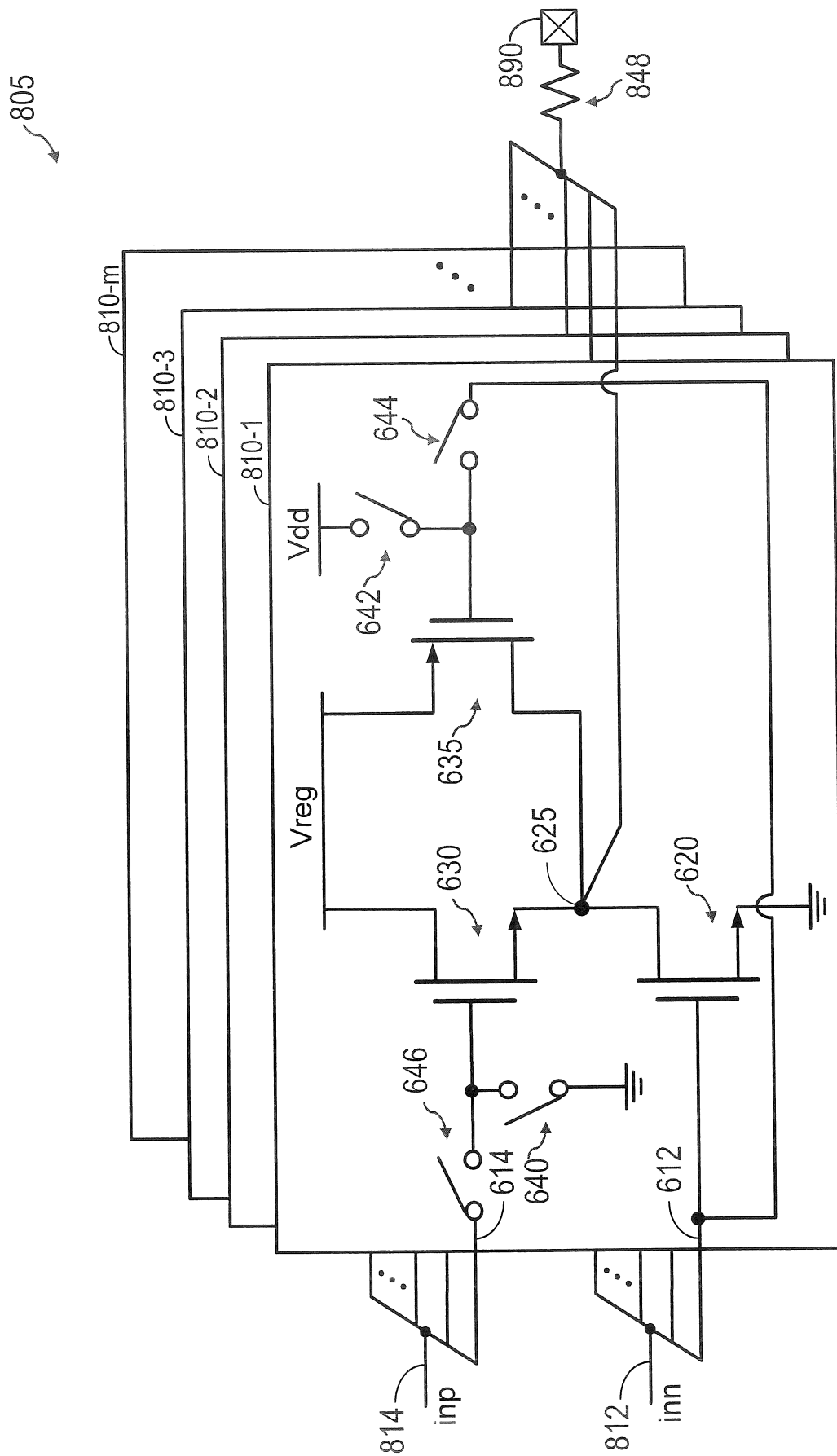


Fig.8

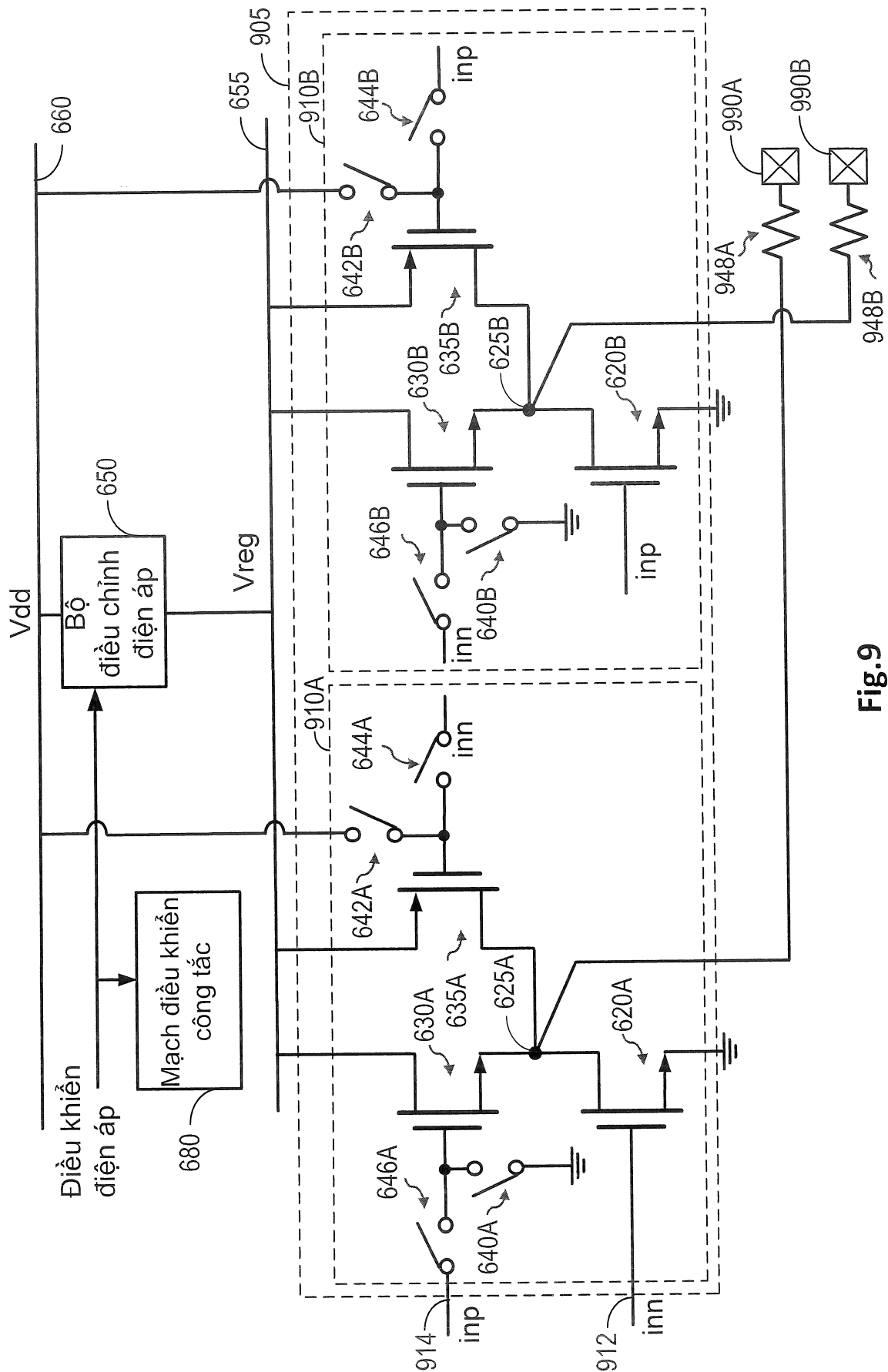


Fig. 6

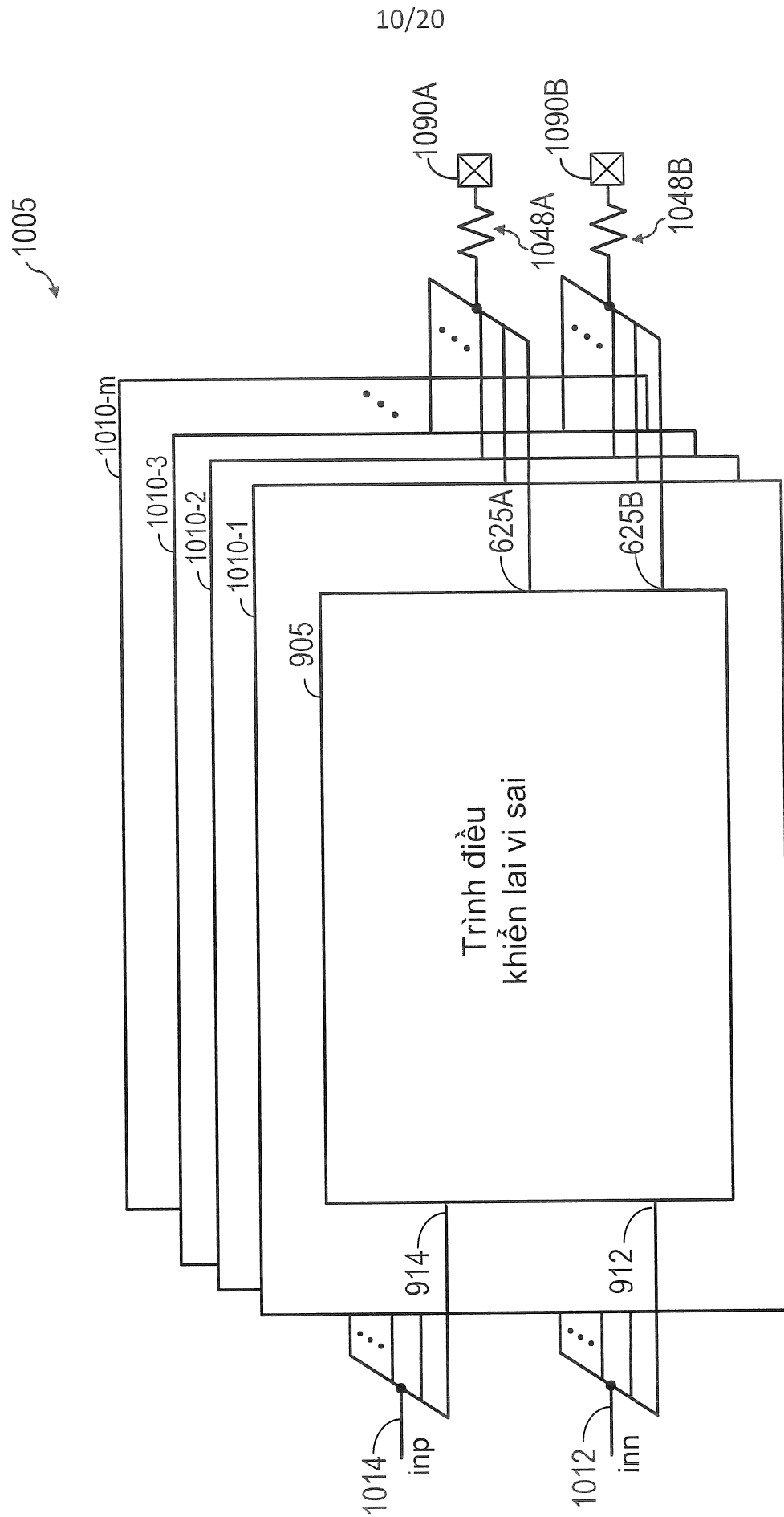


Fig.10

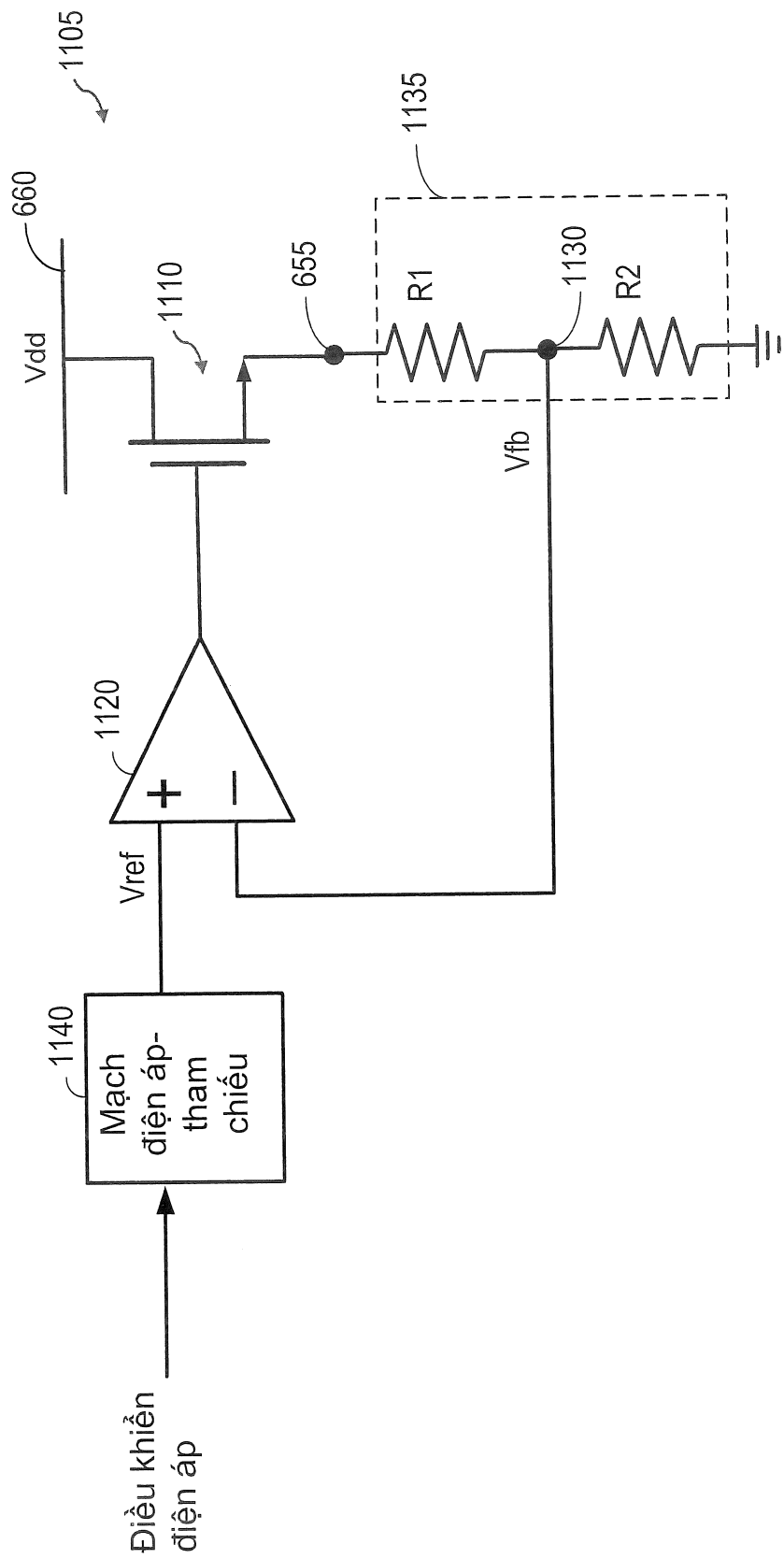


Fig.11

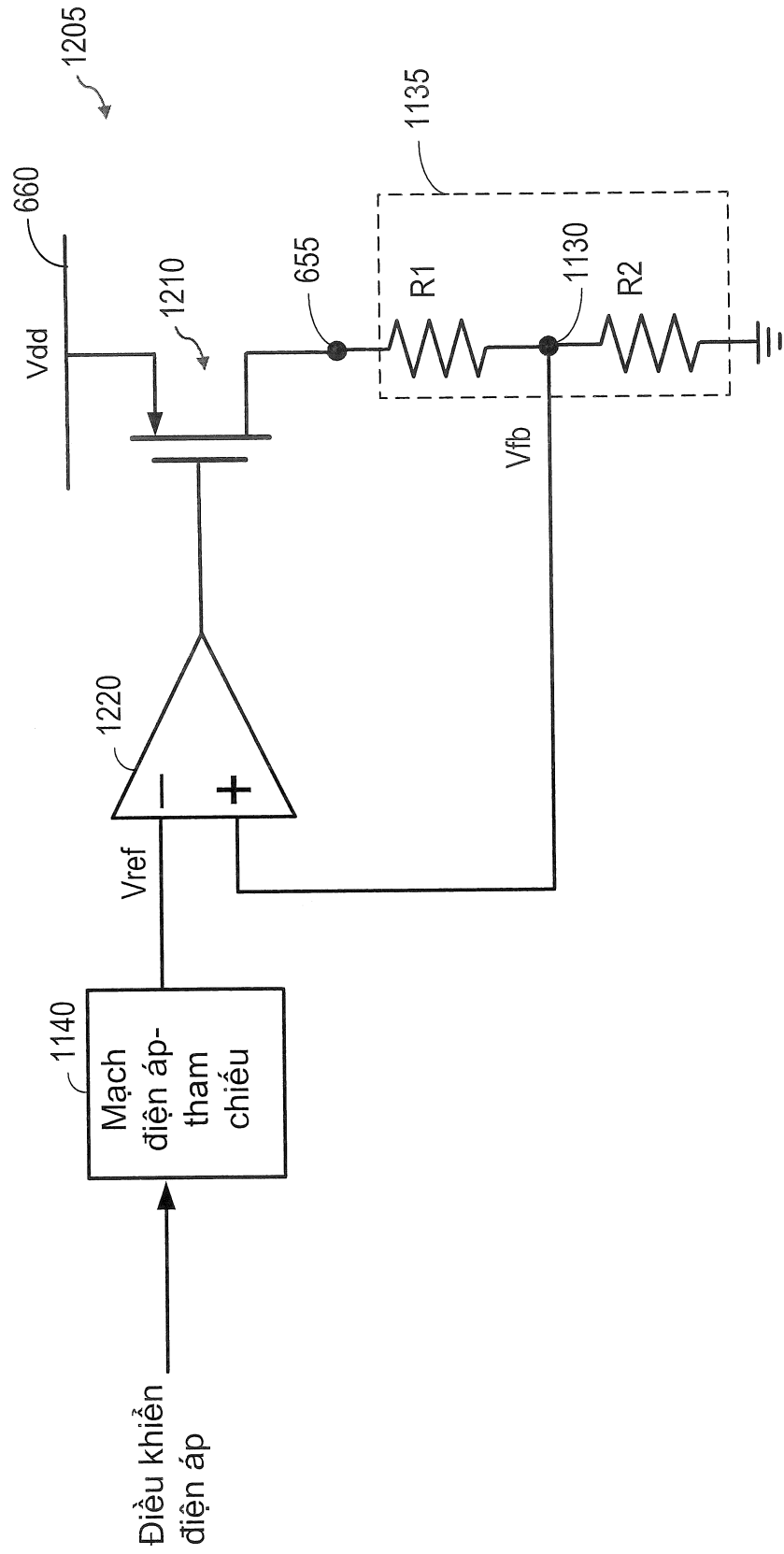


Fig.12

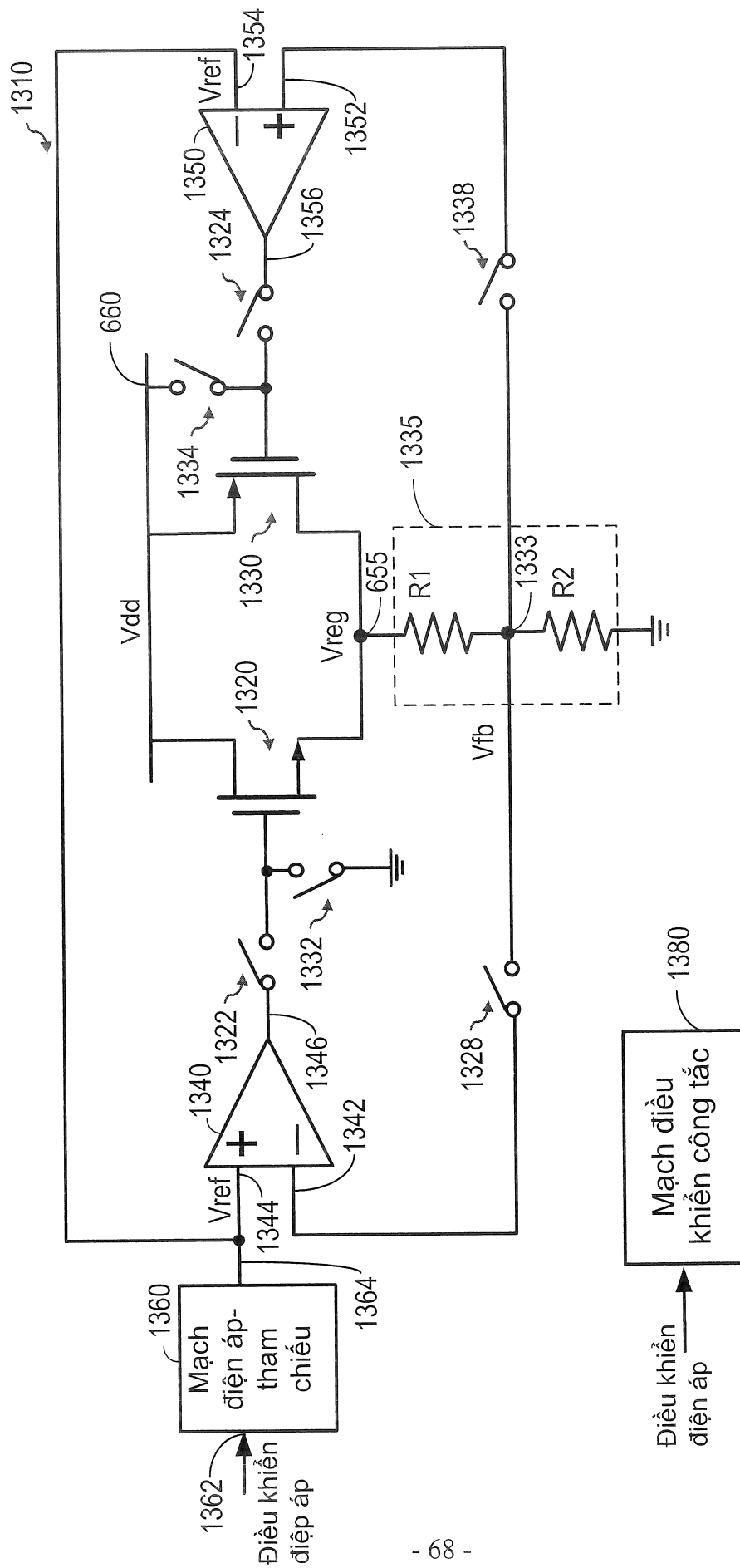


Fig. 13

14/20

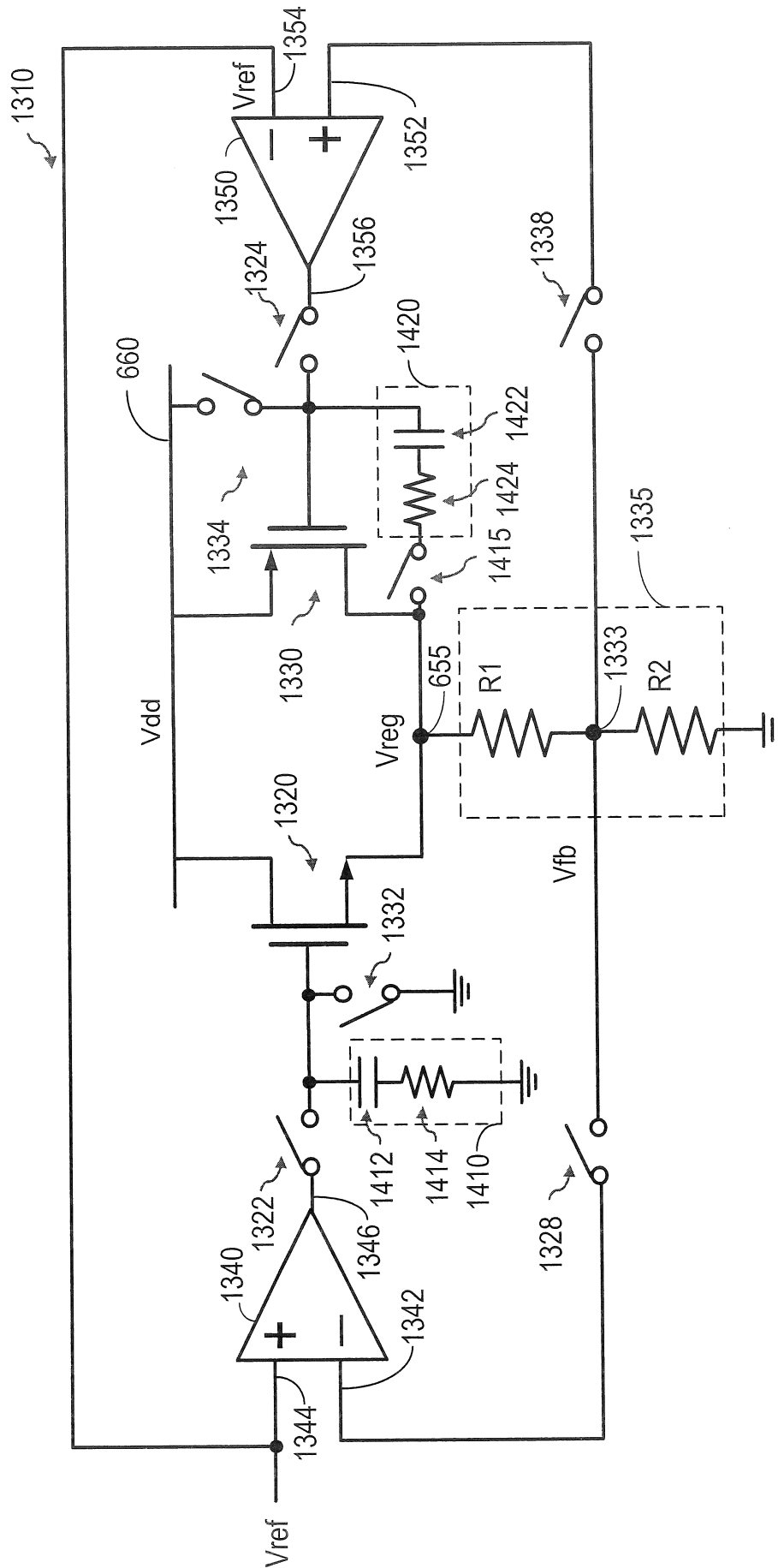


Fig.14

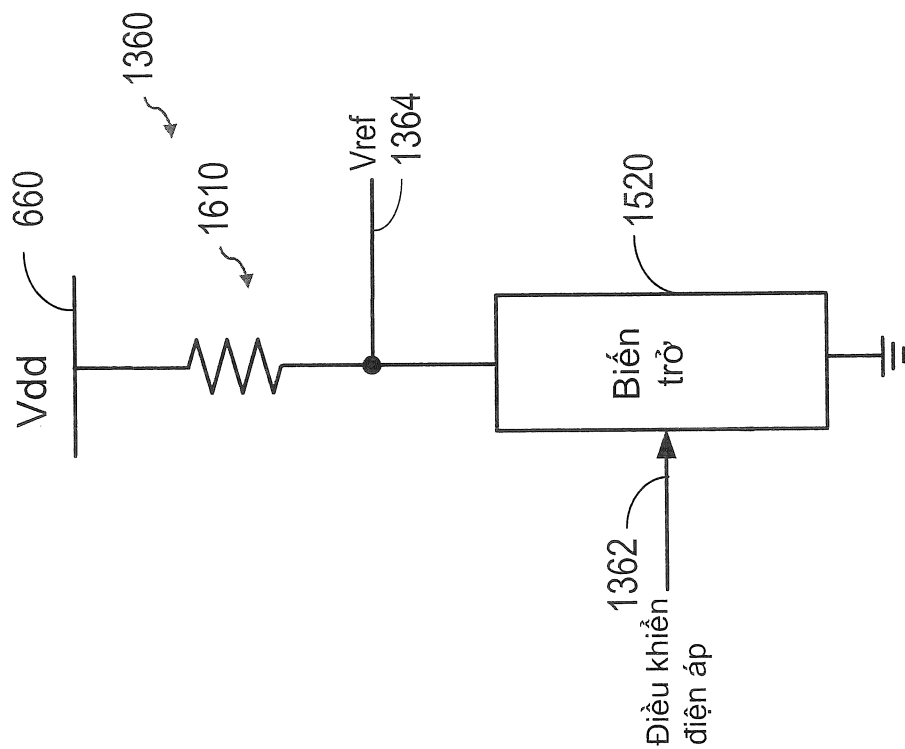


Fig.15

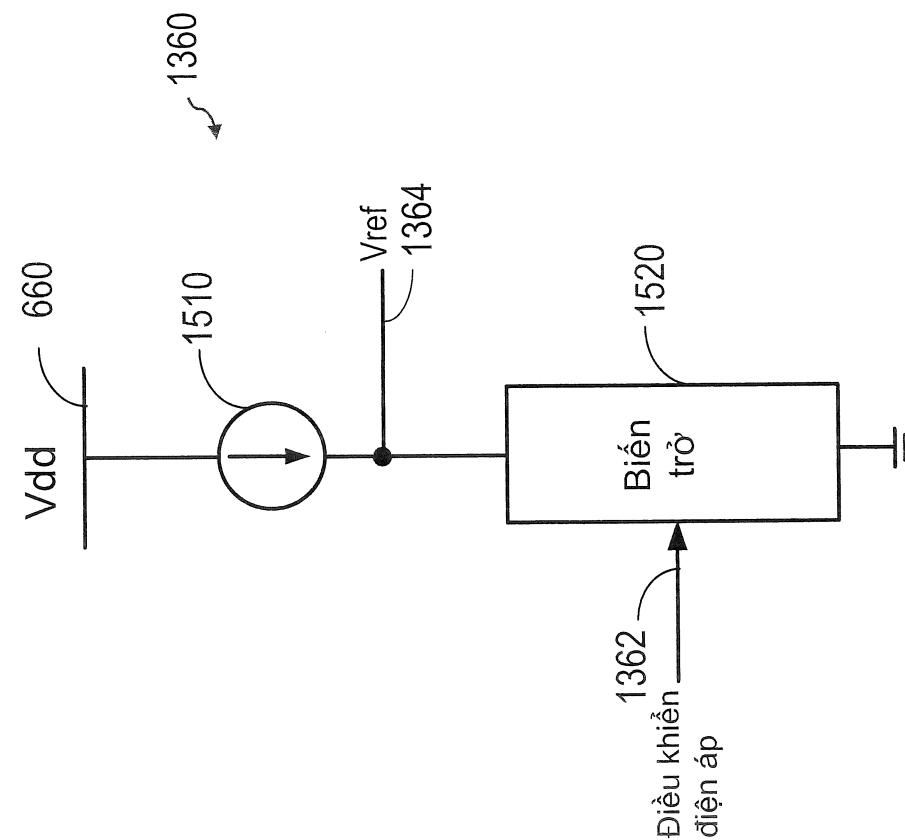


Fig.16

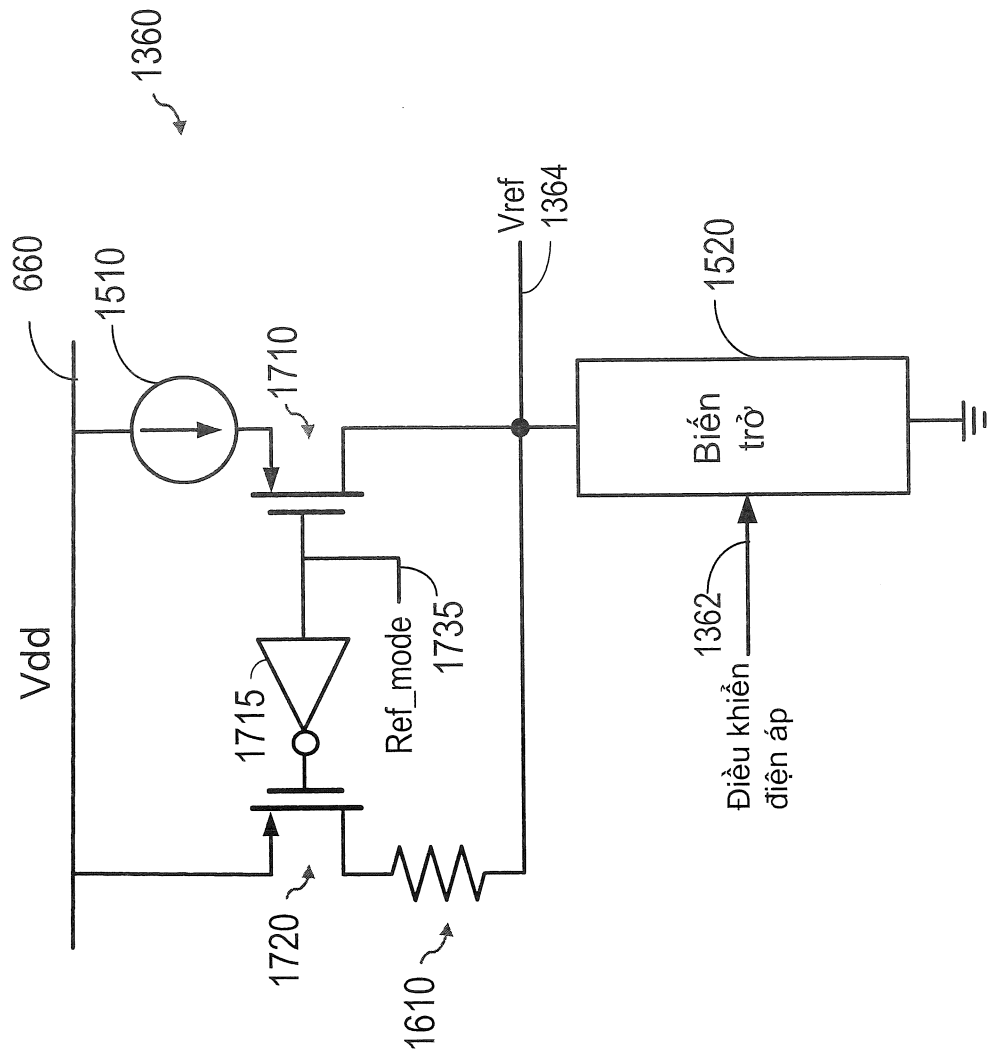


Fig.17

17/20

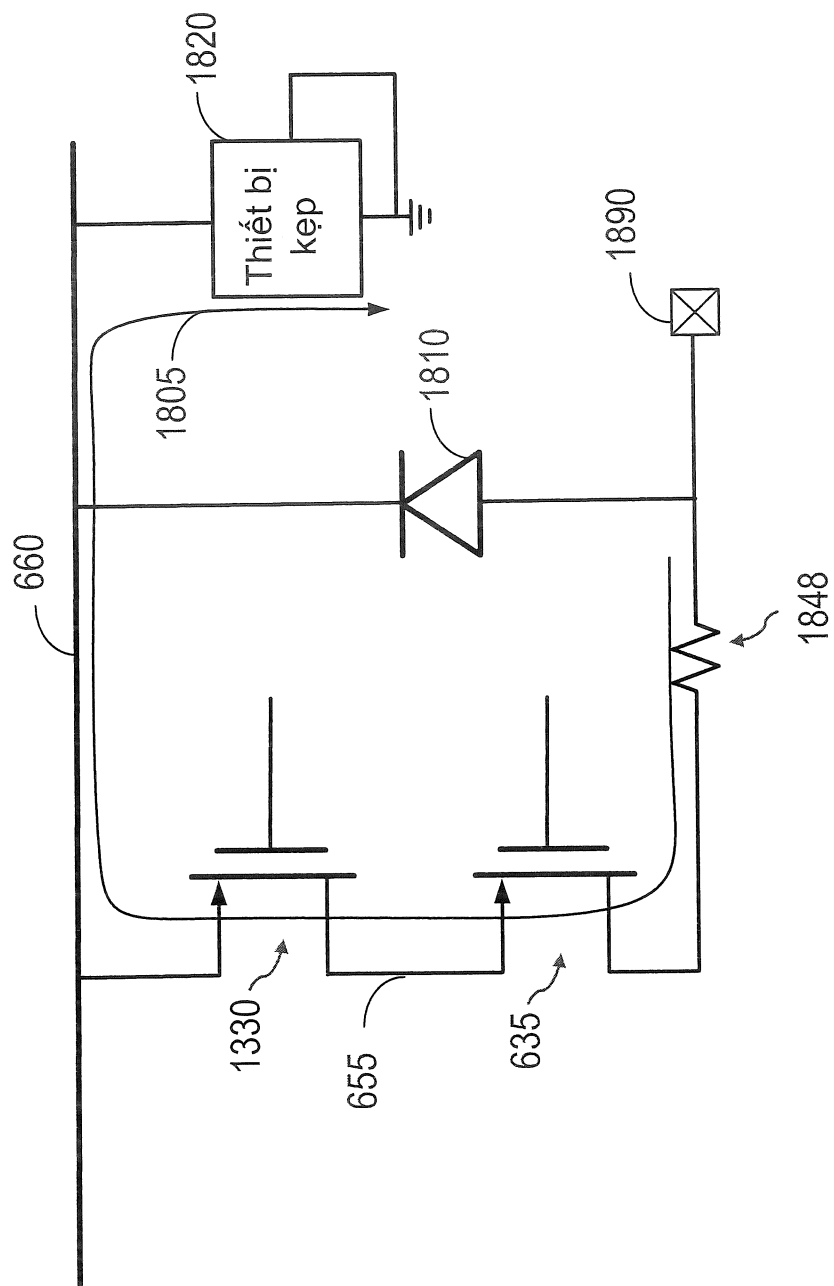


Fig.18

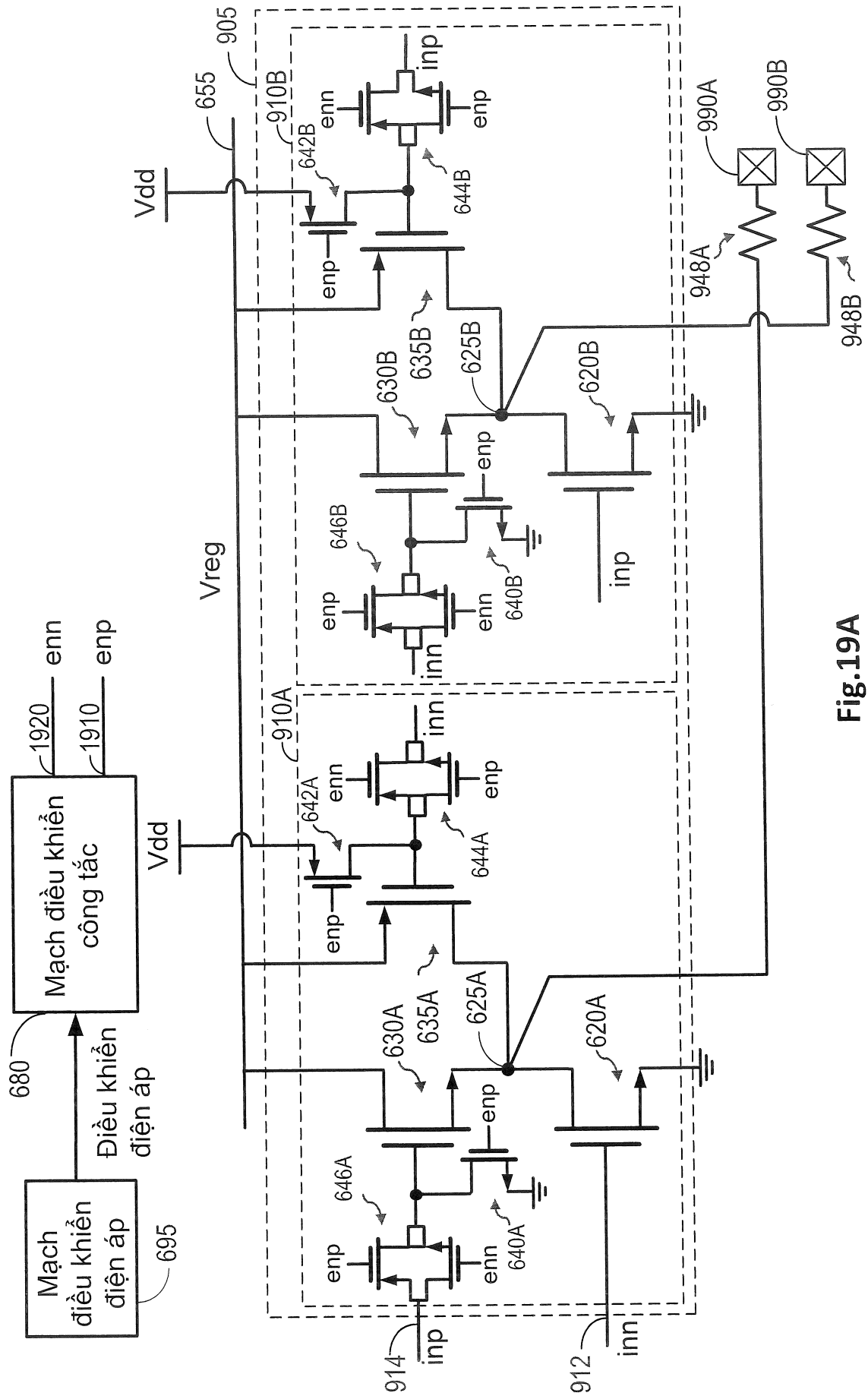


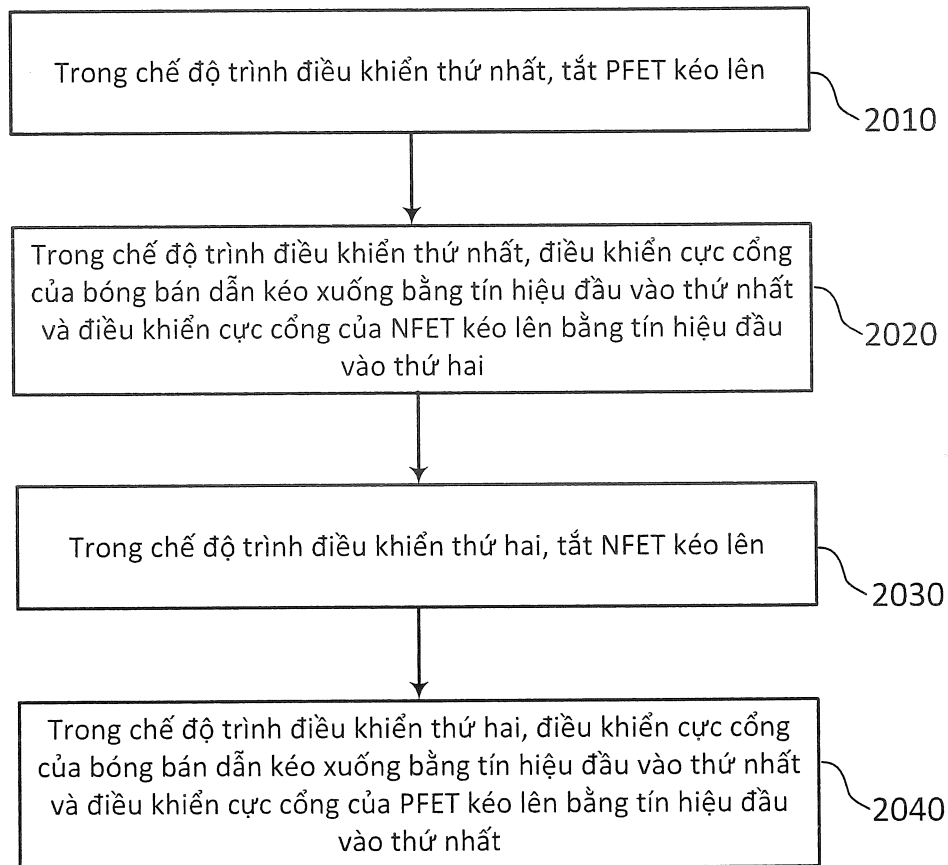
Fig.19A



Fig. 19B

20/20

2000

**Fig.20**