



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0053427

(51)^{2020.01} G06F 13/42

(13) B

(21) 1-2020-03047

(22) 19/12/2019

(86) PCT/CN2019/126694 19/12/2019

(87) WO 2020/147506 A1 23/07/2020

(30) 16/251,544 18/01/2019 US

(45) 25/11/2025 452

(43) 26/10/2020 391A

(73) SILICON MOTION INC. (CN)

8F-1, NO.36, TAIYUAN ST., ZHUBEI CITY, HSINCHU COUNTY, Taiwan
30265, China

(72) HSIEH, Chao-Kuei (TW).

(74) Công ty Luật TNHH T&G (TGVN)

(54) PHƯƠNG PHÁP ĐƯỢC THỰC HIỆN BỞI THẺ KỸ THUẬT SỐ AN TOÀN
(SECURE DIGITAL, SD) HỖ TRỢ CẢ CHẾ ĐỘ SD VÀ CHẾ ĐỘ LIÊN KẾT NỐI
THÀNH PHẦN NGOẠI VI NHANH (PERIPHERAL COMPONENT
INTERCONNECT EXPRESS, PCIE) ĐỂ KHỞI TẠO THẺ SD

(21) 1-2020-03047

(57) Sáng chế này đề cập đến phương pháp được thực hiện bởi thẻ kỹ thuật số an toàn (Secure Digital, SD) hỗ trợ cả chế độ SD và chế độ liên kết nối thành phần ngoại vi nhanh (Peripheral Component Interconnect express, PCIe) để khởi tạo thẻ SD. Phương pháp này bao gồm các bước: (a) sau khi nhận điện áp cấp thứ nhất thông qua chân cấp điện áp thứ nhất từ máy chủ được ghép nối với thẻ SD, thì đi vào chế độ SD nếu thẻ SD không ở trong chế độ PCIe và lệnh CMD0 để đi vào chế độ SD được nhận thông qua chân lệnh từ máy chủ được ghép nối với thẻ SD; và (b) sau khi nhận điện áp cấp thứ nhất thông qua chân cấp điện áp thứ nhất từ máy chủ được ghép nối với thẻ SD, thì thực hiện quy trình liên kết lên PCIe nếu thẻ SD không ở trong chế độ SD và điện áp cấp thứ hai được nhận thông qua chân cấp điện áp thứ hai từ máy chủ được ghép nối với thẻ SD. Thẻ SD đi vào chế độ PCIe nếu quy trình liên kết lên PCIe thành công.

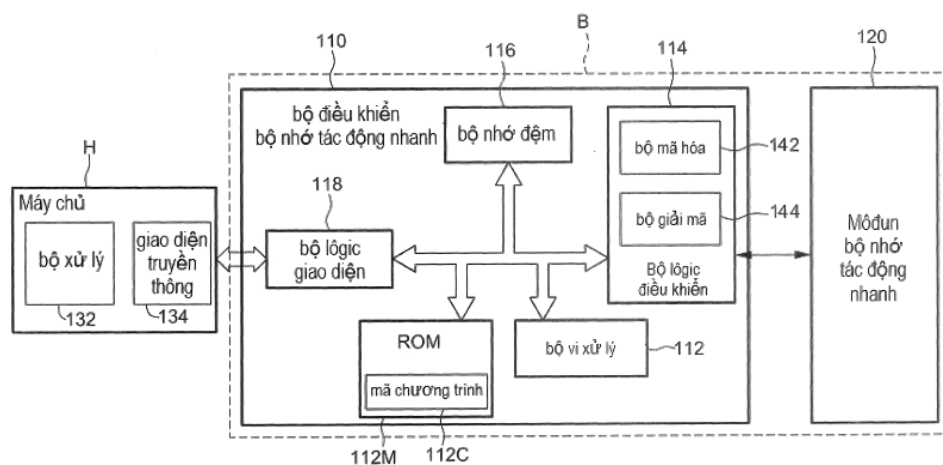


FIG. 5

Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập đến phương pháp cho thiết bị nhớ và bộ điều khiển, thiết bị nhớ và máy chủ liên quan, và cụ thể là, đến phương pháp khởi tạo cho thiết bị nhớ và bộ điều khiển, thiết bị nhớ và máy chủ liên quan.

Tình trạng kỹ thuật của sáng chế

Cùng với việc sử dụng rộng rãi của các thiết bị truyền thông kỹ thuật số hoặc các thiết bị điện tử kỹ thuật số để xử lý dữ liệu video và/hoặc dữ liệu nhạc, và sự phổ cập của các sản phẩm thiết bị internet (Internet Appliance, IA), nên nhiều loại khác nhau của các thiết bị lưu trữ để lưu trữ dữ liệu kỹ thuật số đã được phát triển. Các thẻ nhớ đã trở thành sản phẩm chính trên thị trường bởi vì các lợi thế về thể tích nhỏ gọn, tiêu thụ năng lượng thấp và khả năng lưu trữ lớn. Các thẻ nhớ khác phù hợp để sử dụng trong nhiều loại máy chủ/thiết bị/hệ thống khác nhau, như là camera kỹ thuật số, camera video kỹ thuật số, máy phát MP3, điện thoại di động, thiết bị trợ lý kỹ thuật số (personal digital assistant, PDA) hoặc thiết bị hệ thống định vị toàn cầu (global positioning system, GPS).

Các thẻ kỹ thuật số an toàn (Secure Digital, SD) là các thẻ nhớ phổ biến trên thị trường. Do lượng truyền dữ liệu đã được tăng lên một cách đáng kể trong những năm gần đây, nên các bus truyền mới hỗ trợ tốc độ cao hơn, như là các bus liên kết nối thành phần ngoại vi nhanh (Peripheral Component Interconnect express, PCIe), được sử dụng

trong các thẻ SD để thay thế các bus SD truyền thống. Do đó, cần phải tạo ra các thẻ SD mà có thể hoạt động hoặc trong chế độ SD hoặc trong chế độ PCIe, và cũng cần phải tạo ra các phương pháp khởi tạo cho các thẻ SD như vậy.

Bản chất kỹ thuật của sáng chế

Vì thế, một mục đích của của sáng chế là để đề xuất phương pháp khởi tạo có khả năng khởi tạo thẻ SD mà hỗ trợ cả chế độ truyền SD và chế độ truyền PCIe, và đề xuất các thẻ SD liên quan, các bộ điều khiển của các thẻ SD và các máy chủ.

Một phương án của sáng chế bộc lộ phương pháp được thực hiện bởi thẻ kỹ thuật số an toàn (SD) hỗ trợ cả chế độ SD và chế độ liên kết nối thành phần ngoại vi nhanh (PCIe) để khởi tạo thẻ SD. Thẻ SD này bao gồm ít nhất 17 chân để ghép nối với máy chủ. Ít nhất 17 chân này bao gồm: chân cấp điện áp thứ nhất để nhận điện áp cấp thứ nhất được cung cấp bởi máy chủ; chân cấp điện áp thứ hai để nhận điện áp cấp thứ hai được cung cấp bởi máy chủ, trong đó điện áp cấp thứ hai thấp hơn điện áp cấp thứ nhất; ít nhất một chân nối đất để ghép nối với mặt đất; ít nhất một chân xung nhịp để nhận tín hiệu xung nhịp từ máy chủ; và chân lệnh để nhận lệnh từ máy chủ. Phương pháp này bao gồm các bước: (a) sau khi nhận điện áp cấp thứ nhất thông qua chân cấp điện áp thứ nhất từ máy chủ được ghép nối với thẻ SD, thì đi vào chế độ SD nếu thẻ SD không ở trong chế độ PCIe và lệnh CMD0 để đi vào chế độ SD được nhận thông qua chân lệnh từ máy chủ được ghép nối với thẻ SD; và (b) sau khi nhận điện áp cấp thứ nhất thông qua chân cấp điện áp thứ nhất từ máy chủ được ghép nối với thẻ SD, thì thực hiện quy trình liên kết lên PCIe nếu thẻ SD không ở trong chế độ SD và điện áp cấp thứ hai được nhận thông qua chân cấp điện áp thứ hai từ máy chủ được ghép nối với thẻ SD. Thẻ SD đi vào chế độ PCIe nếu quy trình liên kết lên PCIe thành công.

Một phương án khác của sáng chế bộc lộ thẻ SD hỗ trợ cả chế độ SD và chế độ PCIe. Thẻ SD này bao gồm ít nhất 17 chân để ghép nối với máy chủ và bộ điều khiển. Ít nhất 17 chân này bao gồm chân cấp điện áp thứ nhất để nhận điện áp cấp thứ nhất được cung cấp bởi máy chủ; chân cấp điện áp thứ hai để nhận điện áp cấp thứ hai được cung cấp bởi máy chủ, trong đó điện áp cấp thứ hai thấp hơn điện áp cấp thứ nhất; ít nhất một chân nối đất để ghép nối với mặt đất; ít nhất một chân xung nhịp để nhận tín hiệu xung nhịp từ máy chủ; và chân lệnh để nhận lệnh từ máy chủ. Bộ điều khiển được tạo cấu hình để: sau khi nhận điện áp cấp thứ nhất thông qua chân cấp điện áp thứ nhất từ máy chủ được ghép nối với thẻ SD, thì cài đặt thẻ SD thành chế độ SD nếu thẻ SD không ở trong chế độ PCIe và lệnh CMD0 để đi vào chế độ SD được nhận thông qua chân lệnh từ máy chủ được kết nối với thẻ SD; và sau khi nhận điện áp cấp thứ nhất thông qua chân cấp điện áp thứ nhất từ máy chủ được ghép nối với thẻ SD, thì thực hiện quy trình liên kết lên PCIe nếu thẻ SD không ở trong chế độ SD và điện áp cấp thứ hai được nhận thông qua chân cấp điện áp thứ hai. Thẻ SD đi vào chế độ PCIe nếu quy trình liên kết lên PCIe thành công.

Một phương án khác của sáng chế bộc lộ phương pháp được thực hiện bởi máy chủ để khởi tạo thẻ kỹ thuật số an toàn (SD) ghép nối với máy chủ. Thẻ SD hỗ trợ cả chế độ SD và chế độ liên kết nối thành phần ngoại vi nhanh (PCIe). Máy chủ bao gồm bộ xử lý và giao diện truyền thông để ghép nối với thẻ SD. Giao diện truyền thông bao gồm: tiếp điểm cấp điện áp thứ nhất để cung cấp điện áp cấp thứ nhất; tiếp điểm cấp điện áp thứ hai để cung cấp điện áp cấp thứ hai thấp hơn điện áp cấp thứ nhất; ít nhất một tiếp điểm mặt đất để ghép nối với mặt đất; ít nhất một tiếp điểm xung nhịp để truyền tín hiệu xung nhịp đến thẻ SD; và tiếp điểm lệnh để truyền lệnh đến thẻ SD. Phương pháp này bao gồm các bước (a) cung cấp điện áp cấp thứ nhất cho thẻ SD thông qua tiếp điểm cấp điện áp thứ nhất; (b) cung cấp điện áp cấp thứ hai cho thẻ SD thông qua tiếp

điểm cấp điện áp thứ hai; (c) thực hiện quy trình liên kết lên PCIe sau bước (b); (d) xác định rằng quy trình liên kết lên PCIe thành công hay thất bại, trong đó nếu quy trình liên kết lên PCIe thành công, thì thẻ SD đi vào chế độ PCIe; và (e) truyền lệnh CMD0 để đi vào chế độ SD đến thẻ SD thông qua tiếp điểm lệnh nếu quy trình liên kết lên PCIe thất bại.

Một phương án khác của sáng chế bộc lộ máy chủ để khởi tạo thẻ kỹ thuật số an toàn (SD) được ghép nối với máy chủ. Thẻ SD hỗ trợ cả chế độ SD và chế độ liên kết nối thành phần ngoại vi nhanh (PCIe). Máy chủ bao gồm bộ xử lý và giao diện truyền thông để ghép nối với thẻ SD. Giao diện truyền thông bao gồm: tiếp điểm cấp điện áp thứ nhất để cung cấp điện áp cấp thứ nhất; tiếp điểm cấp điện áp thứ hai để cung cấp điện áp cấp thứ hai thấp hơn điện áp cấp thứ nhất; ít nhất một tiếp điểm mặt đất để ghép nối với mặt đất; ít nhất một tiếp điểm xung nhịp để truyền tín hiệu xung nhịp đến thẻ SD; và tiếp điểm lệnh để truyền lệnh đến thẻ SD. Bộ xử lý được tạo cấu hình để: cung cấp điện áp cấp thứ nhất cho thẻ SD thông qua tiếp điểm cấp điện áp thứ nhất; cung cấp điện áp cấp thứ hai cho thẻ SD thông qua tiếp điểm cấp điện áp thứ hai; thực hiện quy trình liên kết lên PCIe sau khi cung cấp điện áp cấp thứ hai; xác định rằng quy trình liên kết lên PCIe thành công hay thất bại, trong đó nếu quy trình liên kết lên PCIe thành công, thì thẻ SD đi vào chế độ PCIe; và truyền lệnh CMD0 để đi vào chế độ SD đến thẻ SD thông qua tiếp điểm lệnh nếu quy trình liên kết lên PCIe thất bại.

Một phương án khác nữa của sáng chế bộc lộ phương pháp được thực hiện bởi máy chủ để khởi tạo thẻ kỹ thuật số an toàn (SD) được ghép nối với máy chủ. Thẻ SD hỗ trợ cả chế độ SD và chế độ liên kết nối thành phần ngoại vi nhanh (PCIe). Máy chủ bao gồm bộ xử lý và giao diện truyền thông để ghép nối với thẻ SD. Giao diện truyền thông bao gồm: tiếp điểm cấp điện áp thứ nhất để cung cấp điện áp cấp thứ nhất; tiếp

điểm cấp điện áp thứ hai để cung cấp điện áp cấp thứ hai thấp hơn điện áp cấp thứ nhất; ít nhất một tiếp điểm mặt đất để ghép nối với mặt đất; ít nhất một tiếp điểm xung nhịp để truyền tín hiệu xung nhịp đến thẻ SD; và tiếp điểm lệnh để truyền lệnh đến thẻ SD. Phương pháp này bao gồm các bước: (a) cung cấp điện áp cấp thứ nhất cho thẻ SD thông qua tiếp điểm cấp điện áp thứ nhất; (b) truyền lệnh CMD0 để đi vào chế độ SD thông qua tiếp điểm lệnh đến thẻ SD sau bước (a); (c) truyền lệnh CMD8 để đi vào chế độ PCIe thông qua tiếp điểm lệnh đến thẻ SD sau bước (b), trong đó thẻ SD vẫn còn ở trong chế độ SD nếu tín hiệu hồi đáp, chỉ ra rằng thẻ SD hỗ trợ chế độ PCIe, không được nhận thông qua tiếp điểm lệnh từ thẻ SD; (d) nếu tín hiệu hồi đáp, chỉ ra rằng thẻ SD hỗ trợ chế độ PCIe, được nhận từ thẻ SD, thì cung cấp điện áp cấp thứ hai cho thẻ SD thông qua tiếp điểm cấp điện áp thứ hai; (e) thực hiện quy trình liên kết lên PCIe sau bước (d); (f) xác định rằng quy trình liên kết lên PCIe thành công hay thất bại, trong đó nếu quy trình liên kết lên PCIe thành công, thì thẻ SD đi vào chế độ PCIe; và (g) nếu quy trình liên kết lên PCIe thất bại, thì truyền lệnh CMD0 đến thẻ SD thông qua tiếp điểm lệnh.

Một phương án khác nữa của sáng chế bộc lộ máy chủ để khởi tạo thẻ kỹ thuật số an toàn (SD) được ghép nối với máy chủ. Thẻ SD hỗ trợ cả chế độ SD và chế độ liên kết nối thành phần ngoại vi nhanh (PCIe). Máy chủ bao gồm bộ xử lý và giao diện truyền thông để ghép nối với thẻ SD. Giao diện truyền thông bao gồm: tiếp điểm cấp điện áp thứ nhất để cung cấp điện áp cấp thứ nhất; tiếp điểm cấp điện áp thứ hai để cung cấp điện áp cấp thứ hai thấp hơn điện áp cấp thứ nhất; ít nhất một tiếp điểm mặt đất để ghép nối với mặt đất; ít nhất một tiếp điểm xung nhịp để truyền tín hiệu xung nhịp đến thẻ SD; và tiếp điểm lệnh để truyền lệnh đến thẻ SD. Bộ xử lý được tạo cấu hình để: cung cấp điện áp cấp thứ nhất cho thẻ SD thông qua tiếp điểm cấp điện áp thứ nhất; truyền lệnh CMD0 để đi vào chế độ SD thông qua tiếp điểm lệnh đến thẻ SD sau khi cung cấp điện áp cấp thứ nhất; truyền lệnh CMD8 để đi vào chế độ PCIe thông qua tiếp điểm lệnh

đến thẻ SD sau khi truyền lệnh CMD0, trong đó thẻ SD vẫn còn ở trong chế độ SD nếu tín hiệu hồi đáp, chỉ ra rằng thẻ SD hỗ trợ chế độ PCIe, không được nhận thông qua tiếp điểm lệnh từ thẻ SD; nếu tín hiệu hồi đáp, chỉ ra rằng thẻ SD hỗ trợ chế độ PCIe, được nhận từ thẻ SD, thì cung cấp điện áp cấp thứ hai cho thẻ SD thông qua tiếp điểm cấp điện áp thứ hai; thực hiện quy trình liên kết lên PCIe sau khi cung cấp điện áp cấp thứ hai; xác định rằng quy trình liên kết lên PCIe thành công hay thất bại, trong đó nếu quy trình liên kết lên PCIe thành công, thì thẻ SD đi vào chế độ PCIe; và nếu quy trình liên kết lên PCIe thất bại, thì truyền lệnh CMD0 đến thẻ SD thông qua tiếp điểm lệnh.

Một phương án khác nữa của sáng chế bộc lộ phương pháp được thực hiện bởi bộ điều khiển của thẻ kỹ thuật số an toàn (SD) hỗ trợ cả chế độ SD và chế độ liên kết nối thành phần ngoại vi nhanh (PCIe) để khởi tạo thẻ SD. Thẻ SD này bao gồm ít nhất 17 chân để ghép nối với máy chủ. Ít nhất 17 chân này bao gồm: chân cấp điện áp thứ nhất để nhận điện áp cấp thứ nhất cho chế độ SD được cung cấp bởi máy chủ; chân cấp điện áp thứ hai để nhận điện áp cấp thứ hai được cung cấp bởi máy chủ, trong đó điện áp cấp thứ hai thấp hơn điện áp cấp thứ nhất; ít nhất một chân nối đất để ghép nối với mặt đất; ít nhất một chân xung nhịp để nhận tín hiệu xung nhịp từ máy chủ; và chân lệnh để nhận lệnh từ máy chủ. Phương pháp này bao gồm các bước: (a) sau khi nhận điện áp cấp thứ nhất thông qua chân cấp điện áp thứ nhất, thì cài đặt thẻ SD thành chế độ SD nếu thẻ SD không ở trong chế độ PCIe và lệnh CMD0 để đi vào chế độ SD được nhận thông qua chân lệnh; và (b) sau khi nhận điện áp cấp thứ nhất thông qua chân cấp điện áp thứ nhất, thì để cho thẻ SD thực hiện quy trình liên kết lên PCIe nếu thẻ SD không ở trong chế độ SD và điện áp cấp thứ hai được nhận thông qua chân cấp điện áp thứ hai; và (c) cài đặt thẻ SD thành chế độ PCIe nếu quy trình liên kết lên PCIe thành công.

Một phương án khác nữa của sáng chế bộc lộ bộ điều khiển của thẻ kỹ thuật số an toàn (SD), được tạo cấu hình để thực hiện phương pháp trên đây.

Các mục đích của sáng chế sẽ trở nên rõ ràng hơn cho những người có hiểu biết trung bình trong lĩnh vực kỹ thuật tương ứng, sau khi đọc phần mô tả chi tiết sau đây của phương án được ưu tiên mà được minh họa trong nhiều hình vẽ khác nhau.

Mô tả vắn tắt các hình vẽ

Fig.1 là sơ đồ sơ lược của thẻ SD.

Fig.2 là bảng các mô tả các chân của thẻ SD.

Fig.3 là sơ đồ sơ lược của thẻ SD theo một số phương án của sáng chế.

Fig.4 là bảng các mô tả các chân của thẻ SD theo một số phương án của sáng chế.

Fig.5 là sơ đồ khối thể hiện sự kết hợp của thẻ SD và máy chủ theo một số phương án của sáng chế.

Fig.6 là sơ đồ trạng thái thể hiện các thay đổi trong trạng thái của thẻ SD trong quá trình khởi tạo theo một số phương án của sáng chế.

Fig.7 là lưu đồ của phương pháp khởi tạo của thẻ SD theo một số phương án của sáng chế.

Fig.8 là lưu đồ của phương pháp khởi tạo của máy chủ theo một số phương án của sáng chế.

Fig.9 là lưu đồ của một phương pháp khởi khác của máy chủ theo một số phương án của sáng chế.

Fig.10 minh họa ví dụ về trình tự các bước để khởi tạo thẻ SD theo một số phương án của sáng chế.

Mô tả chi tiết sáng chế

Fig.1 là hình chiếu bằng của thẻ SD A. Như được thể hiện trên Fig.1, thẻ SD A gồm 9 chân, vốn được dán nhãn từ A1 đến A9 và tạo thành một hàng đơn. Thẻ SD A hoạt động trong chế độ truyền SD (hoặc được gọi là “chế độ SD”).

Fig.2 là bảng các mô tả hoặc các định nghĩa của các chân từ A1 đến A9 của thẻ SD A được thể hiện trên Fig.1. Như được thể hiện trong bảng, các chân A1 và từ A7 đến A9 là các đường dữ liệu. Chân A2 được gọi là chân lệnh (command, CMD). Ví dụ, chân A2 có thể nhận lệnh được truyền từ máy chủ đến thẻ SD A và có thể truyền hồi đáp để đáp ứng với lệnh từ thẻ SD A đến máy chủ. Chân A4 được gọi là chân VDD và hoạt động như là chân cấp điện áp cho thẻ SD A. Chân A4 có thể được tạo cấu hình để nhận điện áp cấp là trong phạm vi từ 2,7 đến 3,6 vôn (volt, V). Chân A5 được gọi là chân xung nhịp (clock, CLK) và được tạo cấu hình để nhận tín hiệu xung nhịp. Các chân A3 và/hoặc A6 là các chân nối đất.

Fig.3 thể hiện thẻ SD B theo một số phương án của sáng chế. Như được thể hiện trên Fig.3, thẻ SD B gồm 18 các chân, vốn được dán nhãn từ B1 đến B18 và tạo thành hai hàng R1 và R2. Các sự sắp xếp hoặc các cấu hình của hàng R1, được tạo thành bởi các chân từ B1 đến B9, về cơ bản là giống với các sự sắp xếp hoặc các cấu hình của các chân từ A1 đến A9 của thẻ SD A trên Fig.1. Theo sáng chế, thẻ SD B có thể hoạt động trong cả chế độ SD và chế độ PCIe. Khi thẻ SD B hoạt động trong chế độ SD, các chân từ B1 đến B9 được sử dụng và có cùng các chức năng như các chân từ A1 đến A9 của thẻ SD A trên Fig.1. Trong tình huống này, các chân từ B1 đến B9 tương ứng với các chân từ A1 đến A9 một cách lần lượt. Ví dụ, chân B2 hoạt động như là chân lệnh.

Fig.4 là bảng các mô tả hoặc các định nghĩa của các chân B1, B4 và từ B7 đến B18 của thẻ SD B khi thẻ SD B hoạt động trong chế độ PCIe. Các chân B1, B4 và từ B7 đến

B9, được sử dụng trong chế độ SD, cũng được sử dụng trong chế độ PCIe. Tuy vậy, các chức năng của các chân B1 và từ B7 đến B9 trong chế độ PCIe là khác với các chức năng của các chân B1 và từ B7 đến B9 trong chế độ SD.

Như được thể hiện trên Fig.4, chân B4 được gọi là chân VDD1 và hoạt động như là chân cấp điện áp cho thẻ SD B (như chân A4 cho thẻ SD A). Chân B4 có thể được tạo cấu hình để nhận điện áp cấp là trong phạm vi từ 2,7 đến 3,6V. Chân B14 được gọi là chân VDD2 và hoạt động như là chân cấp điện áp cho thẻ SD B. Chân B14 có thể được tạo cấu hình để nhận điện áp cấp là trong phạm vi từ 1,7 đến 1,95V. Chân B18 được gọi là chân VDD3 và hoạt động như là chân cấp điện áp cho thẻ SD B. Chân B18 có thể được tạo cấu hình để nhận điện áp cấp là trong phạm vi từ 1,14 đến 1,3V. Trong một số phương án, chân B18 có thể là tùy chọn và có thể không có chức năng. Các chân B7 và B8 được gọi là các chân xung nhịp (CLK) và có thể được tạo cấu hình để nhận các tín hiệu xung nhịp. Các chân B10, B13 và/hoặc B17 là các chân nối đất.

Fig.5 là sơ đồ khối thể hiện sự kết hợp của thẻ SD B và máy chủ H theo một số phương án của sáng chế. Thẻ SD B được tạo cấu hình để được ghép nối với máy chủ H qua các chân từ B1 đến B18, và nhận các lệnh, dữ liệu, và các điện áp cấp từ máy chủ H qua các chân từ B1 đến B18. Thẻ SD B gồm môđun bộ nhớ tác động nhanh (flash) 120 và bộ điều khiển bộ nhớ tác động nhanh (hoặc bộ điều khiển) 110, trong đó bộ điều khiển bộ nhớ tác động nhanh 110 được sắp xếp để truy cập môđun bộ nhớ tác động nhanh. Bộ điều khiển bộ nhớ tác động nhanh 110 có thể được tạo cấu hình để cài đặt chế độ truyền của thẻ SD B làm chế độ SD hoặc chế độ PCIe. Theo phương án này, bộ điều khiển bộ nhớ tác động nhanh 110 bao gồm bộ vi xử lý 112, bộ nhớ chỉ đọc (read-only memory, ROM) 112M, bộ logic điều khiển 114, bộ nhớ đệm 116, và bộ logic giao diện 118. ROM 112M được sắp xếp để lưu trữ mã chương trình 112C, và bộ vi xử lý

112 được sắp xếp để thực thi mã chương trình 112C để điều khiển việc truy cập vào môđun bộ nhớ tác động nhanh 120. Bộ logic điều khiển 114 bao gồm bộ mã hóa 142 và bộ giải mã 144.

Theo cách thông thường, môđun bộ nhớ tác động nhanh 120 bao gồm nhiều chip bộ nhớ tác động nhanh, mỗi chip bộ nhớ tác động nhanh bao gồm nhiều khối, và bộ điều khiển bộ nhớ tác động nhanh 110 lấy “khối” làm đơn vị thực hiện các hoạt động (ví dụ xóa) trên môđun bộ nhớ tác động nhanh 120. Bộ điều khiển bộ nhớ tác động nhanh 110 có thể thực thi mã chương trình 112C qua bộ vi xử lý 112. Thêm nữa, khối có thể gồm số lượng cụ thể các trang, trong đó bộ điều khiển bộ nhớ tác động nhanh 110 lấy “khối” làm đơn vị ghi dữ liệu vào môđun bộ nhớ tác động nhanh 120. Trong một số phương án, môđun bộ nhớ tác động nhanh 120 có thể gồm bộ nhớ tác động nhanh loại NAND 3D.

Trong thực tế, bộ điều khiển bộ nhớ tác động nhanh 110 mà thực thi mã chương trình 112C qua bộ vi xử lý 112 có thể sử dụng các phần tử bên trong của nó để thực hiện nhiều hoạt động điều khiển khác nhau, như là sử dụng bộ logic điều khiển 114 để điều khiển các hoạt động truy cập của môđun bộ nhớ tác động nhanh 120 (đặc biệt là hoạt động truy cập trên ít nhất một khối hoặc ít nhất một trang), sử dụng bộ nhớ đệm 116 để thực hiện quy trình đệm được đòi hỏi, và sử dụng bộ logic giao diện 118 để truyền thông với máy chủ H qua các chân từ B1 đến B18 được thể hiện trên Fig.3. Bộ nhớ đệm 116 có thể, ví dụ, là bộ nhớ truy cập ngẫu nhiên tĩnh (Static RAM, SRAM), nhưng sáng chế không bị hạn chế ở đây.

Fig.6 là sơ đồ trạng thái thể hiện các thay đổi trong trạng thái của thẻ SD trong quá trình khởi tạo theo một số phương án của sáng chế. Có nhiều trạng thái khác nhau được thể hiện trên Fig.6, là các trạng thái hoạt động của thẻ SD B trong quá trình khởi tạo khi thẻ SD B được kết nối (được ghép nối) với máy chủ H. Sơ đồ trạng thái bắt đầu với

trạng thái khởi tạo giả 62. Khi thẻ SD B được kết nối với máy chủ H, thì điện áp VDD1 được cung cấp cho thẻ SD B thông qua chân B4. Vì thế, thẻ SD B đi vào trạng thái khởi tạo giả 62.

Trong trạng thái 62, nếu điện áp VDD2 được nhận thông qua chân B14 hoặc điện áp VDD3 được nhận thông qua chân B18, thì thẻ SD B (hoặc bộ điều khiển 110) đi vào trạng thái 64 để thực hiện quy trình liên kết lên PCIe. Nếu điện áp VDD2 thông qua chân B14 và điện áp VDD3 thông qua VDD3 chân B18 đều vắng mặt và lệnh CMD0 của chế độ SD được nhận thông qua chân lệnh B2 từ máy chủ H, thì thẻ SD B đi vào chế độ SD. Nghĩa là, thẻ SD B đi vào trạng thái 63 từ trạng thái 62. CMD0 là lệnh cài đặt lại phần mềm và cài đặt thẻ SD B thành trạng thái nhàn rỗi bất kể trạng thái thẻ hiện tại. Thông tin chi tiết của CMD0 có trong “Đặc tả lớp vật lý” (Physical Layer Specification) được phát hành bởi Tập đoàn SD.

Như được đề cập trên đây, nếu điện áp VDD2 hoặc VDD3 được nhận, thì thẻ SD B (hoặc bộ điều khiển 110) đi vào trạng thái 64. Trong trạng thái 64, quy trình liên kết lên PCIe được thực hiện bởi bộ điều khiển. Nếu, trong quy trình liên kết lên, thẻ SD B (hoặc bộ điều khiển 110) phát hiện rằng chân B1 (ví dụ, RERST#) là thấp, thì thẻ SD B (hoặc bộ điều khiển 110) vô hiệu hóa điện trở kéo lên trong của nó trên chân B1 và sau đó điều vận chân B9 (ví dụ, CKLREQ#) thấp. Nếu máy chủ H phát hiện rằng chân B9 là thấp, thì máy chủ H điều vận chân B1 cao và sau đó thực thi việc huấn luyện và khởi tạo liên kết PCIe. Phần mô tả chi tiết của quy trình liên kết lên được có trong phần 8.3, “Quy trình khởi tạo của thẻ nhanh SD” (Initialization Process of SD Express Card) của “Đặc tả lớp vật lý” (Physical Layer Specification) được phát hành bởi Tập đoàn SD.

Trong trạng thái 64, nếu quy trình liên kết lên PCIe thành công, thì thẻ SD B (hoặc bộ điều khiển 110) đi vào chế độ PCIe hoặc được cài đặt thành chế độ PCIe bởi bộ điều

khiển 110, vốn được dán nhãn trạng thái 65. Nếu, trước khi quy trình liên kết lên PCIe thành công, điện áp VDD2 hoặc điện áp VDD3 sẵn có bị tắt (tức là, cả điện áp VDD2 và điện áp VDD3 đều vắng mặt), thì thẻ SD B (hoặc bộ điều khiển 110) kết thúc quy trình liên kết lên PCIe và quay trở lại trạng thái khởi tạo giả (tức là, trạng thái 62).

Nếu, trong quy trình liên kết lên PCIe, lệnh CMD0 được nhận thông qua chân lệnh B2 từ máy chủ H, thì thẻ SD B đi vào chế độ SD hoặc được cài đặt thành chế độ SD bởi bộ điều khiển 110 (trạng thái 63). Quy trình liên kết lên PCIe có thể được xem xét là đã bị thất bại bởi máy chủ H, nếu quy trình liên kết lên PCIe không thể thành công trong khoảng thời gian xác định trước. Trong một số phương án, máy chủ H có thể được tạo cấu hình để truyền lệnh CMD0 đến thẻ SD B thông qua chân lệnh B2 nếu quy trình liên kết lên PCIe thất bại. Trong một số phương án khác, máy chủ H có thể được tạo cấu hình để tắt điện áp VDD2 và điện áp VDD3 nếu quy trình liên kết lên PCIe thất bại.

Nếu thẻ SD B đã được đi vào chế độ PCIe (tức là, trạng thái 65) và điện áp VDD2 hoặc VDD3 sẵn có bị tắt (tức là, điện áp VDD2 và điện áp VDD3 đều vắng mặt), thì thẻ SD B quay trở lại trạng thái khởi tạo giả hoặc được cài đặt trở lại trạng thái khởi tạo giả bởi bộ điều khiển 110 (trở lại trạng thái 62).

Trong trạng thái 63, tại đó thẻ SD B đã được đi vào chế độ SD, thì lệnh CMD8 có thể được nhận thông qua chân lệnh B2 từ máy chủ H. Lệnh CMD8 được bổ sung để hỗ trợ nhiều phạm vi điện áp và được sử dụng để kiểm tra liệu thẻ SD có hỗ trợ điện áp được cấp hay không. Máy chủ H sử dụng lệnh CMD8 để cung cấp thông tin hỗ trợ điện áp cho thẻ SD. Ngay khi nhận lệnh CMD8, thì thẻ SD B (hoặc bộ điều khiển 110) có thể truyền tín hiệu hồi đáp (tức là, R7) đến máy chủ thông qua chân lệnh B2, để cung cấp thông tin hỗ trợ điện áp của thẻ SD cho máy chủ. Trong hồi đáp, các thẻ SD lặp lại cả phạm vi điện áp và mẫu kiểm tra được cài đặt trong đối số. Thông tin chi tiết của R7

có trong phần 4.9.6 của “Đặc tả lớp vật lý phiên bản 7.00” (Physical Layer Specification) được phát hành bởi Tập đoàn SD. Sau đây, nếu điện áp VDD2 thông qua chân B14 hoặc điện áp VDD3 thông qua chân B18 được nhận từ máy chủ H, thì thẻ SD B (hoặc bộ điều khiển 110) thực hiện quy trình liên kết lên PCIe (trạng thái 64); nếu không thì thẻ SD B vẫn còn ở trong chế độ SD.

Trong các phương án trên đây, thẻ SD B (hoặc bộ điều khiển 110) đi vào chế độ SD từ trạng thái 62 nếu lệnh CMD0 của chế độ SD được nhận thông qua chân lệnh B2 từ máy chủ H. Tuy vậy, trong một số phương án khác, thẻ SD B (hoặc bộ điều khiển 110) đi vào chế độ SD từ trạng thái 62 nếu thẻ SD không ở trong chế độ PCIe và tín hiệu xung nhịp SD được nhận thông qua chân lệnh B5 từ máy chủ H. Có thể coi rằng, trong một số phương án, chân B18 không được sắp xếp và vì thế VDD3 sẽ không được cung cấp.

Fig.7 là lưu đồ của quy trình khởi tạo 700 được thực hiện bởi thẻ SD hoặc bộ điều khiển của thẻ SD theo một số phương án của sáng chế. Các bước chi tiết là như sau:

Bước 702: Bắt đầu

Bước 704: Thẻ SD (hoặc bộ điều khiển) xác định liệu lệnh CMD0 có được nhận thông qua chân lệnh hay không. Nếu kết quả là khẳng định, thì quy trình đi đến bước 716. Nếu kết quả là phủ định, thì quy trình đi đến bước 706.

Bước 706: Thẻ SD (hoặc bộ điều khiển) xác định liệu điện áp VDD2 hoặc điện áp VDD3 có được nhận hay không. Nếu kết quả là khẳng định, thì quy trình đi đến bước 708. Nếu kết quả là phủ định, thì quy trình đi đến bước 704.

Bước 708: Thẻ SD (hoặc bộ điều khiển) thực hiện quy trình liên kết lên PCIe.

Bước 710: Thẻ SD (hoặc bộ điều khiển) xác định liệu quy trình liên kết lên PCIe có thành công hay không. Nếu kết quả là khẳng định, thì quy trình đi đến bước 712. Nếu kết quả là phủ định (tức là, nếu quy trình liên kết lên PCIe thất bại), thì quy trình đi đến bước 704. Quy trình liên kết lên PCIe có thể được xem là đã thất bại nếu một sự kiện trong số các sự kiện sau đây xảy ra: (i) quy trình liên kết lên PCIe không thể thành công trong khoảng thời gian xác định trước; (ii) điện áp VDD2 và điện áp VDD3 đều vắng mặt; và (iii) lệnh CMD0 được nhận.

Bước 712: Thẻ SD đi vào chế độ PCIe hoặc được cài đặt thành chế độ PCIe bởi bộ điều khiển.

Bước 714: Thẻ SD (hoặc bộ điều khiển) xác định liệu điện áp VDD2 hoặc VDD3 sẵn có có bị tắt (tức là, điện áp VDD2 và điện áp VDD3 đều vắng mặt) hay không. Nếu kết quả là khẳng định, thì quy trình đi đến bước 704. Nếu kết quả là phủ định, thì quy trình đi đến bước 712, trong đó thẻ SD vẫn còn ở trong chế độ PCIe.

Bước 716: Thẻ SD đi vào chế độ SD hoặc được cài đặt thành chế độ SD bởi bộ điều khiển.

Bước 718: Thẻ SD (hoặc bộ điều khiển) xác định liệu lệnh CMD8 có được nhận thông qua chân lệnh hay không. Nếu kết quả là khẳng định, thì quy trình đi đến bước 720. Nếu kết quả là phủ định, thì quy trình đi đến bước 716, trong đó thẻ SD vẫn còn ở trong chế độ SD.

Bước 720: Thẻ SD truyền tín hiệu hồi đáp (ví dụ, R7), chỉ ra rằng thẻ SD hỗ trợ chế độ PCIe, thông qua chân lệnh.

Bước 722: Thẻ SD (hoặc bộ điều khiển) xác định liệu điện áp VDD2 hoặc điện áp VDD3 có được nhận hay không. Nếu kết quả là khẳng định, thì quy trình đi đến bước

708. Nếu kết quả là phủ định, thì quy trình đi đến bước 716, trong đó thẻ SD vẫn còn ở trong chế độ SD.

Những người có hiểu biết trung bình trong lĩnh vực kỹ thuật tương ứng sẽ hiểu được từ phần bộc lộ trên đây rằng thứ tự của các bước trên đây có thể được điều chỉnh. Ví dụ, bước 706 có thể được thực hiện trước bước 704. Nếu cả VDD2 và VDD3 đều không được nhận trong bước 706, thì sau đó đi đến bước 704.

Theo sáng chế, đặc biệt là phần bộc lộ liên quan đến Fig.6 và Fig.7, những người có hiểu biết trung bình trong lĩnh vực kỹ thuật tương ứng có thể dẫn xuất các lưu đồ khác của quy trình khởi tạo được thực hiện bởi thẻ SD hoặc bộ điều khiển của thẻ SD. Vì thế, quy trình khởi tạo của sáng chế không bị hạn chế ở những gì được thể hiện trên Fig.7.

Đề cập đến Fig.5 một lần nữa, máy chủ H có thể gồm bộ xử lý 132 và giao diện truyền thông 134 để ghép nối với thẻ SD. Giao diện truyền thông gồm các tiếp điểm từ H1 đến H18, trong đó các tiếp điểm từ H1 đến H18 tương ứng một cách lần lượt với các chân từ B1 đến B18 của thẻ SD B. Các chức năng của các tiếp điểm từ H1 đến H18 là như được thể hiện trên Fig.2 khi máy chủ H muốn truyền thông với thẻ SD B trong chế độ SD, và các chức năng của các tiếp điểm từ H1 đến H18 là như được thể hiện trên Fig.4 khi máy chủ H muốn truyền thông với thẻ SD B trong chế độ PCIe. Hoạt động của máy chủ H để tiến hành sự khởi tạo được trình bày chi tiết trong các đoạn sau đây. Nói chung là, bộ xử lý 132 của máy chủ H chạy ít nhất mã chương trình mà có thể được truy cập bởi bộ xử lý 132 để tiến hành các quy trình khởi tạo sau đây, gồm Fig.8, Fig.9, và Fig.10. Nói cách khác, máy chủ H được tạo cấu hình để thực hiện các quy trình khởi tạo sau đây.

Fig.8 là lưu đồ của quy trình khởi tạo được thực hiện bởi máy chủ theo một số phương án của sáng chế. Theo một phương án được ưu tiên, quy trình khởi tạo gồm các bước sau đây:

- Bước 802: Bắt đầu
- Bước 804: Máy chủ cung cấp VDD1 thông qua tiếp điểm H4 cho thẻ SD.
- Bước 806: Máy chủ cung cấp VDD2 thông qua tiếp điểm H14 hoặc cung cấp VDD3 thông qua tiếp điểm H18 cho thẻ SD.
- Bước 808: Máy chủ tiến hành quy trình liên kết lên PCIe và xác định liệu hồi đáp chỉ ra rằng quy trình liên kết lên PCIe thành công có được nhận hay không. Nếu kết quả là khẳng định, thì quy trình đi đến bước 810. Nếu kết quả là phủ định (tức là, nếu quy trình liên kết lên PCIe thất bại), thì quy trình đi đến bước 814. Nếu quy trình liên kết lên PCIe thành công, thì bộ đăng ký "PCIe Linkup" được cài đặt thành 1b. Nghĩa là, máy chủ có thể xác định liệu quy trình liên kết lên PCIe có thành công hay không bằng cách xác định giá trị của bộ đăng ký "PCIe Linkup."
- Bước 810: Máy chủ xác định rằng thẻ SD ở trong chế độ PCIe.
- Bước 812: Máy chủ xác định liệu lệnh yêu cầu thẻ SD chuyển sang chế độ SD có được nhận hay không. Nếu kết quả là khẳng định, thì quy trình đi đến bước 814. Nếu kết quả là phủ định, thì quy trình đi đến bước 810.
- Bước 814: Máy chủ truyền lệnh CMD0 thông qua tiếp điểm H2 và ngắt cả VDD2 và VDD3.
- Bước 816: Máy chủ xác định rằng thẻ SD ở trong chế độ SD.

Bước 818: Máy chủ xác định liệu lệnh yêu cầu thẻ SD chuyển sang chế độ PCIe có được nhận hay không. Nếu kết quả là khẳng định, thì quy trình đi đến bước 820. Nếu kết quả là phủ định, thì quy trình đi đến bước 816.

Bước 820: Máy chủ truyền lệnh CMD8 thông qua tiếp điểm H2.

Bước 822: Máy chủ xác định liệu tín hiệu hồi đáp (ví dụ, R7), chỉ ra rằng thẻ SD hỗ trợ chế độ PCIe, có được nhận thông qua tiếp điểm H2 hay không. Nếu kết quả là khẳng định, thì quy trình đi đến bước 806. Nếu kết quả là phủ định, thì quy trình đi đến bước 816.

Trong quy trình khởi tạo 800, máy chủ cung cấp VDD1 và sau đó cung cấp VDD2 hoặc VDD3. Máy chủ sau đó thực hiện quy trình liên kết lên PCIe với thẻ SD. Nếu quy trình liên kết lên PCIe thất bại, thì máy chủ xác định rằng thẻ SD được ghép nối với máy chủ có thể không hỗ trợ chế độ PCIe và sau đó truyền lệnh CMD0 để cho thẻ SD đi vào chế độ SD. Nếu quy trình liên kết lên PCIe thành công, thì thẻ SD đi vào chế độ PCIe.

Trong phương án trên đây, máy chủ cung cấp VDD2 hoặc VDD3 sau VDD1. Trong một số phương án, các bước 804 và 806 có thể được thực hiện một cách đồng thời. Nghĩa là, máy chủ có thể cung cấp VDD2 hoặc VDD3 cùng với VDD1. Những người có hiểu biết trung bình trong lĩnh vực kỹ thuật tương ứng sẽ hiểu được từ phần bộc lộ trên đây rằng thứ tự của các bước trên đây có thể được điều chỉnh và quy trình khởi tạo không bị hạn chế ở các phương án trên đây.

Fig.9 là lưu đồ của một quy trình khởi tạo khác được thực hiện bởi máy chủ theo một số phương án của sáng chế.

Theo một phương án được ưu tiên, quy trình khởi tạo 900 gồm các bước sau đây:

Bước 902: Bắt đầu.

Bước 904: Máy chủ cung cấp VDD1 thông qua tiếp điểm H4 cho thẻ SD.

Bước 906: Máy chủ truyền lệnh CMD0 thông qua tiếp điểm H2 đến thẻ SD.

Bước 908: Máy chủ truyền lệnh CMD8 thông qua tiếp điểm H2 đến thẻ SD.

Bước 910: Máy chủ xác định liệu tín hiệu hồi đáp (ví dụ, R7), chỉ ra rằng thẻ SD hỗ trợ chế độ PCIe, có được nhận hay không. Nếu kết quả là khẳng định, thì quy trình đi đến bước 912. Nếu kết quả là phủ định, thì quy trình đi đến bước 918.

Bước 912: Máy chủ cung cấp VDD2 thông qua tiếp điểm H14 hoặc cung cấp VDD3 thông qua tiếp điểm H18 cho thẻ SD.

Bước 914: Máy chủ thực hiện quy trình liên kết lên PCIe với thẻ SD và xác định liệu quy trình liên kết lên PCIe có thành công hay không. Nếu kết quả là khẳng định, thì quy trình đi đến bước 916. Nếu kết quả là phủ định (tức là, nếu quy trình liên kết lên PCIe thất bại), thì quy trình đi đến bước 920.

Bước 916: Máy chủ xác định rằng thẻ SD ở trong chế độ PCIe.

Bước 918: Máy chủ truyền lệnh CMD0 thông qua tiếp điểm H2 đến thẻ SD.

Bước 920: Máy chủ xác định rằng thẻ SD ở trong chế độ SD.

Trong quy trình khởi tạo 900, máy chủ cung cấp VDD1 và sau đó truyền lệnh CMD0 đến thẻ SD. Vì thế, thẻ SD sẽ đi vào chế độ SD sau khi khởi động. Máy chủ sau đó truyền lệnh CMD8 đến thẻ SD để khẳng định rằng liệu thẻ SD có hỗ trợ chế độ PCIe hay không. Nếu thẻ SD truyền tín hiệu hồi đáp R7, chỉ ra rằng thẻ SD hỗ trợ chế độ PCIe, đến máy chủ, thì máy chủ có thể thực hiện quy trình liên kết lên PCIe với thẻ SD. Dựa trên phần bộc lộ trên đây, có thể hiểu được rằng các quy trình khởi tạo của sáng chế không bị hạn chế ở những gì được miêu tả trên các hình từ Fig.7 đến Fig.9. Những người có hiểu biết trung bình trong lĩnh vực kỹ thuật tương ứng có thể dẫn xuất các quy

trình khởi tạo khác dựa trên phần bộc lộ trên đây, đặc biệt là phần bộc lộ liên quan đến Fig.6.

Fig.10 thể hiện quy trình khởi tạo 1000 của thẻ SD B (hoặc bộ điều khiển 110) và máy chủ H theo một số phương án của sáng chế. Trong phương án hiện tại, quy trình 1000 bắt đầu với lệnh chế độ SD, tức là, lệnh CMD0 được gửi bởi máy chủ H. Trong phương án được ưu tiên, quy trình 1000 có thể được phân chia thành bốn giai đoạn: giai đoạn khởi tạo giả, giai đoạn chế độ SD, giai đoạn liên kết lên PCIe, và giai đoạn chế độ PCIe. Mỗi giai đoạn trong số các giai đoạn này được trình bày chi tiết như sau:

Giai đoạn khởi tạo giả:

Thẻ SD B (hoặc bộ điều khiển 110) ở trong giai đoạn khởi tạo giả sau khi được khởi động. Trong giai đoạn này, máy chủ H bật điện áp VDD1 và kéo chân lệnh B2 và các chân B1, B7, B8 và B9 (tức là, các đường dữ liệu DAT[3:0] trong chế độ SD; xem Fig.2) bởi điện áp 3,3V. Sau khi điện áp VDD1 được bật, máy chủ H truyền SDCLK thông qua chân xung nhịp B5 và lệnh CMD0 thông qua chân lệnh B2 đến thẻ SD B.

Giai đoạn chế độ SD:

Thẻ SD B (hoặc bộ điều khiển 110) đi vào chế độ SD sau khi nhận lệnh CMD0. Lệnh CMD8 được truyền từ máy chủ H thông qua chân lệnh B2. Lệnh CMD8 có "PCIe Availability"=1 và "PCIe 1.2V Support"=1 trong đôi số của nó. Lưu ý rằng 1,2V là trong phạm vi điện áp từ 1,14V đến 1,3V, ở đó thì chân VDD3 B18 được tạo cấu hình để nhận.

Nếu thẻ SD B nhận lệnh CMD8 và phát hiện "PCIe Availability"=1 và "PCIe 1.2V Support"=1 một cách thành công, thì thẻ SD B trả lời R7 với "PCIe Response"=1 và "PCIe 1.2V Support"=1 bởi vì nó hỗ trợ nguồn cấp điện áp VDD3 trong phương án hiện tại. Trong một số phương án, thẻ SD B (hoặc bộ điều khiển 110) có thể hỗ trợ nguồn

cấp điện áp VDD2 thay thế. Khi máy chủ H phát hiện "PCIe Response"=1 trong R7, thì máy chủ H điều vận các chân B1, B7 và B8 thấp. Lưu ý rằng các chân B1, B7 và B8 tương ứng với DAT3, DAT0 và DAT1 trong chế độ SD và tương ứng với PERST#, REFCLK+ và REFCLK- trong chế độ PCIe (xem Fig.4). Bên cạnh đó, khi máy chủ H phát hiện "PCIe 1.2V Support"=1 trong R7, PERST#=low và CLKREQ#=high, thì nó cấp điện áp VDD3 cho thẻ SD B (hoặc bộ điều khiển 110) thông qua VDD3 chân B18.

Giai đoạn liên kết lên PCIe:

Thẻ SD B (hoặc bộ điều khiển 110) đi vào quy trình liên kết lên PCIe khi điện áp nhận được VDD3 đạt đến 1,2V. Lưu ý rằng chân B9 tương ứng với DAT2 trong chế độ SD và tương ứng với CLKREQ# trong chế độ PCIe (xem Fig.4). CLKREQ# là để cho tín hiệu yêu cầu xung nhịp tham chiếu.

Khi thẻ SD B (hoặc bộ điều khiển 110) phát hiện rằng điện áp VDD3 là ở trên và PERST# là thấp, thì nó vô hiệu hóa điện trở kéo lên trong trên DAT3 và điều vận CLKREQ# thấp trong quãng thời gian xác định trước TPVCRL do điện áp nhận được VDD3 đã trở nên ổn định.

Khi máy chủ H phát hiện rằng CLKREQ# là thấp, thì điều vận PERST# high sau khi nhiều hơn quãng thời gian xác định trước TPVPGL, do điện áp nhận được VDD3 đã trở nên ổn định và nhiều hơn quãng thời gian xác định trước TPERST#-CLK, do việc cấp REFCLK thông qua các chân B7 và B8.

Giai đoạn chế độ PCIe:

Thẻ SD B (hoặc bộ điều khiển 110) đi vào chế độ PCIe sau khi liên kết lên PCIe thành công.

Tóm lại, phương pháp khởi tạo được cung cấp bởi sáng chế cho phép thẻ SD (hoặc bộ điều khiển 110) hỗ trợ cả chế độ SD và chế độ PCIe. Thẻ SD (hoặc bộ điều khiển 110) có thể được khởi tạo để chế độ SD hoặc chế độ PCIe theo máy chủ được kết nối với thẻ SD (hoặc bộ điều khiển 110) dựa trên các ứng dụng khác nhau.

Theo quan điểm trên đây, sáng chế đề xuất quy trình khởi tạo cho thẻ SD hỗ trợ cả chế độ SD và chế độ PCIe và thẻ, bộ điều khiển và máy chủ liên quan. Đối với thẻ SD theo các phương án của sáng chế, nó cũng tương thích với máy chủ không hỗ trợ chế độ PCIe. Đối với máy chủ theo các phương án của sáng chế, nó cũng tương thích với thẻ SD không hỗ trợ chế độ PCIe.

Sáng chế có thể còn được mô tả nhờ sử dụng các điều sau đây:

1. Phương pháp được thực hiện bởi thẻ kỹ thuật số an toàn (SD) hỗ trợ cả chế độ SD và chế độ liên kết nối thành phần ngoại vi nhanh (PCIe) để khởi tạo thẻ SD, thẻ SD bao gồm ít nhất 17 chân để ghép nối với máy chủ, ít nhất 17 chân này bao gồm:

chân cấp điện áp thứ nhất để nhận điện áp cấp thứ nhất được cung cấp bởi máy chủ;

chân cấp điện áp thứ hai để nhận điện áp cấp thứ hai được cung cấp bởi máy chủ, trong đó điện áp cấp thứ hai thấp hơn điện áp cấp thứ nhất;

ít nhất một chân nối đất để ghép nối với mặt đất;

ít nhất một chân xung nhịp để nhận tín hiệu xung nhịp từ máy chủ; và

chân lệnh để nhận lệnh từ máy chủ,

phương pháp này bao gồm các bước:

(a) sau khi nhận điện áp cấp thứ nhất thông qua chân cấp điện áp thứ nhất từ máy chủ được ghép nối với thẻ SD, thì đi vào chế độ SD nếu thẻ SD không ở trong chế độ

PCIe và lệnh CMD0 để đi vào chế độ SD được nhận thông qua chân lệnh từ máy chủ được ghép nối với thẻ SD; và

(b) sau khi nhận điện áp cấp thứ nhất thông qua chân cấp điện áp thứ nhất từ máy chủ được ghép nối với thẻ SD, thì thực hiện quy trình liên kết lên PCIe nếu thẻ SD không ở trong chế độ SD và điện áp cấp thứ hai được nhận thông qua chân cấp điện áp thứ hai từ máy chủ được ghép nối với thẻ SD;

trong đó thẻ SD đi vào chế độ PCIe nếu quy trình liên kết lên PCIe thành công.

2. Phương pháp theo điều 1, trong đó thẻ SD đi vào trạng thái khởi tạo giả nếu điện áp cấp thứ nhất được cung cấp; thẻ SD đi vào chế độ SD từ trạng thái khởi tạo giả nếu lệnh CMD0 được nhận; và thẻ SD đi vào trạng thái để thực hiện quy trình liên kết lên PCIe từ trạng thái khởi tạo giả nếu điện áp cấp thứ hai được nhận.

3. Phương pháp theo điều 1, phương pháp còn bao gồm các bước sau đây để được thực thi sau bước (a):

(d) nhận lệnh CMD8 để đi vào chế độ PCIe được truyền bởi máy chủ thông qua chân lệnh;

(e) truyền tín hiệu hồi đáp, chỉ ra rằng thẻ SD hỗ trợ chế độ PCIe, đến máy chủ thông qua chân lệnh; và

(f) sau bước (e), thực hiện quy trình liên kết lên PCIe nếu điện áp cấp thứ hai được nhận thông qua chân cấp điện áp thứ hai từ máy chủ; còn không thì ở lại trong chế độ SD.

4. Phương pháp theo điều 1, trong đó bước (b) còn bao gồm việc kết thúc quy trình liên kết lên PCIe nếu thẻ SD không nhận được điện áp cấp thứ hai thông qua chân cấp điện áp thứ hai.

5. Phương pháp theo điều 1, phương pháp còn bao gồm bước chuyển khỏi chế độ PCIe nếu thẻ SD không nhận được điện áp cấp thứ hai thông qua chân cấp điện áp thứ hai.

6. Phương pháp theo điều 1, trong đó điện áp cấp thứ nhất là trong phạm vi từ 2,7 đến 3,6 vôn, và điện áp cấp thứ hai là trong phạm vi từ 1,7 đến 1,95 vôn hoặc là trong phạm vi từ 1,14 đến 1,3 vôn.

7. Phương pháp theo điều 1, trong đó bước (a) bao gồm một trong số các việc sau đây:

(g) đi vào chế độ SD nếu quy trình liên kết lên PCIe thất bại và lệnh CMD0 được nhận thông qua chân lệnh từ máy chủ; và

(h) đi vào chế độ SD nếu điện áp cấp thứ nhất được nhận thông qua chân cấp điện áp thứ nhất, điện áp cấp thứ hai thông qua chân cấp điện áp thứ hai vắng mặt, và lệnh CMD0 được nhận thông qua chân lệnh từ máy chủ.

8. Thẻ SD hỗ trợ cả chế độ SD và chế độ PCIe bao gồm:

ít nhất 17 chân để ghép nối với máy chủ, ít nhất 17 chân này bao gồm:

chân cấp điện áp thứ nhất để nhận điện áp cấp thứ nhất được cung cấp bởi máy chủ;

chân cấp điện áp thứ hai để nhận điện áp cấp thứ hai được cung cấp bởi máy chủ, trong đó điện áp cấp thứ hai thấp hơn điện áp cấp thứ nhất;

ít nhất một chân nối đất để ghép nối với mặt đất;

ít nhất một chân xung nhịp để nhận tín hiệu xung nhịp từ máy chủ; và

chân lệnh để nhận lệnh từ máy chủ; và

bộ điều khiển,

trong đó bộ điều khiển được tạo cấu hình để:

sau khi nhận điện áp cấp thứ nhất thông qua chân cấp điện áp thứ nhất từ máy chủ được ghép nối với thẻ SD, thì cài đặt thẻ SD thành chế độ SD nếu thẻ SD không ở trong chế độ PCIe và lệnh CMD0 để đi vào chế độ SD được nhận thông qua chân lệnh từ máy chủ được kết nối với thẻ SD; và

sau khi nhận điện áp cấp thứ nhất thông qua chân cấp điện áp thứ nhất từ máy chủ được ghép nối với thẻ SD, thì thực hiện quy trình liên kết lên PCIe nếu thẻ SD không ở trong chế độ SD và điện áp cấp thứ hai được nhận thông qua chân cấp điện áp thứ hai;

trong đó thẻ SD đi vào chế độ PCIe nếu quy trình liên kết lên PCIe thành công.

9. Thẻ SD theo điều 8, trong đó thẻ SD đi vào trạng thái khởi tạo giả nếu điện áp cấp thứ nhất được cung cấp; thẻ SD đi vào chế độ SD từ trạng thái khởi tạo giả nếu lệnh CMD0 được nhận; và thẻ SD đi vào trạng thái để thực hiện quy trình liên kết lên PCIe từ trạng thái khởi tạo giả nếu điện áp cấp thứ hai được nhận.

10. Thẻ SD theo điều 8, trong đó, sau khi cài đặt thẻ SD thành chế độ SD, thì bộ điều khiển còn được tạo cấu hình để:

nhận lệnh CMD8 để đi vào chế độ PCIe được truyền bởi máy chủ thông qua chân lệnh;

truyền tín hiệu hồi đáp, chỉ ra rằng thẻ SD hỗ trợ chế độ PCIe, đến máy chủ thông qua chân lệnh; và

sau khi truyền tín hiệu hồi đáp, thì thực hiện quy trình liên kết lên PCIe nếu điện áp cấp thứ hai được nhận thông qua chân cấp điện áp thứ hai từ máy chủ; còn không thì giữ thẻ SD trong chế độ SD.

11. Thẻ SD theo điều 8, trong đó bộ điều khiển còn được tạo cấu hình để kết thúc quy trình liên kết lên PCIe nếu thẻ SD không nhận được điện áp cấp thứ hai thông qua chân cấp điện áp thứ hai.

12. Thẻ SD theo điều 8, trong đó bộ điều khiển còn được tạo cấu hình để:
chuyển thẻ SD ra khỏi chế độ PCIe nếu thẻ SD không nhận được điện áp cấp thứ hai thông qua chân cấp điện áp thứ hai.

13. Thẻ SD theo điều 8, trong đó điện áp cấp thứ nhất là trong phạm vi từ 2,7 đến 3,6 vôn, và điện áp cấp thứ hai là trong phạm vi từ 1,7 đến 1,95 vôn hoặc là trong phạm vi từ 1,14 đến 1,3 vôn.

14. Thẻ SD theo điều 8, trong đó bộ điều khiển còn được tạo cấu hình để thực hiện một trong số các việc sau đây:

cài đặt thẻ SD thành chế độ SD nếu quy trình liên kết lên PCIe thất bại và lệnh CMD0 được nhận thông qua chân lệnh từ máy chủ; và

cài đặt thẻ SD thành chế độ SD nếu điện áp cấp thứ nhất được nhận thông qua chân cấp điện áp thứ nhất, điện áp cấp thứ hai thông qua chân cấp điện áp thứ hai vắng mặt, và lệnh CMD0 được nhận thông qua chân lệnh từ máy chủ.

15. Phương pháp được thực hiện bởi máy chủ để khởi tạo thẻ kỹ thuật số an toàn (SD), thẻ SD hỗ trợ cả chế độ SD và chế độ liên kết nối thành phần ngoại vi nhanh (PCIe), máy chủ bao gồm:

bộ xử lý;

giao diện truyền thông để ghép nối với thẻ SD, bao gồm:

tiếp điểm cấp điện áp thứ nhất để cung cấp điện áp cấp thứ nhất;

tiếp điểm cấp điện áp thứ hai để cung cấp điện áp cấp thứ hai thấp hơn điện áp cấp thứ nhất;

ít nhất một tiếp điểm mặt đất để ghép nối với mặt đất;

ít nhất một tiếp điểm xung nhịp để truyền tín hiệu xung nhịp đến thẻ SD; và

tiếp điểm lệnh để truyền lệnh đến thẻ SD,

phương pháp này bao gồm các bước:

(a) cung cấp điện áp cấp thứ nhất cho thẻ SD thông qua tiếp điểm cấp điện áp thứ nhất;

(b) cung cấp điện áp cấp thứ hai cho thẻ SD thông qua tiếp điểm cấp điện áp thứ hai;

(c) thực hiện quy trình liên kết lên PCIe sau bước (b);

(d) xác định rằng quy trình liên kết lên PCIe thành công hay thất bại, trong đó nếu quy trình liên kết lên PCIe thành công, thì thẻ SD đi vào chế độ PCIe; và

(e) truyền lệnh CMD0 để đi vào chế độ SD đến thẻ SD thông qua tiếp điểm lệnh nếu quy trình liên kết lên PCIe thất bại.

16. Phương pháp theo điều 15, phương pháp còn bao gồm bước:

(f) nếu thẻ SD ở trong chế độ SD và lệnh yêu cầu thẻ SD đi vào chế độ PCIe được nhận bởi bộ xử lý, thì truyền lệnh CMD8 để đi vào chế độ PCIe đến thẻ SD thông qua tiếp điểm lệnh; và

trong đó bước (b) và bước (c) được thực hiện nếu tín hiệu hồi đáp, chỉ ra rằng thẻ SD hỗ trợ chế độ PCIe, được nhận từ thẻ SD thông qua tiếp điểm lệnh.

17. Phương pháp theo điều 15, trong đó điện áp cấp thứ nhất là trong phạm vi từ 2,7 đến 3,6 vôn, và điện áp cấp thứ hai là trong phạm vi từ 1,7 đến 1,95 vôn hoặc là trong phạm vi từ 1,14 đến 1,3 vôn.

18. Phương pháp theo điều 15, phương pháp còn bao gồm bước:

(g) nếu lệnh yêu cầu thẻ SD đi vào chế độ SD từ chế độ PCIe được nhận bởi bộ xử lý, thì dừng sự truyền điện áp cấp thứ hai và truyền lệnh CMD0 đến thẻ SD thông qua tiếp điểm lệnh.

19. Máy chủ để khởi tạo thẻ kỹ thuật số an toàn (SD), thẻ SD hỗ trợ cả chế độ SD và chế độ liên kết nối thành phần ngoại vi nhanh (PCIe), máy chủ bao gồm:

bộ xử lý;

giao diện truyền thông để ghép nối với thẻ SD, bao gồm:

tiếp điểm cấp điện áp thứ nhất để cung cấp điện áp cấp thứ nhất;

tiếp điểm cấp điện áp thứ hai để cung cấp điện áp cấp thứ hai thấp hơn điện áp cấp thứ nhất;

ít nhất một tiếp điểm mặt đất để ghép nối với mặt đất;

ít nhất một tiếp điểm xung nhịp để truyền tín hiệu xung nhịp đến thẻ SD; và

tiếp điểm lệnh để truyền lệnh đến thẻ SD;

trong đó máy chủ được tạo cấu hình để:

cung cấp điện áp cấp thứ nhất cho thẻ SD thông qua tiếp điểm cấp điện áp thứ nhất;

cung cấp điện áp cấp thứ hai cho thẻ SD thông qua tiếp điểm cấp điện áp thứ hai;

thực hiện quy trình liên kết lên PCIe sau khi cung cấp điện áp cấp thứ hai;

xác định rằng quy trình liên kết lên PCIe thành công hay thất bại, trong đó nếu quy trình liên kết lên PCIe thành công, thì thẻ SD đi vào chế độ PCIe; và

truyền lệnh CMD0 để đi vào chế độ SD đến thẻ SD thông qua tiếp điểm lệnh nếu quy trình liên kết lên PCIe thất bại.

20. Máy chủ theo điều 19, trong đó bộ xử lý còn được tạo cấu hình để:

truyền lệnh CMD8 để đi vào chế độ PCIe đến thẻ SD thông qua tiếp điểm lệnh nếu thẻ SD ở trong chế độ SD và lệnh yêu cầu thẻ SD đi vào chế độ PCIe được nhận bởi bộ xử lý;

trong đó nếu tín hiệu hồi đáp, chỉ ra rằng thẻ SD hỗ trợ chế độ PCIe, được nhận từ thẻ SD thông qua tiếp điểm lệnh, thì bộ xử lý được tạo cấu hình để cung cấp điện áp cấp thứ hai và thực hiện quy trình liên kết lên PCIe.

21. Máy chủ theo điều 19, trong đó điện áp cấp thứ nhất là trong phạm vi từ 2,7 đến 3,6 vôn, và điện áp cấp thứ hai là trong phạm vi từ 1,7 đến 1,95 vôn hoặc là trong phạm vi từ 1,14 đến 1,3 vôn.

22. Máy chủ theo điều 19, trong đó bộ xử lý còn được tạo cấu hình để:

dừng việc truyền điện áp cấp thứ hai và truyền lệnh CMD0 đến thẻ SD thông qua tiếp điểm lệnh nếu lệnh yêu cầu thẻ SD đi vào chế độ SD từ chế độ PCIe được nhận.

23. Phương pháp được thực hiện bởi máy chủ để khởi tạo thẻ kỹ thuật số an toàn (SD) được ghép nối với máy chủ, thẻ SD hỗ trợ cả chế độ SD và chế độ liên kết nối thành phần ngoại vi nhanh (PCIe), máy chủ bao gồm:

bộ xử lý;

giao diện truyền thông để ghép nối với thẻ SD, bao gồm:

tiếp điểm cấp điện áp thứ nhất để cung cấp điện áp cấp thứ nhất;

tiếp điểm cấp điện áp thứ hai để cung cấp điện áp cấp thứ hai thấp hơn điện áp cấp thứ nhất;

ít nhất một tiếp điểm mặt đất để ghép nối với mặt đất;

ít nhất một tiếp điểm xung nhịp để truyền tín hiệu xung nhịp đến thẻ SD; và

tiếp điểm lệnh để truyền lệnh đến thẻ SD,

phương pháp này bao gồm các bước:

(a) cung cấp điện áp cấp thứ nhất cho thẻ SD thông qua tiếp điểm cấp điện áp thứ nhất;

(b) truyền lệnh CMD0 để đi vào chế độ SD thông qua tiếp điểm lệnh đến thẻ SD sau bước (a);

(c) truyền lệnh CMD8 để đi vào chế độ PCIe thông qua tiếp điểm lệnh đến thẻ SD sau bước (b), trong đó thẻ SD vẫn còn ở trong chế độ SD nếu tín hiệu hồi đáp, chỉ ra rằng thẻ SD hỗ trợ chế độ PCIe, không được nhận thông qua tiếp điểm lệnh từ thẻ SD;

(d) nếu tín hiệu hồi đáp, chỉ ra rằng thẻ SD hỗ trợ chế độ PCIe, được nhận từ thẻ SD, thì cung cấp điện áp cấp thứ hai cho thẻ SD thông qua tiếp điểm cấp điện áp thứ hai;

(e) thực hiện quy trình liên kết lên PCIe sau bước (d);

(f) xác định rằng quy trình liên kết lên PCIe thành công hay thất bại, trong đó nếu quy trình liên kết lên PCIe thành công, thì thẻ SD đi vào chế độ PCIe; và

(g) nếu quy trình liên kết lên PCIe thất bại, thì truyền lệnh CMD0 đến thẻ SD thông qua tiếp điểm lệnh.

24. Phương pháp theo điều 23, trong đó bước (c) và bước (d) được thực hiện nếu thẻ SD ở trong chế độ SD và lệnh yêu cầu thẻ SD đi vào chế độ PCIe được nhận bởi bộ xử lý.

25. Phương pháp theo điều 23, trong đó điện áp cấp thứ nhất là trong phạm vi từ 2,7 đến 3,6 vôn, và điện áp cấp thứ hai là trong phạm vi từ 1,7 đến 1,95 vôn hoặc trong phạm vi từ 1,14 đến 1,3 vôn.

26. Phương pháp theo điều 23, phương pháp còn bao gồm bước:

(h) nếu lệnh yêu cầu thẻ SD đi vào chế độ SD từ chế độ PCIe được nhận bởi bộ xử lý, thì dừng sự truyền điện áp cấp thứ hai và truyền lệnh CMD0 đến thẻ SD thông qua tiếp điểm lệnh.

27. Máy chủ để khởi tạo thẻ kỹ thuật số an toàn (SD), thẻ SD hỗ trợ cả chế độ SD và chế độ liên kết nối thành phần ngoại vi nhanh (PCIe), máy chủ bao gồm:

bộ xử lý;

giao diện truyền thông để ghép nối với thẻ SD, bao gồm:

tiếp điểm cấp điện áp thứ nhất để cung cấp điện áp cấp thứ nhất;

tiếp điểm cấp điện áp thứ hai để cung cấp điện áp cấp thứ hai thấp hơn điện áp cấp thứ nhất;

ít nhất một tiếp điểm mặt đất để ghép nối với mặt đất;

ít nhất một tiếp điểm xung nhịp để truyền tín hiệu xung nhịp đến thẻ SD; và

tiếp điểm lệnh để truyền lệnh đến thẻ SD;

trong đó máy chủ được tạo cấu hình để:

cung cấp điện áp cấp thứ nhất cho thẻ SD thông qua tiếp điểm cấp điện áp cấp thứ nhất;

truyền lệnh CMD0 để đi vào chế độ SD thông qua tiếp điểm lệnh đến thẻ SD sau khi cung cấp điện áp cấp thứ nhất;

truyền lệnh CMD8 để đi vào chế độ PCIe thông qua tiếp điểm lệnh đến thẻ SD sau khi truyền lệnh CMD0, trong đó thẻ SD vẫn còn ở trong chế độ SD nếu tín hiệu hồi đáp, chỉ ra rằng thẻ SD hỗ trợ chế độ PCIe, không được nhận thông qua tiếp điểm lệnh từ thẻ SD;

nếu tín hiệu hồi đáp, chỉ ra rằng thẻ SD hỗ trợ chế độ PCIe, được nhận từ thẻ SD, thì cung cấp điện áp cấp thứ hai cho thẻ SD thông qua tiếp điểm cấp điện áp thứ hai;

thực hiện quy trình liên kết lên PCIe sau khi cung cấp điện áp cấp thứ hai;

xác định rằng quy trình liên kết lên PCIe thành công hay thất bại, trong đó nếu quy trình liên kết lên PCIe thành công, thì thẻ SD đi vào chế độ PCIe; và

nếu quy trình liên kết lên PCIe thất bại, thì truyền lệnh CMD0 đến thẻ SD thông qua tiếp điểm lệnh.

28. Máy chủ theo điều 27, trong đó nếu thẻ SD ở trong chế độ SD và lệnh yêu cầu thẻ SD đi vào chế độ PCIe được nhận bởi bộ xử lý, thì lệnh CMD8 được truyền đến thẻ SD thông qua tiếp điểm lệnh.

29. Máy chủ theo điều 27, trong đó điện áp cấp thứ nhất nằm trong phạm vi từ 2,7 đến 3,6 vôn, và điện áp cấp thứ hai nằm trong phạm vi từ 1,7 đến 1,95 vôn hoặc nằm trong phạm vi từ 1,14 đến 1,3 vôn.

30. Máy chủ theo điều 27, trong đó bộ xử lý còn được tạo cấu hình để:

dừng sự truyền điện áp cấp thứ hai và truyền lệnh CMD0 đến thẻ SD thông qua tiếp điểm lệnh nếu lệnh yêu cầu thẻ SD đi vào chế độ SD từ chế độ PCIe được nhận bởi bộ xử lý.

31. Phương pháp được thực hiện bởi bộ điều khiển của thẻ kỹ thuật số an toàn (SD) hỗ trợ cả chế độ SD và chế độ liên kết nối thành phần ngoại vi nhanh (PCIe) để khởi tạo thẻ SD, thẻ SD bao gồm ít nhất 17 chân để ghép nối với máy chủ, và ít nhất 17 chân này bao gồm:

chân cấp điện áp thứ nhất để nhận điện áp cấp thứ nhất cho chế độ SD được cung cấp bởi máy chủ;

chân cấp điện áp thứ hai để nhận điện áp cấp thứ hai được cung cấp bởi máy chủ, trong đó điện áp cấp thứ hai thấp hơn điện áp cấp thứ nhất;

ít nhất một chân nối đất để ghép nối với mặt đất;

ít nhất một chân xung nhịp để nhận tín hiệu xung nhịp từ máy chủ; và

chân lệnh để nhận lệnh từ máy chủ,

phương pháp này bao gồm các bước:

(a) sau khi nhận điện áp cấp thứ nhất thông qua chân cấp điện áp thứ nhất, thì cài đặt thẻ SD thành chế độ SD nếu thẻ SD không ở trong chế độ PCIe và lệnh CMD0 để đi vào chế độ SD được nhận thông qua chân lệnh; và

(b) sau khi nhận điện áp cấp thứ nhất thông qua chân cấp điện áp thứ nhất, thì để cho thẻ SD thực hiện quy trình liên kết lên PCIe nếu thẻ SD không ở trong chế độ SD và điện áp cấp thứ hai được nhận thông qua chân cấp điện áp thứ hai; và

(c) cài đặt thẻ SD thành chế độ PCIe nếu quy trình liên kết lên PCIe thành công.

32. Phương pháp theo điều 31, phương pháp còn bao gồm các bước sau đây để được thực thi sau bước (a):

- (d) nhận lệnh CMD8 để đi vào chế độ PCIe thông qua chân lệnh;
- (e) truyền tín hiệu hồi đáp, chỉ ra rằng thẻ SD hỗ trợ chế độ PCIe, thông qua chân lệnh; và
- (f) sau bước (e), để cho thẻ SD thực hiện quy trình liên kết lên PCIe nếu điện áp cấp thứ hai được nhận thông qua chân cấp điện áp thứ hai; còn không thì giữ thẻ SD trong chế độ SD.

33. Phương pháp theo điều 31, trong đó bước (b) còn bao gồm việc kết thúc quy trình liên kết lên PCIe nếu điện áp cấp thứ hai không được nhận thông qua chân cấp điện áp thứ hai.

34. Phương pháp theo điều 31, phương pháp còn bao gồm bước cài đặt thẻ SD để thoát ra khỏi chế độ PCIe nếu điện áp cấp thứ hai không được nhận thông qua chân cấp điện áp thứ hai.

35. Phương pháp theo điều 31, trong đó điện áp thứ nhất nằm trong phạm vi từ 2,7 đến 3,6 vôn, và điện áp cấp thứ hai nằm trong phạm vi từ 1,7 đến 1,95 vôn hoặc nằm trong phạm vi từ 1,14 đến 1,3 vôn.

36. Phương pháp theo điều 31, trong đó bước (a) bao gồm một trong số các việc sau đây:

- (g) đi vào chế độ SD nếu quy trình liên kết lên PCIe thất bại và lệnh CMD0 được nhận thông qua chân lệnh từ máy chủ; và

- (h) đi vào chế độ SD nếu điện áp cấp thứ nhất được nhận thông qua chân cấp điện áp thứ nhất, điện áp cấp thứ hai thông qua chân cấp điện áp thứ hai vắng mặt, và lệnh CMD0 được nhận thông qua chân lệnh từ máy chủ.

37. Bộ điều khiển của thẻ kỹ thuật số an toàn (SD), được tạo cấu hình để thực hiện phương pháp theo điều bất kỳ trong số các điều 31 từ 36.

Cần lưu ý rằng phân bộc lộ trên đây chỉ nhằm mục đích minh hoạt và không được xem là hạn chế sáng chế. Những người có hiểu biết trung bình trong lĩnh vực kỹ thuật tương ứng dễ dàng nhận ra nhiều sửa đổi và biến đổi của thiết bị và phương pháp có thể được thực hiện trong khi vẫn giữ nguyên các nội dung sáng chế. Theo đó, phân bộc lộ trên đây được hiểu là chỉ được hạn chế bởi các giới hạn của các yêu cầu bảo hộ kèm theo.

YÊU CẦU BẢO HỘ

1. Phương pháp được thực hiện bởi thẻ kỹ thuật số an toàn (Secure Digital, SD) hỗ trợ cả chế độ SD và chế độ liên kết nối thành phần ngoại vi nhanh (Peripheral Component Interconnect express, PCIe) để khởi tạo thẻ SD, thẻ SD bao gồm ít nhất 17 chân để ghép nối với máy chủ, ít nhất 17 chân này bao gồm:

chân cấp điện áp thứ nhất để nhận điện áp cấp thứ nhất được cung cấp bởi máy chủ;

chân cấp điện áp thứ hai để nhận điện áp cấp thứ hai được cung cấp bởi máy chủ, trong đó điện áp cấp thứ hai thấp hơn điện áp cấp thứ nhất;

ít nhất một chân nối đất để ghép nối với mặt đất;

ít nhất một chân xung nhịp để nhận tín hiệu xung nhịp từ máy chủ; và

chân lệnh để nhận lệnh từ máy chủ,

phương pháp này bao gồm các bước:

(a) sau khi nhận điện áp cấp thứ nhất thông qua chân cấp điện áp thứ nhất từ máy chủ được ghép nối với thẻ SD, thì đi vào chế độ SD nếu thẻ SD không trong chế độ PCIe và lệnh CMD0 để đi vào chế độ SD được nhận thông qua chân lệnh từ máy chủ được ghép nối với thẻ SD; và

(b) sau khi nhận điện áp cấp thứ nhất thông qua chân cấp điện áp thứ nhất từ máy chủ được ghép nối với thẻ SD, thì thực hiện quy trình liên kết lên PCIe nếu thẻ SD không trong chế độ SD và điện áp cấp thứ hai được nhận thông qua chân cấp điện áp thứ hai từ máy chủ được ghép nối với thẻ SD;

trong đó thẻ SD đi vào chế độ PCIe nếu quy trình liên kết lên PCIe thành công.

2. Phương pháp theo điểm 1, trong đó, thẻ SD đi vào trạng thái khởi tạo giả nếu điện áp cấp thứ nhất được cung cấp; thẻ SD đi vào chế độ SD từ trạng thái khởi tạo giả nếu lệnh CMD0 được nhận; và thẻ SD đi vào trạng thái để thực hiện quy trình liên kết lên PCIe từ trạng thái khởi tạo giả nếu điện áp cấp thứ hai được nhận.

3. Phương pháp theo điểm 1, trong đó, phương pháp này còn bao gồm các bước sau cần phải được thực thi sau bước (a):

(d) nhận lệnh CMD8 để đi vào chế độ PCIe được truyền bởi máy chủ thông qua chân lệnh;

(e) truyền tín hiệu hồi đáp, chỉ ra rằng thẻ SD hỗ trợ chế độ PCIe, đến máy chủ thông qua chân lệnh; và

(f) sau bước (e), thì thực hiện quy trình liên kết lên PCIe nếu điện áp cấp thứ hai được nhận thông qua chân cấp điện áp thứ hai từ máy chủ; còn không thì, ở lại trong chế độ SD.

4. Phương pháp theo điểm 1, trong đó, bước (b) còn bao gồm việc kết thúc quy trình liên kết lên PCIe nếu thẻ SD không nhận điện áp cấp thứ hai thông qua chân cấp điện áp thứ hai.

5. Phương pháp theo điểm 1, trong đó, phương pháp này còn bao gồm bước chuyển khỏi chế độ PCIe nếu thẻ SD không nhận điện áp cấp thứ hai thông qua chân cấp điện áp thứ hai.

6. Phương pháp theo điểm 1, trong đó điện áp cấp thứ nhất là trong phạm vi từ 2,7 đến 3,6 vôn, và điện áp cấp thứ hai là trong phạm vi từ 1,7 đến 1,95 vôn hoặc trong phạm vi từ 1,14 đến 1,3 vôn.

7. Phương pháp theo điểm 1, trong đó bước (a) bao gồm một trong số các việc sau đây:

(g) đi vào chế độ SD nếu quy trình liên kết lên PCIe thất bại và lệnh CMD0 được nhận thông qua chân lệnh từ máy chủ; và

(h) đi vào chế độ SD nếu điện áp cấp thứ nhất được nhận thông qua chân cấp điện áp thứ nhất, điện áp cấp thứ hai thông qua chân cấp điện áp thứ hai vắng mặt, và lệnh CMD0 được nhận thông qua chân lệnh từ máy chủ.

1/9

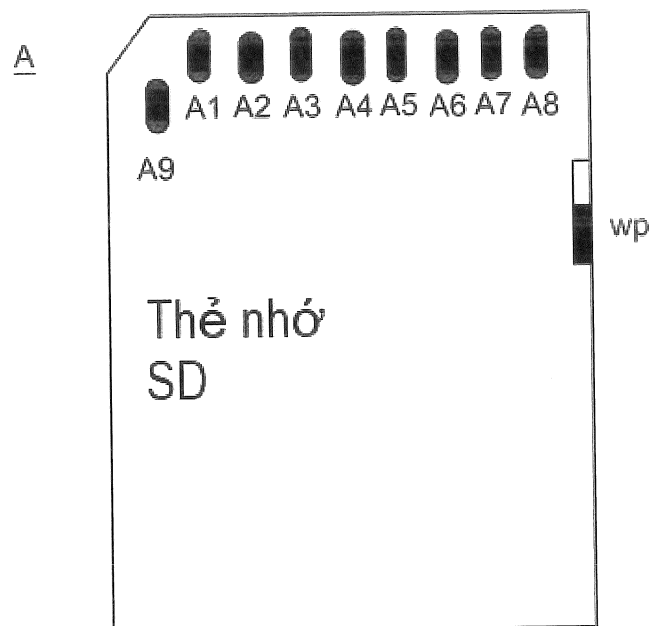


Fig.1

Chân #	Chế độ SD		
	Tên	Loại ¹	Mô tả
A1	CD/DAT3 ²	I/O/PP ³	Phát hiện thẻ/ Đường dữ liệu [Bit 3]
A2	CMD	I/O/PP	Lệnh/Hỏi đáp
A3	VSS1	S	Cấp điện áp mặt đất
A4	VDD	S	Cấp điện áp
A5	CLK	I	Xung nhịp
A6	VSS2	S	Cấp điện áp mặt đất
A7	DAT0	I/O/PP	Đường dữ liệu [Bit 0]
A8	DAT1 ⁴	I/O/PP	Đường dữ liệu [Bit 1]
A9	DAT2 ⁵	I/O/PP	Đường dữ liệu [Bit 2]

Fig.2

2/9

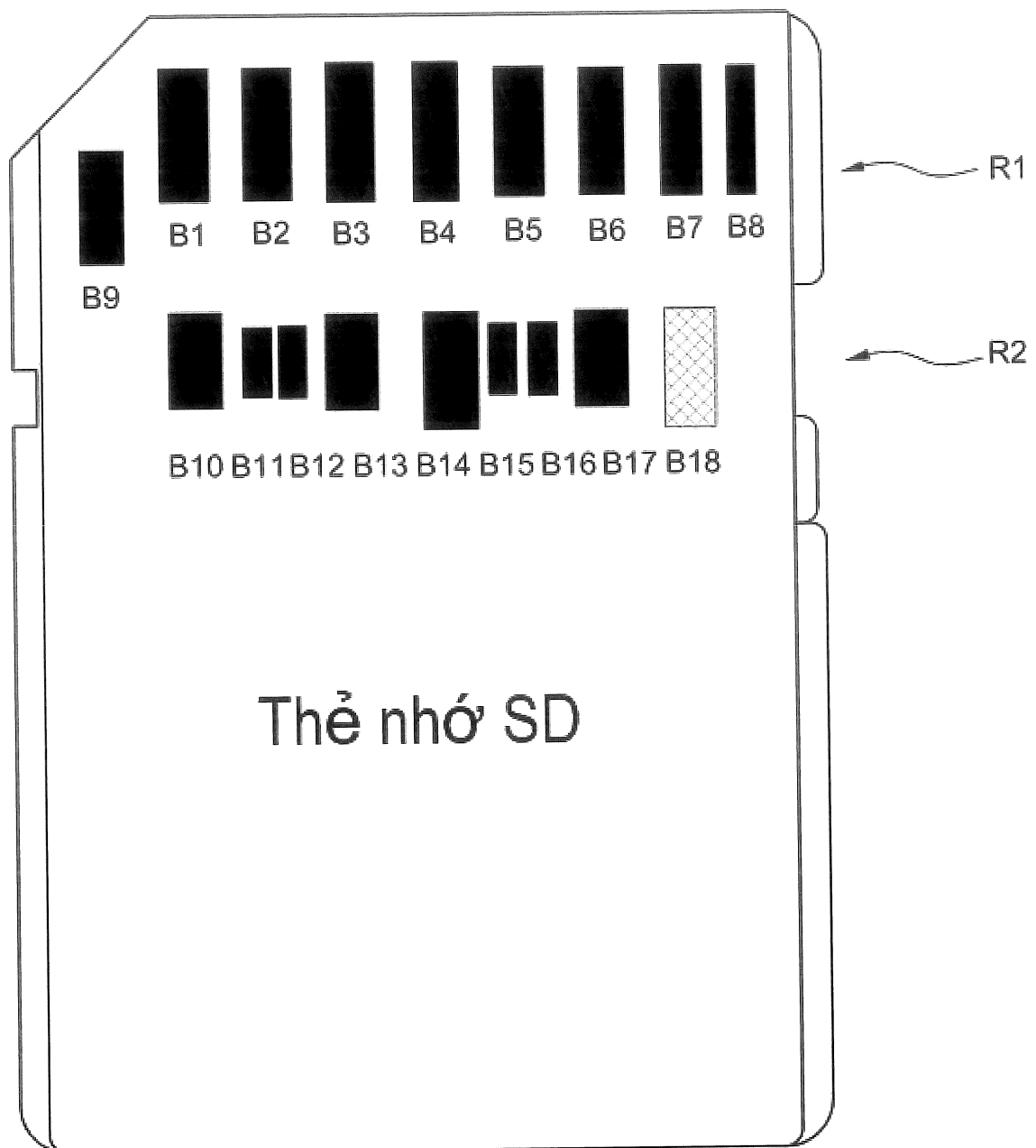


Fig.3

Chân #	Tên	Loại	Mô tả
B1	PERST#	Tín hiệu đầu vào (hoạt động thấp)	PE-Reset là việc cài đặt lại về chức năng cho thẻ như được định nghĩa bởi bản đặc tả PCIe Mini CEM
B4	VDD1	Điện áp cấp	2,7V đến 3,6V
B7	REFCLK+	Phát tín hiệu vi sai: Đầu vào	Đầu vào xung nhịp
B8	REFCLK-	Phát tín hiệu vi sai: Đầu vào	Đầu vào xung nhịp
B9	CLKREQ#	I/O (hoạt động thấp, tiêu hở)	Tín hiệu yêu cầu xung nhịp tham chiếu. Cũng được sử dụng bởi các trạng thái phụ L1 PM
B10	VSS3	Mặt đất	
B11	PCIe TX+	Phát tín hiệu vi sai	Đầu vào thẻ
B12	PCIe TX-	Phát tín hiệu vi sai	Đầu vào thẻ
B13	VSS4	Mặt đất	1,70V đến 1,95V
B14	VDD2	Điện áp cấp 2	
B15	PCIe RX-	Phát tín hiệu vi sai	Đầu ra thẻ
B16	PCIe RX+	Phát tín hiệu vi sai	Đầu ra thẻ
B17	VSS5	Mặt đất	
B18	VDD3	Điện áp cấp 3	1,14V đến 1,30V

Fig.4

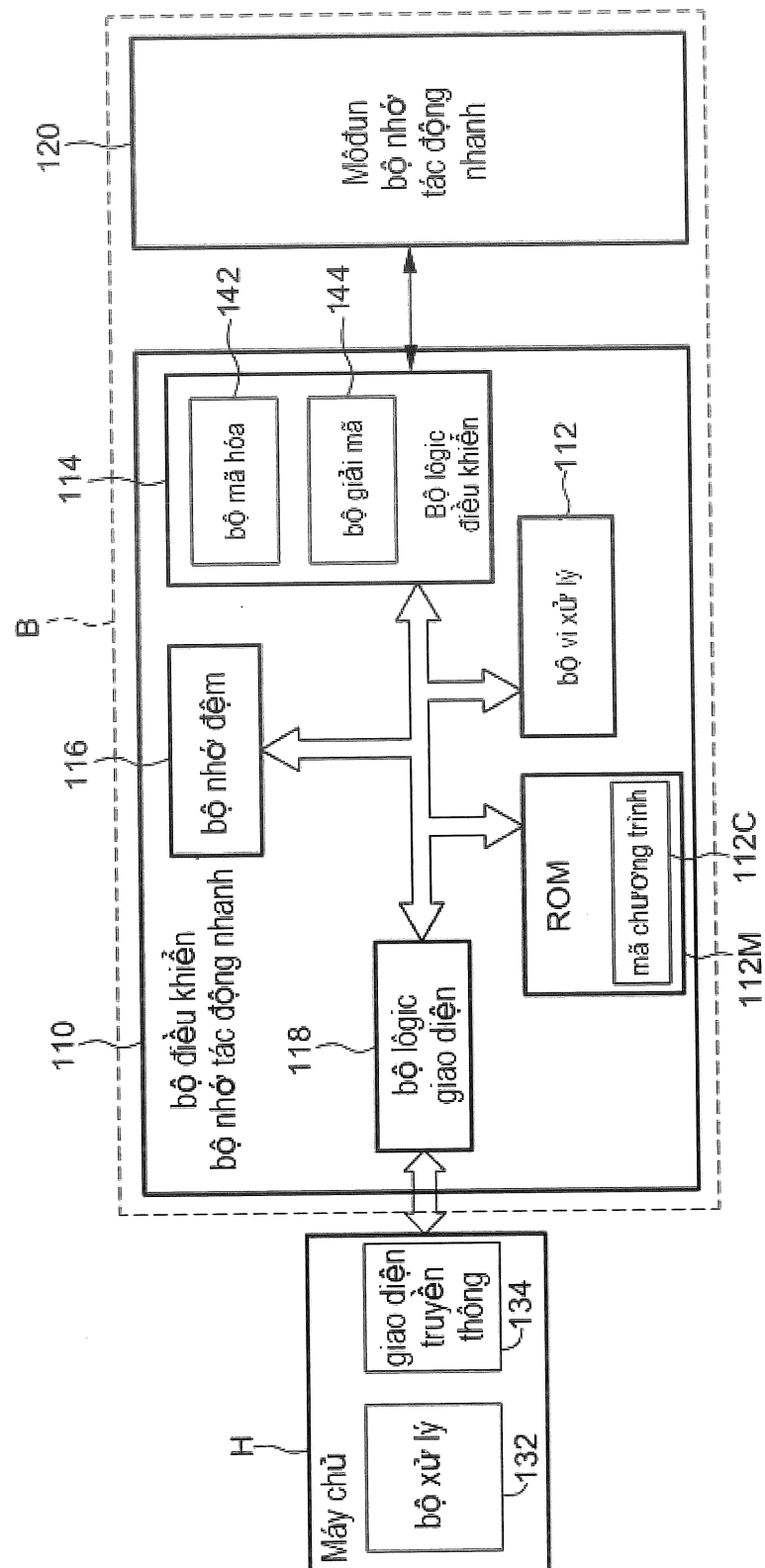


Fig.5

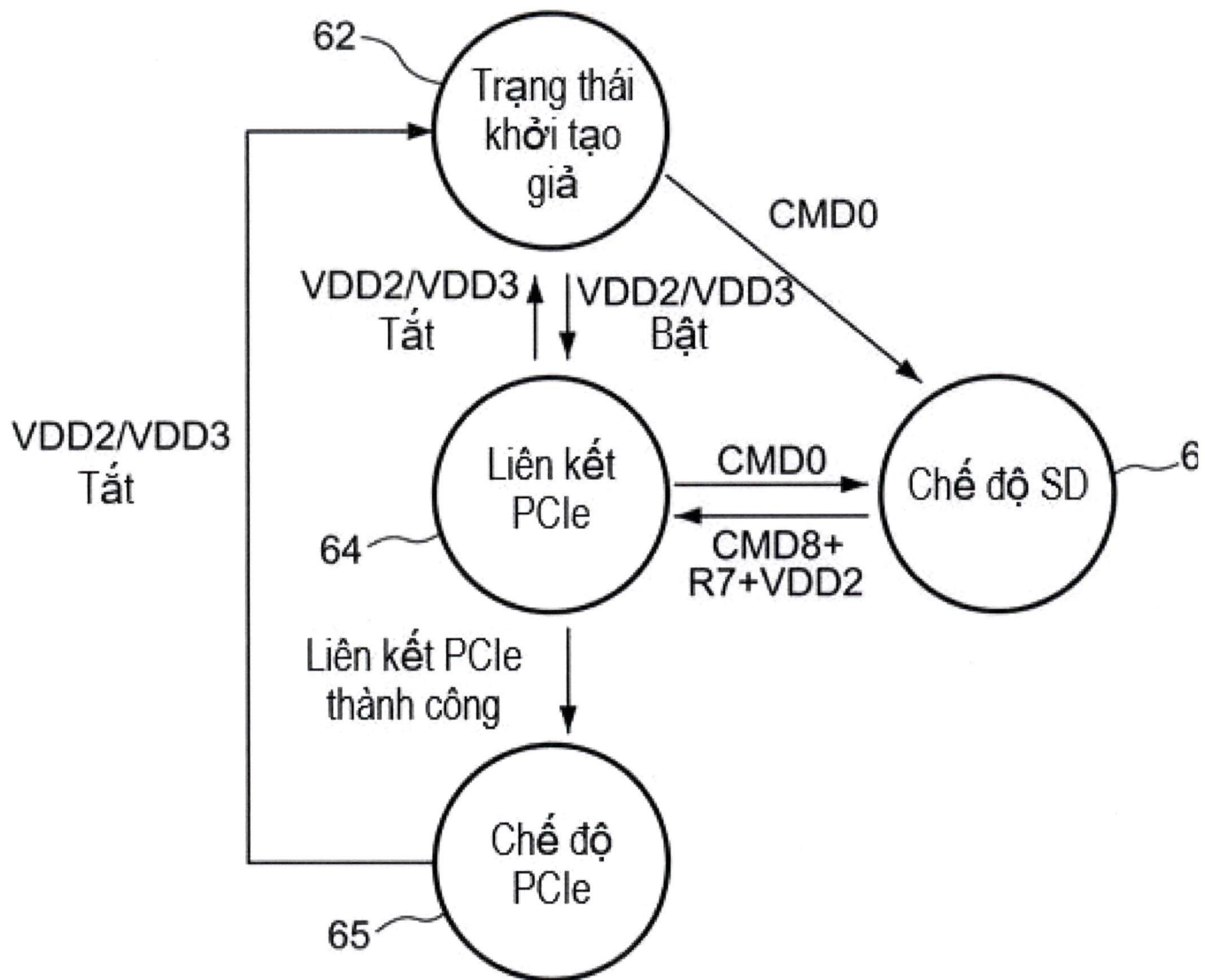


Fig.6

6/9

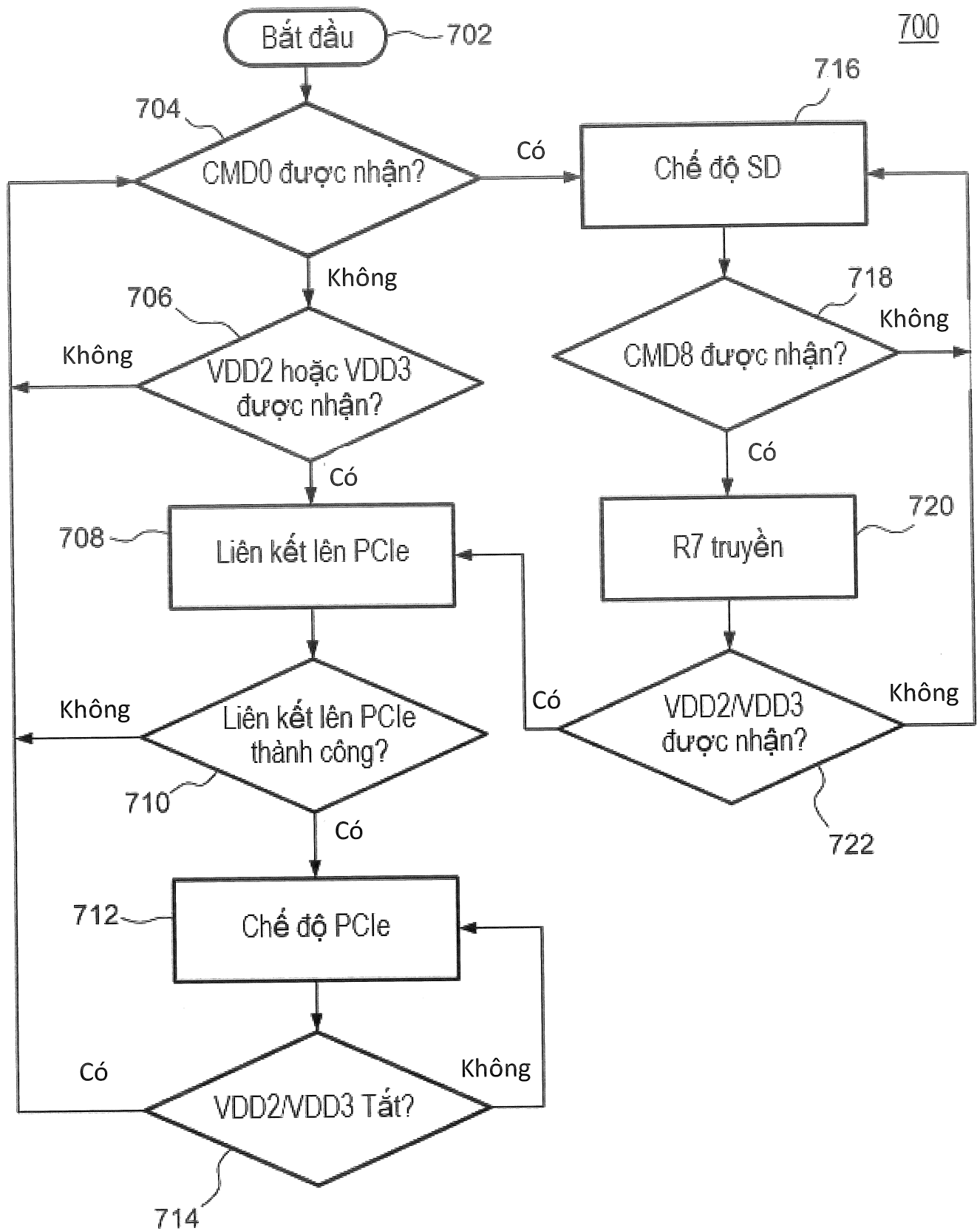


Fig.7

7/9

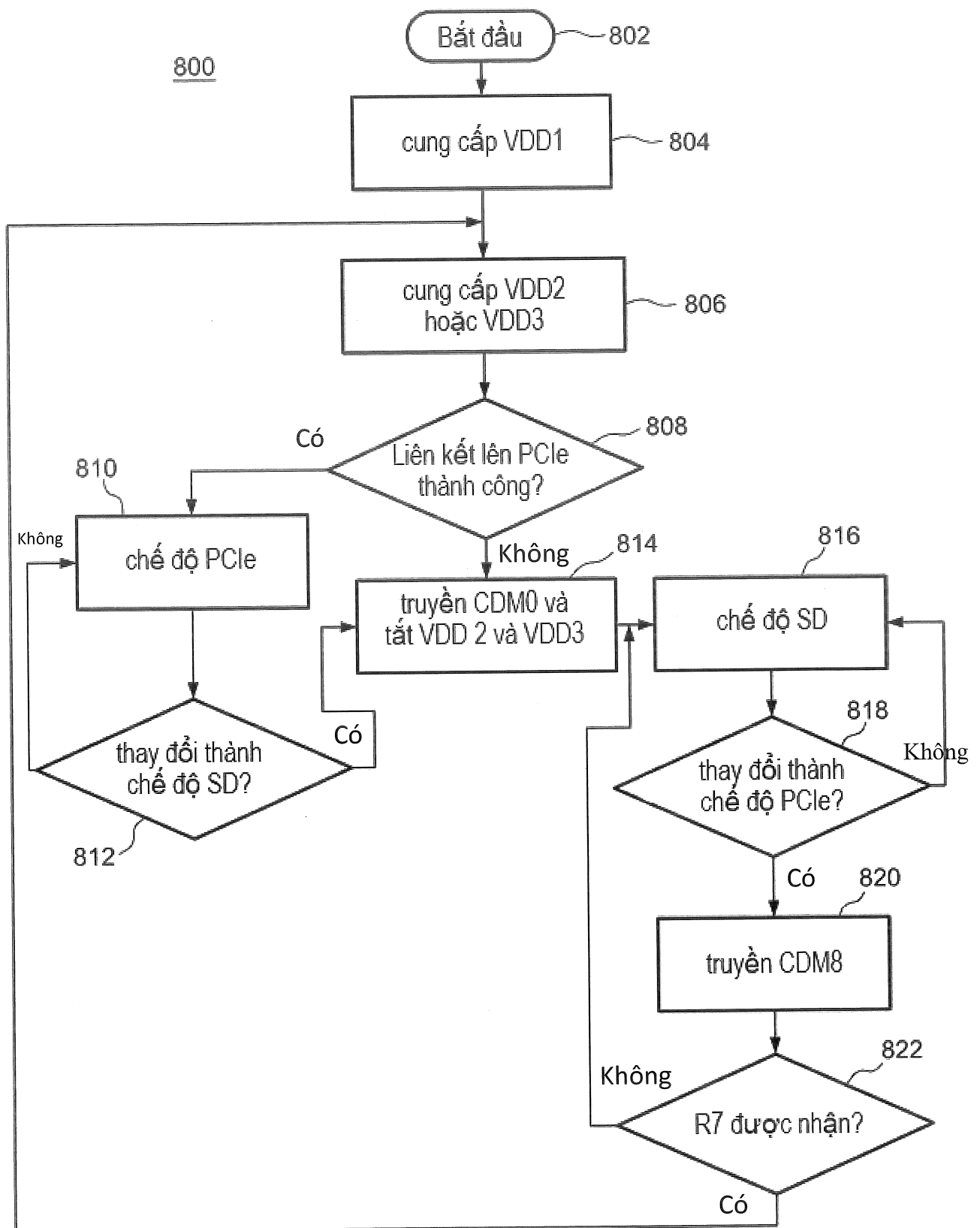


Fig.8

8/9

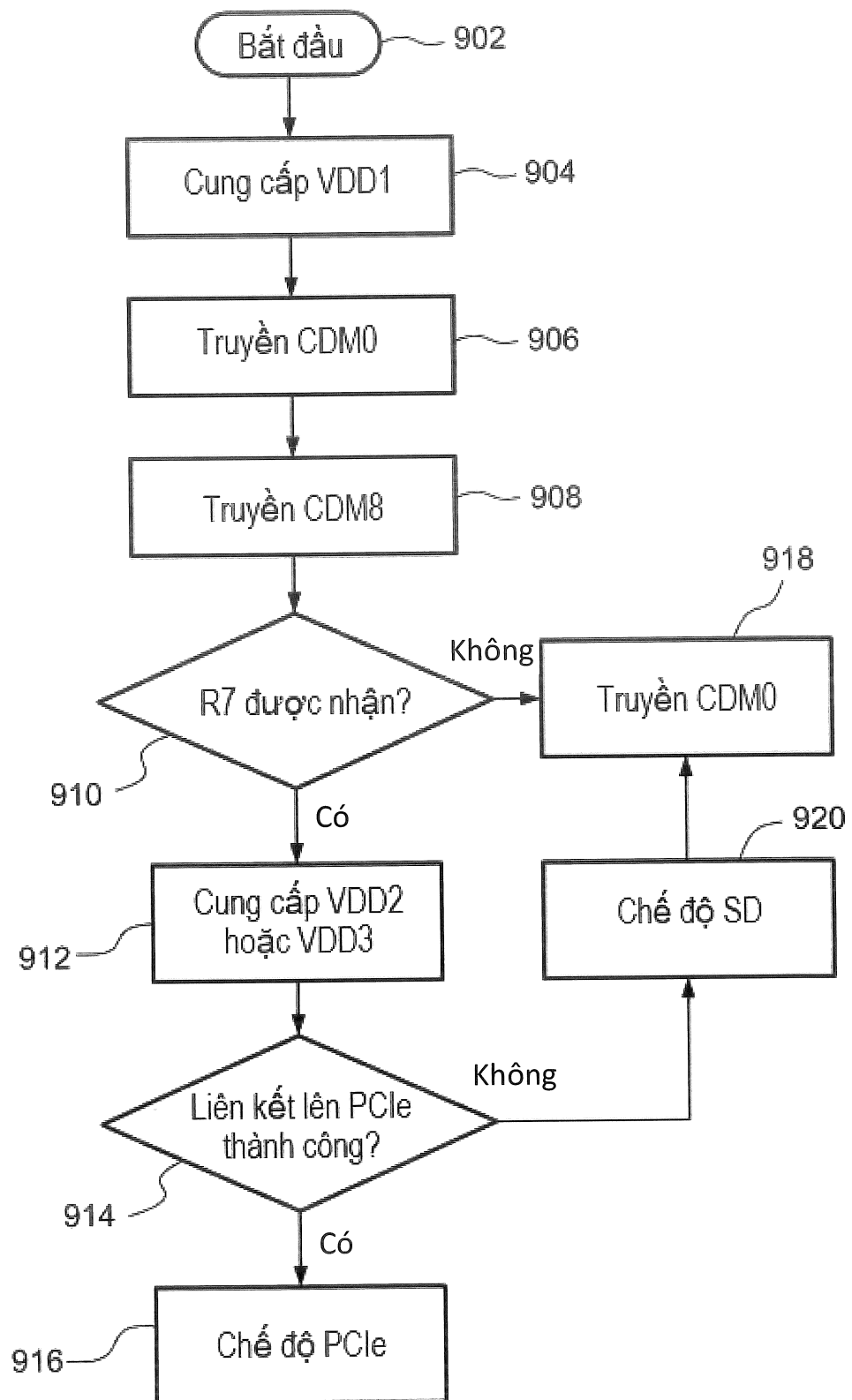
900

Fig.9

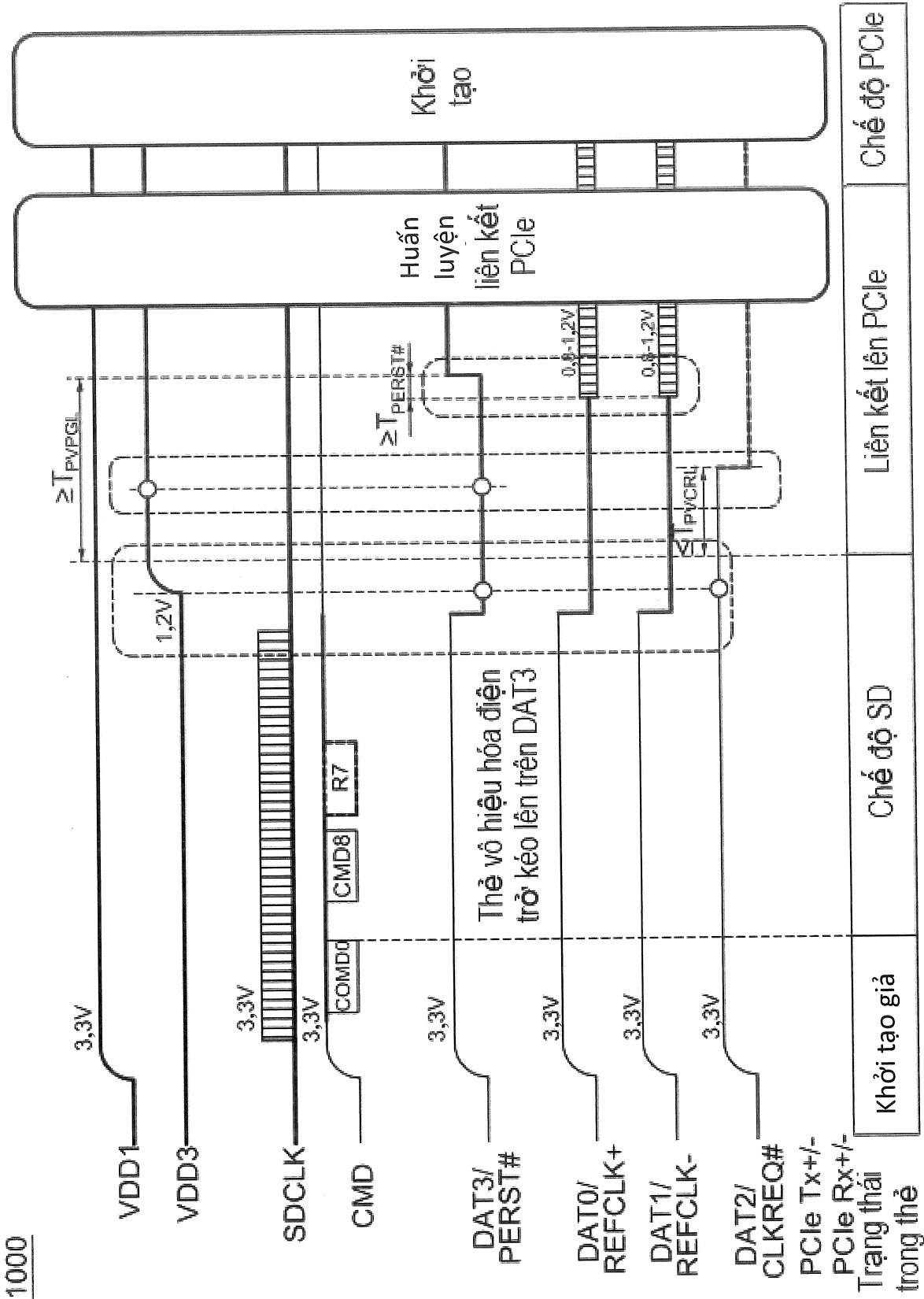


Fig.10