



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0053329

(51)^{2020.01} G09G 3/3208; G11C 19/28

(13) B

(21) 1-2020-06346

(22) 02/07/2019

(86) PCT/CN2019/094395 02/07/2019

(87) WO2020/038125 27/02/2020

(30) 201810966800.7 23/08/2018 CN

(45) 25/11/2025 452

(43) 25/06/2021 399A

(73) 1. BOE TECHNOLOGY GROUP CO., LTD. (CN)

No. 10 Jiuxianqiao Rd., Chaoyang District Beijing 100015 China

2. HEFEI BOE JOINT TECHNOLOGY CO., LTD. (CN)

Block 15 Group-A Zone-E of Industrial Park in Hefei New Station, Xinzhan District,
Hefei, Anhui 230012, China

(72) FENG, Xuehuan (CN); LI, Yongqian (CN); ZHANG, Xing (CN).

(74) Công ty Luật TNHH Phạm và Liên danh (PHAM & ASSOCIATES)

(54) BỘ THANH GHI DỊCH, MẠCH ĐIỀU KHIỂN CỰC CỎNG, THIẾT BỊ HIỂN THỊ,
VÀ PHƯƠNG PHÁP ĐIỀU KHIỂN

(21) 1-2020-06346

(57) Sáng chế đề cập đến khối thanh ghi dịch (10) bao gồm khối phụ thứ nhất (100) bao gồm mạch vào thứ nhất (110) được ghép nối qua nút thứ nhất (Q1) với mạch ra thứ nhất (120). Mạch vào thứ nhất (110) được tạo cấu hình để điều khiển mức điện áp của nút thứ nhất (Q1) đáp ứng tín hiệu vào thứ nhất (STU1) và mạch ra thứ nhất (120) được tạo cấu hình để xuất tín hiệu thanh ghi dịch (CR) và tín hiệu ra thứ nhất (OUT1) đáp ứng mức điện áp của nút thứ nhất (Q1). Ngoài ra, khối thanh ghi dịch (10) bao gồm khối phụ thứ hai (200) bao gồm mạch vào thứ hai (210) được ghép nối qua nút thứ hai (Q2) với mạch ra thứ hai (220). Mạch vào thứ hai (210) được tạo cấu hình để điều khiển mức điện áp của nút thứ hai (Q2) đáp ứng tín hiệu vào thứ nhất (STU1) và mạch ra thứ hai (220) được tạo cấu hình để xuất tín hiệu ra thứ hai (OUT2) đáp ứng mức điện áp của nút thứ hai (Q2).

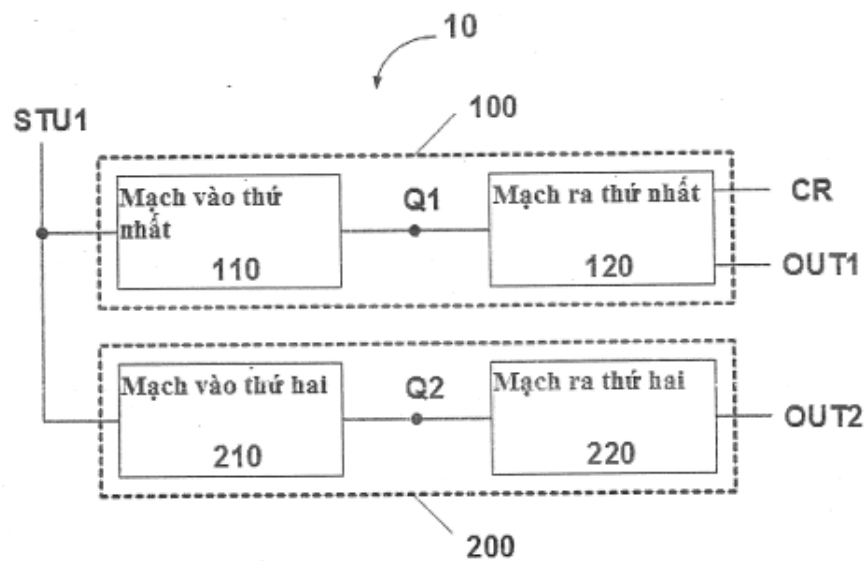


Fig.1

Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập đến công nghệ hiển thị, cụ thể hơn, đến khối thanh ghi dịch, mạch điều khiển cực cổng, thiết bị hiển thị, và phương pháp điều khiển.

Tình trạng kỹ thuật của sáng chế

Trong tấm hiển thị, nhất là đối với tấm dựa trên điốt phát quang hữu cơ (Organic Light-Emitting Diode, OLED), mạch điều khiển thường được tích hợp trong mạch tích hợp cổng (Gate Integrated Circuit, Gate IC). Khi thiết kế chip của Gate IC, chi phí của chip chủ yếu phụ thuộc vào diện tích của chip. Mạch điều khiển cực cổng OLED hiện tại bao gồm ba mạch phụ, tức là, mạch bộ cảm biến, mạch bộ quét, và mạch nối hoặc mạch cổng để xuất các tín hiệu từ cả mạch bộ cảm biến lẫn mạch bộ quét, biến Gate IC thành kết cấu mạch rất phức tạp và khó thỏa mãn yêu cầu ngày càng chặt chẽ để sản xuất tấm hiển thị OLED độ phân giải cao có khung hẹp rộng hơn. Do vậy, mong muốn thiết kế hệ mạch được cải tiến cho khối thanh ghi dịch để tạo mạch điều khiển cực cổng của tấm hiển thị.

Bản chất kỹ thuật của sáng chế

Theo một khía cạnh, sáng chế đề cập đến khối thanh ghi dịch. Khối thanh ghi dịch bao gồm khối phụ thứ nhất bao gồm mạch vào thứ nhất được ghép nối qua nút thứ nhất với mạch ra thứ nhất. Mạch vào thứ nhất được tạo cấu hình để điều khiển mức điện áp của nút thứ nhất đáp ứng tín hiệu vào thứ nhất và mạch ra thứ nhất được tạo cấu hình để xuất tín hiệu thanh ghi dịch và tín hiệu ra thứ nhất đáp ứng mức điện áp của nút thứ nhất. Mạch thanh ghi dịch còn bao gồm khối phụ thứ hai bao gồm mạch vào thứ hai được ghép nối qua nút thứ hai đến mạch ra thứ hai. Mạch vào thứ hai được tạo cấu hình để điều khiển mức điện áp của nút thứ hai đáp ứng tín hiệu vào thứ nhất và mạch ra thứ hai được tạo cấu hình để xuất tín hiệu ra thứ hai đáp ứng mức điện áp của nút thứ hai.

Một cách tùy chọn, khối thanh ghi dịch còn bao gồm khối phụ đầu vào trống được ghép nối với nút thứ nhất và nút thứ hai và được tạo cấu hình để nhận tín hiệu điều khiển lựa chọn để điều khiển các mức điện áp tương ứng của nút thứ nhất và nút thứ hai.

Một cách tùy chọn, khối phụ đầu vào trống bao gồm mạch chung đầu vào, mạch truyền thứ nhất, và mạch truyền thứ hai. Mạch chung đầu vào được tạo cấu hình để điều khiển mức điện áp của nút thứ ba đáp ứng tín hiệu điều khiển lựa chọn và để điều khiển mức điện áp của nút thứ tư. Mạch truyền thứ nhất được ghép nối với nút thứ nhất và nút thứ tư, và được tạo cấu hình để điều khiển mức điện áp của nút thứ nhất đáp ứng mức điện áp của nút thứ tư hoặc tín hiệu truyền thứ nhất. Mạch truyền thứ hai được ghép nối với nút thứ hai và nút thứ tư, và được tạo cấu hình để điều khiển mức điện áp của nút thứ hai đáp ứng mức điện áp của nút thứ tư hoặc tín hiệu truyền thứ hai.

Một cách tùy chọn, mạch chung đầu vào còn bao gồm mạch điều khiển lựa chọn và mạch vào thứ ba. Mạch điều khiển lựa chọn được tạo cấu hình để sử dụng tín hiệu vào thứ hai để điều khiển mức điện áp của nút thứ ba đáp ứng tín hiệu điều khiển lựa chọn, và để duy trì mức điện áp của nút thứ ba. Mạch vào thứ ba được tạo cấu hình để điều khiển mức điện áp của nút thứ tư đáp ứng mức điện áp của nút thứ ba.

Một cách tùy chọn, mạch điều khiển lựa chọn bao gồm tranzito thứ nhất và tụ điện thứ nhất. Tranzito thứ nhất có cực cổng được tạo cấu hình để nhận tín hiệu điều khiển lựa chọn, cực thứ nhất được tạo cấu hình để nhận tín hiệu vào thứ hai, và cực thứ hai được ghép nối với nút thứ ba. Tụ điện thứ nhất có cực thứ nhất được ghép nối với nút thứ ba.

Một cách tùy chọn, mạch vào thứ ba bao gồm tranzito thứ hai có cổng được ghép nối với nút thứ ba, cực thứ nhất được tạo cấu hình để nhận tín hiệu đồng hồ thứ nhất, và cực thứ hai được ghép nối với nút thứ tư.

Một cách tùy chọn, mạch truyền thứ nhất bao gồm tranzito thứ ba và mạch truyền thứ hai bao gồm tranzito thứ tư. Tranzito thứ ba có cực cổng được ghép nối với nút thứ tư, và cực thứ nhất được tạo cấu hình để nhận điện áp thứ nhất, và cực thứ hai được ghép nối với nút thứ nhất. Tranzito thứ tư có cực cổng được

ghép nối với nút thứ tư, cực thứ nhất được tạo cấu hình để nhận điện áp thứ nhất, và cực thứ hai được ghép nối với nút thứ hai.

Một cách tùy chọn, mạch vào thứ nhất bao gồm tranzito thứ năm và mạch ra thứ nhất bao gồm tranzito thứ sáu, tranzito thứ bảy, và tụ điện thứ hai. Tranzito thứ năm có cực cổng được tạo cấu hình để nhận tín hiệu vào thứ nhất, cực thứ nhất được tạo cấu hình để nhận điện áp thứ nhất, và cực thứ hai được ghép nối với nút thứ nhất. Tranzito thứ sáu có cực cổng được ghép nối với nút thứ nhất, cực thứ nhất được tạo cấu hình để nhận tín hiệu đồng hồ thứ hai dưới dạng tín hiệu thanh ghi dịch, và cực thứ hai được tạo cấu hình để xuất tín hiệu thanh ghi dịch. Tranzito thứ bảy có cực cổng được ghép nối với nút thứ nhất, cực thứ nhất được tạo cấu hình để nhận tín hiệu đồng hồ thứ ba dưới dạng tín hiệu ra thứ nhất, và cực thứ hai được tạo cấu hình để xuất tín hiệu ra thứ nhất. Tụ điện thứ hai có cực thứ nhất được ghép nối với nút thứ nhất và cực thứ hai được ghép nối với cực thứ hai của tranzito thứ bảy.

Một cách tùy chọn, mạch vào thứ hai bao gồm tranzito thứ tám và mạch ra thứ hai bao gồm tranzito thứ chín và tụ điện thứ ba. Tranzito thứ tám có cực cổng được tạo cấu hình để nhận tín hiệu vào thứ nhất, cực thứ nhất được tạo cấu hình để nhận điện áp thứ nhất, và cực thứ hai được ghép nối với nút thứ hai. Tranzito thứ chín có cực cổng được ghép nối với nút thứ hai, cực thứ nhất được tạo cấu hình để nhận tín hiệu đồng hồ thứ tư làm tín hiệu ra thứ hai, và cực thứ hai được tạo cấu hình để xuất tín hiệu ra thứ hai. Tụ điện thứ ba có cực thứ nhất được ghép nối với nút thứ hai và cực thứ hai được ghép nối với cực thứ hai của tranzito thứ chín.

Một cách tùy chọn, khối phụ thứ nhất còn bao gồm mạch điều khiển thứ nhất, mạch thiết lập lại thứ nhất, mạch thiết lập lại thứ hai, cực ra thanh ghi dịch, và cực ra thứ nhất. Mạch điều khiển thứ nhất được tạo cấu hình để điều khiển mức điện áp của nút thứ năm đáp ứng mức điện áp ở nút thứ nhất và điện áp thứ hai. Mạch thiết lập lại thứ nhất được tạo cấu hình để thiết lập lại các mức điện áp ở nút thứ nhất, cực ra thanh ghi dịch, và cực ra thứ nhất đáp ứng mức điện áp ở nút thứ năm. Mạch thiết lập lại thứ hai được tạo cấu hình để thiết lập lại các mức

điện áp ở nút thứ nhất, cực ra thanh ghi dịch, và cực ra thứ nhất đáp ứng mức điện áp ở nút thứ sáu.

Một cách tùy chọn, khối phụ thứ hai còn bao gồm mạch điều khiển thứ hai, mạch thiết lập lại thứ ba, mạch thiết lập lại thứ tư, và cực ra thứ hai. Cực ra thứ hai được tạo cấu hình để xuất tín hiệu ra thứ hai. Mạch điều khiển thứ hai được tạo cấu hình để điều khiển mức điện áp của nút thứ sáu đáp ứng mức điện áp ở nút thứ hai và điện áp thứ ba. Mạch thiết lập lại thứ ba được tạo cấu hình để thiết lập lại các mức điện áp ở nút thứ hai và cực ra thứ hai đáp ứng mức điện áp của nút thứ sáu. Mạch thiết lập lại thứ tư được tạo cấu hình để thiết lập lại các mức điện áp ở nút thứ hai và cực ra thứ hai đáp ứng mức điện áp của nút thứ năm.

Một cách tùy chọn, khối phụ đầu vào trống còn bao gồm mạch thiết lập lại chung được ghép nối với nút thứ tư, nút thứ năm, và nút thứ sáu, và được tạo cấu hình để thiết lập lại mức điện áp của nút thứ tư đáp ứng mức điện áp ở nút thứ năm hoặc nút thứ sáu.

Một cách tùy chọn, mạch thiết lập lại chung bao gồm tranzito thứ mười và tranzito thứ mười một. Tranzito thứ mười có cực cổng được ghép nối với nút thứ năm, cực thứ nhất được ghép nối với nút thứ tư, và cực thứ hai được tạo cấu hình để nhận điện áp thứ tư. Tranzito thứ mười một có cực cổng được ghép nối với nút thứ sáu, cực thứ nhất được ghép nối với nút thứ tư, và cực thứ hai được tạo cấu hình để nhận điện áp thứ tư.

Một cách tùy chọn, mạch điều khiển thứ nhất bao gồm tranzito thứ mười hai và tranzito thứ mười ba. Mạch thiết lập lại thứ nhất bao gồm tranzito thứ mười bốn, tranzito thứ mười năm, và tranzito thứ mười sáu. Mạch thiết lập lại thứ hai bao gồm tranzito thứ mười bảy, tranzito thứ mười tám, và tranzito thứ mười chín. Tranzito thứ mười hai có cực cổng và cực thứ nhất thường được tạo cấu hình để nhận điện áp thứ hai, và cực thứ hai được ghép nối với nút thứ năm. Tranzito thứ mười ba có cực cổng được ghép nối với nút thứ nhất, cực thứ nhất được ghép nối với nút thứ năm, và cực thứ hai được tạo cấu hình để nhận điện áp thứ tư. Tranzito thứ mười bốn có cực cổng được ghép nối với nút thứ năm, cực thứ nhất được ghép nối với nút thứ nhất, và cực thứ hai được tạo cấu hình để nhận điện áp thứ tư. Tranzito thứ mười năm có cực cổng được ghép nối với nút thứ năm, cực thứ

nhất được ghép nối với cực ra thanh ghi dịch, và cực thứ hai được tạo cấu hình để nhận điện áp thứ tư. Tranzito thứ mười sáu có cực cổng được ghép nối với nút thứ năm, cực thứ nhất được ghép nối với cực ra thứ nhất, và cực thứ hai được tạo cấu hình để nhận điện áp thứ năm. Tranzito thứ mười bảy có cực cổng được ghép nối với nút thứ sáu, cực thứ nhất được ghép nối với nút thứ nhất, và cực thứ hai được tạo cấu hình để nhận điện áp thứ tư. Tranzito thứ mười tám có cực cổng được ghép nối với nút thứ sáu, cực thứ nhất được ghép nối với cực ra thanh ghi dịch, và cực thứ hai được tạo cấu hình để nhận điện áp thứ tư. Tranzito thứ mười chín có cực cổng được ghép nối với nút thứ sáu, cực thứ nhất được ghép nối với cực ra thứ nhất, và cực thứ hai được tạo cấu hình để nhận điện áp thứ năm.

Một cách tùy chọn, mạch điều khiển thứ hai bao gồm tranzito thứ hai mươi và tranzito thứ hai mươi một. Mạch thiết lập lại thứ ba bao gồm tranzito thứ hai mươi hai và tranzito thứ hai mươi ba; và mạch thiết lập lại thứ tư bao gồm tranzito thứ hai mươi tư và tranzito thứ hai mươi năm. Tranzito thứ hai mươi có cực cổng và cực thứ nhất thường được tạo cấu hình để nhận điện áp thứ ba, và cực thứ hai được ghép nối với nút thứ sáu. Tranzito thứ hai mươi một có cực cổng được ghép nối với nút thứ hai, cực thứ nhất được ghép nối với nút thứ sáu, và cực thứ hai được tạo cấu hình để nhận điện áp thứ tư. Tranzito thứ hai mươi hai có cực cổng được ghép nối với nút thứ sáu, cực thứ nhất được ghép nối với nút thứ hai, và cực thứ hai được tạo cấu hình để nhận điện áp thứ tư. Tranzito thứ hai mươi ba có cực cổng được ghép nối với nút thứ sáu, cực thứ nhất được ghép nối với cực ra thứ hai, và cực thứ hai được tạo cấu hình để nhận điện áp thứ năm. Tranzito thứ hai mươi tư có cực cổng được ghép nối với nút thứ năm, cực thứ nhất được ghép nối với nút thứ hai, và cực thứ hai được tạo cấu hình để nhận điện áp thứ tư. Tranzito thứ hai mươi năm có cực cổng được ghép nối với nút thứ năm, cực thứ nhất được ghép nối với tín hiệu ra thứ hai, và cực thứ hai được tạo cấu hình để nhận điện áp thứ năm.

Một cách tùy chọn, khối phụ thứ nhất còn bao gồm cực ra thứ ba được tạo cấu hình để xuất tín hiệu ra thứ ba. Khối phụ thứ hai còn bao gồm cực ra thứ tư được tạo cấu hình để xuất tín hiệu ra thứ tư. Mạch thiết lập lại thứ nhất và mạch thiết lập lại thứ hai được tạo cấu hình để thiết lập lại mức điện áp ở cực ra thứ

ba. Mạch thiết lập lại thứ ba và mạch thiết lập lại thứ tư được tạo cấu hình để thiết lập lại mức điện áp ở cực ra thứ tư.

Một cách tùy chọn, khối phụ thứ nhất còn bao gồm mạch điều khiển thứ ba và mạch điều khiển thứ tư. Mạch điều khiển thứ ba được tạo cấu hình để điều khiển mức điện áp của nút thứ năm đáp ứng tín hiệu đồng hồ thứ nhất và mạch điều khiển thứ tư được tạo cấu hình để điều khiển mức điện áp của nút thứ năm đáp ứng tín hiệu vào thứ nhất. Khối phụ thứ hai còn bao gồm mạch điều khiển thứ năm và mạch điều khiển thứ sáu. Mạch điều khiển thứ năm được tạo cấu hình để điều khiển mức điện áp của nút thứ sáu đáp ứng tín hiệu đồng hồ thứ nhất và mạch điều khiển thứ sáu được tạo cấu hình để điều khiển mức điện áp của nút thứ sáu đáp ứng tín hiệu vào thứ nhất.

Một cách tùy chọn, khối phụ thứ nhất còn bao gồm mạch thiết lập lại thứ năm và mạch thiết lập lại thứ sáu. Mạch thiết lập lại thứ năm được tạo cấu hình để thiết lập lại mức điện áp ở nút thứ nhất đáp ứng tín hiệu thiết lập lại hiển thị và mạch thiết lập lại thứ sáu được tạo cấu hình để thiết lập lại mức điện áp ở nút thứ nhất đáp ứng tín hiệu thiết lập lại toàn phần. Khối phụ thứ hai còn bao gồm mạch thiết lập lại thứ bảy và mạch thiết lập lại thứ tám. Mạch thiết lập lại thứ bảy được tạo cấu hình để thiết lập lại mức điện áp ở nút thứ hai đáp ứng tín hiệu thiết lập lại hiển thị và mạch thiết lập lại thứ tám được tạo cấu hình để thiết lập lại mức điện áp ở nút thứ hai đáp ứng tín hiệu thiết lập lại toàn phần.

Một cách tùy chọn, khối thanh ghi dịch còn bao gồm mạch chống rò chung, mạch chống rò thứ nhất, và mạch chống rò thứ hai. Mạch chống rò chung được kết nối với nút thứ nhất và nút thứ bảy, và được tạo cấu hình để điều khiển mức điện áp ở nút thứ bảy đáp ứng mức điện áp ở nút thứ nhất. Mạch chống rò thứ nhất được kết nối với nút thứ bảy, mạch thiết lập lại thứ nhất, mạch thiết lập lại thứ hai, mạch thiết lập lại thứ năm, và mạch thiết lập lại thứ sáu, và được tạo cấu hình để ngăn không cho nút thứ nhất rò đáp ứng mức điện áp của ở nút thứ bảy. Mạch chống rò thứ hai được kết nối với nút thứ bảy, mạch thiết lập lại thứ ba, mạch thiết lập lại thứ tư, mạch thiết lập lại thứ bảy, và mạch thiết lập lại thứ tám, và được tạo cấu hình để ngăn không cho nút thứ hai rò đáp ứng mức điện áp ở nút thứ bảy.

Theo khía cạnh khác, sáng chế đề cập đến mạch điều khiển cực cổng bao gồm nhiều khối thanh ghi dịch được ghép tầng nối tiếp. Mỗi bộ trong nhiều khối thanh ghi dịch là khối thanh ghi dịch được mô tả ở đây bao gồm cặp khối phụ thứ nhất ở tầng lẻ và khối phụ thứ hai ở tầng chẵn tiếp theo lần lượt được điều khiển bởi các mức điện áp của nút thứ nhất và nút thứ hai. Các mức điện áp của nút thứ nhất và nút thứ hai lần lượt được điều khiển bởi mạch truyền thứ nhất và mạch truyền thứ hai được ghép nối chung từ mạch chung đầu vào. Khối phụ thứ nhất của khối thanh ghi dịch xuất ra tín hiệu thanh ghi dịch dưới dạng tín hiệu vào thứ nhất để điều khiển cả khối phụ thứ nhất lẫn khối phụ thứ hai trong khối thanh ghi dịch tiếp theo hoặc dưới dạng tín hiệu thiết lập lại hiển thị để điều khiển cả khối phụ thứ nhất lẫn khối phụ thứ hai trong một khối trước khối thanh ghi dịch đứng trước.

[0001] Theo khía cạnh khác nữa, sáng chế đề cập đến thiết bị hiển thị bao gồm mạch điều khiển cực cổng được mô tả ở đây và nhiều đơn vị pixel con được bố trí trong mảng. Tín hiệu ra thứ nhất và tín hiệu ra thứ hai lần lượt được xuất ra từ mạch ra thứ nhất và mạch ra thứ hai của một khối thanh ghi dịch trong mạch điều khiển cực cổng được cấp lần lượt cho các đơn vị pixel con trong các hàng khác nhau của mảng.

Theo khía cạnh khác nữa, sáng chế đề cập đến phương pháp điều khiển khối thanh ghi dịch được mô tả ở đây. Phương pháp bao gồm bước nhập tín hiệu vào thứ nhất vào mạch vào thứ nhất của khối phụ thứ nhất của khối thanh ghi dịch và mạch vào thứ hai của khối phụ thứ hai của cùng khối thanh ghi dịch. Phương pháp còn bao gồm bước điều khiển khối phụ thứ nhất để điều khiển mức điện áp của nút thứ nhất của khối phụ thứ nhất dựa trên tín hiệu vào thứ nhất. Phương pháp cũng bao gồm bước ghép nối mạch ra thứ nhất với nút thứ nhất. Ngoài ra, phương pháp bao gồm điều khiển khối phụ thứ nhất để điều khiển mạch ra thứ nhất để xuất ra tín hiệu thanh ghi dịch và tín hiệu ra thứ nhất đáp ứng mức điện áp của nút thứ nhất và điều khiển khối phụ thứ hai để điều khiển mức điện áp của nút thứ hai của khối phụ thứ hai dựa trên tín hiệu vào thứ nhất. Ngoài ra, phương pháp bao gồm ghép nối mạch ra thứ hai với nút thứ hai. Ngoài ra, phương

pháp bao gồm bước điều khiển khối phụ thứ hai để điều khiển mạch ra thứ hai để xuất tín hiệu ra thứ hai đáp ứng mức điện áp của nút thứ hai.

Một cách tùy chọn, bước điều khiển khối phụ thứ nhất để điều khiển mức điện áp của nút thứ nhất bao gồm sử dụng mạch vào trống có mạch vào chung để nhận tín hiệu vào thứ hai và tín hiệu đồng hồ thứ nhất để xác định mức điện áp của nút thứ ba và nút thứ tư và mạch truyền thứ nhất để điều khiển mức điện áp của nút thứ nhất đáp ứng mức điện áp của nút thứ tư. Bước điều khiển khối phụ thứ hai để điều khiển mức điện áp của nút thứ hai bao gồm sử dụng mạch vào trống còn có mạch truyền thứ hai để điều khiển mức điện áp của nút thứ hai đáp ứng mức điện áp của nút thứ tư.

Một cách tùy chọn, bước điều khiển khối phụ thứ nhất để điều khiển mạch ra thứ nhất bao gồm việc sử dụng ít nhất mạch thiết lập lại thứ nhất và mạch thiết lập lại thứ hai để thiết lập lại các mức điện áp ở cực ra thanh ghi dịch và cực ra thứ nhất, và điều khiển tín hiệu đồng hồ thứ hai được xuất ra dưới dạng tín hiệu thanh ghi dịch và tín hiệu đồng hồ thứ ba được xuất ra dưới dạng tín hiệu ra thứ nhất đáp ứng điện áp của nút thứ nhất. Bước điều khiển khối phụ thứ hai để điều khiển mạch ra thứ hai bao gồm việc sử dụng ít nhất mạch thiết lập lại thứ ba để thiết lập lại mức điện áp ở cực ra thứ hai, và điều khiển tín hiệu đồng hồ thứ tư được xuất ra dưới dạng tín hiệu ra thứ hai đáp ứng mức điện áp của nút thứ hai.

Mô tả vắn tắt các hình vẽ

Các hình vẽ sau chỉ là các ví dụ để minh họa theo các phương án thực hiện được bộc lộ khác nhau và không nhằm giới hạn phạm vi của sáng chế.

Fig.1 là sơ đồ khối của khối thanh ghi dịch theo phương án thực hiện sáng chế;

Fig.2 là sơ đồ khối của khối thanh ghi dịch theo phương án thực hiện khác của sáng chế;

Fig.3 là sơ đồ khối của khối phụ đầu vào trống của khối thanh ghi dịch theo phương án thực hiện sáng chế;

Fig.4 là sơ đồ mạch của khối phụ đầu vào trống theo phương án thực hiện sáng chế;

Fig.5A đến Fig.5F là các sơ đồ mạch của các khối phụ đầu vào trống theo phương án thực hiện sáng chế;

Fig.6 là sơ đồ mạch của khối phụ đầu vào trống bao gồm kết cấu chống rò theo phương án thực hiện sáng chế;

Fig.7 là sơ đồ khối của khối thanh ghi dịch theo phương án thực hiện khác nữa của sáng chế;

Fig.8 là sơ đồ khối của khối thanh ghi dịch theo phương án thực hiện khác nữa của sáng chế;

Fig.9A và Fig.9B là các sơ đồ mạch của khối phụ thứ nhất và khối phụ thứ hai của khối thanh ghi dịch theo phương án thực hiện sáng chế;

Fig.10A đến Fig.10C là các sơ đồ mạch của ba loại mạch vào thứ nhất của khối thanh ghi dịch theo phương án thực hiện sáng chế;

Fig.11A và Fig.11B là các sơ đồ mạch của khối phụ thứ nhất và khối phụ thứ hai của khối thanh ghi dịch theo phương án thực hiện khác của sáng chế;

Fig.12A đến Fig.12C là các sơ đồ mạch của khối thanh ghi dịch có các kết cấu mạch chống rò theo một số phương án thực hiện sáng chế;

Fig.13A và Fig.13B là các sơ đồ mạch của khối phụ thứ nhất và khối phụ thứ hai của khối thanh ghi dịch theo phương án thực hiện khác nữa của sáng chế;

Fig.14 là sơ đồ của mạch điều khiển cực cổng theo phương án thực hiện sáng chế;

Fig.15 là sơ đồ định thời vận hành mạch điều khiển cực cổng trên Fig.14 theo phương án thực hiện sáng chế;

Fig.16 là sơ đồ định thời vận hành mạch điều khiển cực cổng trên Fig.14 theo phương án thực hiện khác của sáng chế;

Fig.17 là sơ đồ của mạch điều khiển cực cổng theo phương án thực hiện khác của sáng chế;

Fig.18 là sơ đồ định thời vận hành mạch điều khiển cực cổng trên Fig.17 theo phương án thực hiện sáng chế;

Fig.19 là sơ đồ của mạch điều khiển cực cổng theo phương án thực hiện khác của sáng chế;

Fig.20 là sơ đồ định thời vận hành mạch điều khiển cực cổng trên Fig.19 theo phương án thực hiện sáng chế;

Fig.21 là sơ đồ tín hiệu cho các tín hiệu điện áp được mô phỏng ở các nút mạch và cực ra của mạch điều khiển cực cổng theo phương án thực hiện sáng chế; và

Fig.22 là sơ đồ của thiết bị hiển thị theo phương án thực hiện sáng chế.

Mô tả chi tiết sáng chế

Sáng chế hiện sẽ được mô tả cụ thể hơn dựa vào các phương án thực hiện sau. Cần lưu ý rằng các phần mô tả sau của một số phương án thực hiện được nêu ở đây để minh họa và chỉ mô tả. Sẽ không bị vết cạn hoặc bị giới hạn ở dạng chính xác được bộc lộ.

Trong phần mô tả chi tiết sau, các chi tiết cụ thể được nêu để hiểu rõ hơn sáng chế. Tuy nhiên, người có hiểu biết trung bình trong lĩnh vực sẽ hiểu rằng sáng chế có thể được thực hiện mà không giới hạn cần thiết các chi tiết cụ thể này. Trong các thể hiện khác, các thiết bị có kết cấu đã biết, và các mạch được thể hiện ở dạng sơ đồ khối, thay vì chi tiết, để tránh gây khó hiểu sáng chế.

Người đọc sẽ tập trung vào các tài liệu được nộp đồng thời với sáng chế và công khai kiểm tra với sáng chế, và các nội dung của tài liệu được đưa vào làm viện dẫn. Tất cả các dấu hiệu được bộc lộ trong bản mô tả, (bao gồm các điểm yêu cầu bảo hộ, tóm tắt, và các hình vẽ đi kèm) có thể được thay bằng các dấu hiệu khác phục vụ cho mục đích tương tự, tương đương hoặc giống hệt, trừ khi có thông báo khác. Do vậy, trừ khi có thông báo khác, mỗi dấu hiệu được bộc lộ là chỉ một ví dụ của chuỗi tổng hợp các dấu hiệu tương đương hoặc giống hệt.

Ngoài ra, phần tử bất kỳ trong yêu cầu bảo hộ không nêu rõ “các phương tiện để” thực hiện chức năng cụ thể, hoặc “bước để” thực hiện chức năng cụ thể, sẽ không được hiểu là mệnh đề “phương tiện” hoặc “bước” như được nêu trong 35 U.S.C. Section 112, Paragraph 6. Cụ thể là, việc sử dụng “bước” hoặc “hoạt động” trong các điểm yêu cầu bảo hộ sẽ không nêu điều khoản của 35 U.S.C. 112, Paragraph 6.

Lưu ý rằng, các từ “thứ nhất,” “thứ hai,” và các cụm từ giống như được sử dụng theo sáng chế không ký hiệu thứ tự, số lượng, hoặc độ quan trọng bất kỳ, mà được sử dụng để phân biệt các thành phần khác nhau. Tương tự, các từ “bao gồm” hoặc “gồm” hoặc “một”, các từ “được ghép nối với” hoặc “được kết nối” và tương tự không bị giới hạn ở các kết nối vật lý hoặc cơ học, mà có thể bao gồm các kết nối điện, gián tiếp hoặc trực tiếp. “Trên”, “dưới”, “bên trái”, “bên phải”, v.v. chỉ được sử dụng để chỉ báo mối tương quan vị trí tương đối, và khi vị trí tuyệt đối của đối tượng cần được mô tả được thay đổi, mối tương quan vị trí tương đối cũng có thể thay đổi tương ứng.

Các từ “một” nói chung, các cụm từ “bao gồm” và “gồm” sẽ bao gồm chỉ các bước và các phần tử được nhận diện cụ thể, và các bước và các phần tử không tạo thành danh sách loại trừ, và phương pháp hoặc thiết bị cũng có thể bao gồm các bước hoặc các phần tử khác.

Khi bù trừ đơn vị pixel con trong tấm hiển thị OLED, bên cạnh việc thiết lập mạch bù pixel để bù nội bộ trong đơn vị pixel con, việc bù bên ngoài cũng có thể được thực hiện bằng cách thiết lập tranzito cảm ứng. Khi thực hiện bù bên ngoài, mạch điều khiển cực cổng bao gồm đơn vị thanh ghi dịch cần cấp các tín hiệu điều khiển riêng rẽ cho tranzito quét và tranzito cảm ứng cho các đơn vị pixel con trong tấm hiển thị. Chẳng hạn, trong chu kỳ hiển thị của một chu trình hiển thị một khung ảnh, tín hiệu điều khiển quét cho tranzito quét được cấp; trong khi trong chu kỳ trống của chu trình, tín hiệu điều khiển cảm ứng cho tranzito cảm ứng được cấp.

Ở phương pháp bù bên ngoài, các tín hiệu điều khiển cảm ứng được xuất ra bởi mạch điều khiển cực cổng được quét tuần tự theo dòng. Chẳng hạn, tín hiệu điều khiển cảm ứng được xuất ra hàng thứ nhất của các đơn vị pixel con trong tấm hiển thị trong suốt chu kỳ trống của chu trình hiển thị khung thứ nhất, và tín hiệu điều khiển cảm ứng khác được xuất ra hàng thứ hai của các đơn vị pixel con trong tấm hiển thị trong suốt chu kỳ trống của chu trình hiển thị khung thứ hai, và v.v.. Do vậy, việc xuất tín hiệu điều khiển cảm ứng ra một hàng tương ứng của các đơn vị pixel con trên khung dẫn đến việc hoàn thành bù tuần tự theo dòng của tấm hiển thị.

Do đó, sáng chế đề cập đến, không kể những cái khác, khối thanh ghi dịch được tạo cấu hình cần được ghép tầng nối tiếp để tạo thành mạch điều khiển cực cổng mà có thể xuất ra tín hiệu điều khiển quét trong suốt chu kỳ hiển thị của một chu trình hiển thị một khung và xuất ra tín hiệu điều khiển cảm ứng trong suốt chu kỳ trống của chu trình, thiết bị hiển thị, và phương pháp điều khiển gần như loại bỏ một hoặc nhiều vấn đề do các giới hạn và các nhược điểm của giải pháp kỹ thuật đã biết. Theo một khía cạnh, sáng chế đề cập đến khối thanh ghi dịch thích hợp được sử dụng trong thiết bị hiển thị có kích thước khung được rút gọn và các pixel trên từng inch (2,54 cm) (pixel per inch, PPI) được tăng lên của panel và cho phép bù ngẫu nhiên để tránh độ sáng không đồng đều trong khi hiển thị.

Để giải thích, định nghĩa về “một khung”, “trên khung” hoặc “khung cụ thể” bao gồm chu kỳ hiển thị và chu kỳ trống được thực hiện tuần tự. Chẳng hạn, mạch điều khiển cực cổng xuất ra tín hiệu điều khiển cực cổng trong suốt chu kỳ hiển thị, và tín hiệu điều khiển cực cổng có thể được sử dụng để điều khiển tám hiển thị bằng cách quét từ hàng thứ nhất đến hàng cuối cùng để hoàn thành hiển thị một khung. Trong chu kỳ trống, mạch điều khiển cực cổng xuất ra tín hiệu điều khiển cảm ứng, và tín hiệu điều khiển cảm ứng có thể được sử dụng để điều khiển các tranzito cảm ứng trong hàng của các đơn vị pixel con trong tám hiển thị để hoàn thành bù bên ngoài của hàng của các đơn vị pixel con.

Fig.1 là sơ đồ khối của khối thanh ghi dịch theo phương án thực hiện sáng chế. Dựa vào Fig.1, khối thanh ghi dịch 10 bao gồm khối phụ thứ nhất 100 và khối phụ thứ hai 200. Nhiều khối thanh ghi dịch 10 có thể được xếp tầng để tạo mạch điều khiển cực cổng theo một số phương án thực hiện sáng chế. Mạch điều khiển cực cổng có thể được áp dụng trong thiết bị hiển thị để cấp các tín hiệu quét để hiển thị một khung ảnh trong đó trong khi hiển thị.

Khối phụ thứ nhất 100 bao gồm mạch vào thứ nhất 110 và mạch ra thứ nhất 120 được ghép nối với nhau qua nút thứ nhất Q1. Mạch vào thứ nhất 110 được tạo cấu hình để điều khiển mức điện áp ở nút thứ nhất Q1 đáp ứng tín hiệu vào thứ nhất STU1 được nhận. Chẳng hạn, mạch vào thứ nhất 110 có thể nạp điện nút thứ nhất Q1. Một cách tùy chọn, mạch vào thứ nhất 110 được tạo cấu hình

để nhận tín hiệu vào thứ nhất STU1 và điện áp thứ nhất VDD. Một cách tùy chọn, mạch vào thứ nhất 110 chuyển sang trạng thái dẫn đáp ứng tín hiệu vào thứ nhất STU1 sao cho điện áp thứ nhất VDD được tận dụng để nạp điện nút thứ nhất Q1. Một cách tùy chọn, mức điện áp ở nút thứ nhất Q1 được nạp điện đến mức của điện áp thứ nhất VDD ít nhất trong 10% lỗi. Một cách tùy chọn, điện áp thứ nhất VDD được thiết lập bằng điện áp cao lấy từ nguồn điện.

Mạch ra thứ nhất 120 được tạo cấu hình để xuất tín hiệu thanh ghi dịch CR và tín hiệu ra thứ nhất OUT1 đáp ứng mức điện áp ở nút thứ nhất Q1. Chẳng hạn, mạch ra thứ nhất 120 có thể được tạo cấu hình để nhận tín hiệu đồng hồ thứ hai CLKB và tín hiệu đồng hồ thứ ba CLKC. Mạch ra thứ nhất 120 được chuyển sang trạng thái dẫn đáp ứng mức điện áp ở nút thứ nhất Q1 sao cho tín hiệu đồng hồ thứ hai CLKB có thể được xuất ra dưới dạng tín hiệu thanh ghi dịch CR và tín hiệu đồng hồ thứ ba CLKC có thể được xuất ra dưới dạng tín hiệu ra thứ nhất OUT1.

Một cách tùy chọn, trong chu kỳ hiển thị của một chu trình hiển thị một khung ảnh hoặc đơn giản là một khung, tín hiệu thanh ghi dịch CR được xuất ra từ mạch ra thứ nhất 120 có thể được cấp dưới dạng tín hiệu vào thứ nhất STU1 sang khối thanh ghi dịch khác (trong mạch điều khiển cực cổng) để hoàn thành quét dịch từng dòng trong khi hiển thị. Tín hiệu ra thứ nhất OUT1 được xuất ra từ mạch ra thứ nhất 120 có thể điều khiển một hàng của các đơn vị pixel con của tấm hiển thị để thực hiện quét hiển thị. Một cách tùy chọn, trong chu kỳ trống của một khung, tín hiệu ra thứ nhất OUT1 được xuất ra từ mạch ra thứ nhất 120 có thể được sử dụng để điều khiển các tranzito cảm ứng trong một hàng của các đơn vị pixel con của tấm hiển thị để hoàn thành bù bên ngoài đến một hàng của các đơn vị pixel con.

Một cách tùy chọn, trong suốt chu kỳ hiển thị của khung, tín hiệu thanh ghi dịch được xuất ra từ mạch ra thứ nhất 120 có thể có dạng sóng tương tự hoặc khác so với tín hiệu ra thứ nhất OUT1 được xuất ra từ cùng mạch ra thứ nhất 120.

Dựa vào Fig.1, khối phụ thứ hai 200 bao gồm mạch vào thứ hai 210 và mạch ra thứ hai 220 được ghép nối với nhau qua nút thứ hai Q2. Mạch vào thứ hai 210

được tạo cấu hình để điều khiển mức điện áp ở nút thứ hai Q2 đáp ứng tín hiệu vào thứ nhất STU1. Chẳng hạn, mạch vào thứ hai 210 sẽ nạp điện nút thứ hai Q2. Một cách tùy chọn, mạch vào thứ hai 210 có thể được tạo cấu hình để nhận tín hiệu vào thứ nhất STU1 và điện áp thứ nhất VDD và được bật bởi tín hiệu vào thứ nhất STU1 sao cho nó sử dụng điện áp thứ nhất VDD để nạp điện nút thứ hai Q2.

Một cách tùy chọn, mạch ra thứ hai 220 được tạo cấu hình để xuất tín hiệu ra thứ hai OUT2 đáp ứng mức điện áp ở nút thứ hai Q2. Chẳng hạn, mạch ra thứ hai 220 được tạo cấu hình để nhận tín hiệu đồng hồ thứ tư CLKD. Sau đó, mạch ra thứ hai 220 được bật bởi mức điện áp ở nút thứ hai Q2 sao cho nó có thể xuất ra tín hiệu đồng hồ thứ tư CLKD dưới dạng tín hiệu ra thứ hai OUT2.

Trong chu kỳ hiển thị của một khung, mạch ra thứ hai 220 xuất ra tín hiệu ra thứ hai OUT2 để điều khiển hàng của các đơn vị pixel con của tấm hiển thị để thực hiện quét hiển thị. Trong chu kỳ trống của một khung, mạch ra thứ hai 220 xuất ra tín hiệu ra thứ hai OUT2 để điều khiển các tranzito cảm ứng trong một hàng của các đơn vị pixel con của tấm hiển thị để hoàn thành bù bên ngoài cho một hàng của các đơn vị pixel con.

Khi nhiều khối thanh ghi dịch 10 này được ghép tầng nối tiếp để tạo thành mạch điều khiển cực cổng, một số khối thanh ghi dịch 10 có thể được kết nối với đường tín hiệu đồng hồ để nhận tín hiệu vào thứ nhất STU1 có đường tín hiệu đồng hồ. Một cách tùy chọn, một số khối thanh ghi dịch 10 có thể nhận tín hiệu thanh ghi dịch CR được xuất ra từ các tầng khác của các khối thanh ghi dịch 10 trong mạch điều khiển cực cổng giống như tín hiệu vào thứ nhất STU1.

Một cách tùy chọn, việc điều khiển mức của nút (chẳng hạn, nút thứ nhất Q1, nút thứ hai Q2, v.v.), bao gồm bước nạp điện nút để tăng mức điện áp của nút, hoặc xả điện nút xuống mức điện áp thấp hơn của nút. Một cách tùy chọn, tụ điện có thể được nối điện với nút, và nạp điện cho nút nghĩa là nạp điện cho tụ điện được nối điện với nút. Tương tự, xả điện cho nút nghĩa là xả điện cho tụ điện được nối điện với nút. Xả điện. Tụ điện có thể duy trì mức thấp hoặc cao của nút.

Khối thanh ghi dịch 10 theo sáng chế có thể thực hiện nạp điện cho nhiều khối phụ (chẳng hạn khối phụ thứ nhất 100 và khối phụ thứ hai 200) cùng lúc. Fig.1 chỉ thể hiện hai khối phụ trong khối thanh ghi dịch. Một cách tùy chọn, khối thanh ghi dịch có thể bao gồm ba, hoặc bốn, hoặc nhiều khối phụ hơn trong các kết cấu hệ mạch tương tự tùy thuộc vào bước thực trong các ứng dụng khác nhau. Chỉ một trong nhiều khối phụ (chẳng hạn, khối phụ thứ nhất 100) cần xuất ra tín hiệu thanh ghi dịch ở một thời điểm, trong khi các khối khác trong nhiều khối phụ (chẳng hạn, khối phụ thứ hai 200) không cần xuất ra tín hiệu thanh ghi dịch. Do vậy, số lượng đường tín hiệu đồng hồ và tranzito trong mạch điều khiển cực cổng có thể được tiết kiệm, giảm kích thước khung biên của thiết bị hiển thị mà sử dụng các khối thanh ghi dịch 10 nhờ đó tăng cường PPI của thiết bị hiển thị.

Fig.2 là sơ đồ khối của khối thanh ghi dịch theo phương án thực hiện khác của sáng chế. Dựa vào Fig.2, khối thanh ghi dịch 10A bao gồm khối phụ đầu vào trống 300 lần lượt được ghép nối với khối phụ thứ nhất 100 qua nút thứ nhất Q1 và được ghép nối với khối phụ thứ hai 200 qua nút thứ hai Q2 và được tạo cấu hình để nhận tín hiệu điều khiển lựa chọn OE. Khối phụ đầu vào trống 300 được tạo cấu hình để điều khiển các mức điện áp của nút thứ nhất Q1 và nút thứ hai Q2 đáp ứng tín hiệu điều khiển lựa chọn OE. Chẳng hạn, khối phụ đầu vào trống 300 được tạo cấu hình để nạp điện lần lượt nút thứ nhất Q1 và nút thứ hai Q2.

Một cách tùy chọn, trong chu kỳ hiển thị của một khung, khối phụ đầu vào trống 300 có thể nạp điện nút thứ nhất Q1 và cũng có thể nạp điện nút thứ hai Q2. Sau đó, mạch ra thứ nhất 120 có thể xuất ra tín hiệu ra thứ nhất OUT1 đáp ứng mức điện áp được nạp điện cho nút thứ nhất Q1, hoặc sau đó mạch ra thứ hai 220 có thể xuất ra tín hiệu ra thứ hai OUT2 đáp ứng mức điện áp được nạp điện cho nút thứ hai Q2. Tín hiệu ra thứ nhất OUT1 hoặc tín hiệu ra thứ hai OUT2 có thể được sử dụng để điều khiển các tranzito cảm ứng trong một hàng của các đơn vị pixel con của tấm hiển thị để hoàn thành bù bên ngoài cho một hàng của các đơn vị pixel con.

Fig.3 là sơ đồ khối của khối phụ đầu vào trống của khối thanh ghi dịch theo phương án thực hiện sáng chế. Theo phương án thực hiện, dựa vào Fig.3, khối

phụ đầu vào trống 300 bao gồm mạch chung đầu vào 310 được ghép nối với mạch truyền thứ nhất 320 và mạch truyền thứ hai 330 qua nút thứ tư N. Mạch chung đầu vào 310 còn bao gồm mạch điều khiển lựa chọn 311 được ghép nối qua nút thứ ba H với mạch vào thứ ba 312. Mạch chung đầu vào 310 được tạo cấu hình để điều khiển mức điện áp của nút thứ ba H đáp ứng tín hiệu điều khiển lựa chọn OE và còn để điều khiển mức điện áp của nút thứ tư N. Mạch điều khiển lựa chọn 311 được tạo cấu hình để sử dụng tín hiệu vào thứ hai STU2 để nạp điện nút thứ ba H đáp ứng tín hiệu điều khiển lựa chọn OE và để duy trì mức điện áp ở nút thứ ba H. Chẳng hạn trong chu kỳ hiển thị của khung, mạch điều khiển lựa chọn 311 được bật bởi tín hiệu điều khiển lựa chọn OE sao cho tín hiệu vào thứ hai STU2 có thể được sử dụng để nạp điện nút thứ ba H. Mức điện áp (chẳng hạn, mức điện áp cao) ở nút thứ ba H có thể được duy trì trong suốt chu kỳ hiển thị cho đến khi chu kỳ trống tiếp sau chu kỳ hiển thị của cùng khung.

Khi nhiều khối thanh ghi dịch 10A được xếp tầng nối tiếp ở nhiều tầng để tạo mạch điều khiển cực công, một tầng của khối thanh ghi dịch 10A có thể nhận tín hiệu thanh ghi dịch CR được xuất ra từ các tầng khác của các khối thanh ghi dịch 10A làm tín hiệu vào thứ hai STU2. Chẳng hạn, khi một tầng của khối thanh ghi dịch 10A được lựa chọn để xuất ra tín hiệu điều khiển trong chu kỳ trống của một khung, tốt hơn nếu cấp cả tín hiệu điều khiển lựa chọn OE lẫn tín hiệu vào thứ hai STU2 có cùng dạng sóng định thời cho tầng của khối thanh ghi dịch 10A sao cho mạch điều khiển lựa chọn 311 ở tầng của khối thanh ghi dịch 10A có thể được bật và để thực hiện hoạt động nạp điện nêu trên.

Ngoài ra, mạch vào thứ ba 312 được tạo cấu hình để điều khiển mức điện áp ở nút thứ tư N đáp ứng mức điện áp được nạp điện cho nút thứ ba H. Một cách tùy chọn, mạch vào thứ ba 312 được tạo cấu hình để nhận tín hiệu đồng hồ thứ nhất CLKA. Do mạch vào thứ ba 312 ở trạng thái dẫn được điều khiển bởi mức điện áp ở nút thứ ba H, tín hiệu đồng hồ thứ nhất CLKA có thể được truyền đến nút thứ tư N để điều khiển mức điện áp của nút thứ tư N. Chẳng hạn, trong chu kỳ trống của một khung, khi tín hiệu đồng hồ thứ nhất CLKA có mức điện áp cao, mạch vào thứ ba 312 có thể truyền mức điện áp cao đến nút thứ tư N để khiến nút thứ tư N sang mức điện áp cao.

Dựa vào Fig.3, mạch truyền thứ nhất 320 được kết nối với nút thứ nhất Q1 và nút thứ tư N và được tạo cấu hình để điều khiển mức điện áp ở nút thứ nhất Q1 đáp ứng mức điện áp của nút thứ tư N hoặc tín hiệu truyền thứ nhất TS1 (không được thể hiện trên hình vẽ) được nhận bởi mạch truyền thứ nhất 320. Theo một số phương án thực hiện, mạch truyền thứ nhất 320 có thể nhận điện áp thứ nhất VDD ở mức điện áp cao. Khi mạch truyền thứ nhất 320 được chuyển sang trạng thái dẫn bởi mức điện áp ở nút thứ tư N, mức điện áp cao của điện áp thứ nhất VDD có thể được sử dụng để nạp điện nút thứ nhất Q1. Một cách tùy chọn, mức điện áp ở nút thứ nhất Q1 được nạp điện cho mức điện áp thứ nhất VDD ít nhất trong 10% lỗi. Theo một số phương án thực hiện khác, mạch truyền thứ nhất 320 có thể được chuyển sang trạng thái dẫn bởi tín hiệu truyền thứ nhất TS1 (không được thể hiện trên hình vẽ) để thiết lập nối điện giữa nút thứ tư N và nút thứ nhất Q1 sao cho mạch vào thứ ba 312 có thể nạp điện nút thứ nhất Q1.

Ngoài ra, mạch truyền thứ hai 330 được kết nối với nút thứ hai Q2 và nút thứ tư N và được tạo cấu hình để điều khiển mức điện áp ở nút thứ hai Q2 đáp ứng mức điện áp ở nút thứ tư N hoặc tín hiệu truyền thứ hai TS2 (không được thể hiện trên hình vẽ) được nhận bởi mạch truyền thứ hai 330. Theo một số phương án thực hiện, mạch truyền thứ hai 330 có thể nhận mức điện áp cao điện áp thứ nhất VDD. Khi mạch truyền thứ hai 330 được chuyển sang trạng thái dẫn bởi mức điện áp ở nút thứ tư N, mức điện áp cao điện áp thứ nhất VDD có thể được sử dụng để nạp điện nút thứ hai Q2. Một cách tùy chọn, mức điện áp ở nút thứ hai Q2 được nạp điện cho mức điện áp thứ nhất VDD ít nhất trong 10% lỗi. Theo một số phương án thực hiện khác, mạch truyền thứ hai 330 cũng có thể được chuyển sang trạng thái dẫn bởi tín hiệu truyền thứ hai TS2 (không được thể hiện trên hình vẽ) để thiết lập nối điện giữa nút thứ tư N và nút thứ hai Q2 sao cho mạch vào thứ ba 312 có thể nạp điện nút thứ hai Q2.

Một cách tùy chọn, tín hiệu truyền thứ nhất TS1 và tín hiệu truyền thứ hai TS2 có thể là tín hiệu tương tự, chẳng hạn, tín hiệu đồng hồ thứ nhất CLKA hoặc điện áp thứ nhất VDD. Do vậy, số lượng đường tín hiệu đồng hồ có thể được giảm. Một cách tùy chọn, tín hiệu truyền thứ nhất TS1 và tín hiệu truyền thứ hai TS2 có thể có các tín hiệu khác nhau để lần lượt điều khiển mạch truyền thứ nhất

320 và mạch truyền thứ hai 330. Chẳng hạn, khi không cần nạp điện nút thứ hai Q2, mạch truyền thứ hai 330 có thể bị tắt để giảm tiêu thụ điện.

Một cách tùy chọn, khi khối thanh ghi dịch 10A bao gồm ba, hoặc bốn, hoặc nhiều khối phụ hơn, cần thiết lập ba, hoặc bốn, hoặc nhiều mạch truyền hơn để thực hiện chức năng của khối phụ đầu vào trống 300. Ba, hoặc bốn, hoặc nhiều khối phụ hơn trong khối thanh ghi dịch 10A có thể chia sẻ một khối phụ đầu vào trống 300 để giảm diện tích của khối thanh ghi dịch 10A để giảm kích thước khung biên của thiết bị hiển thị mà sử dụng khối thanh ghi dịch 10A và để tăng cường PPI của thiết bị hiển thị. Một cách tùy chọn, khối phụ đầu vào trống 300 được thiết lập trong khối thanh ghi dịch 10A là sẽ cho phép khối thanh ghi dịch xuất tín hiệu điều khiển trong suốt chu kỳ trống của một khung. “Trống” chỉ liên quan đến chu kỳ trống của khung. Khối phụ đầu vào trống 300 không bị giới hạn ở hoạt động chỉ trong chu kỳ trống.

Fig.4 là sơ đồ mạch của khối phụ đầu vào trống theo phương án thực hiện sáng chế. Fig.5A đến Fig.5F là sơ đồ mạch của khối phụ đầu vào trống theo phương án thực hiện sáng chế. Theo một số phương án thực hiện, mạch điều khiển lựa chọn 311 có thể được triển khai bằng cách bao gồm tranzito thứ nhất M1 và tụ điện thứ nhất C1. Tranzito thứ nhất M1 có cực cổng được tạo cấu hình để nhận tín hiệu điều khiển lựa chọn OE. Tranzito thứ nhất M1 có cực thứ nhất được tạo cấu hình để nhận tín hiệu vào thứ hai STU2. Tranzito thứ nhất M1 có cực thứ hai được ghép nối với nút thứ ba H. Chẳng hạn, khi tín hiệu điều khiển lựa chọn OE được cấp dưới dạng tín hiệu bật điện áp cao, tranzito thứ nhất M1 được bật sao cho tín hiệu vào thứ hai STU2 được sử dụng để nạp điện nút thứ ba H.

Tụ điện thứ nhất C1 có cực thứ nhất được ghép nối với nút thứ ba H và cực thứ hai được tạo cấu hình để nhận điện áp thứ tư VGL1 hoặc điện áp thứ nhất VDD. Bằng cách thiết lập tụ điện thứ nhất C1, mức điện áp ở nút thứ ba H có thể được duy trì. Chẳng hạn, trong chu kỳ hiển thị của khung, mạch điều khiển lựa chọn 311 có thể nạp điện nút thứ ba H để kéo lên mức điện áp của nút thứ ba H đến mức điện áp cao. Tụ điện thứ nhất C1 có thể duy trì mức điện áp cao ở nút thứ ba H cho đến chu kỳ trống của khung. Theo một số phương án thực hiện

khác, tụ điện thứ nhất C1 có cực thứ hai được ghép nối với nút thứ tư N. Một cách tùy chọn, điện áp thứ tư VGL1 là mức điện áp thấp hoặc tín hiệu tắt.

Dựa vào Fig.4, mạch vào thứ ba 312 được triển khai bằng cách bao gồm tranzito thứ hai M2. Tranzito thứ hai M2 có cực cổng được ghép nối với nút thứ ba H, cực thứ nhất được tạo cấu hình để nhận tín hiệu đồng hồ thứ nhất CLKA, và cực thứ hai được ghép nối với nút thứ tư N. Khi nút thứ ba H được gán bằng mức điện áp cao, tranzito thứ hai M2 được bật sao cho tín hiệu đồng hồ thứ nhất CLKA có thể được truyền đến nút thứ tư N để kéo mức điện áp lên đến mức điện áp cao.

Dựa vào Fig.4, mạch truyền thứ nhất 320 bao gồm tranzito thứ ba M3 và mạch truyền thứ hai 330 bao gồm tranzito thứ tư M4. Tranzito thứ ba M3 có cực cổng được ghép nối với nút thứ tư N, cực thứ nhất được tạo cấu hình để nhận điện áp thứ nhất VDD, và cực thứ hai được ghép nối với nút thứ nhất Q1. Chẳng hạn, khi nút thứ tư N được gán bằng mức điện áp cao, tranzito thứ ba M3 được bật sao cho điện áp thứ nhất VDD có thể được sử dụng để nạp điện nút thứ nhất Q1. Một cách tùy chọn, mức điện áp ở nút thứ nhất Q1 được nạp điện cho mức điện áp thứ nhất VDD ít nhất trong 10% lỗi. Tranzito thứ tư M4 có cực cổng được ghép nối với nút thứ tư N, cực thứ nhất được tạo cấu hình để nhận điện áp thứ nhất VDD, và cực thứ hai được ghép nối với nút thứ hai Q2. Chẳng hạn, khi nút thứ tư N được gán bằng mức điện áp cao, tranzito thứ tư M4 được bật sao cho điện áp thứ nhất VDD có thể được sử dụng để nạp điện nút thứ hai Q2.

Dựa vào Fig.5A, theo phương án thực hiện cụ thể, khối phụ đầu vào trống 300A bao gồm tranzito thứ hai M2 có cực thứ nhất được tạo cấu hình để nhận điện áp thứ nhất VDD, tranzito thứ ba M3 có cực cổng được tạo cấu hình để nhận tín hiệu truyền thứ nhất TS1, và tranzito thứ tư M4 có cực cổng được tạo cấu hình để nhận tín hiệu truyền thứ hai TS2. Tranzito thứ ba M3 cũng có cực thứ nhất được ghép nối với nút thứ tư N và tranzito thứ tư M4 cũng có cực thứ nhất được ghép nối với nút thứ tư N. Trong chu kỳ hiển thị của khung, khi cần nạp điện nút thứ nhất Q1, tùy chọn cấp điện áp cao cho tín hiệu truyền thứ nhất TS1 để khiến tranzito thứ ba M3 được bật. Do vậy, mức điện áp cao của điện áp thứ nhất VDD có thể đi qua tranzito thứ hai M2, nút thứ tư N, và tranzito thứ ba M3

để nạp điện nút thứ nhất Q1. Trong chu kỳ trống của khung, khi cần nạp điện nút thứ hai Q2, tùy chọn cấp điện áp cao cho tín hiệu truyền thứ hai TS2 để khiến tranzito thứ tư M4 ở trạng thái dẫn, sao cho mức điện áp cao của điện áp thứ nhất VDD có thể được truyền qua tranzito thứ hai M2, nút thứ tư N, và tranzito thứ tư M4 để nạp điện nút thứ hai Q2.

Dựa vào Fig.5B, theo phương án thực hiện cụ thể khác, khối phụ đầu vào trống 300B bao gồm tranzito thứ ba M3 và tranzito thứ tư M4. Tranzito thứ ba M3 cũng như tranzito thứ tư M4 được tạo cấu hình để có các cực cổng lần lượt nhận tín hiệu đồng hồ thứ nhất CLKA. Nói cách khác, $TS1 = TS2 = CLKA$. Chẳng hạn, trong chu kỳ trống của khung, khi tín hiệu đồng hồ thứ nhất CLKA có mức điện áp cao, tranzito thứ ba M3 và tranzito thứ tư M4 được bật cùng lúc, mức điện áp cao của điện áp thứ nhất VDD có thể nạp điện nút thứ nhất Q1 và nút thứ hai Q2 cùng lúc.

Dựa vào Fig.5C, theo phương án thực hiện cụ thể khác nữa, khối phụ đầu vào trống 300C bao gồm tranzito thứ hai M2 có cực thứ nhất được tạo cấu hình để nhận tín hiệu đồng hồ thứ nhất CLKA. Tranzito thứ ba M3 cũng như tranzito thứ tư M4 được tạo cấu hình để các cực cổng lần lượt được kết nối với cực thứ nhất của tranzito thứ hai M2 để nhận tín hiệu đồng hồ thứ nhất CLKA. Do vậy, cực thứ nhất của tranzito thứ hai M2 trên Fig.5C có thể được gán bằng mức điện áp cao với ít thời gian hơn so với tranzito thứ hai M2 trên Fig.5B có cực thứ nhất luôn được ghép nối với điện áp thứ nhất VDD ở mức điện áp cao. Do vậy, tranzito thứ hai M2 trên Fig.5C có thể có tuổi thọ dài hơn để đảm bảo độ ổn định của khối thanh ghi dịch.

Dựa vào Fig.5D, theo phương án thực hiện cụ thể khác nữa, khối phụ đầu vào trống 300D còn bao gồm tụ điện ghép nối thứ nhất CST1 bên cạnh mạch được thể hiện trên Fig.5C. Tụ điện ghép nối CST1 có cực thứ nhất được tạo cấu hình để nhận tín hiệu đồng hồ thứ nhất CLKA và cực thứ hai được ghép nối với nút thứ ba H. Khi tín hiệu đồng hồ thứ nhất CLKA được thay đổi từ mức điện áp thấp sang mức điện áp cao, tín hiệu đồng hồ thứ nhất CLKA có thể kéo lên mức điện áp ở nút thứ ba H qua hiệu quả ghép nối của tụ điện ghép nối thứ nhất CST1

để đẩy mức điện áp của nút thứ ba H thậm chí cao hơn, đảm bảo rằng tranzito thứ hai M2 được bật đầy đủ.

Dựa vào Fig.5E, theo phương án thực hiện cụ thể khác nữa, khối phụ đầu vào trống 300E còn bao gồm tụ điện ghép nối thứ hai CST2 bên cạnh mạch được thể hiện trên Fig.5D. Tụ điện ghép nối thứ hai CST2 có cực thứ nhất được ghép nối với nút thứ ba H và cực thứ hai được ghép nối với nút thứ tư N. Khi tín hiệu đồng hồ thứ nhất CLKA được thay đổi từ mức điện áp thấp sang mức điện áp cao, nếu tranzito thứ hai M2 được bật, mức điện áp cao của tín hiệu đồng hồ thứ nhất CLKA có thể được truyền qua tranzito thứ hai M2 đến nút thứ tư N. Mức điện áp tại cực thứ hai của tụ điện ghép nối thứ hai CST2 sẽ được kéo lên. Nhờ hiệu ứng tụ khởi động của tụ điện ghép nối, mức điện áp ở nút thứ ba H có thể được đẩy tiếp cao hơn để đảm bảo tranzito thứ hai M2 được bật đầy đủ.

Dựa vào Fig.5F, theo phương án thực hiện cụ thể khác, khối phụ đầu vào trống 300F còn bao gồm tranzito thứ bốn mươi hai M42 bên cạnh mạch được thể hiện trên Fig.5E. Tranzito thứ bốn mươi hai M42 có cực cổng được ghép nối với nút thứ ba H, cực thứ nhất được tạo cấu hình để nhận tín hiệu đồng hồ thứ nhất CLKA, và cực thứ hai được ghép nối với cực thứ nhất của tụ điện ghép nối thứ nhất CST1. Khi nút thứ ba H được gán bằng mức điện áp cao, tranzito thứ bốn mươi hai M42 được bật. Sau đó, tín hiệu đồng hồ thứ nhất CLKA có thể kéo lên nút thứ ba H qua hiệu ứng ghép nối của tụ điện ghép nối thứ nhất CST1 sao cho nút thứ ba H được đẩy lên mức điện áp thậm chí cao hơn, đảm bảo rằng tranzito thứ hai M2 được bật đầy đủ.

Fig.6 là sơ đồ mạch của khối phụ đầu vào trống bao gồm kết cấu chống rò theo phương án thực hiện sáng chế. Dựa vào Fig.6, theo phương án thực hiện khác, khối phụ đầu vào trống 300' còn bao gồm tranzito thứ bốn mươi ba M43 và các tranzito M1_b, M3_b, và M4_b bên cạnh mạch được thể hiện trên Fig.5E. Tranzito thứ bốn mươi ba M43 có cực cổng được ghép nối với nút thứ ba H, cực thứ nhất được tạo cấu hình để nhận điện áp thứ sáu VB, và cực thứ hai được ghép nối với cực thứ hai của tranzito thứ nhất M1. Tranzito M1_b có cực cổng được tạo cấu hình để nhận tín hiệu điều khiển lựa chọn OE, cực thứ nhất được ghép nối với cực thứ hai của tranzito thứ nhất M1, và cực thứ hai được ghép nối với

nút thứ ba H. Tranzito M3_b và tranzito M4_b có các cực cổng thường được tạo cấu hình để nhận tín hiệu đồng hồ thứ nhất CLKA. Tranzito M3_b và tranzito M4_b có các cực thứ nhất thường được ghép nối với nút thứ bảy OF. Tranzito M3_b cũng có cực thứ hai được ghép nối với nút thứ nhất Q1 và tranzito M4_b cũng có cực thứ hai được ghép nối với nút thứ hai Q2.

Tranzito thứ bốn mươi ba M43 và tranzito M1_b được kết hợp để cấp chức năng chống rò để ngăn rò hiện tại ở nút thứ ba H. Tranzito M3_b cũng có thể ngăn rò hiện tại ở nút thứ nhất Q1. Tranzito M4_b cũng có thể ngăn rò hiện tại ở nút thứ hai Q2. Một cách tùy chọn, điện áp thứ sáu VB được gán bằng mức điện áp cao. Một cách tùy chọn, chi tiết hơn về chức năng chống rò được thực hiện trong khối phụ đầu vào trống và khối liên quan ở nút thứ bảy OF sẽ được mô tả trong phần dưới đây. Một cách tùy chọn, các tranzito được tận dụng trong các khối phụ đầu vào trống được thể hiện trên Fig.4, Fig.5A đến Fig.5F, và Fig.6 đều là các tranzito loại N làm ví dụ.

Fig.7 là sơ đồ khối của khối thanh ghi dịch theo phương án thực hiện khác nữa của sáng chế. Dựa vào Fig.7, khối thanh ghi dịch 10B bao gồm, bên cạnh mạch được thể hiện trên Fig.2, mạch điều khiển thứ nhất 130, mạch thiết lập lại thứ nhất 140, mạch thiết lập lại thứ hai 150, cực ra thanh ghi dịch CRT, và cực ra thứ nhất OP1. Cực ra thanh ghi dịch CRT được cấp để xuất ra tín hiệu thanh ghi dịch CR. Cực ra thứ nhất OP1 được cấp để xuất ra tín hiệu ra thứ nhất OUT1.

Mạch điều khiển thứ nhất 130 được tạo cấu hình để điều khiển mức điện áp của nút thứ năm QB_A đáp ứng mức điện áp ở nút thứ nhất Q1 và điện áp thứ hai VDD_A. Chẳng hạn, mạch điều khiển thứ nhất 130 được kết nối với nút thứ nhất Q1 và nút thứ năm QB_A và được tạo cấu hình để nhận điện áp thứ hai VDD_A và điện áp thứ tư VGL1. Khi nút thứ nhất Q1 được gán bằng mức điện áp cao (với 10% lỗi được phép), mạch điều khiển thứ nhất 130 có thể sử dụng điện áp thứ tư VGL1 ở mức điện áp thấp để kéo mức điện áp của nút thứ năm QB_A xuống mức điện áp thấp. Một cách tùy chọn, khi nút thứ nhất Q1 được gán bằng mức điện áp thấp (với 10% lỗi được phép), mạch điều khiển thứ nhất 130 có thể sử dụng điện áp thứ hai VDD_A ở mức điện áp cao để nạp điện nút

thứ năm QB_A để kéo mức điện áp của nút thứ năm QB_A lên đến mức điện áp cao.

Mạch thiết lập lại thứ nhất 140 được tạo cấu hình để thiết lập lại các mức điện áp ở nút thứ nhất Q1, cực ra thanh ghi dịch CRT, và cực ra thứ nhất OP1 đáp ứng mức điện áp ở nút thứ năm QB_A. Mạch thiết lập lại thứ nhất 140 lần lượt được kết nối với nút thứ nhất Q1, nút thứ năm QB_A, cực ra thanh ghi dịch CRT, và cực ra thứ nhất OP1, và được tạo cấu hình để nhận điện áp thứ tư VGL1 và điện áp thứ năm VGL2. Khi mạch thiết lập lại thứ nhất 140 được bật bởi mức điện áp ở nút thứ năm QB_A, có thể sử dụng điện áp thứ tư VGL1 (ở mức điện áp thấp) để kéo xuống hoặc thiết lập lại các mức điện áp của nút thứ nhất Q1 và cực ra thanh ghi dịch CRT đến mức điện áp thấp. Cùng lúc, cũng có thể sử dụng điện áp thứ năm VGL2 (cũng ở mức điện áp thấp) để kéo xuống hoặc thiết lập lại mức điện áp của cực ra thứ nhất OP1 đến mức điện áp thấp. Một cách tùy chọn, mạch thiết lập lại thứ nhất 140 cũng có thể sử dụng điện áp thứ tư VGL1 để kéo xuống hoặc thiết lập lại mức điện áp của cực ra thứ nhất OP1 đến mức điện áp thấp.

Mạch thiết lập lại thứ hai 150 được tạo cấu hình để thiết lập lại các mức điện áp của nút thứ nhất Q1, cực ra thanh ghi dịch CRT, và cực ra thứ nhất đáp ứng mức điện áp ở nút thứ sáu QB_B. Dựa vào Fig.7, mạch thiết lập lại thứ hai 150 lần lượt được kết nối với nút thứ nhất Q1, nút thứ sáu QB_B, cực ra thanh ghi dịch CRT, và cực ra thứ nhất OP1, và được tạo cấu hình để nhận điện áp thứ tư VGL1 và điện áp thứ năm VGL2. Khi mạch thiết lập lại thứ hai 150 được bật bởi mức điện áp ở nút thứ sáu QB_B, tùy chọn việc điện áp thứ tư VGL1 (ở mức điện áp thấp) được sử dụng để kéo xuống hoặc thiết lập lại mức điện áp ở nút thứ nhất Q1 và cực ra thanh ghi dịch CRT đến mức điện áp thấp. Cùng lúc, tùy chọn sử dụng điện áp thứ năm VGL2 (ở mức điện áp thấp) để kéo xuống hoặc thiết lập lại mức điện áp của cực ra thứ nhất OP1 đến mức điện áp thấp.

Dựa vào Fig.7, khối phụ thứ hai 200B cũng bao gồm mạch điều khiển thứ hai 230, mạch thiết lập lại thứ ba 240, mạch thiết lập lại thứ tư 250, và cực ra thứ hai OP2. Cực ra thứ hai OP2 là để xuất ra tín hiệu ra thứ hai OUT2.

Mạch điều khiển thứ hai 230 được tạo cấu hình để điều khiển mức điện áp của nút thứ sáu QB-B đáp ứng mức điện áp ở nút thứ hai Q2 và điện áp thứ ba VDD_B. Dựa vào Fig.7, mạch điều khiển thứ hai 230 được kết nối với nút thứ hai Q2 và nút thứ sáu QB_B, và được tạo cấu hình để nhận điện áp thứ ba VDD_B và điện áp thứ tư VGL1. Khi nút thứ hai Q2 được gán bằng mức điện áp cao, mạch điều khiển thứ hai 230 có thể sử dụng điện áp thứ tư VGL1 ở mức điện áp thấp để kéo mức điện áp của nút thứ sáu QB_B xuống mức điện áp thấp. Khi nút thứ hai Q2 được gán bằng mức điện áp thấp, mạch điều khiển thứ hai 230 cũng có thể sử dụng điện áp thứ ba VDD_B (ở mức điện áp cao) để nạp điện nút thứ sáu QB_B để kéo lên mức điện áp của nó.

Mạch thiết lập lại thứ ba 240 được tạo cấu hình để thiết lập lại nút thứ hai Q2 và cực ra thứ hai OP2 bằng mức điện áp thấp đáp ứng mức điện áp ở nút thứ sáu QB_B. Chẳng hạn, mạch thiết lập lại thứ ba 240 được kết nối với nút thứ hai Q2, nút thứ sáu QB_B, và cực ra thứ hai OP2, và được tạo cấu hình để nhận điện áp thứ tư VGL1 và điện áp thứ năm VGL2. Khi mạch thiết lập lại thứ ba 240 được bật by mức điện áp ở nút thứ sáu QB_B, tùy chọn sử dụng điện áp thứ tư VGL1 để kéo mức điện áp ở nút thứ hai Q2 xuống mức điện áp thấp. Cùng lúc, cũng là tùy chọn sử dụng điện áp thứ năm VGL2 để kéo xuống mức điện áp ở cực ra thứ hai OP2. Một cách tùy chọn, điện áp thứ tư VGL1 cũng có thể được sử dụng để kéo hoặc thiết lập lại cực ra thứ hai OP2 xuống mức điện áp thấp.

Mạch thiết lập lại thứ tư 250 được tạo cấu hình để thiết lập lại nút thứ hai Q2 và cực ra thứ hai OP2 đáp ứng mức điện áp ở nút thứ năm QB_A. Chẳng hạn, mạch thiết lập lại thứ tư 250 được kết nối với nút thứ hai Q2, nút thứ năm QB_A, và cực ra thứ hai OP2, và được tạo cấu hình để nhận điện áp thứ tư VGL1 và điện áp thứ năm VGL2. Khi mạch thiết lập lại thứ tư 250 được bật by mức điện áp ở nút thứ năm QB_A, tùy chọn sử dụng điện áp thứ tư VGL1 (ở mức điện áp thấp) để kéo xuống hoặc thiết lập lại nút thứ hai Q2 đến mức điện áp thấp. Cùng lúc, cũng tùy chọn sử dụng điện áp thứ năm VGL2 (ở mức điện áp thấp) để kéo xuống hoặc thiết lập lại cực ra thứ hai OP2 bằng mức điện áp thấp.

Một cách tùy chọn, điện áp thứ hai VDD_A và điện áp thứ ba VDD_B có thể được thiết lập bằng hai tín hiệu điện áp lệch pha, tức là, khi điện áp thứ hai

VDD_A được cấp mức điện áp cao, điện áp thứ ba VDD_B được cấp mức điện áp thấp, trong khi điện áp thứ hai VDD_A là mức điện áp thấp, điện áp thứ ba VDD_B là mức điện áp cao. Bằng cách thiết lập theo cách này, mạch điều khiển thứ nhất 130 và mạch điều khiển thứ hai 230 có thể có một mạch ở chế độ hoạt động ở một thời điểm. Điều này có thể tránh dịch chuyển chức năng của các mạch do làm việc lầy và tăng độ bền của mạch.

Dựa vào Fig.7, khối phụ đầu vào trống 300 của khối thanh ghi dịch 10B cũng bao gồm mạch thiết lập lại chung 340. Mạch thiết lập lại chung 340 lần lượt được nối với nút thứ tư N, nút thứ năm QB_A, và nút thứ sáu QB_B, và được tạo cấu hình để thiết lập lại mức điện áp của nút thứ tư N đáp ứng mức điện áp ở nút thứ năm QB_A hoặc nút thứ sáu QB_B. Chẳng hạn, mạch thiết lập lại chung 340 có thể được tạo cấu hình để nhận điện áp thứ tư VGL1. Khi mạch thiết lập lại chung 340 được bật bởi mức điện áp của nút thứ năm QB_A hoặc nút thứ sáu QB_B, có thể sử dụng điện áp thứ tư VGL1 để kéo hoặc thiết lập lại nút thứ tư N xuống mức điện áp thấp. Bằng cách thiết lập mạch thiết lập lại chung 340 trong khối phụ đầu vào trống, có thể điều khiển tốt hơn mức điện áp ở nút thứ tư N. Khi không cần nạp điện nút thứ nhất Q1 hoặc nút thứ hai Q2, nút thứ tư N có thể được gán bằng mức điện áp thấp để tắt mạch truyền thứ nhất 320 và mạch truyền thứ hai 330. Do vậy, mức điện áp cao từ điện áp thứ nhất VDD bị ngăn không cho nạp điện nút thứ nhất Q1 và nút thứ hai Q2. Theo cách này, có thể tránh xuất ra tín hiệu bất thường, tăng cường độ bền của mạch.

Fig.8 là sơ đồ khối của khối thanh ghi dịch theo phương án thực hiện khác nữa của sáng chế. Dựa vào Fig.8, khối thanh ghi dịch 10C, bên cạnh mạch được thể hiện trên Fig.7, có khối phụ thứ nhất 100 còn bao gồm mạch điều khiển thứ ba 160 và mạch điều khiển thứ tư 170. Mạch điều khiển thứ ba 160 được tạo cấu hình để điều khiển mức điện áp của nút thứ năm QB_A đáp ứng tín hiệu đồng hồ thứ nhất CLKA. Mạch điều khiển thứ tư 170 được tạo cấu hình để điều khiển mức điện áp của nút thứ năm QB_A đáp ứng tín hiệu vào thứ nhất STU1.

Theo phương án thực hiện, mạch điều khiển thứ ba 160 được kết nối với nút thứ năm QB_A và được tạo cấu hình để nhận tín hiệu đồng hồ thứ nhất CLKA và điện áp thứ tư VGL1. Chẳng hạn, trong chu kỳ hiển thị của khung, mạch điều

khuyến thứ ba 160 có thể được bật đáp ứng tín hiệu đồng hồ thứ nhất CLKA để sử dụng điện áp thứ tư VGL1 để kéo nút thứ năm QB_A xuống mức điện áp thấp. Theo phương án thực hiện khác, mạch điều khiển thứ ba 160 cũng được kết nối với nút thứ ba H. Trong chu kỳ trống của khung, khi nút thứ ba H được gán bằng mức điện áp cao và tín hiệu đồng hồ thứ nhất CLKA có mức điện áp cao, mạch điều khiển thứ ba 160 được bật sao cho điện áp thứ tư VGL1 ở mức điện áp thấp có thể được sử dụng để kéo nút thứ năm QB_A xuống mức điện áp thấp.

Mạch điều khiển thứ tư 170 được kết nối với nút thứ năm QB_A và được tạo cấu hình để nhận tín hiệu vào thứ nhất STU1 và điện áp thứ tư VGL1. Chẳng hạn, trong chu kỳ hiển thị của khung, mạch điều khiển thứ tư 170 được bật đáp ứng tín hiệu vào thứ nhất STU1 và điện áp thứ tư VGL1 có thể được sử dụng để kéo nút thứ năm QB_A xuống mức điện áp thấp. Khi nút thứ năm QB_A bị kéo xuống mức điện áp thấp, có thể tránh ảnh hưởng đến nút thứ nhất Q1 sao cho việc nạp điện cho nút thứ nhất Q1 trong suốt chu kỳ hiển thị đầy đủ hơn.

Dựa vào Fig.8, khối phụ thứ hai 200, bên cạnh mạch được thể hiện trên Fig.7, cũng bao gồm mạch điều khiển thứ năm 260 và mạch điều khiển thứ sáu 270. Mạch điều khiển thứ năm 260 được tạo cấu hình để điều khiển mức điện áp của nút thứ sáu QB_B đáp ứng tín hiệu đồng hồ thứ nhất CLKA. Mạch điều khiển thứ sáu 270 được tạo cấu hình để điều khiển mức điện áp của nút thứ sáu QB_B đáp ứng tín hiệu vào thứ nhất STU1.

Theo phương án thực hiện, mạch điều khiển thứ năm 260 được kết nối với nút thứ sáu QB_B và được tạo cấu hình để nhận tín hiệu đồng hồ thứ nhất CLKA và điện áp thứ năm VGL1. Chẳng hạn, trong chu kỳ trống của khung, mạch điều khiển thứ năm 260 có thể được bật đáp ứng tín hiệu đồng hồ thứ nhất CLKA. Do vậy, điện áp thứ tư VGL1 ở mức điện áp thấp có thể được sử dụng để kéo xuống mức điện áp ở nút thứ sáu QB_B. Theo phương án thực hiện khác, mạch điều khiển thứ năm 260 cũng được kết nối với nút thứ ba H. Chẳng hạn, trong chu kỳ trống của khung, khi nút thứ ba H được gán bằng mức điện áp cao và tín hiệu đồng hồ thứ nhất CLKA có mức điện áp cao, mạch điều khiển thứ năm 260 được bật, sao cho điện áp thứ tư VGL1 có thể được sử dụng để kéo nút thứ sáu QB_B xuống mức điện áp thấp.

Mạch điều khiển thứ sáu 270 được kết nối với nút thứ sáu QB_B và được tạo cấu hình để nhận tín hiệu vào thứ nhất STU1 và điện áp thứ tư VGL1. Chẳng hạn, trong chu kỳ hiển thị của khung, mạch điều khiển thứ sáu 270 được bật đáp ứng tín hiệu vào thứ nhất STU1. Điện áp thứ tư thấp VGL1 có thể được sử dụng để kéo xuống nút thứ sáu QB_B. Nút thứ sáu QB_B được kéo xuống mức điện áp thấp để ngăn nút thứ sáu QB_B ảnh hưởng nút thứ hai Q2 sao cho việc nạp điện nút thứ hai Q2 trong chu kỳ hiển thị đầy đủ hơn.

Dựa vào Fig.8, khối phụ thứ nhất 100C còn bao gồm mạch thiết lập lại thứ năm 180 và mạch thiết lập lại thứ sáu 190. Mạch thiết lập lại thứ năm 180 được tạo cấu hình để thiết lập lại nút thứ nhất Q1 đáp ứng tín hiệu thiết lập lại hiển thị STD. Mạch thiết lập lại thứ sáu 190 được tạo cấu hình để thiết lập lại nút thứ nhất Q1 đáp ứng tín hiệu thiết lập lại toàn phần TRST.

Theo phương án thực hiện, mạch thiết lập lại thứ năm 180 được kết nối với nút thứ nhất Q1 và được tạo cấu hình để nhận tín hiệu thiết lập lại hiển thị STD và điện áp thứ tư VGL1. Trong chu kỳ hiển thị của khung, mạch thiết lập lại thứ năm 180 được bật đáp ứng tín hiệu thiết lập lại hiển thị STD sao cho điện áp thứ tư VGL1 ở mức điện áp thấp có thể được sử dụng để kéo xuống hoặc thiết lập lại nút thứ nhất Q1. Chẳng hạn, khi nhiều khối thanh ghi dịch 10C được xếp tầng để tạo mạch điều khiển cực cổng nhiều tầng, một tầng của khối thanh ghi dịch 10C có thể nhận tín hiệu thanh ghi dịch CR được xuất ra từ tầng khác của khối thanh ghi dịch làm tín hiệu thiết lập lại hiển thị STD.

Theo phương án thực hiện, mạch thiết lập lại thứ sáu 190 được kết nối với nút thứ nhất Q1 và được tạo cấu hình để nhận tín hiệu thiết lập lại toàn phần TRST và điện áp thứ tư VGL1. Khi nhiều khối thanh ghi dịch 10C được xếp tầng để tạo mạch điều khiển cực cổng nhiều tầng, trong chu kỳ hiển thị của khung, mạch thiết lập lại thứ sáu 190 trong một tầng của khối thanh ghi dịch 10C được bật đáp ứng tín hiệu thiết lập lại toàn phần TRST. Do vậy, điện áp thứ tư VGL1 ở mức điện áp thấp có thể được sử dụng để kéo xuống hoặc thiết lập lại nút thứ nhất Q1 của một tầng của khối thanh ghi dịch 10C và để thực hiện thiết lập lại toàn bộ cho mạch điều khiển cực cổng.

Dựa vào Fig.8, khối phụ thứ hai 200C cũng bao gồm mạch thiết lập lại thứ bảy 280 và mạch thiết lập lại thứ tám 290. Mạch thiết lập lại thứ bảy 280 được tạo cấu hình để thiết lập lại nút thứ hai Q2 đáp ứng tín hiệu thiết lập lại hiển thị STD. Mạch thiết lập lại thứ tám 290 được tạo cấu hình để thiết lập lại nút thứ hai Q2 đáp ứng tín hiệu thiết lập lại toàn phần TRST.

Theo phương án thực hiện, mạch thiết lập lại thứ bảy 280 được kết nối với nút thứ hai Q2 và được tạo cấu hình để nhận tín hiệu thiết lập lại hiển thị STD và điện áp thứ tư VGL1. Chẳng hạn, trong chu kỳ hiển thị của khung, mạch thiết lập lại thứ bảy 280 được bật đáp ứng tín hiệu thiết lập lại hiển thị STD sao cho điện áp thứ tư VGL1 ở mức điện áp thấp có thể được sử dụng để kéo xuống hoặc thiết lập lại nút thứ hai Q2.

Theo phương án thực hiện, mạch thiết lập lại thứ tám 290 được kết nối với nút thứ hai Q2 và được tạo cấu hình để nhận tín hiệu thiết lập lại toàn phần TRST và điện áp thứ tư VGL1. Chẳng hạn, khi nhiều khối thanh ghi dịch 10C được xếp tầng để tạo mạch điều khiển cực cổng nhiều tầng, trong chu kỳ hiển thị của khung, mạch thiết lập lại thứ tám 290 của một tầng của khối thanh ghi dịch có thể được bật đáp ứng tín hiệu thiết lập lại toàn phần TRST. Do vậy, điện áp thứ tư VGL1 ở mức điện áp thấp có thể được sử dụng để kéo xuống hoặc thiết lập lại nút thứ hai Q2 trong một tầng của khối thanh ghi dịch 10C về mức điện áp thấp sao cho có thể thiết lập lại toàn bộ mạch điều khiển cực cổng.

Fig.9A và Fig.9B là các sơ đồ mạch của khối phụ thứ nhất và khối phụ thứ hai của khối thanh ghi dịch theo phương án thực hiện sáng chế. Cụ thể là, Fig.9A thể hiện một phần của khối thanh ghi dịch bao gồm khối phụ thứ nhất 100 và khối phụ đầu vào trống 300. Fig.9B thể hiện một phần của khối thanh ghi dịch bao gồm khối phụ thứ hai 200 và mạch truyền thứ hai 330. Dựa vào Fig.9A và Fig.9B, khối thanh ghi dịch bao gồm nhiều tranzito từ M1 đến M41, tụ điện thứ nhất C1, tụ điện thứ hai C2, và tụ điện thứ ba C3. Tất cả các tranzito được sử dụng ở đây là các tranzito loại N lấy làm ví dụ. Fig.10A đến Fig.10C là các sơ đồ mạch của ba loại mạch vào thứ nhất của khối thanh ghi dịch theo phương án thực hiện sáng chế.

Theo phương án thực hiện, dựa vào Fig.9A, mạch vào thứ nhất 110 được triển khai bằng cách bao gồm tranzito thứ năm M5. Tranzito thứ năm M5 có cực cổng được tạo cấu hình để nhận tín hiệu vào thứ nhất STU1, cực thứ nhất được tạo cấu hình để nhận điện áp thứ nhất VDD, và cực thứ hai được ghép nối với nút thứ nhất Q1.

Theo phương án thực hiện khác, dựa vào Fig.10A, tranzito thứ năm M5 có cực cổng và cực thứ nhất thường được tạo cấu hình để nhận tín hiệu vào thứ nhất STU1 do vậy khi tín hiệu vào thứ nhất STU1 là tín hiệu điện áp cao, tranzito thứ năm M5 có thể sử dụng điện áp cao của tín hiệu vào thứ nhất STU1 để nạp điện nút thứ nhất Q1.

Theo phương án thực hiện khác nữa, dựa vào Fig.10B, mạch vào thứ nhất 110 cũng bao gồm tranzito M5_b. Tranzito M5_b có cực cổng và cực thứ nhất thường được ghép nối với cực thứ hai của tranzito thứ năm M5. Tranzito M5_b cũng có cực thứ hai được ghép nối với nút thứ nhất Q1. Do tranzito M5_b sử dụng cách kết nối điôt, dòng điện có thể chỉ chạy từ cực thứ nhất sang cực thứ hai của tranzito M5_b chứ không phải ngược lại. Do vậy, dòng điện rò rỉ từ nút thứ nhất Q1 qua tranzito thứ năm M5 bị chặn lại.

Theo phương án thực hiện khác nữa, dựa vào Fig.10C, tranzito M5_b có cực cổng được ghép nối với cực cổng của tranzito thứ năm M5, đều được tạo cấu hình để nhận tín hiệu vào thứ nhất STU1. Tranzito M5_b có cực thứ nhất được ghép nối với nút thứ bảy OF. Mạch vào thứ nhất 110 được thể hiện trên Fig.10C sử dụng kết cấu hệ mạch chống rò để ngăn ngừa rò điện của nút thứ nhất Q1.

Quay lại Fig.9A, mạch ra thứ nhất 120 có thể được triển khai bằng cách bao gồm tranzito thứ sáu M6, tranzito thứ bảy M7, và tụ điện thứ hai C2. Tranzito thứ sáu M6 có cực cổng được ghép nối với nút thứ nhất Q1. Tranzito thứ sáu M6 có cực thứ nhất được tạo cấu hình để nhận tín hiệu đồng hồ thứ hai CLKB dưới dạng tín hiệu thanh ghi dịch CR. Tranzito thứ sáu M6 có cực thứ hai được ghép nối với cực ra thanh ghi dịch CRT và được tạo cấu hình để xuất tín hiệu thanh ghi dịch CR.

Tranzito thứ bảy M7 có cực cổng được ghép nối với nút thứ nhất Q1. Tranzito thứ bảy M7 có cực thứ nhất được tạo cấu hình để nhận tín hiệu đồng hồ thứ ba

CLKC làm tín hiệu ra thứ nhất OUT1. Tranzito thứ bảy M7 có cực thứ hai được ghép nối với cực ra thứ nhất OP1 và được tạo cấu hình để xuất tín hiệu ra thứ nhất OUT1. Tụ điện thứ hai C2 có cực thứ nhất được ghép nối với nút thứ nhất Q1 và cực thứ hai được ghép nối với cực thứ hai của tranzito thứ bảy M7 cũng là cực ra thứ nhất OP1.

Quay lại Fig.9B, mạch vào thứ hai 210 có thể được triển khai bằng cách bao gồm tranzito thứ tám M8. Tranzito thứ tám M8 có cực cổng được tạo cấu hình để nhận tín hiệu vào thứ nhất STU1. Tranzito thứ tám M8 có cực thứ nhất được tạo cấu hình để nhận điện áp thứ nhất VDD. Tranzito thứ tám M8 có cực thứ hai được ghép nối với nút thứ hai Q2. Theo cách khác, mạch vào thứ hai 210 cũng có thể sử dụng các mạch giống nhau được thể hiện trên Fig.10A đến Fig.10C.

Dựa vào Fig.9B, mạch ra thứ hai 220 có thể được triển khai bằng cách bao gồm tranzito thứ chín M9 và tụ điện thứ ba C3. Tranzito thứ chín M9 có cực cổng được ghép nối với nút thứ hai Q2. Tranzito thứ chín M9 có cực thứ nhất được tạo cấu hình để nhận tín hiệu đồng hồ thứ tư CLKD làm tín hiệu ra thứ hai OUT2. Tranzito thứ chín M9 có cực thứ hai được ghép nối với cực ra thứ hai OP2 và được tạo cấu hình để xuất tín hiệu ra thứ hai OUT2. Tụ điện thứ ba C3 có cực thứ nhất được ghép nối với nút thứ hai Q2 và cực thứ hai được ghép nối với cực thứ hai của tranzito thứ chín M9 cũng là cực ra thứ hai OP2.

Dựa vào Fig.9A, mạch thiết lập lại chung 340 có thể được triển khai bằng cách bao gồm tranzito thứ mười M10 và tranzito thứ mười một M11. Tranzito thứ mười M10 có cực cổng được ghép nối với nút thứ năm QB_A. Tranzito thứ mười M10 có cực thứ nhất được ghép nối với nút thứ tư N. Tranzito thứ mười M10 có cực thứ hai được tạo cấu hình để nhận điện áp thứ tư VGL1. Tranzito thứ mười một M11 có cực cổng được ghép nối với nút thứ sáu QB_B. Tranzito thứ mười một M11 có cực thứ nhất được ghép nối với nút thứ tư N. Tranzito thứ mười một M11 có cực thứ hai được tạo cấu hình để nhận điện áp thứ tư VGL1.

Dựa vào Fig.9A, mạch điều khiển thứ nhất 130 được triển khai bằng cách bao gồm tranzito thứ mười hai M12 và tranzito thứ mười ba M13. Tranzito thứ mười hai M12 có cực cổng và cực thứ nhất thường được tạo cấu hình để nhận điện áp thứ hai VDD_A. Tranzito thứ mười hai M12 cũng có cực thứ hai được ghép nối

với nút thứ năm QB_A. Tranzito thứ mười ba M13 có cực cổng được ghép nối với nút thứ nhất Q1. Tranzito thứ mười ba M13 có cực thứ nhất được ghép nối với nút thứ năm QB_A. Tranzito thứ mười ba M13 cũng có cực thứ hai được tạo cấu hình để nhận điện áp thứ tư VGL1.

Dựa vào Fig.9A, mạch thiết lập lại thứ nhất 140 có thể được triển khai bằng cách bao gồm tranzito thứ mười bốn M14, tranzito thứ mười năm M15, và tranzito thứ mười sáu M16. Mạch thiết lập lại thứ hai 150 có thể được triển khai bằng cách bao gồm tranzito thứ mười bảy M17, tranzito thứ mười tám M18, và tranzito thứ mười chín M19.

Tranzito thứ mười bốn M14 có cực cổng được ghép nối với nút thứ năm QB_A, cực thứ nhất được ghép nối với nút thứ nhất Q1, và cực thứ hai được tạo cấu hình để nhận điện áp thứ tư VGL1. Tranzito thứ mười năm M15 có cực cổng được ghép nối với nút thứ năm QB_A, cực thứ nhất được ghép nối với cực ra thanh ghi dịch CRT, và cực thứ hai được tạo cấu hình để nhận điện áp thứ tư VGL1. Tranzito thứ mười sáu M16 có cực cổng được ghép nối với nút thứ năm QB_A, cực thứ nhất được ghép nối với cực ra thứ nhất OP1, và cực thứ hai được tạo cấu hình để nhận a điện áp thứ năm VGL2.

Tranzito thứ mười bảy M17 có cực cổng được ghép nối với nút thứ sáu QB_B, cực thứ nhất được ghép nối với nút thứ nhất Q1, và cực thứ hai được tạo cấu hình để nhận điện áp thứ tư VGL1. Tranzito thứ mười tám M18 có cực cổng được ghép nối với nút thứ sáu QB_B, cực thứ nhất được ghép nối với cực ra thanh ghi dịch CRT, và cực thứ hai được tạo cấu hình để nhận điện áp thứ tư VGL1. Tranzito thứ mười chín M19 có cực cổng được ghép nối với nút thứ sáu QB_B, cực thứ nhất được ghép nối với cực ra thứ nhất OP1, và cực thứ hai được tạo cấu hình để nhận điện áp thứ năm VGL2.

Quay lại Fig.9B, mạch điều khiển thứ hai 230 có thể được triển khai bằng cách bao gồm tranzito thứ hai mươi M20 và tranzito thứ hai mươi một M21. Tranzito thứ hai mươi M20 có cực cổng và cực thứ nhất thường được tạo cấu hình để nhận điện áp thứ ba VDD_B. Tranzito thứ hai mươi M20 có cực thứ hai được ghép nối với nút thứ sáu QB_B. Tranzito thứ hai mươi một M21 có cực cổng được ghép nối với nút thứ hai Q2. Tranzito thứ hai mươi một M21 có cực

thứ nhất được ghép nối với nút thứ sáu QB_B. Tranzito thứ hai mươi một M21 cũng có cực thứ hai được tạo cấu hình để nhận điện áp thứ tư VGL1.

Dựa vào Fig.9B, mạch thiết lập lại thứ ba 240 bao gồm tranzito thứ hai mươi hai M22 và tranzito thứ hai mươi ba M23. Mạch thiết lập lại thứ tư 250 bao gồm tranzito thứ hai mươi tư M24 và tranzito thứ hai mươi năm M25.

Tranzito thứ hai mươi hai M22 có cực cổng được ghép nối với nút thứ sáu QB_B, cực thứ nhất được ghép nối với nút thứ hai Q2, và cực thứ hai được tạo cấu hình để nhận điện áp thứ tư VGL1. Tranzito thứ hai mươi ba M23 có cực cổng được ghép nối với nút thứ sáu QB_B, cực thứ nhất được ghép nối với cực ra thứ hai OP2, và cực thứ hai được tạo cấu hình để nhận điện áp thứ năm VGL2.

Tranzito thứ hai mươi tư M24 có cực cổng được ghép nối với nút thứ năm QB_A, cực thứ nhất được ghép nối với nút thứ hai Q2, và cực thứ hai được tạo cấu hình để nhận điện áp thứ tư VGL1. Tranzito thứ hai mươi năm M25 có cực cổng được ghép nối với nút thứ năm QB_A, cực thứ nhất được ghép nối với cực ra thứ hai OP2, và cực thứ hai được tạo cấu hình để nhận điện áp thứ năm VGL2.

Một cách tùy chọn, điện áp thứ hai VDD_A và điện áp thứ ba VDD_B có thể được gán bằng hai tín hiệu điện áp lệch pha, tức là, khi điện áp thứ hai VDD_A được cấp mức điện áp cao, điện áp thứ ba VDD_B được cấp mức điện áp thấp, trong khi điện áp thứ hai VDD_A là mức điện áp thấp, điện áp thứ ba VDD_B là mức điện áp cao. Nhờ thiết lập theo cách này, chỉ một trong tranzito thứ mười hai M12 và tranzito thứ hai mươi M20 có thể ở trạng thái dẫn tại một thời điểm. Do vậy, có thể tránh xê dịch thuộc tính tranzito do được thiết lập trong thời gian dài ở trạng thái dẫn và để tăng cường độ bền của hệ mạch.

Dựa vào Fig.9A và Fig.9B, mạch điều khiển thứ nhất 130 được thiết lập trong khối phụ thứ nhất 100 được sử dụng để điều khiển mức điện áp của nút thứ năm QB_A và mạch điều khiển thứ hai 230 được thiết lập trong khối phụ thứ hai 200 được sử dụng để điều khiển mức điện áp của nút thứ sáu QB_B. Theo cách này, các số lượng tranzito có thể được giảm trong khối thanh ghi dịch, có thể giảm kích thước khung biên của thiết bị hiển thị sử dụng khối thanh ghi dịch và tăng cường PPI.

Dựa vào Fig.9A, mạch điều khiển thứ ba 160 bao gồm tranzito thứ ba mươi hai M32 và tranzito thứ ba mươi ba M33. Tranzito thứ ba mươi hai M32 có cực cổng được tạo cấu hình để nhận tín hiệu đồng hồ thứ nhất CLKA, cực thứ nhất được ghép nối với nút thứ năm QB_A, và cực thứ hai được ghép nối với cực thứ nhất của tranzito thứ ba mươi ba M13. Tranzito thứ ba mươi ba M33 có cực cổng được ghép nối với nút thứ ba H và cực thứ hai được tạo cấu hình để nhận điện áp thứ tư VGL1. Mạch điều khiển thứ tư 170 bao gồm tranzito thứ ba mươi tư M34. Tranzito thứ ba mươi tư M34 có cực cổng được tạo cấu hình để nhận tín hiệu vào thứ nhất STU1, cực thứ nhất được ghép nối với nút thứ năm QB_A, và cực thứ hai được tạo cấu hình để nhận điện áp thứ tư VGL1.

Dựa vào Fig.9B, mạch điều khiển thứ năm 260 bao gồm tranzito thứ ba mươi năm M35 và tranzito thứ ba mươi sáu M36. Tranzito thứ ba mươi năm M35 có cực cổng được tạo cấu hình để nhận tín hiệu đồng hồ thứ nhất CLKA, cực thứ nhất được ghép nối với nút thứ sáu QB_B, và cực thứ hai được ghép nối với cực thứ nhất của tranzito thứ ba mươi sáu M36. Tranzito thứ ba mươi sáu M36 cũng có cực cổng được ghép nối với nút thứ ba H và cực thứ hai được tạo cấu hình để nhận điện áp thứ tư VGL1. Mạch điều khiển thứ sáu 270 bao gồm tranzito thứ ba mươi bảy M37 có cực cổng được tạo cấu hình để nhận tín hiệu vào thứ nhất STU1, cực thứ nhất được ghép nối với nút thứ sáu QB_B, và cực thứ hai được tạo cấu hình để nhận điện áp thứ tư VGL1.

Dựa vào Fig.9A, mạch thiết lập lại thứ năm 180 bao gồm tranzito thứ ba mươi tám M38 và mạch thiết lập lại thứ sáu 190 bao gồm tranzito thứ bốn mươi M40. Tranzito thứ ba mươi tám M38 có cực cổng được tạo cấu hình để nhận tín hiệu thiết lập lại hiển thị STD, cực thứ nhất được ghép nối với nút thứ nhất Q1, và cực thứ hai được tạo cấu hình để nhận điện áp thứ tư VGL1. Tranzito thứ bốn mươi M40 có cực cổng được tạo cấu hình để nhận tín hiệu thiết lập lại toàn phần TRST, cực thứ nhất được ghép nối với nút thứ nhất Q1, và cực thứ hai được tạo cấu hình để nhận điện áp thứ tư VGL1.

Dựa vào Fig.9B, mạch thiết lập lại thứ bảy 280 bao gồm tranzito thứ ba mươi chín M39 và mạch thiết lập lại thứ tám 290 bao gồm tranzito thứ bốn mươi một M41. Tranzito thứ ba mươi chín M39 có cực cổng được tạo cấu hình để nhận tín

hiệu thiết lập lại hiển thị STD, cực thứ nhất được ghép nối với nút thứ hai Q2, và cực thứ hai được tạo cấu hình để nhận điện áp thứ tư VGL1. Tranzito thứ bốn mươi một M41 có cực cổng được tạo cấu hình để nhận tín hiệu thiết lập lại toàn phần TRST, cực thứ nhất được ghép nối với nút thứ hai Q2, và cực thứ hai được tạo cấu hình để nhận điện áp thứ tư VGL1.

Theo phương án thực hiện khác, Fig.11A và Fig.11B là các sơ đồ mạch của khối phụ thứ nhất và khối phụ thứ hai của khối thanh ghi dịch hơi khác với các sơ đồ được thể hiện trên Fig.9A và Fig.9B theo sáng chế. Dựa vào Fig.11A và Fig.11B, khối phụ thứ nhất 100, bên cạnh các mạch được thể hiện trên Fig.9A và Fig.9B, còn bao gồm cực ra thứ ba OP3. Cực ra thứ ba OP3 được tạo cấu hình để xuất tín hiệu ra thứ ba OUT3. Khối phụ thứ hai 200, bên cạnh các mạch được thể hiện trên Fig.9A và Fig.9B, còn bao gồm cực ra thứ tư OP4 được tạo cấu hình để xuất tín hiệu ra thứ tư OUT4. Một cách tương ứng, mạch thiết lập lại thứ nhất 140 và mạch thiết lập lại thứ hai 150 cũng được tạo cấu hình để thiết lập lại cực ra thứ ba OP3. Mạch thiết lập lại thứ ba 240 và mạch thiết lập lại thứ tư 250 cũng được tạo cấu hình để thiết lập lại cực ra thứ tư OP4.

Dựa vào Fig.11A, mạch ra thứ nhất 120, bên cạnh mạch được thể hiện trên Fig.9A, còn bao gồm tranzito thứ hai mươi sáu M26 và tụ điện thứ tư C4. Tranzito thứ hai mươi sáu M26 có cực cổng được ghép nối với nút thứ nhất Q1, cực thứ nhất được tạo cấu hình để nhận tín hiệu đồng hồ thứ năm CLKE, và cực thứ hai được ghép nối với cực ra thứ ba OP3. Tụ điện thứ tư C4 có cực thứ nhất được ghép nối với nút thứ nhất Q1 và cực thứ hai được ghép nối với cực ra thứ ba OP3.

Trong một ví dụ, tín hiệu đồng hồ thứ năm CLKE được tạo cấu hình giống như tín hiệu đồng hồ thứ ba CLKC. Trong ví dụ khác, tín hiệu đồng hồ thứ năm CLKE được tạo cấu hình khác với tín hiệu đồng hồ thứ ba CLKC sao cho cực ra thứ nhất OP1 và cực ra thứ ba OP3 có thể xuất ra các tín hiệu khác nhau, tăng cường khả năng đa dạng của khối thanh ghi dịch có thể cấp nhiều tín hiệu điều khiển khác nhau.

Mạch thiết lập lại thứ nhất 140 trên Fig.11A cũng bao gồm tranzito thứ hai mươi bảy M27 có cực cổng được ghép nối với nút thứ năm QB_A, cực thứ nhất

được ghép nối với cực ra thứ ba OP3, và cực thứ hai được tạo cấu hình để nhận điện áp thứ năm VGL2. Mạch thiết lập lại thứ hai 150 trên Fig.11A cũng bao gồm tranzito thứ hai mươi tám M28 có cực cổng được ghép nối với nút thứ sáu QB_B, cực thứ nhất được ghép nối với cực ra thứ ba OP3, và cực thứ hai được tạo cấu hình để nhận điện áp thứ năm VGL2.

Dựa vào Fig.11B, mạch ra thứ hai 220, bên cạnh mạch trên Fig.9B, cũng bao gồm tranzito thứ hai mươi chín M29 và tụ điện thứ năm C5. Tranzito thứ hai mươi chín M29 có cực cổng được ghép nối với nút thứ hai Q2, cực thứ nhất được tạo cấu hình để nhận tín hiệu đồng hồ thứ sáu CLKF, và cực thứ hai được ghép nối với cực ra thứ tư OP4. Tụ điện thứ năm C5 có cực thứ nhất được ghép nối với nút thứ hai Q2 và cực thứ hai được ghép nối với cực ra thứ tư OP4.

Theo phương án thực hiện, tín hiệu đồng hồ thứ sáu CLKF được tạo cấu hình giống như tín hiệu đồng hồ thứ tư CLKD. Theo phương án thực hiện khác, tín hiệu đồng hồ thứ sáu CLKF được tạo cấu hình khác với tín hiệu đồng hồ thứ tư CLKD sao cho cực ra thứ hai OP2 và cực ra thứ tư OP4 có thể lần lượt xuất ra các tín hiệu khác, tăng cường khả năng đa dạng của khối thanh ghi dịch có thể cấp nhiều tín hiệu điều khiển khác nhau.

Mạch thiết lập lại thứ ba 240 trên Fig.11B cũng bao gồm tranzito thứ ba mươi M30 có cực cổng được ghép nối với nút thứ sáu QB_B, cực thứ nhất được ghép nối với cực ra thứ tư OP4, và cực thứ hai được tạo cấu hình để nhận điện áp thứ năm VGL2. Mạch thiết lập lại thứ tư 250 trên Fig.11B cũng bao gồm tranzito thứ ba mươi nhất M31 có cực cổng được ghép nối với nút thứ năm QB_A, cực thứ nhất được ghép nối với cực ra thứ tư OP4, và cực thứ hai được tạo cấu hình để nhận điện áp thứ năm VGL2.

Như được nêu trên, trong khối thanh ghi dịch 10 (hoặc 10A, 10B, 10C) theo phương án thực hiện sáng chế, mức điện áp ở nút thứ ba H có thể được duy trì bởi tụ điện thứ nhất C1. Mức điện áp ở nút thứ nhất Q1 có thể được duy trì (ít nhất trong 10% lỗi) bởi tụ điện thứ hai C2 và tụ điện thứ tư C4. Mức điện áp ở nút thứ hai Q2 được duy trì bởi tụ điện thứ ba C3 và tụ điện thứ năm C5. Tụ điện thứ nhất C1, tụ điện thứ hai C2, tụ điện thứ ba C3, tụ điện thứ tư C4, và tụ điện thứ năm C5 có thể là các thiết bị tụ điện được chế tạo bởi quá trình màng mỏng,

chẳng hạn, bằng cách chế tạo điện cực tụ điện đặc biệt để lắp đặt thiết bị tụ điện. Các điện cực có thể được triển khai bởi lớp kim loại, lớp bán dẫn (chẳng hạn, silic đa tinh thể pha tạp), hoặc tương tự, hoặc trong một số ví dụ, bằng cách thiết kế các tham số định tuyến mạch sao cho tụ điện thứ nhất C1, tụ điện thứ hai C2, tụ điện thứ ba C3, tụ điện thứ tư C4, và tụ điện thứ năm C5 cũng có thể được thực hiện bởi điện dung ký sinh giữa các thiết bị khác nhau. Cách thức kết nối của tụ điện thứ nhất C1, tụ điện thứ hai C2, tụ điện thứ ba C3, tụ điện thứ tư C4, và tụ điện thứ năm C5 không bị giới hạn ở cách thức nêu trên. Có thể có các cách kết nối thích hợp khác, miễn là việc chứa các điện tích có thể được ghi vào mức điện áp của nút thứ ba H, nút thứ nhất Q1 và nút thứ hai Q2.

Khi nút thứ nhất Q1, nút thứ hai Q2, hoặc nút thứ ba H được duy trì ở mức điện áp cao, một số tranzito (chẳng hạn tranzito thứ nhất M1, tranzito thứ mười bốn M14, tranzito thứ mười bảy M17, tranzito thứ ba mươi tám M38, tranzito thứ bốn mươi M40, tranzito thứ hai mươi hai M22, tranzito thứ hai mươi tư M24, tranzito thứ ba mươi chín M39, và tranzito thứ bốn mươi một M41) có các cực thứ nhất được ghép nối với lần lượt với nút thứ nhất Q1, nút thứ hai Q2, hoặc nút thứ ba H trong khi các cực thứ hai được ghép nối với mức điện áp thấp. Mặc dù các tranzito này có các cực công nhận tín hiệu tắt, vẫn có thể có dòng điện rò giữa các cực thứ nhất và các cực thứ hai do độ lệch các mức điện áp giữa chúng. Vấn đề rò điện sẽ dẫn đến độ ổn định thấp khi duy trì mức điện áp lần lượt ở nút thứ nhất Q1, nút thứ hai Q2, hoặc nút thứ ba H.

Fig.12A đến Fig.12C là các sơ đồ mạch của khối thanh ghi dịch với các kết cấu mạch chống rò theo một số phương án thực hiện sáng chế. Dựa vào Fig.12A và Fig.12B, khối thanh ghi dịch cũng bao gồm mạch chống rò chung, mạch chống rò thứ nhất và mạch chống rò thứ hai. Cụ thể là, mạch chống rò chung được nối điện với nút thứ nhất Q1 và nút thứ bảy OF và được tạo cấu hình để điều khiển mức điện áp của ở nút thứ bảy OF đáp ứng mức điện áp của nút thứ nhất Q1. Mạch chống rò thứ nhất được kết nối với nút thứ bảy OF, mạch thiết lập lại thứ nhất 140, mạch thiết lập lại thứ hai 150, mạch thiết lập lại thứ năm 180, và mạch thiết lập lại thứ sáu 190, và được tạo cấu hình để ngăn không cho dòng điện rò ở nút thứ nhất Q1 đáp ứng mức điện áp của ở nút thứ bảy OF. Mạch

chống rò thứ hai được kết nối với nút thứ bảy OF, mạch thiết lập lại thứ ba 240, mạch thiết lập lại thứ tư 250, mạch thiết lập lại thứ bảy 280, và mạch thiết lập lại thứ tám 290, và được tạo cấu hình để ngăn dòng điện rò ở nút thứ hai Q2 đáp ứng mức điện áp ở nút thứ bảy OF.

Chẳng hạn, như được thể hiện trên Fig.12A và Fig.12B, mạch chống rò chung bao gồm tranzito thứ bốn mươi tư M44 có cực cổng được ghép nối với nút thứ nhất Q1, cực thứ nhất được tạo cấu hình để nhận điện áp thứ sáu VB, và cực thứ hai được ghép nối với nút thứ bảy OF. Mạch chống rò thứ nhất bao gồm các tranzito M14_b, M17_b, M38_b, và M40_b. Mạch chống rò thứ hai bao gồm các tranzito M22_b, M24_b, M39_b, và M41_b.

Ngoài ra, dựa vào Fig.12A, để ngăn dòng điện rò từ nút thứ ba H, tranzito thứ bốn mươi ba M43 và tranzito M1_b được bổ sung trong mạch. Tranzito M1_b có cực cổng được ghép nối với cực cổng của tranzito thứ nhất M1. Tranzito M1_b có cực thứ nhất được ghép nối với cực thứ hai của tranzito thứ bốn mươi ba M43. Tranzito M1_b có cực thứ hai được ghép nối với nút thứ ba H. Tranzito thứ bốn mươi ba M43 có cực cổng được ghép nối với nút thứ ba H. Tranzito thứ bốn mươi ba M43 có cực thứ nhất được tạo cấu hình để nhận điện áp thứ sáu VB (ở điện áp cao). Khi nút thứ ba H được cấp mức điện áp cao, tranzito thứ bốn mươi ba M43 được bật sao cho điện áp thứ sáu VB ở mức điện áp cao có thể được đưa vào cực thứ nhất của tranzito M1_b, tạo thành cả cực thứ nhất và cực thứ hai của tranzito M1_b ở mức điện áp cao và ngăn các điện tích ở nút thứ ba H rò qua tranzito M1_b. Lúc này, cực cổng của tranzito M1_b được ghép nối với cực cổng của tranzito thứ nhất M1. Sự kết hợp của tranzito thứ nhất M1 và tranzito M1_b có thể thực hiện chức năng tương tự của tranzito thứ nhất M1 và ngăn rò dòng điện cùng lúc.

Tương tự, như được thể hiện trên Fig.12A, các tranzito M14_b, M17_b, M38_b, và M40_b có thể nối với tranzito thứ bốn mươi tư M44 qua nút thứ bảy OF để lần lượt thực hiện các chức năng chống rò để ngăn không cho rò dòng điện khỏi nút thứ nhất Q1. Như được thể hiện trên Fig.12B, các tranzito M22_b, M24_b, M39_b, và M41_b cũng có thể nối với tranzito thứ bốn mươi tư M44 qua nút thứ bảy OF để lần lượt thực hiện các chức năng chống rò ngăn không

dòng điện rò từ nút thứ hai Q2. Dựa vào Fig.12A và Fig.12B, mạch chống rò thứ nhất và mạch chống rò thứ hai chia sẻ một tranzito thứ bốn mươi tư M44 để tiết kiệm số lượng tranzito, giảm kích thước khung biên và tăng cường PPI của thiết bị hiển thị.

Theo phương án thực hiện khác được thể hiện trên Fig.12C, mạch chống rò thứ hai (Các tranzito M22_b, M24_b, M39_b, và M41_b) liên kết với khối phụ thứ hai của khối thanh ghi dịch không được kết nối với nút thứ bảy OF được chia sẻ với khối phụ thứ nhất của khối thanh ghi dịch. Thay vào đó, mạch chống rò thứ hai được nêu ở đây được thiết lập để ghép nối với nút thứ tám độc lập thường được nối với tranzito thứ bốn mươi năm M45 riêng rẽ để tạo kết cấu chống rò.

Tương tự, như được thể hiện trên Fig.6, đối với tranzito thứ ba M3 và tranzito thứ tư M4, hai tranzito M3_b và M4_b khác nhau có thể được thiết lập để triển khai kết cấu chống rò. Cụ thể là, các tranzito M3_b và M4_b có các cực cổng được tạo cấu hình để nhận tín hiệu đồng hồ thứ nhất CLKA và các cực thứ nhất được ghép nối với nút thứ bảy OF để thiết lập kết cấu chống rò với kết nối đến tranzito thứ bốn mươi tư M44 trên Fig.12A. Kết cấu chống rò này có thể ngăn dòng điện rò khỏi cả nút thứ nhất Q1 và nút thứ hai Q2.

Cũng được thể hiện trên Fig.10C, đối với tranzito thứ năm M5, tranzito M5_b có thể được thêm vào để thiết lập kết cấu chống rò. Cụ thể là, cực cổng của tranzito M5_b được tạo cấu hình để nhận tín hiệu vào thứ nhất STU1, cực thứ nhất của tranzito M5_b được ghép nối với nút thứ bảy OF, thiết lập kết nối với tranzito thứ bốn mươi tư M44 trên Fig.12A. Kết cấu chống rò có thể ngăn không cho dòng điện rò khỏi nút thứ nhất Q1.

Theo phương án thực hiện khác, việc quét các tranzito và các tranzito cảm ứng trong các đơn vị pixel con của tấm hiển thị cũng có thể được chọn làm các tranzito loại P. Trong trường hợp này, Fig.13A và Fig.13B là các sơ đồ mạch của khối phụ thứ nhất và khối phụ thứ hai của khối thanh ghi dịch theo phương án thực hiện khác nữa của sáng chế. Khối thanh ghi dịch được thể hiện trên Fig.13A và Fig.13B có thể được sử dụng dưới dạng một trong nhiều khối được xếp tầng để tạo mạch điều khiển cực cổng và được triển khai trong tấm hiển thị để điều khiển quét hiển thị và bù bên ngoài.

Các tranzito được sử dụng theo các phương án thực hiện sáng chế mà mỗi tranzito có thể là tranzito màng mỏng hoặc tranzito hiệu ứng trường hoặc bộ phận chuyển mạch khác có các đặc tính giống nhau. Theo các phương án thực hiện sáng chế, tranzito màng mỏng được lấy làm ví dụ để mô tả. Cực nguồn và cực máng của tranzito được sử dụng ở đây có thể đối xứng về kết cấu, sao cho cực nguồn và cực máng có thể không phân biệt được về mặt kết cấu. Theo phương án thực hiện sáng chế, để phân biệt hai cực này của tranzito ngoại trừ cực cổng, một trong hai cực được gọi là cực thứ nhất và cực còn lại được gọi là cực thứ hai. Ngoài ra, các tranzito có thể được phân chia thành các tranzito loại N và loại P theo các đặc tính của các tranzito. Khi tranzito là tranzito loại P, điện áp bật là điện áp thấp (chẳng hạn, 0V, -5V, -10V, hoặc điện áp thích hợp khác), và điện áp tắt là điện áp cao (chẳng hạn, 5V, 10V, hoặc điện áp thích hợp khác). Khi tranzito là tranzito loại N, điện áp bật là điện áp cao (chẳng hạn, 5V, 10V hoặc điện áp thích hợp khác), và điện áp tắt là điện áp thấp (chẳng hạn, 0V, -5V, -10V hoặc điện áp thích hợp khác).

Theo khía cạnh khác, sáng chế đề cập đến mạch điều khiển cực cổng được tạo thành nhờ xếp tầng nhiều khối thanh ghi dịch nối tiếp nhiều tầng. Fig.14 là sơ đồ của mạch điều khiển cực cổng theo phương án thực hiện sáng chế. Dựa vào Fig.14, mạch điều khiển cực cổng 20 bao gồm nhiều tầng của các khối thanh ghi dịch 10. Ở đây, khối tương ứng trong nhiều khối thanh ghi dịch gần như là khối thanh ghi dịch 10 được mô tả ở đây theo sáng chế. Các ký hiệu A1, A2, A3, A4, A5, và A6 trên Fig.14 lần lượt là khối phụ của khối thanh ghi dịch 10. Chẳng hạn, A1, A3, và A5 lần lượt là ba khối phụ thứ nhất của ba khối thanh ghi dịch và A2, A4, và A6 lần lượt là ba khối phụ thứ hai của ba khối thanh ghi dịch.

Dựa vào Fig.14, một khối thanh ghi dịch 10 bao gồm khối phụ thứ nhất và khối phụ thứ hai, lần lượt xuất ra tín hiệu ra thứ nhất OUT1 và tín hiệu ra thứ hai OUT2. Khi mạch điều khiển cực cổng 20 được áp dụng để điều khiển tám hiển thị, tín hiệu ra thứ nhất OUT1 và tín hiệu ra thứ hai OUT2 có thể điều khiển riêng rẽ một hàng của các đơn vị pixel con của tám hiển thị. Chẳng hạn, A1, A2, A3, A4, A5, và A6 có thể điều khiển lần lượt hàng thứ nhất, hàng thứ hai, hàng thứ

ba, hàng thứ tư, hàng thứ năm, và hàng thứ sáu của các đơn vị pixel con trong tấm hiển thị.

Mạch điều khiển cực cổng 20 theo sáng chế chia sẻ khối phụ đầu vào trống để giảm kích thước khung biên của thiết bị hiển thị sử dụng mạch điều khiển cực cổng và tăng cường PPI của thiết bị hiển thị. Cùng lúc, mạch điều khiển cực cổng thực hiện bù bên ngoài cho các tranzito điều khiển trong các hàng được chọn ngẫu nhiên của các đơn vị pixel con, tránh làm lộ đường quét ảo trên tấm hiển thị và độ sáng không đồng đều do bù tuần tự theo từng đường.

Dựa vào Fig.14, mạch điều khiển cực cổng 20, được xếp tầng bởi nhiều tầng của các khối thanh ghi dịch 10, bao gồm đường tín hiệu đồng hồ phụ thứ nhất CLK_1, đường tín hiệu đồng hồ phụ thứ hai CLK_2, đường tín hiệu đồng hồ phụ thứ ba CLK_3. Tầng thứ $(3n-2)$ của khối thanh ghi dịch có khối phụ thứ nhất được kết nối với đường tín hiệu đồng hồ phụ thứ nhất CLK_1 để nhận tín hiệu đồng hồ thứ hai CLKB của tầng thứ $(3n-2)$ của khối thanh ghi dịch. Tầng thứ $(3n-1)$ của khối thanh ghi dịch có khối phụ thứ nhất được kết nối với đường tín hiệu đồng hồ phụ thứ hai CLK_2 để nhận tín hiệu đồng hồ thứ hai CLKB của tầng thứ $(3n-1)$ của khối thanh ghi dịch. Tầng thứ $3n$ của khối thanh ghi dịch có khối phụ thứ nhất được kết nối với đường tín hiệu đồng hồ phụ thứ ba CLK_3 để nhận tín hiệu đồng hồ thứ hai CLKB của tầng thứ $3n$ của khối thanh ghi dịch. Ở đây, n là số nguyên dương. Như được thể hiện trên hình vẽ, tùy chọn cấp tín hiệu đồng hồ thứ hai CLKB cho mỗi khối phụ thứ nhất của mỗi tầng của khối thanh ghi dịch mà phục vụ một phần tử được xếp tầng của mạch điều khiển cực cổng. Tín hiệu đồng hồ thứ hai CLKB có thể được sử dụng làm tín hiệu thanh ghi dịch CR được xuất ra để điều khiển quét được dịch chuyển qua tấm hiển thị.

Dựa vào Fig.14, mạch điều khiển cực cổng 20 cũng bao gồm đường tín hiệu đồng hồ phụ thứ tư CLK_4, đường tín hiệu đồng hồ phụ thứ năm CLK_5, đường tín hiệu đồng hồ phụ thứ sáu CLK_6, đường tín hiệu đồng hồ phụ thứ bảy CLK_7, đường tín hiệu đồng hồ phụ thứ tám CLK_8, và đường tín hiệu đồng hồ phụ thứ chín CLK_9.

Tầng thứ $(3n-2)$ của khối thanh ghi dịch có khối phụ thứ nhất được kết nối với đường tín hiệu đồng hồ phụ thứ tư CLK_4 để nhận tín hiệu đồng hồ thứ ba

CLKC của tầng thứ $(3n-2)$ của khối thanh ghi dịch. Tầng thứ $(3n-2)$ của khối thanh ghi dịch có khối phụ thứ hai được kết nối với đường tín hiệu đồng hồ phụ thứ năm CLK_5 để nhận tín hiệu đồng hồ thứ tư CLKD của tầng thứ $(3n-2)$ của khối thanh ghi dịch.

Tầng thứ $(3n-1)$ của khối thanh ghi dịch có khối phụ thứ nhất được kết nối với đường tín hiệu đồng hồ phụ thứ sáu CLK_6 để nhận tín hiệu đồng hồ thứ ba CLKC của tầng thứ $(3n-1)$ của khối thanh ghi dịch. Tầng thứ $(3n-1)$ của khối thanh ghi dịch có khối phụ thứ hai được kết nối với đường tín hiệu đồng hồ phụ thứ bảy CLK_7 để nhận tín hiệu đồng hồ thứ tư CLKD của tầng thứ $(3n-1)$ của khối thanh ghi dịch.

Tầng thứ $3n$ của khối thanh ghi dịch có khối phụ thứ nhất được kết nối với đường tín hiệu đồng hồ phụ thứ tám CLK_8 để nhận tín hiệu đồng hồ thứ ba CLKC của tầng thứ $3n$ của khối thanh ghi dịch. Tầng thứ $3n$ của khối thanh ghi dịch có khối phụ thứ hai được kết nối với đường tín hiệu đồng hồ phụ thứ chín CLK_9 để nhận tín hiệu đồng hồ thứ tư CLKD của tầng thứ $3n$ của khối thanh ghi dịch.

Qua sáu đường tín hiệu đồng hồ, đường tín hiệu đồng hồ phụ thứ tư CLK_4, đường tín hiệu đồng hồ phụ thứ năm CLK_5, đường tín hiệu đồng hồ phụ thứ sáu CLK_6, đường tín hiệu đồng hồ phụ thứ bảy CLK_7, đường tín hiệu đồng hồ phụ thứ tám CLK_8, và đường tín hiệu đồng hồ phụ thứ chín CLK_9, các tín hiệu được cấp cho tầng tương ứng của khối thanh ghi dịch tuần tự tầng này sau tầng kia để xuất ra dưới dạng các tín hiệu điều khiển riêng rẽ. Theo phương án thực hiện, mạch điều khiển cực cổng 20 sử dụng sáu tín hiệu đồng hồ. Do vậy, các tín hiệu điều khiển được xuất ra từ mạch điều khiển cực cổng có các dạng sóng chồng nhau. Một cách tùy chọn, thời gian trước khi nạp điện cho mỗi hàng đơn vị pixel con có thể được tăng hiệu quả sao cho mạch điều khiển cực cổng có thể thích hợp để hiển thị quét tần số cao. Theo cách khác, mạch điều khiển cực cổng 20 sử dụng tám tín hiệu đồng hồ. Một cách tùy chọn, mạch điều khiển cực cổng 20 sử dụng 10 tín hiệu đồng hồ.

Dựa vào Fig.14, mạch điều khiển cực cổng 20 còn bao gồm đường tín hiệu đồng hồ phụ thứ mười CLK_10, đường tín hiệu đồng hồ phụ thứ mười một

CLK_11, và đường tín hiệu đồng hồ phụ thứ mười hai CLK_12. Mỗi tầng của khối thanh ghi dịch 10 có khối phụ thứ nhất và khối phụ thứ hai thường được kết nối với đường tín hiệu đồng hồ phụ thứ mười CLK_10 để nhận tín hiệu thiết lập lại toàn phần TRST. Mỗi tầng của khối thanh ghi dịch 10 có mạch chung đầu vào 310 thường được kết nối với đường tín hiệu đồng hồ phụ thứ mười một CLK_11 để nhận tín hiệu điều khiển lựa chọn OE. Mỗi tầng của khối thanh ghi dịch 10 có khối phụ thứ nhất và khối phụ thứ hai và mạch chung đầu vào 310 thường được kết nối với đường tín hiệu đồng hồ phụ thứ mười hai CLK_12 để nhận tín hiệu đồng hồ thứ nhất CLKA.

Dựa vào Fig.14, mạch điều khiển cực cổng 20 ngoài ra bao gồm đường tín hiệu đồng hồ phụ thứ mười ba CLK_13 và đường tín hiệu đồng hồ phụ thứ mười bốn CLK_14. Mỗi tầng của khối thanh ghi dịch 10 có khối phụ thứ nhất được kết nối với đường tín hiệu đồng hồ phụ thứ mười ba CLK_13 để nhận điện áp thứ hai VDD_A. Mỗi tầng của khối thanh ghi dịch 10 có khối phụ thứ hai được kết nối với đường tín hiệu đồng hồ phụ thứ mười bốn CLK_14 để nhận điện áp thứ ba VDD_B.

Ngoài ra, dựa vào Fig.14, mạch điều khiển cực cổng 20 bao gồm đường tín hiệu đồng hồ phụ thứ mười lăm CLK_15. Giai đoạn thứ nhất của khối thanh ghi dịch 10 có khối phụ thứ nhất và khối phụ thứ hai, đều được kết nối với đường tín hiệu đồng hồ phụ thứ mười lăm CLK_15 để nhận tín hiệu vào thứ nhất STU1.

Dựa vào Fig.14, ngoại trừ giai đoạn thứ nhất của khối thanh ghi dịch 10, mỗi tầng khác của khối thanh ghi dịch có khối phụ thứ nhất và khối phụ thứ hai được tạo cấu hình để kết nối với khối phụ thứ nhất ở tầng trước đó của khối thanh ghi dịch 10 để nhận tín hiệu thanh ghi dịch CR là tín hiệu vào thứ nhất STU1 của nó. Ngoại trừ hai tầng cuối cùng của các khối thanh ghi dịch, mỗi tầng khác của khối thanh ghi dịch 10 có khối phụ thứ nhất và khối phụ thứ hai được tạo cấu hình để kết nối với khối phụ thứ nhất của tầng tiếp theo thứ hai của khối thanh ghi dịch 10 để nhận tín hiệu thanh ghi dịch CR làm tín hiệu thiết lập lại hiển thị STD của riêng nó.

Fig.14 chỉ là một trong nhiều ví dụ liên quan đến cách thức xếp tầng giữa các tầng. Theo phương án thực hiện, khối thanh ghi dịch 10 trong mạch điều khiển

cực cổng 20 có thể sử dụng các kết cấu mạch được thể hiện trên Fig.9A và Fig.9B.

Fig.15 là sơ đồ định thời vận hành mạch điều khiển cực cổng trên Fig.14 theo phương án thực hiện sáng chế. Dựa vào Fig.15, H<5> là nút thứ ba H trong tầng thứ ba của khối thanh ghi dịch 10. Tầng thứ ba của khối thanh ghi dịch 10 tương ứng với hàng thứ năm và hàng thứ sáu của các đơn vị pixel con trong tấm hiển thị. N<5> là nút thứ tư N trong tầng thứ ba của khối thanh ghi dịch 10. Q1<1> và Q2<2> lần lượt là nút thứ nhất Q1 và nút thứ hai Q2 của tầng thứ nhất của khối thanh ghi dịch 10. Q1<5> and Q2<6> lần lượt là nút thứ nhất Q1 và nút thứ hai Q2 của tầng thứ ba của khối thanh ghi dịch 10. Số trong ngoặc <> là số hàng của hàng đơn vị pixel con trong tấm hiển thị tương ứng với các nút Q1 và Q2.

OUT1<1> và OUT2<2> lần lượt là tín hiệu ra thứ nhất OUT1 và tín hiệu ra thứ hai OUT2 được xuất ra từ tầng thứ nhất của khối thanh ghi dịch 10. Một cách tương tự, OUT1<3> và OUT2<4> lần lượt là tín hiệu ra thứ nhất OUT1 và tín hiệu ra thứ hai OUT2 được xuất ra từ tầng thứ hai của khối thanh ghi dịch 10. OUT1<5> và OUT2<6> lần lượt là tín hiệu ra thứ nhất OUT1 và tín hiệu ra thứ hai OUT2 được xuất ra từ tầng thứ ba của khối thanh ghi dịch 10. CR<1>, CR<3>, và CR<5> lần lượt là tín hiệu thanh ghi dịch CR được xuất ra từ tầng thứ nhất, tầng thứ hai, và tầng thứ ba của khối thanh ghi dịch 10. Dựa vào Fig.15, trong ví dụ, CR<1> giống như OUT1<1>. CR<3> giống như OUT1<3>. CR<5> giống như OUT1<5>.

1F là khung thứ nhất (thời gian chu trình hiển thị một khung ảnh). DS là chu kỳ hiển thị trong khung thứ nhất. BL là chu kỳ trống của khung thứ nhất. Trong ví dụ được thể hiện trên Fig.15, điện áp thứ hai VDD_A được cấp dưới dạng điện áp thấp và điện áp thứ ba VDD_B được cấp dưới dạng điện áp cao.

Trước khi khung thứ nhất (hiển thị một khung ảnh) 1F bắt đầu, đường tín hiệu đồng hồ phụ thứ mười CLK_10 và đường tín hiệu đồng hồ phụ thứ mười một CLK_11 đều cấp các tín hiệu điện áp cao. Tranzito thứ bốn mươi M40 và tranzito thứ bốn mươi một M41 trong mỗi tầng của khối thanh ghi dịch 10 đều được bật. Các mức điện áp ở nút thứ nhất Q1 và nút thứ hai Q2 của mỗi tầng của khối thanh ghi dịch 10 được thiết lập lại. Tranzito thứ nhất M1 trong mỗi tầng

của khối thanh ghi dịch 10 cũng được bật. Tín hiệu vào thứ hai STU2 được nhận lần này là tín hiệu điện áp thấp, mà được sử dụng để thiết lập lại mức điện áp của nút thứ ba H trong mỗi tầng của khối thanh ghi dịch 10 sao cho thực hiện thiết lập lại toàn phần trước khi khung thứ nhất 1F bắt đầu.

Trong chu kỳ hiển thị DS của khung thứ nhất 1F, hoạt động của tầng thứ ba khối thanh ghi dịch 10 (tương ứng với các hàng thứ năm và thứ sáu của các đơn vị pixel con trong tấm hiển thị) được nêu ở đây dưới dạng ví dụ mô tả cách thức mạch điều khiển cực cổng 20 đang điều khiển tấm hiển thị để hiển thị ảnh theo từng khung.

Trong chu kỳ thứ nhất 1 của DS, tầng thứ hai khối thanh ghi dịch 10 có khối phụ thứ nhất xuất ra tín hiệu thanh ghi dịch CR<3> dưới dạng tín hiệu điện áp cao. Điều này được sử dụng làm tín hiệu vào thứ nhất STU1 của tầng tiếp theo, tức là, tầng thứ ba khối thanh ghi dịch 10. Nói cách khác, tầng thứ ba của khối thanh ghi dịch nhận tín hiệu vào thứ nhất STU1 ở điện áp cao. Do vậy, tranzito thứ năm M5 và tranzito thứ tám M8 ở tầng thứ ba của khối thanh ghi dịch 10 đều được bật. Điện áp thứ nhất VDD, có điện áp cao từ nguồn điện, đang nạp điện nút thứ nhất Q1<5> qua tranzito thứ năm M5 và đang nạp điện nút thứ hai Q2<6> qua tranzito thứ tám M8. Do vậy, cả nút thứ nhất Q1<5> và nút thứ hai Q2<6> được kéo lên đến mức điện áp cao.

Tranzito thứ bảy M7 in tầng thứ ba của khối thanh ghi dịch 10 được bật nhờ điện áp cao ở nút thứ nhất Q1<5>. Nhưng ở thời điểm này, tín hiệu đồng hồ thứ ba CLKC được cấp qua đường tín hiệu đồng hồ phụ thứ tám CLK_8 là tín hiệu điện áp thấp. Do vậy, tín hiệu ra thứ nhất OUT1<5> từ tầng thứ ba của khối thanh ghi dịch 10 là tín hiệu điện áp thấp. Tranzito thứ chín M9 ở tầng thứ ba của khối thanh ghi dịch 10 được bật bởi điện áp cao ở nút thứ hai Q2<6>. Nhưng lần này, tín hiệu đồng hồ thứ tư CLKD được cấp qua đường tín hiệu đồng hồ phụ thứ chín CLK_9 là tín hiệu điện áp thấp. Do vậy, tín hiệu ra thứ hai OUT2<6> từ tầng thứ ba của khối thanh ghi dịch 10 cũng là tín hiệu điện áp thấp. Trong chu kỳ này 1, hoạt động trước khi nạp điện cho cả nút thứ nhất và nút thứ hai trong tầng thứ ba của khối thanh ghi dịch đã được hoàn thành.

Trong chu kỳ thứ hai 2 của DS, tín hiệu đồng hồ thứ ba CLKC được cấp qua đường tín hiệu đồng hồ phụ thứ tám CLK_8 được đổi sang tín hiệu điện áp cao. Mức điện áp ở nút thứ nhất Q1<5> còn được kéo lên cao hơn bởi hiệu ứng tự khởi động để duy trì tranzito thứ bảy M7 ở trạng thái dẫn. Tín hiệu ra thứ nhất OUT1<5> từ tầng thứ ba của khối thanh ghi dịch 10 là, từ CLKC, cũng được đổi sang tín hiệu điện áp cao. Nhưng lần này, tín hiệu đồng hồ thứ tư CLKD được cấp qua đường tín hiệu đồng hồ phụ thứ chín CLK_9 vẫn là tín hiệu điện áp thấp. Do vậy, tín hiệu ra thứ hai OUT2<6> từ tầng thứ ba của khối thanh ghi dịch 10 tiếp tục là tín hiệu điện áp thấp.

Trong chu kỳ thứ ba 3 của DS, tín hiệu đồng hồ thứ tư CLKD được cấp qua đường tín hiệu đồng hồ phụ thứ chín CLK_9 được đổi sang tín hiệu điện áp cao. Mức điện áp ở nút thứ hai Q2<6> được kéo lên cao hơn bởi hiệu ứng tự khởi động. Tranzito thứ chín M9 được duy trì ở trạng thái dẫn. Do vậy, tín hiệu ra thứ hai OUT2<6> được xuất ra từ tầng thứ ba của khối thanh ghi dịch 10 trở thành tín hiệu điện áp cao.

Trong chu kỳ thứ tư 4 của DS, do hiệu ứng duy trì điện tích của tụ điện thứ hai C2, nút thứ nhất Q1<5> vẫn ở mức điện áp cao. Do vậy, tranzito thứ bảy M7 ở trạng thái dẫn. Nhưng tín hiệu đồng hồ thứ ba CLKC được cấp qua đường tín hiệu đồng hồ phụ thứ tám CLK_8 được đổi sang tín hiệu điện áp thấp. Do vậy, tín hiệu ra thứ nhất OUT1<5> từ tầng thứ ba của khối thanh ghi dịch 10 cũng đổi sang tín hiệu điện áp thấp. Cùng lúc, do hiệu ứng tự khởi động của tụ điện thứ hai C2, mức điện áp ở nút thứ nhất Q1<5> cũng bị hạ thấp tương đối.

Trong chu kỳ thứ năm 5 của DS, do hiệu ứng duy trì điện tích của tụ điện thứ ba C3, nút thứ hai Q2<6> vẫn ở mức điện áp cao. Do vậy, tranzito thứ chín M9 ở trạng thái dẫn. Nhưng tín hiệu đồng hồ thứ tư CLKD được cấp qua đường tín hiệu đồng hồ phụ thứ chín CLK_9 được đổi sang tín hiệu điện áp thấp. Do vậy, tín hiệu ra thứ hai OUT2<6> từ tầng thứ ba của khối thanh ghi dịch 10 cũng đổi sang tín hiệu điện áp thấp. Cùng lúc, do hiệu ứng tự khởi động của tụ điện thứ ba C3, mức điện áp ở nút thứ nhất Q2<6> cũng được hạ thấp tương đối.

Ở chu kỳ thứ sáu 6 của DS, dựa trên giả thiết sử dụng sáu tín hiệu đồng hồ cho mạch điều khiển cực cổng 20, các tín hiệu (tức là, tín hiệu ra thứ nhất OUT1

và tín hiệu ra thứ hai OUT2 từ mỗi tầng) được xuất ra từ mỗi ba tầng của các khối thanh ghi dịch 10 sẽ tự lặp lại trong chu trình. Cùng lúc, tầng thứ ba của khối thanh ghi dịch 10 được tạo cấu hình để nhận tín hiệu thanh ghi dịch CR từ tầng thứ năm của khối thanh ghi dịch làm tín hiệu thiết lập lại hiển thị STD của nó. Trong suốt chu kỳ thứ sáu 6, tín hiệu đồng hồ thứ ba CLKC được cấp qua đường tín hiệu đồng hồ phụ thứ sáu CLK_6 được đổi sang tín hiệu điện áp cao. Sau đó, tín hiệu thiết lập lại hiển thị STD được nhận bởi tầng thứ ba của khối thanh ghi dịch 10 cũng là tín hiệu điện áp cao, đưa cả tranzito thứ ba mươi tám M38 lẫn tranzito thứ ba mươi chín M39 đều ở trạng thái dẫn. Do vậy, điện áp thứ tư VGL1 có điện áp thấp có thể được sử dụng để hoàn thành thao tác kéo xuống hoặc thiết lập lại cho nút thứ nhất Q1<5> và nút thứ hai Q2<6>.

Sau khi tầng thứ ba của khối thanh ghi dịch 10 điều khiển hàng thứ năm của các đơn vị pixel con và hàng thứ sáu của các đơn vị pixel con trong tấm hiển thị để hiển thị ở các hàng tương ứng, mạch điều khiển cực cổng 20 kích hoạt tầng thứ tư của khối thanh ghi dịch, hoặc tiếp theo tầng thứ năm của khối thanh ghi dịch, v.v., điều khiển tất cả các hàng của các đơn vị pixel con trong tấm hiển thị để hoàn thành hiển thị một khung ảnh, cho đến khi hết chu kỳ hiển thị DS của khung thứ nhất 1F.

Ngoài ra, trong suốt chu kỳ hiển thị DS của khung thứ nhất 1F, mạch điều khiển cực cổng 20 cũng được tạo cấu hình để nạp điện nút thứ ba H. Chẳng hạn, khi hàng thứ năm của các đơn vị pixel con cần bù trong suốt hoạt động hiển thị của nó trong khung thứ nhất 1F, hoạt động bù được thực hiện như sau:

Trong suốt chu kỳ thứ hai 2 và chu kỳ thứ ba 3 của DS, đường tín hiệu đồng hồ phụ thứ mười một CLK_11 được tạo cấu hình để cấp tín hiệu tương tự như tín hiệu thanh ghi dịch CR<5> được xuất ra từ tầng thứ ba của khối thanh ghi dịch 10, để bật tranzito thứ nhất M1. Cùng lúc, tín hiệu vào thứ hai STU2 được nhận bởi tầng thứ ba của khối thanh ghi dịch 10 có thể được tạo cấu hình giống như tín hiệu thanh ghi dịch CR<5>. Do vậy, điện áp cao từ tín hiệu vào thứ hai STU2 có thể được sử dụng để nạp điện nút thứ ba H<5> để kéo mức điện áp của nút thứ ba H<5> đến mức điện áp cao.

Theo phương án thực hiện khác, tín hiệu vào thứ hai STU2 được nhận bởi tầng thứ ba của khối thanh ghi dịch 10 một cách tùy chọn giống như tín hiệu thanh ghi dịch CR được xuất ra từ tầng khác bất kỳ của khối thanh ghi dịch, giả sử, cùng lúc, tín hiệu được cấp qua đường tín hiệu đồng hồ phụ thứ mười một CLK_11 có cùng thời điểm tín hiệu như tín hiệu vào thứ hai STU2.

Điện áp cao ở nút thứ ba H<5> cũng có thể luôn được duy trì cho đến khi chu kỳ trống BL của khung thứ nhất 1F bắt đầu. Khi hàng thứ năm của các đơn vị pixel con cần bù bên ngoài trong suốt khung thứ nhất 1F, hoạt động của tầng thứ ba của khối thanh ghi dịch trong mạch điều khiển cực cổng được thực hiện như sau:

Trong chu kỳ thứ bảy 7 (trong BL) của khung thứ nhất 1F, do hiệu ứng ghép nối của tụ điện thứ nhất C1, nút thứ tư N<5> thay đổi mức điện áp của nó từ điện áp thấp sang điện áp cao, mà kéo lên mức điện áp của nút thứ ba H<5>. Do vậy, mức điện áp ở nút thứ ba H<5> có thể được duy trì ở mức tương đối cao, đảm bảo rằng tranzito thứ hai M2 hoàn toàn ở trạng thái dẫn. Trong chu kỳ này, tín hiệu đồng hồ thứ nhất CLKA được cấp qua đường tín hiệu đồng hồ phụ thứ mười hai CLK_12 được đổi từ tín hiệu điện áp cao sang tín hiệu điện áp thấp. Do vậy, nút thứ tư N<5> cũng được đổi thành điện áp thấp. Do hiệu ứng ghép nối của tụ điện thứ nhất C1, mức điện áp ở nút thứ ba H<5> cũng được hạ thấp.

Trong chu kỳ thứ tám 8 (trong BL) của khung thứ nhất 1F, tín hiệu đồng hồ thứ ba CLKC được cấp qua đường tín hiệu đồng hồ phụ thứ tám CLK_8 được đổi sang tín hiệu điện áp cao. Mức điện áp ở nút thứ nhất Q1<5> được đẩy cao hơn nữa bởi hiệu ứng tự khởi động để duy trì tranzito thứ bảy M7 trong trạng thái dẫn. Do vậy, tín hiệu ra thứ nhất OUT1<5> được xuất ra từ tầng thứ ba của khối thanh ghi dịch 10 được đổi sang tín hiệu điện áp cao. Nhưng do tín hiệu đồng hồ thứ tư CLKD được cấp qua đường tín hiệu đồng hồ phụ thứ chín CLK_9 vẫn là tín hiệu điện áp thấp, tín hiệu ra thứ hai OUT2<6> được xuất ra từ tầng thứ ba của khối thanh ghi dịch 10 là tín hiệu điện áp thấp. Trong ví dụ, tín hiệu ra thứ nhất OUT1<5> trong chu kỳ thứ tám 8 có thể được sử dụng để điều khiển các tranzito cảm ứng trong các đơn vị pixel con của tám hiển thị để thực hiện bù bên ngoài để điều khiển tám hiển thị để hiển thị khung ảnh có độ sáng đồng đều.

Trong chu kỳ thứ chín 9 (trong BL) của khung thứ nhất 1F, do hiệu ứng duy trì điện tích của tụ điện thứ hai C2, nút thứ nhất Q1<5> vẫn ở điện áp cao để giữ tranzito thứ bảy M7 ở trạng thái dẫn. Nhưng, do tín hiệu đồng hồ thứ ba CLKC được cấp qua đường tín hiệu đồng hồ phụ thứ tám CLK_8 được đổi sang tín hiệu điện áp thấp. Tín hiệu ra thứ nhất OUT1<5> được xuất ra từ tầng thứ ba của khối thanh ghi dịch 10 cũng đổi sang tín hiệu điện áp thấp. Cùng lúc, do hiệu ứng tự khởi động của tụ điện thứ hai C2, mức điện áp ở nút thứ nhất Q1<5> cũng được hạ thấp.

Trong chu kỳ thứ mười 10 (trong BL) của khung thứ nhất 1F, đường tín hiệu đồng hồ phụ thứ mười CLK_10 và đường tín hiệu đồng hồ phụ thứ mười một CLK_11 đều cấp các tín hiệu điện áp cao. Tranzito thứ bốn mươi M40 và tranzito thứ bốn mươi một M41 trong mỗi tầng của khối thanh ghi dịch 10 trong mạch điều khiển cực cổng 20 được bật. Điều này cho phép nút thứ nhất Q1 và nút thứ hai Q2 của mỗi tầng của khối thanh ghi dịch 10 được thiết lập lại ở các mức điện áp của chúng. Ngoài ra, tranzito thứ nhất M1 trong mỗi tầng của khối thanh ghi dịch 10 được bật. Do tín hiệu vào thứ hai STU2 được nhận lần này là tín hiệu điện áp thấp, tùy chọn để thiết lập lại mức điện áp của nút thứ ba H trong mỗi tầng của khối thanh ghi dịch, nhờ đó xong việc thiết lập lại hoàn toàn về mạch điều khiển cực cổng. Hiện tại, khung thứ nhất 1F kết thúc. Hoạt động điều khiển của mạch điều khiển cực cổng trong khung thứ hai tiếp theo, khung thứ ba, và v.v., về cơ bản sẽ tương tự. Các phần mô tả không được lặp lại.

Theo phương án thực hiện, khi mạch điều khiển cực cổng cần xuất ra tín hiệu điều khiển để điều khiển các tranzito cảm ứng trong hàng thứ n của các đơn vị pixel con của tấm hiển thị trong chu kỳ trống của một khung, nút thứ ba H cần được kéo lên đến mức điện áp cao trong suốt chu kỳ hiển thị của cùng một khung. Cùng lúc, trong chu kỳ trống của một khung, tín hiệu đồng hồ thứ nhất điện áp cao CLKA cần được cấp để kéo lên các mức điện áp của nút thứ nhất Q1 và nút thứ hai Q2. Sau đó khi điện áp cao tín hiệu điều khiển cần được xuất ra, điện áp cao tín hiệu đồng hồ thứ ba CLKC hoặc tín hiệu đồng hồ thứ tư CLKD cần thiết. Ở đây n là số nguyên dương bất kỳ. Một cách tùy chọn, hai tín hiệu có cùng thời

điểm nghĩa là chúng được đồng bộ theo thời gian nhưng không cần trong cùng biên độ tín hiệu.

Fig.16 là sơ đồ định thời vận hành mạch điều khiển cực cổng trên Fig.14 theo phương án thực hiện khác của sáng chế. Theo phương án thực hiện, mạch điều khiển cực cổng 20 đang được vận hành theo sơ đồ định thời được tạo thành bằng cách xếp tầng nhiều khối thanh ghi dịch dựa trên các mạch được thể hiện trên Fig.13A và Fig.13B. Các chuỗi định thời và nguyên lý hoạt động giống như các phần mô tả được thể hiện trên Fig.15.

Fig.17 là sơ đồ của mạch điều khiển cực cổng theo phương án thực hiện khác của sáng chế. Theo phương án thực hiện, mạch điều khiển cực cổng 20A được cấp bằng cách xếp tầng nhiều khối thanh ghi dịch dựa trên các mạch được thể hiện trên Fig.11A hoặc Fig.12A và Fig.11B hoặc Fig.12B. Mỗi khối thanh ghi dịch ở tầng lẻ (chẳng hạn, A1, A3, A5) được tạo cấu hình để xuất tín hiệu ra thứ nhất $OUT1<N>$ đáp ứng tín hiệu đồng hồ từ đường tín hiệu đồng hồ $CLKE_N$ ($N = 1, 3, 5$) và tín hiệu ra thứ hai $OUT2$ đáp ứng tín hiệu đồng hồ từ đường tín hiệu đồng hồ $CLKF_N$ ($N = 1, 3, 5$). Không giống khối thanh ghi dịch tầng lẻ trong mạch điều khiển cực cổng 20, chỉ xuất một tín hiệu đầu ra $OUT1$. Ở đây, $CLKE_1$ được tạo cấu hình để cấp tín hiệu đồng hồ thứ ba $CLKC$ (xem Fig.11A hoặc Fig.12A) và $CLKF_1$ được tạo cấu hình để cấp tín hiệu đồng hồ thứ năm $CLKE$ (xem Fig.11A hoặc 12A). Mỗi khối thanh ghi dịch ở tầng chẵn (chẳng hạn, A2, A4, A6) được tạo cấu hình để xuất tín hiệu ra thứ nhất $OUT1<N>$ đáp ứng tín hiệu đồng hồ từ đường tín hiệu đồng hồ $CLKE_N$ ($N = 2, 4, 6$) và tín hiệu ra thứ hai $OUT2$ đáp ứng tín hiệu đồng hồ từ đường tín hiệu đồng hồ $CLKF_N$ ($N = 2, 4, 6$). Không giống khối thanh ghi dịch tầng chẵn trong mạch điều khiển cực cổng 20, chỉ xuất một tín hiệu đầu ra $OUT2$. Ở đây, $CLKE_2$ được tạo cấu hình để cấp tín hiệu đồng hồ thứ tư $CLKD$ (xem Fig.11B hoặc Fig.12B) và $CLKF_2$ được tạo cấu hình để cấp tín hiệu đồng hồ thứ sáu $CLKF$ (xem Fig.11B hoặc Fig.12B). Fig.18 là sơ đồ định thời vận hành mạch điều khiển cực cổng 20A theo phương án thực hiện sáng chế. Dựa vào Fig.18, hoạt động của mạch điều khiển cực cổng 20A sử dụng cách thức tương tự được mô tả cho mạch điều khiển cực cổng 20 trên Fig.15, ngoại trừ việc các dạng sóng của

Q1<3> và Q2<4> được bổ sung trong chu kỳ DS của một khung 1F lần lượt gần giống như các dạng sóng của Q1<1> và Q2<2> ngoại trừ dịch chuyển trong thời gian được xác định lần lượt bởi các tín hiệu đồng hồ trong các đường tín hiệu đồng hồ CLKE_4 và CLKF_4.

Fig.19 là sơ đồ của mạch điều khiển cực cổng theo phương án thực hiện khác của sáng chế. Mạch điều khiển cực cổng 20B được đề cập như được thể hiện trên Fig.19. Fig.20 là sơ đồ định thời vận hành mạch điều khiển cực cổng trên Fig.19 theo phương án thực hiện sáng chế. Một số khác biệt giữa mạch điều khiển cực cổng 20B trên Fig.19 và mạch điều khiển cực cổng 20 trên Fig.14 được thể hiện dưới đây.

Dựa vào Fig.19 và Fig.20, theo phương án thực hiện, mạch điều khiển cực cổng 20B sử dụng 10 đường tín hiệu đồng hồ. Tổng cộng 10 đường tín hiệu đồng hồ bao gồm đường tín hiệu đồng hồ phụ thứ tư CLK_4, đường tín hiệu đồng hồ phụ thứ năm CLK_5, đường tín hiệu đồng hồ phụ thứ sáu CLK_6, đường tín hiệu đồng hồ phụ thứ bảy CLK_7, đường tín hiệu đồng hồ phụ thứ tám CLK_8, đường tín hiệu đồng hồ phụ thứ chín CLK_9, đường tín hiệu đồng hồ phụ thứ mười CLK_10, đường tín hiệu đồng hồ phụ thứ mười một CLK_11, đường tín hiệu đồng hồ phụ thứ mười hai CLK_12, đường tín hiệu đồng hồ phụ thứ mười ba CLK_13, đường tín hiệu đồng hồ phụ thứ mười bốn CLK_14, đường tín hiệu đồng hồ phụ thứ mười lăm CLK_15, đường tín hiệu đồng hồ phụ thứ mười sáu CLK_16, đường tín hiệu đồng hồ phụ thứ mười bảy CLK_17, và đường tín hiệu đồng hồ phụ thứ mười tám CLK_18, được tận dụng để cấp các tín hiệu điều khiển mà được xuất ra theo từng dòng từ tầng tương ứng của khối thanh ghi dịch trong mạch điều khiển cực cổng được xếp tầng. Theo phương án thực hiện, do sử dụng 10 đường tín hiệu đồng hồ, thời gian trước khi nạp điện của mỗi hàng đơn vị pixel con được tăng thêm sao cho mạch điều khiển cực cổng 20B thậm chí thích hợp hơn để điều khiển hiển thị quét với tần số cao hơn.

Theo phương án thực hiện được thể hiện trên Fig.19 và Fig.20, ngoại trừ hai tầng thứ nhất của các khối thanh ghi dịch nối tiếp xếp tầng, mỗi tầng trong các tầng khác của các khối thanh ghi dịch được tạo cấu hình để nối khối phụ thứ nhất với mỗi tầng của hai tầng trước đó của các khối thanh ghi dịch để nhận tín hiệu thanh ghi dịch CR làm tín hiệu vào thứ nhất của nó STU1. Ngoại trừ bốn tầng cuối cùng của các khối thanh ghi dịch nối tiếp xếp tầng, mỗi tầng của các tầng khác của các khối thanh ghi dịch cũng được nối với khối phụ thứ nhất trong mỗi

tầng của bốn tầng tiếp theo của các khối thanh ghi dịch để nhận tín hiệu thanh ghi dịch CR làm tín hiệu thiết lập lại hiển thị của nó STD.

Dựa vào Fig.19, đường tín hiệu đồng hồ phụ thứ mười CLK_10 được kết nối với khối phụ thứ nhất và khối phụ thứ hai của mỗi tầng trong hai tầng trước của các khối thanh ghi dịch (tức là, A1, A2, A3, và A4) để cấp tín hiệu vào thứ nhất STU1 (cho tầng thứ ba của khối thanh ghi dịch, tức là, A5 và A6). Cùng lúc, đường tín hiệu đồng hồ phụ thứ mười CLK_10 có thể được kết nối với tầng khác bất kỳ của khối thanh ghi dịch để cấp tín hiệu thiết lập lại toàn phần TRST. Trong phần bố trí đường tín hiệu này, số lượng đường tín hiệu đồng hồ có thể được tiết kiệm để dễ giảm kích thước khung biên của thiết bị hiển thị sử dụng mạch điều khiển cực cổng và tăng cường PPI của thiết bị hiển thị. Trong ví dụ, đối với hai tầng thứ nhất của các khối thanh ghi dịch, tùy chọn việc tranzito thứ bốn mươi M40 và tranzito thứ bốn mươi một M41 không được bao gồm.

Fig.20 thể hiện hàng thứ mười một của các đơn vị pixel con được chọn để thực hiện bù bên ngoài và hàng thứ mười một của các đơn vị pixel con tương ứng với tầng thứ sáu của khối thanh ghi dịch. Trong chu kỳ hiển thị DS của khung thứ nhất 1F, nút thứ ba H<11> được nạp điện. Trong chu kỳ trống BL (tiếp sau chu kỳ hiển thị), điện áp cao tín hiệu đồng hồ thứ nhất CLKA được cấp để hoàn thành nạp điện cho nút thứ nhất Q1<11> và nút thứ hai Q2<12>. Sau đó, tín hiệu điện áp cao được cấp qua đường tín hiệu đồng hồ phụ thứ tư CLK_4 cấp tín hiệu đồng hồ thứ ba CLKC trong điện áp cao, khiến tín hiệu ra thứ nhất OUT1<11> được xuất ra từ tầng thứ sáu của khối thanh ghi dịch tín hiệu điện áp cao. Tín hiệu điện áp cao OUT1<11> có thể được sử dụng để điều khiển hàng thứ mười một của các đơn vị pixel con để hoàn thành bù bên ngoài. Fig.21 thể hiện dữ liệu mô phỏng của các tín hiệu được xuất ra từ mạch điều khiển cực cổng trên Fig.19.

Theo khía cạnh khác, sáng chế đề cập đến thiết bị hiển thị. Fig.22 là sơ đồ của thiết bị hiển thị theo phương án thực hiện sáng chế. Thiết bị hiển thị 1 bao gồm mạch điều khiển cực cổng 20 (hoặc 20B) theo sáng chế và nhiều đơn vị pixel con 410 được bố trí trong mảng trên tấm hiển thị 40.

Trong mạch điều khiển cực cổng 20, có nhiều khối thanh ghi dịch theo sáng chế được ghép tầng nối tiếp. Một khối thanh ghi dịch tương ứng xuất ra tín hiệu ra thứ nhất OUT1 và tín hiệu ra thứ hai OUT2 lần lượt được cấp cho các hàng khác nhau của các đơn vị pixel con 410 trong mảng. Chẳng hạn, mạch điều khiển cực cổng 20 được kết nối với các đơn vị pixel con 410 tương ứng qua các đường cực cổng (gate lines, GL). Mạch điều khiển cực cổng 20 được sử dụng để cấp các tín hiệu điều khiển cho mảng đơn vị pixel con 410. Chẳng hạn, các tín hiệu điều khiển được sử dụng lần lượt để điều khiển quét các tranzito và các tranzito cảm ứng trong hàng đơn vị pixel con 410.

Theo phương án thực hiện, thiết bị hiển thị 1 cũng bao gồm mạch điều khiển dữ liệu 30 được tạo cấu hình để cấp các tín hiệu dữ liệu cho mảng đơn vị pixel con 410. Một cách tùy chọn, mạch điều khiển dữ liệu 30 được kết nối với các đơn vị pixel con 410 tương ứng qua các đường dữ liệu (data line, DL).

Một cách tùy chọn, thiết bị hiển thị 1 theo sáng chế có thể là một thiết bị được chọn từ tám hiển thị tinh thể lỏng, TV tinh thể lỏng, bộ hiển thị, tám hiển thị OLED, TV OLED, thiết bị hiển thị giấy điện tử, điện thoại thông minh, máy tính bảng, máy tính notebook, khung ảnh số, bộ điều hướng, và sản phẩm hoặc thành phần bất kỳ có chức năng hiển thị.

Theo khía cạnh khác nữa, sáng chế đề cập đến phương pháp điều khiển cho khối thanh ghi dịch được mô tả ở đây. Khối thanh ghi dịch 10 được thể hiện trên một số hình vẽ của bản mô tả có thể được sử dụng dưới dạng chi tiết của khối để xếp tầng mạch điều khiển cực cổng có nhiều tầng của các khối thanh ghi dịch được tạo cấu hình để điều khiển tám hiển thị ít nhất một khung ảnh.

Phương pháp điều khiển bao gồm bước vận hành mạch vào thứ nhất của khối thanh ghi dịch để điều khiển mức điện áp ở nút thứ nhất được nối giữa mạch vào thứ nhất và mạch ra thứ nhất đáp ứng tín hiệu vào thứ nhất. Sau đó, phương pháp bao gồm bước khiến mạch ra thứ nhất xuất ra tín hiệu thanh ghi dịch và tín hiệu ra thứ nhất đáp ứng mức điện áp ở nút thứ nhất. Phương pháp điều khiển cũng bao gồm bước vận hành mạch vào thứ hai của khối thanh ghi dịch để điều khiển mức điện áp ở nút thứ hai được nối giữa mạch vào thứ hai và mạch ra thứ hai

đáp ứng tín hiệu vào thứ nhất. Sau đó, phương pháp bao gồm bước khiến mạch ra thứ hai xuất ra tín hiệu ra thứ hai đáp ứng mức điện áp ở nút thứ hai.

Một cách tùy chọn, theo phương án thực hiện cụ thể, phương pháp bao gồm bước nhập tín hiệu vào thứ nhất vào mạch vào thứ nhất của khối phụ thứ nhất của khối thanh ghi dịch được mô tả ở đây và mạch vào thứ hai của khối phụ thứ hai của cùng khối thanh ghi dịch. Phương pháp còn bao gồm bước điều khiển khối phụ thứ nhất để điều khiển mức điện áp của nút thứ nhất của khối phụ thứ nhất dựa trên tín hiệu vào thứ nhất. Ngoài ra, phương pháp bao gồm bước ghép nối mạch ra thứ nhất với nút thứ nhất trong khối phụ thứ nhất. Phương pháp còn bao gồm bước điều khiển khối phụ thứ nhất để điều khiển mạch ra thứ nhất xuất ra tín hiệu thanh ghi dịch và tín hiệu ra thứ nhất đáp ứng mức điện áp của nút thứ nhất. Ngoài ra, phương pháp bao gồm bước điều khiển khối phụ thứ hai để điều khiển mức điện áp của nút thứ hai của khối phụ thứ hai dựa trên tín hiệu vào thứ nhất và ghép nối mạch ra thứ hai với nút thứ hai trong khối phụ thứ hai. Ngoài ra, phương pháp bao gồm bước điều khiển khối phụ thứ hai để điều khiển mạch ra thứ hai xuất tín hiệu ra thứ hai đáp ứng mức điện áp của nút thứ hai.

Một cách tùy chọn, bước điều khiển khối phụ thứ nhất để điều khiển mức điện áp của nút thứ nhất bao gồm sử dụng mạch vào trống có mạch vào chung để nhận tín hiệu vào thứ hai và tín hiệu đồng hồ thứ nhất để xác định mức điện áp của nút thứ ba và nút thứ tư và mạch truyền thứ nhất để điều khiển mức điện áp của nút thứ nhất đáp ứng mức điện áp của nút thứ tư. Cùng lúc, bước điều khiển khối phụ thứ hai để điều khiển mức điện áp của nút thứ hai bao gồm sử dụng tiếp mạch truyền thứ hai trong mạch vào trống để điều khiển mức điện áp của nút thứ hai đáp ứng mức điện áp của nút thứ tư.

Một cách tùy chọn, bước điều khiển khối phụ thứ nhất để điều khiển mạch ra thứ nhất bao gồm việc sử dụng ít nhất mạch thiết lập lại thứ nhất và mạch thiết lập lại thứ hai để thiết lập lại các mức điện áp ở cực ra thanh ghi dịch và cực ra thứ nhất trong mạch ra thứ nhất. Bước này còn bao gồm điều khiển tín hiệu đồng hồ thứ hai được xuất ra dưới dạng tín hiệu thanh ghi dịch và tín hiệu đồng hồ thứ ba được xuất ra dưới dạng tín hiệu ra thứ nhất đáp ứng điện áp của nút thứ nhất. Theo cách khác, bước điều khiển khối phụ thứ hai để điều khiển mạch ra thứ hai

bao gồm việc sử dụng ít nhất mạch thiết lập lại thứ ba để thiết lập lại mức điện áp ở cực ra thứ hai trong mạch ra thứ hai. Bước này còn bao gồm điều khiển tín hiệu đồng hồ thứ tư được xuất ra dưới dạng tín hiệu ra thứ hai đáp ứng mức điện áp của nút thứ hai.

Phần mô tả nêu trên của các phương án thực hiện sáng chế đã được nêu để minh họa và mô tả. Không nhằm vét cạn hoặc giới hạn sáng chế ở dạng chính xác hoặc ở các phương án thực hiện lấy làm ví dụ được bộc lộ. Do đó, phần mô tả nêu trên nên được xem là minh họa thay vì giới hạn. Rõ ràng là, nhiều cải biến và biến thể sẽ trở nên rõ ràng với người có hiểu biết trung bình trong lĩnh vực. Các phương án thực hiện được chọn và mô tả để giải thích các nguyên lý sáng chế và ứng dụng thực tế ở chế độ tốt nhất của nó, nhờ đó khiến người có hiểu biết trung bình trong lĩnh vực hiểu sáng chế theo các phương án thực hiện khác nhau và với các cải biến khác nhau thích hợp với việc sử dụng cụ thể hoặc triển khai được xem xét. Phạm vi của sáng chế sẽ được định nghĩa bởi các điểm yêu cầu bảo hộ đi kèm và các điểm tương đương trong đó tất cả các cụm từ được hiểu theo nghĩa rộng nhất có thể trừ khi có thông báo khác. Do vậy, cụm từ “sáng chế” hoặc tương tự không nhất thiết giới hạn phạm vi bảo hộ ở phương án thực hiện cụ thể, và việc dẫn đến các phương án thực hiện lấy làm ví dụ của sáng chế không giới hạn ở sáng chế, và không suy ra giới hạn bất kỳ. Sáng chế bị giới hạn ở nguyên lý và phạm vi của các điểm yêu cầu bảo hộ đi kèm. Ngoài ra, các điểm yêu cầu bảo hộ có thể đề cập đến việc sử dụng “thứ nhất”, “thứ hai”, v.v. tiếp theo sau danh từ hoặc phân tử. Các cụm từ này nên được hiểu như là danh pháp và không nên hiểu như là giới hạn ở số lượng phân tử được chỉnh sửa bởi danh pháp trừ khi số cụ thể được nêu. Các ưu điểm và các thuận lợi được mô tả có thể không được áp dụng cho tất cả các phương án thực hiện sáng chế. Nên hiểu rằng các biến thể có thể được thực hiện theo các phương án thực hiện được mô tả bởi người có hiểu biết trung bình trong lĩnh vực mà không xa rời phạm vi của sáng chế như được định nghĩa bởi các điểm yêu cầu bảo hộ sau. Ngoài ra, không phân tử và thành phần nào theo sáng chế sẽ được nêu công khai trừ khi phân tử hoặc thành phần này được nêu rõ ràng trong các điểm yêu cầu bảo hộ sau.

YÊU CẦU BẢO HỘ

1. Khối thanh ghi dịch bao gồm:

khối phụ thứ nhất bao gồm mạch vào thứ nhất được ghép nối qua nút thứ nhất với mạch ra thứ nhất, mạch vào thứ nhất được tạo cấu hình để điều khiển mức điện áp của nút thứ nhất đáp ứng tín hiệu vào thứ nhất và mạch ra thứ nhất được tạo cấu hình để xuất ra tín hiệu thanh ghi dịch và tín hiệu ra thứ nhất đáp ứng mức điện áp của nút thứ nhất;

khối phụ thứ hai bao gồm mạch vào thứ hai được ghép nối qua nút thứ hai đến mạch ra thứ hai, mạch vào thứ hai được tạo cấu hình để điều khiển mức điện áp của nút thứ hai đáp ứng tín hiệu vào thứ nhất và mạch ra thứ hai được tạo cấu hình để xuất ra tín hiệu ra thứ hai đáp ứng mức điện áp của nút thứ hai.

2. Khối thanh ghi dịch theo điểm 1, trong đó khối thanh ghi dịch còn bao gồm khối phụ đầu vào trống được ghép nối với nút thứ nhất và nút thứ hai, và được tạo cấu hình để nhận tín hiệu điều khiển lựa chọn để điều khiển các mức điện áp tương ứng của nút thứ nhất và nút thứ hai.

3. Khối thanh ghi dịch theo điểm 2, trong đó khối phụ đầu vào trống bao gồm mạch chung đầu vào, mạch truyền thứ nhất, và mạch truyền thứ hai,

mạch chung đầu vào được tạo cấu hình để điều khiển mức điện áp của nút thứ ba đáp ứng tín hiệu điều khiển lựa chọn và để điều khiển mức điện áp của nút thứ tư;

mạch truyền thứ nhất được ghép nối với nút thứ nhất và nút thứ tư, và được tạo cấu hình để điều khiển mức điện áp của nút thứ nhất đáp ứng mức điện áp của nút thứ tư hoặc tín hiệu truyền thứ nhất; và

mạch truyền thứ hai được ghép nối với nút thứ hai và nút thứ tư, và được tạo cấu hình để điều khiển mức điện áp của nút thứ hai đáp ứng mức điện áp của nút thứ tư hoặc tín hiệu truyền thứ hai.

4. Khối thanh ghi dịch theo điểm 3, trong đó mạch chung đầu vào còn bao gồm mạch điều khiển lựa chọn và mạch vào thứ ba,

mạch điều khiển lựa chọn được tạo cấu hình để sử dụng tín hiệu vào thứ hai để điều khiển mức điện áp của nút thứ ba đáp ứng tín hiệu điều khiển lựa chọn, và để duy trì mức điện áp của nút thứ ba; và

mạch vào thứ ba được tạo cấu hình để điều khiển mức điện áp của nút thứ tư đáp ứng mức điện áp của nút thứ ba.

5. Khối thanh ghi dịch theo điểm 4, trong đó mạch điều khiển lựa chọn bao gồm tranzito thứ nhất và tụ điện thứ nhất, tranzito thứ nhất có cực cổng được tạo cấu hình để nhận tín hiệu điều khiển lựa chọn, cực thứ nhất được tạo cấu hình để nhận tín hiệu vào thứ hai, và cực thứ hai được ghép nối với nút thứ ba, tụ điện thứ nhất có cực thứ nhất được ghép nối với nút thứ ba.

6. Khối thanh ghi dịch theo điểm 4, trong đó mạch vào thứ ba bao gồm tranzito thứ hai có cổng được ghép nối với nút thứ ba, cực thứ nhất được tạo cấu hình để nhận tín hiệu đồng hồ thứ nhất, và cực thứ hai được ghép nối với nút thứ tư.

7. Khối thanh ghi dịch theo điểm bất kỳ trong số các điểm từ 3 đến 6, trong đó mạch truyền thứ nhất bao gồm tranzito thứ ba và mạch truyền thứ hai bao gồm tranzito thứ tư;

tranzito thứ ba có cực cổng được ghép nối với nút thứ tư, và cực thứ nhất được tạo cấu hình để nhận điện áp thứ nhất, và cực thứ hai được ghép nối với nút thứ nhất; và

tranzito thứ tư có cực cổng được ghép nối với nút thứ tư, cực thứ nhất được tạo cấu hình để nhận điện áp thứ nhất, và cực thứ hai được ghép nối với nút thứ hai.

8. Khối thanh ghi dịch theo điểm bất kỳ trong số các điểm từ 1 đến 6, trong đó mạch vào thứ nhất bao gồm tranzito thứ năm và mạch ra thứ nhất bao gồm tranzito thứ sáu, tranzito thứ bảy, và tụ điện thứ hai;

tranzito thứ năm có cực cổng được tạo cấu hình để nhận tín hiệu vào thứ nhất, cực thứ nhất được tạo cấu hình để nhận điện áp thứ nhất, và cực thứ hai được ghép nối với nút thứ nhất;

tranzito thứ sáu có cực cổng được ghép nối với nút thứ nhất, cực thứ nhất được tạo cấu hình để nhận tín hiệu đồng hồ thứ hai làm tín hiệu thanh ghi dịch, và cực thứ hai được tạo cấu hình để xuất tín hiệu thanh ghi dịch;

tranzito thứ bảy có cực cổng được ghép nối với nút thứ nhất, cực thứ nhất được tạo cấu hình để nhận tín hiệu đồng hồ thứ ba làm tín hiệu ra thứ nhất, và cực thứ hai được tạo cấu hình để xuất tín hiệu ra thứ nhất;

tụ điện thứ hai có cực thứ nhất được ghép nối với nút thứ nhất và cực thứ hai được ghép nối với cực thứ hai của tranzito thứ bảy.

9. Khối thanh ghi dịch theo điểm bất kỳ trong số các điểm từ 1 đến 6, trong đó mạch vào thứ hai bao gồm tranzito thứ tám và mạch ra thứ hai bao gồm tranzito thứ chín và tụ điện thứ ba;

tranzito thứ tám có cực cổng được tạo cấu hình để nhận tín hiệu vào thứ nhất, cực thứ nhất được tạo cấu hình để nhận điện áp thứ nhất, và cực thứ hai được ghép nối với nút thứ hai;

tranzito thứ chín có cực cổng được ghép nối với nút thứ hai, cực thứ nhất được tạo cấu hình để nhận tín hiệu đồng hồ thứ tư làm tín hiệu ra thứ hai, và cực thứ hai được tạo cấu hình để xuất tín hiệu ra thứ hai; và

tụ điện thứ ba có cực thứ nhất được ghép nối với nút thứ hai và cực thứ hai được ghép nối với cực thứ hai của tranzito thứ chín.

10. Khối thanh ghi dịch theo điểm 6, trong đó khối phụ thứ nhất còn bao gồm mạch điều khiển thứ nhất, mạch thiết lập lại thứ nhất, mạch thiết lập lại thứ hai, cực ra thanh ghi dịch, và cực ra thứ nhất;

mạch điều khiển thứ nhất được tạo cấu hình để điều khiển mức điện áp của nút thứ năm đáp ứng mức điện áp ở nút thứ nhất và điện áp thứ hai;

mạch thiết lập lại thứ nhất được tạo cấu hình để thiết lập lại các mức điện áp ở nút thứ nhất, cực ra thanh ghi dịch, và cực ra thứ nhất đáp ứng mức điện áp ở nút thứ năm; và

mạch thiết lập lại thứ hai được tạo cấu hình để thiết lập lại các mức điện áp ở nút thứ nhất, cực ra thanh ghi dịch, và cực ra thứ nhất đáp ứng mức điện áp ở nút thứ sáu.

11. Khối thanh ghi dịch theo điểm 10, trong đó khối phụ thứ hai còn bao gồm mạch điều khiển thứ hai, mạch thiết lập lại thứ ba, mạch thiết lập lại thứ tư, và cực ra thứ hai;

cực ra thứ hai được tạo cấu hình để xuất ra tín hiệu ra thứ hai;

mạch điều khiển thứ hai được tạo cấu hình để điều khiển mức điện áp của nút thứ sáu đáp ứng mức điện áp ở nút thứ hai và điện áp thứ ba;

mạch thiết lập lại thứ ba được tạo cấu hình để thiết lập lại các mức điện áp ở nút thứ hai và cực ra thứ hai đáp ứng mức điện áp của nút thứ sáu; và

mạch thiết lập lại thứ tư được tạo cấu hình để thiết lập lại các mức điện áp ở nút thứ hai và cực ra thứ hai đáp ứng mức điện áp của nút thứ năm.

12. Khối thanh ghi dịch theo điểm 11, trong đó khối phụ đầu vào trống còn bao gồm mạch thiết lập lại chung được ghép nối với nút thứ tư, nút thứ năm, và nút thứ sáu, và được tạo cấu hình để thiết lập lại mức điện áp của nút thứ tư đáp ứng mức điện áp ở nút thứ năm hoặc nút thứ sáu.

13. Khối thanh ghi dịch theo điểm 12, trong đó mạch thiết lập lại chung bao gồm tranzito thứ mười và tranzito thứ mười một;

tranzito thứ mười có cực cổng được ghép nối với nút thứ năm, cực thứ nhất được ghép nối với nút thứ tư, và cực thứ hai được tạo cấu hình để nhận điện áp thứ tư; và

tranzito thứ mười một có cực cổng được ghép nối với nút thứ sáu, cực thứ nhất được ghép nối với nút thứ tư, và cực thứ hai được tạo cấu hình để nhận điện áp thứ tư.

14. Khối thanh ghi dịch theo điểm 10, trong đó mạch điều khiển thứ nhất bao gồm tranzito thứ mười hai và tranzito thứ mười ba; mạch thiết lập lại thứ nhất bao gồm tranzito thứ mười bốn, tranzito thứ mười năm, và tranzito thứ mười sáu; và mạch thiết lập lại thứ hai bao gồm tranzito thứ mười bảy, tranzito thứ mười tám, và tranzito thứ mười chín;

tranzito thứ mười hai có cực cổng và cực thứ nhất thường được tạo cấu hình để nhận điện áp thứ hai, và cực thứ hai được ghép nối với nút thứ năm;

tranzito thứ mười ba có cực cổng được ghép nối với nút thứ nhất, cực thứ nhất được ghép nối với nút thứ năm, và cực thứ hai được tạo cấu hình để nhận điện áp thứ tư;

tranzito thứ mười bốn có cực cổng được ghép nối với nút thứ năm, cực thứ nhất được ghép nối với nút thứ nhất, và cực thứ hai được tạo cấu hình để nhận điện áp thứ tư;

tranzito thứ mười năm có cực cổng được ghép nối với nút thứ năm, cực thứ nhất được ghép nối với cực ra thanh ghi dịch, và cực thứ hai được tạo cấu hình để nhận điện áp thứ tư;

tranzito thứ mười sáu có cực cổng được ghép nối với nút thứ năm, cực thứ nhất được ghép nối với cực ra thứ nhất, và cực thứ hai được tạo cấu hình để nhận điện áp thứ năm;

tranzito thứ mười bảy có cực cổng được ghép nối với nút thứ sáu, cực thứ nhất được ghép nối với nút thứ nhất, và cực thứ hai được tạo cấu hình để nhận điện áp thứ tư;

tranzito thứ mười tám có cực cổng được ghép nối với nút thứ sáu, cực thứ nhất được ghép nối với cực ra thanh ghi dịch, và cực thứ hai được tạo cấu hình để nhận điện áp thứ tư; và

tranzito thứ mười chín có cực cổng được ghép nối với nút thứ sáu, cực thứ nhất được ghép nối với cực ra thứ nhất, và cực thứ hai được tạo cấu hình để nhận điện áp thứ năm.

15. Khối thanh ghi dịch theo điểm 11, trong đó mạch điều khiển thứ hai bao gồm tranzito thứ hai mươi và tranzito thứ hai mươi một; mạch thiết lập lại thứ ba bao gồm tranzito thứ hai mươi hai và tranzito thứ hai mươi ba; và mạch thiết lập lại thứ tư bao gồm tranzito thứ hai mươi tư và tranzito thứ hai mươi năm;

tranzito thứ hai mươi có cực cổng và cực thứ nhất thường được tạo cấu hình để nhận điện áp thứ ba, và cực thứ hai được ghép nối với nút thứ sáu;

tranzito thứ hai mươi một có cực cổng được ghép nối với nút thứ hai, cực thứ nhất được ghép nối với nút thứ sáu, và cực thứ hai được tạo cấu hình để nhận điện áp thứ tư;

tranzito thứ hai mươi hai có cực cổng được ghép nối với nút thứ sáu, cực thứ nhất được ghép nối với nút thứ hai, và cực thứ hai được tạo cấu hình để nhận điện áp thứ tư;

tranzito thứ hai mươi ba có cực cổng được ghép nối với nút thứ sáu, cực thứ nhất được ghép nối với cực ra thứ hai, và cực thứ hai được tạo cấu hình để nhận điện áp thứ năm;

tranzito thứ hai mươi tư có cực cổng được ghép nối với nút thứ năm, cực thứ nhất được ghép nối với nút thứ hai, và cực thứ hai được tạo cấu hình để nhận điện áp thứ tư; và

tranzito thứ hai mươi năm có cực cổng được ghép nối với nút thứ năm, cực thứ nhất được ghép nối với tín hiệu ra thứ hai, và cực thứ hai được tạo cấu hình để nhận điện áp thứ năm.

16. Khối thanh ghi dịch theo điểm 11, trong đó khối phụ thứ nhất còn bao gồm cực ra thứ ba được tạo cấu hình để xuất tín hiệu ra thứ ba; khối phụ thứ hai còn bao gồm cực ra thứ tư được tạo cấu hình để xuất tín hiệu ra thứ tư; mạch thiết lập lại thứ nhất và mạch thiết lập lại thứ hai được tạo cấu hình để thiết lập lại mức điện áp ở cực ra thứ ba; và mạch thiết lập lại thứ ba và mạch thiết lập lại thứ tư được tạo cấu hình để thiết lập lại mức điện áp ở cực ra thứ tư.

17. Khối thanh ghi dịch theo điểm 11, trong đó khối phụ thứ nhất còn bao gồm mạch điều khiển thứ ba và mạch điều khiển thứ tư; mạch điều khiển thứ ba được tạo cấu hình để điều khiển mức điện áp của nút thứ năm đáp ứng tín hiệu đồng hồ thứ nhất và mạch điều khiển thứ tư được tạo cấu hình để điều khiển mức điện áp của nút thứ năm đáp ứng tín hiệu vào thứ nhất;

khối phụ thứ hai còn bao gồm mạch điều khiển thứ năm và mạch điều khiển thứ sáu; mạch điều khiển thứ năm được tạo cấu hình để điều khiển mức điện áp của nút thứ sáu đáp ứng tín hiệu đồng hồ thứ nhất và mạch điều khiển thứ sáu được tạo cấu hình để điều khiển mức điện áp của nút thứ sáu đáp ứng tín hiệu vào thứ nhất.

18. Khối thanh ghi dịch theo điểm 17, trong đó khối phụ thứ nhất còn bao gồm mạch thiết lập lại thứ năm và mạch thiết lập lại thứ sáu; mạch thiết lập lại thứ năm được tạo cấu hình để thiết lập lại mức điện áp ở nút thứ nhất đáp ứng tín hiệu thiết lập lại hiển thị và mạch thiết lập lại thứ sáu được tạo cấu hình để thiết lập lại mức điện áp ở nút thứ nhất đáp ứng tín hiệu thiết lập lại toàn phần;

khối phụ thứ hai còn bao gồm mạch thiết lập lại thứ bảy và mạch thiết lập lại thứ tám; mạch thiết lập lại thứ bảy được tạo cấu hình để thiết lập lại mức điện áp ở nút thứ hai đáp ứng tín hiệu thiết lập lại hiển thị và mạch thiết lập lại thứ tám

được tạo cấu hình để thiết lập lại mức điện áp ở nút thứ hai đáp ứng tín hiệu thiết lập lại toàn phần.

19. Khối thanh ghi dịch theo điểm 18, trong đó khối thanh ghi dịch còn bao gồm mạch chống rò chung, mạch chống rò thứ nhất, và mạch chống rò thứ hai;

mạch chống rò chung được kết nối với nút thứ nhất và nút thứ bảy, và được tạo cấu hình để điều khiển mức điện áp ở nút thứ bảy đáp ứng mức điện áp ở nút thứ nhất;

mạch chống rò thứ nhất được kết nối với nút thứ bảy, mạch thiết lập lại thứ nhất, mạch thiết lập lại thứ hai, mạch thiết lập lại thứ năm, và mạch thiết lập lại thứ sáu, và được tạo cấu hình để ngăn không cho nút thứ nhất rò đáp ứng mức điện áp của ở nút thứ bảy; và

mạch chống rò thứ hai được kết nối với nút thứ bảy, mạch thiết lập lại thứ ba, mạch thiết lập lại thứ tư, mạch thiết lập lại thứ bảy, và mạch thiết lập lại thứ tám, và được tạo cấu hình để ngăn không cho nút thứ hai rò đáp ứng mức điện áp ở nút thứ bảy.

20. Khối thanh ghi dịch theo điểm 3, trong đó khối phụ thứ nhất bao gồm,

mạch vào thứ nhất được kết nối với nút thứ nhất, mạch vào thứ nhất bao gồm:

tranzito thứ năm có cực cổng được tạo cấu hình để nhận tín hiệu vào thứ nhất, cực thứ nhất được tạo cấu hình để nhận điện áp thứ nhất, và cực thứ hai được ghép nối với nút thứ nhất;

mạch điều khiển thứ nhất được kết nối với nút thứ nhất và nút thứ năm, mạch điều khiển thứ nhất bao gồm:

tranzito thứ mười hai có cực cổng và cực thứ nhất thường được tạo cấu hình để nhận điện áp thứ hai, và cực thứ hai được ghép nối với nút thứ năm;

tranzito thứ mười ba có cực cổng được ghép nối với nút thứ nhất, cực thứ nhất được ghép nối với nút thứ năm, và cực thứ hai được tạo cấu hình để nhận điện áp thứ tư;

mạch điều khiển thứ ba được kết nối với nút thứ ba và nút thứ năm, mạch điều khiển thứ ba bao gồm:

tranzito thứ ba mươi hai có cực cổng được tạo cấu hình để nhận tín hiệu đồng hồ thứ nhất, cực thứ nhất được kết nối với nút thứ năm, và cực thứ hai;

tranzito thứ ba mươi ba có cực cổng được ghép nối với nút thứ ba, cực thứ nhất được ghép nối với cực thứ hai của tranzito thứ ba mươi hai, và cực thứ hai được tạo cấu hình để nhận điện áp thứ tư;

mạch điều khiển thứ tư được kết nối với nút thứ năm, mạch điều khiển thứ tư bao gồm:

tranzito thứ ba mươi tư có cực cổng được tạo cấu hình để nhận tín hiệu vào thứ nhất, cực thứ nhất được ghép nối với nút thứ năm, và cực thứ hai được tạo cấu hình để nhận điện áp thứ tư;

mạch ra thứ nhất được điều khiển bởi mức điện áp của nút thứ nhất, mạch ra thứ nhất bao gồm:

tranzito thứ sáu có cực cổng được ghép nối với nút thứ nhất, cực thứ nhất được tạo cấu hình để nhận tín hiệu đồng hồ thứ hai, và cực thứ hai được ghép nối với cực ra thanh ghi dịch để xuất tín hiệu đồng hồ thứ hai dưới dạng tín hiệu thanh ghi dịch đáp ứng mức điện áp của nút thứ nhất;

tranzito thứ bảy có cực cổng được ghép nối với nút thứ nhất, cực thứ nhất được tạo cấu hình để nhận tín hiệu đồng hồ thứ ba, và cực thứ hai được ghép nối với cực ra thứ nhất để xuất tín hiệu đồng hồ thứ ba dưới dạng tín hiệu ra thứ nhất đáp ứng mức điện áp của nút thứ nhất;

tụ điện thứ hai có cực thứ nhất được ghép nối với nút thứ nhất và cực thứ hai được ghép nối với cực ra thứ nhất;

tranzito thứ hai mươi sáu có cực cổng được ghép nối với nút thứ nhất, cực thứ nhất được tạo cấu hình để nhận tín hiệu đồng hồ thứ năm, và cực thứ hai được ghép nối với cực ra thứ ba để xuất tín hiệu đồng hồ thứ năm đáp ứng mức điện áp của nút thứ nhất; và

tụ điện thứ tư có cực thứ nhất được ghép nối với nút thứ nhất và cực thứ hai được ghép nối với cực ra thứ ba;

mạch thiết lập lại thứ nhất được kết nối với nút thứ nhất, nút thứ năm, và nút thứ bảy, mạch thiết lập lại thứ nhất bao gồm:

tranzito chống rò thứ mười bốn có cực công được ghép nối với nút thứ năm, cực thứ nhất được ghép nối với nút thứ nhất, và cực thứ hai được ghép nối với nút thứ bảy;

tranzito thứ mười bốn có cực công được ghép nối với nút thứ năm, cực thứ nhất được ghép nối với nút thứ bảy, và cực thứ hai được tạo cấu hình để nhận điện áp thứ tư;

tranzito thứ mười năm có cực công được ghép nối với nút thứ năm, cực thứ nhất được ghép nối với cực ra thanh ghi dịch, và cực thứ hai được tạo cấu hình để nhận điện áp thứ tư;

tranzito thứ mười sáu có cực công được ghép nối với nút thứ năm, cực thứ nhất được ghép nối với cực ra thứ nhất, và cực thứ hai được tạo cấu hình để nhận điện áp thứ năm; và

tranzito thứ hai mươi bảy có cực công được ghép nối với nút thứ năm, cực thứ nhất được ghép nối với cực ra thứ ba, cực thứ hai được tạo cấu hình để nhận điện áp thứ năm;

mạch thiết lập lại thứ hai được kết nối với nút thứ nhất, nút thứ sáu, và nút thứ bảy, mạch thiết lập lại thứ hai bao gồm:

tranzito chống rò thứ mười bảy có cực công được ghép nối với nút thứ sáu, cực thứ nhất được ghép nối với nút thứ nhất, và cực thứ hai;

tranzito thứ mười bảy có cực công được ghép nối với nút thứ sáu, cực thứ nhất được ghép nối với cực thứ hai của tranzito chống rò thứ mười bảy, và cực thứ hai được tạo cấu hình để nhận điện áp thứ tư;

tranzito thứ mười tám có cực công được ghép nối với nút thứ sáu, cực thứ nhất được ghép nối với cực ra thanh ghi dịch, và cực thứ hai được tạo cấu hình để nhận điện áp thứ tư;

tranzito thứ mười chín có cực công được ghép nối với nút thứ sáu, cực thứ nhất được ghép nối với cực ra thứ nhất, và cực thứ hai được tạo cấu hình để nhận điện áp thứ năm; và

tranzito thứ hai mươi tám có cực công được ghép nối với nút thứ sáu, cực thứ nhất được ghép nối với cực ra thứ ba, và cực thứ hai được tạo cấu hình để nhận điện áp thứ năm;

mạch thiết lập lại thứ năm được kết nối với nút thứ nhất và nút thứ bảy, mạch thiết lập lại thứ năm bao gồm:

tranzito chống rò thứ ba mươi tám có cực cổng được tạo cấu hình để nhận tín hiệu thiết lập lại hiển thị, cực thứ nhất được ghép nối với nút thứ nhất, và cực thứ hai được ghép nối với nút thứ bảy; và

tranzito thứ ba mươi tám có cực cổng được tạo cấu hình để nhận tín hiệu thiết lập lại hiển thị, cực thứ nhất được ghép nối với nút thứ bảy, và cực thứ hai được tạo cấu hình để nhận điện áp thứ tư;

mạch thiết lập lại thứ sáu được kết nối với nút thứ nhất và nút thứ bảy, mạch thiết lập lại thứ sáu bao gồm:

tranzito chống rò thứ bốn mươi có cực cổng được tạo cấu hình để nhận tín hiệu thiết lập lại toàn phần, cực thứ nhất được ghép nối với nút thứ nhất, và cực thứ hai được ghép nối với nút thứ bảy; và

tranzito thứ bốn mươi có cực cổng được tạo cấu hình để nhận tín hiệu thiết lập lại toàn phần, cực thứ nhất được ghép nối với nút thứ bảy, và cực thứ hai được tạo cấu hình để nhận điện áp thứ tư;

và khối phụ đầu vào trống bao gồm:

mạch điều khiển lựa chọn được kết nối với nút thứ ba và nút thứ tư, mạch điều khiển lựa chọn bao gồm:

tranzito thứ nhất có cực cổng được tạo cấu hình để nhận tín hiệu điều khiển lựa chọn, cực thứ nhất được tạo cấu hình để nhận tín hiệu vào thứ hai, và cực thứ hai;

tranzito chống rò thứ nhất có cực cổng được tạo cấu hình để nhận tín hiệu điều khiển lựa chọn, cực thứ nhất được ghép nối với cực thứ hai của tranzito thứ nhất, và cực thứ hai được ghép nối với nút thứ ba;

tụ điện thứ nhất có cực thứ nhất được ghép nối với nút thứ ba và cực thứ hai được ghép nối với nút thứ tư; và

tranzito thứ bốn mươi ba có cực cổng được ghép nối với nút thứ ba, cực thứ nhất được tạo cấu hình để nhận điện áp thứ sáu, và cực thứ hai được ghép nối với cực thứ hai của tranzito thứ nhất;

mạch vào thứ ba được kết nối với nút thứ ba và nút thứ tư, mạch vào thứ ba bao gồm:

tranzito thứ hai có cực cổng được ghép nối với nút thứ ba, cực thứ nhất được tạo cấu hình để nhận tín hiệu đồng hồ thứ nhất, và cực thứ hai được ghép nối với nút thứ tư;

mạch truyền thứ nhất được kết nối với nút thứ nhất và nút thứ tư, mạch truyền thứ nhất bao gồm:

tranzito thứ ba có cực cổng được ghép nối với nút thứ tư, cực thứ nhất được tạo cấu hình để nhận điện áp thứ nhất, và cực thứ hai được ghép nối với nút thứ nhất;

mạch thiết lập lại chung được kết nối với nút thứ năm, nút thứ sáu, và nút thứ tư, mạch thiết lập lại chung bao gồm:

tranzito thứ mười có cực cổng được ghép nối với nút thứ năm, cực thứ nhất được ghép nối với nút thứ tư, và cực thứ hai được tạo cấu hình để nhận điện áp thứ tư; và

tranzito thứ mười một có cực cổng được ghép nối với nút thứ sáu, cực thứ nhất được ghép nối với nút thứ tư, và cực thứ hai được tạo cấu hình để nhận điện áp thứ tư;

trong đó điện áp thứ nhất, điện áp thứ hai, và điện áp thứ sáu có điện áp mức cao; điện áp thứ tư và điện áp thứ năm có điện áp mức thấp.

21. Khối thanh ghi dịch theo điểm 20, trong đó khối thanh ghi dịch còn bao gồm mạch chống rò chung được kết nối với nút thứ nhất và nút thứ bảy, mạch chống rò chung bao gồm tranzito thứ bốn mươi tư có cực cổng được ghép nối với nút thứ nhất, cực thứ nhất được tạo cấu hình để nhận điện áp thứ sáu, cực thứ hai được ghép nối với nút thứ bảy; nút thứ bảy được chia sẻ với mạch chống rò thứ nhất bao gồm tranzito chống rò thứ mười bốn, tranzito chống rò thứ mười bảy, tranzito chống rò thứ ba mươi tám, và tranzito chống rò thứ bốn mươi.

22. Khối thanh ghi dịch theo điểm 20, trong đó khối phụ thứ hai bao gồm,

mạch vào thứ hai được kết nối với nút thứ hai, mạch vào thứ hai bao gồm:

tranzito thứ tám có cực cổng được tạo cấu hình để nhận tín hiệu vào thứ nhất, cực thứ nhất được tạo cấu hình để nhận điện áp thứ nhất, và cực thứ hai được ghép nối với nút thứ hai;

mạch điều khiển thứ hai được kết nối với nút thứ hai và nút thứ sáu, mạch điều khiển thứ hai bao gồm:

tranzito thứ hai mươi có cực cổng và cực thứ nhất thường được tạo cấu hình để nhận điện áp thứ ba, và cực thứ hai được ghép nối với nút thứ sáu; và

tranzito thứ hai mươi một có cực cổng được ghép nối với nút thứ hai, cực thứ nhất được ghép nối với nút thứ sáu, và cực thứ hai được tạo cấu hình để nhận điện áp thứ tư;

mạch điều khiển thứ năm được kết nối với nút thứ sáu và nút thứ ba, mạch điều khiển thứ năm bao gồm:

tranzito thứ ba mươi năm có cực cổng được tạo cấu hình để nhận tín hiệu đồng hồ thứ nhất, cực thứ nhất được ghép nối với nút thứ sáu, và cực thứ hai; và

tranzito thứ ba mươi sáu có cực cổng được ghép nối với nút thứ ba, cực thứ nhất được ghép nối với cực thứ hai của tranzito thứ ba mươi năm, và cực thứ hai được tạo cấu hình để nhận điện áp thứ tư;

mạch điều khiển thứ sáu được kết nối với nút thứ sáu, mạch điều khiển thứ sáu bao gồm:

tranzito thứ ba mươi bảy có cực cổng được tạo cấu hình để nhận tín hiệu vào thứ nhất, cực thứ nhất được ghép nối với nút thứ sáu, và cực thứ hai được tạo cấu hình để nhận điện áp thứ tư;

mạch ra thứ hai được điều khiển bởi mức điện áp của nút thứ hai, mạch ra thứ hai bao gồm:

tranzito thứ chín có cực cổng được ghép nối với nút thứ hai, cực thứ nhất được tạo cấu hình để nhận tín hiệu đồng hồ thứ tư, và cực thứ hai được ghép nối với cực ra thứ hai để xuất tín hiệu đồng hồ thứ tư dưới dạng tín hiệu ra thứ hai đáp ứng mức điện áp của nút thứ hai;

tụ điện thứ ba có cực thứ nhất được ghép nối với nút thứ hai và cực thứ hai được ghép nối với cực ra thứ hai;

tranzito thứ hai mươi chín có cực cổng được ghép nối với nút thứ hai, cực thứ nhất được tạo cấu hình để nhận tín hiệu đồng hồ thứ sáu, và cực thứ hai được ghép nối với cực ra thứ tư để xuất tín hiệu đồng hồ thứ sáu dưới dạng tín hiệu ra thứ tư đáp ứng mức điện áp của nút thứ hai; và

tụ điện thứ năm có cực thứ nhất được ghép nối với nút thứ hai và cực thứ hai được ghép nối với cực ra thứ tư;

mạch thiết lập lại thứ ba được kết nối với nút thứ hai, nút thứ sáu, và nút thứ tám, mạch thiết lập lại thứ ba bao gồm:

tranzito chống rò thứ hai mươi hai có cực cổng được ghép nối với nút thứ sáu, cực thứ nhất được ghép nối với nút thứ hai, và cực thứ hai được ghép nối với nút thứ tám;

tranzito thứ hai mươi hai có cực cổng được ghép nối với nút thứ sáu, cực thứ nhất được ghép nối với nút thứ tám, và cực thứ hai được tạo cấu hình để nhận điện áp thứ tư;

tranzito thứ hai mươi ba có cực cổng được ghép nối với nút thứ sáu, cực thứ nhất được ghép nối với cực ra thứ hai, và cực thứ hai được tạo cấu hình để nhận điện áp thứ năm; và

tranzito thứ ba mươi có cực cổng được ghép nối với nút thứ sáu, cực thứ nhất được ghép nối với cực ra thứ tư, và cực thứ hai được tạo cấu hình để nhận điện áp thứ năm;

mạch thiết lập lại thứ tư được kết nối với nút thứ hai, nút thứ tám, và nút thứ năm, mạch thiết lập lại thứ tư bao gồm:

tranzito chống rò thứ hai mươi tư có cực cổng được ghép nối với nút thứ năm, cực thứ nhất được ghép nối với nút thứ hai, và cực thứ hai được ghép nối với nút thứ tám;

tranzito thứ hai mươi tư có cực cổng được ghép nối với nút thứ năm, cực thứ nhất được ghép nối với nút thứ tám, và cực thứ hai được tạo cấu hình để nhận điện áp thứ tư;

tranzito thứ hai mươi năm có cực cổng được ghép nối với nút thứ năm, cực thứ nhất được ghép nối với cực ra thứ hai, và cực thứ hai được tạo cấu hình để nhận điện áp thứ năm; và

tranzito thứ ba mươi một có cực công được ghép nối với nút thứ năm, cực thứ nhất được ghép nối với cực ra thứ tư, và cực thứ hai được tạo cấu hình để nhận điện áp thứ năm;

mạch thiết lập lại thứ bảy được kết nối với nút thứ hai và nút thứ tám, mạch thiết lập lại thứ bảy bao gồm:

tranzito chống rò thứ ba mươi chín có cực công được tạo cấu hình để nhận tín hiệu thiết lập lại hiển thị, cực thứ nhất được ghép nối với nút thứ hai, và cực thứ hai được ghép nối với nút thứ tám; và

tranzito thứ ba mươi chín có cực công được tạo cấu hình để nhận tín hiệu thiết lập lại hiển thị, cực thứ nhất được ghép nối với nút thứ tám, và cực thứ hai được tạo cấu hình để nhận điện áp thứ tư;

mạch thiết lập lại thứ tám được kết nối với nút thứ hai and nút thứ tám, mạch thiết lập lại thứ tám bao gồm:

tranzito chống rò thứ bốn mươi một có cực công được tạo cấu hình để nhận tín hiệu thiết lập lại toàn phần, cực thứ nhất được ghép nối với nút thứ hai, và cực thứ hai được ghép nối với nút thứ tám; và

tranzito thứ bốn mươi một có cực công được tạo cấu hình để nhận tín hiệu thiết lập lại toàn phần, cực thứ nhất được ghép nối với nút thứ tám, và cực thứ hai được tạo cấu hình để nhận điện áp thứ tư;

và khối phụ đầu vào trống còn bao gồm,

mạch truyền thứ hai được kết nối với nút thứ hai và nút thứ tư, mạch truyền thứ hai bao gồm:

tranzito thứ tư có cực công được ghép nối với nút thứ tư, cực thứ nhất được tạo cấu hình để nhận điện áp thứ nhất, và cực thứ hai được ghép nối với nút thứ hai;

trong đó điện áp thứ nhất, điện áp thứ ba, và điện áp thứ sáu có mức điện áp cao; điện áp thứ tư và điện áp thứ năm có mức điện áp thấp.

23. Khối thanh ghi dịch theo điểm 22, trong đó nút thứ tám được kết nối với nút thứ bảy, khối thanh ghi dịch còn bao gồm mạch chống rò chung được kết nối với nút thứ nhất và nút thứ bảy, mạch chống rò chung bao gồm tranzito thứ bốn mươi tư có cực công được ghép nối với nút thứ nhất, cực thứ nhất được tạo cấu hình

để nhận điện áp thứ sáu, cực thứ hai được ghép nối với nút thứ bảy; ở nút thứ bảy được chia sẻ với mạch chống rò thứ hai bao gồm tranzito chống rò thứ hai mươi hai, tranzito chống rò thứ hai mươi tư, tranzito chống rò thứ ba mươi chín, và tranzito chống rò thứ bốn mươi một.

24. Khối thanh ghi dịch theo điểm 22, còn bao gồm mạch chống rò riêng rẽ được kết nối với nút thứ hai và nút thứ tám, mạch chống rò riêng rẽ bao gồm tranzito thứ bốn mươi năm có cực cổng được ghép nối với nút thứ hai, cực thứ nhất được tạo cấu hình để nhận điện áp thứ sáu, và cực thứ hai được ghép nối với nút thứ tám; nút thứ tám được chia sẻ với mạch chống rò thứ hai bao gồm tranzito chống rò thứ hai mươi hai, tranzito chống rò thứ hai mươi tư, tranzito chống rò thứ ba mươi chín, và tranzito chống rò thứ bốn mươi một.

25. Mạch điều khiển cực cổng bao gồm nhiều khối thanh ghi dịch được ghép tầng nối tiếp, mỗi bộ trong nhiều khối thanh ghi dịch là khối thanh ghi dịch theo điểm bất kỳ trong số các điểm từ 1 đến 24 bao gồm cặp khối phụ thứ nhất ở tầng lẻ và khối phụ thứ hai ở tầng chẵn tiếp theo lần lượt được điều khiển bởi các mức điện áp của nút thứ nhất và nút thứ hai, các mức điện áp của nút thứ nhất và nút thứ hai lần lượt được điều khiển bởi mạch truyền thứ nhất và mạch truyền thứ hai được ghép nối chung từ mạch chung đầu vào, trong đó khối phụ thứ nhất của khối thanh ghi dịch xuất ra tín hiệu thanh ghi dịch dưới dạng tín hiệu vào thứ nhất để điều khiển cả khối phụ thứ nhất lẫn khối phụ thứ hai trong khối thanh ghi dịch tiếp theo hoặc dưới dạng tín hiệu thiết lập lại hiển thị để điều khiển cả khối phụ thứ nhất lẫn khối phụ thứ hai thành một trước khối thanh ghi dịch trước đó.

26. Thiết bị hiển thị bao gồm mạch điều khiển cực cổng theo điểm 25 và nhiều đơn vị pixel con được bố trí trong mảng, trong đó tín hiệu ra thứ nhất và tín hiệu ra thứ hai lần lượt được xuất ra từ mạch ra thứ nhất và mạch ra thứ hai của một khối thanh ghi dịch trong mạch điều khiển cực cổng được bố trí lần lượt đến các đơn vị pixel con trong các hàng khác nhau của mảng.

27. Phương pháp điều khiển khối thanh ghi dịch theo điểm bất kỳ trong số các điểm từ 1 đến 24, trong đó phương pháp bao gồm các bước:

nhập tín hiệu vào thứ nhất vào mạch vào thứ nhất của khối phụ thứ nhất của khối thanh ghi dịch và mạch vào thứ hai của khối phụ thứ hai của cùng khối thanh ghi dịch;

điều khiển khối phụ thứ nhất để điều khiển mức điện áp của nút thứ nhất của khối phụ thứ nhất dựa trên tín hiệu vào thứ nhất;

ghép nối mạch ra thứ nhất với nút thứ nhất;

điều khiển khối phụ thứ nhất để điều khiển mạch ra thứ nhất để xuất tín hiệu thanh ghi dịch và tín hiệu ra thứ nhất đáp ứng mức điện áp của nút thứ nhất;

điều khiển khối phụ thứ hai để điều khiển mức điện áp của nút thứ hai của khối phụ thứ hai dựa trên tín hiệu vào thứ nhất;

ghép nối mạch ra thứ hai với nút thứ hai; và

điều khiển khối phụ thứ hai để điều khiển mạch ra thứ hai để xuất ra tín hiệu ra thứ hai đáp ứng mức điện áp của nút thứ hai.

28. Phương pháp theo điểm 27, trong đó việc điều khiển khối phụ thứ nhất để điều khiển mức điện áp của nút thứ nhất bao gồm các bước sử dụng mạch vào trống có mạch vào chung để nhận tín hiệu vào thứ hai và tín hiệu đồng hồ thứ nhất để xác định mức điện áp của nút thứ ba và nút thứ tư và mạch truyền thứ nhất để điều khiển mức điện áp của nút thứ nhất đáp ứng mức điện áp của nút thứ tư; điều khiển khối phụ thứ hai để điều khiển mức điện áp của nút thứ hai bao gồm sử dụng mạch vào trống còn có mạch truyền thứ hai để điều khiển mức điện áp của nút thứ hai đáp ứng mức điện áp của nút thứ tư.

29. Phương pháp theo điểm 27, trong đó việc điều khiển khối phụ thứ nhất để điều khiển mạch ra thứ nhất bao gồm bước sử dụng ít nhất mạch thiết lập lại thứ nhất và mạch thiết lập lại thứ hai để thiết lập lại các mức điện áp ở cực ra thanh ghi dịch và cực ra thứ nhất, và điều khiển tín hiệu đồng hồ thứ hai được xuất ra dưới dạng tín hiệu thanh ghi dịch và tín hiệu đồng hồ thứ ba được xuất ra dưới dạng tín hiệu ra thứ nhất đáp ứng điện áp của nút thứ nhất; việc điều khiển khối phụ thứ hai để điều khiển mạch ra thứ hai bao gồm bước sử dụng ít nhất mạch thiết lập lại thứ ba để thiết lập lại mức điện áp ở cực ra thứ hai, và điều khiển tín hiệu đồng hồ thứ tư được xuất ra dưới dạng tín hiệu ra thứ hai đáp ứng mức điện áp của nút thứ hai.

1/25

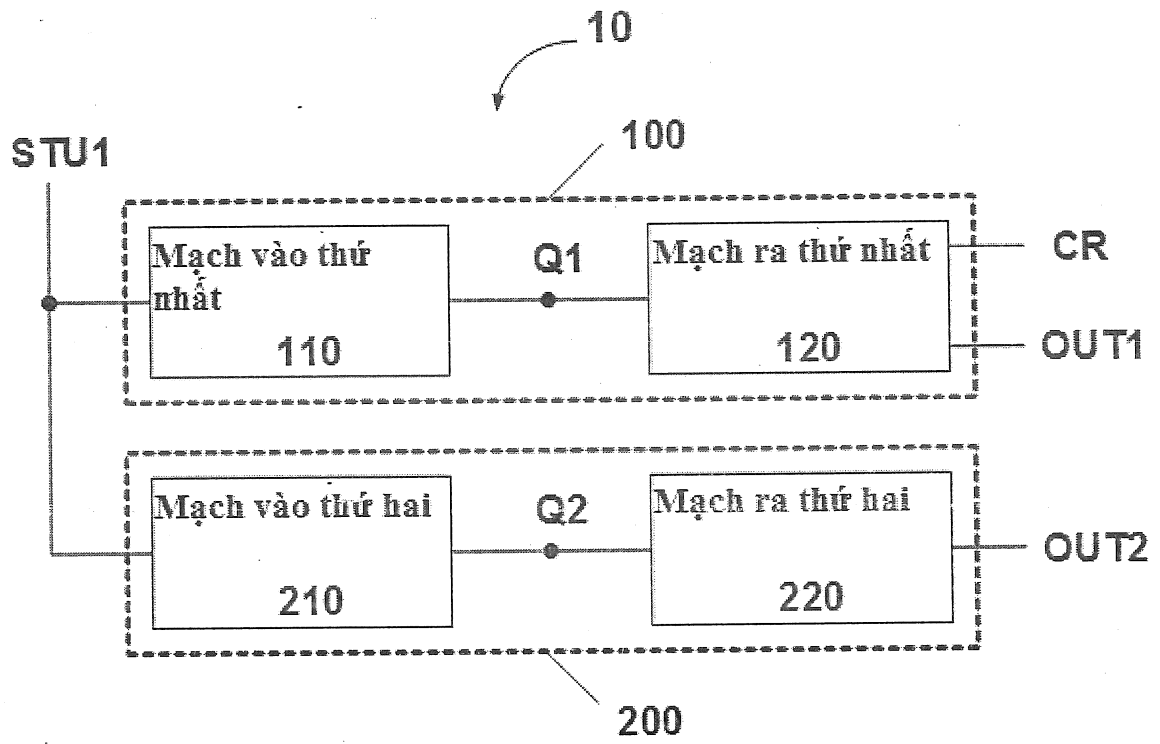


Fig.1

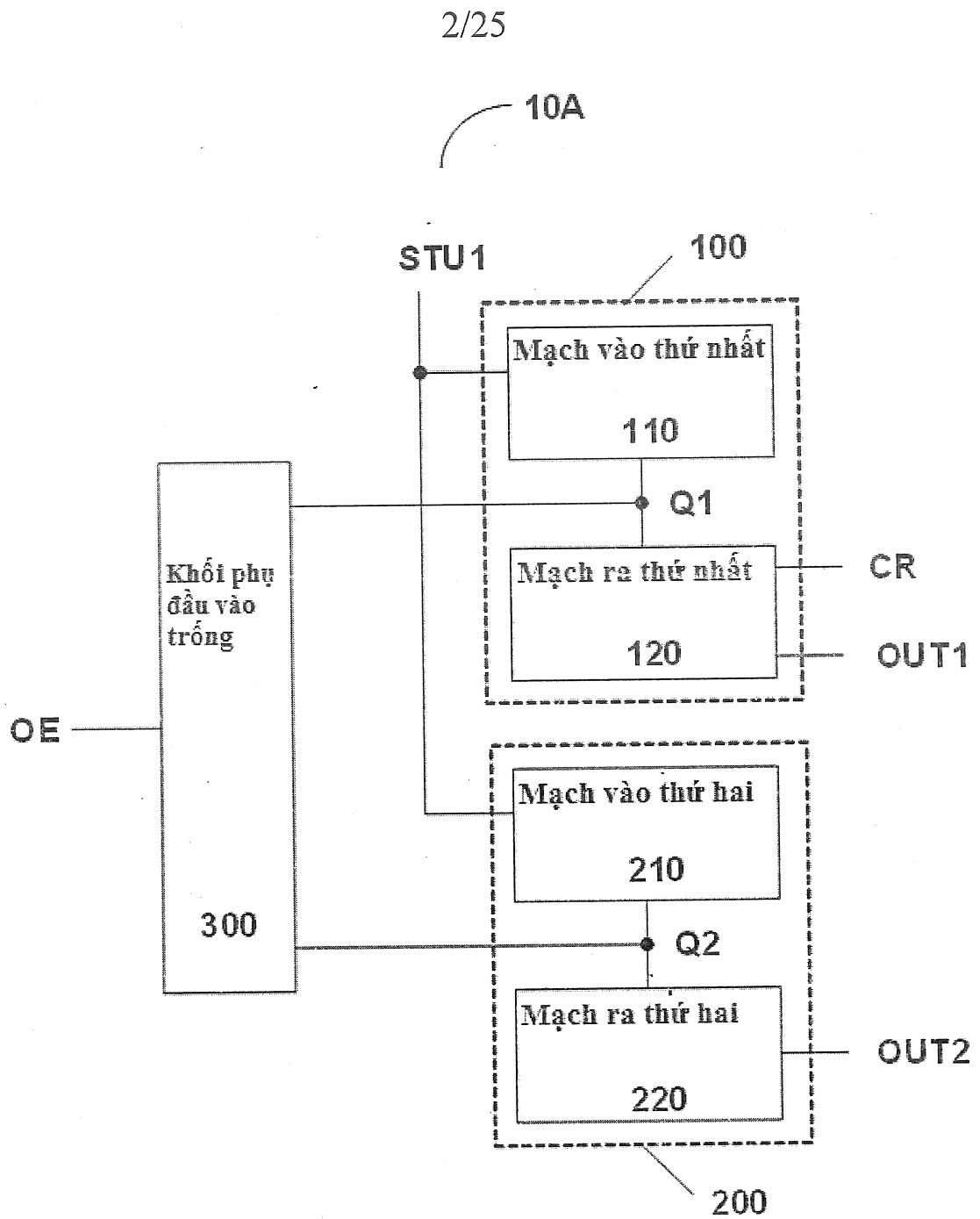
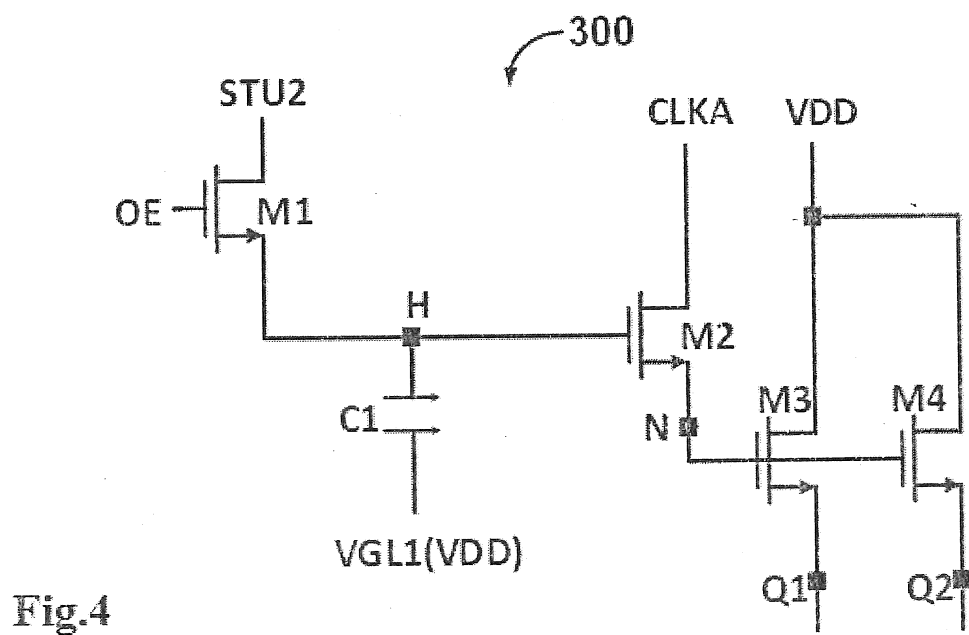
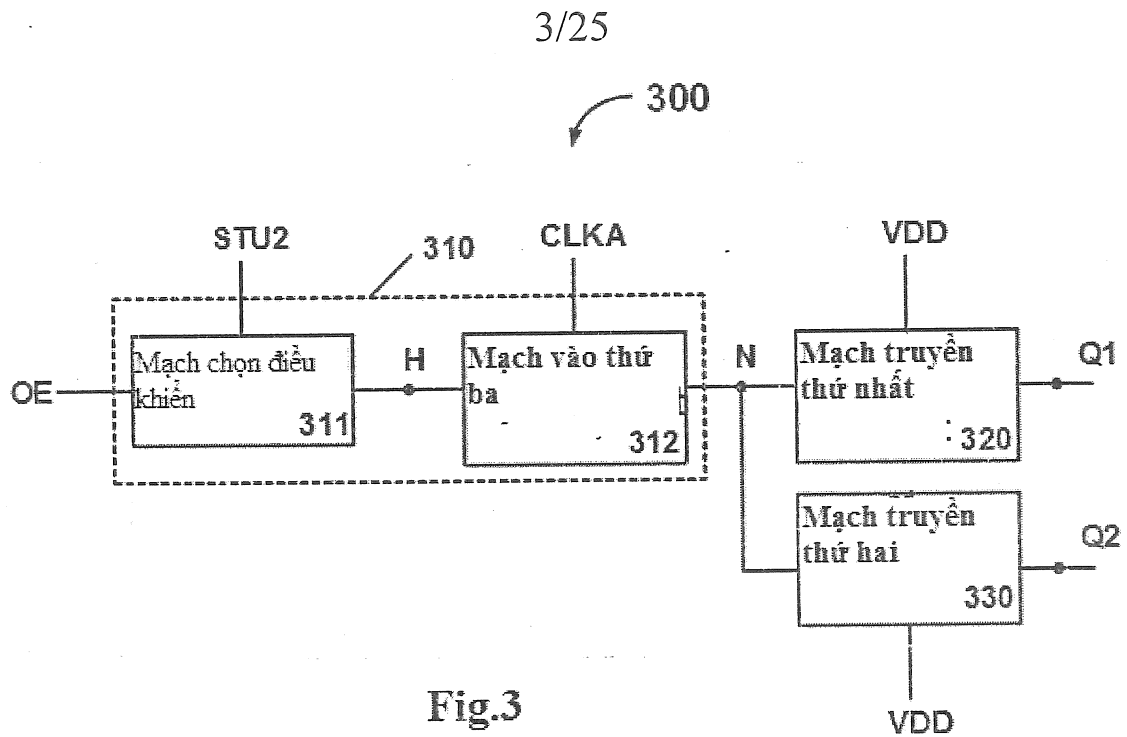


Fig.2



4/25

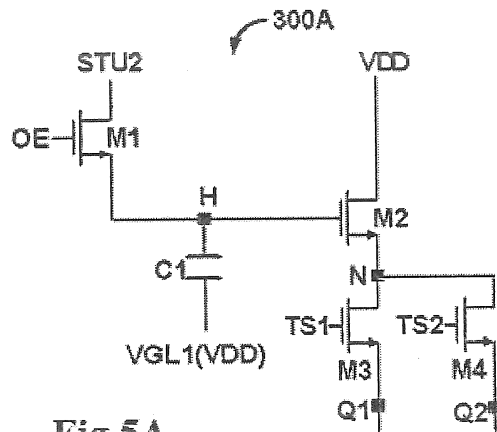


Fig.5A

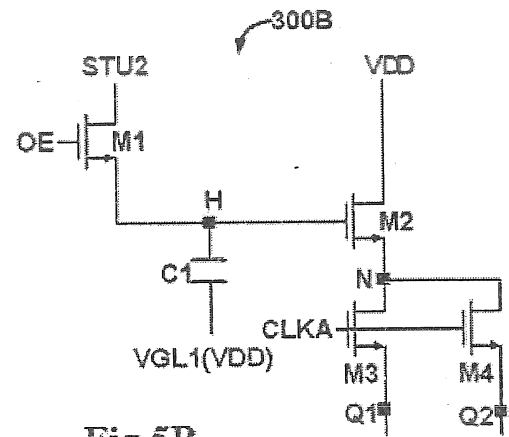


Fig.5B

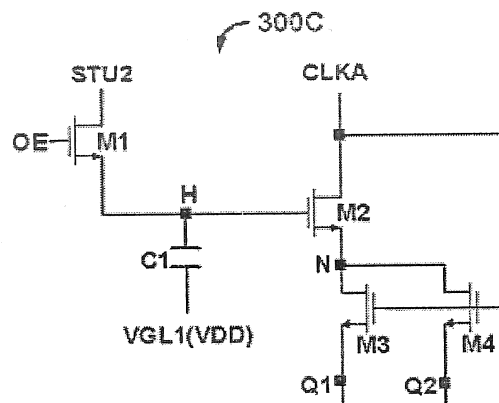


Fig.5C

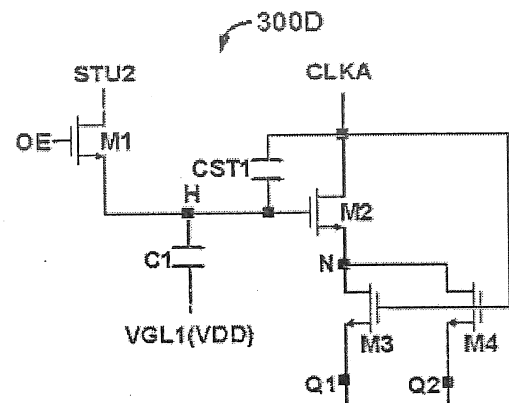


Fig.5D

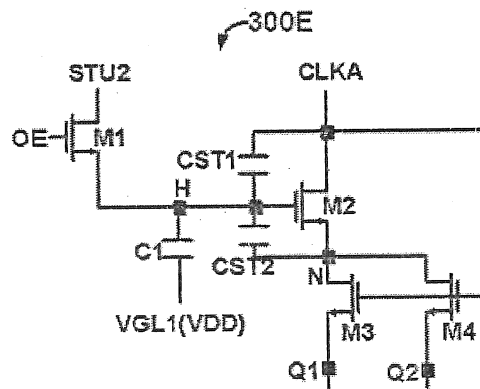


Fig.5E

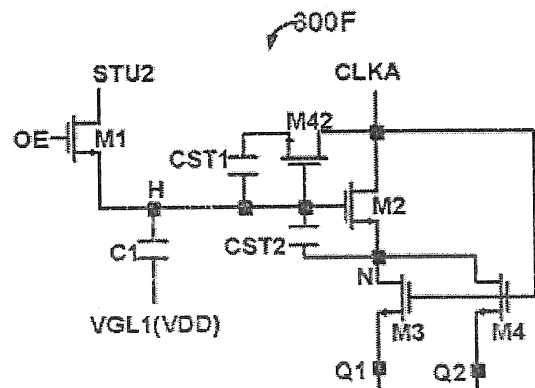


Fig.5F

5/25

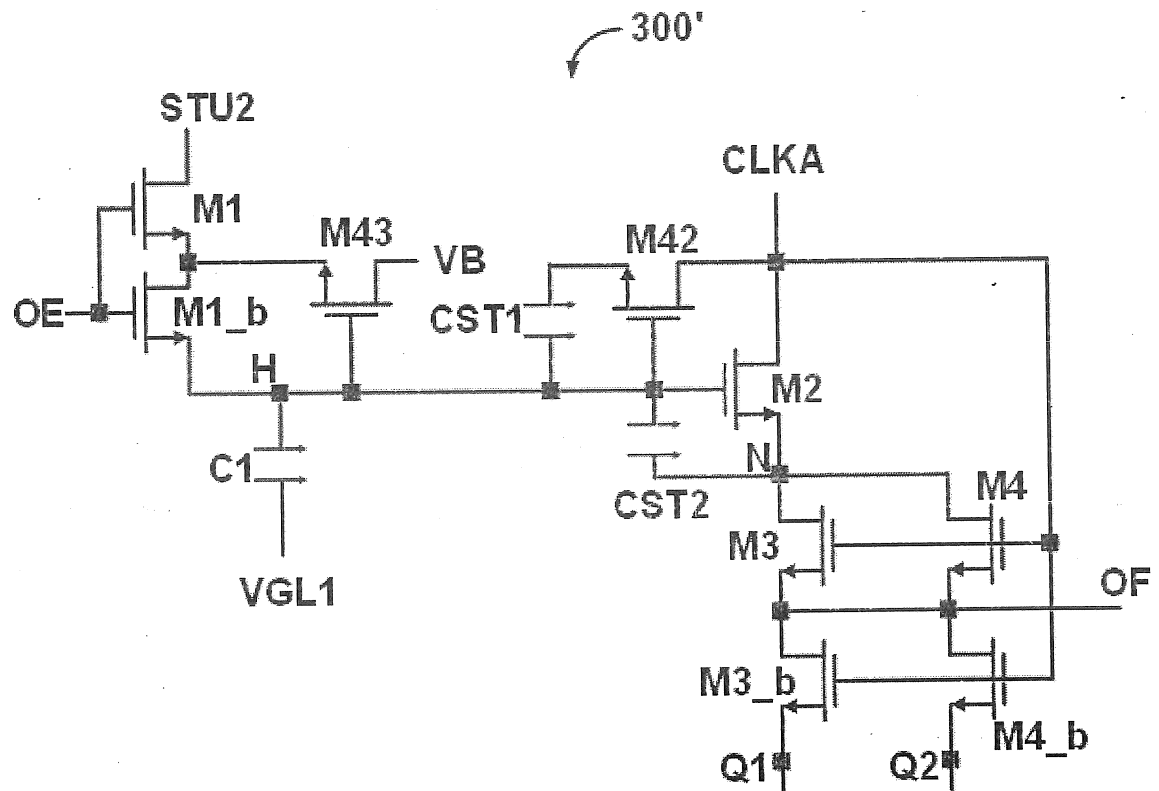


Fig.6

6/25

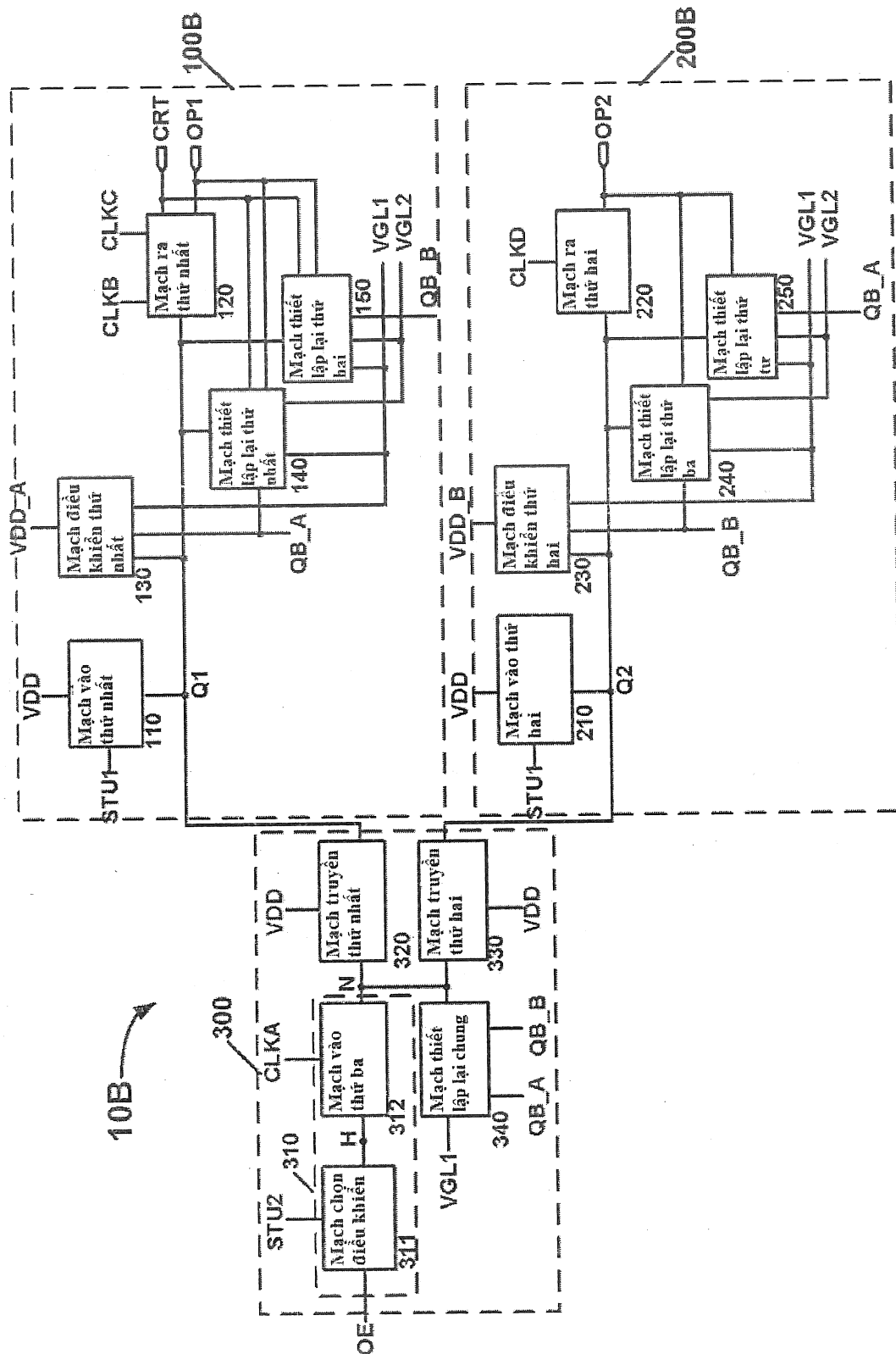


Fig.7

7/25

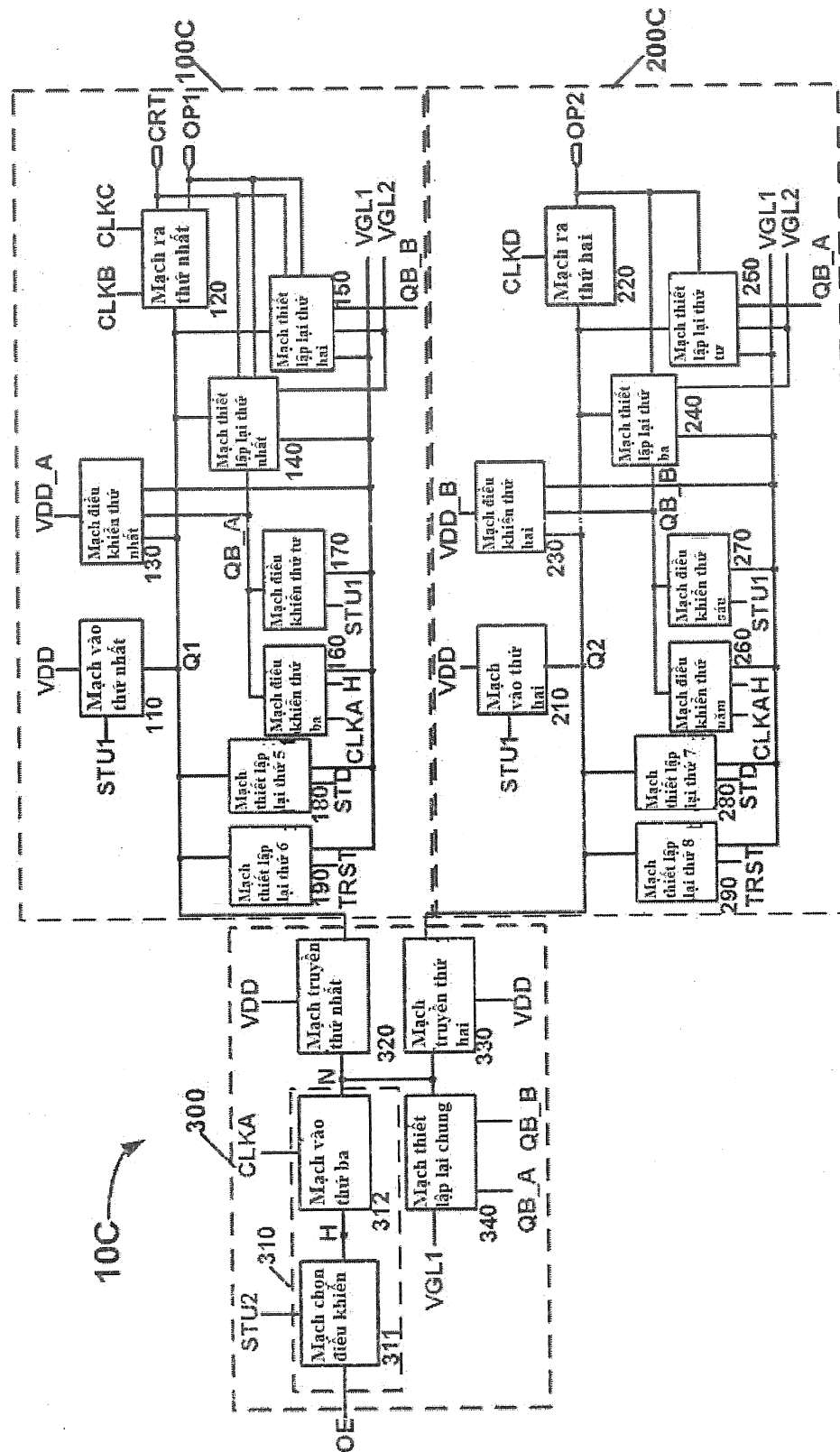


Fig.8



Fig. 9A

9/25

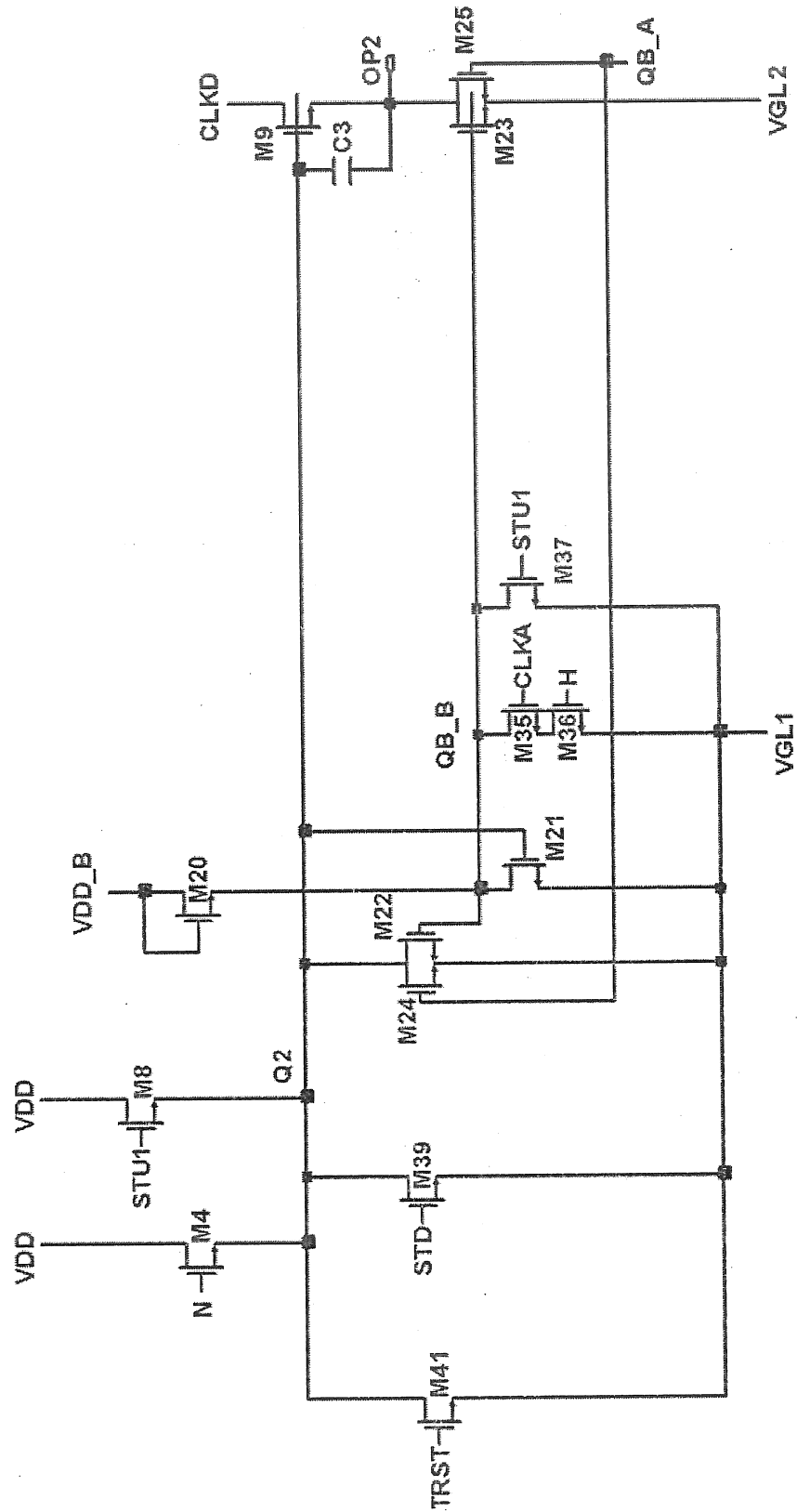


Fig.9B

10/25

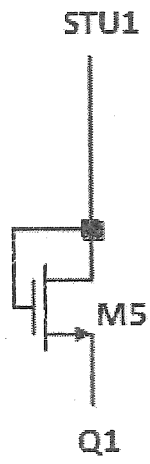


Fig.10A

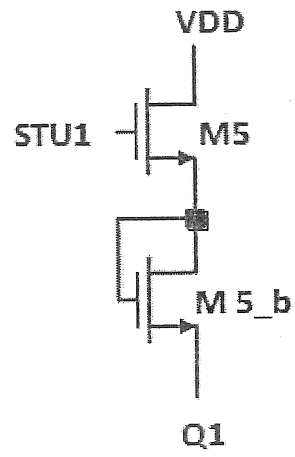


Fig.10B

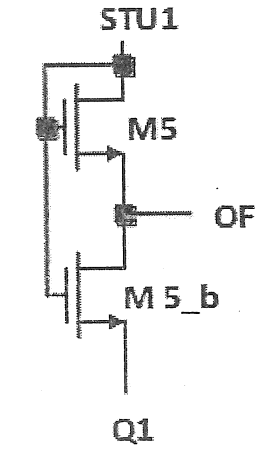


Fig.10C

11/25

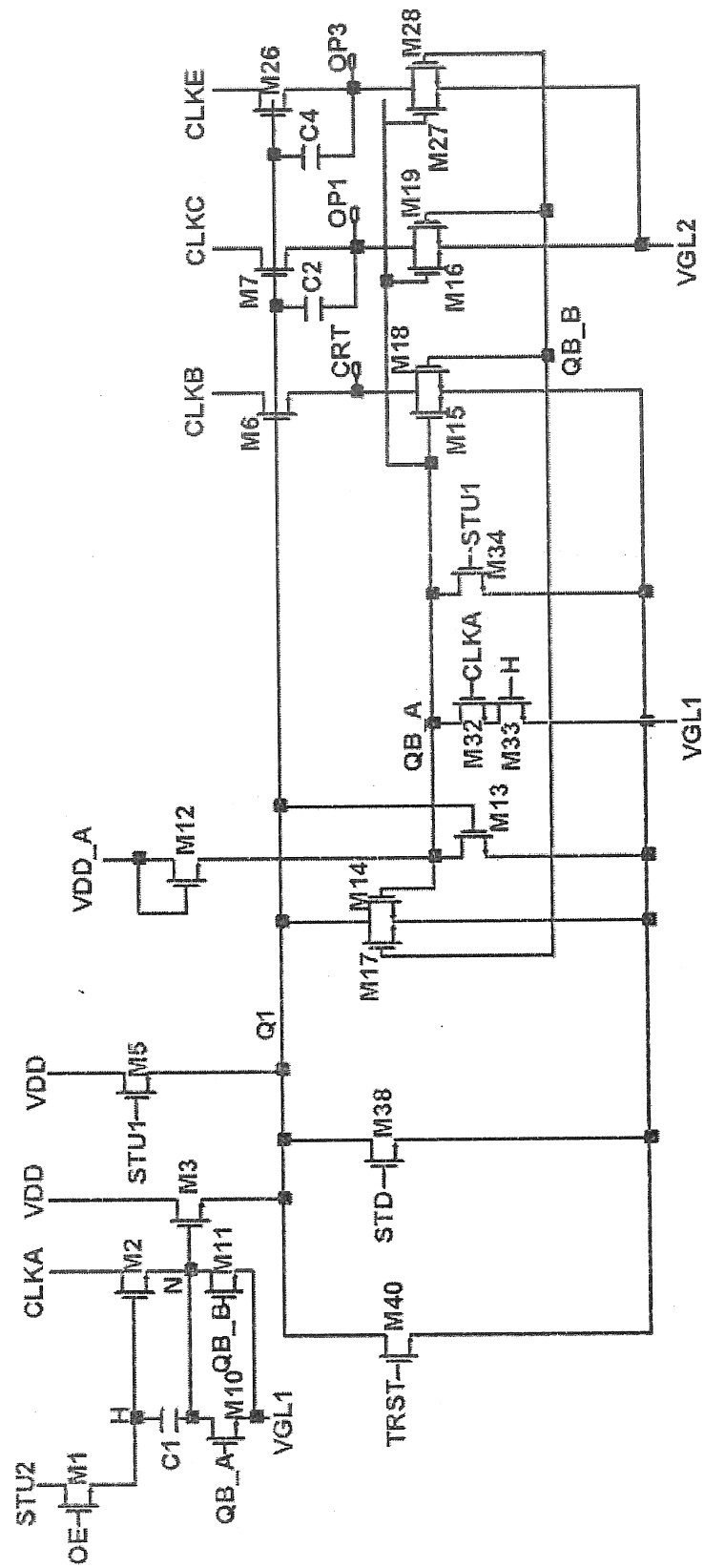


Fig.11A

12/25

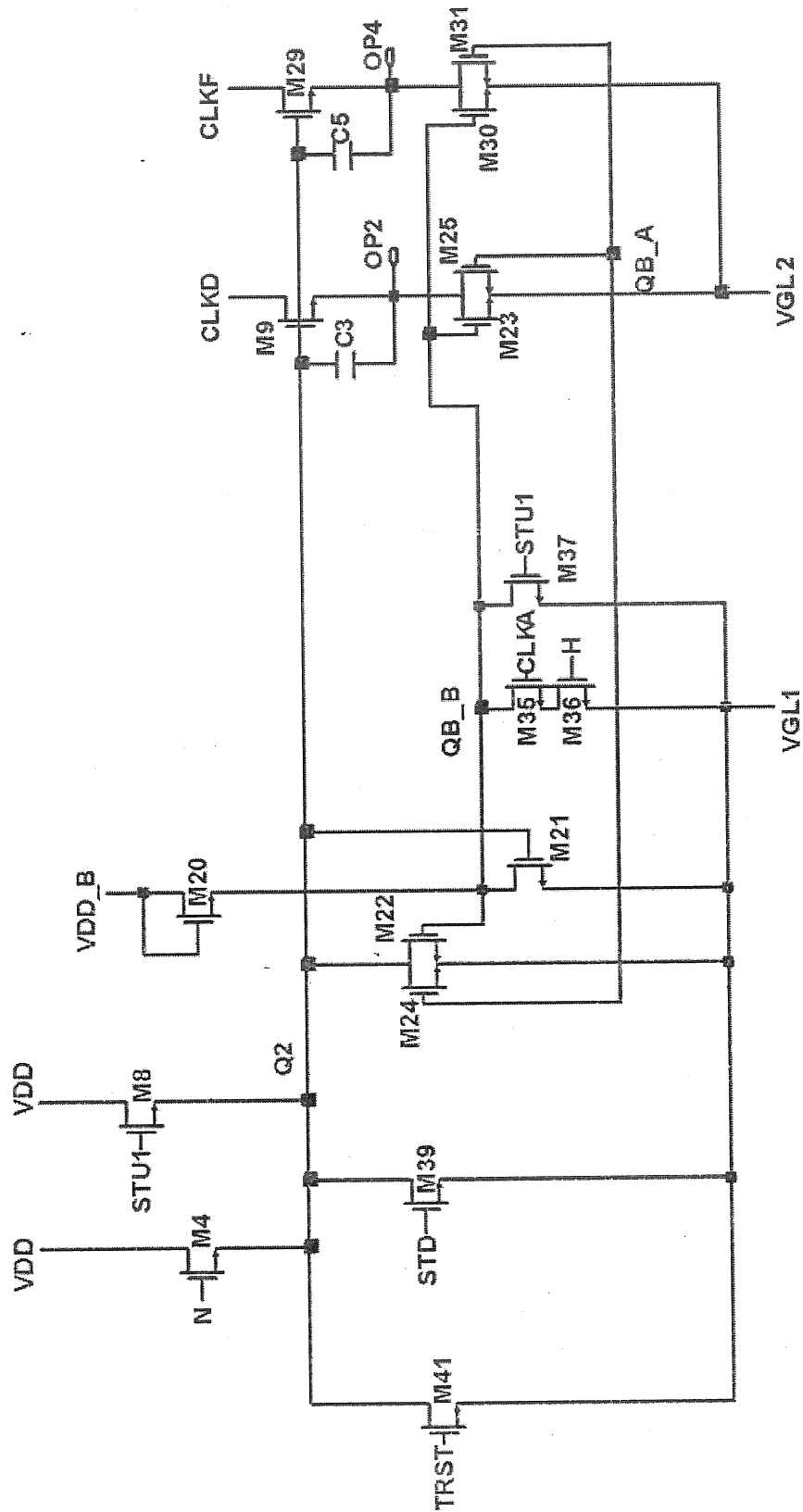


Fig.11B

13/25

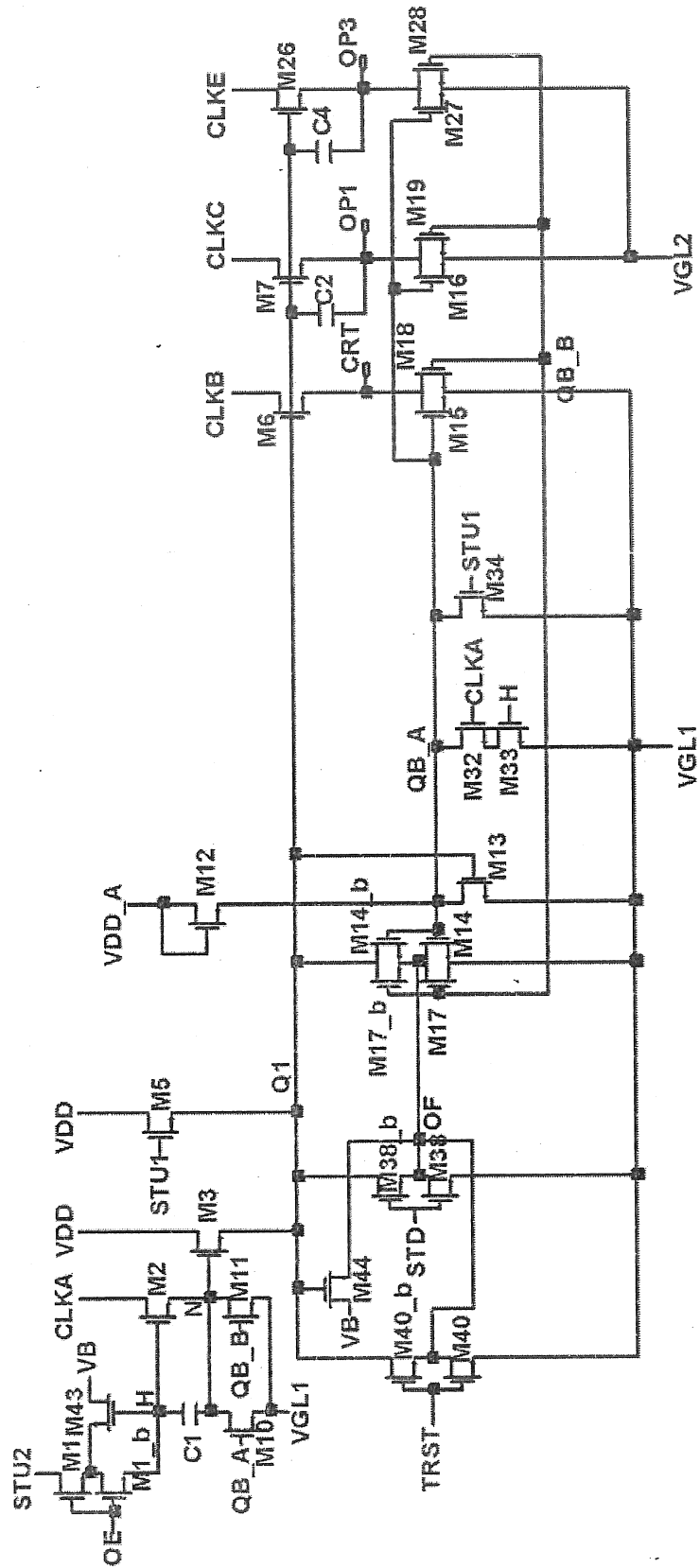


Fig.12A

14/25

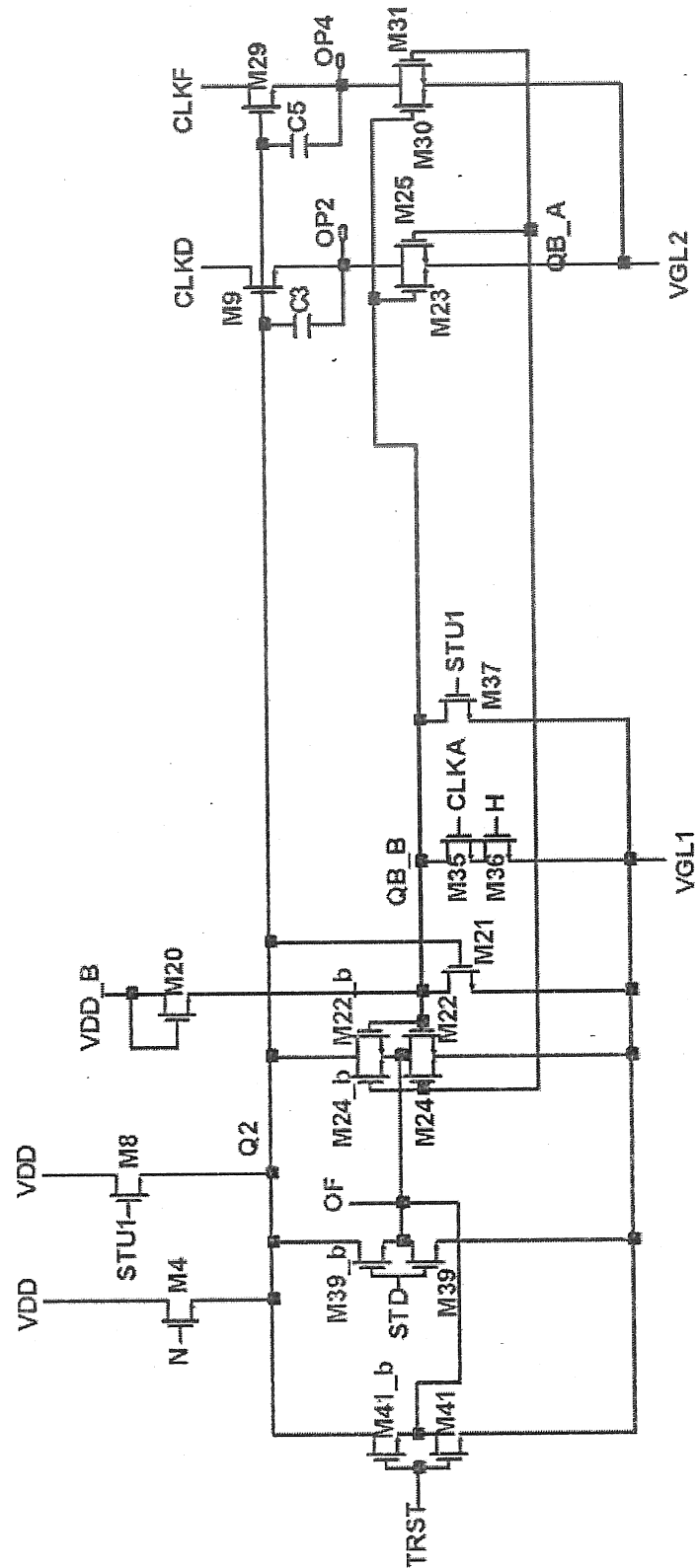


Fig.12B

15/25

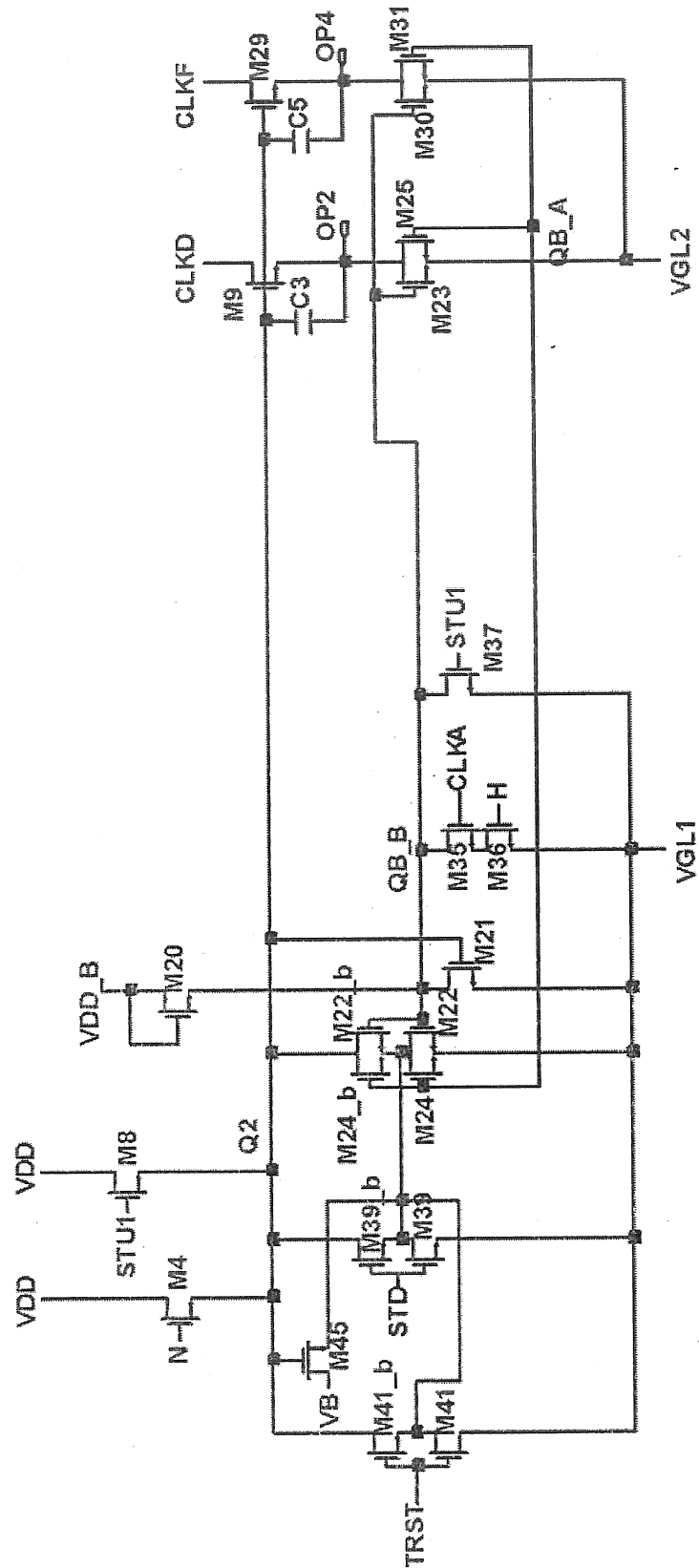


Fig.12C

16/25

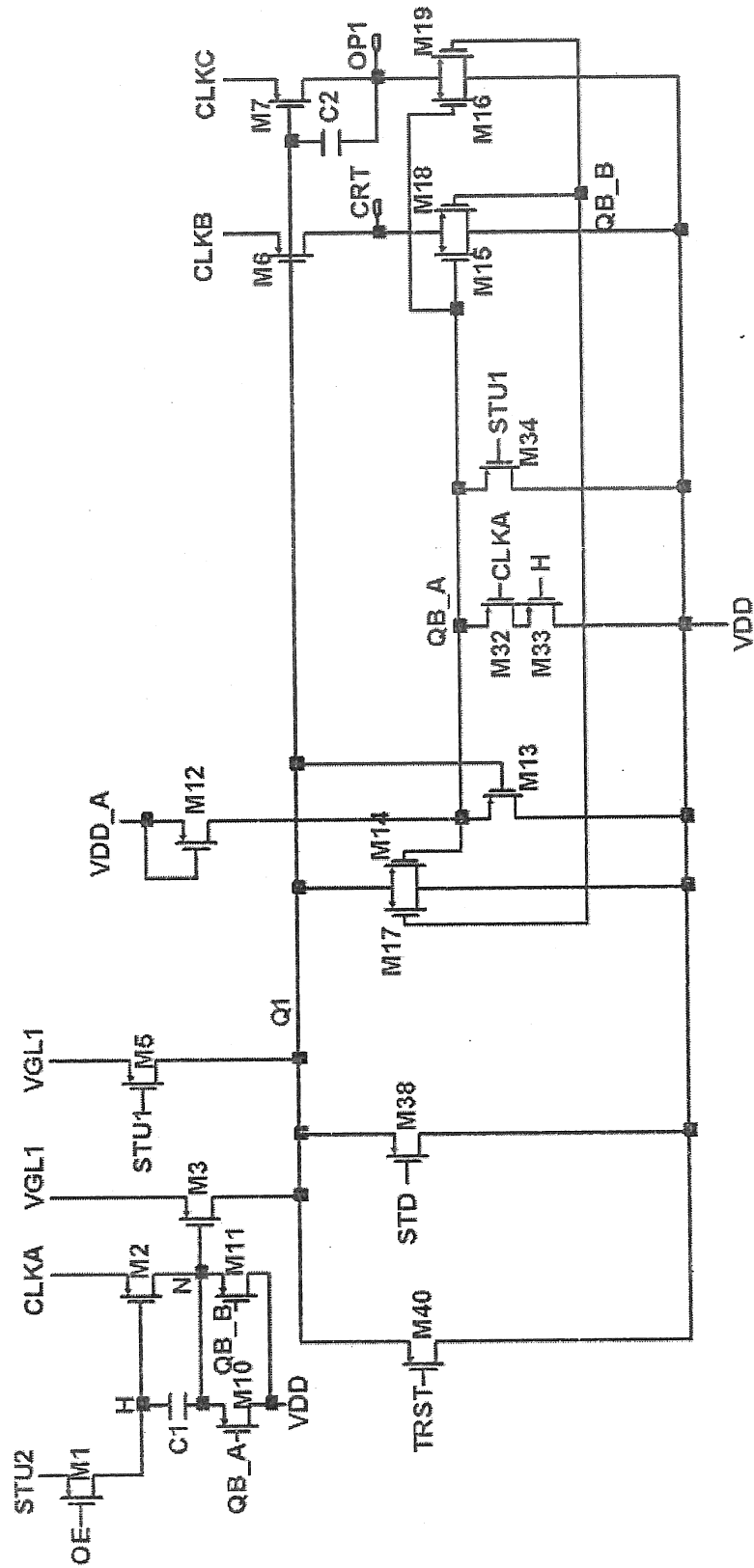


Fig.13A

17/25

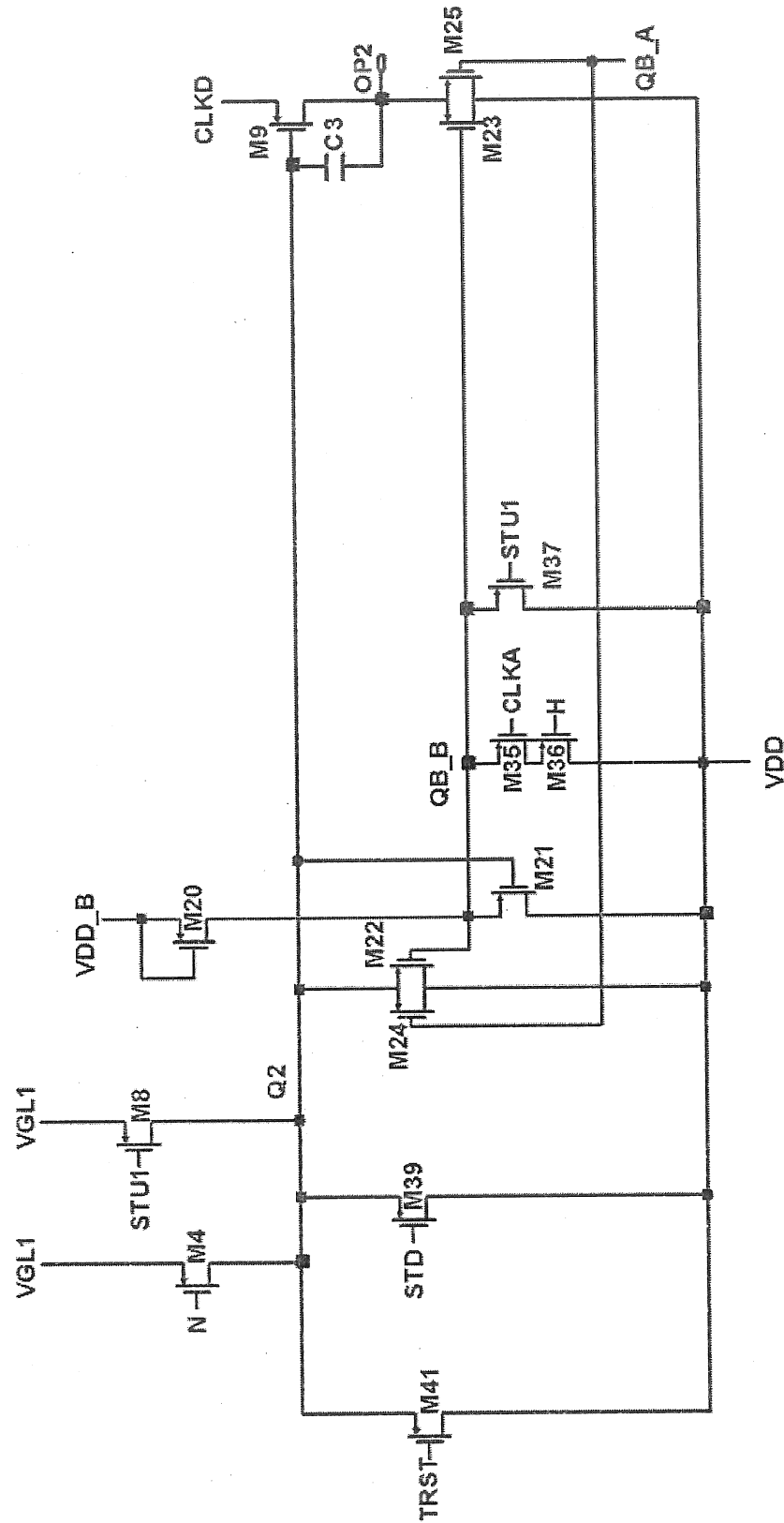


Fig.13B

18/25

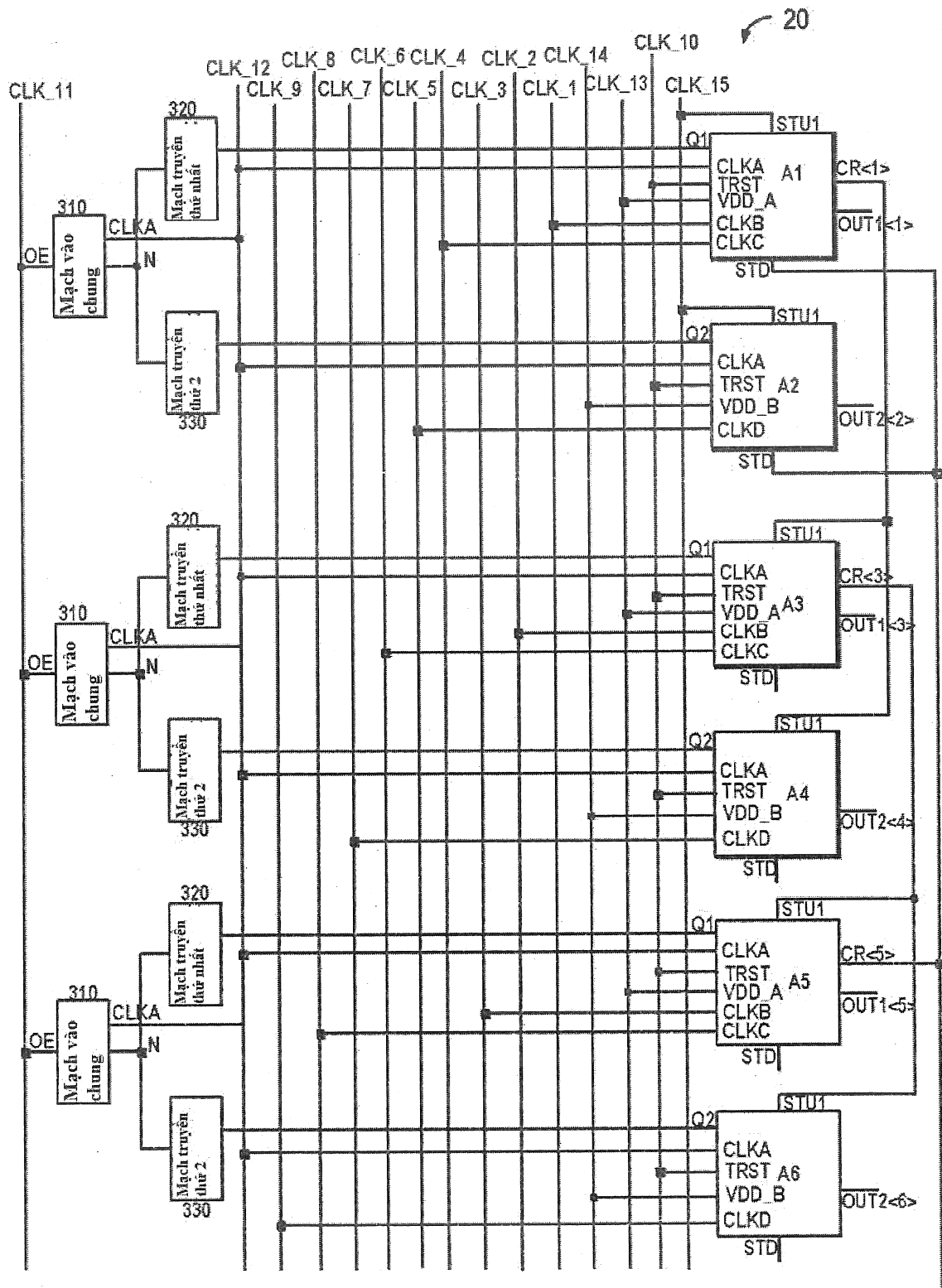


Fig.14

19/25

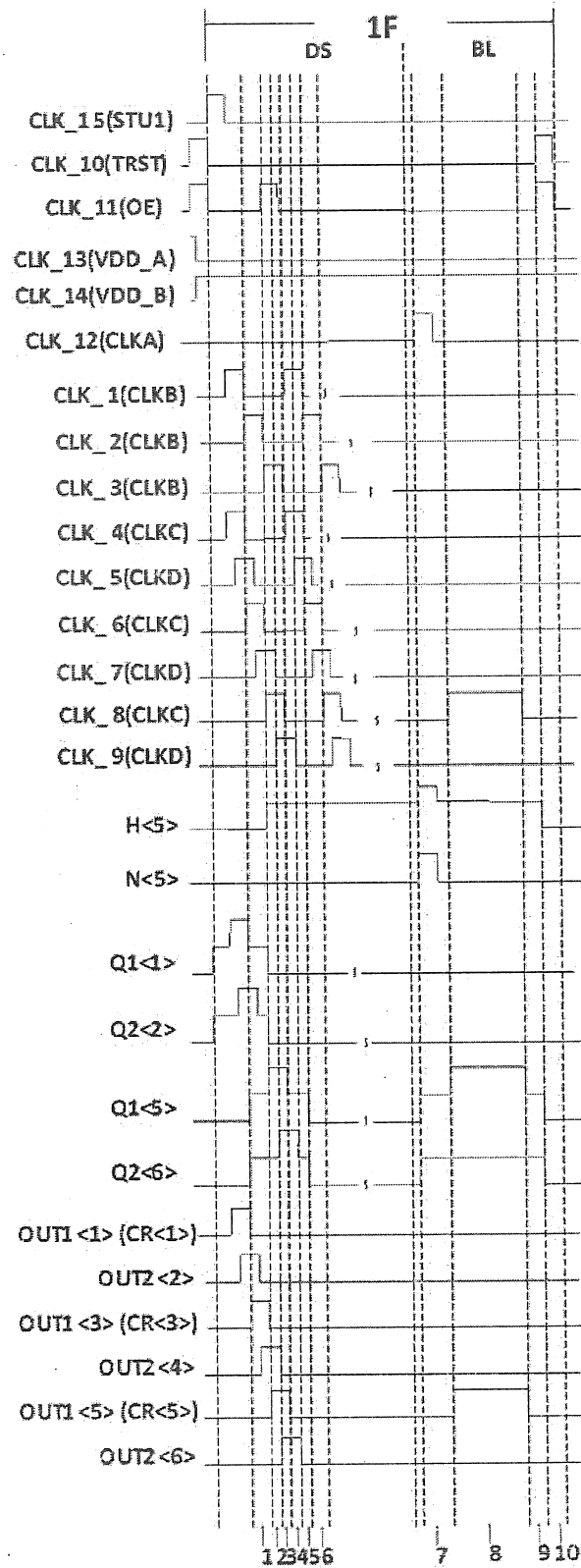


Fig.15

20/25

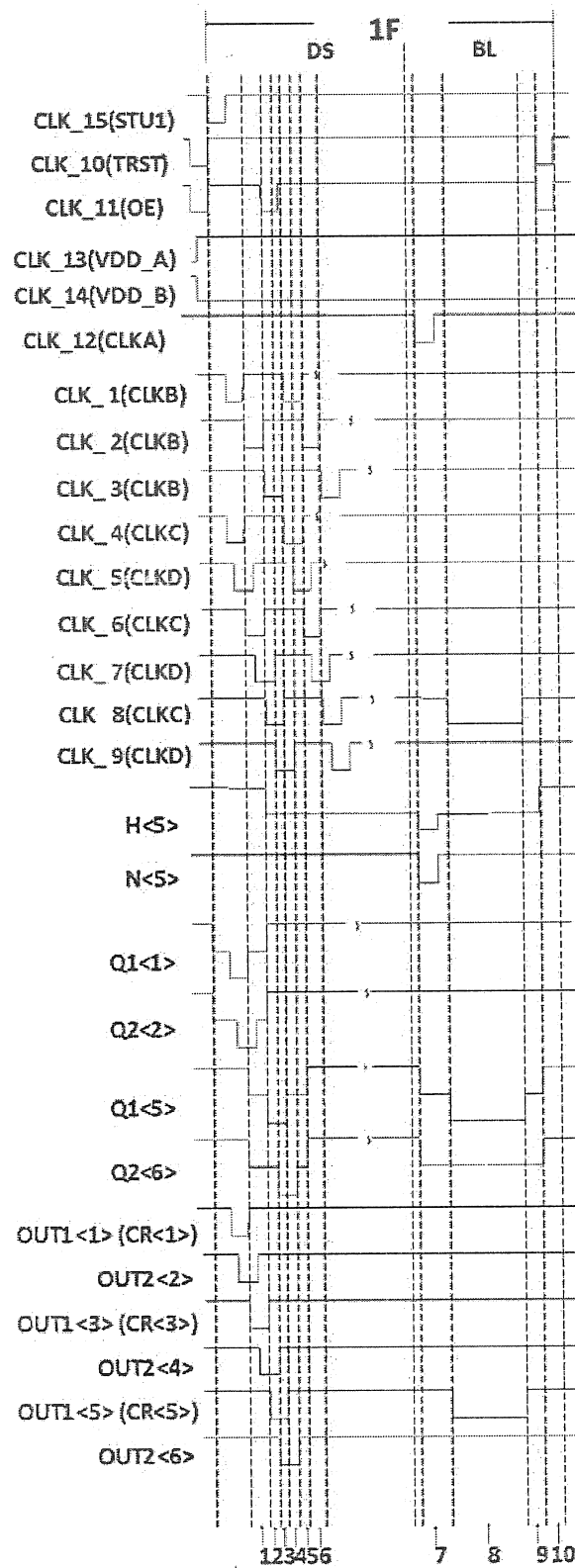


Fig.16

21/25

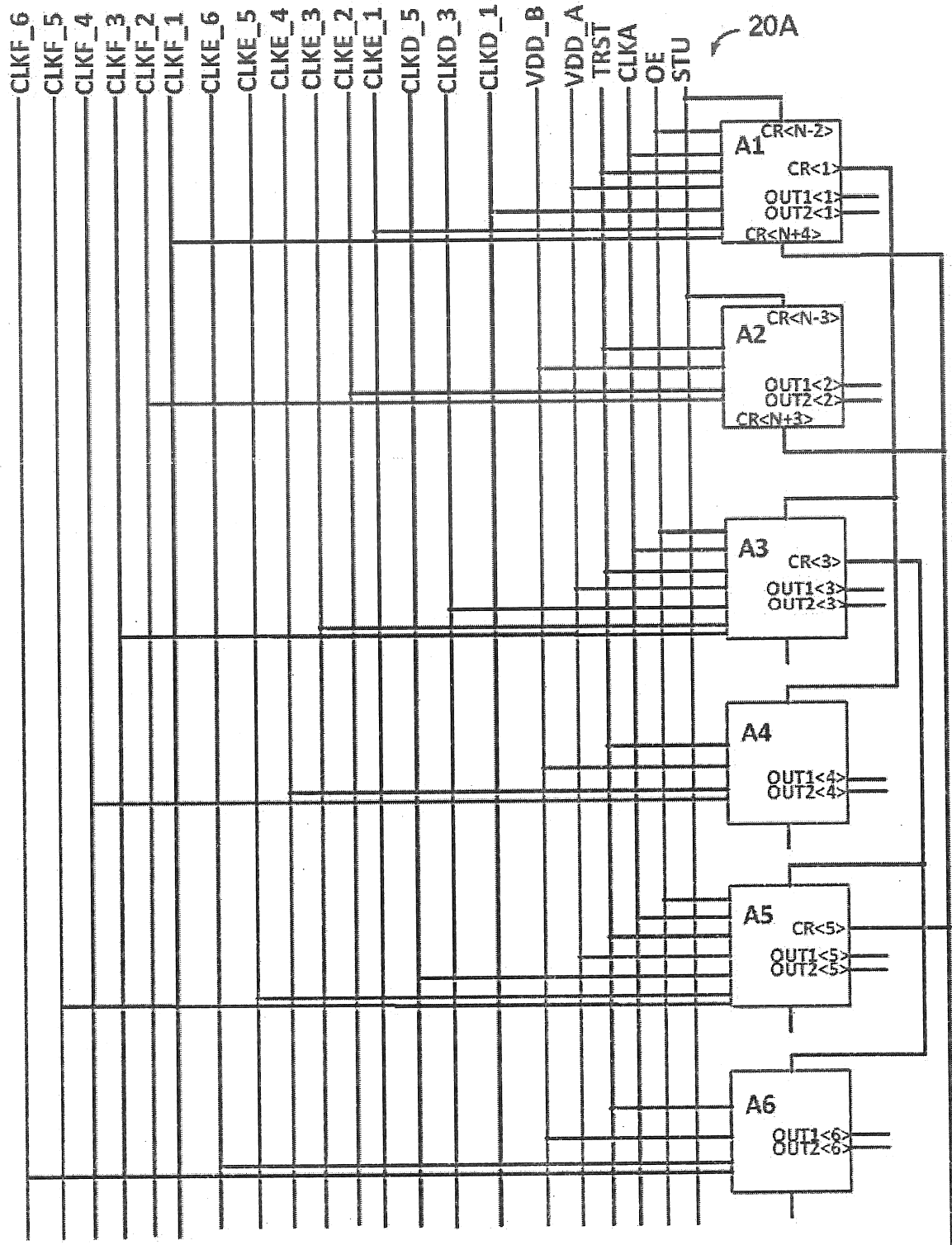


Fig.17

22/25

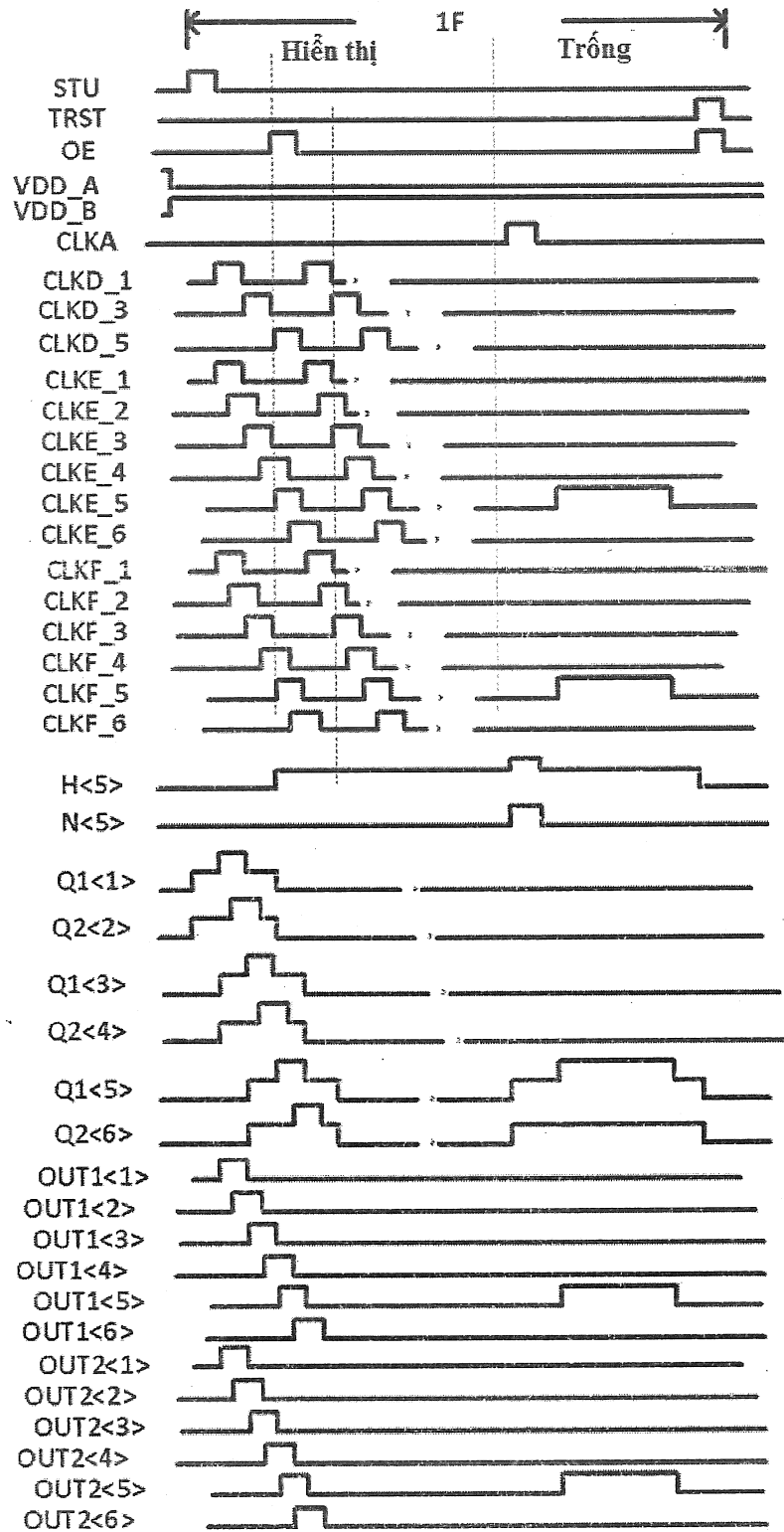


Fig.18

23/25

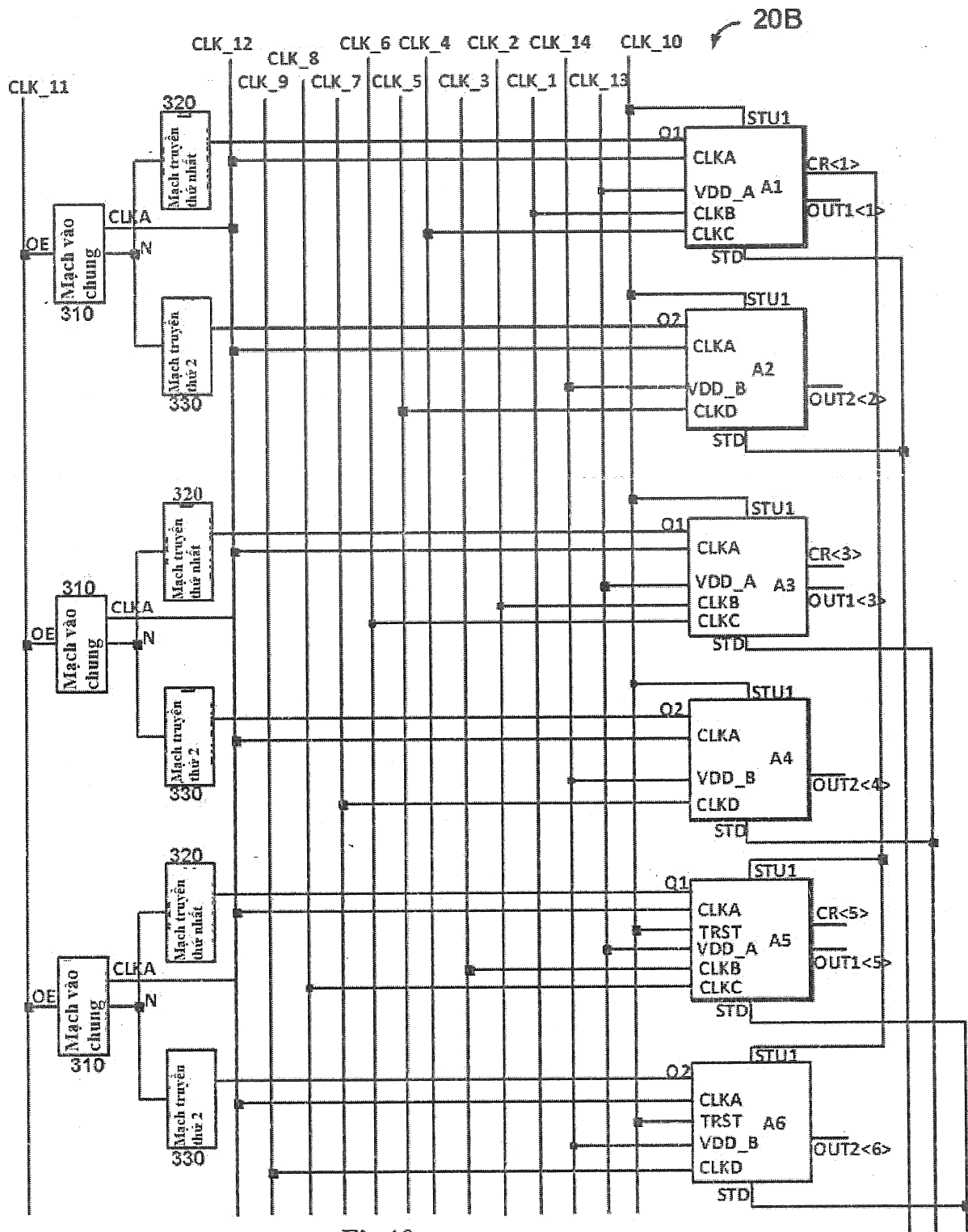


Fig.19

24/25

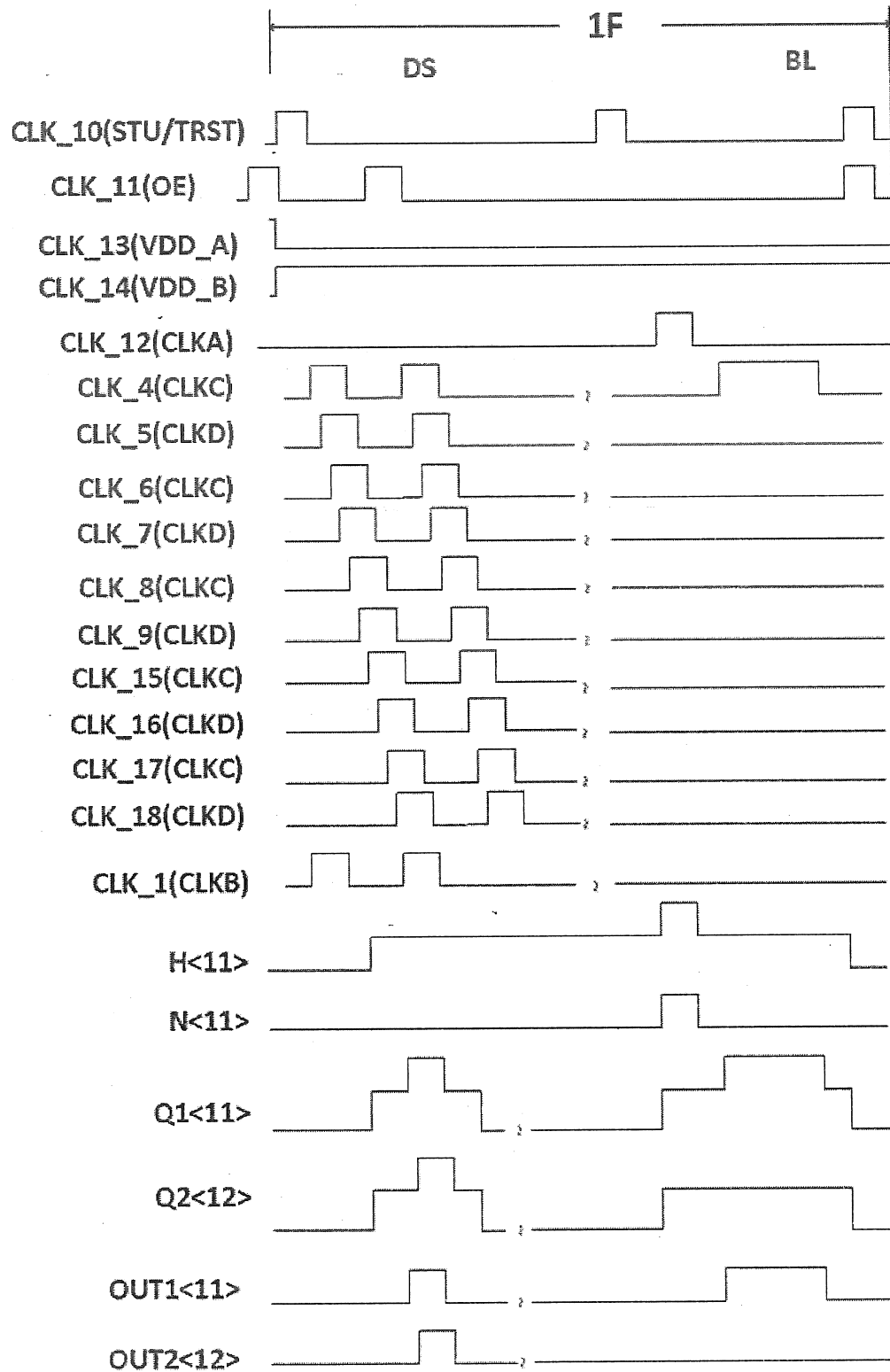


Fig.20

25/25

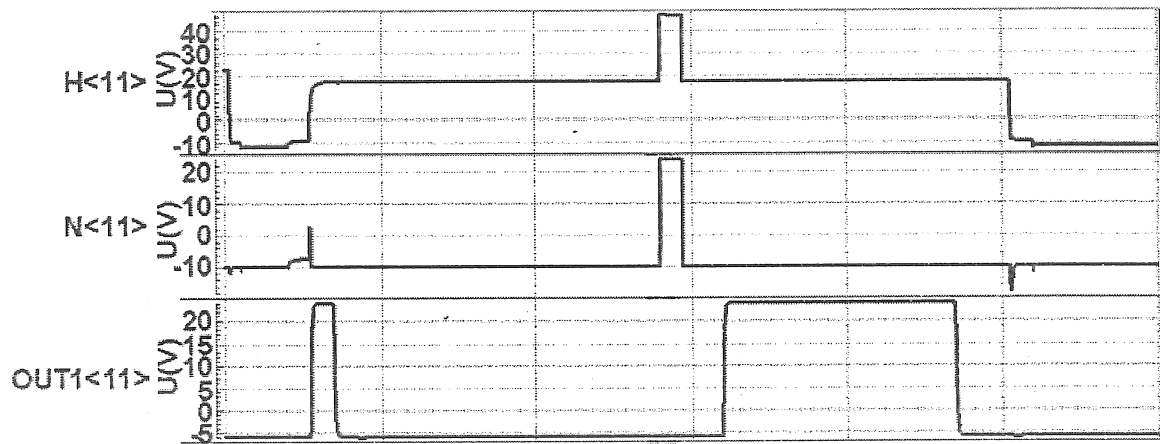


Fig.21

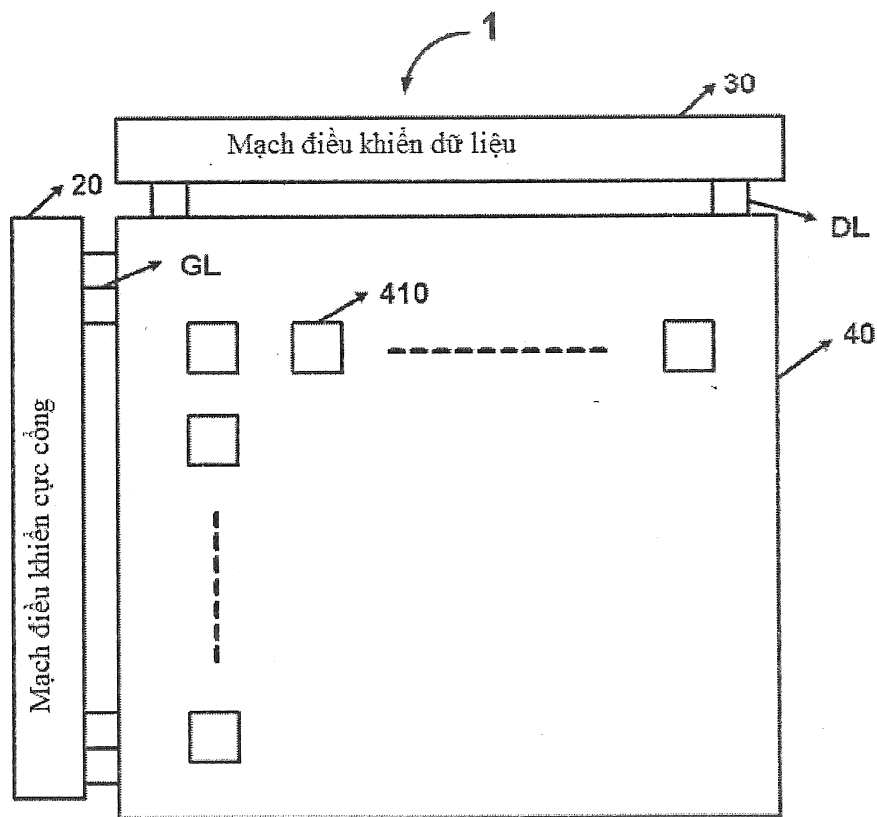


Fig.22