



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0052857

(51)^{2022.01} G01R 31/00; H03L 7/085; H03L 7/00

(13) B

(21) 1-2022-07069

(22) 31/10/2022

(45) 27/10/2025 451

(43) 27/01/2023 418A

(73) TẬP ĐOÀN CÔNG NGHIỆP - VIỆN THÔNG QUÂN ĐỘI (VN)

Lô D26 Khu đô thị mới Cầu Giấy, phường Yên Hoà, quận Cầu Giấy, thành phố Hà Nội

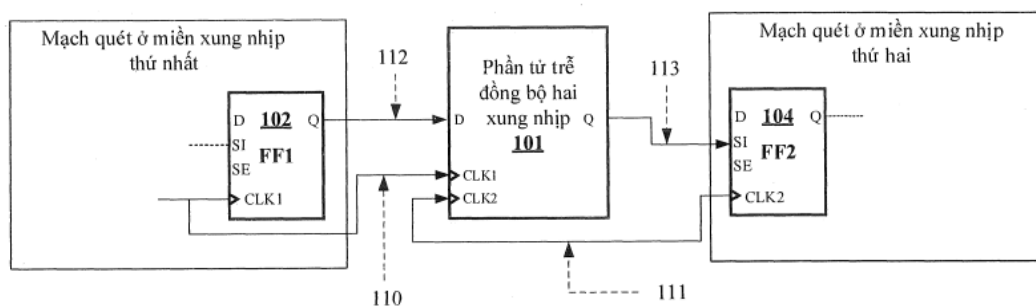
(72) LÊ THÁI HÀ (VN); BÙI HÀ MY (VN); KHÔNG ANH TUẤN (VN).

(74) Công ty TNHH NACILAW (NACILAW)

(54) PHẦN TỬ TRỄ ĐỒNG BỘ HAI XUNG NHỊP DÀNH CHO ĐO KIỂM (DESIGN FOR TEST – DFT) CHIP

(21) 1-2022-07069

(57) Thiết kế của phần tử trễ đồng bộ hai xung nhịp dành cho đo kiểm (DFT) được đề xuất. Phần tử trễ đồng bộ hai xung nhịp giải quyết hai vấn đề lớn của phần tử chốt bất đồng bộ (latch) đó là: bất ổn định khi sườn tích cực của hai miền xung nhịp quá gần nhau; và sự bất định trong quy trình thực thi vẽ mạch vật lý (layout) vì các phần tử chốt bất đồng bộ không được phân tích về thời gian.



Hình 3

Lĩnh vực kỹ thuật được đề cập

Sáng chế đề xuất phần tử trễ đồng bộ hai xung nhịp dành cho đo kiểm (Design for Test – DFT) chip. Cụ thể, phần tử trễ đồng bộ này được ứng dụng rộng rãi trong công nghệ thiết kế chip cần đến việc tối ưu về mặt diện tích và hiệu năng.

Tình trạng kỹ thuật của sáng chế

Quy trình thiết kế dành cho đo kiểm (Design for Test – DFT) là một quy trình rất quan trọng trong toàn bộ quá trình thiết kế chip số (System on Chip – SoC). Mục đích của quy trình thiết kế dành cho đo kiểm (DFT) là:

Thứ nhất, tạo ra hệ thống phần cứng đi kèm với mạch chức năng chính để có thể quét hết các lỗi sản xuất có thể xảy ra với các thành phần cơ bản trong mạch chip. Mạch phần cứng đi kèm này không được phép ảnh hưởng đến tính năng, chức năng và hiệu năng của mạch chính.

Thứ hai, tạo ra các mẫu tín hiệu kiểm tra đầu vào (test pattern) để đưa vào quét và phát hiện ra các lỗi sản xuất đề cập ở trên.

Trong quy trình thiết kế DFT, thông thường thì các xung nhịp quét sẽ được thiết kế dựa vào các xung nhịp của các mạch chức năng chính. Tuy nhiên, với sự phát triển của công nghệ thiết kế chip thì các thiết kế ngày càng phức tạp với nhiều khối khác nhau và nhiều miền xung nhịp khác nhau (không đồng bộ với nhau). Điều đó cũng có nghĩa số chuỗi quét của mạch quét DFT sẽ tăng lên tương ứng. Việc này làm cho mạch DFT trở nên phức tạp, làm tăng kích thước và tăng mức tiêu thụ năng lượng của chip.

Một giải pháp cho vấn đề nhiều chuỗi quét do có nhiều miền xung nhịp không đồng bộ này đó là: kết nối một số chuỗi quét ở các miền xung nhịp bất đồng bộ lại thành một chuỗi quét duy nhất.

Để kết nối giữa các miền xung nhịp không đồng bộ này, phương pháp thông thường là dùng các phần tử chốt bất đồng bộ (latch) như ở Hình 1. Phần tử chốt bất đồng bộ đóng vai trò lưu dữ liệu đầu ra của tầng phía trước ở miền xung nhịp thứ nhất (CLK1) trước khi chuyển dữ liệu đó vào miền xung nhịp thứ hai (CLK2).

Ưu điểm của phương pháp dùng phần tử chốt bất đồng bộ (latch) này là đơn giản và được tích hợp vào các chu trình thiết kế DFT thông thường.

Tuy nhiên, nhược điểm của phương pháp này là:

Thứ nhất, phần tử chốt bất đồng bộ (latch) không giải quyết được vấn đề nhạy cảm về pha giữa hai xung nhịp cần đồng bộ (CLK1 và CLK2 ở trong Hình 1). Nếu trường hợp sườn tích cực của hai xung nhịp gần khớp nhau sẽ gây ra hiện tượng bất ổn định. Nghĩa là, sườn tích cực của xung nhịp CLK2 (trong Hình 2 là sườn lên) đón dữ liệu đầu ra có thể gần sát với sườn tích cực của xung nhịp CLK1 (trong Hình 2 là sườn xuống) của phần tử chốt bất đồng bộ. Sườn tích cực của xung nhịp CLK2 có thể bắt được dữ liệu cần bắt hoặc bắt được dữ liệu ở chu kỳ trước đó tùy vào điều kiện nhiệt độ, điện áp, môi trường của chip. Vì khoảng cách về mặt thời gian của sườn tích cực của hai xung nhịp này quá ngắn nên không đảm bảo dữ liệu đầu ra ổn định để bắt được. Hình 2 mô tả chi tiết về hiện tượng này.

Nhược điểm thứ hai của phương pháp này đó là vì không có sự đồng bộ giữa hai xung nhịp (CLK1 và CLK2) nên quy trình thực thi vẽ mạch (chủ yếu ở phần thiết kế vật lý – physical design hay layout) chip sẽ không đảm bảo được các phần tử chốt bất đồng bộ này được đặt đủ gần các mạch trễ đồng bộ (Flip Flop - FF) của hai miền xung nhịp. Các công cụ phân tích thời gian tĩnh (static timing analysis – STA) sẽ không phát hiện ra vấn đề này, nhưng thực tế nó sẽ làm cho mạch quét DFT không hoạt động được với tần số xung nhịp quét mong muốn. Trường hợp tệ hơn khi công cụ thực thi vẽ mạch (layout) đặt phần tử chốt bất đồng bộ này ở vị trí quá xa thì có thể mạch DFT sẽ không hoạt động đúng.

Bản chất kỹ thuật của sáng chế

Mục đích của sáng chế là giải quyết các nhược điểm nêu trên của phương pháp dùng phần tử chốt bất đồng bộ (latch). Từ đó hướng tới việc nâng cao hiệu năng và đảm bảo hoạt động đúng đắn của mạch chuỗi quét bên trong chip.

Trong sáng chế này, phần tử trễ đồng bộ hai xung nhịp được sử dụng để thay thế phần tử chốt bất đồng bộ (latch) cho phép hai miền xung nhịp bắt tay nhau và tự cân bằng nhau trong khoảng diện tích được định nghĩa trước. Phần tử trễ đồng bộ hai xung nhịp này sẽ giải quyết được hai nhược điểm của phần tử chốt bất đồng bộ (latch) nêu ở trên đó là:

Sự bất ổn định khi trường hợp sườn tích cực của hai xung nhịp quá gần nhau.

Mạch giao tiếp giữa hai miền xung nhịp được đặt trong không gian giới hạn của Phần tử trễ đồng bộ hai xung nhịp và đảm bảo về mặt thời gian nên không có chuyện các công cụ thực thi sẽ đặt chúng ở một vị trí bất kỳ nào đó. Điều này đảm bảo tần số quét DFT thực tế sẽ giống với tần số thiết kế mong muốn.

Để đạt được mục đích trên, phần tử trễ đồng bộ hai xung nhịp bao gồm: phần giao tiếp giữa hai miền xung nhịp (CLK1 và CLK2) bao gồm ba nhánh tín hiệu và phần chọn lựa nhánh duy nhất mà tín hiệu ổn định từ ba nhánh trên.

Xung nhịp của mạch quét ở miền xung nhịp thứ nhất;

Xung nhịp của mạch quét ở miền xung nhịp thứ hai;

Tín hiệu đầu vào của phần tử trễ đồng bộ cuối cùng của mạch quét ở miền xung nhịp thứ nhất. Tín hiệu đầu vào này cũng là tín hiệu đầu vào của phần tử trễ đồng bộ hai xung nhịp. Tín hiệu này sau đó được đồng bộ với miền xung nhịp thứ hai (CLK2);

Tín hiệu ra của phần tử trễ đồng bộ hai xung nhịp. Tín hiệu này đi vào phần tử trễ đồng bộ đầu tiên của mạch quét ở miền xung nhịp thứ hai. Tín hiệu ra này chính là tín hiệu đầu ra của tín hiệu đầu vào nhưng được chuyển sang đồng bộ cho miền xung nhịp thứ hai.

Mô tả vắn tắt các hình vẽ

Hình 1: là hình vẽ minh họa kết nối dữ liệu giữa hai miền xung nhịp CLK1 và CLK2 với phần tử chốt bất đồng bộ (latch) ở giữa;

Hình 2: là hình vẽ mô tả trường hợp dữ liệu bị bất ổn định do sườn tích cực của hai xung nhịp CLK1 (sườn xuống) và CLK2 (sườn lên) quá gần nhau;

Hình 3: là hình vẽ mô tả kiến trúc tổng quát của phần tử trễ đồng bộ hai xung nhịp kết nối giữa hai mạch quét ở hai miền xung nhịp khác nhau;

Hình 4: là hình vẽ mô tả thiết kế chi tiết của phần tử trễ đồng bộ hai xung nhịp;

Hình 5: là hình vẽ mô tả sơ đồ trạng thái của phần tử trễ đồng bộ hai xung nhịp;

Hình 6: là hình vẽ mô tả rõ hơn với tín hiệu đầu vào so với các xung nhịp (CLK1) và (CLK2).

Mô tả chi tiết sáng chế

Phần tử trễ đồng bộ hai xung nhịp có điểm mới so với phần tử chốt bất đồng bộ là có thêm miền CLK2. Các mạch lô-gic bên trong phần tử trễ đồng bộ hai xung nhịp 101 sẽ thực hiện chức năng đồng bộ hai miền xung nhịp CLK1 và CLK2. Hình 3 mô tả kiến trúc tổng quát của phần tử trễ đồng bộ hai xung nhịp 101 kết nối giữa hai mạch quét ở hai miền xung nhịp khác nhau.

Mạch bao gồm bốn đầu vào và một đầu ra. Các tín hiệu bao gồm:

Xung nhịp của mạch quét ở miền xung nhịp thứ nhất 110.

Xung nhịp của mạch quét ở miền xung nhịp thứ hai 111.

Tín hiệu đầu vào 112 của phần tử trễ đồng bộ cuối cùng của mạch quét ở miền xung nhịp thứ nhất. Tín hiệu đầu vào 112 này cũng là tín hiệu đầu vào của phần tử trễ đồng bộ hai xung nhịp 101. Tín hiệu này sau đó được đồng bộ với miền xung nhịp thứ hai (CLK2).

Tín hiệu ra 113 của phần tử trễ đồng bộ hai xung nhịp 101. Tín hiệu này đi vào phần tử trễ đồng bộ đầu tiên của mạch quét ở miền xung nhịp thứ hai. Tín hiệu ra 113 này chính là tín hiệu đầu ra của tín hiệu đầu vào 112 nhưng được chuyển sang đồng bộ cho miền xung nhịp thứ hai.

Phần tử trễ đồng bộ hai xung nhịp 101 giải quyết hai vấn đề được nêu ở trên đó là:

Thứ nhất, giải quyết được sự bất ổn định khi trường hợp sườn tích cực của hai xung nhịp quá gần nhau.

Thứ hai, mạch này đảm bảo các phần tử được kiểm tra về mặt thời gian và khoảng cách giữa các phần tử được giới hạn ở không gian của phần tử trễ đồng bộ hai xung nhịp 101 nên sẽ không có hiện tượng bị sai lệch về mặt thời gian tín hiệu.

Hình 4 mô tả thiết kế chi tiết của phần tử trễ đồng bộ hai xung nhịp 101. Tín hiệu đầu vào 112, tín hiệu ra là 113 với hai xung nhịp 110 và 111. Tín hiệu đầu vào 112 đồng bộ với xung nhịp 110 (CLK1) và sẽ được chuyển đổi thành tín hiệu ra 113 được đồng bộ với xung nhịp 111.

Tín hiệu đầu vào 112 sẽ đi vào đầu vào D của mạch chốt bất đồng bộ 200 (L1) với tín hiệu đầu ra w0. Xung nhịp 110 (CLK1) sẽ được nghịch đảo bởi bộ nghịch đảo 210 (I1) trước khi đi vào mạch chốt bất đồng bộ 200. Vì vậy tín hiệu w0 là tín hiệu đầu vào 112 nhưng bị trễ đi một nửa chu kỳ của xung nhịp 110 (CLK1).

Sau đó tín hiệu w_0 được chia ra đi theo ba nhánh, mỗi nhánh có ba phần tử trễ đồng bộ (FF) là:

- Nhánh thứ nhất với các phần tử trễ đồng bộ 201 (FF11), 202 (FF12), 203 (FF13). Nhánh này hoạt động với xung nhịp 111 (CLK2).
- Nhánh thứ hai với các phần tử trễ đồng bộ 204 (FF21), 205 (FF22), 206 (FF23). Tín hiệu được trễ bởi bộ trễ 230 (D1). Bộ trễ này làm tín hiệu w_0 chậm đi khoảng 5% của chu kỳ của xung nhịp. Nhánh thứ hai này hoạt động với xung nhịp 111 (CLK2).
- Nhánh thứ ba là nhánh w_0 bị trễ đi một lượng bằng nửa chu kỳ xung nhịp. Chú ý là khoảng trễ này lớn thứ ba với các phần tử trễ đồng bộ 207 (FF31), 208 (FF32), 209 (FF33). Tín hiệu w_0 được đồng bộ với nghịch đảo của xung nhịp 111 ở phần tử trễ đồng bộ 207. Điều này đảm bảo là hơn khoảng trễ của tín hiệu w_0 ở nhánh thứ hai (5% chu kỳ xung nhịp).

Tín hiệu s_1 và s_0 điều khiển từ hai phần tử trễ đồng bộ 223 (FF5) và 224 (FF4) sẽ chọn một trong ba đầu ra (w_{13} , w_{23} , w_{33}) của ba nhánh trên. Ba tín hiệu này được đi qua bộ ghép kênh 212 (M1) và tùy vào giá trị của s_1 và s_0 để tạo thành tín hiệu w_{123} đi vào tầng trễ đồng bộ cuối cùng 225 (FF6) trước khi được đưa ra ngoài thành tín hiệu ra 113.

Trường hợp $(s_1, s_0) = (0, 0)$ thì w_{123} được gán với w_{13} (nhánh một);

Trường hợp $(s_1, s_0) = (0, 1)$ thì w_{123} được gán với w_{23} (nhánh hai);

Trường hợp $(s_1, s_0) = (1, 0)$ thì w_{123} được gán với w_{33} (nhánh ba);

Trường hợp $(s_1, s_0) = (1, 1)$ không xảy ra;

Ta có cách biểu diễn hàm phụ thuộc như sau:

$$d_{12} = w_{12} XOR w_{22}$$

$$d_{13} = w_{12} XOR w_{32}$$

$$A = s[1:0] XOR [01]$$

$$B = s[1:0] XOR [10]$$

$$d_{01} = [d_{12}d_{13}] XOR [01]$$

$$d_{10} = [d_{12}d_{13}] XOR [10]$$

$$[s_{02}, s_{01}] = \bar{A}.[01] + \bar{B}.[10] + A.B.(\overline{d_{01}}.[01] + \overline{d_{10}}.[10])$$

Hình 5 mô tả sơ đồ trạng thái của phần tử trễ đồng bộ hai xung nhịp 101. Trạng thái khởi tạo ban đầu, đầu ra sẽ được gán với nhánh số một (w_{13}). Lúc này $s_1=0$, $s_0=0$. Nếu d_{12} và d_{13} vẫn giữ bằng 0, trạng thái này sẽ được giữ nguyên.

Với trường hợp khi $d_{13}=1$ và $d_{12}=0$, điều này xảy ra khi giá trị w_{12} và w_{32} khác nhau. Khi đó, lựa chọn nhánh hai là điều chắc chắn để đảm bảo không có hiện tượng bất ổn định. Một khi đã rơi vào trạng thái “Trạng thái 2” (Hình 5), dù cho giá trị d_{13} , d_{12} có thay đổi, tín hiệu ra 113 vẫn được gán với nhánh hai.

Tương tự với trường hợp ba khi $d_{13}=0$ và $d_{12}=1$. Ở trạng thái “Trạng thái 3”, tín hiệu ra 113 được gán với nhánh ba. Một điều chắc chắn là không thể có trường hợp d_{13} và d_{12} cùng bằng 1 do w_{12} , w_{22} , w_{32} là giá trị nhị phân.

Hình 6 mô tả rõ hơn với tín hiệu đầu vào 112 so với các xung nhịp 110 (CLK1) và 111 (CLK2). Nguyên lý chung của sáng chế đó là tạo ra ba nhánh tín hiệu được trễ với nhau bởi những lượng đã biết trước. Sau đó, tùy vào vị trí của sườn tích cực của các xung nhịp CLK1 và CLK2 mà phần tử trễ đồng bộ hai xung nhịp 101 sẽ quyết định việc chọn lựa một trong ba nhánh này.

Hình 6 (a) là một trong các trường hợp thông thường khi sườn tích cực của xung nhịp CLK2 bị trễ một lượng vừa đủ so với sườn tích cực của xung nhịp CLK1 đủ để đảm bảo xung nhịp CLK2 bắt được tín hiệu đầu vào 112 mà không bị hiện tượng bắn ổn định.

Hình 6 (b) mô tả trường hợp sườn tích cực của xung nhịp CLK2 (sườn lên) nằm sát sườn tích cực của xung nhịp CLK1 của mạch chốt bất đồng bộ 200 (sườn xuống). Khi đó phần tử trễ đồng bộ hai xung nhịp 101 sẽ quyết định hoặc theo nhánh hai hoặc theo nhánh ba vì nhánh một với tín hiệu w_0 sẽ xảy ra hiện tượng bất ổn định.

Hình 6 (c) mô tả trường hợp nhánh số hai bị bất ổn định khi tín hiệu dữ liệu 114 sát với sườn tích cực của xung nhịp CLK2 (sườn lên). Trường hợp này xảy ra thì nhánh số ba được chọn.

Hình 6 (d) mô tả trường hợp nhánh số hai được chọn khi sườn tích cực của xung nhịp CLK1 và CLK2 sát nhau. Khi đó thì tín hiệu dữ liệu 114 đã đủ để đảm bảo không xảy ra hiện tượng bất ổn định.

Như vậy với phần tử trễ đồng bộ hai xung nhịp, thiết kế các chuỗi mạch quét sẽ trở nên linh hoạt cùng với sự chính xác cao hơn so với phần tử chốt bất đồng bộ. Khi tiến hành thiết kế vật lý (Physical design), phần tử vừa được trình bày có thể được triển khai trước dưới dạng phần tử cơ bản (standard cell) hoặc khối (block). Các điều này đảm bảo tính ứng dụng và phù hợp với quy trình thiết kế chip hiện nay.

Yêu cầu bảo hộ

1. Phần tử trễ đồng bộ hai xung nhịp dành cho đo kiểm (design for test) chip bao gồm:
xung nhịp của mạch quét ở miền xung nhịp thứ nhất;
xung nhịp của mạch quét ở miền xung nhịp thứ hai;
tín hiệu đầu vào của phần tử trễ đồng bộ cuối cùng của mạch quét ở miền xung nhịp thứ nhất; tín hiệu đầu vào này cũng là tín hiệu đầu vào của phần tử trễ đồng bộ hai xung nhịp; tín hiệu này sau đó được đồng bộ với miền xung nhịp thứ hai (CLK2);

tín hiệu ra của phần tử trễ đồng bộ hai xung nhịp; tín hiệu này đi vào phần tử trễ đồng bộ đầu tiên của mạch quét ở miền xung nhịp thứ hai; tín hiệu ra này chính là tín hiệu đầu ra của tín hiệu đầu vào nhưng được chuyển sang đồng bộ cho miền xung nhịp thứ hai.

2. Phần tử trễ đồng bộ hai xung nhịp dành cho đo kiểm (design for test) chip theo điểm 1, trong đó:

tín hiệu đầu vào sẽ đi vào đầu vào D của mạch chốt bất đồng bộ 200 (L1) với tín hiệu đầu ra w0; miền xung nhịp thứ hai (CLK1) sẽ được nghịch đảo bởi bộ nghịch đảo (I1) trước khi đi vào mạch chốt bất đồng bộ 200; vì vậy tín hiệu w0 là tín hiệu đầu vào 112 nhưng bị trễ đi một nửa chu kỳ của miền xung nhịp thứ nhất (CLK1);

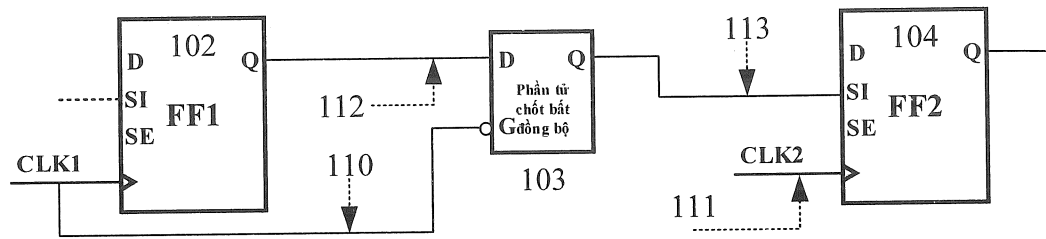
3. Phần tử trễ đồng bộ hai xung nhịp dành cho đo kiểm (design for test) chip theo điểm 2, trong đó

tín hiệu w0 được chia ra đi theo ba nhánh, mỗi nhánh có ba phần tử trễ đồng bộ (FF) là:

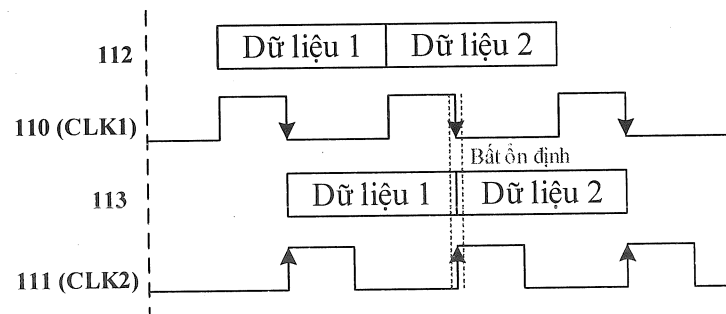
nhánh thứ nhất với các phần tử trễ đồng bộ hoạt động với xung nhịp thứ hai (CLK2);

nhánh thứ hai với các phần tử trễ đồng bộ có tín hiệu được trễ bởi bộ trễ, làm tín hiệu w0 chậm đi khoảng 5% của chu kỳ của xung nhịp; nhánh thứ hai này hoạt động với xung nhịp thứ hai (CLK2);

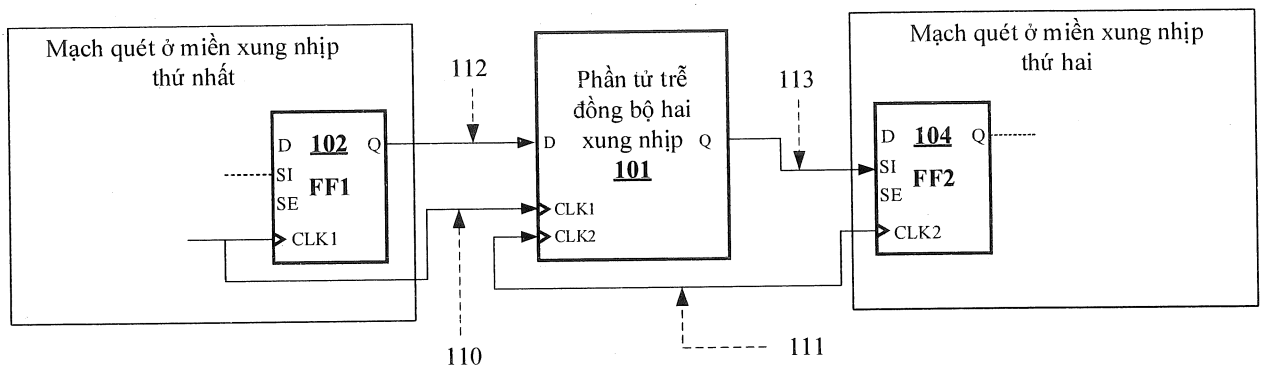
nhánh thứ ba là nhánh w0 bị trễ đi một lượng bằng nửa chu kỳ xung nhịp; Tín hiệu w0 được đồng bộ với nghịch đảo của xung nhịp thứ hai ở phần tử trễ đồng bộ; điều này đảm bảo là hơn khoảng trễ của tín hiệu w0 ở nhánh thứ hai (5% chu kỳ xung nhịp).



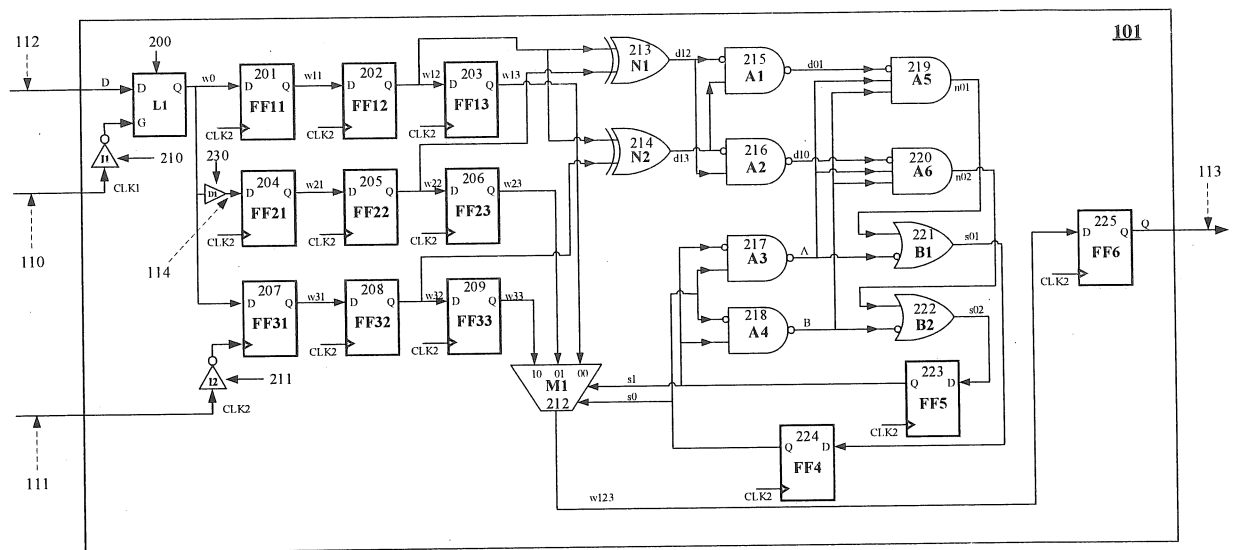
Hình 1



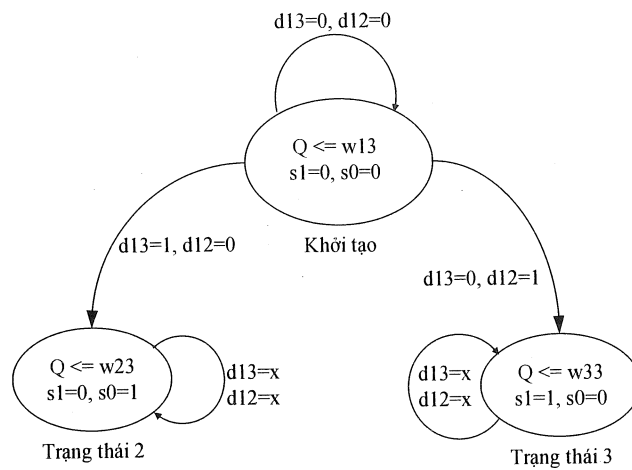
Hình 2



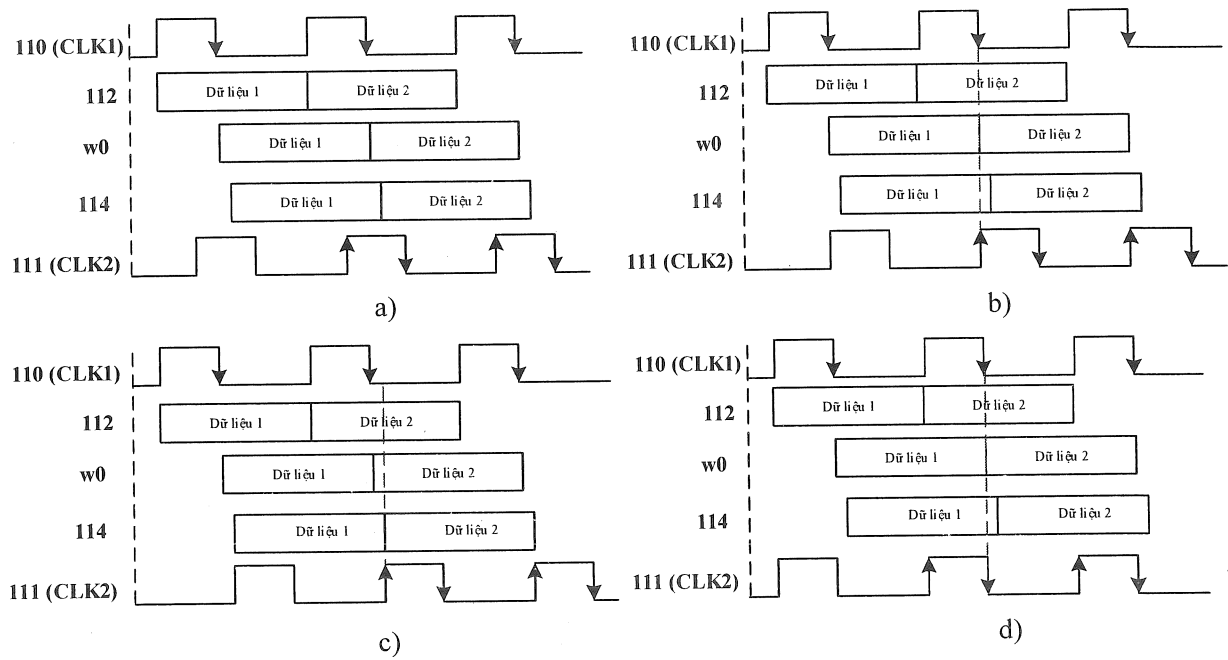
Hình 3



Hình 4



Hình 5



Hình 6