



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0052841

(51)^{2022.01} G06F 1/3296; G06F 1/3234

(13) B

(21) 1-2023-00336

(22) 28/07/2021

(86) PCT/US2021/043351 28/07/2021

(87) WO 2022/026489 A1 03/02/2022

(30) 202041032888 31/07/2020 IN

(45) 27/10/2025 451

(43) 25/05/2023 422A

(73) QUALCOMM INCORPORATED (US)

ATTN: International IP Administration, 5775 Morehouse Drive, San Diego, CA
921211714, United States of America

(72) SAMSON, Giby (IN); HEGGOND, Smecta (IN); MISTRY, Jitu Khushalbhai (IN);
GUPTA, Paras (IN); KANSAGRA, Keyurkuinar Karsanbhai (IN); MEDISETTI,
Kaniesh (IN); VILANGUDIPITCHAI, Rainaprasath (IN); SHEEPARAMATTI,
Arshath (IN).

(74) Công ty TNHH Quốc tế D & N (D&N INTERNATIONAL CO.,LTD.)

(54) HỆ THỐNG TRÊN CHIP, PHƯƠNG PHÁP GHÉP KÊNH CÔNG SUẤT VÀ CHIP
BẢN DẪN

(21) 1-2023-00336

(57) Sáng chế đề cập đến hệ thống trên chip, phương pháp ghép kênh công suất và chip bán dẫn. Hệ thống trên chip (SOC) bao gồm: khối bộ nhớ thứ nhất và khối bộ nhớ thứ hai; đơn vị xử lý được ghép nối với khối bộ nhớ thứ nhất và khối bộ nhớ thứ hai; bộ ghép kênh công suất thứ nhất được bố trí giữa khối bộ nhớ thứ nhất và khối bộ nhớ thứ hai và được ghép nối với ray nguồn thứ nhất được tạo cấu hình để cung cấp điện áp hoạt động cho cả khối bộ nhớ thứ nhất và khối bộ nhớ thứ hai; và mạch logic kích hoạt được bố trí ở phần ngoại vi của SOC cách xa khối bộ nhớ thứ nhất và khối bộ nhớ thứ hai, logic kích hoạt được ghép nối với các đầu cuối điều khiển của bộ ghép kênh công suất thứ nhất.

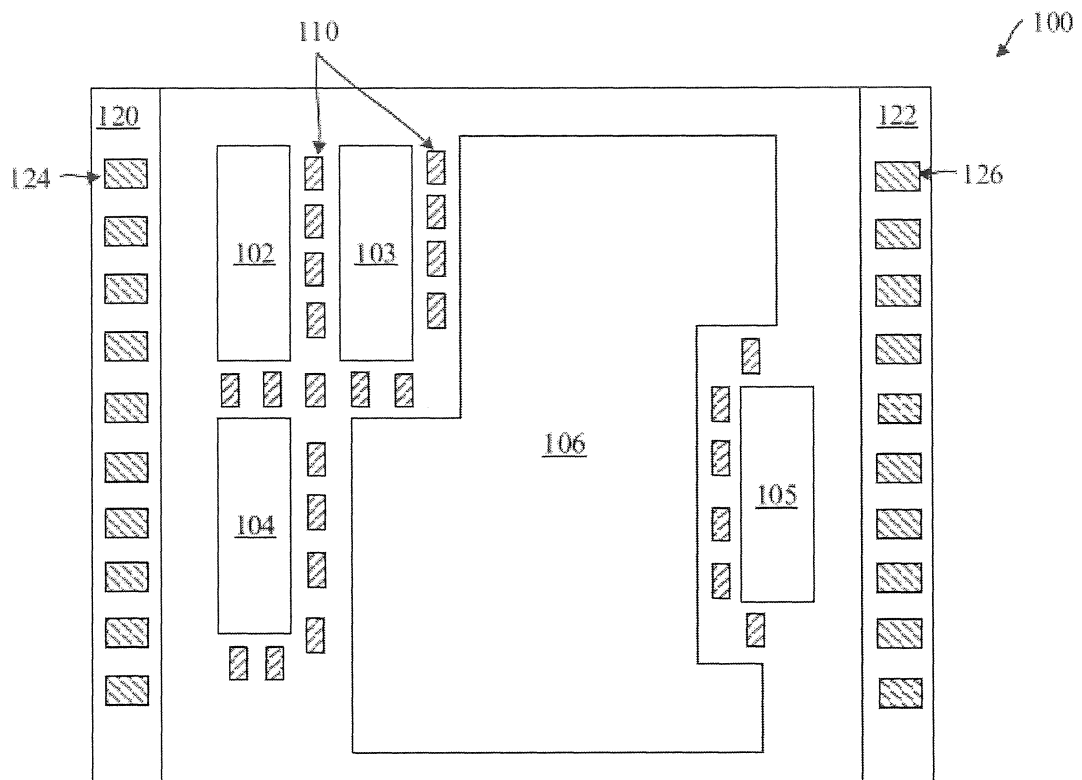


FIG.1

Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập chung đến kỹ thuật ghép kênh công suất và, cụ thể hơn là đề giảm mức sử dụng công suất trong các mạng phân phối công suất có sử dụng kỹ thuật ghép kênh công suất.

Tình trạng kỹ thuật của sáng chế

Thiết bị điện toán thông thường (ví dụ, điện thoại thông minh, máy tính bảng, v.v.) có thể bao gồm hệ thống trên chip (system on chip - SOC), có bộ xử lý và các mạch hoạt động khác. SOC có thể nhận năng lượng từ pin, và do đó, các thiết kế thông thường có thể cân bằng hiệu suất của SOC và mức sử dụng công suất để mang lại trải nghiệm mong muốn cho người dùng trong khi yêu cầu sạc pin ít nhất có thể.

Ghép kênh công suất là kỹ thuật có thể được sử dụng để tiết kiệm điện năng trong một số trường hợp. Một cách mà một số hệ thống có thể sử dụng ghép kênh công suất để tiết kiệm điện năng là để cho phép ngắt điện một số phần của lõi xử lý (sử dụng bộ ghép kênh công suất thứ nhất và miền công suất thứ nhất) trong khi cung cấp công suất cho các phần khác của lõi xử lý (sử dụng bộ ghép kênh công suất thứ hai và miền công suất thứ hai). Một cách khác mà một số hệ thống thông thường có thể sử dụng ghép kênh công suất là để chuyển từ nguồn điện thứ nhất sang nguồn điện thứ hai để cấp nguồn cho bộ nhớ của đơn vị xử lý trung tâm (central processing unit - CPU) và điều chỉnh nguồn điện thứ hai để tăng tốc bộ nhớ CPU. Kỹ thuật này có thể tiết kiệm điện bằng cách cho phép SOC tăng điện áp có chọn lọc ở một số thành phần trong khi không tăng điện áp ở các thành phần khác.

Một số kiến trúc ghép kênh công suất có thể bao gồm việc đặt các bộ ghép kênh công suất và mạch kích hoạt của chúng dọc theo ngoại vi của SOC. Bộ ghép kênh công suất ghép nối với các khối bộ nhớ hướng vào bên trong SOC. Theo một ví dụ, bộ ghép kênh công suất ở phần ngoại vi của SOC có thể cung cấp công suất cho nhiều khối bộ nhớ bằng ray nguồn đi ngang qua từ một khối bộ nhớ này sang khối bộ nhớ tiếp theo nối tiếp. Các khối bộ nhớ nối tiếp ở xa nhất so với bộ ghép kênh công suất sẽ bị sụt giảm điện áp tăng theo bậc hai dựa vào số lượng khối bộ nhớ xen vào. Nói cách khác, sự sụt giảm điện áp có thể trở nên không thể chấp nhận được sau khi chỉ đi qua vài khối bộ nhớ.

Trong lĩnh vực này, có nhu cầu cần có mạng phân phối công suất (power distribution network - PDN) hiệu quả hơn, ít bị sụt giảm điện áp hơn.

Bản chất kỹ thuật của sáng chế

Các phương án triển khai khác nhau đề xuất các mạch và kỹ thuật để giảm sụt giảm điện áp trong mạng phân phối công suất (PDN). Theo một ví dụ, các bộ ghép kênh công suất được đặt gần các khối bộ nhớ. Ví dụ, các bộ ghép kênh công suất có thể được đặt trong các kênh bộ nhớ, bên cạnh các vị trí khác. Do đó, các bộ ghép kênh công suất có thể cung cấp công suất cho các khối bộ nhớ tương ứng của chúng theo cách làm giảm hoặc tránh sụt giảm công suất bậc hai do các khối bộ nhớ nối tiếp xen vào.

Theo một phương án triển khai, hệ thống trên chip (SOC) bao gồm: khối bộ nhớ thứ nhất và khối bộ nhớ thứ hai; đơn vị xử lý được ghép nối với khối bộ nhớ thứ nhất và khối bộ nhớ thứ hai; bộ ghép kênh công suất thứ nhất được bố trí giữa khối bộ nhớ thứ nhất và khối bộ nhớ thứ hai và được ghép nối với ray nguồn thứ nhất được tạo cấu hình để cung cấp điện áp hoạt động cho cả khối bộ nhớ thứ nhất và khối bộ nhớ thứ hai; và mạch logic kích hoạt được bố trí ở phần ngoại vi của SOC cách xa khối bộ nhớ thứ nhất và khối bộ nhớ thứ hai, mạch logic kích hoạt được ghép nối với các đầu cuối điều khiển của bộ ghép kênh công suất thứ nhất.

Theo một phương án triển khai, phương pháp bao gồm các bước: chọn nguồn điện thứ nhất làm điện áp hoạt động cho khối bộ nhớ thứ nhất, trong đó nguồn điện thứ nhất được chọn bởi bộ ghép kênh công suất thứ nhất được bố trí giữa khối bộ nhớ thứ nhất và khối bộ nhớ thứ hai, trong đó việc chọn là dưới sự điều khiển của mạch logic kích hoạt được bố trí ở phần ngoại vi của hệ thống trên chip (SOC) cách xa khối bộ nhớ thứ nhất và khối bộ nhớ thứ hai; và chọn nguồn điện thứ hai làm điện áp hoạt động cho khối bộ nhớ thứ nhất dưới sự điều khiển của mạch logic kích hoạt.

Theo một phương án triển khai, chip bán dẫn bao gồm: khối bộ nhớ thứ nhất và khối bộ nhớ thứ hai; phương tiện để chọn giữa nguồn điện thứ nhất và nguồn điện thứ hai, trong đó phương tiện chọn được bố trí giữa khối bộ nhớ thứ nhất và khối bộ nhớ thứ hai và được tạo cấu hình để cung cấp điện áp hoạt động cho khối bộ nhớ thứ nhất; và phương tiện để điều khiển phương tiện chọn, trong đó phương tiện điều khiển được bố trí ở phần ngoại vi của chip cách xa khối bộ nhớ thứ nhất và khối bộ nhớ thứ hai, phương tiện điều khiển được ghép nối với các đầu cuối điều khiển của tranzito của phương tiện chọn.

Theo một phương án triển khai khác, hệ thống trên chip (SOC) bao gồm: khối bộ nhớ thứ nhất và khối bộ nhớ thứ hai; logic xử lý bao gồm nhóm các ô tiêu chuẩn, logic xử lý được bố trí sao cho khối bộ nhớ thứ nhất và khối bộ nhớ thứ hai nằm giữa logic xử lý và phần ngoại vi của SOC, phần ngoại vi của SOC tương ứng với phần bên của một bên của SOC; mạch logic kích hoạt được bố trí trong phần ngoại vi của SOC; nhiều bộ ghép kênh công suất thứ nhất được bố trí giữa khối bộ nhớ thứ nhất và khối bộ nhớ thứ hai, nhiều bộ ghép kênh công suất thứ nhất được tạo cấu hình để nhận tín hiệu kích hoạt và điện áp chuyển mạch từ mạch logic kích hoạt; và nhiều bộ ghép kênh công suất thứ hai được bố trí giữa khối bộ nhớ thứ hai và logic xử lý, nhiều bộ ghép kênh công suất thứ hai được tạo cấu hình để nhận tín hiệu kích hoạt và điện áp chuyển mạch từ mạch logic kích hoạt.

Mô tả vắn tắt các hình vẽ

Fig.1 là sơ đồ đơn giản hóa minh họa ví dụ về SOC, bao gồm mạng phân phối công suất (PDN) được cải tiến có các bộ ghép kênh công suất được đặt gần các khối bộ nhớ.

Fig.2 là hình vẽ minh họa ví dụ về mạch ghép kênh, theo một phương án triển khai.

Các Fig.3A đến Fig.3C minh họa ví dụ về phương án triển khai trong đó bộ ghép kênh công suất 310 được bố trí trong các kênh bộ nhớ giữa các khối bộ nhớ.

Fig.4 là hình vẽ minh họa ví dụ về bộ ghép kênh công suất, theo một phương án triển khai.

Fig.5 là minh họa ví dụ về hệ thống, có thể được triển khai trong SOC, theo một phương án triển khai.

Fig.6 là hình vẽ minh họa ví dụ về hệ thống, có thể được triển khai trong SOC, theo một phương án triển khai.

Fig.7 là hình vẽ minh họa ví dụ về bộ ghép kênh công suất, theo một phương án triển khai.

Fig.8 thể hiện ví dụ về khối mạch logic kích hoạt bao gồm ba hoặc bốn khối chuyển mạch, theo một phương án triển khai.

Fig.9 thể hiện các lớp định tuyến và kim loại bổ sung có thể được sử dụng với phương án triển khai trên Fig.8.

Fig.10 là minh họa ví dụ về phương pháp, được điều chỉnh theo một phương án triển khai.

Mô tả chi tiết sáng chế

Các phương án triển khai khác nhau được đề xuất ở đây bao gồm các hệ thống và phương pháp để cung cấp kỹ thuật ghép kênh công suất cho các khối bộ nhớ với mức sụt giảm điện áp ít hơn so với các thiết kế khác. Mạch ghép kênh có thể được đặt gần các khối bộ nhớ hơn, chẳng hạn như trong các kênh bộ nhớ (khoảng trống giữa hai khối bộ nhớ) hoặc nếu không thì gần phía bất kỳ của khối bộ nhớ, do đó giảm số lượng khối bộ nhớ được cấp nguồn nối tiếp. Việc giảm số lượng khối bộ nhớ được cấp nguồn nối tiếp có thể giảm sự sụt giảm điện áp từ mạch ghép kênh công suất đến khối bộ nhớ được cấp nguồn bởi mạch ghép kênh công suất.

Tiếp tục với ví dụ này, hệ thống có thể bao gồm hệ thống trên chip (SOC), có khối bộ nhớ thứ nhất và khối bộ nhớ thứ hai. Ví dụ về các khối bộ nhớ bao gồm bộ nhớ đệm cấp 2 trong bộ xử lý, mặc dù khối bộ nhớ chấp nhận được bất kỳ của bộ nhớ truy cập ngẫu nhiên (random access memory - RAM) hoặc bộ nhớ chỉ đọc (read only memory - ROM) đều có thể được sử dụng trong một số phương án triển khai. SOC cũng có thể bao gồm đơn vị xử lý, chẳng hạn như đơn vị xử lý trung tâm (central processing unit - CPU), đơn vị xử lý đồ họa (graphics processing unit - GPU), hoặc các ô tiêu chuẩn hoặc lõi sở hữu trí tuệ (intellectual property - IP) khác.

SOC còn bao gồm bộ ghép kênh công suất thứ nhất được bố trí giữa khối bộ nhớ thứ nhất và khối bộ nhớ thứ hai. Bộ ghép kênh công suất thứ nhất được ghép nối với ray nguồn thứ nhất cung cấp điện áp hoạt động cho cả khối bộ nhớ thứ nhất và khối bộ nhớ thứ hai. SOC cũng bao gồm mạch logic kích hoạt được bố trí ở phần ngoại vi của nó, cách xa khối bộ nhớ thứ nhất và thứ hai. Phần ngoại vi của SOC Theo ví dụ này bao gồm khoảng trống xung quanh chu vi vật lý của SOC bên ngoài mạch xử lý và các khối bộ nhớ và có thể bao gồm một phần bên của một hoặc nhiều mặt của SOC. Logic kích hoạt theo ví dụ này được ghép nối với các đầu cuối điều khiển của bộ ghép kênh công suất thứ nhất để điều khiển bộ ghép kênh công suất nhằm chọn nguồn điện thứ nhất hoặc nguồn điện thứ hai. Nói cách khác, điện áp hoạt động được chọn trong số nguồn điện thứ nhất và nguồn điện thứ hai theo mạch logic kích hoạt.

Theo một ví dụ, SOC cũng bao gồm bộ ghép kênh công suất thứ hai được bố trí giữa khối bộ nhớ thứ nhất và đơn vị xử lý, đồng thời cũng được ghép nối với ray nguồn thứ nhất. Theo ví dụ này, bộ ghép kênh công suất thứ nhất và bộ ghép kênh công suất thứ hai đều được ghép nối với khối bộ nhớ thứ nhất để cấp nguồn cho khối bộ nhớ thứ nhất. Theo một số ví dụ, bộ ghép kênh công suất thứ nhất có thể là một trong số nhiều bộ ghép kênh công suất được bố trí trong kênh bộ nhớ giữa khối bộ nhớ thứ nhất và khối bộ nhớ thứ hai.

Các phương án triển khai ví dụ như vậy có thể đặt bộ ghép kênh công suất thứ nhất liền kề với khối bộ nhớ thứ nhất và khối bộ nhớ thứ hai, do đó cho phép bộ ghép kênh công suất thứ nhất cấp nguồn cho một trong hai hoặc cả hai khối bộ nhớ thứ nhất và khối bộ nhớ thứ hai mà không làm cho bất kỳ khối bộ nhớ nào trong số đó bị sụt giảm điện áp do ảnh hưởng từ khối bộ nhớ còn lại. Nói cách khác, một số phương án triển khai có thể bao gồm kết nối điện từ bộ ghép kênh công suất thứ nhất tới một trong hai hoặc cả hai khối bộ nhớ thứ nhất và thứ hai mà không có các khối bộ nhớ xen vào khác gây ra sụt giảm điện áp trước khi điện áp được phân phối tới một trong hai hoặc cả hai khối bộ nhớ thứ nhất và thứ hai.

Theo một ví dụ, việc bố trí bộ ghép kênh công suất thứ nhất có thể thực hiện được bằng cách giảm kích thước của bộ ghép kênh công suất thứ nhất. Bộ ghép kênh công suất thứ nhất có thể được giảm kích thước bằng cách chỉ bao gồm mạch ghép kênh trong bộ ghép kênh công suất thứ nhất và đặt mạch logic kích hoạt và mạch hỗ trợ khác ở một nơi khác (ví dụ, ở phần ngoại vi của SOC). Ví dụ, SOC có thể bao gồm thêm bộ tạo điện áp cung cấp điện áp chuyển mạch có thể hoạt động để tắt các tranzito trong bộ ghép kênh. Bộ tạo điện áp có thể được bố trí ở phần ngoại vi của SOC hoặc ở một nơi thích hợp khác, chẳng hạn như liền kề với khối bộ nhớ thứ nhất. Tuy nhiên, bộ tạo điện áp trong trường hợp này không được bố trí trong khối của bộ ghép kênh công suất thứ nhất. Do đó, khối của bộ ghép kênh công suất thứ nhất có thể đủ nhỏ để đặt trong kênh bộ nhớ hoặc giữa khối bộ nhớ và đơn vị xử lý.

Do đó, các phương án triển khai khác nhau có thể bao gồm các bộ ghép kênh công suất tiết kiệm không gian hơn có thể được đặt trong các khu vực nhỏ hơn, chẳng hạn như trong các kênh bộ nhớ và tương tự. Mạch logic kích hoạt và bộ tạo điện áp có thể được đặt ở nơi khác bên ngoài bộ ghép kênh.

Các phương án triển khai khác cũng có thể bao gồm các phương pháp. Phương pháp ví dụ bao gồm chọn nguồn điện thứ nhất bằng cách điều khiển bộ ghép kênh công suất. Bộ ghép kênh công suất có thể bao gồm một bộ ghép kênh chẳng hạn như được mô tả trong các ví dụ ở đây, có thể có kích thước nhỏ hơn và được đặt trong kênh bộ nhớ hoặc giữa khối bộ nhớ và đơn vị xử lý. Việc chọn được thực hiện bằng cách xác nhận hoặc hủy xác nhận tín hiệu từ mạch logic kích hoạt được đặt cách xa bộ ghép kênh công suất. Ví dụ, mạch logic kích hoạt có thể được đặt ở phần ngoại vi của SOC và được tách biệt khỏi bộ ghép kênh công suất bằng một khối bộ nhớ, nhiều khối bộ nhớ, một đơn vị xử lý, hoặc tương tự. Phương pháp này có thể còn bao gồm việc chọn nguồn điện thứ hai bằng cách điều khiển bộ ghép kênh công suất bằng cách xác nhận hoặc hủy xác nhận tín hiệu.

Các phương án triển khai khác có thể bao gồm các lợi thế so với các hệ thống khác. Một lợi thế bao gồm giảm sự sụt giảm điện áp trên ray nguồn cấp cho khối bộ nhớ. Lợi thế này có thể đạt được bằng cách đặt mạch ghép kênh công suất gần khối bộ nhớ để tránh sự sụt giảm điện áp xen vào giữa mạch ghép kênh công suất và khối bộ nhớ. Do đó, điện áp ray nguồn tối thiểu có thể được hạ xuống, trong khi vẫn cho phép đạt được mức điện áp mong muốn vì không cần phải bù sự sụt giảm điện áp xen vào. Do đó, có thể làm giảm việc sử dụng điện và kéo dài thời lượng pin ở một số thiết bị cầm tay.

Fig.1 là sơ đồ đơn giản hóa minh họa ví dụ về SOC 100, bao gồm mạng phân phối công suất (PDN) được cải tiến có các bộ ghép kênh công suất được đặt gần các khối bộ nhớ. SOC 100 làm ví dụ bao gồm chip bán dẫn có các khối xử lý 106. Các khối xử lý 106 có thể bao gồm nhiều thiết bị xử lý, chẳng hạn như đơn vị xử lý đồ họa (GPU), đơn vị xử lý trung tâm (CPU), đơn vị modem, đơn vị camera, và các thiết bị tương tự. Theo một số ví dụ, SOC có thể được bao gồm trong gói chip, được gắn trên bảng mạch in, và được đặt trong thiết bị di động, chẳng hạn như điện thoại thông minh hoặc máy tính bảng. Tuy nhiên, phạm vi triển khai không bị giới hạn ở chip được triển khai trong máy tính bảng hoặc điện thoại thông minh, vì vẫn có thể áp dụng được cho các ứng dụng khác.

Các khối xử lý 106 có thể bao gồm CPU có nhiều lõi, và một hoặc nhiều lõi trong số đó có thể thực thi mã đọc được bằng máy tính để cung cấp chức năng của nhân hệ điều hành. Các lõi CPU như vậy có thể đọc và ghi dữ liệu vào các khối bộ nhớ từ 102

đến 105. Hơn nữa, nhân hệ điều hành ví dụ có thể bao gồm phần mềm quản lý có thể điều khiển việc sử dụng nguồn điện trong SOC 100. Ví dụ, phần mềm quản lý năng lượng có thể xác định đặt một hoặc nhiều lõi CPU vào chế độ tăng áp và tăng điện áp ở một hoặc nhiều khối bộ nhớ từ 102 đến 105 để hỗ trợ chế độ tăng áp của CPU. Tương tự, phần mềm quản lý năng lượng có thể xác định đặt một hoặc nhiều lõi CPU ở chế độ hoạt động thấp hơn, phù hợp với tiết kiệm năng lượng, trong quá trình hoạt động bình thường. Trong trường hợp như vậy, phần mềm quản lý điện năng có thể hạ thấp điện áp ở một hoặc nhiều khối bộ nhớ từ 102 đến 105. Hơn nữa Theo ví dụ này, việc tăng hoặc giảm điện áp hoạt động ở các khối bộ nhớ từ 102 đến 105 có thể bao gồm việc điều khiển bộ ghép kênh công suất 110 để chọn nguồn điện cao hơn hoặc nguồn điện thấp hơn, phù hợp với chế độ vận hành.

Bộ ghép kênh công suất 110 được thể hiện là được phân phối xa khỏi các phần ngoại vi 120, 122 của SOC 100 và, thay vào đó, ở gần các khối bộ nhớ từ 102 đến 105. Ví dụ, một số bộ ghép kênh công suất 110 được đặt trong kênh bộ nhớ giữa các khối bộ nhớ 102 và 103, và các bộ ghép kênh công suất khác được đặt trong kênh bộ nhớ giữa các khối bộ nhớ 102 và 104. Trên thực tế, mỗi khối bộ nhớ 103, 104, và 105 đều có các bộ ghép kênh công suất được bố trí xung quanh ba bên của chúng.

Các khối bộ nhớ 110 được đặt giữa khối bộ nhớ 103 và các khối xử lý 106. Các khối bộ nhớ 110 cũng được đặt giữa khối bộ nhớ 104 và các khối xử lý 106 và giữa khối bộ nhớ 105 và các khối xử lý 106. Mỗi bộ ghép kênh công suất 110 phục vụ khối bộ nhớ tương ứng từ 102 đến 105 bằng cách cung cấp điện áp hoạt động cho khối bộ nhớ đó và không có sự sụt giảm điện áp xen vào từ một khối bộ nhớ khác. Ví dụ, bộ ghép kênh công suất 110a có thể cung cấp điện áp hoạt động cho khối bộ nhớ 103 mà không bị sụt giảm điện áp do bất kỳ khối bộ nhớ nào khác trong số các khối bộ nhớ 102, 104, 105 gây ra. Điều này cũng đúng với mỗi bộ ghép kênh công suất trong số các bộ ghép kênh công suất 110 còn lại phục vụ các khối bộ nhớ tương ứng từ 102 đến 105 của chúng. Tuy nhiên, phạm vi triển khai không loại trừ khả năng một số khối bộ nhớ có thể được phục vụ theo bất kỳ cách thích hợp nào bởi các bộ ghép kênh công suất khác (không được thể hiện trên hình vẽ).

SOC 100 cũng bao gồm các khối mạch logic kích hoạt, ví dụ về các khối này được thể hiện dưới dạng các phần tử 124 và 126. Các khối mạch logic kích hoạt nằm ở

các phần ngoại vi 120, 122 của SOC 100. Các khối mạch logic kích hoạt chịu trách nhiệm điều khiển các bộ ghép kênh công suất 110 thông qua các tín hiệu kích hoạt và cung cấp điện áp chuyển mạch trong một số phương án triển khai ví dụ. Tín hiệu kích hoạt và điện áp chuyển mạch được mô tả chi tiết hơn dưới đây.

Kiến trúc cụ thể được thể hiện trên Fig.1 là một ví dụ, và phạm vi triển khai không chỉ giới hạn ở đó. Ví dụ, các phương án triển khai khác có thể bao gồm số lượng hoặc vị trí bất kỳ thích hợp của các bộ ghép kênh công suất 110, số lượng hoặc vị trí bất kỳ của các khối bộ nhớ, số lượng hoặc vị trí bất kỳ của mạch logic kích hoạt, và số lượng và vị trí bất kỳ của các khối xử lý 106.

Fig.2 là sơ đồ khái niệm của một ví dụ về mạch ghép kênh, theo một phương án triển khai. Fig.2 được đề xuất để thể hiện rằng bộ ghép kênh công suất 110 và khối mạch logic kích hoạt 124 có thể được đặt về mặt vật lý trong cùng một khối. Ngược lại, phương án triển khai trên Fig.1 tách biệt về mặt vật lý bộ ghép kênh công suất 110 khỏi khối mạch logic kích hoạt 124, do đó cung cấp dấu chân silic nhỏ hơn cho bản thân bộ ghép kênh 110 tách biệt với dấu chân silic bất kỳ được gán cho khối mạch logic kích hoạt 124.

Khối mạch logic kích hoạt 124 bao gồm đường truyền xuôi, có thể truyền thông với phần mềm quản lý nguồn, chẳng hạn như bên trong nhân hệ điều hành chạy trên lõi bộ xử lý của SOC 100. Đường truyền xuôi có thể bao gồm các tín hiệu từ phần mềm quản lý nguồn lệnh cho khối mạch logic kích hoạt 124 chọn một hoặc các nguồn điện còn lại Vdd 1, Vdd 2. Tín hiệu chọn “SEL” được cung cấp từ khối mạch logic kích hoạt 124 đến bộ ghép kênh 110, trong đó xác nhận hoặc hủy xác nhận chọn một trong số các nguồn điện còn lại trong số các nguồn điện Vdd 1, Vdd 2. Mặc dù không được mô tả thêm ở đây, khối mạch logic kích hoạt 124 có thể có thêm các đầu ra tín hiệu điều khiển khác đến các thành phần khác (không được thể hiện trên hình vẽ) và có thể nhận các đầu vào tín hiệu điều khiển trên đường phản hồi từ các thành phần đó hoặc các thành phần khác (không được thể hiện trên hình vẽ). Ngoài ra, khối mạch logic kích hoạt 124 cũng có thể cung cấp phản hồi tín hiệu điều khiển cho phần mềm quản lý nguồn.

Đầu ra của bộ ghép kênh công suất 110 (Vdd_apm) được cung cấp cho khối bộ nhớ, chẳng hạn như khối bộ nhớ bất kỳ trong số các khối bộ nhớ từ 102 đến 105 trên Fig.1. Khối mạch logic kích hoạt 124 được thể hiện làm ví dụ, và hiểu rằng các khái

niệm được mô tả liên quan đến khối 124 cũng áp dụng cho khối 126 và các khối mạch logic kích hoạt khác trong các ngoại vi 120, 122 của SOC 100.

Các Fig.3A đến Fig.3C minh họa ví dụ về phương án triển khai trong đó các bộ ghép kênh công suất 310 được bố trí trong các kênh bộ nhớ giữa các khối bộ nhớ từ 302 đến 305. Fig.3A minh họa các khối bộ nhớ từ 302 đến 305, các bộ ghép kênh công suất 310, và các khối mạch logic kích hoạt 324 để dễ minh họa. Fig.3B thể hiện các rãnh dọc 333 và các rãnh ngang 334, cung cấp điện áp hoạt động V_{dd_apm} từ các bộ ghép kênh công suất 310 tới các khối bộ nhớ từ 302 đến 305. Fig.3C thể hiện các rãnh dọc và ngang lần lượt là 335, 332 truyền thông với nguồn điện thứ nhất MX, và các rãnh dọc và ngang lần lượt là 336, 331 truyền thông với nguồn điện thứ hai CX. Nói chung, các Fig.3A đến Fig.3C minh họa phương án triển khai bao gồm tất cả các rãnh từ 331 đến 336 được tích hợp trong một thiết bị bán dẫn.

Các Fig.3A đến Fig.3C cung cấp hình minh họa từ trên xuống không theo tỷ lệ. Hơn nữa, các Fig.3A đến Fig.3C không thể hiện các lớp kim loại khác nhau dự kiến sẽ được sử dụng khi triển khai kiến trúc của các Fig.3A đến Fig.3C trong SOC. Tuy nhiên, điều này được hiểu rằng mặc dù các rãnh từ 331 đến 336 được thể hiện là giao nhau, nhưng chúng nằm trong các lớp khác nhau khi thích hợp để các điện áp khác nhau không bị đoản mạch. Hơn nữa, các rãnh khác nhau từ 331 đến 336 có thể được ghép nối điện với bất kỳ trong số các khối bộ nhớ từ 302 đến 305, các bộ ghép kênh 310, hoặc khối mạch logic kích hoạt 324 bằng các lỗ via nếu thích hợp. Việc sử dụng các rãnh và các lỗ via như được thể hiện trên các Fig.3A đến Fig.3C có thể được áp dụng cho các phương án triển khai khác được mô tả ở đây để cung cấp ghép nối điện thích hợp cho các bộ ghép kênh công suất, chẳng hạn như 110 và 310.

Theo ví dụ này, khối mạch logic kích hoạt 324 tương tự như khối mạch logic kích hoạt 124 được mô tả chi tiết hơn ở trên đối với các Fig.1 và Fig.2. Mỗi bộ ghép kênh công suất 310 là tương tự như các bộ ghép kênh công suất 110 được mô tả chi tiết hơn ở trên đối với Fig.1 và Fig.2. Các bộ ghép kênh công suất 310 truyền thông với hai nguồn điện khác nhau, MX và CX theo các rãnh 331, 332, 335, và 336. Mặc dù không có rãnh nào được thể hiện là phân phối tín hiệu chọn lọc từ các khối mạch logic kích hoạt 324 đến các bộ ghép kênh công suất 310, sẽ hiểu rằng các rãnh tương tự với rãnh bất kỳ trong số các rãnh từ 331 đến 336 có thể được đưa thêm vào khi thích hợp. Mỗi bộ ghép kênh

310 chọn một trong số các nguồn điện MX, CX làm điện áp hoạt động để cung cấp cho một hoặc nhiều khối bộ nhớ từ 302 đến 305 theo các rãnh 333, 334.

Fig.4 là hình vẽ minh họa ví dụ về bộ ghép kênh công suất 600, theo một phương án triển khai. Ví dụ, các bộ ghép kênh công suất 110 và 310 có thể áp dụng kiến trúc được thể hiện trên Fig.4. Tuy nhiên, có thể sử dụng kiến trúc ghép kênh công suất thích hợp bất kỳ trong các phương án triển khai khác nhau.

Bộ ghép kênh công suất 600 chọn giữa hai nguồn điện, Vdd_MX và Vdd_apc. Theo một ví dụ, Vdd_MX biểu diễn nguồn điện được sử dụng làm mặc định cho các khối bộ nhớ, và Vdd_apc biểu diễn nguồn điện biến thiên được sử dụng bởi bộ xử lý. Tiếp tục với ví dụ, trong chế độ hoạt động turbo, Vdd_apc có thể được tăng lên và có thể được cung cấp cho các khối bộ nhớ bằng bộ ghép kênh công suất 600. Trong chế độ hoạt động không turbo, bộ ghép kênh công suất 600 có thể chọn nguồn điện Vdd_MX cho các khối bộ nhớ.

Phương án triển khai trên Fig.4 bao gồm hai tín hiệu kích hoạt, En_1 và En_2 và hai tranzito bán dẫn oxit kim loại loại P (P-type metal oxide semiconductor - PMOS), 601 và 602. Các tranzito PMOS 601, 602 tắt khi điện áp cực cổng-cực nguồn lớn hơn hoặc bằng 0 và bật khi điện áp cực cổng-cực nguồn âm. Do đó, khi En_1 ở mức cao và En_2 ở mức thấp, tranzito 601 được bật và bộ ghép kênh công suất 600 chọn Vdd_MX cho đầu ra bằng Vdd_apm. Mặt khác, khi En_1 ở mức thấp và En_2 ở mức cao, tranzito 602 được bật và bộ ghép kênh công suất 600 chọn Vdd_apc.

Ngoài ra, các tín hiệu kích hoạt En_1 và En_2 được sử dụng sao cho chỉ một tín hiệu được bật tại một thời điểm nhất định, do đó ngăn chặn tình huống Vdd_MX và Vdd_apc bị đoản mạch. Tuy nhiên, cả En_1 và En_2 đều có thể ở mức thấp, do đó không chọn nguồn điện nào.

Khi tranzito 601 bật và tranzito 602 tắt, điện áp VDD_aon được đặt vào cực cổng của tranzito 602. Vdd_aon là điện áp chuyển mạch, và được chọn là điện áp cao hơn trong số Vdd_MX và Vdd_apc, do đó đảm bảo rằng điện áp cực cổng-cực nguồn lớn hơn hoặc bằng 0, ngay cả khi mức điện áp của Vdd_apc thay đổi. Tương tự, khi tranzito 601 tắt, Vdd_aon được đặt vào cực cổng của nó, do đó đảm bảo rằng điện áp cực cổng-cực nguồn lớn hơn hoặc bằng 0 trong trạng thái tắt của nó.

Vdd_aon có thể được cung cấp bởi một hoặc nhiều bộ tạo điện áp có thể tách biệt khỏi, hoặc bao gồm trong, các khối mạch logic kích hoạt (ví dụ, 124, 126, 324). Ngoài ra, các tín hiệu kích hoạt biểu diễn một phương án triển khai cụ thể của tín hiệu chọn (SEL) trên Fig.2, và chúng có thể được cung cấp bởi các khối mạch logic kích hoạt. Các kỹ thuật để cung cấp Vdd_aon và các tín hiệu kích hoạt được giải thích chi tiết hơn dưới đây đối với các Fig.5 và Fig.6.

Một lợi thế của phương án triển khai trên Fig.4 là bộ ghép kênh công suất 600 có thể được chế tạo tương đối nhỏ, vì nó bao gồm hai tranzito 601, 602 và bốn bộ biến tần từ 611 đến 614. Do đó, trong một số ứng dụng, bộ ghép kênh 600 có thể đủ nhỏ để được bố trí về mặt vật lý trong khoảng trống giữa hai khối bộ nhớ, còn được gọi là kênh bộ nhớ. Sự sắp xếp như vậy được thể hiện trên Fig.1 và Fig.3, trong đó một số hoặc tất cả các bộ ghép kênh công suất 110 và 310 được bố trí trong các kênh bộ nhớ. Mạch chịu trách nhiệm cung cấp các tín hiệu kích hoạt và điện áp chuyển mạch có thể được đặt ở nơi khác để không sử dụng vùng silic trong các kênh bộ nhớ. Ví dụ, các phương án triển khai trên Fig.1 và Fig.3 đặt mạch như vậy trong các khối mạch logic kích hoạt 124, 126, 324 ở phần ngoại vi của SOC.

Fig.5 là hình vẽ minh họa ví dụ về hệ thống 700, có thể được triển khai trong SOC, theo một phương án triển khai. Fig.5 được cung cấp để thể hiện các kỹ thuật có thể được sử dụng để phân phối điện áp chuyển mạch Vdd_aon trong một số ứng dụng, bao gồm các kỹ thuật được thể hiện trên Fig.1 và Fig.3.

Theo ví dụ trên Fig.5, các khối mạch logic kích hoạt từ 721 đến 724 được đặt ở phần ngoại vi của SOC, và các khối bộ nhớ từ 701 đến 705 kéo dài từ phải sang trái về phía trung tâm của SOC. Các khối mạch logic kích hoạt từ 721 đến 724 có thể tương tự về cấu trúc và hoạt động với các khối được mô tả ở trên đối với các Fig.1 và Fig.3 và, cụ thể là, các khối mạch logic kích hoạt 124, 126, 324. Theo ví dụ này, các khối mạch logic kích hoạt từ 721 đến 724 có thể cung cấp các tín hiệu kích hoạt cho bộ ghép kênh công suất 710 dưới sự điều khiển của chương trình quản lý nguồn, ví dụ, trong nhân hệ điều hành. Các khối mạch logic kích hoạt từ 721 đến 724 được gọi là “các ô xếp APM” trên Fig.5 để biểu thị vai trò của chúng trong các hoạt động ghép kênh công suất thích ứng (adaptive power multiplexing - APM). Bộ ghép kênh công suất 710 được gọi là “MICRO-APM” trên Fig.5 để biểu thị kích thước vật lý của chúng bị giới hạn bằng cách

lược bỏ mạch logic kích hoạt và tạo điện áp chuyển mạch từ chính bộ ghép kênh công suất 710.

Chỉ một bộ ghép kênh công suất 710 được dán nhãn để dễ minh họa nhưng được hiểu rằng các bộ ghép kênh công suất khác trong các phương án triển khai trên Fig.7 về cơ bản giống với bộ ghép kênh công suất được minh họa ở phần từ 710. Các bộ ghép kênh công suất 710 được bố trí trong các khu vực giữa mỗi khối bộ nhớ từ 701 đến 705, còn được gọi là các kênh bộ nhớ. Các bộ ghép kênh công suất 710 xuất ra Vdd_apm lên các ray nguồn từ 731 đến 734, được dán nhãn VDD_AR. Các ray nguồn từ 731 đến 734 được ghép nối điện với các khối bộ nhớ từ 701 đến 705 cũng như các khối mạch logic kích hoạt tương ứng trong số các khối mạch logic kích hoạt từ 721 đến 724. Có ít ray nguồn từ 731 đến 734 hơn so với bộ ghép kênh công suất 710 trong một kênh bộ nhớ nhất định, do đó, nhiều hơn một bộ ghép kênh công suất 710 có thể chia sẻ ray nguồn tương ứng từ 731 đến 734.

Bộ ghép kênh công suất được chỉ định cụ thể như phần từ 710 có thể cung cấp nguồn cho một trong hai hoặc cả hai khối bộ nhớ 701 và 702, cả hai khối này đều liên kết với bộ ghép kênh công suất được dán nhãn cụ thể như phần từ 710. Do đó, bộ ghép kênh công suất được dán nhãn cụ thể như phần từ 710 sẽ cung cấp nguồn cho các khối bộ nhớ liên kết 701, 702 và tránh hiện tượng sụt giảm điện áp xen vào mà các khối bộ nhớ khác có thể gây ra trong các ứng dụng khác nhau. Điều này cũng đúng với các bộ ghép kênh công suất 710 khác giữa các khối 701, 702 và giữa các khối còn lại từ 703 đến 705; nghĩa là, mỗi bộ ghép kênh công suất 710 cung cấp nguồn cho các khối bộ nhớ liên kết bởi ít nhất một trong các ray nguồn từ 731 đến 734. Một lợi thế của phương án triển khai trên Fig.7 là các sụt giảm điện áp từ bộ ghép kênh đến khối bộ nhớ được giảm hoặc loại bỏ bằng cách bỏ qua các sụt giảm điện áp xen vào mà nếu không thì sẽ gây ra bởi các khối bộ nhớ xen vào.

Các bộ ghép kênh công suất 710 nhận điện áp chuyển mạch Vdd_aon từ các bộ tạo điện áp từ 741 đến 744 bằng rãnh 730. Các bộ tạo điện áp từ 741 đến 744 của phương án triển khai trên Fig.7 không chiếm diện tích silic trong các kênh bộ nhớ giữa mỗi khối bộ nhớ từ 701 đến 705. Thay vào đó, các bộ tạo điện áp từ 741 đến 744 được đặt với các khối mạch logic kích hoạt từ 721 đến 724 hoặc khối bộ nhớ liên kết 705.

Theo một số phương án triển khai, bộ tạo điện áp 743, 744 có thể được lược bỏ. Tuy nhiên, các phương án triển khai bao gồm nhiều bộ tạo điện áp hơn được phân phối trong SOC có thể được hưởng lợi từ mức Vdd_aon đồng đều hơn trong toàn bộ SOC với chi phí hao tổn mạch nhiều hơn do có thêm các bộ tạo điện áp. Trong mọi trường hợp, phạm vi triển khai không bị giới hạn ở số lượng hoặc vị trí bất kỳ của bộ tạo điện áp, vì có thể sử dụng số lượng và vị trí thích hợp bất kỳ của bộ tạo điện áp.

Fig.6 là hình ảnh minh họa ví dụ về hệ thống 800, có thể được triển khai trong SOC, theo một phương án triển khai. Fig.6 được đề xuất để thể hiện các kỹ thuật có thể được sử dụng để phân phối các tín hiệu kích hoạt và điện áp chuyển mạch Vdd_aon trong một số ứng dụng, bao gồm các kỹ thuật được thể hiện trên Fig.1 và Fig.3.

Phương án triển khai trên Fig.6 hoạt động tương tự như phương án triển khai trên Fig.5. Cụ thể, mỗi bộ ghép kênh công suất 710 cung cấp điện áp hoạt động cho một hoặc hai khối bộ nhớ liên kề trong số các khối bộ nhớ từ 701 đến 705 bằng các ray nguồn từ 731 đến 734. Theo một số phương án triển khai, các khối mạch logic kích hoạt 724 và 725 có thể bao gồm chính các bộ ghép kênh (ngoài bộ ghép kênh công suất 710), và các bộ ghép đó trong các khối mạch logic kích hoạt 724 và 725 có thể sử dụng điện áp chuyển mạch Vdd_aon bằng rãnh 730. Tuy nhiên, điện áp chuyển mạch Vdd_aon không được phân phối cho các bộ ghép kênh công suất 710 trong các kênh bộ nhớ. Thay vào đó, mỗi bộ ghép kênh công suất 710 trong các kênh bộ nhớ có thể được xây dựng theo kiến trúc đảm bảo các tranzito tắt theo một cách khác. Một ví dụ được thể hiện trên Fig.7.

Fig.7 là hình vẽ minh họa ví dụ về bộ ghép kênh công suất 900, theo một phương án triển khai. Bộ ghép kênh công suất ví dụ 900 có thể được sử dụng trong phương án triển khai bất kỳ trong số các phương án triển khai nào được mô tả ở trên. Bộ ghép kênh công suất 900 được mô tả trong patent Mỹ số 10,103,626, được đưa vào đây bằng cách viện dẫn toàn bộ.

Bộ ghép kênh công suất 900 bao gồm bốn tranzito PMOS từ 911 đến 914 và các bộ dịch mức 901, 902. Thay vì nhận En_1 và En_2, bộ ghép kênh công suất 900 nhận nghịch đảo (còn được gọi là bar) của các tín hiệu kích hoạt đó. Mỗi bộ dịch mức 901, 902 chọn mức cao hơn trong hai nguồn điện Vdd_MX và Vdd_apc khi nhận được tín hiệu cao. Khi En_1 cao, nghịch đảo của nó ở mức thấp (số không kỹ thuật số), được đặt

vào các cực cổng của tranzito 911 và 912, do đó bật các tranzito đó và chọn Vdd_MX. Khi En_1 ở mức cao, dự kiến rằng En_2 sẽ ở mức thấp, để nghịch đảo của En_2 sẽ ở mức cao (số một kỹ thuật số). Số một kỹ thuật số này tắt các tranzito 913 và 914. Trong trường hợp của tranzito 914, nó nhận mức cao hơn của Vdd_MX và Vdd_apc từ bộ dịch mức 902. Điện áp cao hơn ở tranzito 914 đảm bảo rằng tranzito 914 bị tắt, do đó ngăn bất kỳ dòng điện nào từ Vdd_apc.

Điều ngược lại cũng đúng. Khi các tranzito 911, 912 đều tắt, thì các tranzito 913 và 914 đều bật. Trong trường hợp như vậy, tranzito 912 nhận mức cao hơn của Vdd_MX và Vdd_apc, do đó đảm bảo rằng tranzito 912 tắt, do đó ngăn chặn bất kỳ dòng điện nào từ Vdd_MX.

Một lợi thế của phương án triển khai trên Fig.7 là kiến trúc của SOC có thể bỏ qua việc phân phối Vdd_aon cho bộ ghép kênh công suất 710 trong các kênh bộ nhớ. Tuy nhiên, hai tranzito bổ sung của bộ ghép kênh công suất 910 có thể phải chịu thêm sự sụt giảm điện áp từ mỗi nguồn điện Vdd_MX, Vdd_apc trong quá trình sử dụng. Hơn nữa, bộ ghép kênh công suất 900 trên Fig.7 lớn hơn bộ ghép kênh công suất 600 trên Fig.6 và có thể không được triển khai trong các kênh bộ nhớ trong một số ứng dụng mà phải trả thêm phí cho không gian trong các kênh bộ nhớ.

Quay trở lại Fig.6, nó cũng thể hiện ví dụ về định tuyến các tín hiệu kích hoạt En_1 và En_2. Cụ thể, khối mạch logic kích hoạt 725 phân phối các tín hiệu kích hoạt tới các bộ ghép kênh công suất 710 trong các kênh giữa các khối bộ nhớ từ 701 đến 705. Và mặc dù Fig.6 chỉ thể hiện các dây phân phối kích hoạt từ khối mạch logic kích hoạt 725, điều này chỉ nhằm mục đích để minh họa. Sẽ hiểu rằng các khối mạch logic kích hoạt khác từ 721 đến 725 có thể phân phối các tín hiệu kích hoạt tới các bộ ghép kênh trong số các bộ ghép kênh công suất 710 bằng cách sử dụng dây phân phối kích hoạt (không được thể hiện trên hình vẽ) hoặc không. Kỹ thuật định tuyến các tín hiệu kích hoạt được thể hiện trên Fig.6 có thể được áp dụng cho các phương án triển khai khác được mô tả ở trên các Fig.1 đến Fig.3 và Fig.5.

Hơn nữa, các khối mạch logic kích hoạt từ 721 đến 725 có thể được sử dụng cho mục đích thích hợp bất kỳ. Ví dụ, trong phương án triển khai trên Fig.6, các khối từ 721 đến 725 chứa các bộ tạo điện áp 741, 742. Ngoài ra, mỗi khối mạch logic kích hoạt từ 721 đến 725 có thể bao gồm bộ ghép kênh công suất bổ sung cho bộ ghép kênh công suất 710

trong các kênh bộ nhớ. Các bộ ghép kênh công suất bổ sung như vậy không được thể hiện trên Fig.6, nhưng chúng có thể được sử dụng bổ sung, hoặc thay cho, các bộ ghép kênh công suất 710 để cung cấp điện áp hoạt động cho khối bộ nhớ bất kỳ trong số các khối bộ nhớ từ 701 đến 705. Trên thực tế, mỗi khối mạch logic kích hoạt từ 721 đến 725 có thể bao gồm một hoặc nhiều bộ ghép kênh công suất, trong đó nhiều bộ ghép kênh công suất hơn trong một khối mạch logic kích hoạt nhất định được dự kiến sẽ giảm mức sụt giảm điện áp vì chúng có thể được định tuyến song song với nhiều khối bộ nhớ tại một thời điểm. Tuy nhiên, một kỹ thuật như vậy có thể sử dụng các lớp định tuyến và kim loại bổ sung so với các lớp được thể hiện trên Fig.6. Fig.8 thể hiện ví dụ về khối mạch logic kích hoạt 850 bao gồm bốn khối chuyển mạch từ 851 đến 854, theo một phương án triển khai, mặc dù phạm vi triển khai có thể bao gồm số lượng khối chuyển mạch bất kỳ. Khối 850 cũng bao gồm mạch logic kích hoạt và mạch tạo điện áp chuyển mạch 855.

Khi so sánh với Fig.2, khối 850 có thể bao gồm khối mạch logic kích hoạt cũng như tạo điện áp chuyển mạch, và mỗi khối chuyển mạch từ 851 đến 854 có thể tương ứng với một bộ ghép kênh công suất 110. Do đó, phạm vi triển khai không loại trừ rằng ít nhất một số chức năng ghép kênh có thể được triển khai trong khối mạch logic kích hoạt. Mạch logic kích hoạt và tạo điện áp chuyển mạch của khối 855 có thể truyền thông với một hoặc nhiều bộ ghép kênh công suất nhỏ hơn, chẳng hạn như các bộ ghép kênh được thể hiện là 110 hoặc 310 trong các ví dụ ở trên. Nói cách khác, khối 850 có thể được triển khai dưới dạng một hoặc nhiều trong số các khối 124, 126, 324, và/hoặc từ 721 đến 725 trong một số phương án triển khai.

Fig.9 thể hiện các lớp định tuyến và kim loại bổ sung có thể được sử dụng với phương án triển khai trên Fig.8. Các lớp kim loại được thể hiện (từ trên xuống dưới) D8-M1, với các tranzito được thể hiện bên dưới M1. Các lớp kim loại khác nhau được nối với nhau bằng các lỗ via, ký hiệu là “V”. Các khối chuyển mạch từ 851 đến 854 trên Fig.8 có thể được triển khai theo cách thích hợp bất kỳ bằng cách sử dụng các lớp kim loại và các lỗ via của Fig.9. Theo một phương án triển khai, thiết kế tối đa hóa số lượng lỗ via cho phép bởi các ràng buộc thích hợp, do đó tăng số lượng đường nối dây cho một thể tích nhất định trong thiết bị, trong đó số đường nối dây tăng lên phục vụ số khối chuyển mạch từ 851 đến 854 tăng lên.

Phương án triển khai được mô tả ở trên đối với các Fig.1 đến Fig.9 có thể mang lại lợi thế so với các thiết kế khác bố trí các bộ ghép kênh công suất chỉ bên trong một phần ngoại vi của SOC. Ví dụ, khi các bộ ghép kênh công suất bị hạn chế ở phần ngoại vi của SOC, chúng có thể cung cấp điện áp hoạt động cho nhiều khối bộ nhớ nối tiếp trên ray điện áp. Tuy nhiên, mỗi khối bộ nhớ đó có thể dẫn đến sự sụt giảm điện áp tăng theo bậc hai với nhiều khối bộ nhớ xen vào hơn để khối bộ nhớ ở xa bộ ghép kênh công suất nhất có thể bị sụt giảm điện áp rõ rệt. Một số hệ thống có thể tăng điện áp tối thiểu của ray nguồn để các khối bộ nhớ xa nhất nhận được mức điện áp hoạt động có thể chấp nhận được. Tuy nhiên, việc tăng mức điện áp tối thiểu trên ray có thể gây lãng phí điện năng. Ngoài ra, các hệ thống như vậy có thể không tăng mức điện áp tối thiểu trên ray, nhưng trong trường hợp như vậy, các khối bộ nhớ có thể bị giới hạn ở tốc độ hoạt động tương ứng với mức điện áp thấp nhất ở khối bộ nhớ xa nhất.

Ngược lại, các cách triển khai khác nhau được mô tả ở đây có thể đặt các bộ ghép kênh công suất gần các khối bộ nhớ của chúng sao cho một bộ ghép kênh công suất nhất định liền kề với một hoặc hai khối bộ nhớ mà nó phục vụ. Do đó, ít nhất một số bộ ghép kênh công suất và khối bộ nhớ tương ứng của chúng có thể được sắp xếp theo không gian sao cho bộ ghép nhất định cấp nguồn cho khối bộ nhớ nhất định mà không có bất kỳ khối bộ nhớ xen vào nào để có thể gây ra sụt giảm điện áp. Do đó, thiết kế có thể bỏ qua việc bù điện áp trên ray mà lẽ ra sẽ được sử dụng trong trường hợp xen vào các sụt giảm điện áp. Ngoài ra, mỗi khối bộ nhớ có thể chạy ở tốc độ không bị giảm do điện áp thấp hơn ở khối bộ nhớ khác.

Lưu đồ của phương pháp 1000 làm ví dụ ghép giữa nhiều bộ nguồn điện được minh họa trên Fig.10. Theo một ví dụ, phương pháp 1000 được thực hiện bởi các mạch trong các Fig.1 đến Fig.7. Các mạch có thể hoạt động dưới sự điều khiển của đơn vị quản lý năng lượng, đơn vị này có thể bao gồm chức năng phần cứng và/hoặc phần mềm tại bộ xử lý (ví dụ, CPU) của thiết bị điện toán được bao gồm trong các khối xử lý 106 trong SOC 100 của Fig.1. Trong một số ví dụ, đơn vị quản lý nguồn bao gồm mạch xử lý thực thi các lệnh có thể đọc được trên máy tính để chọn một nguồn điện hoặc nguồn điện khác làm điện áp hoạt động cho một hoặc nhiều khối bộ nhớ.

Tại hành động 1010, hệ thống chọn nguồn điện thứ nhất làm điện áp hoạt động cho khối bộ nhớ thứ nhất. Ví dụ, nguồn điện thứ nhất có thể ở mức điện áp cao hơn để hỗ

trợ chế độ xử lý turbo. Theo một ví dụ khác, nguồn điện thứ nhất có thể ở mức điện áp thấp hơn để sử dụng trong quá trình vận hành không turbo để tiết kiệm pin khi so với mức điện áp cao hơn.

Theo ví dụ này, nguồn điện thứ nhất được chọn bởi bộ ghép kênh công suất thứ nhất được bố trí giữa khối bộ nhớ thứ nhất và khối bộ nhớ thứ hai. Một ví dụ được thể hiện trên Fig.1, trong đó bộ ghép kênh công suất 110 được bố trí giữa các khối bộ nhớ 102, 103. Các ví dụ khác được thể hiện trên các Fig.3A đến Fig.3C, Fig.5, Fig.6. Các ví dụ về mức cực cổng và mức tranzito của bộ ghép kênh công suất để sử dụng trong triển khai này được thể hiện trên Fig.2, Fig.4 và Fig.7.

Ngoài ra, việc lựa chọn có thể được thực hiện dưới sự điều khiển của mạch logic kích hoạt được bố trí ở phần ngoại vi của chip, chẳng hạn như chip. Các ví dụ về mạch logic kích hoạt bao gồm mạch logic kích hoạt 124 trên Fig.1 và Fig.2, mạch logic kích hoạt 324 của Fig.3A đến Fig.3C và mạch logic kích hoạt từ 721 đến 725 của Fig.5-6. Hơn nữa Theo ví dụ này, mạch logic kích hoạt cũng có thể cung cấp điện áp chuyển mạch được tạo cấu hình để bật hoặc tắt tranzito của bộ ghép. Một ví dụ là Vdd_aon trong các phương án triển khai được mô tả ở trên.

Tiếp tục với ví dụ, việc lựa chọn có thể được thực hiện bằng cách xác nhận hoặc hủy xác nhận tín hiệu kích hoạt tới các tranzito của bộ ghép kênh công suất thứ nhất. Theo một ví dụ, bộ ghép bao gồm các tranzito PMOS, được tắt bằng tín hiệu cao (số một kỹ thuật số) và được bật bằng tín hiệu thấp (số không kỹ thuật số). Do đó, theo một phương án triển khai PMOS, tín hiệu thấp có thể được sử dụng để bật tranzito, do đó tạo ra đường dẫn dòng điện giữa nguồn điện thứ nhất và ray nguồn cấp điện cho khối bộ nhớ thứ nhất, trong khi tín hiệu cao sẽ tắt một tranzito khác tạo một đường dẫn hiện tại giữa nguồn điện thứ hai và ray nguồn. Theo một ví dụ sử dụng tranzito bán dẫn oxit kim loại loại N (N-type metal oxide semiconductor - NMOS), tín hiệu cao được dùng để bật các tranzito, và tín hiệu thấp được dùng để tắt các tranzito. Tín hiệu kích hoạt có thể được cung cấp bởi mạch logic kích hoạt.

Ở hành động 1020, hệ thống chọn nguồn điện thứ hai làm điện áp hoạt động cho khối bộ nhớ thứ nhất dưới sự điều khiển của mạch logic kích hoạt. Ví dụ, hệ thống có thể chuyển từ chế độ turbo sang chế độ không turbo (hoặc ngược lại) khi chuyển từ nguồn điện thứ nhất sang nguồn điện thứ hai. Giống như khi chọn nguồn điện thứ nhất, việc

chọn nguồn điện thứ hai có thể bao gồm việc xác nhận hoặc hủy xác nhận tín hiệu kích hoạt để bật hoặc tắt các tranzito thích hợp trong bộ ghép kênh công suất thứ nhất.

Phạm vi triển khai không bị giới hạn ở các hành động được thể hiện trên Fig.10, các phương án triển khai khác có thể thêm, bỏ qua, sắp xếp lại, hoặc sửa đổi một hoặc nhiều hành động. Ví dụ, một số phương án triển khai có thể bao gồm các hành động lặp lại 1010-1020 nhiều lần trong quá trình hoạt động bình thường khi bộ xử lý trên chip chuyển từ chế độ nguồn này sang chế độ nguồn khác.

Như người có hiểu biết trung bình trong lĩnh vực này sẽ hiểu và tùy thuộc vào ứng dụng cụ thể, nhiều cải biến, thay thế và biến thể có thể được thực hiện đối với vật liệu, máy, cấu hình và phương pháp sử dụng thiết bị theo sáng chế mà không xa rời tinh thần và phạm vi của sáng chế. Do đó, phạm vi của sáng chế không bị giới hạn ở phạm vi của các phương án triển khai cụ thể được minh họa và mô tả ở đây, vì chúng chỉ là một số ví dụ của sáng chế, thay vào đó, phạm vi của sáng chế chính là phạm vi của các điểm yêu cầu bảo hộ kèm theo sau đây và các dạng tương đương về chức năng của chúng.

YÊU CẦU BẢO HỘ

1. Hệ thống trên chip (system on chip - SOC) bao gồm:

khối bộ nhớ thứ nhất và khối bộ nhớ thứ hai;

đơn vị xử lý được ghép nối với khối bộ nhớ thứ nhất và khối bộ nhớ thứ hai;

bộ ghép kênh công suất thứ nhất được bố trí giữa khối bộ nhớ thứ nhất và khối bộ nhớ thứ hai, và được ghép nối với ray nguồn thứ nhất được tạo cấu hình để cung cấp điện áp hoạt động cho cả khối bộ nhớ thứ nhất và khối bộ nhớ thứ hai;

mạch logic kích hoạt được bố trí ở phần ngoại vi của SOC cách xa khối bộ nhớ thứ nhất và khối bộ nhớ thứ hai, mạch logic kích hoạt được tạo cấu hình để điều khiển bộ ghép kênh công suất thứ nhất để chọn giữa điện áp nguồn điện thứ nhất và điện áp nguồn điện thứ hai để cung cấp điện áp hoạt động cho ray nguồn thứ nhất; và

bộ tạo điện áp được tạo cấu hình để cung cấp điện áp chuyển mạch cho bộ ghép kênh công suất thứ nhất bằng ray nguồn thứ hai, trong đó bộ ghép kênh công suất thứ nhất được tạo cấu hình để sử dụng điện áp chuyển mạch để tắt các tranzito trong bộ ghép kênh công suất thứ nhất.

2. SOC theo điểm 1, còn bao gồm bộ ghép kênh công suất thứ hai được bố trí giữa khối bộ nhớ thứ nhất và đơn vị xử lý và được ghép nối với ray nguồn thứ nhất.

3. SOC theo điểm 1, trong đó bộ ghép kênh công suất thứ nhất là một trong số nhiều bộ ghép kênh công suất được bố trí trong kênh bộ nhớ giữa khối bộ nhớ thứ nhất và khối bộ nhớ thứ hai, nhiều bộ ghép kênh công suất được ghép nối với mạch logic kích hoạt.

4. SOC theo điểm 1, trong đó bộ tạo điện áp được bố trí ở phần ngoại vi của SOC.

5. SOC theo điểm 1, trong đó bộ tạo điện áp được bố trí cách xa phần ngoại vi của SOC và liền kề với khối bộ nhớ thứ nhất.

6. SOC theo điểm 1, trong đó bộ tạo điện áp bao gồm một trong số nhiều bộ tạo điện áp được ghép nối với ray nguồn thứ hai.

7. Phương pháp ghép kênh công suất bao gồm:

chọn nguồn điện thứ nhất làm điện áp hoạt động cho khối bộ nhớ thứ nhất, trong đó nguồn điện thứ nhất được chọn bởi nhiều bộ ghép kênh công suất thứ nhất và bởi nhiều bộ ghép kênh công suất thứ hai được bố trí giữa khối bộ nhớ thứ nhất và khối bộ nhớ thứ hai, trong đó việc chọn là dưới sự điều khiển của mạch logic kích hoạt được bố trí ở phần ngoại vi của hệ thống trên chip (SOC) cách xa khối bộ nhớ thứ nhất và khối bộ nhớ thứ hai; và

chọn nguồn điện thứ hai làm điện áp hoạt động cho khối bộ nhớ thứ nhất dưới sự điều khiển của mạch logic kích hoạt; và

nhận điện áp chuyển mạch ở đầu cuối điều khiển của tranzito trong mỗi bộ ghép kênh công suất trong nhiều bộ ghép kênh công suất thứ nhất và nhiều bộ ghép kênh công suất thứ hai, điện áp chuyển mạch làm tắt tranzito, trong đó điện áp chuyển mạch được chọn là mức điện áp cao hơn của: nguồn điện thứ nhất và nguồn điện thứ hai.

8. Phương pháp theo điểm 7, trong đó bước chọn nguồn điện thứ nhất bao gồm nhận tín hiệu kích hoạt từ mạch logic kích hoạt cho mỗi bộ ghép kênh công suất trong nhiều bộ ghép kênh công suất thứ nhất và trong nhiều bộ ghép kênh công suất thứ hai.

9. Phương pháp theo điểm 7, phương pháp này còn bao gồm bước điều khiển mạch logic kích hoạt bằng chương trình điều khiển nguồn chạy trên đơn vị xử lý của SOC.

10. Chip bán dẫn bao gồm:

khối bộ nhớ thứ nhất và khối bộ nhớ thứ hai;

bộ ghép kênh công suất thứ nhất được bố trí giữa khối bộ nhớ thứ nhất và khối bộ nhớ thứ hai, và được ghép nối với ray nguồn thứ nhất được tạo cấu hình để cung cấp điện áp hoạt động cho cả khối bộ nhớ thứ nhất và khối bộ nhớ thứ hai;

phương tiện để điều khiển bộ ghép kênh công suất thứ nhất để chọn giữa điện áp nguồn điện thứ nhất và điện áp nguồn điện thứ hai để cung cấp điện áp hoạt động cho khối bộ nhớ thứ nhất và khối bộ nhớ thứ hai, trong đó phương tiện để điều khiển được bố trí ở phần ngoại vi của chip cách xa khối bộ nhớ thứ nhất và khối bộ nhớ thứ hai, phương tiện điều khiển được ghép nối với các đầu cuối điều khiển của tranzito của bộ ghép kênh công suất thứ nhất; và

bộ tạo điện áp được tạo cấu hình để cung cấp điện áp chuyển mạch cho bộ ghép kênh công suất thứ nhất bằng ray nguồn thứ hai, trong đó bộ ghép kênh công suất thứ nhất được tạo cấu hình để sử dụng điện áp chuyển mạch để tắt các tranzito trong bộ ghép kênh công suất thứ nhất.

11. Chip bán dẫn theo điểm 10, trong đó bộ ghép kênh công suất thứ nhất được tạo cấu hình để cung cấp điện áp hoạt động cho khối bộ nhớ thứ nhất và không có sụt giảm điện áp do khối bộ nhớ xen vào.

12. Chip bán dẫn theo điểm 10, trong đó bộ ghép kênh công suất thứ nhất bao gồm nhiều bộ ghép kênh công suất được bố trí trong kênh bộ nhớ giữa khối bộ nhớ thứ nhất và khối bộ nhớ thứ hai.

13. Chip bán dẫn theo điểm 10, trong đó bộ ghép kênh công suất thứ nhất bao gồm nhiều bộ ghép kênh công suất thứ nhất được bố trí trong kênh bộ nhớ giữa khối bộ nhớ thứ nhất và khối bộ nhớ thứ hai và nhiều bộ ghép kênh công suất thứ hai được bố trí giữa khối bộ nhớ thứ hai và đơn vị xử lý.

14. Hệ thống trên chip (SOC) bao gồm:

khối bộ nhớ thứ nhất và khối bộ nhớ thứ hai;

logic xử lý bao gồm nhóm các khối xử lý, logic xử lý được bố trí sao cho khối bộ nhớ thứ nhất và khối bộ nhớ thứ hai nằm giữa logic xử lý và phần ngoại vi của SOC, phần ngoại vi của SOC tương ứng với phần bên của một bên của SOC;

mạch logic kích hoạt được bố trí trong phần ngoại vi của SOC;

nhiều bộ ghép kênh công suất thứ nhất được bố trí giữa khối bộ nhớ thứ nhất và khối bộ nhớ thứ hai, nhiều bộ ghép kênh công suất thứ nhất được tạo cấu hình để nhận các tín hiệu kích hoạt và điện áp chuyển mạch từ mạch logic kích hoạt; và

nhiều bộ ghép kênh công suất thứ hai được bố trí giữa khối bộ nhớ thứ hai và logic xử lý, nhiều bộ ghép kênh công suất thứ hai được tạo cấu hình để nhận các tín hiệu kích hoạt và điện áp chuyển mạch từ mạch logic kích hoạt.

15. SOC theo điểm 14, còn bao gồm: bộ tạo điện áp được tạo cấu hình để cung cấp điện áp chuyển mạch cho các bộ ghép kênh công suất thứ nhất bằng ray nguồn thứ nhất.

16. SOC theo điểm 15, trong đó bộ tạo điện áp được bố trí ở phần ngoại vi của SOC.

1/12

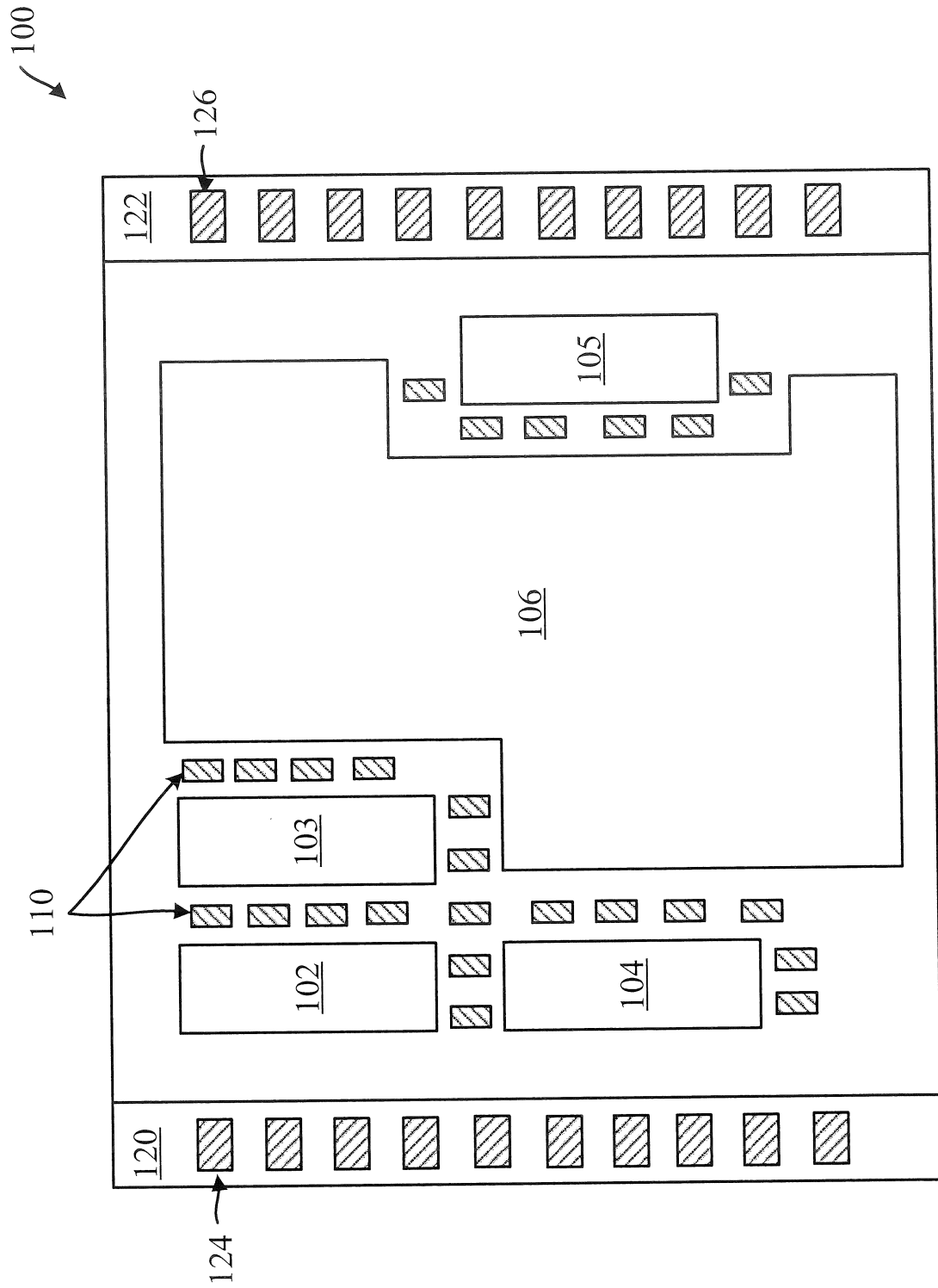


FIG. 1

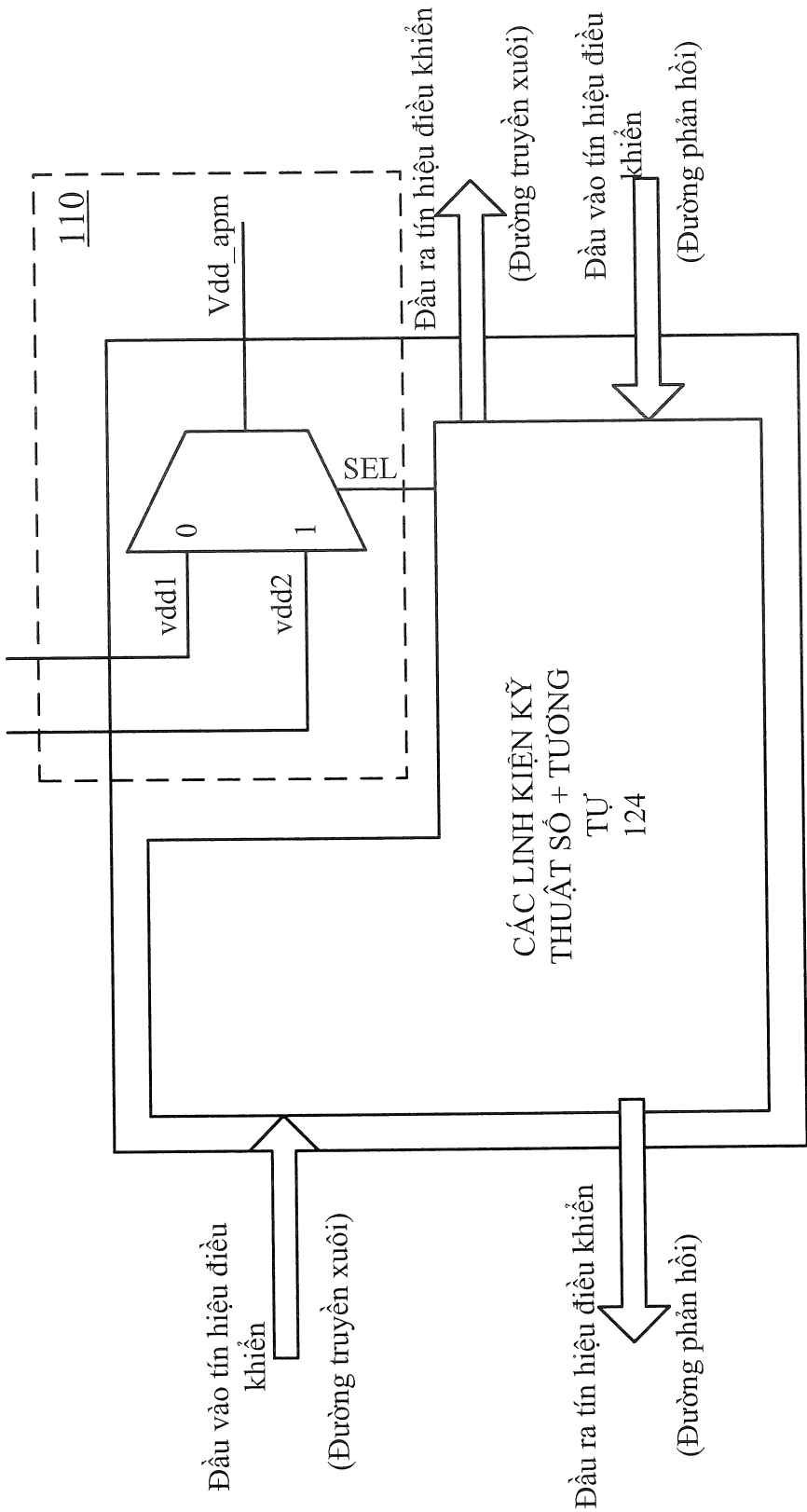


FIG.2

3/12

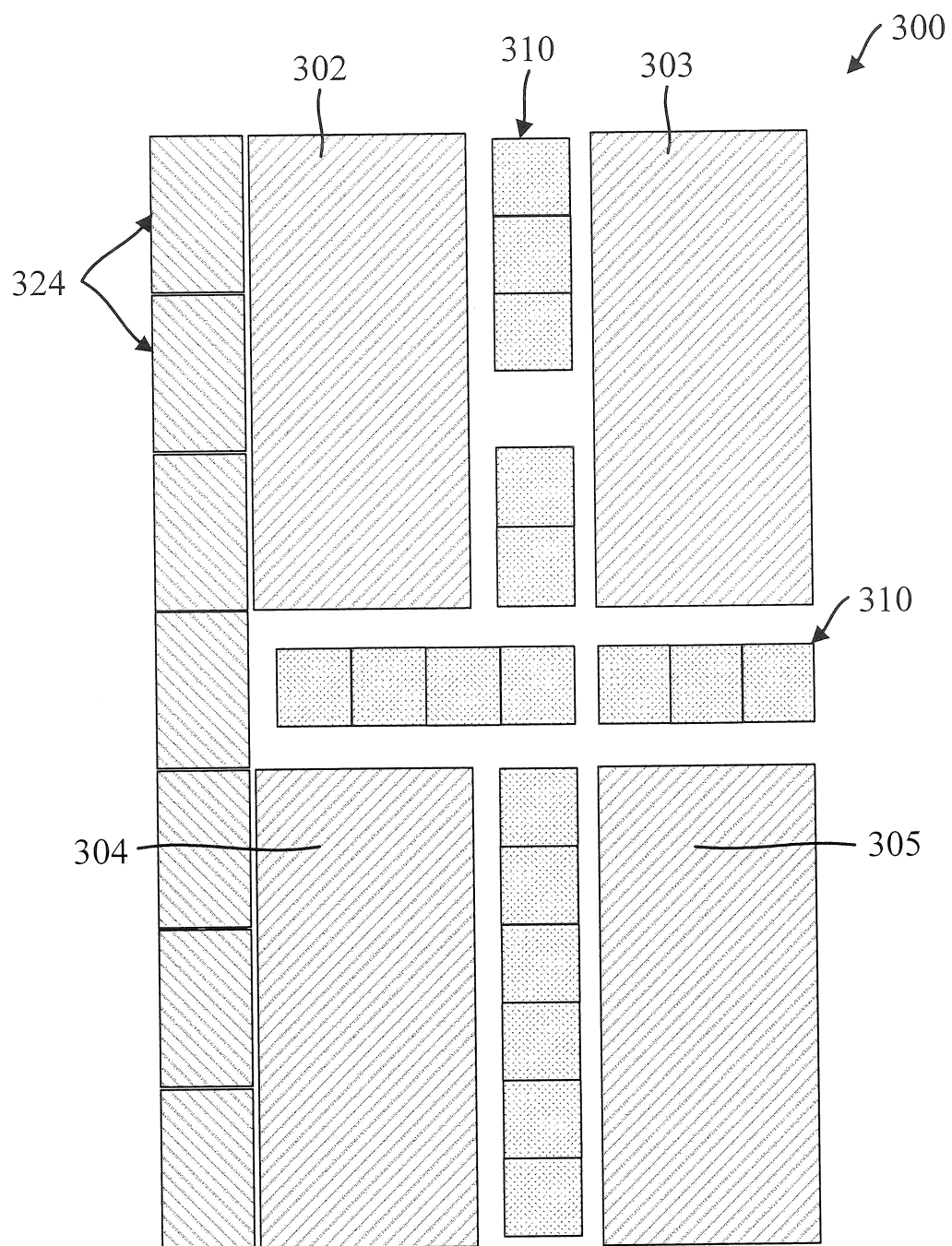


FIG.3A

4/12

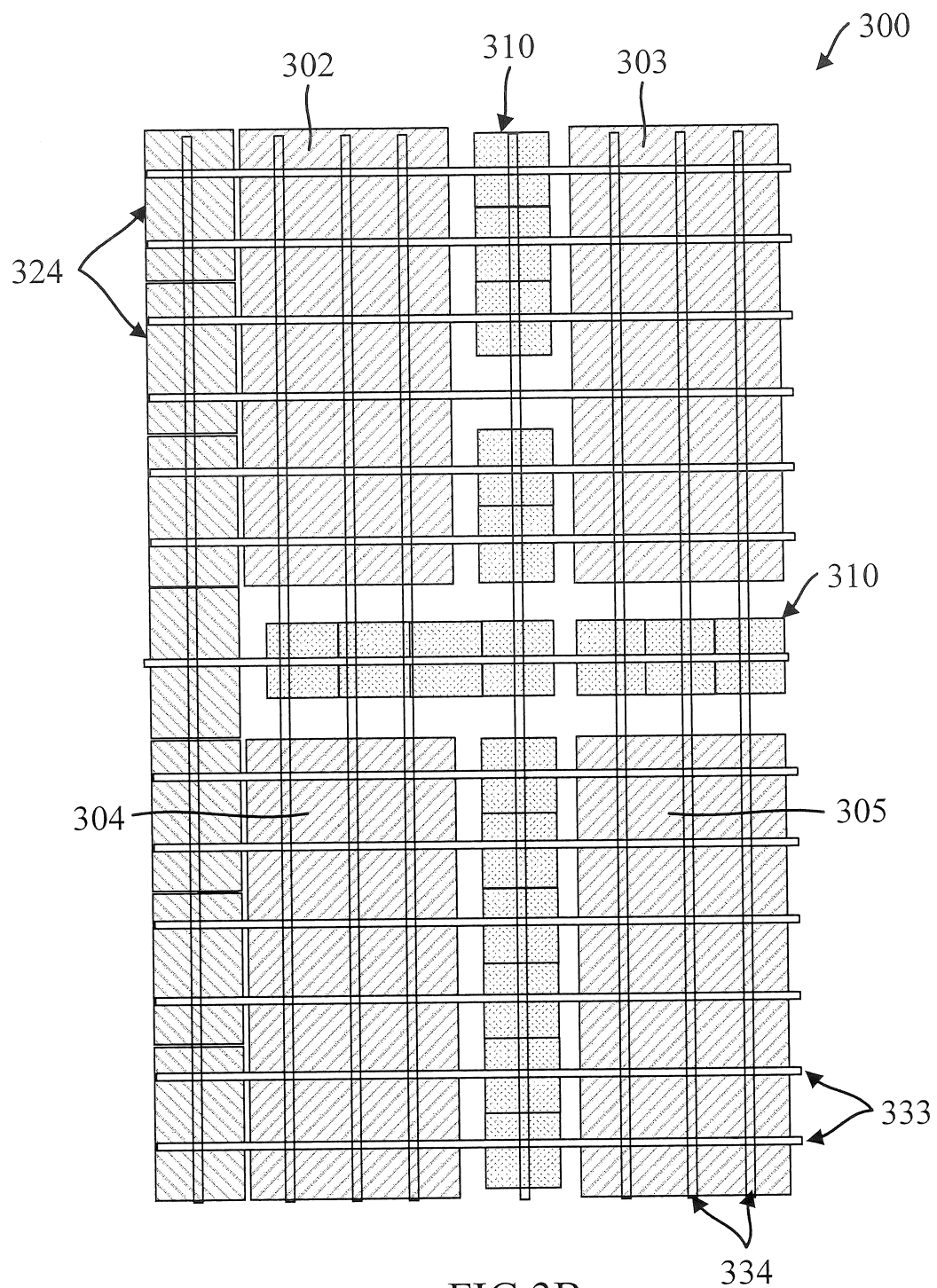


FIG. 3B

5/12

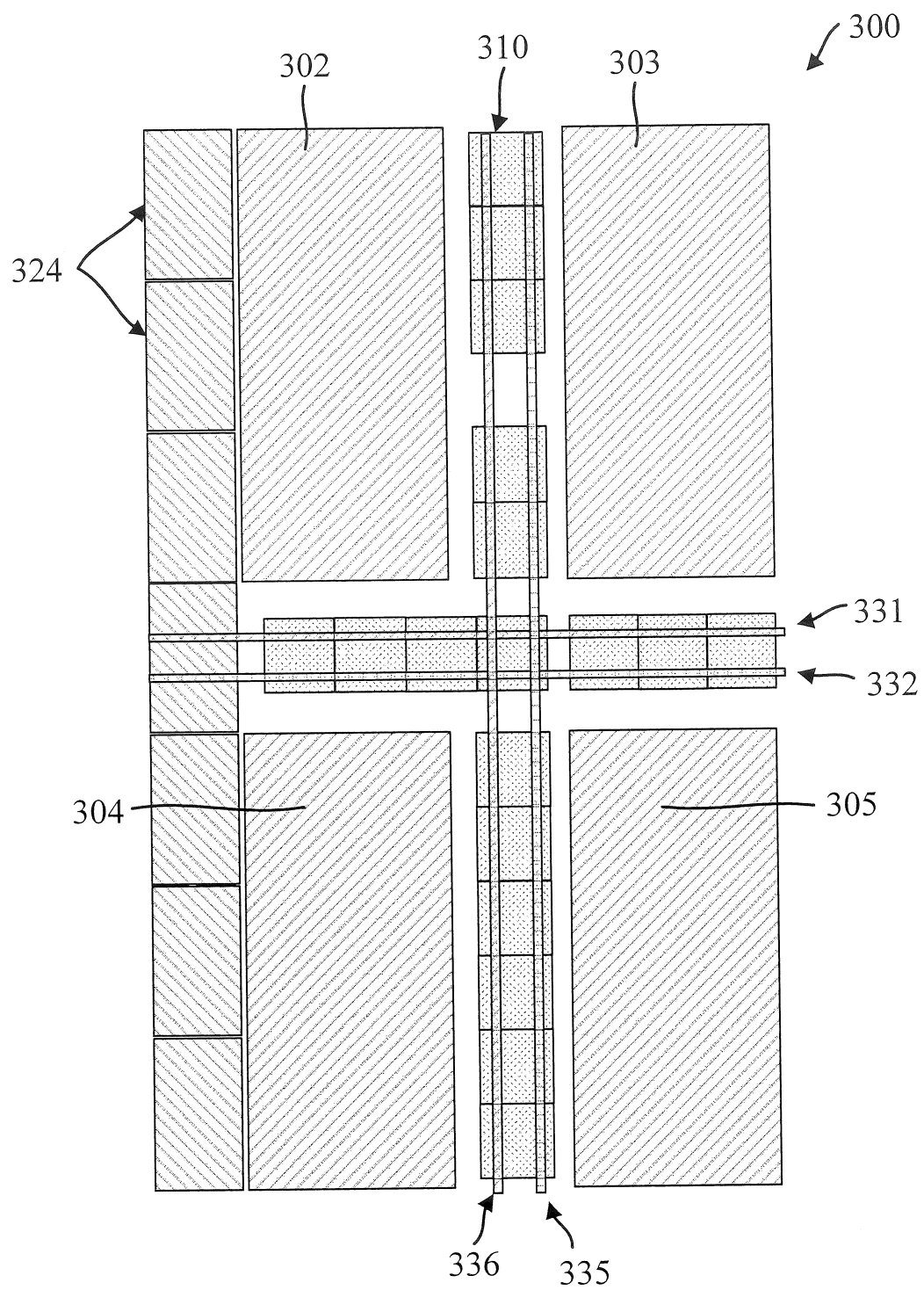


FIG.3C

6/12

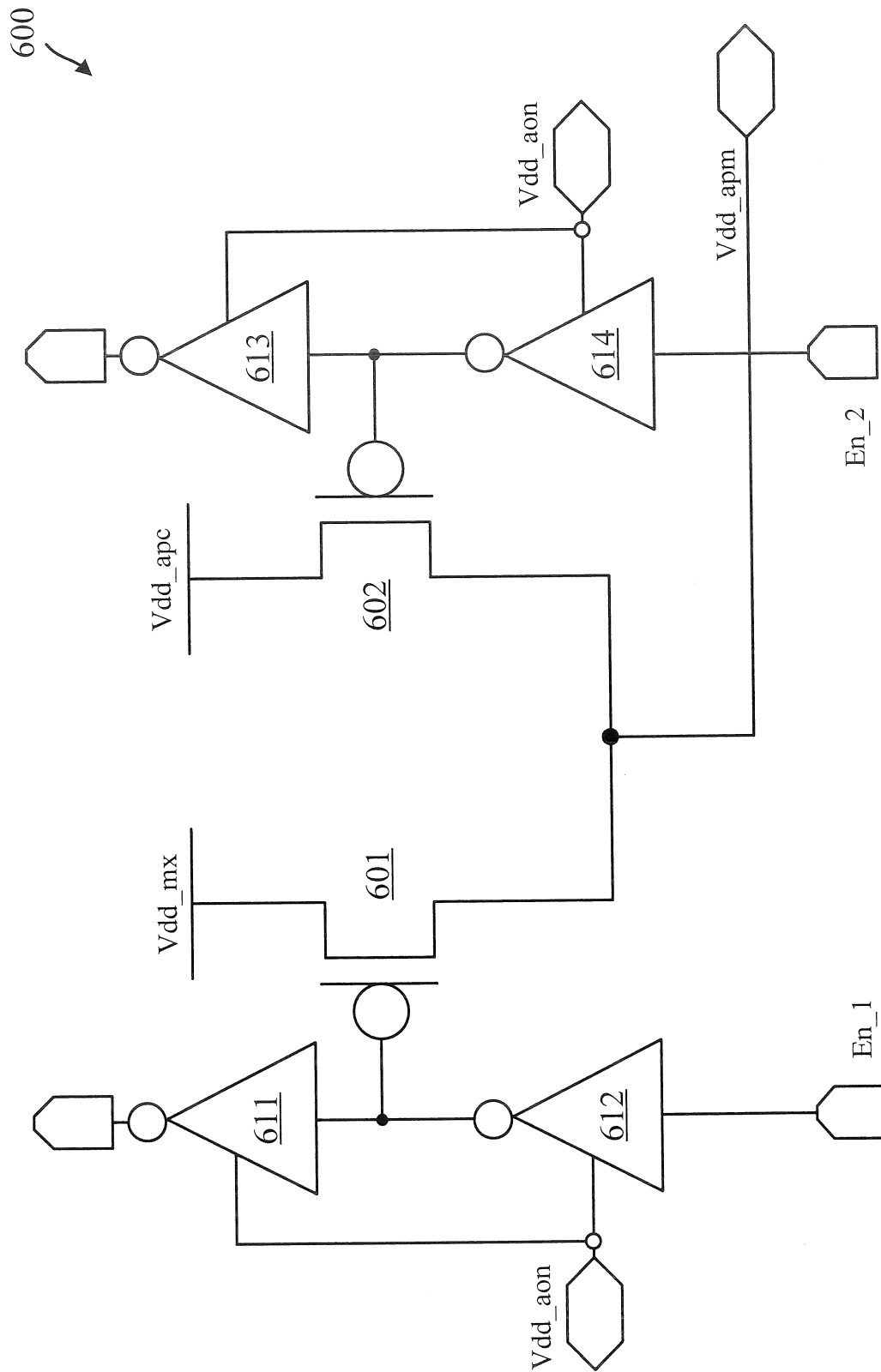
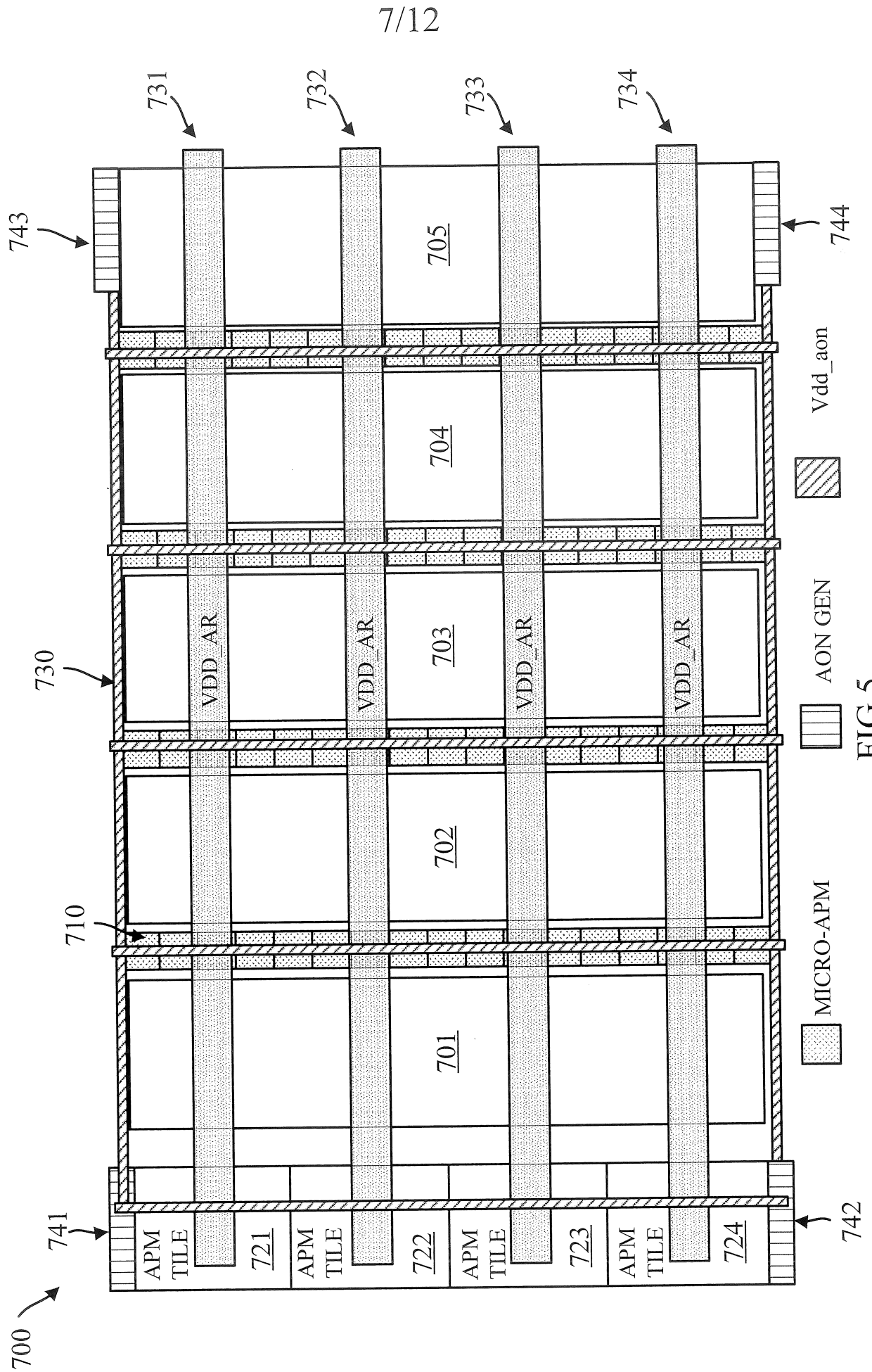


FIG.4



8/12

800 ↗

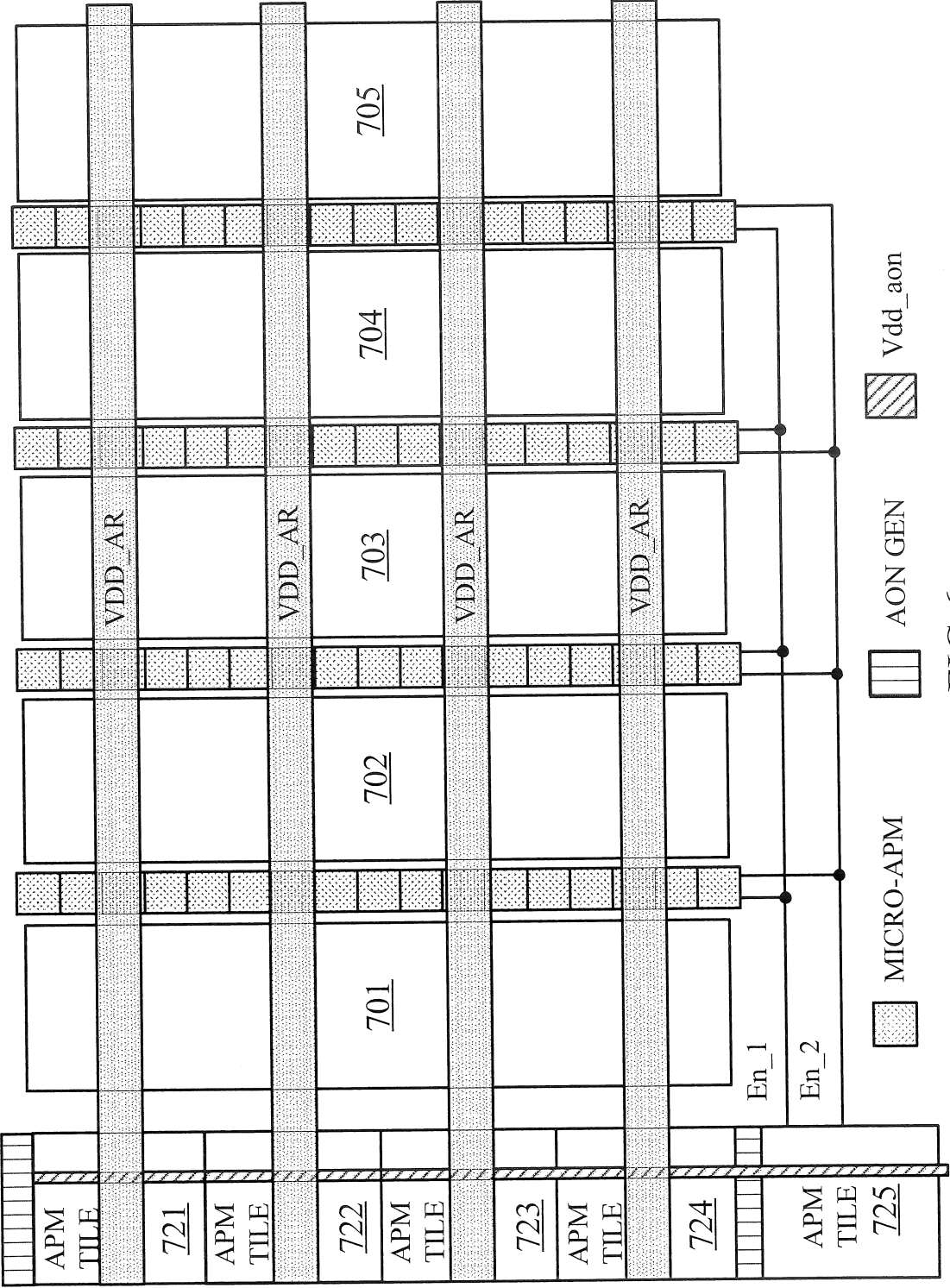


FIG. 6

9/12

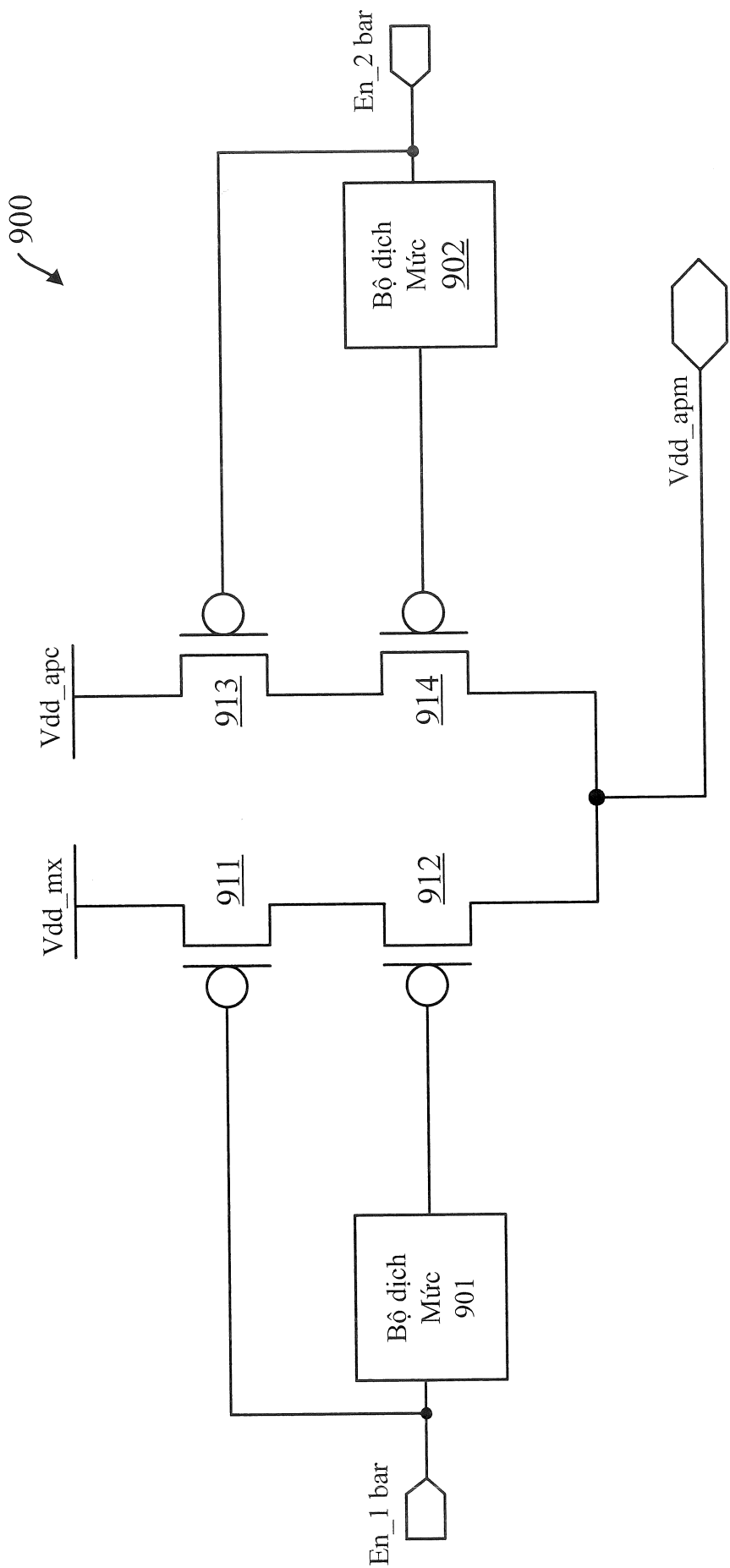


FIG.7

10/12

850 ↗

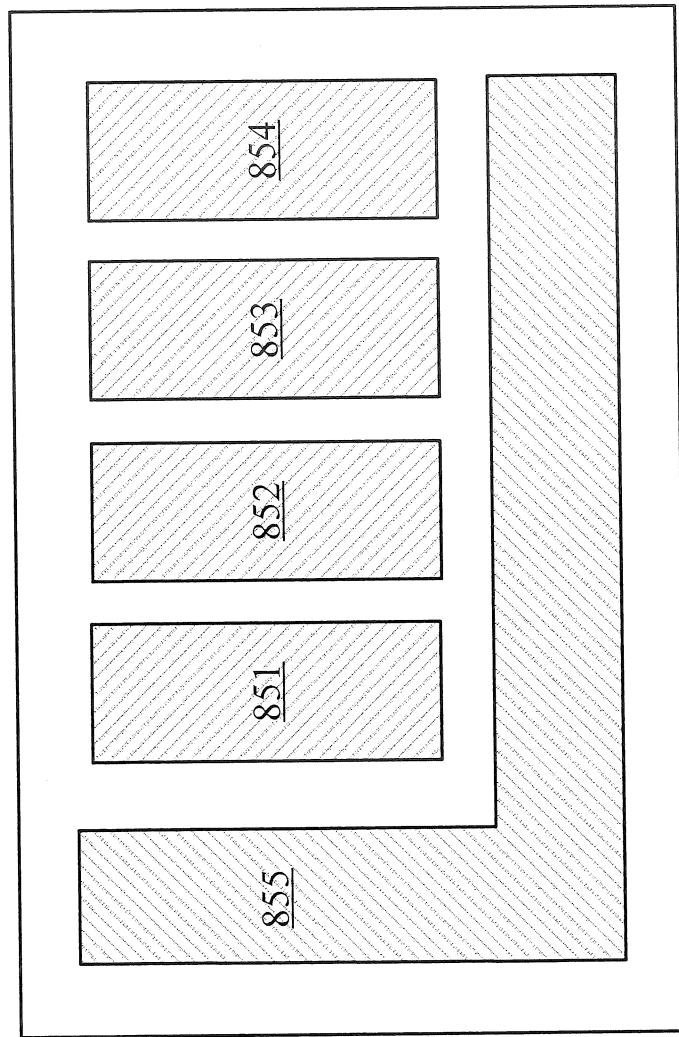


FIG. 8

11/12

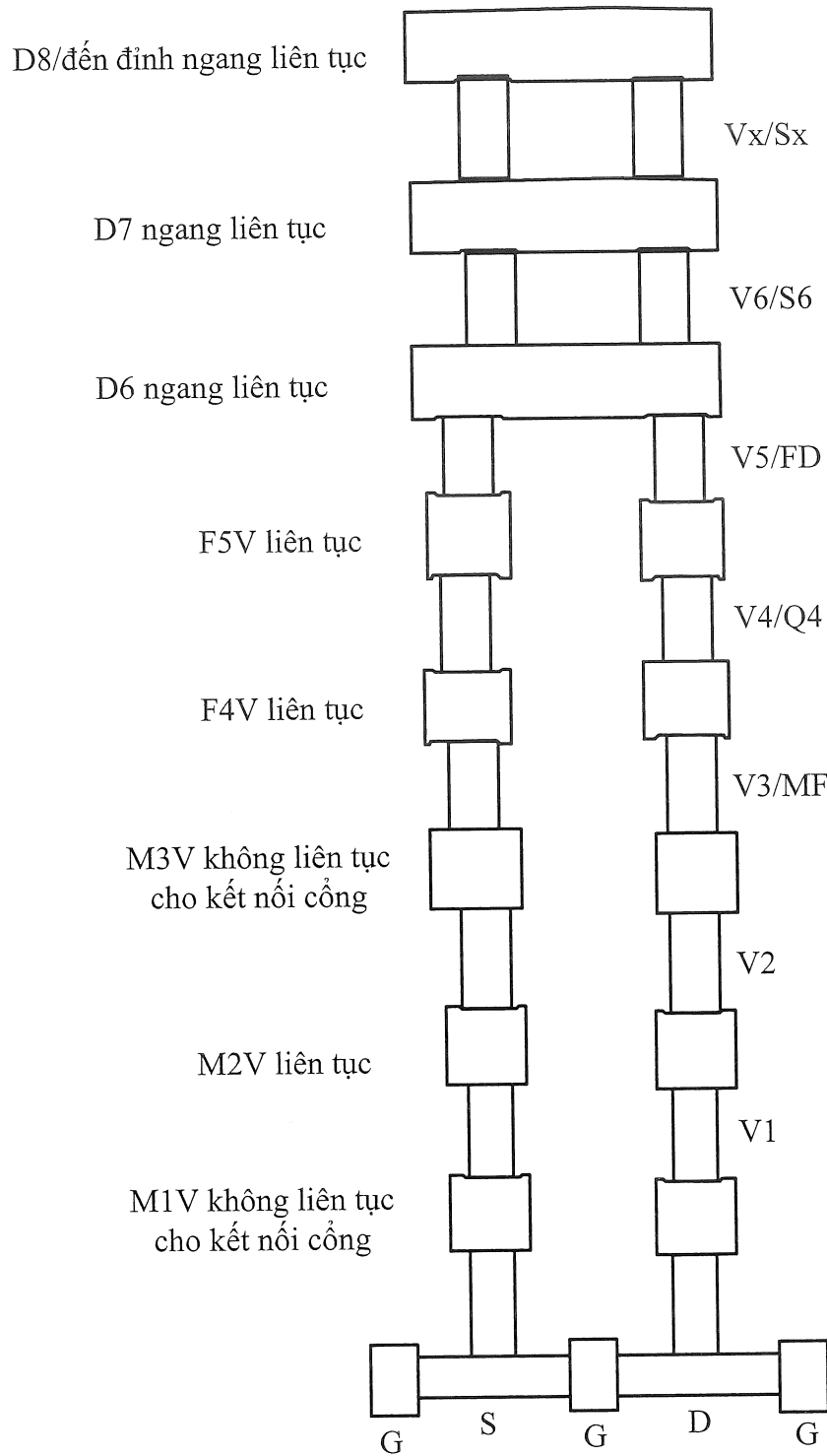


FIG.9

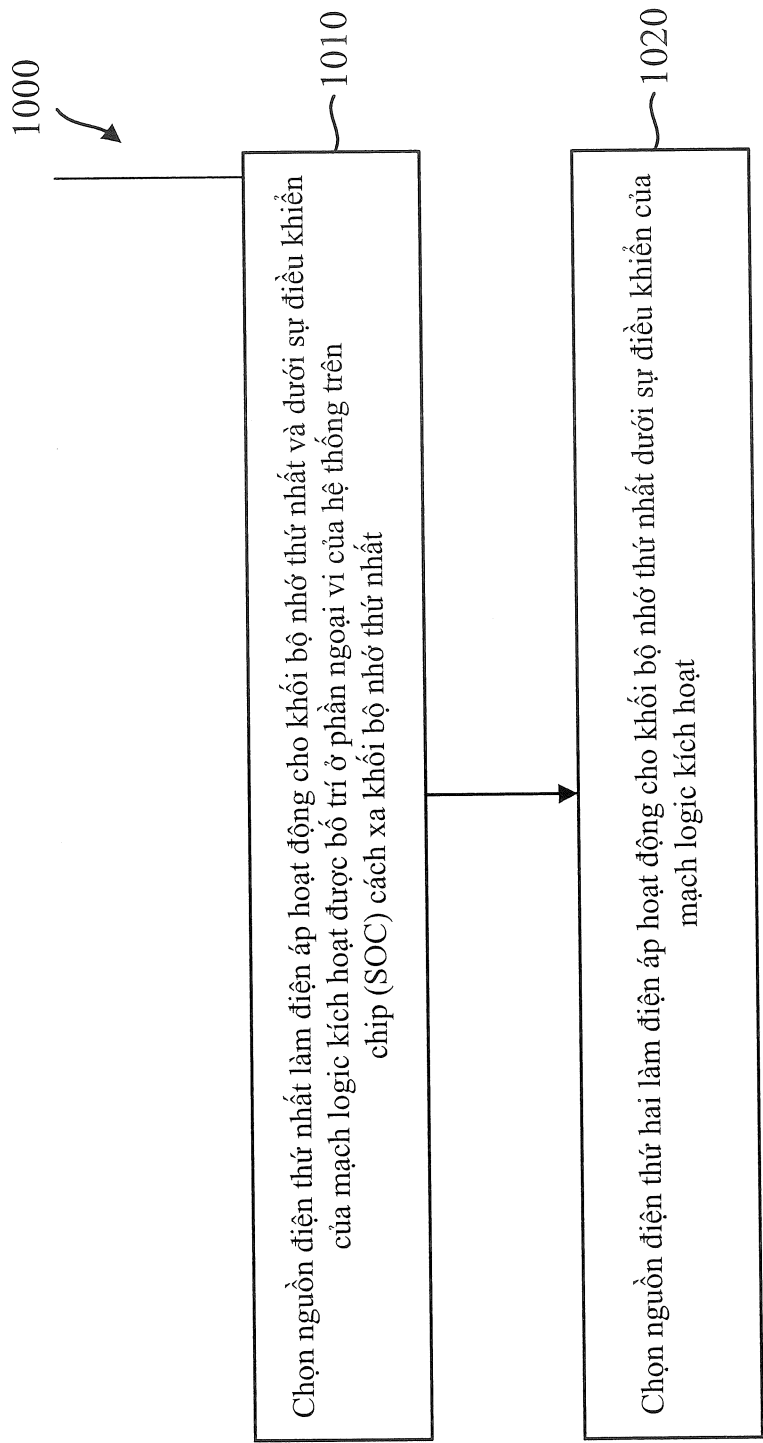


FIG.10