



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0052577

(51)^{2020.01} F21V 17/06

(13) B

(21) 1-2020-05750

(22) 07/10/2020

(30) 201910959044.X 10/10/2019 CN

(45) 27/10/2025 451

(43) 26/04/2021 397A

(73) InnoLux Corporation (TW)

No. 160 Kesyue Rd., Jhu-Nan Site, Hsinchu Science Park, Jhu-Nan, Miao-Li County,
Taiwan

(72) Chandra LIUS (ID); Kuan-Feng LEE (TW).

(74) Công ty TNHH Tầm nhìn và Liên danh (VISION & ASSOCIATES CO.LTD.)

(54) THIẾT BỊ ĐIỆN TỬ

(21) 1-2020-05750

(57) Sáng chế đề cập đến thiết bị điện tử bao gồm khối hiển thị, khối cảm biến, M đường tín hiệu thứ nhất và N đường tín hiệu thứ hai. Khối hiển thị và khối cảm biến được nối điện với N đường tín hiệu thứ hai thông qua M đường tín hiệu thứ nhất, M và N là các số tự nhiên, và M lớn hơn N.

Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập đến thiết bị điện tử; cụ thể hơn là, thiết bị điện tử có bộ cảm biến.

Tình trạng kỹ thuật của sáng chế

Nói chung, việc nhận dạng dấu vân tay có thể được áp dụng trong xác minh danh tính. Do đó, với sự tiến bộ liên tục của các công nghệ có liên quan đến các thiết bị điện tử, các bộ cảm biến có các chức năng nhận dạng dấu vân tay cần được tích hợp vào các kiểu thiết bị điện tử khác nhau và trở nên phổ biến một cách rộng rãi cho những người dùng để quản lý các thiết bị điện tử trực tiếp thông qua việc nhận dạng dấu vân tay. Ngoài ra, các dấu vân tay có thể nhanh chóng được xác định và rất khó để giả mạo; do đó, công nghệ nhận dạng dấu vân tay có thể tạo ra sự thuận tiện và bảo mật. Trong những năm gần đây, các ngành công nghiệp đã dành riêng để tích hợp các chức năng nhận dạng dấu vân tay và chức năng hiển thị vào cùng thiết bị điện tử trong khi đồng thời cung cấp các hình ảnh hiển thị có độ phân giải cao. Hơn nữa, các công nghệ cảm biến không bị giới hạn ở việc sử dụng trong khi nhận dạng các dấu vân tay; các ứng dụng này cũng bao gồm việc nhận biết hình ảnh hoặc nhận biết điều khiển cảm ứng.

Bản chất kỹ thuật của sáng chế

Sáng chế đề xuất thiết bị điện tử bao gồm khối hiển thị, khối cảm biến, M đường tín hiệu thứ nhất và N đường tín hiệu thứ hai. Khối hiển thị và khối cảm biến được nối điện với N đường tín hiệu thứ hai thông qua M đường tín hiệu thứ nhất, M và N là các số tự nhiên và M lớn hơn N.

Mục tiêu này và mục tiêu khác của sáng chế chắc chắn sẽ trở nên rõ ràng đối với người có hiểu biết trung bình trong lĩnh vực kỹ thuật sau khi đọc phần mô tả chi tiết sau của phương án mà được minh họa trên các hình và các hình vẽ khác nhau.

Mô tả vắn tắt các hình vẽ

Fig.1 là sơ đồ sơ lược của thiết bị điện tử theo phương án thứ nhất của sáng chế.

Fig.2 là sơ đồ sơ lược của khối cảm biến và khối hiển thị theo phương án thứ nhất

của sáng chế.

Fig.3 là sơ đồ sơ lược của khối tách kênh theo phương án thứ nhất của sáng chế.

Fig.4 là sơ đồ sơ lược của thiết bị điện tử theo phương án thứ hai của sáng chế.

Fig.5 là sơ đồ sơ lược của khối tách kênh theo phương án thứ hai của sáng chế.

Fig.6 là sơ đồ sơ lược của khối tách kênh theo phương án thứ ba của sáng chế.

Fig.7 là sơ đồ sơ lược của thiết bị điện tử theo phương án thứ tư của sáng chế.

Fig.8 là hình vẽ mặt cắt sơ lược của thiết bị điện tử theo phương án thứ năm của sáng chế.

Fig.9 là hình vẽ mặt cắt sơ lược của thiết bị điện tử theo phương án thứ sáu của sáng chế.

Fig.10 là hình vẽ mặt cắt sơ lược của thiết bị điện tử theo phương án thứ bảy của sáng chế.

Fig.11 là hình vẽ mặt cắt sơ lược của thiết bị điện tử theo phương án thứ tám của sáng chế.

Fig.12 là hình chiếu bằng sơ lược được phóng to của vùng Rx trên Fig.11.

Fig.13 là hình vẽ mặt cắt sơ lược của thiết bị điện tử theo phương án thứ chín của sáng chế.

Mô tả chi tiết sáng chế

Sáng chế có thể được hiểu bằng cách dựa vào phần mô tả chi tiết sau, kết hợp với các phương án và các hình vẽ như được mô tả dưới đây. Cần lưu ý rằng, để nhằm mục đích minh họa một cách rõ ràng và những người đọc dễ hiểu, thì các hình vẽ khác nhau theo sáng chế này có thể là các sơ đồ sơ lược được đơn giản hóa mà minh họa một phần thiết bị điện tử; các thành phần nhất định bên trong có thể không được vẽ theo tỷ lệ. Ngoài ra, số lượng và kích thước của mỗi thành phần này được thể hiện trên các hình vẽ chỉ minh họa và không nhằm làm giới hạn phạm vi của sáng chế.

Các thuật ngữ nhất định được sử dụng trong toàn bộ phần mô tả và các điểm yêu cầu

bảo hộ sau đề cập đến các thành phần cụ thể. Người có hiểu biết trung bình trong lĩnh vực kỹ thuật sẽ hiểu, các nhà sản xuất thiết bị điện tử có thể đề cập đến thành phần theo các tên gọi khác nhau. Tài liệu này không nhằm phân biệt giữa các thành phần mà khác nhau về tên gọi nhưng không khác nhau về chức năng. Trong phần mô tả sau và trong các điểm yêu cầu bảo hộ, các thuật ngữ “bao gồm”, “gồm có” và “có” được sử dụng theo cách có kết thúc mở, và do đó nên được hiểu có nghĩa là “bao gồm, nhưng không bị giới hạn ở...”.

Sẽ hiểu được rằng khi bộ phận hoặc lớp được gọi là đang “nằm trên” hoặc “được nối với” bộ phận hoặc lớp khác, thì bộ phận hoặc lớp này có thể trực tiếp nằm trên hoặc trực tiếp được nối với bộ phận hoặc lớp khác hoặc có thể có mặt các bộ phận hoặc lớp xen giữa. Ngược lại, khi bộ phận này được gọi là đang “trực tiếp nằm trên” hoặc “trực tiếp được nối với” bộ phận hoặc lớp khác, thì không có mặt các bộ phận hoặc lớp xen giữa.

Thuật ngữ “được nối điện” có thể biểu thị sự kết nối trực tiếp hoặc sự kết nối gián tiếp. Hai bộ phận có thể được nối điện bằng cách tiếp xúc trực tiếp với nhau để truyền các tín hiệu điện, và hai bộ phận này không có các bộ phận khác nằm ở giữa. Hai bộ phận được nối điện có thể truyền các tín hiệu điện qua bộ phận khác bắc cầu giữa chúng. Các bộ phận “được nối điện” có thể còn được xem là các bộ phận mà “được ghép nối.”

Mặc dù các thuật ngữ chẳng hạn như thứ nhất, thứ hai, thứ ba, v.v., có thể được sử dụng để mô tả các bộ phận cấu thành đa dạng, các bộ phận cấu thành này không bị giới hạn bởi các thuật ngữ này. Các thuật ngữ này chỉ được sử dụng để phân biệt bộ phận cấu thành này với các bộ phận cấu thành khác trong bản mô tả. Các điểm yêu cầu bảo hộ có thể không sử dụng các thuật ngữ giống nhau, nhưng thay vào đó có thể sử dụng các thuật ngữ thứ nhất, thứ hai, thứ ba, v.v. dựa vào thứ tự trong đó bộ phận được bảo hộ. Theo đó, trong phần mô tả sau, bộ phận cấu thành thứ nhất có thể là bộ phận cấu thành thứ hai theo các điểm yêu cầu bảo hộ.

Cần lưu ý rằng các dấu hiệu kỹ thuật theo các phương án khác nhau được mô tả trong phần mô tả sau có thể được thay thế, kết hợp lại hoặc pha trộn với các dấu hiệu kỹ thuật khác để cấu thành phương án khác mà không lệch khỏi mục đích của sáng chế.

Thiết bị điện tử theo sáng chế có thể bao gồm thiết bị hiển thị, thiết bị ăngten hoặc thiết bị được chia ô, nhưng không bị giới hạn ở đó. Thiết bị điện tử này có thể là các thiết

bị điện tử gấp lại được hoặc mềm dẻo. Ví dụ, thiết bị điện tử có thể là thiết bị hiển thị có các chức năng điều khiển cảm ứng, chức năng nhận biết hình ảnh, chức năng nhận biết cho các thông số khác nhau hoặc chức năng nhận dạng dấu vân tay. Ở đây, thiết bị hiển thị có thể là kiểu tự phát trong số màn hiển thị điốt phát quang hữu cơ (organic light-emitting diode, OLED), màn hiển thị điốt phát quang vô cơ (inorganic light-emitting diode, LED), màn hiển thị điốt phát quang nhỏ (mini light-emitting diode, mini LED), màn hiển thị điốt phát quang siêu nhỏ (micro light-emitting diode, micro LED), màn hiển thị điốt phát quang chấm lượng tử (quantum dot light-emitting diode, quantum dot LED, QLED, QDLED), màn hiển thị sử dụng các vật liệu huỳnh quang hoặc vật liệu phát quang, các kiểu màn hiển thị thích hợp khác hoặc sự kết hợp của các kiểu màn hiển thị nêu trên, nhưng không bị giới hạn ở đó. Các khái niệm và nguyên tắc theo sáng chế này có thể còn được áp dụng vào các kiểu màn hiển thị không tự phát chẳng hạn như các màn hiển thị tinh thể lỏng (liquid crystal display, LCD), nhưng không bị giới hạn ở đó.

Ví dụ, thiết bị ăngten có thể là ăngten tinh thể lỏng hoặc các kiểu thiết bị ăngten khác, nhưng sáng chế không bị giới hạn ở đó. Ví dụ, thiết bị được chia ô có thể là thiết bị hiển thị được chia ô, thiết bị ăngten được chia ô hoặc sự kết hợp của các thiết bị này, nhưng sáng chế không bị giới hạn ở đó. Cần lưu ý rằng, thiết bị điện tử này có thể là sự kết hợp của các thiết bị nêu trên, nhưng sáng chế không bị giới hạn ở đó. Ngoài ra, hình dạng bên ngoài của thiết bị điện tử có thể là hình chữ nhật, hình cầu, hình đa giác, hình dạng có mép cong hoặc các hình dạng thích hợp khác. Thiết bị điện tử có thể có các hệ thống kích thích, hệ thống điều khiển, hệ thống chiếu sáng, hệ thống giá đỡ, v.v. làm các hệ thống ngoại vi để hỗ trợ thiết bị hiển thị, thiết bị ăngten hoặc thiết bị được chia ô. Trong phần mô tả sau, thiết bị hiển thị minh họa một ví dụ về thiết bị điện tử theo sáng chế nhưng sáng chế không bị giới hạn ở đó. Khi thiết bị ăngten hoặc các thiết bị khác được sử dụng làm thiết bị điện tử, thì khối hoạt động nhỏ nhất của thiết bị này có thể được xem là điểm ảnh con của thiết bị hiển thị, nhưng không bị giới hạn ở đó.

Theo sáng chế này, bộ cảm biến có thể được áp dụng khi nhận biết quang học, nhiệt độ, áp suất, sóng điện từ, rung động, âm thanh, hấp dẫn, siêu âm thanh, chiều dài, hình ảnh, chạm hoặc dấu vân tay mà không bị giới hạn ở chức năng cụ thể. Việc nhận biết dấu vân

tay minh họa một ví dụ theo các phương án của sáng chế, nhưng không bị giới hạn ở đó.

Thiết bị hiển thị có thể bao gồm các điểm ảnh con được bố trí gần với nhau ở nhiều hàng. Theo một phương án, các điểm ảnh con của thiết bị hiển thị có thể bao gồm các điểm ảnh con màu xanh lá cây, màu đỏ và xanh da trời, hoặc các điểm ảnh con màu xanh lá cây, màu đỏ, xanh da trời và màu vàng hoặc các điểm ảnh con màu xanh lá cây, màu đỏ, xanh da trời và màu trắng, sao cho các hình ảnh có màu sắc có thể được hiển thị qua ánh sáng có màu sắc khác nhau được tạo ra bởi các điểm ảnh con này, nhưng sáng chế không bị giới hạn ở đó. Các màu sắc được tạo ra bởi các điểm ảnh con có thể được thiết kế dựa vào các yêu cầu. Theo một phương án khác, thiết bị hiển thị có thể là thiết bị hiển thị có một màu sắc duy nhất, và tất cả các điểm ảnh con có thể phát ra ánh sáng có một màu sắc duy nhất, chẳng hạn như màu trắng, màu đỏ hoặc màu sắc thích hợp bất kỳ. Ngoài ra, hình dạng theo hình chiếu bằng của điểm ảnh con có thể là hình chữ nhật, hình bình hành, dạng ">" hoặc hình dạng thích hợp bất kỳ.

Dựa vào Fig.1 và Fig.2. Fig.1 là sơ đồ sơ lược của thiết bị điện tử theo phương án thứ nhất của sáng chế. Fig.2 là sơ đồ sơ lược của khối cảm biến và khối hiển thị theo phương án thứ nhất của sáng chế. Thiết bị điện tử 10 theo phương án hiện tại có thể bao gồm nền 100 mà có thể bao gồm vùng hoạt động AR và vùng ngoại vi PR liền kề với vùng hoạt động AR này. Vùng ngoại vi PR được bố trí, ví dụ, ở ít nhất một phía của vùng hoạt động AR. Như được thể hiện trên Fig.1, vùng ngoại vi PR có thể bao quanh vùng hoạt động AR. Vùng hoạt động AR này có thể có các chức năng bao gồm chức năng hiển thị, chức năng phát hiện, chức năng nhận biết hoặc chức năng phát quang, nhưng sáng chế không bị giới hạn ở đó. Vật liệu của nền 100 có thể bao gồm thủy tinh, thạch anh, saphia, polyme (chẳng hạn như polyimide (PI) hoặc polyetylen terephthalat (PET)) và/hoặc các vật liệu thích hợp khác cần được sử dụng làm nền mềm dẻo hoặc nền cứng, nhưng sáng chế không bị giới hạn ở đó. Ngoài ra, hình dạng theo hình chiếu bằng của nền 100 không bị giới hạn ở dạng hình chữ nhật; nền 100 có thể có hình dạng thích hợp bất kỳ.

Thiết bị điện tử 10 có thể bao gồm các đường tín hiệu, và các đường tín hiệu này có thể bao gồm các đường quét hiển thị L12 và các đường dữ liệu L14 được bố trí trên nền 100, nhưng sáng chế không bị giới hạn ở đó. Theo các phương án khác, các đường tín hiệu

có thể bao gồm các đường chung, đường điều khiển phát, đường công suất, đường điều khiển được thiết lập lại, đường tham chiếu, đường nối đất, đường đọc ra v.v., tùy thuộc vào kiểu thiết bị điện tử. Các đường quét hiển thị L12 có thể kéo dài dọc theo hướng thứ nhất D1, các đường dữ liệu L14 có thể kéo dài dọc theo hướng thứ hai D2, và hướng thứ hai D2 không song song với hướng thứ nhất D1. Theo một phương án hiện tại, hướng thứ nhất D1 có thể trục giao với hướng thứ hai D2, nhưng sáng chế không bị giới hạn ở đó. Các đường tín hiệu khác có thể kéo dài dọc theo hướng thứ nhất D1 hoặc hướng thứ hai D2, nhưng sáng chế không bị giới hạn ở đó. Các đường quét hiển thị L12, đường dữ liệu L14 hoặc đường tín hiệu khác có thể là đường thẳng, đường cong hoặc nhiều đường.

Theo khía cạnh khác, thiết bị điện tử 10 có thể bao gồm khối hiển thị DU được bố trí trên nền 100 và được bố trí ở vùng hoạt động AR, và khối hiển thị DU có thể bao gồm các điểm ảnh con SP. Ví dụ, khối hiển thị DU có thể bao gồm ba điểm ảnh con, hoặc khối hiển thị DU có thể bao gồm ít nhất một hàng của các điểm ảnh con, hoặc khối hiển thị DU có thể bao gồm ít nhất một cột của các điểm ảnh con, hoặc khối hiển thị DU có thể bao gồm các điểm ảnh con nằm trong vùng đã cho bất kỳ của vùng hoạt động AR, hoặc khối hiển thị DU có thể bao gồm tất cả các điểm ảnh con nằm trong vùng hoạt động AR, nhưng sáng chế không bị giới hạn ở đó. Điểm ảnh con SP bao gồm bộ phận hoặc cấu trúc được sử dụng để hiển thị (chẳng hạn như điện cực của khối hiển thị tinh thể lỏng, khối hiển thị OLED hoặc khối hiển thị LED vô cơ) và bộ chuyển mạch được sử dụng để dẫn động bộ phận hoặc cấu trúc (chẳng hạn như tranzito màng mỏng).

Như được thể hiện trên Fig.1, các đường quét hiển thị L12 có thể giao với các đường dữ liệu L14 để xác định nhiều vùng, trong đó một trong số các điểm ảnh con SP có thể được bố trí tương ứng nằm trong một trong số các vùng, nhưng sáng chế không bị giới hạn ở đó. Theo các phương án khác, các vùng này có thể còn được xác định bởi các đường tín hiệu giao khác nhau, hoặc nhiều điểm ảnh con SP có thể được bố trí nằm trong một trong số các vùng. Ngoài ra, khối hiển thị DU có thể được nối điện với các đường quét hiển thị L12 và các đường dữ liệu L14. Ví dụ, mỗi điểm ảnh con SP có thể được nối điện với các đường quét hiển thị L12 tương ứng và các đường dữ liệu L14 tương ứng, nhưng sáng chế không bị giới hạn ở đó. Theo các phương án khác, khối hiển thị DU có thể được nối điện với các

kết hợp khác nhau của các đường tín hiệu tùy thuộc vào các yêu cầu kích thích, và mỗi điểm ảnh con SP có thể còn được nối điện với các kết hợp khác nhau của các đường tín hiệu tương ứng tùy thuộc vào các yêu cầu kích thích.

Điểm ảnh con SP có thể bao gồm ít nhất một điện cực và ít nhất một tranzito màng mỏng. Như được thể hiện trên Fig.2, điểm ảnh con SP có thể bao gồm điện cực ED và tranzito màng mỏng TD và điện cực ED có thể được nối điện với tranzito màng mỏng TD tương ứng, nhưng sáng chế không bị giới hạn ở đó. Theo các phương án khác, điểm ảnh con SP có thể bao gồm nhiều điện cực ED hoặc nhiều tranzito màng mỏng TD. Theo một phương án hiện tại, ví dụ, thiết bị điện tử 10 có thể bao gồm panen hiển thị tinh thể lỏng, và ví dụ, điện cực ED có thể là điện cực điểm ảnh, nhưng sáng chế không bị giới hạn ở đó. Theo các phương án khác, nếu thiết bị điện tử 10 là panen hiển thị OLED hoặc panen hiển thị LED vô cơ, thì điện cực ED có thể ví dụ là catôt hoặc anôt. Cực cổng của tranzito màng mỏng TD có thể được nối điện với các đường quét hiển thị L12, đầu thứ nhất của tranzito màng mỏng TD có thể được nối điện với các đường dữ liệu L14 tương ứng, và đầu thứ hai của tranzito màng mỏng TD có thể được nối điện với điện cực ED tương ứng, nhưng sáng chế không bị giới hạn ở đó. Ngoài ra, ví dụ, đầu thứ nhất và đầu thứ hai của tranzito màng mỏng ở đây có thể lần lượt là cực nguồn hoặc cực máng, hoặc cực máng hoặc cực nguồn.

Như được thể hiện trên Fig.1, thiết bị điện tử 10 có thể bao gồm khối cảm biến SU được bố trí trên nền 100 và nằm ở một phần của vùng hoạt động AR, và khối cảm biến SU này có thể được bố trí liền khối với khối hiển thị DU, nhưng sáng chế không bị giới hạn ở đó. Theo các phương án khác, thiết bị điện tử 10 có thể còn bao gồm nhiều khối cảm biến SU, khối cảm biến SU này có thể còn nằm một phần ở vùng hoạt động AR và nằm một phần ở vùng ngoại vi PR, hoặc khối cảm biến SU có thể nằm toàn bộ ở vùng ngoại vi PR. Khối cảm biến SU và khối hiển thị DU có thể còn được bố trí liền khối và chồng một phần lên, hoặc được bố trí riêng biệt khỏi khối hiển thị DU mà không chồng lên. Khu vực bị chiếm bởi khối cảm biến SU có thể lớn hơn, bằng hoặc nhỏ hơn khu vực bị chiếm bởi khối hiển thị DU. Ví dụ, khu vực bị chiếm bởi điện cực ES của khối cảm biến con SSU có thể lớn hơn, bằng hoặc nhỏ hơn khu vực bị chiếm bởi điện cực ED của điểm ảnh con SP.

Như được thể hiện trên Fig.2, các đường tín hiệu có thể còn bao gồm các đường quét

nhận biết L22 và các đường nhận biết L24. Các đường quét nhận biết L22 có thể kéo dài dọc theo hướng thứ nhất D1, các đường nhận biết L24 có thể kéo dài dọc theo hướng thứ hai D2, và các đường quét nhận biết L22 và các đường nhận biết L24 có thể được nối điện với khối cảm biến SU tương ứng, nhưng sáng chế không bị giới hạn ở đó. Theo các phương án khác, các đường quét nhận biết L22 có thể kéo dài dọc theo hướng thứ hai D2, và các đường nhận biết L24 có thể kéo dài dọc theo hướng thứ nhất D1. Ngoài ra, một trong số các đường quét nhận biết L22 có thể được bố trí liền kề với một trong số các đường quét hiển thị L12, và một trong số các đường nhận biết L24 có thể được bố trí liền kề với một trong số các đường dữ liệu L14. Hơn nữa, các đường quét nhận biết L22 và đường quét hiển thị L12 có thể giao với các đường nhận biết L24 và các đường dữ liệu L14, và các đường quét nhận biết L22, các đường quét hiển thị L12, các đường nhận biết L24 và các đường dữ liệu L14 được cách điện với nhau và có thể được điều khiển một cách độc lập, điều khiển theo cách tuần tự hoặc điều khiển theo cách đồng bộ hóa. Tuy nhiên, các cấu hình của các đường quét nhận biết L22, các đường quét hiển thị L12, các đường nhận biết L24 và các đường dữ liệu L14 không bị giới hạn ở đó.

Như được thể hiện trên Fig.2, khối cảm biến SU có thể bao gồm các khối cảm biến con SSU, một khối cảm biến con SSU có thể được bố trí tương ứng với một điểm ảnh con SP, và mỗi khối cảm biến con SSU có thể được nối điện với đường quét nhận biết L22 tương ứng và đường nhận biết L24 tương ứng, nhưng sáng chế không bị giới hạn ở đó. Theo các phương án khác, khối cảm biến con SSU có thể được nối điện với các kết hợp khác nhau của các đường tín hiệu tùy thuộc vào các yêu cầu kích thích. Khối cảm biến con SSU có thể bao gồm ít nhất một điện cực. Như được thể hiện trên Fig.2, khối cảm biến con SSU có thể bao gồm điện cực ES, và điện cực ES này có thể được nối điện với tranzito màng mỏng TS tương ứng, nhưng sáng chế không bị giới hạn ở đó. Theo các phương án khác, khối cảm biến con SSU có thể bao gồm nhiều điện cực ES hoặc nhiều tranzito màng mỏng TS, hoặc khối cảm biến con SSU có thể là nhiều điện cực ES được nối điện với tranzito màng mỏng TS tương ứng, hoặc khối cảm biến con SSU có thể là điện cực ES được nối điện với nhiều tranzito màng mỏng TS tương ứng. Cực cổng của tranzito màng mỏng TS có thể được nối điện với đường quét nhận biết L22, đầu thứ nhất của tranzito màng mỏng TS có thể được nối điện với đường nhận biết L24, và đầu thứ hai của tranzito màng

mỏng TS có thể được nối điện với điện cực ES, nhưng sáng chế không bị giới hạn ở đó.

Bộ cảm biến quang học minh họa một ví dụ về khối cảm biến SU theo phương án hiện tại. Mỗi khối cảm biến con SSU có thể bao gồm bộ cảm biến quang học (điốt quang), ví dụ điốt kiểu PIN hoặc bộ biến đổi quang điện thích hợp khác, và điện cực ES có thể là điện cực phía dưới được nối điện với một đầu của điốt kiểu PIN, nhưng sáng chế không bị giới hạn ở đó. Khối cảm biến SU có thể còn bao gồm bộ cảm biến điện dung, bộ cảm biến siêu âm, bộ cảm biến hồng ngoại (infrared, IR) hoặc các kiểu bộ cảm biến thích hợp khác.

Như được thể hiện trên Fig.1, thiết bị điện tử 10 có thể bao gồm bộ giải ghép kênh (hoặc bộ tách kênh) 106 được bố trí trên nền 100 và ở vùng ngoại vi PR. Bộ tách kênh 106 này có thể được tạo ra trên nền 100 bằng cách sử dụng quy trình lắng đọng màng mỏng, theo sau bởi quy trình quang khắc, theo sau bởi quy trình khắc, nhưng sáng chế không bị giới hạn ở đó. Bộ tách kênh 106 có thể bao gồm khối tách kênh 102 (có thể còn được gọi là khối tách kênh thứ nhất) và khối tách kênh 104 (có thể còn được gọi là khối tách kênh thứ hai), và khối tách kênh 102 cùng với khối tách kênh 104 có thể được bố trí ở một phía của vùng hoạt động AR dọc theo hướng thứ hai D2, nhưng sáng chế không bị giới hạn ở đó. Theo các phương án khác, bộ tách kênh 106 có thể chỉ bao gồm một trong số khối tách kênh 102 và khối tách kênh 104, hoặc khối tách kênh 102 và khối tách kênh 104 có thể được bố trí riêng biệt ở các phía đối diện của vùng hoạt động AR dọc theo hướng thứ hai D2.

Các đường dữ liệu L14 và các đường nhận biết L24 có thể được kéo dài từ vùng hoạt động AR đến vùng ngoại vi PR, các đường dữ liệu L14 có thể được nối điện với đầu xuất ra của khối tách kênh 102 tương ứng, và các đường nhận biết L24 có thể được nối điện với đầu xuất ra của khối tách kênh 104 tương ứng, nhưng sáng chế không bị giới hạn ở đó. Theo các phương án khác, các đường dữ liệu L14 có thể được nối điện với đầu xuất ra của khối tách kênh 102 tương ứng và đầu xuất ra của khối tách kênh 104 tương ứng, và các đường nhận biết L24 có thể được nối điện với đầu xuất ra của khối tách kênh 102 tương ứng và đầu xuất ra của khối tách kênh 104 tương ứng. Theo các phương án khác, bộ tách kênh 106 có thể chỉ bao gồm một trong số khối tách kênh 102 và khối tách kênh 104. Các đường dữ liệu L14 và các đường nhận biết L24 có thể được nối điện với cùng khối tách

kênh 102 hoặc cùng khối tách kênh 104. Hoặc, chỉ các đường dữ liệu L14 hoặc chỉ các đường nhận biết L24 có thể được nối điện với khối tách kênh 102 hoặc khối tách kênh 104; điều đó có nghĩa là, các đường dữ liệu L14 hoặc các đường nhận biết L24 có thể không được nối điện với khối tách kênh. Theo cách này, khối tách kênh 102 có thể được nối điện với khối hiển thị DU, và khối tách kênh 104 có thể được nối điện với khối cảm biến SU.

Mặt khác, các đường dữ liệu L14 và các đường nhận biết L24 có thể được xác định chung dưới dạng các đường tín hiệu L1 (có thể còn được gọi là các đường tín hiệu thứ nhất). Do đó, nằm trong vùng ngoại vi PR, M các đường tín hiệu L1 có thể bao gồm M1 đường dữ liệu L14 và M2 đường nhận biết L24. “M” là số của số lượng đường tín hiệu L1, “M1” là số của số lượng đường dữ liệu L14 và “M2” là số của số lượng đường nhận biết L24. M1 đường dữ liệu L14 được nối điện với khối hiển thị DU, và M2 đường nhận biết L24 được nối điện với khối cảm biến SU, trong đó M1 có thể lớn hơn M2, nhưng sáng chế không bị giới hạn ở đó. Theo các phương án khác, M1 có thể bằng hoặc nhỏ hơn M2. Theo cách khác, như được thể hiện trên Fig.1, M1 đường dữ liệu L14 và M2 đường nhận biết L24 nằm trong vùng ngoại vi PR có thể được tạo ra từ các lớp dẫn điện khác nhau, và các lớp cách điện có mặt giữa các lớp dẫn điện để ngăn ngừa đoản mạch hoặc nhiễu tín hiệu giữa các đường tín hiệu.

Như được thể hiện trên Fig.1, thiết bị điện tử 10 có thể bao gồm các đường tín hiệu L2 được bố trí trên nền 100 và nằm trong vùng ngoại vi PR. Các đường tín hiệu L2 có thể được nối với đầu nhập của khối tách kênh 102 hoặc đầu nhập của khối tách kênh 104. Khối tách kênh 102 có thể được sử dụng để nối điện các đường dữ liệu L14 với các đường tín hiệu L2a (một phần của các đường tín hiệu L2), sao cho các tín hiệu có thể được nhập vào hoặc xuất ra từ các điểm ảnh con SP của khối hiển thị DU thông qua đường dẫn theo trình tự là các đường tín hiệu L2a – khối tách kênh 102 – các đường dữ liệu L14. Khối tách kênh 104 có thể được sử dụng để nối điện các đường nhận biết L24 với các đường tín hiệu L2b (phần còn lại của các đường tín hiệu L2), sao cho các tín hiệu này có thể được nhập vào hoặc xuất ra từ các khối cảm biến con SSU của khối cảm biến SU thông qua đường dẫn theo trình tự là các đường tín hiệu L2b – khối tách kênh 104 – các đường nhận biết L24, nhưng sáng chế không bị giới hạn ở đó. Số lượng đường tín hiệu L2a có thể nhỏ hơn số

lượng đường dữ liệu L14, và số lượng đường tín hiệu L2b có thể nhỏ hơn số lượng đường nhận biết L24. Do đó, việc sử dụng khối tách kênh 102 và/hoặc khối tách kênh 104 có thể giảm bớt số lượng đường tín hiệu được sử dụng để nhập các tín hiệu nằm trong vùng ngoại vi PR. Theo các phương án khác, số lượng đường dữ liệu L14 có thể lớn hơn, bằng hoặc nhỏ hơn số lượng đường nhận biết L24, và số lượng đường tín hiệu L2a có thể lớn hơn, bằng hoặc nhỏ hơn số lượng đường tín hiệu L2b.

Tóm lại, bộ tách kênh 106 có thể được sử dụng để nối điện M các đường tín hiệu L1 với N các đường tín hiệu L2 (có thể còn được gọi là các đường tín hiệu thứ hai), và “N” là số của số lượng đường tín hiệu L2. Hoặc, khối hiển thị DU và khối cảm biến SU có thể được nối điện với N đường tín hiệu L2 qua M đường tín hiệu L1, trong đó M có thể lớn hơn N. Các giá trị M, N, M1 và M2 có thể là các số nguyên dương (hoặc các số tự nhiên không bao gồm số không). Theo cách này, số lượng đường tín hiệu nằm trong vùng ngoại vi PR có thể được giảm cùng với chi phí sản xuất, thời gian hoặc không gian bị chiếm bởi các đường tín hiệu nằm trong vùng ngoại vi PR này.

Ngoài ra, các đường tín hiệu L2a và các đường tín hiệu L2b có thể được tạo ra từ cùng lớp dẫn điện hoặc các lớp dẫn điện khác nhau, các đường tín hiệu L1 nối các đường dữ liệu L14 và các đường tín hiệu L1 nối các đường nhận biết L24 có thể được tạo ra từ cùng lớp dẫn điện hoặc các lớp dẫn điện khác nhau, các đường tín hiệu L1 và các đường tín hiệu L2 có thể được tạo ra từ cùng lớp dẫn điện hoặc các lớp dẫn điện khác nhau, nhiều đường tín hiệu L1 có thể được tạo ra từ cùng lớp dẫn điện hoặc các lớp dẫn điện khác nhau, nhiều đường tín hiệu L2 có thể được tạo ra từ cùng lớp dẫn điện hoặc các lớp dẫn điện khác nhau, các đường dữ liệu L14 và các đường nhận biết L24 có thể được tạo ra từ cùng lớp dẫn điện hoặc các lớp dẫn điện khác nhau, nhiều đường dữ liệu L14 có thể được tạo ra từ cùng lớp dẫn điện hoặc các lớp dẫn điện khác nhau, nhiều đường nhận biết L24 có thể được tạo ra từ cùng lớp dẫn điện hoặc các lớp dẫn điện khác nhau và nhiều đường quét có thể được tạo ra từ cùng lớp dẫn điện hoặc các lớp dẫn điện khác nhau.

Dựa vào Fig.3, thể hiện sơ đồ sơ lược của khối tách kênh theo phương án thứ nhất của sáng chế. Một ví dụ là, khối tách kênh 102 được thể hiện trên Fig.1 được thể hiện trên Fig.3 là bao gồm các tranzito màng mỏng TP. Các tranzito màng mỏng TP này có thể được

bố trí thành bốn hàng tranzito, và các cực cổng của các tranzito màng mỏng TP của mỗi hàng tranzito có thể được nối điện với đường tín hiệu chuyển mạch LS. Ví dụ, đường dữ liệu L14a, đường dữ liệu L14e và đường dữ liệu L14i có thể được nối điện với các tranzito màng mỏng TP của hàng tranzito TR1, đường dữ liệu L14b, đường dữ liệu L14f và đường dữ liệu L14j có thể được nối điện với các tranzito màng mỏng TP của hàng tranzito TR2, đường dữ liệu L14c, đường dữ liệu L14g và đường dữ liệu L14k có thể được nối điện với các tranzito màng mỏng TP của hàng tranzito TR3, và đường dữ liệu L14d, đường dữ liệu L14h và đường dữ liệu L14l có thể được nối điện với các tranzito màng mỏng TP của hàng tranzito TR4.

Bằng cách sử dụng đường dữ liệu L14a, đường dữ liệu L14b, đường dữ liệu L14c và đường dữ liệu L14d làm một ví dụ minh họa, các đường dữ liệu này có thể được nối điện với đường tín hiệu L2a thông qua các tranzito màng mỏng TP của các hàng tranzito khác nhau, và một đầu của đường tín hiệu L2a có thể được nối điện với đế hàn liên kết 110 theo thứ tự nối điện với đầu xuất ra của khối kích thích (ví dụ, chip mạch tích hợp (integrated circuit, IC)). Do đó, bằng cách kích hoạt các tranzito màng mỏng TP của các hàng tranzito khác nhau, các tín hiệu cần được gửi bởi đường tín hiệu L2a có thể được truyền đến đường dữ liệu L14 mong muốn dưới dạng các tranzito màng mỏng được bật lên hoặc tắt, nhờ đó đạt được hiệu quả sử dụng một đường tín hiệu đầu vào để tương ứng với nhiều đường tín hiệu đầu ra. Tuy nhiên, số lượng đường dữ liệu L14 mà có thể được nối điện với một đường tín hiệu L2a không bị giới hạn ở số lượng đường dữ liệu được thể hiện trên Fig.3. Khối tách kênh 104 có thể còn có các dấu hiệu kỹ thuật giống hoặc tương tự với khối tách kênh được nêu ở trên; nhằm mục đích làm ngắn gọn, phần mô tả về các dấu hiệu này được lược bỏ ở đây.

Dựa vào Fig.1, trong đó thiết bị điện tử 10 có thể bao gồm khối kích thích 108 được bố trí trên nền 100 và nằm trong vùng ngoại vi PR. Khối kích thích 108 này có thể bao gồm chip mạch tích hợp 112 và chip mạch tích hợp 114, nhưng số lượng chip mạch tích hợp không bị giới hạn ở đó. Theo các phương án khác, khối kích thích 108 có thể chỉ bao gồm chip mạch tích hợp 112 hoặc chỉ bao gồm chip mạch tích hợp 114. Theo các phương án khác, khối kích thích 108 có thể bao gồm nhiều chip mạch tích hợp 112 hoặc nhiều chip

mạch tích hợp 114. Chip mạch tích hợp 112 có thể được nối điện với các đường tín hiệu L2a, và chip mạch tích hợp 114 có thể được nối điện với đường tín hiệu L2b. Nói cách khác, khối kích thích 108 có thể được nối điện với N đường tín hiệu L2. Ví dụ, chip mạch tích hợp 112 trên Fig.1 có thể được nối điện với các đế hàn liên kết 110 trên Fig.3, và chip mạch tích hợp 114 cũng có thể có các dấu hiệu kỹ thuật giống hoặc tương tự với chip mạch tích hợp 112. Theo cách này, chip mạch tích hợp 112 (có thể còn được gọi là khối kích thích thứ nhất) có thể được nối điện với khối hiển thị DU thông qua các đường tín hiệu L2a, khối tách kênh 102 và các đường dữ liệu L14 (hoặc đường tín hiệu L1), trong khi chip mạch tích hợp 114 (có thể còn được gọi là khối kích thích thứ hai) có thể được nối điện với khối cảm biến SU thông qua các đường tín hiệu L2b, khối tách kênh 104 và các đường nhận biết L24 (hoặc đường tín hiệu L1). Ví dụ, các đường tín hiệu L2 có thể được tạo ra từ cùng lớp dẫn điện, nhưng sáng chế không bị giới hạn ở đó. Việc nối điện khối cảm biến SU với chip mạch tích hợp 114 độc lập có thể làm tăng độ chính xác và tốc độ nhận biết. Theo một số phương án, chip mạch tích hợp 112 và chip mạch tích hợp 114 có thể được tích hợp vào một chip mạch tích hợp.

Ngoài ra, khối kích thích 108 có thể còn bao gồm ít nhất một mạch điều khiển cực cổng. Mạch điều khiển cực cổng này có thể là chip mạch tích hợp, hoặc mạch điều khiển cực cổng có thể được tạo ra trên nền 100 bằng cách sử dụng quy trình lắng đọng màng mỏng, theo sau bởi quy trình quang khắc, và theo sau bởi quy trình khắc. Như được thể hiện trên Fig.1, khối kích thích 108 có thể bao gồm mạch điều khiển cực cổng 1161 và mạch điều khiển cực cổng 1162 và vùng hoạt động AR có thể được bố trí giữa mạch điều khiển cực cổng 1161 và mạch điều khiển cực cổng 1162 theo hướng thứ hai D2, nhưng sáng chế không bị giới hạn ở đó. Theo các phương án khác, khối kích thích 108 có thể chỉ bao gồm mạch điều khiển cực cổng 1161 hoặc mạch điều khiển cực cổng 1162, trong đó tất cả các đường quét có thể được điều khiển từ một phía duy nhất. Mạch điều khiển cực cổng 1161 có thể được nối điện với một phần của các đường quét hiển thị L12, và mạch điều khiển cực cổng 1162 có thể được nối điện với phần còn lại của các đường quét hiển thị L12. Ngoài ra, mạch điều khiển cực cổng 1161 và mạch điều khiển cực cổng 1162 này có thể được nối điện với khối kích thích 108 (chẳng hạn như chip mạch tích hợp 112), nhưng sáng chế không bị giới hạn ở đó.

Theo các phương án khác, mạch điều khiển cực cổng 1161, mạch điều khiển cực cổng 1162, chip mạch tích hợp 112 hoặc nhiều chip mạch tích hợp 114 có thể theo cách riêng biệt, hoặc ít nhất một phần được tích hợp/thu thập, và sau đó được nối điện với bảng mạch điều khiển bên ngoài. Theo các phương án khác, mạch điều khiển cực cổng 1161, mạch điều khiển cực cổng 1162, chip mạch tích hợp 112 hoặc nhiều chip mạch tích hợp 114 có thể nằm ở bên ngoài của nền 100 thay vì được bố trí trên nền 100, trong khi sử dụng bảng mạch cần được nối điện với đế hàn liên kết 110 và tạo ra các tín hiệu kích thích.

Theo một số phương án, khối kích thích 108 (chẳng hạn như chip mạch tích hợp 112, chip mạch tích hợp 114, mạch điều khiển cực cổng 1161 hoặc mạch điều khiển cực cổng 1162) có thể được bố trí trên nền 100 qua quy trình liên kết chip. Theo một số phương án, khối kích thích 108 có thể được nối điện với các đế hàn liên kết của nền 100 thông qua mạch in mềm dẻo (flexible printed circuit, FPC). Theo một số phương án, khối kích thích 108 có thể được tạo ra ở màng mềm dẻo (ví dụ, được tạo ra dưới dạng chip trên màng (chip on film, COF)) và được nối điện với các đế hàn liên kết trên nền 100.

Cần lưu ý rằng, khái niệm nêu trên để làm giảm số lượng đường tín hiệu được nối điện với khối hiển thị DU hoặc khối cảm biến SU bằng cách sử dụng khối tách kênh 106 ở vùng ngoại vi PR có thể được áp dụng theo các phương án còn lại của sáng chế. Số lượng đường quét hiển thị được nối điện với mạch điều khiển cực cổng 1161 hoặc mạch điều khiển cực cổng 1162 cũng có thể được giảm bớt thông qua khối tách kênh.

Theo sáng chế này, thiết bị điện tử không bị giới hạn ở các phương án nêu trên; các phương án khác sẽ được bộc lộ trong phần mô tả dưới đây. Tuy nhiên, để đơn giản hóa và nhấn mạnh các khác biệt giữa mỗi phương án và các phương án nêu trên, các ký hiệu chỉ dẫn giống nhau sẽ được sử dụng cho các thành phần giống nhau và sẽ không được mô tả lặp lại.

Dựa vào Fig.4 và Fig.5, FIG.4 là sơ đồ sơ lược của thiết bị điện tử theo phương án thứ hai của sáng chế, và Fig.5 là sơ đồ sơ lược của khối tách kênh theo phương án thứ hai của sáng chế. Sự khác biệt giữa phương án hiện tại và phương án thứ nhất là bộ tách kênh 106 theo phương án hiện tại (như được thể hiện trên Fig.4) có thể còn bao gồm khối tách kênh 130 và khối tách kênh 132. Khối tách kênh 130 và khối tách kênh 132 có thể được bố

trí ở các phía đối diện của vùng hoạt động AR theo hướng thứ nhất D1. Ví dụ, khối tách kênh 130 có thể được bố trí giữa mạch điều khiển cực cổng 1161 và vùng hoạt động AR, và khối tách kênh 132 có thể được bố trí giữa mạch điều khiển cực cổng 1162 và vùng hoạt động AR, nhưng sáng chế không bị giới hạn ở đó.

Như được thể hiện trên Fig.5, trong đó một phần của khối tách kênh 130 được thể hiện làm một ví dụ minh họa, khối tách kênh 130 có thể bao gồm các tranzito màng mỏng TQ mà được bố trí, ví dụ, dưới dạng hai cột tranzito, và các cực cổng của các tranzito màng mỏng TQ của mỗi cột tranzito có thể được nối điện với đường tín hiệu chuyển mạch LS. Ví dụ, đường quét hiển thị L12a và đường quét hiển thị L12b có thể được nối điện với các tranzito màng mỏng TQ của cột tranzito TC1; đường quét nhận biết L22a và đường quét nhận biết L22b có thể được nối điện với các tranzito màng mỏng TQ của cột tranzito TC2. Đường quét hiển thị L12a và đường quét nhận biết L22a có thể được nối điện với đường tín hiệu L3 thông qua các tranzito màng mỏng TQ ở các cột tranzito khác nhau; đường quét hiển thị L12b và đường quét nhận biết L22b có thể còn được nối điện với đường tín hiệu khác L3 thông qua các tranzito màng mỏng TQ của các cột tranzito khác nhau. Trên Fig.5, các đường quét hiển thị L12 và các đường quét nhận biết L22 có thể theo cách khác được bố trí; các tranzito màng mỏng TQ được nối điện với các đường quét hiển thị L12 và các tranzito màng mỏng TQ được nối điện với các đường quét nhận biết L22 theo cách khác có thể còn được bố trí, nhưng sáng chế không bị giới hạn ở đó. Theo cách này, điều kiện trong đó đường quét hiển thị L12b và đường quét nhận biết L22b giao nhau ở vùng ngoại vi PR có thể tránh được. Ngoài ra, một đầu của mỗi đường tín hiệu L3 có thể được nối điện với đế hàn liên kết 134, và đế hàn liên kết 134 này có thể được nối điện với mạch điều khiển cực cổng 1161 trên Fig.4. Theo các phương án khác, trong đó mạch điều khiển cực cổng 1161 không phải là chip mạch tích hợp, đế hàn liên kết 134 không được yêu cầu.

Nói cách khác, nằm trong vùng ngoại vi PR, M đường tín hiệu có thể bao gồm M3 đường quét hiển thị L12 và M4 đường quét nhận biết L22, “M” là số của số lượng đường tín hiệu, “M3” là số của số lượng đường quét hiển thị L12 và “M4” là số của số lượng đường quét nhận biết L22. M3 đường quét hiển thị L12 được nối điện với khối hiển thị DU, và M4 đường quét nhận biết L22 được nối điện với khối cảm biến SU; ở đây, M3 có thể

lớn hơn M4, nhưng sáng chế không bị giới hạn ở đó. Theo các phương án khác, M3 có thể bằng hoặc nhỏ hơn M4. Ngoài ra, khối tách kênh 130 có thể được sử dụng để nối điện M đường tín hiệu nêu trên (chẳng hạn như các đường quét hiển thị L12 hoặc các đường quét nhận biết L22) với N đường tín hiệu (chẳng hạn như các đường tín hiệu L3), hoặc khối hiển thị DU và khối cảm biến SU có thể đều được nối điện với N đường tín hiệu thông qua M đường tín hiệu, trong đó “N” là số của số lượng đường tín hiệu, và M lớn hơn N. Các số M3 và M4 có thể là các số nguyên dương (hoặc các số tự nhiên không bao gồm số không). Theo cách này, số lượng đường tín hiệu nằm trong vùng ngoại vi PR có thể được giảm bớt cùng với chi phí sản xuất, thời gian hoặc không gian bị chiếm bởi các đường tín hiệu nằm trong vùng ngoại vi PR.

Khi khối cảm biến con SSU cần được điều khiển, thì tranzito màng mỏng TQ của cột tranzito TC2 có thể được bật lên thông qua một trong số các đường tín hiệu chuyển mạch LS, và khi điểm ảnh con SP cần được điều khiển, thì tranzito màng mỏng TQ của cột tranzito TC1 có thể được bật lên thông qua đường tín hiệu chuyển mạch khác trong số các đường tín hiệu chuyển mạch LS. Bằng cách bật lên các tranzito màng mỏng TQ của các cột tranzito khác nhau, các đường tín hiệu L3 có thể truyền các tín hiệu đến các đường quét hiển thị L12 mong muốn hoặc các đường quét nhận biết L22. Tuy nhiên, số lượng đường quét hiển thị L12 hoặc số lượng đường quét nhận biết L22 có thể được nối điện với một đường tín hiệu L3 không bị giới hạn ở số lượng đường quét được thể hiện trên Fig.5. Khối tách kênh 132 có thể còn có các dấu hiệu kỹ thuật giống hoặc tương tự với dấu hiệu kỹ thuật được nêu ở trên; nhằm mục đích làm ngắn gọn, các dấu hiệu này sẽ không được mô tả.

Mặt khác, phương án hiện tại khác với phương án thứ nhất trong đó vùng của khối cảm biến SU theo phương án hiện tại (được thể hiện trên Fig.4) có thể nhỏ hơn vùng của khối cảm biến SU theo phương án thứ nhất, nhưng sáng chế không bị giới hạn ở đó. Ngoài ra, bộ tách kênh 106 theo phương án hiện tại có thể bao gồm hai khối tách kênh 102 và một khối tách kênh 104, và khối tách kênh 104 có thể được bố trí giữa hai khối tách kênh 102, nhưng sáng chế không bị giới hạn ở đó. Trong đó, một trong số các khối tách kênh 102 có thể được nối điện với một phần của các đường dữ liệu L14, và khối tách kênh khác 102 có

thể được nối điện với phần còn lại của các đường dữ liệu L14. Ngoài ra, các khối tách kênh 102 và khối tách kênh 104 có thể được nối điện với cùng chip mạch tích hợp 136 của khối kích thích 108 thông qua các đường tín hiệu L2, và chip mạch tích hợp 136 có thể được nối điện với mạch điều khiển cực cổng 1161 và mạch điều khiển cực cổng 1162, nhưng sáng chế không bị giới hạn ở đó.

Hơn nữa, dựa vào Fig.6, mà là sơ đồ sơ lược của khối tách kênh theo phương án thứ ba của sáng chế. Phương án hiện tại khác với phương án thứ hai trong đó, theo một phương án hiện tại, các khối tách kênh 102 nối điện các đường dữ liệu L14 và khối tách kênh 104 nối điện các đường nhận biết L24 trên Fig.4 có thể được tích hợp vào một khối tách kênh 138. Ví dụ, khối tách kênh 138 có thể bao gồm các tranzito màng mỏng TM được bố trí thành hai hàng tranzito, và các cực cổng của các tranzito màng mỏng TM của mỗi hàng tranzito có thể được nối điện với một đường tín hiệu chuyển mạch LS. Ví dụ, đường dữ liệu L14m và đường dữ liệu L14n có thể được nối điện với các tranzito màng mỏng TM của hàng tranzito TR1, và đường nhận biết L24m và đường nhận biết L24n có thể được nối điện với các tranzito màng mỏng TM của hàng tranzito TR2. Đường dữ liệu L14m và đường nhận biết L24m có thể được nối điện với đường tín hiệu L2 thông qua các tranzito màng mỏng TM của các hàng tranzito khác nhau, và đường dữ liệu L14n và đường nhận biết L24n có thể còn được nối điện với đường tín hiệu khác L2 thông qua các tranzito màng mỏng TM của các hàng tranzito khác nhau. Trên Fig.6, các đường dữ liệu L14 và các đường nhận biết L24 có thể theo cách khác được bố trí; các tranzito màng mỏng TM được nối điện với các đường dữ liệu L14 và các tranzito màng mỏng TM được nối điện với các đường nhận biết L24 theo cách khác có thể còn được bố trí, nhưng sáng chế không bị giới hạn ở đó. Theo cách này, điều kiện trong đó các đường dữ liệu L14 và các đường nhận biết L24 giao nhau ở vùng ngoại vi PR có thể tránh được. Ngoài ra, một đầu của mỗi đường tín hiệu L2 có thể được nối điện với đế hàn liên kết 140, và đế hàn liên kết 140 này có thể được nối điện với chip mạch tích hợp. Theo các phương án khác, các đế hàn liên kết 140 có thể được yêu cầu.

Dựa vào Fig.7, mà là sơ đồ sơ lược của thiết bị điện tử theo phương án thứ tư của sáng chế. Sự khác biệt giữa phương án hiện tại và phương án thứ nhất là khối tách kênh

102 và khối tách kênh 104 theo phương án hiện tại có thể được bố trí ở các phía đối diện của vùng hoạt động AR theo hướng thứ hai D2; chip mạch tích hợp 112 và chip mạch tích hợp 114 có thể còn được bố trí ở các phía đối diện của vùng hoạt động AR theo hướng thứ hai D2, nhưng sáng chế không bị giới hạn ở đó. Theo cách này, điều kiện trong đó các đường dữ liệu L14 và các đường nhận biết L24 giao nhau ở vùng ngoại vi PR có thể tránh được. Mặt khác, khu vực của khối cảm biến SU theo phương án hiện tại có thể nhỏ hơn khu vực của khối cảm biến SU theo phương án thứ nhất, nhưng sáng chế không bị giới hạn ở đó.

Dựa vào Fig.8, mà là hình vẽ mặt cắt sơ lược của thiết bị điện tử theo phương án thứ năm của sáng chế. Thiết bị điện tử 10 có thể bao gồm nền 100, nền 200 và lớp tinh thể lỏng 300. Nền 100 và nền 200 có thể được bố trí đối diện với nhau, và lớp tinh thể lỏng 300 có thể được bố trí giữa nền 100 và nền 200. Ngoài ra, chất gắn kín 302 có thể được bố trí giữa nền 100 và nền 200 và ở đường bao của lớp tinh thể lỏng 300. Khối hiển thị DU (chẳng hạn như các điểm ảnh con SP), khối tách kênh 102 và chip mạch tích hợp 112 có thể được bố trí trên nền 100, và khối cảm biến SU (chẳng hạn như các khối cảm biến con SSU), khối tách kênh 104 và chip mạch tích hợp 114 có thể được bố trí trên nền 200, nhưng sáng chế không bị giới hạn ở đó. Theo các phương án khác, khối hiển thị DU, khối tách kênh 102 hoặc chip mạch tích hợp 112 có thể còn được bố trí trên nền 200; mặt khác, khối cảm biến SU, khối tách kênh 104 hoặc chip mạch tích hợp 114 có thể còn được bố trí trên nền 100. Theo các phương án khác, khối tách kênh 102, khối tách kênh 104, chất gắn kín 302 hoặc lớp tinh thể lỏng 300 có thể còn được chồng lên dọc theo hướng thông thường của nền 100.

Nền 200 có thể có bề mặt 2001 và bề mặt 2002 mà đối diện với nhau, và khối cảm biến SU, khối tách kênh 104 và chip mạch tích hợp 114 theo phương án hiện tại có thể được bố trí trên bề mặt 2001, nhưng sáng chế không bị giới hạn ở đó. Ngoài ra, thiết bị điện tử 10 có thể bao gồm cấu trúc điều biến phổ 146 được bố trí trên bề mặt 2001. Cấu trúc điều biến phổ 146 có thể bao gồm bộ lọc màu hoặc các lớp chấm lượng tử để điều biến phổ của ánh sáng đi qua, để đạt được hiệu quả điều chỉnh màu sắc hoặc độ sáng. Cấu trúc điều biến phổ 146 này có thể còn bao gồm ma trận đen tách biệt các vùng khác nhau của cấu trúc điều biến phổ 146 để phân biệt các khối hiển thị, nhưng sáng chế không bị giới hạn ở đó.

Thiết bị điện tử 10 này có thể còn bao gồm môđun đèn nền (không được thể hiện trên hình vẽ) được bố trí liền kề với nền 100 và phát ra theo hướng V; thang độ xám của độ sáng của thiết bị điện tử 10 có thể được điều chỉnh thông qua khối hiển thị DU tinh thể lỏng có bộ phân cực.

Nằm trong vùng ngoại vi PR, các đường dữ liệu L14 trên nền 100 có thể kéo dài đến khối tách kênh 102, một đầu của một trong số các đường dữ liệu L14 có thể được nối điện với khối tách kênh 102, và đầu còn lại của một trong số các đường dữ liệu L14 có thể được nối điện với khối hiển thị DU (hoặc điểm ảnh con SP) bên trong vùng hoạt động AR. Khối tách kênh 102 này có thể nối điện với chip mạch tích hợp 112 thông qua các đường tín hiệu L2a. Ví dụ, một đầu của một trong số các đường tín hiệu L2a có thể nối điện với đế hàn liên kết, và đế hàn liên kết này có thể nối điện với đế hàn liên kết trên chip mạch tích hợp 112 thông qua bộ phận dẫn điện 118. Bộ phận dẫn điện 118 có thể, ví dụ, bao gồm màng dẫn điện dị hướng (anisotropic conductive film, ACF), nhưng sáng chế không bị giới hạn ở đó.

Mặt khác, các đường nhận biết L24 nằm trên bề mặt 2001 của nền 200 có thể kéo dài đến khối tách kênh 104. Một đầu của một trong số các đường nhận biết L24 có thể được nối điện với khối tách kênh 104, và đầu còn lại của một trong số các đường nhận biết L24 có thể được nối điện với khối cảm biến SU (hoặc khối cảm biến con SSU) bên trong vùng hoạt động AR. Khối tách kênh 104 có thể nối điện với chip mạch tích hợp 114 thông qua các đường tín hiệu L2b. Ví dụ, một đầu của một trong số các đường tín hiệu L2b có thể được nối điện với đế hàn liên kết, và đế hàn liên kết này có thể được nối điện với đế hàn liên kết của chip mạch tích hợp 114 thông qua bộ phận dẫn điện 120. Bộ phận dẫn điện 120 này có thể ví dụ bao gồm màng dẫn điện dị hướng (ACF), nhưng sáng chế không bị giới hạn ở đó. Theo một số phương án, chip mạch tích hợp 114 có thể được lược bỏ; hoặc chip mạch tích hợp 114 có thể được bố trí trên bề mặt 1002 của nền 100; hoặc khối tách kênh 104 có thể được nối điện với chip mạch tích hợp 112 được bố trí trên nền 100 hoặc các chip mạch tích hợp khác.

Nằm trong vùng hoạt động AR, bộ phận không trong suốt 122 có thể được bố trí trên nền 100 và nằm ở một phía của mỗi điểm ảnh con SP; hoặc, bộ phận không trong suốt 122

có thể được bố trí giữa các điểm ảnh con liền kề SP, nhưng sáng chế không bị giới hạn ở đó. Bộ phận không trong suốt 122 này có thể, ví dụ, bao gồm các đường quét hiển thị L12, các đường dữ liệu L14, các tranzito màng mỏng hoặc các bộ phận không trong suốt khác hoặc các lớp không trong suốt, nhưng sáng chế không bị giới hạn ở đó. Khi khối cảm biến SU là khối cảm biến quang học, thì vật liệu bán dẫn của điốt kiểu PIN được sử dụng trong khối cảm biến con SSU có thể là không trong suốt. Do đó, dọc theo hướng V, khối cảm biến con SSU có thể được bố trí trên bộ phận không trong suốt 122 và không chồng lên điểm ảnh con SP ở lỗ hồng mà cho phép ánh sáng đi qua, sao cho ánh sáng từ môđun đèn nền có thể đi qua điểm ảnh con SP mà không bị chặn bởi khối cảm biến con SSU. Bằng cách ẩn bộ phận không trong suốt 122 dưới khối cảm biến con SSU, tỷ lệ độ mở của điểm ảnh con SP và lượng ánh sáng đi qua có thể được tăng lên. Hướng V có thể, ví dụ, là hướng vuông góc với bề mặt của nền 100, nhưng sáng chế không bị giới hạn ở đó. Theo một số phương án, khối cảm biến con SSU có thể còn chồng lên tranzito màng mỏng TD của điểm ảnh con SP, nhưng không chồng lên điện cực ED (chẳng hạn như điện cực điểm ảnh) của điểm ảnh con SP. Ngoài ra, các tranzito màng mỏng TD (không được thể hiện trên Fig.8) của các điểm ảnh con SP có thể được bố trí giữa lớp tinh thể lỏng 300 và nền 100 hoặc giữa lớp tinh thể lỏng 300 và nền 200; các điện cực ED (chẳng hạn như điện cực điểm ảnh, không được thể hiện trên Fig.8) của các điểm ảnh con SP có thể được bố trí giữa lớp tinh thể lỏng 300 và nền 100 hoặc giữa lớp tinh thể lỏng 300 và nền 200, nhưng sáng chế không bị giới hạn ở đó.

Theo một số phương án, nếu vật liệu bán dẫn của điốt kiểu PIN là trong suốt, thì khối cảm biến con SSU có thể chồng lên điểm ảnh con SP. Theo một số phương án khác, khối cảm biến SU có thể là khối cảm biến điện dung. Trong các kịch bản này, vì điện cực của khối cảm biến con SSU có thể là trong suốt (với độ truyền cao) và có ảnh hưởng tối thiểu đến ánh sáng đi qua điểm ảnh con SP, nên khối cảm biến con SSU có thể chồng lên, một phần chồng lên hoặc không chồng tất cả lên điểm ảnh con SP. Khối cảm biến SU có thể còn bao gồm bộ cảm biến siêu âm, bộ cảm biến hồng ngoại (infrared, IR) hoặc các kiểu bộ cảm biến thích hợp khác. Khi khối cảm biến SU bao gồm các bộ cảm biến IR, thì khối cảm biến con SSU có thể được tạo cấu hình ở vị trí cách xa với các lớp kim loại của thiết bị điện tử 10, để ngăn ngừa các bộ cảm biến IR bị ảnh hưởng bởi các lớp kim loại.

Như được thể hiện trên Fig.8, thiết bị điện tử 10 có thể còn bao gồm lớp kết dính 123, bộ phân cực 124, lớp kết dính 126 và vỏ che 128. Lớp kết dính 123 có thể được bố trí trên bề mặt 2002 của nền 200, bộ phân cực 124 có thể được bố trí trên lớp kết dính 123, vỏ che 128 có thể được bố trí ở phía ngoài cùng của thiết bị điện tử 10, và lớp kết dính 126 có thể được bố trí giữa vỏ che 128 và bộ phân cực 124, nhưng sáng chế không bị giới hạn ở đó. Mặt khác, nền 100 có thể còn có bề mặt 1001 và bề mặt 1002 đối diện với nhau. Theo phương án hiện tại, khối hiển thị DU, khối tách kênh 102 và chip mạch tích hợp 112 có thể được bố trí trên bề mặt 1002. Ngoài ra, thiết bị điện tử 10 có thể còn bao gồm bộ phân cực 142 và lớp kết dính 144. Bộ phân cực 142 và lớp kết dính 144 này có thể được bố trí trên bề mặt 1001 của nền 100, và lớp kết dính 144 có thể được bố trí giữa bộ phân cực 142 và nền 100. Ví dụ, bộ phân cực 124 và bộ phân cực 142 có thể bao gồm các bộ phân cực tuyến tính, bộ phân cực tròn, bộ phân cực có các lớp làm trễ pha, bộ phân cực có các lớp chống phản xạ hoặc bộ phân cực có các lớp chống nổ, và vỏ che 128 có thể bao gồm vỏ che bằng thủy tinh, nhưng sáng chế không bị giới hạn ở đó.

Cần lưu ý rằng, khái niệm nêu trên để giảm bớt số lượng đường tín hiệu được nối điện với khối hiển thị DU hoặc khối cảm biến SU bởi bộ tách kênh 106 (chẳng hạn như khối tách kênh 102 hoặc khối tách kênh 104) ở vùng ngoại vi PR theo phương án thứ nhất có thể còn được áp dụng theo phương án hiện tại.

Dựa vào Fig.9, mà là hình vẽ mặt cắt sơ lược của thiết bị điện tử theo phương án thứ sáu của sáng chế. Phương án hiện tại khác với phương án thứ năm trong đó khối cảm biến SU (chẳng hạn như các khối cảm biến con SSU), khối tách kênh 104 và chip mạch tích hợp 114 theo phương án hiện tại có thể được bố trí trên bề mặt 2002 của nền 200, nhưng sáng chế không bị giới hạn ở đó. Ngoài ra, các đường nhận biết L24, các đường tín hiệu L2b hoặc các đường tín hiệu khác (chẳng hạn như các đường quét nhận biết L22) có thể còn được bố trí trên bề mặt 2002 của nền 200, nhưng sáng chế không bị giới hạn ở đó.

Ngoài ra, thiết bị điện tử 10 có thể bao gồm có chọn lọc lớp bảo vệ 148 được bố trí trên bề mặt 2002 của nền 200 và ít nhất bao gồm khối cảm biến SU, khối tách kênh 104, chip mạch tích hợp 114, các đường nhận biết L24 hoặc các đường tín hiệu L2b, nhưng sáng chế không bị giới hạn ở đó. Lớp bảo vệ 148 có thể bao gồm các vật liệu cách điện trong

suốt, và các vật liệu cách điện này có thể bao gồm các vật liệu hữu cơ, vật liệu vô cơ, hoặc sự kết hợp của các vật liệu nêu trên, nhưng sáng chế không bị giới hạn ở đó. Lớp kết dính 123, bộ phân cực 124, lớp kết dính 126 và vỏ che 128 có thể được bố trí trên lớp bảo vệ 148 theo thứ tự như được mô tả, nhưng sáng chế không bị giới hạn ở đó. Theo một số phương án, lớp bảo vệ 148 có thể được lược bỏ, và lớp kết dính 123 có thể được sử dụng để che khối cảm biến SU, khối tách kênh 104, chip mạch tích hợp 114, các đường nhận biết L24 hoặc các đường tín hiệu L2b, nhưng sáng chế không bị giới hạn ở đó.

Cần lưu ý rằng, khái niệm nêu trên để giảm bớt số lượng đường tín hiệu được nối điện với khối hiển thị DU hoặc khối cảm biến SU bởi bộ tách kênh 106 (chẳng hạn như khối tách kênh 102 hoặc khối tách kênh 104) ở vùng ngoại vi PR như được đề cập theo phương án thứ nhất có thể còn được áp dụng theo phương án hiện tại.

Dựa vào Fig.10, mà là hình vẽ mặt cắt sơ lược của thiết bị điện tử theo phương án thứ bảy của sáng chế. Phương án hiện tại khác với phương án thứ năm trong đó khối cảm biến SU (chẳng hạn như các khối cảm biến con SSU), khối tách kênh 104 và chip mạch tích hợp 114 theo phương án hiện tại có thể được bố trí trên bề mặt 1001 của nền 100, nhưng sáng chế không bị giới hạn ở đó. Ngoài ra, các đường nhận biết L24, các đường tín hiệu L2b và các đường tín hiệu khác (chẳng hạn như đường quét nhận biết L22) có thể còn được bố trí trên bề mặt 1001 của nền 100, nhưng sáng chế không bị giới hạn ở đó. Theo một phương án hiện tại, khối tách kênh 102 có thể được bố trí trên bề mặt 1002 (có thể còn được gọi là bề mặt thứ nhất) của nền 100, khối tách kênh 104 có thể được bố trí trên bề mặt 1001 (có thể còn được gọi là bề mặt thứ hai) của nền 100, và bề mặt 1001 có thể nằm ở phía khác nhau (hoặc phía đối diện) của nền 100 liên quan đến bề mặt 1002.

Ngoài ra, thiết bị điện tử 10 có thể bao gồm có chọn lọc lớp bảo vệ 148 được bố trí trên bề mặt 1001 của nền 100 và ít nhất che khối cảm biến SU, khối tách kênh 104, chip mạch tích hợp 114, các đường nhận biết L24 hoặc các đường tín hiệu L2b, nhưng sáng chế không bị giới hạn ở đó. Lớp kết dính 144 có thể được bố trí giữa bộ phân cực 142 và lớp bảo vệ 148, nhưng sáng chế không bị giới hạn ở đó. Theo một số phương án, lớp bảo vệ 148 có thể được lược bỏ, và lớp kết dính 144 có thể được sử dụng để che khối cảm biến SU, khối tách kênh 104, chip mạch tích hợp 114, các đường nhận biết L24 hoặc các đường

tín hiệu L2b, nhưng sáng chế không bị giới hạn ở đó. Theo một phương án hiện tại, khối cảm biến SU có thể bao gồm các bộ cảm biến siêu âm hoặc các kiểu bộ cảm biến thích hợp khác.

Cần lưu ý rằng, khái niệm nêu trên để giảm bớt số lượng đường tín hiệu được nối điện với khối hiển thị DU hoặc khối cảm biến SU bởi bộ tách kênh 106 (chẳng hạn như khối tách kênh 102 hoặc khối tách kênh 104) ở vùng ngoại vi PR như được đề cập theo phương án thứ nhất có thể còn được áp dụng theo phương án hiện tại.

Dựa vào Fig.11, mà là hình vẽ mặt cắt sơ lược của thiết bị điện tử theo phương án thứ tám của sáng chế. Phương án hiện tại khác với phương án thứ năm trong đó cả khối tách kênh 102 và khối tách kênh 104 theo phương án hiện tại đều có thể được bố trí trên bề mặt 1002 của nền 100. Một ví dụ là, khối cảm biến SU (chẳng hạn như các khối cảm biến con SSU), chip mạch tích hợp 114, các đường nhận biết L24, các đường tín hiệu L2b hoặc các đường tín hiệu khác (chẳng hạn như các đường quét nhận biết L22) có thể còn được bố trí trên bề mặt 1002 của nền 100, nhưng sáng chế không bị giới hạn ở đó.

Các khối cảm biến con SSU, các đường nhận biết L24 hoặc các đường quét nhận biết L22 (không được thể hiện trên Fig.11) có thể được bố trí ở các bộ phận không trong suốt 122 (chẳng hạn như các đường quét hiển thị L12, các đường dữ liệu L14 v.v.) hoặc các tranzito màng mỏng TD của các điểm ảnh con SP, và khối tách kênh 104 có thể được bố trí trên khối tách kênh 102, nhưng sáng chế không bị giới hạn ở đó. Mặt khác, đường tín hiệu L2b theo phương án hiện tại có thể có phần được gấp lại. Ví dụ, phần được gấp lại này có thể là đường dẫn điện dọc theo bề mặt nghiêng hoặc đường dẫn điện bên trong lỗ thông, trong đó một phần của đường tín hiệu L2b có thể được bố trí trên đường tín hiệu L2a, và phần còn lại của đường tín hiệu L2b có thể được bố trí trên cùng bề mặt với đường tín hiệu L2a sau khi được gấp lại, nhưng sáng chế không bị giới hạn ở đó. Ngoài ra, các đường tín hiệu L2a và các đường tín hiệu L2b có thể đều được nối điện với chip mạch tích hợp 112 thông qua bộ phận dẫn điện 118; do đó, thiết bị điện tử 10 theo phương án hiện tại có thể lược bỏ chip mạch tích hợp 114, nhưng sáng chế không bị giới hạn ở đó.

Dựa vào Fig.12, mà là hình chiếu bằng sơ lược được phóng to của vùng Rx trên Fig.11. Ở vùng Rx, khi các đường tín hiệu L2a và các đường tín hiệu L2b kéo dài trên cùng

bề mặt, thì các đường tín hiệu L2a có thể tách rời khỏi các đường tín hiệu L2b sao cho các đường tín hiệu L2a và các đường tín hiệu L2b có thể được cách điện. Ví dụ, các đường tín hiệu L2a và các đường tín hiệu L2b có thể theo cách khác được bố trí (như được thể hiện trên Fig.12), hoặc các đường tín hiệu L2a và các đường tín hiệu L2b có thể được tách rời bởi các vùng khác nhau, nhưng sáng chế không bị giới hạn ở đó.

Cần lưu ý rằng, khái niệm nêu trên để giảm bớt số lượng đường tín hiệu được nối điện với khối hiển thị DU hoặc khối cảm biến SU bởi bộ tách kênh 106 (chẳng hạn như khối tách kênh 102 hoặc khối tách kênh 104) ở vùng ngoại vi PR như được đề cập theo phương án thứ nhất có thể còn được áp dụng theo phương án hiện tại.

Dựa vào Fig.13, mà là hình vẽ mặt cắt sơ lược của thiết bị điện tử theo phương án thứ chín của sáng chế. Phương án hiện tại khác với phương án thứ tám trong đó các điểm ảnh con SP của khối hiển thị DU theo phương án hiện tại có thể bao gồm các điốt phát quang hữu cơ (organic light-emitting diode, OLED) hoặc các điốt phát quang vô cơ (inorganic light-emitting diode, LED) tự phát và các tranzito màng mỏng được nối điện với các điốt phát quang hữu cơ hoặc điốt phát quang vô cơ. Thiết bị điện tử theo phương án hiện tại có thể chọn không cần được tạo cấu hình với môđun đèn nền. OLED hoặc LED vô cơ có thể bao gồm ít nhất điện cực phía trên, điện cực phía dưới và vật liệu phát quang hữu cơ hoặc vô cơ giữa điện cực phía trên và phía dưới, trong khi điện cực phía dưới có thể được nối điện với tranzito màng mỏng. Mỗi OLED hoặc LED vô cơ có thể được bố trí bên trong lỗ mở của lớp xác định điểm ảnh (pixel defining layer, PDL). Theo phương án hiện tại, vùng của điểm ảnh con SP có thể được xác định bởi lỗ mở của PDL, nhưng sáng chế không bị giới hạn ở đó. Ngoài ra, các bộ phận không trong suốt 122 theo phương án hiện tại có thể ví dụ bao gồm các đường quét hiển thị L12, các đường dữ liệu L14, các đường điện áp chung, các đường công suất hoặc các bộ phận không trong suốt khác, nhưng sáng chế không bị giới hạn ở đó.

Vì vật liệu bán dẫn của điốt kiểu PIN được sử dụng trong khối cảm biến con SSU có thể là không trong suốt, nên khối cảm biến con SSU này cần tránh chồng lên vùng bị chiếm bởi các điểm ảnh con SP có các điốt tự phát theo hướng V, để không ảnh hưởng đến hiệu quả phát sáng; bộ phận không trong suốt 122 có thể được bố trí cạnh một phía của điốt

hoặc được bố trí dưới điốt này, để không ảnh hưởng đến hiệu quả phát sáng. Theo một số phương án, nếu vật liệu bán dẫn của điốt kiểu PIN là trong suốt, thì khối cảm biến con SSU và điểm ảnh con SP có thể được chồng lên. Theo một số phương án khác, khối cảm biến SU có thể là khối cảm biến điện dung. Trong các kịch bản này, vì điện cực của khối cảm biến con SSU có thể là trong suốt (với độ truyền cao) và có ảnh hưởng tối thiểu đến ánh sáng đi qua điểm ảnh con SP, nên khối cảm biến con SSU có thể chồng có chọn lọc, chồng một phần hoặc không chồng tất cả lên điểm ảnh con SP.

Ngoài ra, thiết bị điện tử 10 có thể bao gồm lớp bảo vệ 150 và lớp cách điện 152 trong khi lược bỏ nền 200 theo phương án thứ tám. Lớp bảo vệ 150 có thể được bố trí giữa khối hiển thị DU và khối cảm biến SU, lớp cách điện 152 có thể ít nhất bao gồm khối cảm biến SU hoặc khối tách kênh 104, nhưng sáng chế không bị giới hạn ở đó. Lớp kết dính 123, bộ phân cực 124, lớp kết dính 126 và vỏ che 128 có thể được bố trí trên lớp bảo vệ 148 theo thứ tự như được mô tả, nhưng sáng chế không bị giới hạn ở đó. Một ví dụ là, lớp bảo vệ 150 có thể bao gồm lớp hợp chất của các vật liệu vô cơ/hữu cơ/vô cơ, và lớp cách điện 152 có thể bao gồm các vật liệu cách điện, nhưng sáng chế không bị giới hạn ở đó. Bộ phân cực 124 theo phương án hiện tại có thể bao gồm các bộ phân cực tròn để tạo ra các hiệu quả chống phản xạ, và thiết bị điện tử 10 theo phương án hiện tại có thể lược bỏ bộ phân cực 142 và lớp kết dính 144 theo phương án thứ tám, nhưng sáng chế không bị giới hạn ở đó. Hơn nữa, các đường tín hiệu L2a và các đường tín hiệu L2b ở vùng Rx có thể có các dấu hiệu như được thể hiện trên Fig.12; nhằm mục đích làm ngắn gọn, dựa vào các phần mô tả theo phương án thứ tám, và chúng không được mô tả ở đây một cách dư thừa.

Cần lưu ý rằng, khái niệm nêu trên để giảm bớt số lượng đường tín hiệu được nối điện với khối hiển thị DU hoặc khối cảm biến SU bởi bộ tách kênh 106 (chẳng hạn như khối tách kênh 102 hoặc khối tách kênh 104) ở vùng ngoại vi PR như được đề cập theo phương án thứ nhất có thể còn được áp dụng theo phương án hiện tại.

Tóm lại, thiết bị điện tử theo sáng chế tích hợp khối hiển thị và khối cảm biến vào bên trong vùng hoạt động, trong đó cả khối hiển thị và khối cảm biến đều có thể được nối điện với N đường tín hiệu nằm trong vùng ngoại vi thông qua M đường tín hiệu, và M có thể lớn hơn N. Ở đây, bộ tách kênh có thể được sử dụng để nối điện M đường tín hiệu với

N đường tín hiệu. Theo cách này, số lượng đường tín hiệu nằm trong vùng ngoại vi có thể được giảm bớt, và chi phí sản xuất, thời gian hoặc không gian bị chiếm bởi các đường tín hiệu nằm trong vùng ngoại vi có thể còn bị hạ thấp.

Mặc dù các phương án và ưu điểm của sáng chế đã được mô tả ở trên, cần hiểu rằng người có hiểu biết trung bình trong lĩnh vực kỹ thuật có thể thay đổi, thay thế hoặc sửa đổi các dấu hiệu của sáng chế tùy thuộc vào các yêu cầu về thiết kế mà không lệch khỏi bản chất và phạm vi của sáng chế, miễn là các dấu hiệu này không can thiệp vào nhau và bản chất của sáng chế được duy trì. Cải biến, các thay thế tương đương và cải thiện bất kỳ được bao gồm bởi bản chất của sáng chế cần được xem là đang nằm trong phạm vi của sáng chế.

YÊU CẦU BẢO HỘ

1. Thiết bị điện tử, thiết bị điện tử này bao gồm:

khối hiển thị;

khối cảm biến;

M đường tín hiệu thứ nhất;

N đường tín hiệu thứ hai;

nền thứ nhất và nền thứ hai được bố trí đối diện với nền thứ nhất, trong đó khối hiển thị được bố trí trên nền thứ nhất, và khối cảm biến được bố trí trên nền thứ hai;

khối tách kênh thứ nhất và khối tách kênh thứ hai, trong đó khối tách kênh thứ nhất được nối điện với khối hiển thị, và khối tách kênh thứ hai được nối điện với khối cảm biến, và

chip mạch tích hợp thứ nhất và chip mạch tích hợp thứ hai, trong đó chip mạch tích hợp thứ nhất được nối điện với khối tách kênh thứ nhất và khối hiển thị, và chip mạch tích hợp thứ hai được nối điện với khối tách kênh thứ hai và khối cảm biến,

trong đó khối hiển thị và khối cảm biến đều được nối điện với N đường tín hiệu thứ hai thông qua M đường tín hiệu thứ nhất, M và N là các số tự nhiên, và M lớn hơn N,

trong đó M đường tín hiệu thứ nhất bao gồm M1 đường dữ liệu và M2 đường nhận biết, M1 đường dữ liệu được nối điện giữa khối hiển thị và khối tách kênh thứ nhất, M2 đường nhận biết được nối điện giữa khối cảm biến và khối tách kênh thứ hai, và M1 và M2 là các số tự nhiên,

trong đó N đường tín hiệu thứ hai bao gồm N1 đường tín hiệu và N2 đường tín hiệu, N1 đường tín hiệu được nối điện giữa khối tách kênh thứ nhất và chip mạch tích hợp thứ nhất, N2 đường tín hiệu được nối điện giữa khối tách kênh thứ hai và chip mạch tích hợp thứ hai, và N1 và N2 là số tự nhiên,

trong đó khối tách kênh thứ nhất, chip mạch tích hợp thứ nhất, M1 đường dữ liệu và N1 đường tín hiệu được bố trí trên nền thứ nhất, và khối tách kênh thứ hai, chip mạch tích hợp thứ hai, M2 đường nhận biết và N2 đường tín hiệu được bố trí trên nền thứ hai,

trong đó khối hiển thị bao gồm các điểm ảnh con và khối cảm biến bao gồm các khối cảm biến con, và một trong số các khối cảm biến con được bố trí giữa hai điểm ảnh con liền kề trong số các điểm ảnh con trên hình chiếu bằng của thiết bị điện tử, và

trong đó khoảng hở được bao gồm giữa hai điểm ảnh con liền kề trong số các điểm ảnh con, và ít nhất một phần của một khối cảm biến trong số các khối cảm biến được chồng lên khoảng hở.

2. Thiết bị điện tử theo điểm 1, trong đó M1 lớn hơn M2.

3. Thiết bị điện tử theo điểm 1, trong đó khu vực của khối cảm biến nhỏ hơn khu vực của khối hiển thị.

4. Thiết bị điện tử theo điểm 1, trong đó thiết bị này còn bao gồm vùng hoạt động, trong đó khối tách kênh thứ nhất và khối tách kênh thứ hai được bố trí ở một phía của vùng hoạt động.

5. Thiết bị điện tử theo điểm 1, trong đó thiết bị này còn bao gồm vùng hoạt động, trong đó khối tách kênh thứ nhất và khối tách kênh thứ hai được bố trí ở các phía đối diện của vùng hoạt động.

2/12

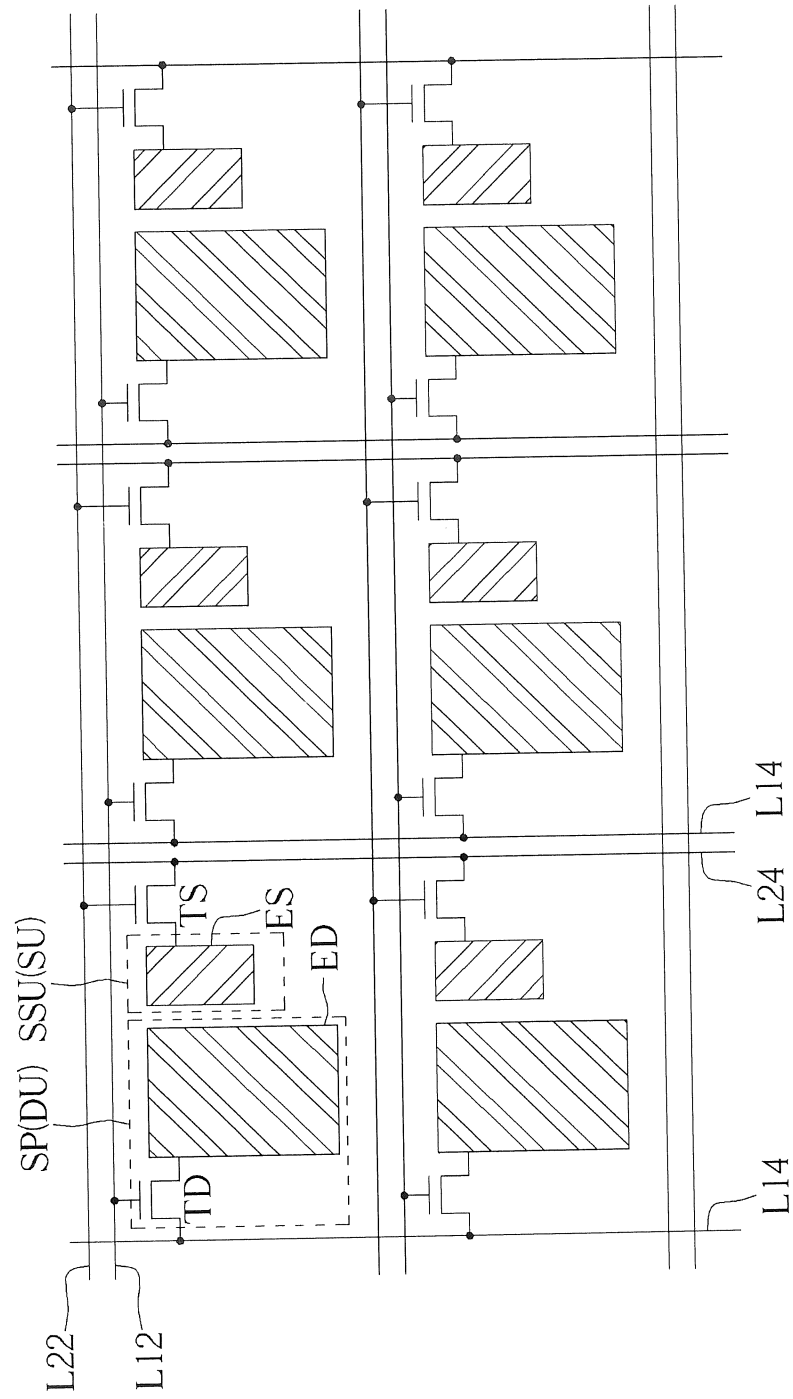


FIG. 2

3/12

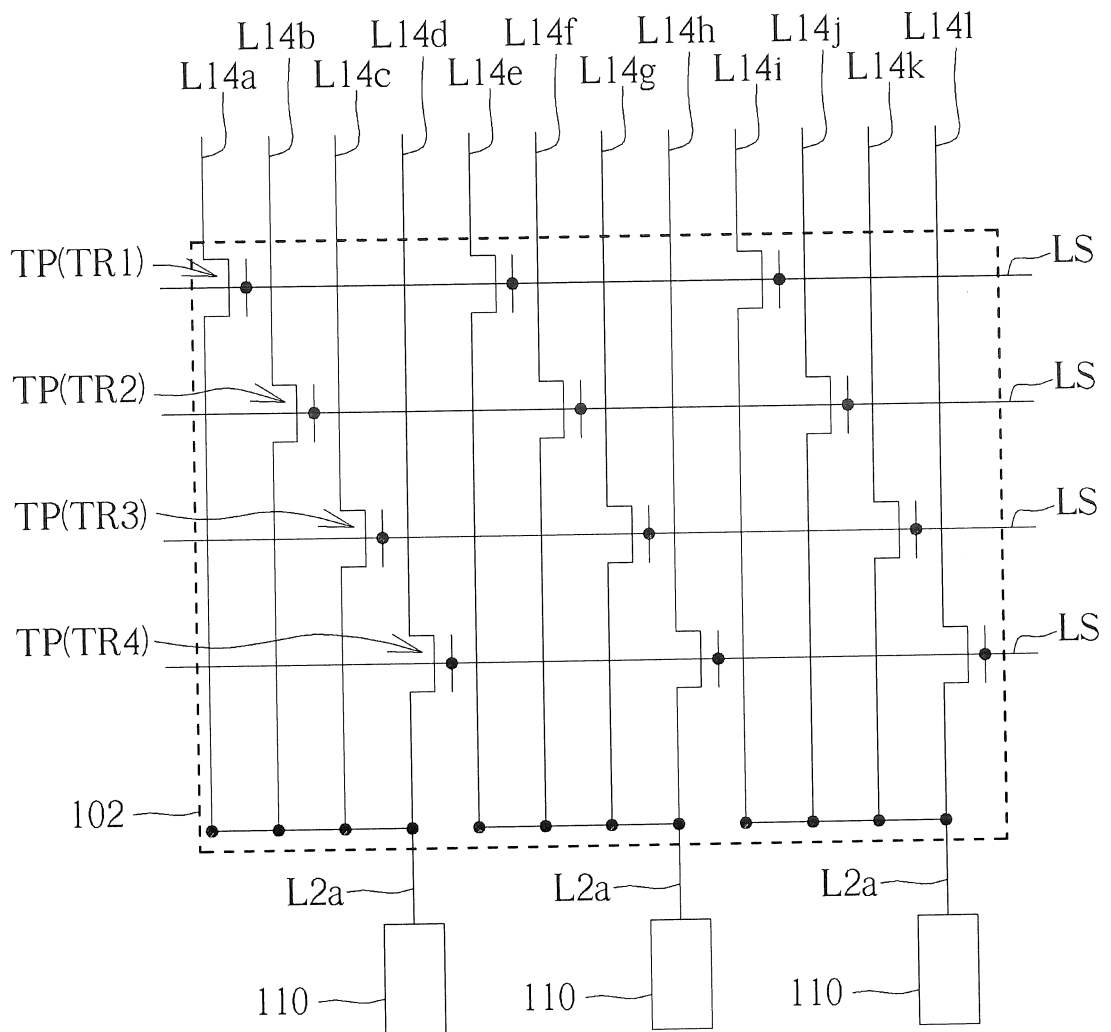


FIG. 3

4/12

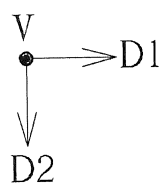
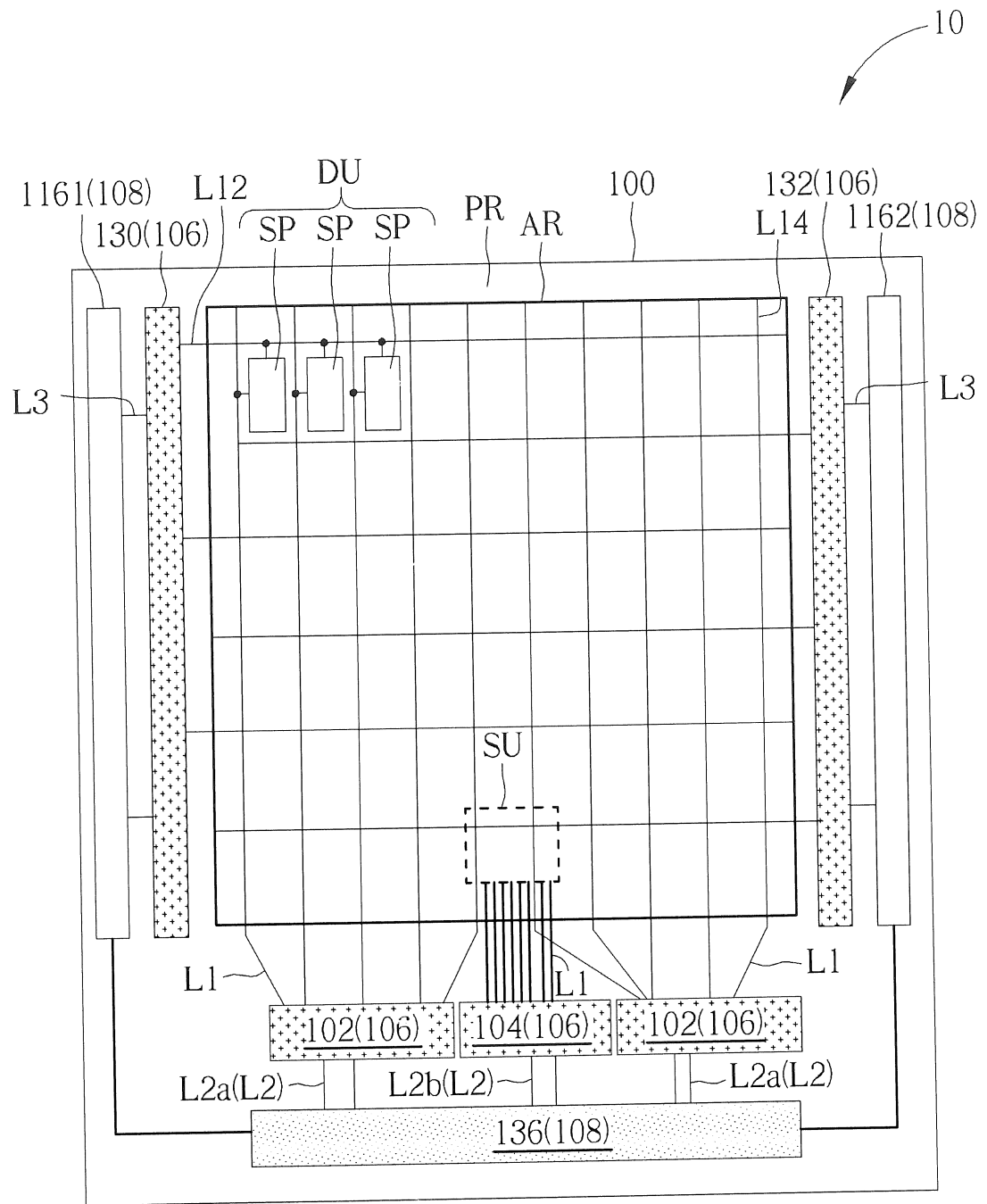


FIG. 4

5/12

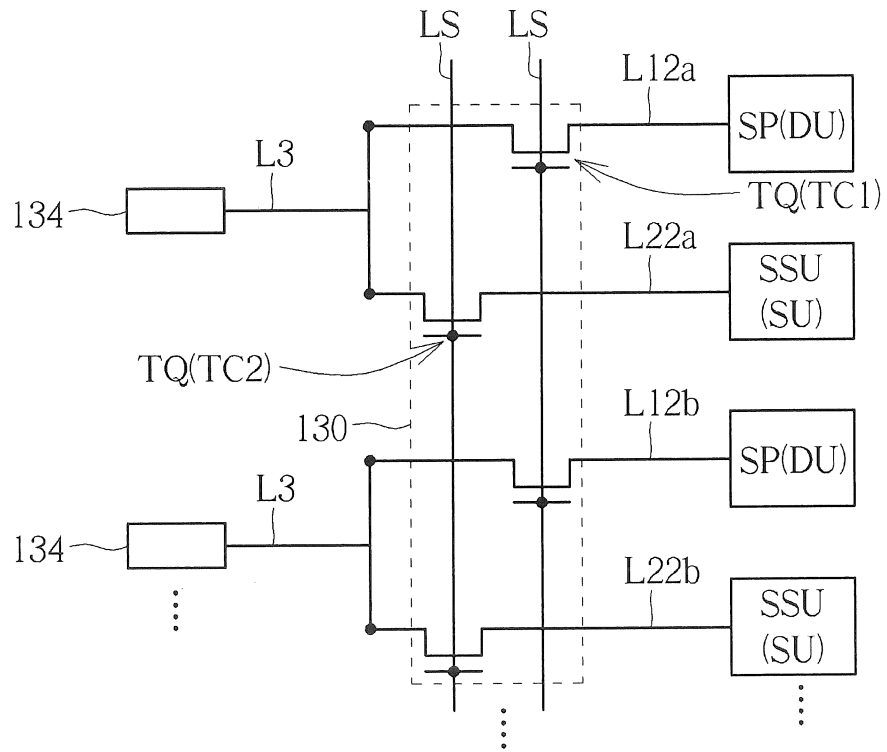


FIG. 5

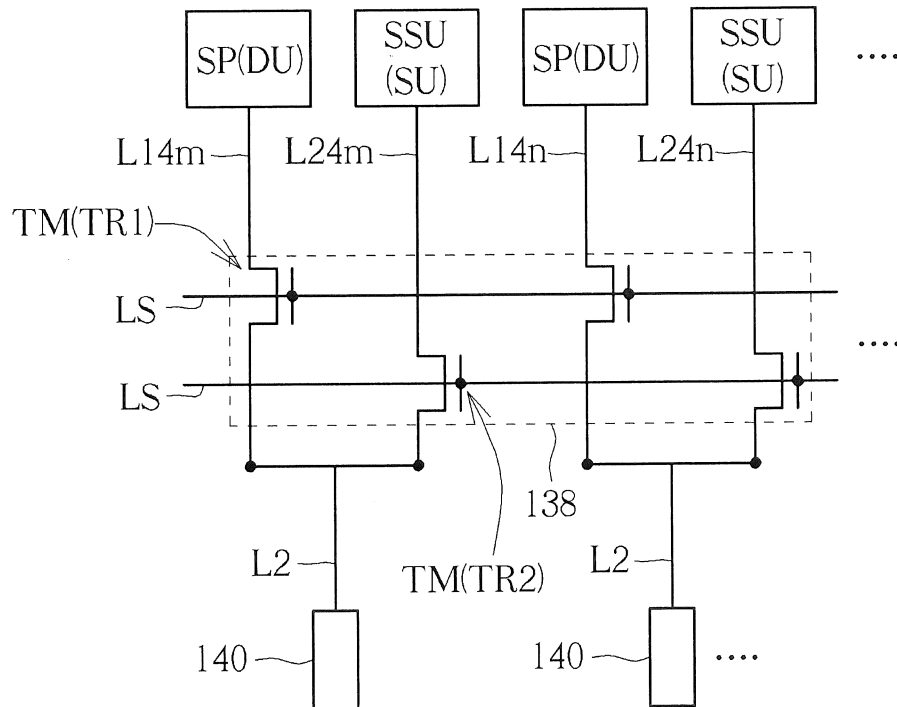


FIG. 6

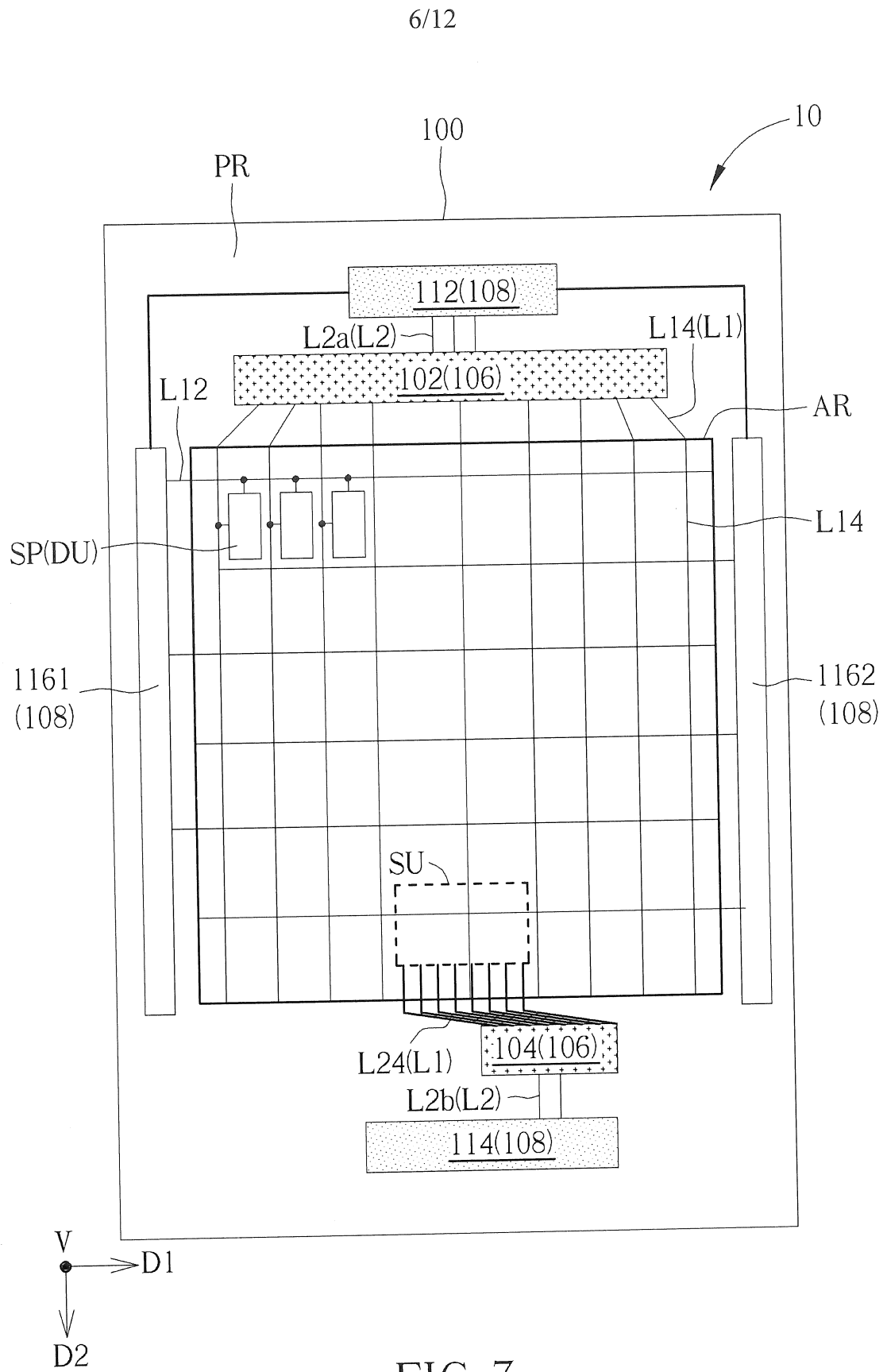


FIG. 7

7/12

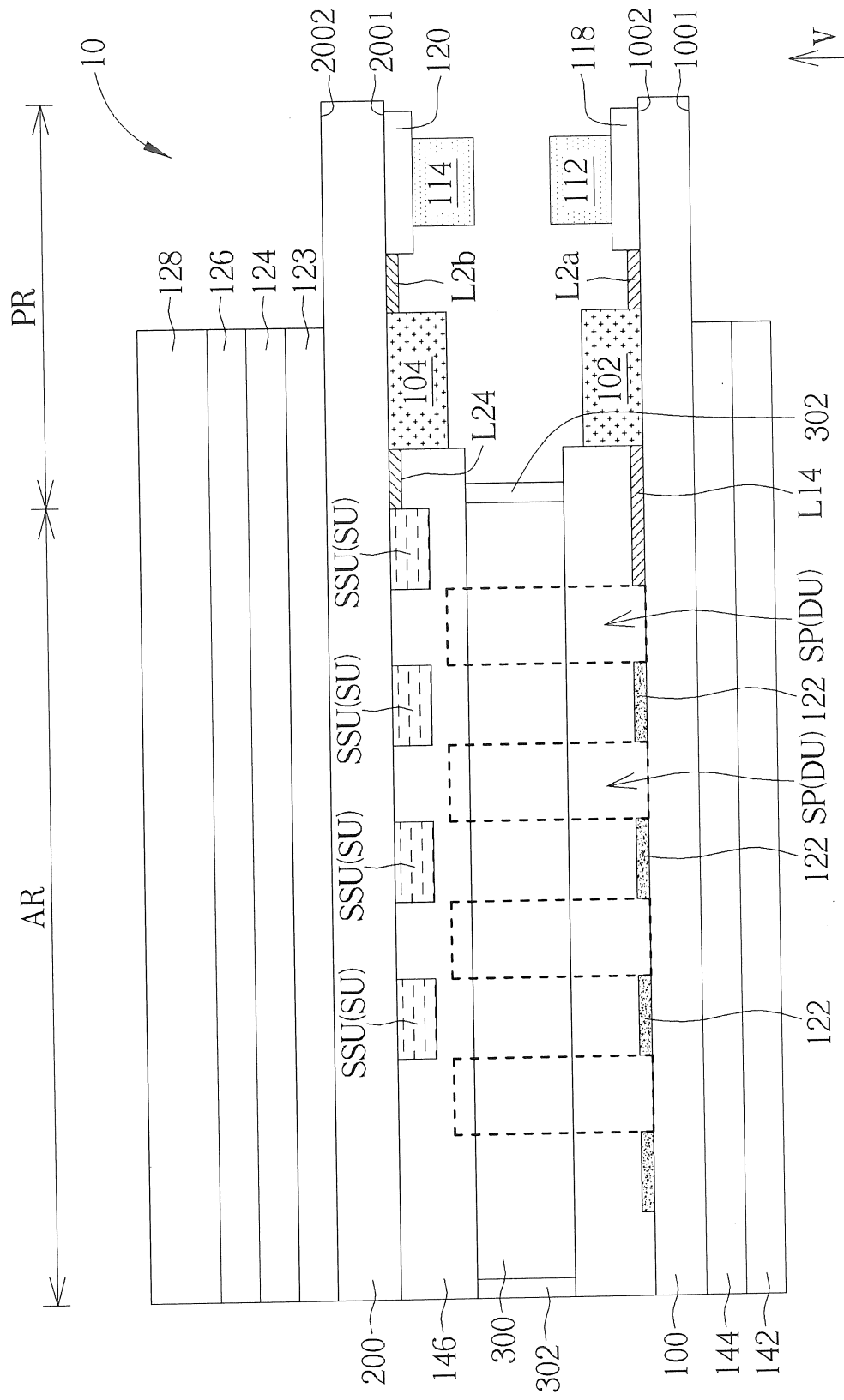


FIG. 8.

8/12

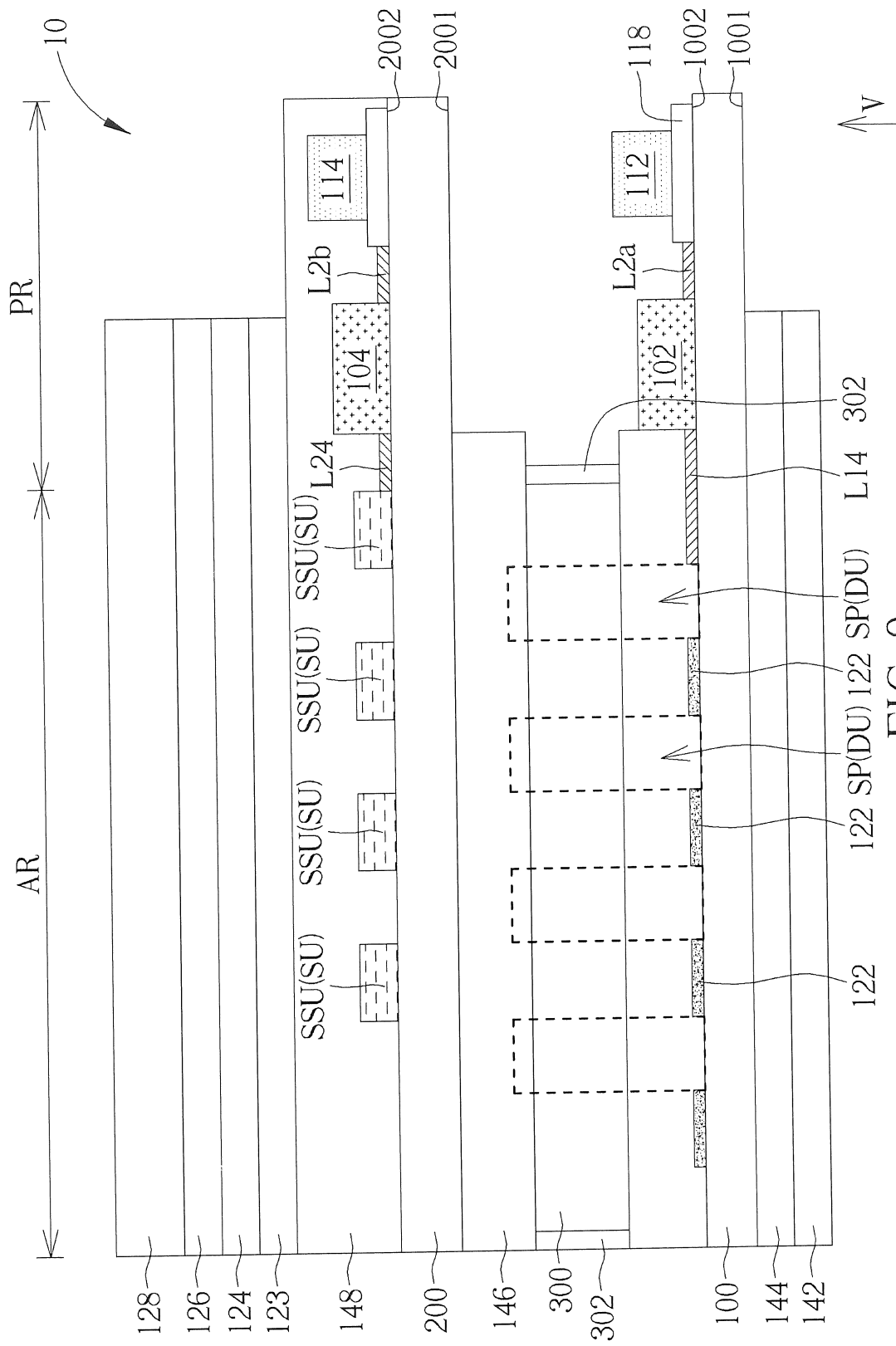


FIG. 9

9/12

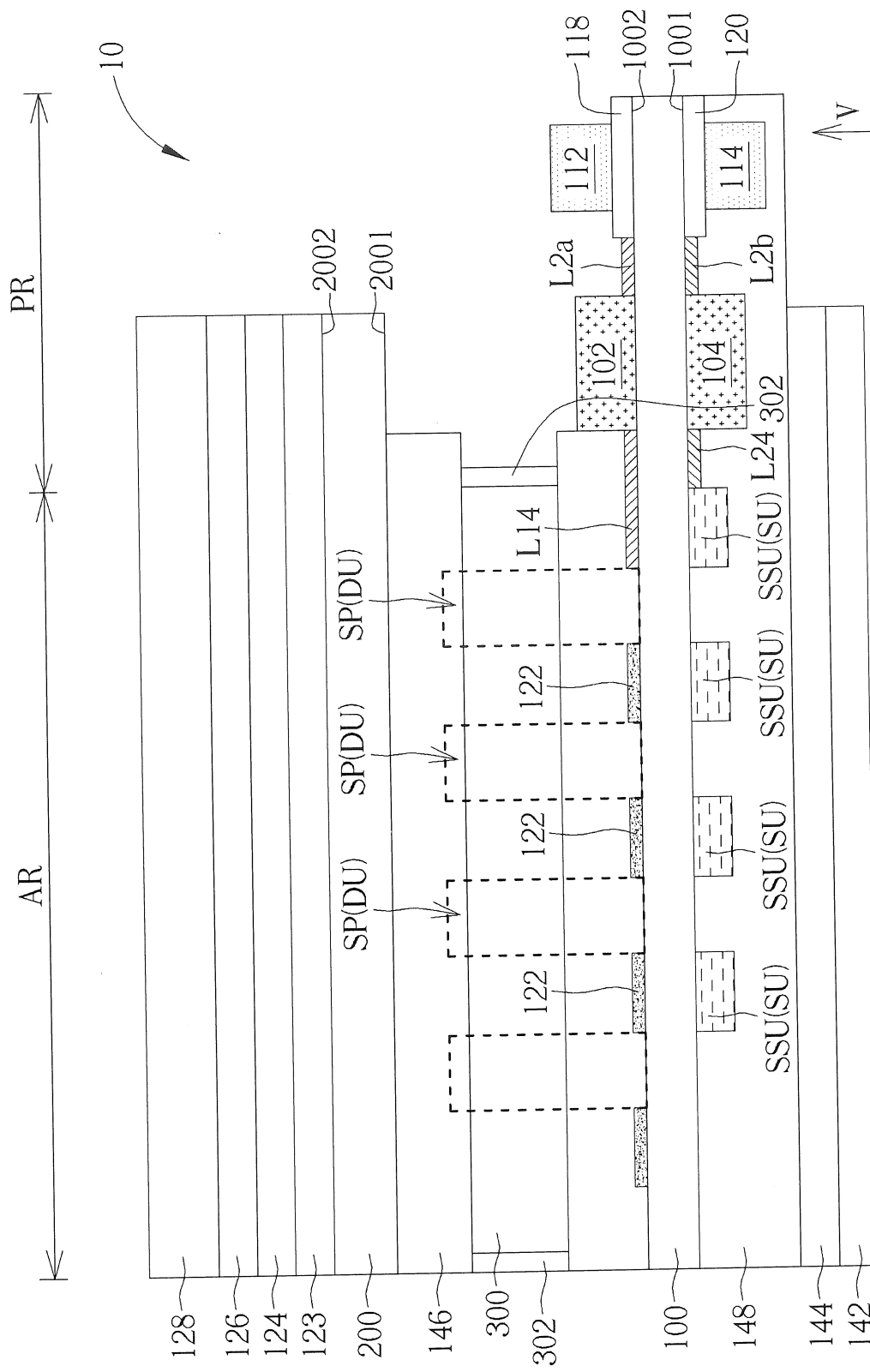


FIG. 10

11/12

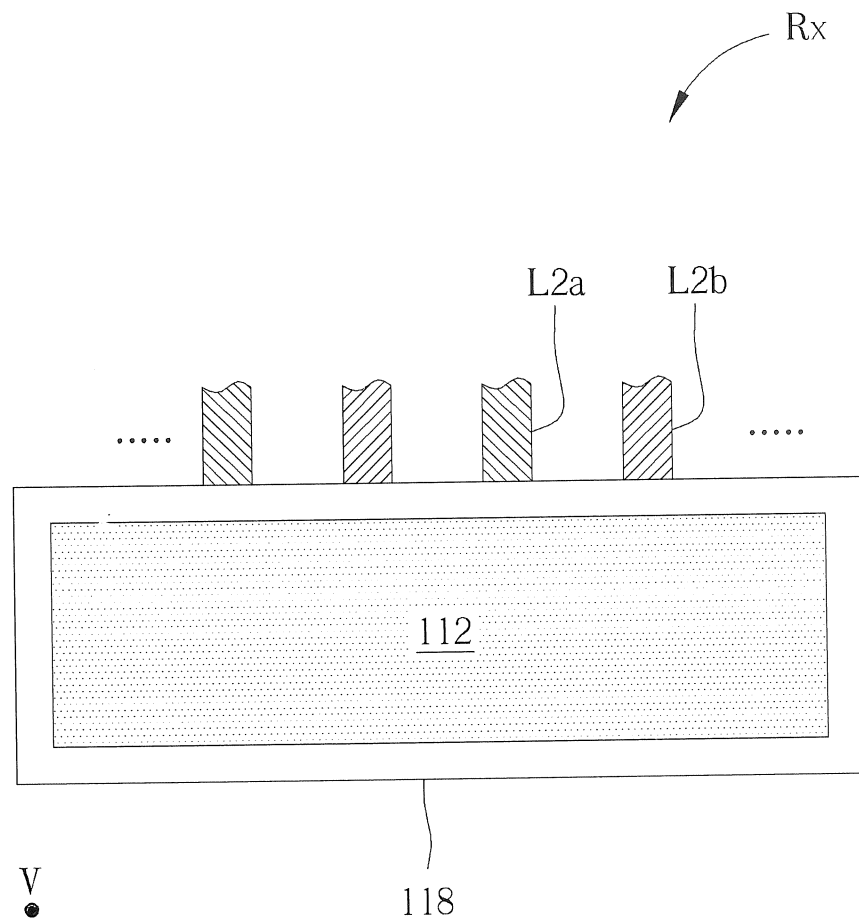


FIG. 12

12/12

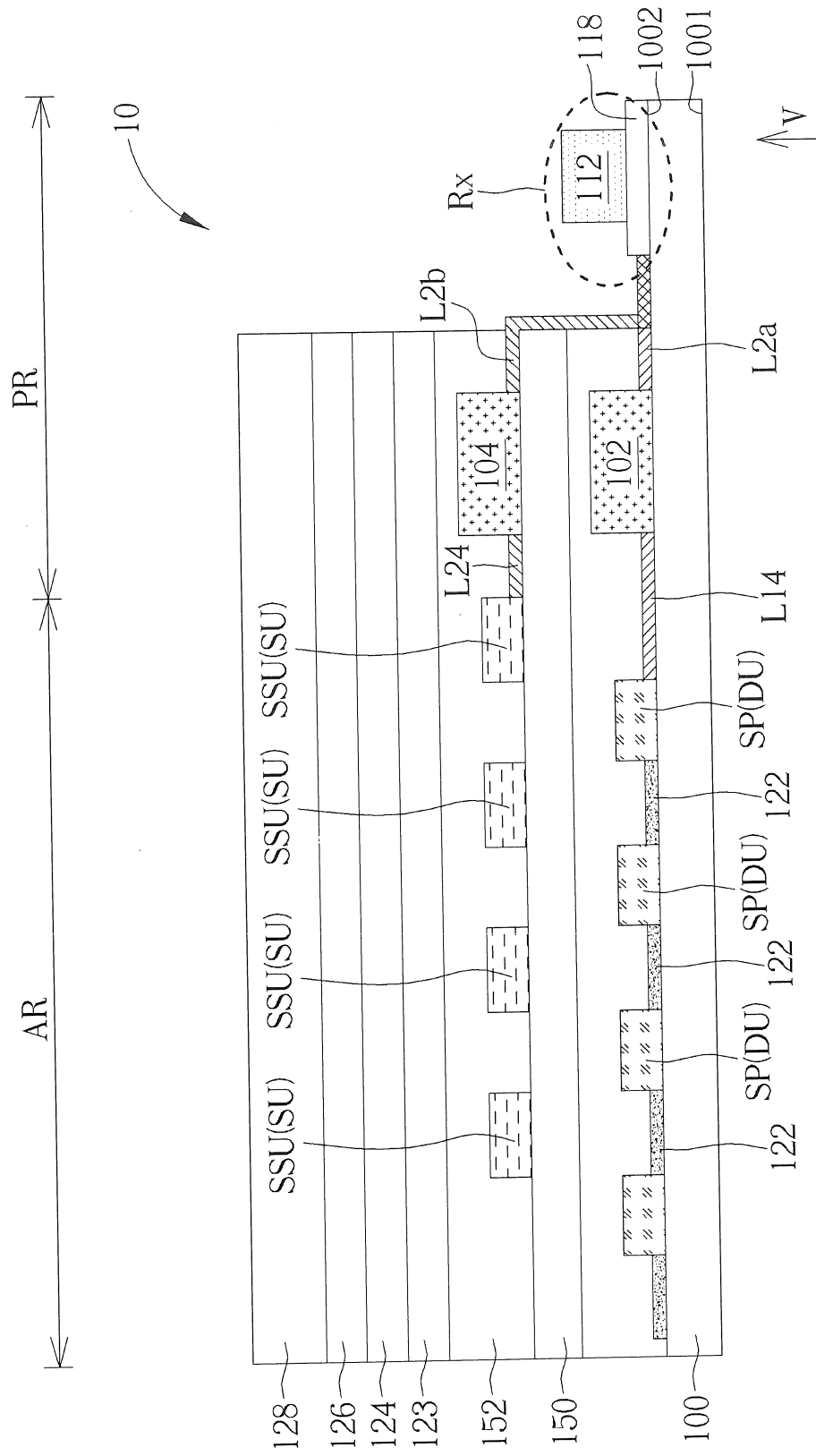


FIG. 13