



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN) (11)
CỤC SỞ HỮU TRÍ TUỆ



1-0052407

(51)^{2022.01} **H03K 3/017; H03K 19/21; H03K 5/156; (13) B**
H03K 5/00; H03K 5/135; H03B 19/14

(21) 1-2023-00076

(22) 07/07/2021

(86) PCT/US2021/040693 07/07/2021

(87) WO 2022/015549 A1 20/01/2022

(30) 16/928,218 14/07/2020 US

(45) 27/10/2025 451

(43) 25/05/2023 422A

(73) Qualcomm Incorporated (US)

ATTN: International IP Administration, 5775 Morehouse Drive, San Diego,
California 92121-1714, United States of America

(72) WU, Jing (CN); DUAN, Ying (CN); ZHU, Zhi (CN).

(74) Công ty TNHH Quốc tế D & N (D&N INTERNATIONAL CO.,LTD.)

(54) BỘ NHÂN ĐÔI TẦN SỐ, BỘ TẠO XUNG NHỊP NỬA TỐC ĐỘ, VÀ PHƯƠNG
PHÁP NHÂN ĐÔI TẦN SỐ CỦA TÍN HIỆU XUNG NHỊP ĐẦU VÀO

(21) 1-2023-00076

(57) Các khía cạnh nhất định của sáng chế nói chung đề cập đến các kỹ thuật và thiết bị để nhân đôi tần số của tín hiệu. Ví dụ, một số khía cạnh nhất định hướng đến mạch nhân đôi tần số chỉ-làm trễ-cạnh lên dựa trên bộ dò tần số pha (phase frequency detector - PFD). Một mạch nhân đôi tần số ví dụ nói chung gồm tầng trễ thứ nhất, tầng trễ thứ hai, PFD thứ nhất, ô trễ điều chỉnh được chỉ-cạnh lên thứ nhất, PFD thứ hai, ô trễ điều chỉnh được chỉ-cạnh lên thứ hai, cổng logic, và bộ so sánh được tạo cấu hình để so sánh giá trị điện áp một chiều (direct-current - DC) của đầu ra cổng logic với điện áp tham chiếu và điều khiển các ô trễ điều chỉnh được chỉ-cạnh lên thứ nhất và thứ hai dựa trên so sánh. Cụ thể, sáng chế đề cập đến bộ nhân đôi tần số, bộ tạo xung nhịp nửa tốc độ, và phương pháp nhân đôi tần số của tín hiệu xung nhịp đầu vào.

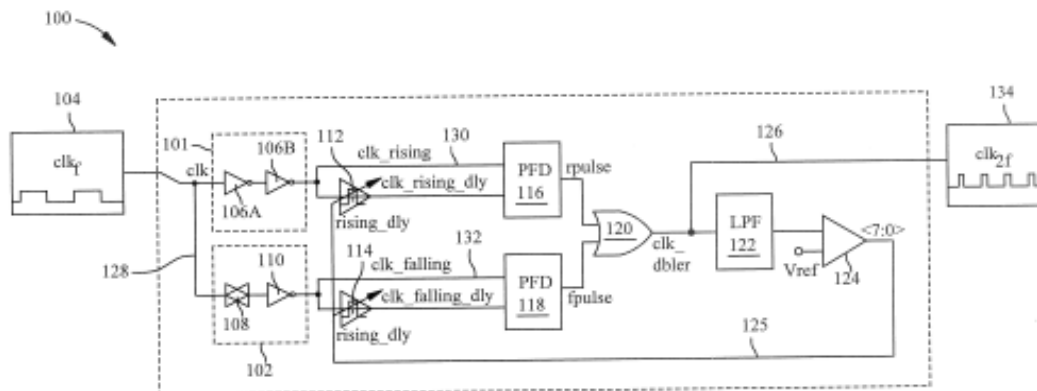


FIG.1

Lĩnh vực kỹ thuật được đề cập

Các khía cạnh nhất định của sáng chế nói chung đề cập đến mạch điện tử, và cụ thể hơn là đến mạch nhân đôi tần số.

Tình trạng kỹ thuật của sáng chế

Các thiết bị điện tử chẳng hạn như máy tính, điện thoại thông minh, máy tính bảng, và thiết bị đeo thường sử dụng các tín hiệu xung nhịp khác nhau có các tần số khác nhau. Thay vì tạo ra riêng biệt nhiều tín hiệu xung nhịp này từ các bộ tạo dao động tinh thể khác nhau, thường sẽ hiệu quả chi phí hơn và tiết kiệm nhiều không gian hơn khi tạo các tín hiệu xung nhịp khác nhau từ một bộ tạo dao động tinh thể duy nhất, chẳng hạn như sử dụng bộ tổng hợp tần số hoặc các mạch phân phối và tạo xung nhịp phù hợp khác. Một ví dụ về các mạch xung nhịp như vậy là bộ nhân đôi tần số, mà nhận tín hiệu xung nhịp đầu vào có tần số đầu vào (f) và tạo ra tín hiệu xung nhịp đầu ra có tần số đầu ra gấp hai lần tần số đầu vào ($2f$).

Bản chất kỹ thuật của sáng chế

Mỗi hệ thống, phương pháp và thiết bị của sáng chế đều có một số khía cạnh, không một khía cạnh duy nhất nào trong số đó chịu trách nhiệm về các thuộc tính mong muốn của nó. Không giới hạn phạm vi bộc lộ này như được diễn đạt bởi các yêu cầu bảo hộ kèm theo, một số đặc điểm sẽ được thảo luận ngắn gọn. Sau khi xem xét phần thảo luận này, và đặc biệt là sau khi đọc phần có tiêu đề “Mô tả chi tiết sáng chế”, người có hiểu biết trung bình trong lĩnh vực kỹ thuật sẽ hiểu cách các đặc điểm của sáng chế mang lại các ưu điểm bao gồm các khả năng nhân đôi tần số tín hiệu xung nhịp chính xác sử dụng ô trễ điều chỉnh được được thiết kế rất tuyến tính và có độ phân giải tốt chỉ cho độ trễ cạnh lên.

Các khía cạnh nhất định của sáng chế nói chung đề cập đến bộ nhân đôi tần số. Đối với một số khía cạnh nhất định, bộ nhân đôi tần số là bộ nhân đôi tần số chỉ-làm trễ-cạnh lên dựa trên bộ dò tần số pha (phase frequency detector - PFD).

Theo các khía cạnh nhất định, sáng chế đề xuất bộ nhân đôi tần số. Bộ nhân đôi tần số thường bao gồm tầng trễ thứ nhất có đầu vào được ghép nối với nút đầu vào của bộ

nhân đôi tần số và tầng trễ thứ hai có đầu vào được ghép nối với nút đầu vào. Bộ nhân đôi tần số cũng thường bao gồm PFD thứ nhất có đầu vào thứ nhất được ghép nối với đầu ra của tầng trễ thứ nhất, ô trễ điều chỉnh được chỉ-cạnh lên thứ nhất có đầu vào được ghép nối với đầu ra của tầng trễ thứ nhất và có đầu ra được ghép nối với đầu vào thứ hai của PFD thứ nhất, PFD thứ hai có đầu vào thứ nhất được ghép nối với đầu ra của tầng trễ thứ hai, và ô trễ điều chỉnh được chỉ-cạnh lên thứ hai có đầu vào được ghép nối với đầu ra của tầng trễ thứ hai và có đầu ra được ghép nối với đầu vào thứ hai của PFD thứ hai. Ngoài ra, bộ nhân đôi tần số thường bao gồm cổng logic có đầu vào thứ nhất được ghép nối với đầu ra của PFD thứ nhất và có đầu vào thứ hai được ghép nối với đầu ra của PFD thứ hai. Bộ nhân đôi tần số nói chung cũng bao gồm bộ so sánh được tạo cấu hình để so sánh giá trị điện áp một chiều (direct-current - DC) của đầu ra của cổng logic với điện áp tham chiếu và để điều khiển các ô trễ điều chỉnh được chỉ-cạnh lên thứ nhất và thứ hai dựa trên so sánh.

Theo các khía cạnh nhất định, sáng chế đề xuất bộ tạo xung nhịp nửa tốc độ. Bộ tạo xung nhịp nửa tốc độ thường bao gồm bộ nhân đôi tần số được mô tả ở đây.

Theo các khía cạnh nhất định, sáng chế được hướng đến phương pháp nhân đôi tần số của tín hiệu xung nhịp đầu vào. Phương pháp này nói chung bao gồm các bước làm trễ tín hiệu xung nhịp đầu vào với độ trễ thứ nhất để tạo ra tín hiệu xung nhịp được làm trễ; đảo ngược và làm trễ tín hiệu xung nhịp đầu vào với độ trễ thứ hai để tạo ra tín hiệu xung nhịp được làm trễ bổ sung; áp dụng độ trễ điều chỉnh được thứ nhất chỉ cho các cạnh lên của tín hiệu xung nhịp được làm trễ để tạo ra tín hiệu xung nhịp được làm trễ-cạnh lên thứ nhất; áp dụng độ trễ điều chỉnh được thứ hai chỉ cho các cạnh lên của tín hiệu xung nhịp được làm trễ bổ sung để tạo ra tín hiệu xung nhịp được làm trễ-cạnh lên thứ hai; xác định các chênh lệch giữa các cạnh lên của tín hiệu xung nhịp được làm trễ và tín hiệu xung nhịp được làm trễ-cạnh lên thứ nhất để tạo ra tín hiệu chênh lệch-cạnh lên thứ nhất; xác định các chênh lệch giữa các cạnh lên của tín hiệu xung nhịp được làm trễ bổ sung và tín hiệu xung nhịp được làm trễ-cạnh lên thứ hai để tạo ra tín hiệu chênh lệch-cạnh lên thứ hai; kết hợp các tín hiệu chênh lệch-cạnh lên thứ nhất và thứ hai để tạo ra tín hiệu kết hợp; so sánh giá trị điện áp DC của tín hiệu kết hợp với điện áp tham chiếu; và điều khiển độ trễ điều chỉnh được thứ nhất và độ trễ điều chỉnh được thứ hai dựa trên so sánh.

Theo các khía cạnh nhất định, sáng chế đề xuất máy để nhân đôi tần số của tín hiệu xung nhịp đầu vào. Máy thường bao gồm phương tiện để làm trễ tín hiệu xung nhịp đầu vào với độ trễ thứ nhất để tạo ra tín hiệu xung nhịp được làm trễ; phương tiện để đảo ngược và làm trễ tín hiệu xung nhịp đầu vào với độ trễ thứ hai để tạo ra tín hiệu xung nhịp được làm trễ bổ sung; phương tiện để áp dụng độ trễ điều chỉnh được thứ nhất chỉ cho các cạnh lên của tín hiệu xung nhịp được làm trễ để tạo ra tín hiệu xung nhịp được làm trễ-cạnh lên thứ nhất; phương tiện để áp dụng độ trễ điều chỉnh được thứ hai chỉ cho các cạnh lên của tín hiệu xung nhịp được làm trễ bổ sung để tạo ra tín hiệu xung nhịp được làm trễ-cạnh lên thứ hai; phương tiện để xác định các chênh lệch giữa các cạnh lên của tín hiệu xung nhịp được làm trễ và tín hiệu xung nhịp được làm trễ-cạnh lên thứ nhất để tạo ra tín hiệu chênh lệch-cạnh lên thứ nhất; phương tiện để xác định các chênh lệch giữa các cạnh lên của tín hiệu xung nhịp được làm trễ bổ sung và tín hiệu xung nhịp được làm trễ-cạnh lên thứ hai để tạo ra tín hiệu chênh lệch-cạnh lên thứ hai; phương tiện để kết hợp các tín hiệu chênh lệch-cạnh lên thứ nhất và thứ hai để tạo ra tín hiệu kết hợp; phương tiện để so sánh giá trị điện áp DC của tín hiệu kết hợp với điện áp tham chiếu; và phương tiện để điều khiển độ trễ điều chỉnh được thứ nhất và độ trễ điều chỉnh được thứ hai dựa trên so sánh.

Để thực hiện các mục đích nói trên và các mục đích liên quan, một hoặc nhiều khía cạnh bao gồm các đặc điểm sau đây được mô tả đầy đủ và được chỉ ra chi tiết trong các yêu cầu bảo hộ. Mô tả sau đây và các hình vẽ kèm theo trình bày chi tiết các đặc điểm minh họa nhất định của một hoặc nhiều khía cạnh. Tuy nhiên, những đặc điểm này chỉ là một số trong số nhiều cách khác nhau trong đó các nguyên tắc về các khía cạnh khác nhau có thể được sử dụng.

Mô tả vắn tắt các hình vẽ

Để có thể hiểu chi tiết các đặc điểm nêu trên của sáng chế, phần mô tả cụ thể hơn, được tóm tắt ngắn gọn ở trên, có thể bằng cách tham chiếu đến các khía cạnh, một số trong đó được minh họa trong các hình vẽ kèm theo. Tuy nhiên, cần lưu ý rằng các hình vẽ được đính kèm chỉ minh họa một số khía cạnh nhất định của sáng chế và do đó không được coi là giới hạn phạm vi của nó, vì phần mô tả có thể thừa nhận các khía cạnh có hiệu quả tương đương khác.

Fig.1 minh họa mạch nhân đôi tần số làm ví dụ, theo các khía cạnh nhất định của sáng chế.

Fig.2 là sơ đồ thời gian minh họa các dạng sóng tín hiệu cho mạch nhân đôi tần số trên Fig.1, ptheo các khía cạnh nhất định của sáng chế.

Fig.3 là lưu đồ của các hoạt động làm ví dụ để nhân đôi tần số của tín hiệu xung nhịp, theo các khía cạnh nhất định của sáng chế.

Để tạo điều kiện dễ hiểu, các số tham chiếu giống hệt nhau đã được sử dụng, khi có thể, để chỉ định các phần tử giống hệt nhau mà chung cho các hình vẽ. Các phần tử được bộc lộ theo một khía cạnh được dự tính rằng có thể được sử dụng một cách hữu ích ở các khía cạnh khác mà không cần nêu lại cụ thể.

Mô tả chi tiết sáng chế

Theo các khía cạnh nhất định, sáng chế nói chung đề cập đến các kỹ thuật và thiết bị để nhân đôi tần số của tín hiệu. Ví dụ, một số khía cạnh nhất định được hướng đến mạch nhân đôi tần số chỉ-làm trễ-cạnh lên dựa trên bộ dò tần số pha (phase frequency detector - PFD).

Ví dụ về mạch nhân đôi tần số

Thông thường, mạch nhân đôi tần số có thể yêu cầu ô trễ có độ phân giải rất tuyến tính và tinh cho cả độ trễ của cạnh lên và cạnh xuống. Tuy nhiên, các ô trễ như vậy có thể rất thách thức và/hoặc tốn kém để thiết kế hoặc triển khai. Ví dụ, ô trễ đối hoặc tìm nguồn hiện tại có thể hiệu quả hầu hết chỉ đối với độ trễ cạnh lên hoặc độ trễ cạnh xuống, chứ không phải cả độ trễ cạnh lên và xuống.

Theo đó, các khía cạnh nhất định của sáng chế đề xuất các kỹ thuật và thiết bị để nhân đôi tần số của tín hiệu đầu vào sử dụng nhiều PFD để triển khai độ trễ chỉ cạnh lên.

Fig.1 minh họa mạch nhân đôi tần số được lấy làm ví dụ 100 (còn được gọi là “bộ nhân đôi tần số”) được tạo cấu hình để nhân đôi tần số của tín hiệu đầu vào, theo các khía cạnh nhất định của sáng chế. Ví dụ, mạch 100 có thể nhận tín hiệu xung nhịp đầu vào 104 với tần số thứ nhất (f) và tạo ra tín hiệu xung nhịp đầu ra 134 với tần số thứ hai bằng hai lần tần số thứ nhất ($2f$). Ví dụ, tín hiệu xung nhịp đầu vào 104 có thể được tạo ra bởi vòng khóa pha (phase-locked loop - PLL) của bộ tổng hợp tần số. Tín hiệu xung nhịp đầu ra 134 có thể có chu kỳ nhiệm vụ 50% hoặc chu kỳ nhiệm vụ mong muốn khác bất kỳ. Mạch nhân đôi tần số 100 có thể gồm tầng trễ thứ nhất 101, tầng trễ thứ hai 102, ô trễ thứ nhất 112, ô trễ thứ hai 114, bộ dò tần số pha (phase frequency detector - PFD) thứ nhất 116 và

PFD thứ hai 118. Mạch nhân đôi tần số 100 có thể còn bao gồm cổng logic 120, bộ lọc 122, và bộ so sánh 124.

Tầng trễ thứ nhất 101 có thể được ghép nối giữa nút đầu vào 128 của mạch 100 và nút 130. Tầng trễ thứ nhất 101 có thể được triển khai, ví dụ, bởi nhiều bộ đảo được kết nối nối tiếp, chẳng hạn như các bộ đảo 106A, 106B (gọi chung là “các bộ đảo 106”), trong đó mỗi bộ đảo góp phần vào độ trễ của tín hiệu xung nhịp đầu vào 104. Tầng trễ thứ nhất 101 có thể có số lượng chẵn các bộ đảo (ví dụ, hai bộ đảo), sao cho tín hiệu đầu ra (được dán nhãn “clk_rising”) từ tầng trễ thứ nhất có thể là phiên bản trễ của tín hiệu xung nhịp đầu vào 104, có các cạnh lên tương ứng.

Tầng trễ thứ hai 102 có thể được ghép nối giữa nút đầu vào 128 và nút 132. Tầng trễ thứ hai 102 có thể được triển khai, ví dụ, bằng cổng truyền 108 được kết nối nối tiếp với bộ đảo 110, như được minh họa trên Fig.1. Kết hợp giữa cổng truyền 108 và bộ đảo 110 có thể làm trễ và đảo ngược tín hiệu xung nhịp đầu vào 104. Cổng truyền 108 có thể có độ trễ tương tự như độ trễ của bộ đảo 110 và có thể được triển khai với công nghệ tương tự như bộ đảo (ví dụ, phần tử làm trễ bán dẫn-oxit-kim loại bổ sung (complementary metal-oxide-semiconductor - CMOS) và bộ đảo CMOS). Tầng trễ thứ hai 102 có thể có số lượng lẻ các bộ đảo (ví dụ, một bộ đảo)—mà có thể ít hơn một so với số lượng các bộ đảo trong tầng trễ thứ nhất 101—sao cho tín hiệu đầu ra (được dán nhãn “clk_falling”) từ tầng trễ thứ hai có thể là phiên bản được làm trễ, được đảo ngược, của tín hiệu xung nhịp đầu vào 104, có các cạnh xuống tương ứng với các cạnh lên của tín hiệu clk_rising và có các cạnh lên tương ứng với các cạnh xuống của tín hiệu clk_rising, như được mô tả trong sơ đồ thời gian 200 của Fig.2. Nói cách khác, clk_rising và clk_falling có thể là các tín hiệu bổ sung.

Đầu ra của tầng trễ thứ nhất 101 có thể được ghép nối với đầu vào thứ nhất của PFD thứ nhất 116 qua nút 130 và với ô trễ thứ nhất 112 qua nút 130. Ô trễ thứ nhất 112 có thể là ô trễ điều chỉnh được, trong một số trường hợp, có thể là ô trễ điều chỉnh được chỉ-cạnh lên, nghĩa là ô trễ áp dụng độ trễ điều chỉnh được (được dán nhãn “rising_dly”) chỉ cho các cạnh lên của tín hiệu đầu vào (ví dụ, clk_rising), nhưng các cạnh xuống của tín hiệu đầu vào vẫn không thay đổi, để tạo ra tín hiệu đầu ra được làm trễ chỉ-cạnh lên (được dán nhãn “clk_rising_dly”). Đầu ra của ô trễ thứ nhất 112 được ghép nối với đầu vào thứ hai của PFD thứ nhất 116.

Tương tự, đầu ra của tầng trễ thứ hai 102 có thể được ghép nối với đầu vào thứ nhất của PFD thứ hai 118 qua nút 132 và với ô trễ thứ hai 114 qua nút 132. Ô trễ thứ hai 114 có thể là ô trễ điều chỉnh được, trong đó một số trường hợp, có thể là ô trễ điều chỉnh được chỉ-cạnh lên, áp dụng độ trễ điều chỉnh được (được dán nhãn “rising_dly”) chỉ cho các cạnh lên của tín hiệu đầu vào (ví dụ, clk_falling) để tạo ra tín hiệu đầu ra được làm trễ chỉ-cạnh lên (được dán nhãn “clk_falling_dly”). Đầu ra của ô trễ thứ hai 114 được ghép nối với đầu vào thứ hai của PFD thứ hai 118.

PFD thứ nhất 116 có thể được tạo cấu hình để xác định sự chênh lệch pha giữa tín hiệu trên đầu vào thứ nhất (ví dụ, clk_rising) và tín hiệu được làm trễ trên đầu vào thứ hai (ví dụ, clk_rising_dly). Tín hiệu đầu ra (được dán nhãn “rpulse”) từ PFD thứ nhất 116 đại diện cho chênh lệch pha này (ví dụ, sự chênh lệch về thời gian giữa các cạnh lên tương ứng của clk_rising và clk_rising_dly) và có thể được coi là một chuỗi các xung chênh lệch-cạnh lên.

Tương tự như vậy, PFD thứ hai 118 có thể được tạo cấu hình để xác định sự chênh lệch pha giữa tín hiệu trên đầu vào thứ nhất (ví dụ, clk_falling) và tín hiệu được làm trễ trên đầu vào thứ hai (ví dụ, clk_falling_dly). Tín hiệu đầu ra (được dán nhãn “fpulse”) từ PFD thứ hai 118 biểu thị sự chênh lệch pha này (ví dụ, sự chênh lệch về thời gian giữa mức tăng tương ứng của clk_falling và clk_falling_dly) và có thể được coi là một chuỗi các xung chênh lệch-cạnh lên.

Các đầu ra của PFD thứ nhất 116 và PFD thứ hai 118 có thể được ghép nối với các đầu vào của cổng logic 120. Ví dụ, cổng logic 120 có thể là cổng OR, cổng OR loại trừ (exclusive OR - XOR), hoặc loại cổng logic phù hợp khác bất kỳ. Theo một số khía cạnh nhất định, cổng logic có thể được thay thế bằng một mạch logic (ví dụ, với nhiều cổng logic) được tạo cấu hình để thực hiện các hoạt động logic trên ít nhất các tín hiệu rpulse và fpulse. Cổng logic 120 có thể được tạo cấu hình để cung cấp tín hiệu đầu ra (được dán nhãn “clk_dbler”) cho nút đầu ra 126, sao cho đầu ra của cổng logic 120 có thể cung cấp tín hiệu xung nhịp đầu ra 134 cho mạch nhân đôi tần số 100. Theo một số khía cạnh nhất định, tín hiệu xung nhịp đầu ra 134 (clk_{2f}) có thể có tần số gấp đôi tần số của tín hiệu xung nhịp đầu vào 104 (clk_f).

Đầu ra của cổng logic 120 cũng có thể được ghép nối với đầu vào của bộ lọc 122. Theo một số khía cạnh nhất định, bộ lọc 122 có thể là bộ lọc thông thấp và có thể được

triển khai bởi một hoặc nhiều tầng điện trở-điện dung. Trong trường hợp này, tín hiệu đầu ra (clk_dbler) từ cổng logic 120 có thể được chuyển đổi thành giá trị DC thông qua bộ lọc 122 theo chu kỳ nhiệm vụ của tín hiệu clk_dbler. Đầu ra của bộ lọc 122 có thể được ghép nối với đầu vào thứ nhất của bộ so sánh 124, trong khi đầu vào thứ hai của bộ so sánh được ghép nối với nút có điện áp tham chiếu (V_{ref}). Ví dụ, V_{ref} có thể là $0,5V_{dd}$, trong đó V_{dd} là điện áp đường nguồn để cấp nguồn cho các linh kiện khác nhau, chẳng hạn như cổng logic 120 (và bộ so sánh 124). Theo một số khía cạnh nhất định, V_{ref} có thể lớn hơn $0,5V_{dd}$, hoặc, nhỏ hơn $0,5V_{dd}$, tùy thuộc vào chu kỳ nhiệm vụ mong muốn của tín hiệu clk_dbler.

Bộ so sánh 124 có thể còn được tạo cấu hình để xuất ra tín hiệu điều khiển (được dán nhãn “rising_dly”) qua các đường điều khiển 125 (ví dụ, bus điều khiển), sao cho đầu ra của bộ so sánh được ghép nối với các đầu vào điều khiển của ô trễ thứ nhất 112 và ô trễ thứ hai 114. Đầu ra của bộ so sánh 124 có thể là 8 bit, như được minh họa trên Fig.1. Theo các khía cạnh khác, đầu ra của bộ so sánh 124 có thể là bất kỳ trong các độ dài bit phù hợp khác nhau. Giá trị của tín hiệu điều khiển là hàm của chênh lệch giữa đầu vào được lọc từ 122 và V_{ref} (mà có thể đại diện cho chênh lệch trong các chu kỳ nhiệm vụ giữa tín hiệu clk_dbler và chu kỳ nhiệm vụ đại diện của V_{ref}). Ví dụ, đầu vào thứ nhất có thể là $0,45V_{dd}$ (biểu diễn chu kỳ nhiệm vụ clk_dbler là 45%), trong khi $V_{ref} = 0,5V_{dd}$ (biểu diễn chu kỳ nhiệm vụ mong muốn là 50%). Sự chênh lệch có thể dẫn đến việc bộ so sánh 124 điều chỉnh giá trị của tín hiệu điều khiển để làm tăng chu kỳ nhiệm vụ của tín hiệu clk_dbler (ví dụ, bằng cách tăng độ trễ điều chỉnh được của các ô trễ thứ nhất và thứ hai 112, 114). Theo cách này, bộ lọc 122, bộ so sánh 124, và các ô độ trễ điều chỉnh được hoạt động như cơ chế phản hồi cho mạch nhân đôi tần số 100.

Fig.2 là sơ đồ thời gian 200 minh họa các dạng sóng tín hiệu khác nhau cho mạch nhân đôi tần số 100 của Fig.1, theo các khía cạnh nhất định của sáng chế. Như được thể hiện, tín hiệu clk_rising được thể hiện có chu kỳ nhiệm vụ xấp xỉ 50% với một tần số cụ thể (f). Như được thể hiện, tín hiệu clk_falling là phiên bản đảo ngược của tín hiệu clk_rising. Tín hiệu clk_falling có thể được tạo ra thông qua việc đảo (và làm trễ) tín hiệu xung nhịp đầu vào 104 qua tầng trễ thứ hai 102 (ví dụ, bộ đảo 110).

Như được thể hiện, tín hiệu clk_rising_dly có cùng thời gian cạnh xuống như tín hiệu clk_rising (ví dụ, thời gian 206). Tuy nhiên, tín hiệu clk_rising_dly có cạnh lên xảy

ra muộn hơn (ví dụ, thời gian 204) so với cạnh lên của tín hiệu `clk_rising` (ví dụ, thời gian 202). Ngoài ra, như được thể hiện, tín hiệu `clk_falling_dly` có cùng thời gian cạnh xuống như tín hiệu `clk_falling` (ví dụ, thời gian 210). Tuy nhiên, tín hiệu `clk_falling_dly` có cạnh lên xảy ra muộn hơn (ví dụ, thời gian 208) so với cạnh lên của tín hiệu `clk_falling` (ví dụ, thời gian 206).

Như được thể hiện, tín hiệu `rpulse` đại diện cho sự chênh lệch giữa các cạnh lên (ví dụ, thời gian 202 đến thời gian 204) của các tín hiệu `clk_rising` và `clk_rising_dly` như được xác định bởi PFD thứ nhất 116. Tương tự, như được thể hiện, tín hiệu `fpulse` đại diện cho sự chênh lệch giữa các cạnh lên (ví dụ, thời gian 206 đến thời gian 208) của các tín hiệu `clk_falling` và `clk_falling_dly` được xác định bởi PFD thứ hai 118.

Như được thể hiện, tín hiệu `clk_dbler` có thể đại diện cho đầu ra của việc thực hiện các phép toán logic (OR hoặc XOR) trên các tín hiệu `rpulse` và `fpulse`, sao cho các tín hiệu `rpulse` và `fpulse` có thể được kết hợp một cách hiệu quả. Theo cách này, tín hiệu `clk_dbler` có tần số gấp đôi tần số của tín hiệu `clk_rising`.

Ví dụ về các phương pháp nhân đôi tần số

Fig.3 là lưu đồ của các hoạt động được lấy làm ví dụ 300 để nhân đôi tần số của tín hiệu xung nhịp đầu vào, theo các khía cạnh nhất định của sáng chế. Các hoạt động 300 có thể được thực hiện bởi bộ nhân đôi tần số, chẳng hạn như mạch nhân đôi tần số 100 của Fig.1.

Các hoạt động 300 có thể bắt đầu, tại khối 305, với bộ nhân đôi tần số làm trễ tín hiệu xung nhịp đầu vào (ví dụ, tín hiệu xung nhịp đầu vào 104) với độ trễ thứ nhất (ví dụ, qua tầng trễ thứ nhất 101) để tạo ra tín hiệu xung nhịp được làm trễ (ví dụ, `clk_rising`). Tại khối 310, bộ nhân đôi tần số có thể đảo ngược và làm trễ tín hiệu xung nhịp đầu vào với độ trễ thứ hai (ví dụ, qua tầng trễ thứ hai 102) để tạo ra tín hiệu xung nhịp được làm trễ bổ sung (ví dụ, `clk_falling`).

Tại khối 315, bộ nhân đôi tần số có thể áp dụng độ trễ điều chỉnh được thứ nhất (ví dụ, `rising_dly` với ô trễ thứ nhất 112) chỉ cho các cạnh lên của tín hiệu xung nhịp được làm trễ để tạo ra tín hiệu xung nhịp được làm trễ-cạnh lên thứ nhất (ví dụ, `clk_rising_dly`). Tại khối 320, bộ nhân đôi tần số có thể áp dụng độ trễ điều chỉnh được thứ hai (ví dụ, `rising_dly` với ô trễ điều chỉnh được thứ hai 114) chỉ cho các cạnh lên của tín hiệu xung nhịp được

làm trễ bổ sung để tạo ra tín hiệu xung nhịp được làm trễ-cạnh lên thứ hai (ví dụ, `clk_falling_dly`).

Tại khối 325, bộ nhân đôi tần số có thể xác định các chênh lệch giữa các cạnh lên của tín hiệu xung nhịp được làm trễ và tín hiệu xung nhịp được làm trễ-cạnh lên thứ nhất (ví dụ, thông qua PFD thứ nhất 116) để tạo ra tín hiệu chênh lệch-cạnh lên thứ nhất (ví dụ, `rpulse`). Tại khối 330, bộ nhân đôi tần số có thể xác định các chênh lệch giữa các cạnh lên của tín hiệu xung nhịp được làm trễ bổ sung và tín hiệu xung nhịp được làm trễ-cạnh lên thứ hai (ví dụ, thông qua PFD thứ hai 118) để tạo ra tín hiệu chênh lệch-cạnh lên thứ hai (ví dụ, `fpulse`).

Bộ nhân đôi tần số có thể kết hợp các tín hiệu chênh lệch-cạnh lên thứ nhất và thứ hai tại khối 335 để tạo ra tín hiệu kết hợp (ví dụ, `clk_dblcr`). Tín hiệu kết hợp có thể có tần số gấp đôi tín hiệu xung nhịp đầu vào. Theo một số khía cạnh nhất định, tín hiệu kết hợp có chu kỳ nhiệm vụ là 50%.

Đối với một số khía cạnh nhất định, bộ nhân đôi tần số so sánh giá trị điện áp một chiều (DC) của tín hiệu kết hợp với điện áp tham chiếu (ví dụ, $0,5 \cdot V_{dd}$) tại khối 340. Trong trường hợp này, bộ nhân đôi tần số có thể điều khiển độ trễ điều chỉnh được thứ nhất và/hoặc độ trễ điều chỉnh được thứ hai dựa trên so sánh (ví dụ, với bộ so sánh 124) tại khối 345.

Theo một số khía cạnh, việc làm trễ tín hiệu xung nhịp đầu vào với độ trễ thứ nhất tại khối 305 có thể dẫn đến việc đảo tín hiệu xung nhịp đầu vào và đảo tín hiệu xung nhịp đã đảo để tạo ra tín hiệu xung nhịp được làm trễ. Ví dụ, tín hiệu xung nhịp đầu vào 104 có thể được xử lý bởi cả hai bộ đảo 106. Đối với một số khía cạnh nhất định, việc đảo và làm trễ tín hiệu xung nhịp đầu vào với độ trễ thứ hai tại khối 310 liên quan đến việc làm trễ tín hiệu xung nhịp đầu vào với cổng truyền và đảo tín hiệu xung nhịp đầu vào được làm trễ để tạo ra tín hiệu xung nhịp được làm trễ bổ sung. Ví dụ, tín hiệu xung nhịp đầu vào 104 có thể được xử lý bởi cổng truyền 108 và bộ đảo 110.

Theo các khía cạnh nhất định, việc xác định các chênh lệch giữa các cạnh lên của tín hiệu xung nhịp được làm trễ và tín hiệu xung nhịp được làm trễ-cạnh lên thứ nhất tại khối 325 bao gồm sử dụng PFD thứ nhất (ví dụ, PFD thứ nhất 116) để tạo ra tín hiệu chênh lệch-cạnh lên thứ nhất (ví dụ, `rpulse`) từ tín hiệu xung nhịp được làm trễ (ví dụ, `clk_rising`)

và tín hiệu xung nhịp được làm trễ-cạnh lên thứ nhất (ví dụ, `clk_rising_dly`). Theo các khía cạnh nhất định, việc xác định sự chênh lệch giữa các cạnh lên của tín hiệu xung nhịp được làm trễ bổ sung và tín hiệu xung nhịp được làm trễ-cạnh lên thứ hai tại khối 430 liên quan đến việc sử dụng PFD thứ hai (ví dụ, PFD thứ hai 118) để tạo ra tín hiệu chênh lệch-cạnh lên thứ hai (ví dụ, `fpulse`) từ tín hiệu xung nhịp được làm trễ bổ sung (ví dụ, `clk_falling`) và tín hiệu xung nhịp được làm trễ-cạnh lên thứ hai (ví dụ, `clk_falling_dly`).

Theo một số khía cạnh nhất định, việc kết hợp các tín hiệu chênh lệch-cạnh lên thứ nhất và thứ hai tại khối 335 dẫn đến việc sử dụng cổng logic XOR (ví dụ, cổng logic 120) để tạo ra tín hiệu kết hợp (ví dụ, `clk_dbler`) từ các tín hiệu chênh lệch-cạnh lên thứ nhất và thứ hai.

Theo các khía cạnh nhất định, các hoạt động 300 có thể còn bao gồm lọc thông thấp (ví dụ, với bộ lọc 122) tín hiệu kết hợp để tạo ra giá trị điện áp DC của tín hiệu kết hợp.

Kết luận

Các khía cạnh nhất định của sáng chế đề xuất bộ nhân đôi tần số, có thể là bộ nhân đôi tần số chỉ-làm trễ-cạnh lên dựa trên PFD. Bộ nhân đôi tần số như vậy có thể phát hiện chênh lệch cạnh giữa hai tín hiệu được làm trễ với PFD, kết hợp (ví dụ, thêm) kết quả PFD được làm trễ-cạnh lên với kết quả PFD được làm trễ-cạnh xuống, lấy giá trị DC (với bộ lọc thông thấp) của tín hiệu kết hợp, và so sánh giá trị DC này với tham chiếu điện áp ($V_{dd}/2$). Sau đó, bộ nhân đôi tần số có thể điều chỉnh độ trễ cạnh lên dựa trên so sánh. Theo cách này, bộ nhân đôi tần số có thể hoạt động với hiệu suất cao trong môi trường chỉ-làm trễ-cạnh lên và có thể sử dụng ô trễ được thiết kế rất tuyến tính và có độ phân giải tinh trên chỉ cạnh lên, thay vì cả cạnh lên và cạnh xuống.

Trong sáng chế, từ "làm ví dụ" được sử dụng có nghĩa là "được dùng như một ví dụ, trường hợp, hoặc minh họa". Bất kỳ triển khai hoặc khía cạnh nào được mô tả ở đây là "làm ví dụ" không nhất thiết phải được hiểu là được ưu tiên hoặc có lợi hơn các khía cạnh khác của sáng chế. Tương tự như vậy, thuật ngữ "các khía cạnh" không yêu cầu rằng tất cả các khía cạnh của sáng chế gồm đặc điểm, ưu điểm, hoặc phương thức hoạt động được thảo luận. Thuật ngữ "được ghép nối" được sử dụng ở đây để chỉ sự ghép nối trực tiếp hoặc gián tiếp giữa hai đối tượng. Ví dụ, nếu đối tượng A tiếp xúc vật lý với đối tượng B và đối tượng B tiếp xúc với đối tượng C, thì các đối tượng A và C vẫn có thể được coi

là được ghép nối với nhau—ngay cả khi đối tượng A và C không trực tiếp chạm vào nhau. Chẳng hạn, đối tượng thứ nhất có thể được ghép nối với đối tượng thứ hai mặc dù đối tượng thứ nhất không bao giờ tiếp xúc trực tiếp với đối tượng thứ hai. Các thuật ngữ "mạch" và "hệ mạch" được sử dụng rộng rãi và nhằm mục đích gồm cả triển khai phần cứng của các thiết bị điện và các dây dẫn, khi được kết nối và được tạo cấu hình, cho phép thực hiện các chức năng được mô tả trong sáng chế, mà không giới hạn ở kiểu mạch điện.

Thiết bị và phương pháp được mô tả trong phần mô tả chi tiết được minh họa trong các hình vẽ đi kèm theo với nhiều khối, môđun, thành phần, mạch, bước, quy trình, thuật toán, v.v. (được gọi chung là “các phần tử”). Các phần tử này có thể được triển khai, ví dụ, bằng cách sử dụng phần cứng. Ví dụ, phương tiện để làm trễ có thể bao gồm phần tử làm trễ, chẳng hạn như bộ đảo (ví dụ, các bộ đảo 106 hoặc bộ đảo 110, như được minh họa trên Fig.1), cổng truyền (ví dụ, cổng truyền 108 như được mô tả trên Fig.1), hoặc ô trễ (ví dụ, ô trễ thứ nhất 112 hoặc ô trễ thứ hai 114 như được thể hiện trên Fig.1). Phương tiện để đảo có thể bao gồm bộ đảo (ví dụ, các bộ đảo 106 hoặc bộ đảo 110, như được mô tả trên Fig.1). Phương tiện để áp dụng độ trễ có thể bao gồm ô trễ (ví dụ, ô trễ thứ nhất 112 hoặc ô trễ thứ hai 114 như được minh họa trên Fig.1). Phương tiện để xác định các chênh lệch có thể bao gồm bộ dò pha, chẳng hạn như bộ dò tần số pha (PFD) (ví dụ, PFD thứ nhất 116 hoặc PFD thứ hai 118 như được minh họa trên Fig.1). Phương tiện để kết hợp có thể bao gồm bộ kết hợp, bộ cộng, hoặc cổng logic (ví dụ, cổng logic 122 như được mô tả trên Fig.1). Phương tiện để so sánh có thể bao gồm bộ so sánh (ví dụ, bộ so sánh 124 như được mô tả trên Fig.1). Phương tiện để điều khiển có thể bao gồm một hoặc nhiều tín hiệu điều khiển được gửi trên một hoặc nhiều đường điều khiển (ví dụ, các đường điều khiển 125 với các tín hiệu rising_dly, như được thể hiện trên Fig.1). Phương tiện để tạo có thể bao gồm bất kỳ trong các mạch điện phù hợp khác nhau để thiết lập điện áp, chẳng hạn như bộ tạo điện áp tham chiếu, điốt Zener, bộ chia điện áp, bộ đệm, bộ điều chỉnh điện áp, và loại tương tự.

Một hoặc nhiều thành phần, bước, đặc điểm, và/hoặc chức năng được minh họa ở đây có thể được sắp xếp lại và/hoặc được kết hợp thành một thành phần, bước, đặc điểm, hoặc chức năng duy nhất hoặc được biểu hiện trong một số thành phần, bước, hoặc chức năng. Các phần tử, thành phần, bước, và/hoặc chức năng bổ sung cũng có thể được thêm vào mà không ra khỏi phạm vi các đặc điểm được bộc lộ ở đây. Máy, các thiết bị, và/hoặc

các thành phần được minh họa ở đây có thể được tạo cấu hình để thực hiện một hoặc nhiều phương pháp, đặc điểm, hoặc bước được mô tả ở đây.

Cần hiểu rằng thứ tự hoặc thứ bậc cụ thể của các bước trong các phương pháp được bộc lộ là minh họa cho các quy trình làm ví dụ. Dựa trên các ưu tiên thiết kế, cần hiểu rằng thứ tự hoặc thứ bậc cụ thể của các bước trong các phương pháp có thể được sắp xếp lại. Các yêu cầu bảo hộ phương pháp kèm theo trình bày các phần tử của các bước khác nhau theo thứ tự mẫu, và không có nghĩa là bị giới hạn ở thứ tự hoặc thứ bậc cụ thể được trình bày trừ khi được nêu cụ thể trong đó.

Mô tả trên được đưa ra để cho phép bất kỳ người nào có hiểu biết trung bình trong lĩnh vực kỹ thuật thực hành các khía cạnh khác nhau được mô tả ở đây. Những sửa đổi khác nhau đối với các khía cạnh này sẽ dễ dàng nhận thấy đối với những người có hiểu biết trung bình trong lĩnh vực kỹ thuật, và các nguyên tắc chung được định nghĩa ở đây có thể được áp dụng cho các khía cạnh khác. Do đó, các yêu cầu bảo hộ không nhằm mục đích bị giới hạn ở các khía cạnh được thể hiện ở đây, mà cho toàn bộ phạm vi phù hợp với ngôn ngữ của các yêu cầu bảo hộ, trong đó việc tham chiếu đến một yếu tố ở dạng số ít không nhằm mục đích có nghĩa là “một và chỉ một” trừ khi được nêu cụ thể như vậy, mà đúng hơn là “một hoặc nhiều”. Trừ khi được nêu cụ thể khác, thuật ngữ “một số” đề cập đến một hoặc nhiều. Cụm từ đề cập đến “ít nhất một trong” danh sách các mục đề cập đến bất kỳ sự kết hợp nào của các mục đó, gồm cả các thành phần đơn. Ví dụ, “ít nhất một trong số: a , b , hoặc c ” nhằm bao hàm ít nhất: a , b , c , $a-b$, $a-c$, $b-c$, và $a-b-c$, cũng như sự kết hợp bất kỳ với các bội số của cùng một phần tử (ví dụ, $a-a$, $a-a-a$, $a-a-b$, $a-a-c$, $a-b-b$, $a-c-c$, $b-b$, $b-b-b$, $b-b-c$, $c-c$, và $c-c-c$ hoặc thứ tự khác bất kỳ của a , b , và c). Tất cả các tương đương về mặt cấu trúc và chức năng với các phần tử của các khía cạnh khác nhau được mô tả xuyên suốt sáng chế mà đã được biết đến hoặc sau này được biết đến bởi những người có hiểu biết trung bình trong lĩnh vực kỹ thuật đều được kết hợp rõ ràng ở đây bằng cách tham chiếu và được dự kiến sẽ được bao hàm trong các yêu cầu bảo hộ. Hơn nữa, không có gì được bộc lộ ở đây được dự định dành riêng cho công chúng bất kể sự bộc lộ đó có được trình bày rõ ràng trong các yêu cầu bảo hộ hay không. Không có phần tử yêu cầu bảo hộ nào được hiểu theo các điều khoản của 35 U.S.C. § 112(f) trừ khi phần tử được nêu rõ ràng bằng cách sử dụng cụm từ “phương tiện để” hoặc, trong trường hợp yêu cầu bảo hộ phương pháp, phần tử được nêu bằng cách sử dụng cụm từ “bước để”.

Cần hiểu rằng các yêu cầu bảo hộ không bị giới hạn ở cấu hình chính xác và các thành phần được minh họa ở trên. Các sửa đổi, thay đổi và biến thể khác nhau có thể được thực hiện trong cách sắp xếp, vận hành và các chi tiết của các phương pháp và thiết bị được mô tả ở trên mà không nằm ngoài phạm vi của các yêu cầu bảo hộ.

YÊU CẦU BẢO HỘ

1. Bộ nhân đôi tần số (100) bao gồm:

tầng trễ thứ nhất (101) có đầu vào được ghép nối với nút đầu vào (128) của bộ nhân đôi tần số;

tầng trễ thứ hai (102) có đầu vào được ghép nối với nút đầu vào, tầng trễ thứ hai được tạo cấu hình để tạo ra phiên bản trễ bổ sung của tín hiệu ở đầu vào của tầng trễ thứ hai;

bộ dò tần số pha (phase frequency detector - PFD) thứ nhất (116) có đầu vào thứ nhất được ghép nối với đầu ra của tầng trễ thứ nhất;

ô trễ điều chỉnh được chỉ-cạnh lên thứ nhất (112) có đầu vào được ghép nối với đầu ra của tầng trễ thứ nhất và có đầu ra được ghép nối với đầu vào thứ hai của PFD thứ nhất;

PFD thứ hai (118) có đầu vào thứ nhất được ghép nối với đầu ra của tầng trễ thứ hai;

ô trễ điều chỉnh được chỉ-cạnh lên thứ hai (114) có đầu vào được ghép nối với đầu ra của tầng trễ thứ hai và có đầu ra được ghép nối với đầu vào thứ hai của PFD thứ hai;

cổng logic (120) có đầu vào thứ nhất được ghép nối với đầu ra của PFD thứ nhất và có đầu vào thứ hai được ghép nối với đầu ra của PFD thứ hai; và

bộ so sánh (124) được tạo cấu hình để:

so sánh giá trị điện áp một chiều (direct-current-DC) của đầu ra của cổng logic với điện áp tham chiếu (reference voltage - V_{ref}); và

điều khiển các ô trễ điều chỉnh được chỉ-cạnh lên thứ nhất và thứ hai dựa trên so sánh.

2. Bộ nhân đôi tần số theo điểm 1, còn bao gồm bộ lọc thông thấp (122) có đầu vào được ghép nối với đầu ra của cổng logic và đầu ra được ghép nối với đầu vào của bộ so sánh, bộ lọc thông thấp được tạo cấu hình để tạo ra giá trị DC của đầu ra của cổng logic.

3. Bộ nhân đôi tần số theo điểm 1, trong đó cổng logic bao gồm cổng logic OR loại trừ (exclusive OR - XOR).

4. Bộ nhân đôi tần số theo điểm 1, trong đó tầng trễ thứ nhất bao gồm:

bộ đảo thứ nhất (106A) có đầu vào được ghép nối với nút đầu vào; và

bộ đảo thứ hai (106B) có đầu vào được ghép nối với đầu ra của bộ đảo thứ nhất và có đầu ra được ghép nối với đầu ra của tầng trễ thứ nhất.

5. Bộ nhân đôi tần số theo điểm 4, trong đó tầng trễ thứ hai bao gồm cổng truyền (108) và bộ đảo (110).

6. Bộ nhân đôi tần số theo điểm 5, trong đó:

đầu vào của cổng truyền được ghép nối với nút đầu vào;

đầu ra của cổng truyền được ghép nối với đầu vào của bộ đảo; và

đầu ra của bộ đảo được ghép nối với đầu ra của tầng trễ thứ hai.

7. Bộ nhân đôi tần số theo điểm 1, trong đó điện áp tham chiếu bằng một nửa điện áp đường nguồn để cấp nguồn cho cổng logic.

8. Bộ nhân đôi tần số theo điểm 1, trong đó đầu ra của bộ so sánh được ghép nối với đầu vào điều khiển của ô trễ điều chỉnh được chỉ-cạnh lên thứ nhất và với đầu vào điều khiển của ô trễ điều chỉnh được chỉ-cạnh lên thứ hai.

9. Bộ nhân đôi tần số theo điểm 1, trong đó đầu ra của bộ so sánh bao gồm đầu ra 8 bit.

10. Bộ nhân đôi tần số theo điểm 1, trong đó đầu ra của cổng logic là nút đầu ra của bộ nhân đôi tần số.

11. Bộ tạo xung nhịp nửa tốc độ bao gồm bộ nhân đôi tần số theo điểm 1.

12. Phương pháp (300) nhân đôi tần số của tín hiệu xung nhịp đầu vào, phương pháp này bao gồm các bước:

làm trễ (305) tín hiệu xung nhịp đầu vào với độ trễ thứ nhất để tạo ra tín hiệu xung nhịp được làm trễ;

đảo và làm trễ (310) tín hiệu xung nhịp đầu vào với độ trễ thứ hai để tạo ra tín hiệu xung nhịp được làm trễ bổ sung;

áp dụng (315) độ trễ điều chỉnh được thứ nhất chỉ cho các cạnh lên của tín hiệu xung nhịp được làm trễ để tạo ra tín hiệu xung nhịp được làm trễ-cạnh lên thứ nhất;

áp dụng (320) độ trễ điều chỉnh được thứ hai chỉ cho các cạnh lên của tín hiệu xung nhịp được làm trễ bổ sung để tạo ra tín hiệu xung nhịp được làm trễ-cạnh lên thứ hai;

xác định (325) các chênh lệch giữa các cạnh lên của tín hiệu xung nhịp được làm trễ và tín hiệu xung nhịp được làm trễ-cạnh lên thứ nhất để tạo ra tín hiệu chênh lệch-cạnh lên thứ nhất;

xác định (330) các chênh lệch giữa các cạnh lên của tín hiệu xung nhịp được làm trễ bổ sung và tín hiệu xung nhịp được làm trễ-cạnh lên thứ hai để tạo ra tín hiệu chênh lệch-cạnh lên thứ hai;

kết hợp (335) các tín hiệu chênh lệch-cạnh lên thứ nhất và thứ hai để tạo ra tín hiệu kết hợp;

so sánh (340) giá trị điện áp một chiều DC của tín hiệu kết hợp với điện áp tham chiếu; và

điều khiển (345) độ trễ điều chỉnh được thứ nhất và độ trễ điều chỉnh được thứ hai dựa trên so sánh.

13. Phương pháp theo điểm 12, trong đó bước làm trễ tín hiệu xung nhịp đầu vào với độ trễ thứ nhất bao gồm việc đảo tín hiệu xung nhịp đầu vào và đảo tín hiệu xung nhịp đã đảo để tạo ra tín hiệu xung nhịp được làm trễ.

14. Phương pháp theo điểm 13, trong đó bước đảo và làm trễ tín hiệu xung nhịp đầu vào với độ trễ thứ hai bao gồm việc làm trễ tín hiệu xung nhịp đầu vào với cổng truyền và đảo tín hiệu xung nhịp đầu vào được làm trễ để tạo ra tín hiệu xung nhịp được làm trễ bổ sung.

15. Phương pháp theo điểm 12, trong đó:

bước xác định các chênh lệch giữa các cạnh lên của tín hiệu xung nhịp được làm trễ và tín hiệu xung nhịp được làm trễ-cạnh lên thứ nhất bao gồm sử dụng bộ dò tần số pha PFD thứ nhất để tạo ra tín hiệu chênh lệch-cạnh lên thứ nhất từ tín hiệu xung nhịp được làm trễ và tín hiệu xung nhịp được làm trễ-cạnh lên thứ nhất; và

bước xác định các chênh lệch giữa các cạnh lên của tín hiệu xung nhịp được làm trễ bổ sung và tín hiệu xung nhịp được làm trễ-cạnh lên thứ hai bao gồm sử dụng PFD thứ hai để tạo ra tín hiệu chênh lệch-cạnh lên thứ hai từ tín hiệu xung nhịp được làm trễ bổ sung và tín hiệu xung nhịp được làm trễ-cạnh lên thứ hai; hoặc

trong đó bước kết hợp các tín hiệu chênh lệch-cạnh lên thứ nhất và thứ hai bao gồm sử dụng cổng logic OR loại trừ, XOR, để tạo ra tín hiệu kết hợp từ các tín hiệu chênh lệch-cạnh lên thứ nhất và thứ hai; hoặc

phương pháp này còn bao gồm bước lọc thông thấp tín hiệu kết hợp để tạo ra giá trị điện áp DC của tín hiệu kết hợp; hoặc

trong đó tín hiệu kết hợp có chu kỳ nhiệm vụ là 50% và tần số gấp đôi tần số của tín hiệu xung nhịp đầu vào.

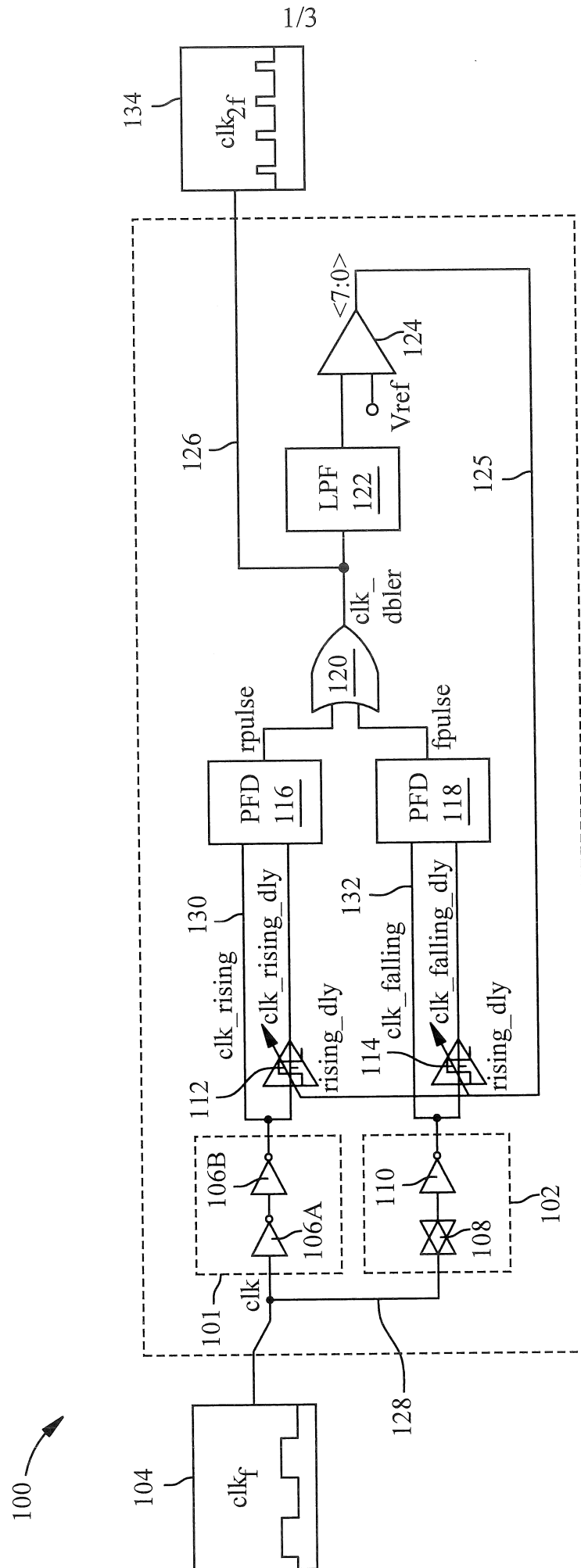


FIG.1

2/3

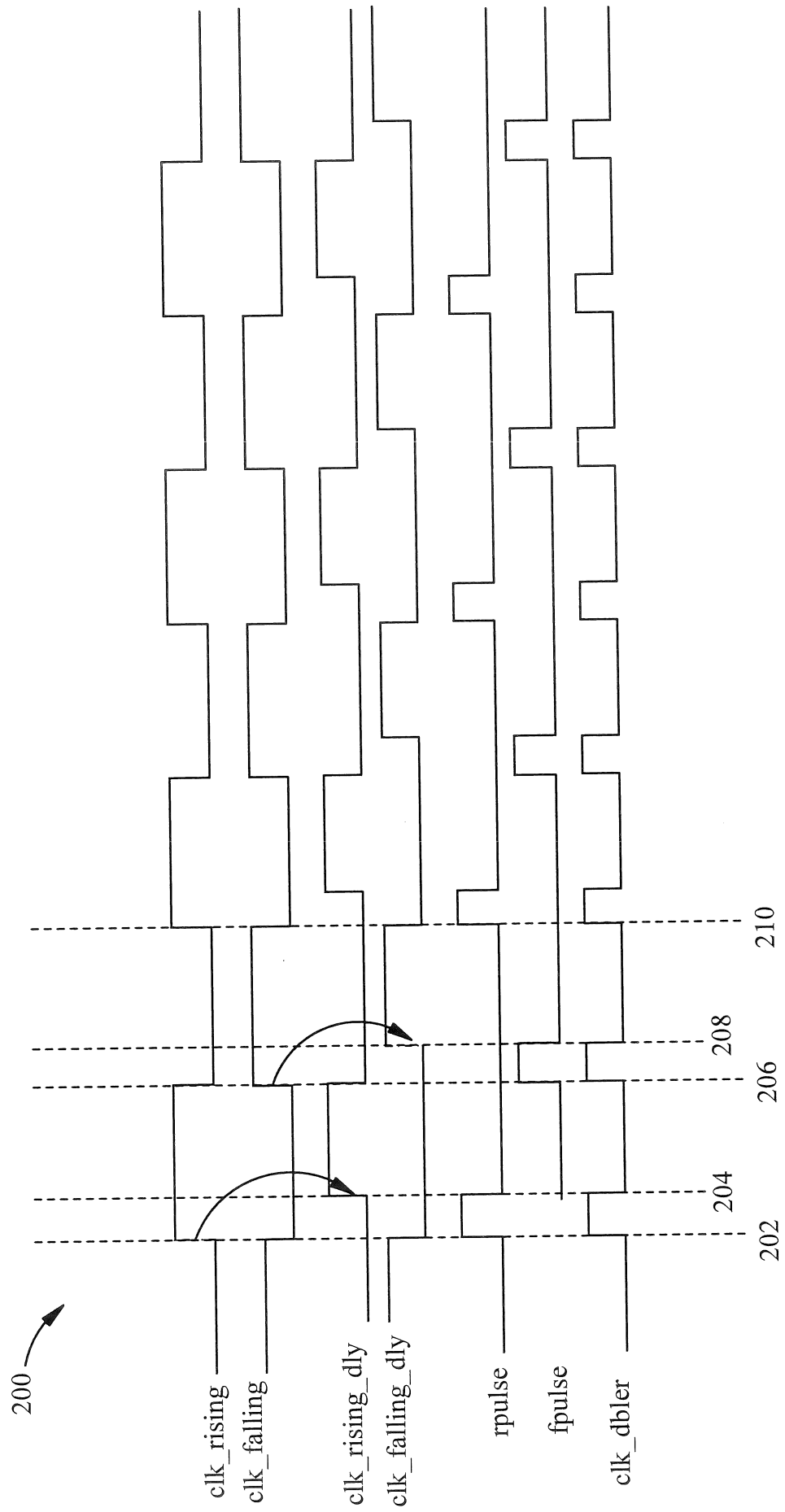


FIG.2

3/3

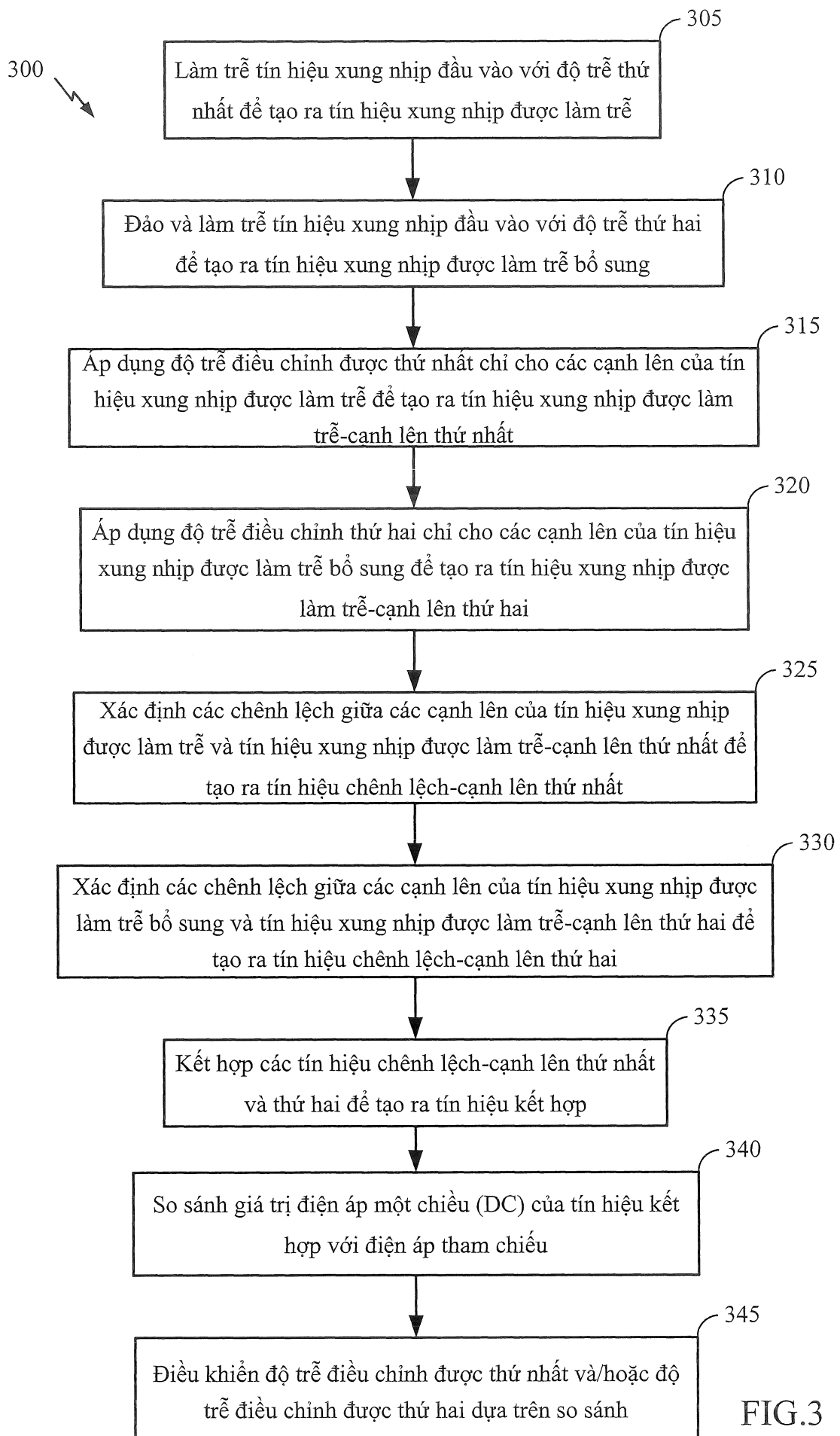


FIG.3