



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0052386

(51)^{2022.01} H01L 27/11

(13) B

(21) 1-2023-01020

(22) 09/07/2021

(86) PCT/US2021/041111 09/07/2021

(87) WO 2022/046298 A1 03/03/2022

(30) 17/004,457 27/08/2020 US

(45) 27/10/2025 451

(43) 26/06/2023 423A

(73) QUALCOMM INCORPORATED (US)

ATTN: International IP Administration, 5775 Morehouse Drive, San Diego, CA
92121-1714, United States of America

(72) ORUGANTI, Kalyan Kumar (IN); GURRAM, Sreeram (IN); THUMU, Venkata
Balakrishna Reddy (IN); KODLIPET, Pradeep Jayadev (IN); SINGH, Diwakar (IN);
DESAI, Channappa (IN); SHARMA, Sunil (IN); SRIKANTH, Anne (IN); GAO,
Yandong (SG).

(74) Công ty TNHH Quốc tế D & N (D&N INTERNATIONAL CO.,LTD.)

(54) MẠCH TÍCH HỢP VÀ Ô VIỀN NGANG CHO BỘ NHỚ TRÊN MẠCH TÍCH HỢP

(21) 1-2023-01020

(57) Sáng chế đề cập đến mạch tích hợp (integrated circuit - IC) bao gồm khối bộ nhớ thứ nhất, khối bộ nhớ thứ hai, và ô viền cho bộ nhớ thứ nhất giữa khối bộ nhớ thứ nhất và khối bộ nhớ thứ hai. Ô viền cho bộ nhớ thứ nhất bao gồm nắp lõi bộ nhớ thứ nhất cho khối bộ nhớ thứ nhất trên mặt thứ nhất của ô. Ô viền cho bộ nhớ thứ nhất còn bao gồm nắp lõi bộ nhớ thứ hai cho khối bộ nhớ thứ hai trên mặt thứ hai của ô. Mặt thứ hai đối diện với mặt thứ nhất. Ô viền cho bộ nhớ thứ nhất còn bao gồm phần khoảng cách bộ nhớ giữa nắp lõi bộ nhớ thứ nhất và nắp lõi bộ nhớ thứ hai. Phần khoảng cách bộ nhớ cung cấp một khoảng cách giữa nắp lõi bộ nhớ thứ nhất và nắp lõi bộ nhớ thứ hai. Ngoài ra, sáng chế đề cập đến ô viền ngang cho bộ nhớ trên mạch tích hợp.

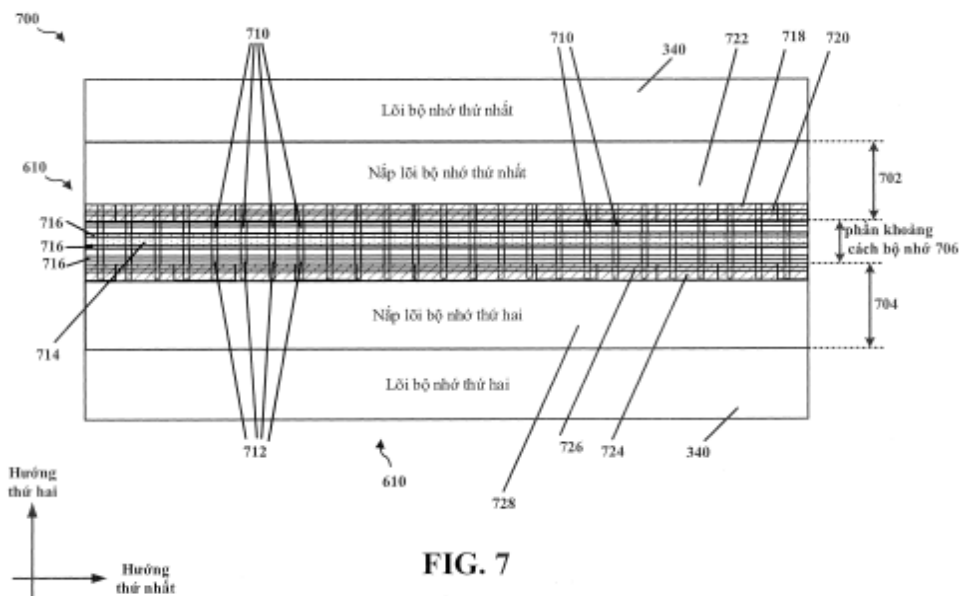


FIG. 7

Lĩnh vực kỹ thuật được đề cập

Sáng chế nhìn chung đề cập đến kiến trúc ô chuẩn/logic, và cụ thể hơn đến kiến trúc macro cứng.

Tình trạng kỹ thuật của sáng chế

Thiết bị ô chuẩn là mạch tích hợp (integrated circuit - IC) triển khai logic kỹ thuật số. Thiết bị ô chuẩn như vậy có thể được dùng lại nhiều lần bên trong IC chuyên dụng (application-specific IC - ASIC). ASIC, ví dụ thiết bị hệ thống trên chip (system-on-a-chip - SoC), có thể bao gồm hàng ngàn đến hàng triệu thiết bị ô chuẩn. IC điển hình bao gồm chồng các lớp được hình thành tuần tự. Mỗi lớp có thể được chồng hoặc phủ lên lớp trước đó và được tạo mẫu để hình thành các hình xác định tranzito (ví dụ, tranzito hiệu ứng trường (field effect transistor - FET) và/hoặc FET dạng vây (FinFET - FET đa cổng xếp dạng vây cá)) và kết nối tranzito vào mạch.

Mức chiếm dụng của bộ nhớ truy cập ngẫu nhiên tĩnh (static random access memory - SRAM) trong thiết bị SoC có thể khoảng 60% diện tích khuôn (die). Có nhu cầu về kiến trúc SRAM mà có thể đem lại khả năng tiết kiệm diện tích SRAM để giảm mức chiếm dụng của SRAM trong thiết bị SoC.

Bản chất kỹ thuật của sáng chế

Trong một khía cạnh, sáng chế đề xuất ô viền ngang cho bộ nhớ trên IC bao gồm nắp lõi bộ nhớ thứ nhất kéo dài theo chiều ngang theo hướng thứ nhất trên mặt thứ nhất của ô. Ô viền ngang cho bộ nhớ còn bao gồm nắp lõi bộ nhớ thứ hai kéo dài theo chiều ngang theo hướng thứ nhất trên mặt thứ hai của ô. Mặt thứ hai đối diện với mặt thứ nhất theo hướng thứ hai. Hướng thứ hai vuông góc với hướng thứ nhất. Ô viền ngang cho bộ nhớ còn bao gồm phần khoảng cách bộ nhớ kéo dài theo chiều ngang theo hướng thứ nhất giữa nắp lõi bộ nhớ thứ nhất và nắp lõi bộ nhớ thứ hai. Phần khoảng cách bộ nhớ cung cấp một khoảng cách theo hướng thứ hai giữa nắp lõi bộ nhớ thứ nhất và nắp lõi bộ nhớ thứ hai.

Trong một khía cạnh, sáng chế đề xuất ô viền dọc cho bộ nhớ trên IC bao gồm nắp lõi bộ nhớ thứ nhất kéo dài theo chiều dọc theo hướng thứ hai trên mặt thứ nhất của ô. Ô viền dọc cho bộ nhớ còn bao gồm nắp lõi bộ nhớ thứ hai kéo dài theo chiều dọc theo hướng thứ hai trên mặt thứ hai của ô. Mặt thứ hai đối diện với mặt thứ nhất theo hướng thứ nhất. Hướng thứ nhất vuông góc với hướng thứ hai. Ô viền dọc cho bộ nhớ còn bao gồm phần khoảng cách bộ nhớ kéo dài theo chiều dọc theo hướng thứ hai giữa nắp lõi bộ nhớ thứ nhất và nắp lõi bộ nhớ thứ hai. Phần khoảng cách bộ nhớ cung cấp một khoảng cách theo hướng thứ nhất giữa nắp lõi bộ nhớ thứ nhất và nắp lõi bộ nhớ thứ hai.

Trong một khía cạnh, sáng chế đề xuất IC bao gồm khối bộ nhớ thứ nhất, khối bộ nhớ thứ hai, và ô viền cho bộ nhớ thứ nhất giữa khối bộ nhớ thứ nhất và khối bộ nhớ thứ hai. Ô viền cho bộ nhớ thứ nhất bao gồm nắp lõi bộ nhớ thứ nhất cho khối bộ nhớ thứ nhất trên mặt thứ nhất của ô. Ô viền cho bộ nhớ thứ nhất còn bao gồm nắp lõi bộ nhớ thứ hai cho khối bộ nhớ thứ hai trên mặt thứ hai của ô. Mặt thứ hai đối diện với mặt thứ nhất. Ô viền cho bộ nhớ thứ nhất còn bao gồm phần khoảng cách bộ nhớ giữa nắp lõi bộ nhớ thứ nhất và nắp lõi bộ nhớ thứ hai. Phần khoảng cách bộ nhớ cung cấp một khoảng cách giữa nắp lõi bộ nhớ thứ nhất và nắp lõi bộ nhớ thứ hai.

Mô tả vắn tắt các hình vẽ

Fig.1 là sơ đồ thứ nhất minh họa góc nhìn bên của nhiều lớp bên trong ô chuẩn và IC.

Fig.2 là sơ đồ thứ hai minh họa góc nhìn bên của nhiều lớp bên trong ô chuẩn và IC.

Fig.3 là sơ đồ thứ nhất minh họa về mặt khái niệm kiến trúc SRAM.

Fig.4 là các sơ đồ minh họa về mặt khái niệm các kiến trúc SRAM bổ sung.

Fig.5 là sơ đồ minh họa về mặt khái niệm mảng SRAM.

Fig.6 là sơ đồ minh họa về mặt khái niệm kiến trúc SRAM, bao gồm các ô viền ngang cho bộ nhớ và ô viền dọc cho bộ nhớ.

Fig.7 là sơ đồ minh họa về mặt khái niệm ô viền ngang cho bộ nhớ với nắp lõi bộ nhớ đôi.

Fig.8 là sơ đồ thứ nhất minh họa về mặt khái niệm ô viên dọc cho bộ nhớ với nắp lõi bộ nhớ đôi.

Fig.9 là sơ đồ minh họa về mặt khái niệm ô viên ngang cho bộ nhớ với nắp lõi bộ nhớ đơn.

Fig.10 là sơ đồ minh họa về mặt khái niệm ô viên dọc cho bộ nhớ với nắp lõi bộ nhớ đơn.

Mô tả chi tiết sáng chế

Mô tả chi tiết trình bày sau đây đi kèm hình vẽ bổ sung được nhằm làm mô tả cho nhiều cấu hình và không nhằm đại diện chỉ cho cấu hình trong đó có thể thực hành các khái niệm được mô tả. Mô tả chi tiết bao gồm các chi tiết cụ thể cho mục đích cung cấp cách hiểu toàn diện cho nhiều khái niệm. Tuy nhiên, những người có hiểu biết trung bình trong lĩnh vực sẽ hiểu rằng các khái niệm này có thể được thực hành mà không cần các chi tiết cụ thể. Trong một số trường hợp, các cấu trúc và thành phần được biết rộng rãi được thể hiện dưới dạng sơ đồ khối để tránh gây khó hiểu các khái niệm đó. Các thiết bị và phương pháp sẽ được mô tả trong phần mô tả chi tiết sau đây và có thể được minh họa trên các hình vẽ kèm theo bằng các khối, modul, thành phần, mạch, bước, quy trình, thuật toán, phần tử, v.v.

Fig.1 là sơ đồ thứ nhất 100 minh họa góc nhìn bên của nhiều lớp bên trong ô chuẩn và IC. Nhiều lớp này thay đổi theo hướng y. Như minh họa trên hình Fig.1, tranzito có cực cổng 102 (mà có thể được gọi là POLY dù cổng được tạo bởi kim loại, polysilicon, hay kết hợp giữa polysilicon và kim loại), cực nguồn 104 và cực máng 106. Cực nguồn 104 và cực máng 106 có thể được hình thành kiểu các vảy (fin). Cực cổng 102 có thể kéo dài theo hướng thứ hai (ví dụ, hướng dọc theo trục z đi ra từ trang), và vảy có thể kéo dài theo hướng thứ nhất vuông góc với hướng thứ hai (ví dụ, hướng ngang theo trục x). Liên kết lớp tiếp xúc B (contact B - CB) (cũng được gọi là liên kết lớp POLY kim loại (metal POLY - MP)) có thể tiếp xúc với cực cổng 102. Liên kết lớp tiếp xúc A (contact A - CA) (cũng được gọi là liên kết lớp khuếch tán kim loại (metal diffusion - MD)) có thể tiếp xúc với cực nguồn 104 và/hoặc cực máng 106. Via 112 (có thể được gọi là via A (VA)) có thể tiếp xúc với liên kết lớp CA 110. Liên kết lớp kim loại 1 (metal 1 - M1) 114 có thể tiếp xúc với via VA 112. Liên kết lớp M1 114 có thể

kéo dài chỉ theo hướng thứ nhất (tức là đơn hướng theo hướng thứ nhất). Via V1 116 có thể tiếp xúc với liên kết lớp M1 114. Liên kết lớp kim loại 2 (metal 2 - M2) 118 có thể tiếp xúc với via V1 116. Liên kết lớp M2 118 có thể kéo dài chỉ theo hướng thứ hai (tức là đơn hướng theo hướng thứ hai). Lớp M2 là lớp chiều dọc thấp nhất. Cụ thể, lớp M2 có thể đơn hướng theo hướng dọc, và là lớp đơn hướng theo chiều dọc gần nhất với lớp nền silic. Các lớp cao hơn bao gồm lớp via bao gồm các via V2 và lớp kim loại 3 (metal 3 - M3) gồm các liên kết lớp M3. Các liên kết lớp M3 có thể kéo dài theo hướng thứ nhất.

Fig.2 là sơ đồ thứ hai 200 minh họa góc nhìn bên của nhiều lớp bên trong ô chuẩn và IC. Nhiều lớp này thay đổi theo hướng y. Như minh họa trên hình Fig.2, tranzito có cực cổng 202, cực nguồn 204, và cực máng 206. Cực nguồn 204 và cực máng 206 có thể được hình thành kiểu các vảy (fin). Cực cổng 202 có thể kéo dài theo hướng thứ hai (ví dụ, hướng dọc theo trục z đi ra từ trang), và vảy có thể kéo dài theo hướng thứ nhất vuông góc với hướng thứ hai (ví dụ, hướng ngang theo trục x). Liên kết lớp CB 208 có thể tiếp xúc với cực cổng 202. Liên kết lớp CA 210 có thể tiếp xúc với cực nguồn 204 và/hoặc cực máng 206. Via 212 (có thể được gọi là via B (VB)) có thể tiếp xúc với liên kết lớp CB 208. Liên kết lớp M1 214 có thể tiếp xúc với via VB 212. Liên kết lớp M1 214 có thể kéo dài chỉ theo hướng thứ nhất (tức là đơn hướng theo hướng thứ nhất). Via V1 216 có thể tiếp xúc với liên kết lớp M1 214. Liên kết lớp M2 218 có thể tiếp xúc với via V1 216. Liên kết lớp M2 218 có thể kéo dài chỉ theo hướng thứ hai (tức là đơn hướng theo hướng thứ hai). Lớp M2 là lớp chiều dọc thấp nhất. Cụ thể, lớp M2 có thể đơn hướng theo hướng dọc, và là lớp đơn hướng theo chiều dọc gần nhất với lớp nền silic. Các lớp cao hơn bao gồm lớp via bao gồm các via V2 và lớp M3 gồm các liên kết lớp M3. Các liên kết lớp M3 có thể kéo dài theo hướng thứ nhất.

Như đã thảo luận *trên đây*, mức chiếm dụng của SRAM trong thiết bị SoC có thể là khoảng 60% diện tích khuôn. Trong thiết bị SoC, các khối SRAM có thể được đặt nhiều lần trong mảng để đạt dung lượng bộ nhớ lớn hơn cho bộ nhớ đệm (cache). Mảng lớn gồm các khối SRAM có thể dẫn đến tổn hao diện tích lớn do cấu trúc hỗ trợ cần thiết cho các yêu cầu về cạnh lỗi và trụ biên bên trong bộ nhớ và ở giao diện mức cao. Kiến trúc SRAM được đề xuất *dưới đây* trong đó các khối SRAM (mà có thể được gọi là khối SRAM “cơ sở”) loại trừ toàn bộ hoặc một phần của các nắp lỗi bộ nhớ và phần biên.

Trong kiến trúc SRAM được đề xuất, sáng chế đề xuất các ô viền ngang cho bộ nhớ riêng biệt và các ô viền dọc cho bộ nhớ. Trên IC, các ô viền ngang cho bộ nhớ có thể nằm dọc theo và tiếp giáp với các cạnh ngang của các khối SRAM cơ sở, cung cấp nắp lỗi bộ nhớ và phần biên cho các cạnh ngang của khối SRAM cơ sở. Ngoài ra, trên IC, các ô viền dọc cho bộ nhớ có thể nằm dọc theo và tiếp giáp với các cạnh dọc của các khối SRAM cơ sở, cung cấp nắp lỗi bộ nhớ và phần biên cho các cạnh dọc của khối SRAM cơ sở. Các khối SRAM cơ sở riêng biệt, tiếp giáp với các ô viền ngang cho bộ nhớ và các ô viền dọc cho bộ nhớ có thể tiết kiệm diện tích khoảng 2%, có khi hơn, và do đó có thể giảm mức chiếm dụng của SRAM trong thiết bị SoC.

Fig.3 là sơ đồ thứ nhất 300 minh họa về mặt khái niệm kiến trúc SRAM. Khối SRAM 320 bao gồm các phần cạnh ngang của lõi 322 và các phần cạnh dọc của lõi 324, cũng như phần biên 326 bao quanh các phần cạnh lõi 322, 324 và thỏa mãn các điều kiện biên của xưởng (nhà máy chế tạo bán dẫn). Các phần cạnh lõi 322, 324 bao gồm các tap giếng (well tap - ô vật lý không có chức năng logic) để ngăn hiện tượng ngắn mạch ký sinh (latch-up) và bất kỳ bất trắc nào trong quá trình hoạt động. Các điều kiện biên của xưởng là các quy tắc kiểm tra quy tắc thiết kế (design rule checking - DRC) về khoảng cách giữa các trụ bộ nhớ để tránh vi phạm DRC. Khối SRAM cơ sở 340 không bao gồm các phần cạnh lõi 322, 324 (cũng được gọi là vùng đai cạnh lõi) và phần biên 326. Các phần cạnh lõi 322, 324 bao gồm phần cạnh ngang của lõi 322 và phần cạnh dọc của lõi 324, cả hai đều không nằm trong khối SRAM cơ sở 340. Trong kiến trúc SRAM được đề xuất, các khối SRAM cơ sở 340 có thể được đặt trên IC, và các ô viền ngang cho bộ nhớ riêng biệt và các ô viền dọc cho bộ nhớ có thể nằm cạnh và tiếp giáp với khối SRAM 340. Ít nhất một tập con các ô viền ngang cho bộ nhớ riêng biệt và các ô viền dọc cho bộ nhớ riêng biệt được tạo cấu hình để kết thúc không phải một, mà ít nhất hai khối SRAM cơ sở 340 cạnh nhau để thỏa mãn quy tắc khoảng cách giữa các bộ nhớ. Các ô viền ngang cho bộ nhớ riêng biệt và ô viền dọc cho bộ nhớ riêng biệt mà được tạo cấu hình để giới hạn được ít nhất hai khối SRAM cơ sở 340 cạnh nhau trong mảng SRAM 390 (diện tích = $w_2 * h_2$) có thể nhỏ gọn hơn các phần cạnh lõi riêng biệt 322, 324 và các phần biên 326 của các ô SRAM 320 cạnh nhau trong mảng SRAM 380 (diện tích = $w_1 * h_1$). Như vậy, có thể đạt được mức tiết kiệm diện tích bằng $(w_1 * h_1 - w_2 * h_2) / w_1 * h_1$ thông qua sử dụng các khối SRAM cơ sở 340 trong mảng SRAM 390 với

các ô viền ngang cho bộ nhớ được giới hạn đôi/kép riêng biệt và ô viền dọc cho bộ nhớ được đề xuất (xem các hình vẽ từ Fig.6 đến Fig.8).

Fig.4 là các sơ đồ 400, 410, 420, 430, 440, 450, 460, 470 minh họa về mặt khái niệm các kiến trúc SRAM bổ sung. Fig.5 là sơ đồ 500 minh họa về mặt khái niệm mảng SRAM. Khối SRAM 340 không bao gồm toàn bộ các phần cạnh ngang của lõi 322, phần cạnh dọc của lõi 324, và phần biên 326 như minh họa trên Fig.3. Thay vào đó, khối SRAM có thể bao gồm phần cạnh ngang của lõi 322 và/hoặc phần cạnh dọc của lõi 324 và phần biên 326 tương ứng trên một hoặc hai cạnh của khối SRAM. Ví dụ, khối SRAM 400 có phần cạnh dọc của lõi 324 và phần biên 326 tương ứng ở cạnh bên trái, khối SRAM 410 có phần cạnh ngang của lõi 322 và phần biên 326 tương ứng ở cạnh trên, khối SRAM 420 có phần cạnh dọc của lõi 324 và phần biên 326 tương ứng ở cạnh bên phải, và khối SRAM 430 có phần cạnh ngang của lõi 322 và phần biên 326 tương ứng ở cạnh dưới. Khi nằm bên trong mảng SRAM, các khối SRAM 400, 410, 420, 430 có thể nằm ở các phần cạnh trung tâm 502 của mảng SRAM. Ở ví dụ khác, khối SRAM 440 có phần cạnh ngang của lõi 322, phần cạnh dọc của lõi 324, và phần biên 326 tương ứng ở cạnh trên và bên trái; khối SRAM 450 có phần cạnh ngang của lõi 322, phần cạnh dọc của lõi 324, và phần biên 326 tương ứng ở cạnh trên và bên phải; khối SRAM 460 có phần cạnh ngang của lõi 322, phần cạnh dọc của lõi 324, và phần biên 326 tương ứng ở cạnh dưới và bên phải; và khối SRAM 470 có phần cạnh ngang của lõi 322, phần cạnh dọc của lõi 324, và phần biên 326 tương ứng ở cạnh dưới và bên trái. Khi được đặt bên trong mảng SRAM, các khối SRAM 440, 450, 460, 470 có thể được đặt ở các phần góc 504 của mảng SRAM.

Fig.6 là sơ đồ 600 minh họa về mặt khái niệm kiến trúc SRAM, bao gồm các ô viền ngang cho bộ nhớ 610, 612 và các ô viền dọc cho bộ nhớ 620, 622. Như minh họa trên hình Fig.6, các khối SRAM 340a, 340b, 340c, 340d được đặt trong mảng 2 x 2. Các khối SRAM 340a, 340b, 340c, 340d không bao gồm phần cạnh lõi và phần biên. Ô viền ngang cho bộ nhớ 610 có thể nằm giữa khối SRAM 340a và 340c. Ô viền ngang cho bộ nhớ 610 bao gồm nắp lõi bộ nhớ hai mặt (kép), cung cấp nắp lõi bộ nhớ cho cả hai khối SRAM 340a, 340c. Ô viền ngang cho bộ nhớ 610 có thể nằm giữa khối SRAM 340b và 340d. Ô viền ngang cho bộ nhớ 610 bao gồm nắp lõi bộ nhớ hai mặt, cung cấp nắp lõi bộ nhớ cho cả hai khối SRAM 340b, 340d. Ô viền dọc cho bộ nhớ 620 có thể nằm giữa

tập hợp khối SRAM 340a, 340c và 340b, 340d. Ô viền ngang cho bộ nhớ 620 bao gồm nắp lõi bộ nhớ hai mặt (kép), cung cấp nắp lõi bộ nhớ cho tập hợp khối SRAM 340a, 340c và 340b, 340d. Ô viền ngang cho bộ nhớ 612 có thể được đặt ở cạnh trên của khối SRAM 340a, 340b, và ở cạnh dưới của khối SRAM 340c, 340d. Mỗi ô viền ngang cho bộ nhớ 612 bao gồm một nắp lõi bộ nhớ, cung cấp nắp lõi bộ nhớ cho các khối SRAM 340a, 340b, 340c, 340d. Ô viền dọc cho bộ nhớ 622 có thể được đặt ở cạnh trái của tập hợp khối SRAM 340a, 340c, và ở cạnh phải của các khối SRAM 340b, 340d. Mỗi ô viền dọc cho bộ nhớ 622 bao gồm một nắp lõi bộ nhớ, cung cấp nắp lõi bộ nhớ cho tập hợp khối SRAM 340a, 340c và nắp lõi bộ nhớ cho tập hợp khối SRAM 340b, 340d.

Ô viền ngang cho bộ nhớ 610 có thể bao gồm các dòng từ (word line - WL) đứt đoạn / không liên tục bên trong các nắp lõi bộ nhớ. Ô viền ngang cho bộ nhớ 610 còn có thể bao gồm các đường điện / mặt đất (power / ground - PG) và các tap giếng. Các WL và đường PG có ngăn cách hợp lý để cô lập WL và đường PG cần thiết để thỏa mãn các quy tắc DRC. Ngoài ra, ô viền dọc cho bộ nhớ 620 có thể bao gồm các dòng bit (bit line - BL) đứt đoạn / không liên tục bên trong các nắp lõi bộ nhớ. Ô viền dọc cho bộ nhớ 620 còn có thể bao gồm các đường PG và các tap giếng. Các BL và đường PG có ngăn cách hợp lý để đem lại cô lập BL và đường PG cần thiết để thỏa mãn các quy tắc DRC. Nắp lõi bộ nhớ có thể được định nghĩa là cấu trúc sắp xếp bộ nhớ bên trong các ô viền ngang / viền dọc cho bộ nhớ 610, 620 mà đem lại giới hạn không gian cho bộ nhớ.

Mỗi trong số các ô viền cho bộ nhớ 610, 612, 620, 622 bao gồm một hoặc hai nắp lõi bộ nhớ có phần biên. Phần biên có thể được gọi là phần khoảng cách bộ nhớ. Cụ thể, ô viền ngang cho bộ nhớ 610 bao gồm nắp lõi bộ nhớ hai mặt (kép), có phần khoảng cách bộ nhớ giữa hai nắp lõi bộ nhớ. Tương tự, ô viền dọc cho bộ nhớ 620 bao gồm nắp lõi bộ nhớ hai mặt (kép), có phần khoảng cách bộ nhớ giữa hai nắp lõi bộ nhớ. Ô viền ngang cho bộ nhớ 612 và ô viền dọc cho bộ nhớ 622 bao gồm một nắp lõi bộ nhớ có phần khoảng cách bộ nhớ (biên). Các phần khoảng cách bộ nhớ trong các ô bộ nhớ viền 610, 612, 620, 622 thỏa mãn các quy tắc DRC đã nêu ở trên. Ô viền cho bộ nhớ ví dụ được đề xuất *dưới đây* liên hệ với các Fig.7 đến Fig.10.

Fig.7 là sơ đồ 700 minh họa về mặt khái niệm ô viền ngang cho bộ nhớ 610 với nắp lõi bộ nhớ hai mặt 702, 704. Ô viền ngang cho bộ nhớ 610 bao gồm nắp lõi bộ nhớ

thứ nhất 702 (một phần của nó không được minh họa) kéo dài theo chiều ngang theo hướng thứ nhất trên mặt thứ nhất của ô, và bao gồm nắp lõi bộ nhớ thứ hai 704 (một phần của nó không được minh họa) kéo dài theo chiều ngang theo hướng thứ nhất trên mặt thứ hai của ô. Mặt thứ hai đối diện với mặt thứ nhất theo hướng thứ hai, trong đó hướng thứ hai vuông góc với hướng thứ nhất. Mỗi trong số các nắp lõi bộ nhớ 702, 704 bao gồm tap giếng và bao gồm các WL mà giới hạn bên trong nắp lõi bộ nhớ 702, 704. Giữa nắp lõi bộ nhớ thứ nhất 702 và nắp lõi bộ nhớ thứ hai 704, phần khoảng cách bộ nhớ 706 kéo dài theo chiều ngang theo hướng thứ nhất. Phần khoảng cách bộ nhớ 706 cung cấp một khoảng trống theo hướng thứ hai giữa nắp lõi bộ nhớ thứ nhất và nắp lõi bộ nhớ thứ hai. Khoảng cách đủ lớn để thỏa mãn các quy tắc DRC liên quan đến khoảng cách WL và khoảng cách PG giữa các tập hợp WL và dòng PG khác nhau trong nắp lõi bộ nhớ 702, 704. Phần khoảng cách bộ nhớ 706 bao gồm tập hợp các liên kết cực cổng thứ nhất 710 (chỉ tập con các liên kết cực cổng được đề cập) kéo dài theo hướng thứ hai từ nắp lõi bộ nhớ thứ nhất 702. Phần khoảng cách bộ nhớ 706 còn bao gồm tập hợp các liên kết cực cổng thứ hai 712 (chỉ tập con các liên kết cực cổng được đề cập) kéo dài theo hướng thứ hai từ nắp lõi bộ nhớ thứ hai 704. Tập hợp các liên kết cực cổng thứ nhất 710 và tập hợp các liên kết cực cổng thứ hai 712 được hình thành từ một tập hợp các liên kết cực cổng mà được chia cắt bởi đường cắt liên kết cực cổng 714 (mà có thể được gọi là đường cắt POLY). Theo đó, các liên kết cực cổng lần lượt của tập hợp các liên kết cực cổng thứ nhất và thứ hai 710, 712 là thẳng hàng và được ngăn cách trong phần trung tâm (trùng với đường cắt liên kết cực cổng 714) của phần khoảng cách bộ nhớ 706. Phần khoảng cách bộ nhớ 706 còn bao gồm các vảy 716 kéo dài theo hướng thứ nhất trong phần trung tâm của phần khoảng cách bộ nhớ 706. Các vảy 716 có thể không pha tạp. Nắp lõi bộ nhớ thứ nhất 702 bao gồm vùng khuếch tán thứ nhất 718, trong đó vùng khuếch tán thứ nhất 718 được hình thành bởi nhiều vảy pha tạp (loại n hoặc loại p) 720 (các vảy bổ sung 720 được đặt trong phần không được minh họa 722). Nắp lõi bộ nhớ thứ hai 704 bao gồm vùng khuếch tán thứ hai 724, trong đó vùng khuếch tán thứ hai 724 được hình thành bởi nhiều vảy pha tạp (loại n hoặc loại p) 726 (các vảy bổ sung 726 được đặt trong phần không được minh họa 728). Theo đó, các vảy 716 của phần khoảng cách bộ nhớ 706, vùng khuếch tán thứ nhất 718, và vùng khuếch tán thứ

hai 724 không liên tục với nhau (tức là không được hình thành bởi một vùng khuếch tán liên tục).

Ô viền ngang cho bộ nhớ 610 với nắp lõi bộ nhớ kép 702, 704 và phần khoảng cách bộ nhớ 706 có thể đem lại mức tiết kiệm diện tích đến 64% so với hai phần cạnh ngang của lõi liên kế 322 và phần biên 326 của khối SRAM 320.

Fig.8 là sơ đồ thứ nhất 800 minh họa về mặt khái niệm ô viền dọc cho bộ nhớ 620 với nắp lõi bộ nhớ hai mặt. Ô viền dọc cho bộ nhớ 620 bao gồm nắp lõi bộ nhớ thứ nhất 802 (một phần của nó không được minh họa) kéo dài theo chiều dọc theo hướng thứ hai trên mặt thứ nhất của ô 620, và nắp lõi bộ nhớ thứ hai 804 (một phần của nó không được minh họa) kéo dài theo chiều dọc theo hướng thứ hai trên mặt thứ hai của ô 620. Mặt thứ hai đối diện với mặt thứ nhất theo hướng thứ nhất, trong đó hướng thứ nhất vuông góc với hướng thứ hai. Mỗi trong số các nắp lõi bộ nhớ 802, 804 bao gồm tập giếng và bao gồm các BL giới hạn bên trong nắp lõi bộ nhớ 802, 804. Giữa nắp lõi bộ nhớ thứ nhất 802 và nắp lõi bộ nhớ thứ hai 804, phần khoảng cách bộ nhớ 806 kéo dài theo chiều dọc theo hướng thứ hai. Phần khoảng cách bộ nhớ 806 cung cấp một khoảng cách theo hướng thứ nhất giữa nắp lõi bộ nhớ thứ nhất 802 và nắp lõi bộ nhớ thứ hai 804. Khoảng cách đủ lớn để thỏa mãn các quy tắc DRC liên quan đến khoảng cách BL và khoảng cách PG giữa các tập hợp BL và dòng PG khác nhau trong nắp lõi bộ nhớ 802, 804. Phần khoảng cách bộ nhớ 806 bao gồm các liên kết cực cổng 810 kéo dài theo hướng thứ hai. Phần khoảng cách bộ nhớ 806 bao gồm các vùng khuếch tán 820 kéo dài theo hướng thứ nhất. Vùng khuếch tán 820 nằm trong phần trung tâm của phần khoảng cách bộ nhớ. Vùng khuếch tán 820 bao gồm các vảy (chỉ tập con của các vảy được ghi nhãn) kéo dài theo hướng thứ nhất. Nắp lõi bộ nhớ thứ nhất 802 bao gồm các liên kết cực cổng 812 kéo dài theo hướng thứ hai và vùng khuếch tán thứ nhất 824 (các liên kết cực cổng bổ sung 812 được đặt trong phần không được minh họa 842). Nắp lõi bộ nhớ thứ hai 804 bao gồm các liên kết cực cổng 814 kéo dài theo hướng thứ hai và vùng khuếch tán thứ hai 826 (các liên kết cực cổng bổ sung 814 được đặt trong phần không được minh họa 844). Vùng khuếch tán 820, 824, 826 không liên tục với nhau, do nhiều đường cắt vảy 830 cắt các vảy 822.

Ô viền dọc cho bộ nhớ 620 với nắp lõi bộ nhớ kép 802, 804 và phần khoảng cách bộ nhớ 806 có thể đem lại mức tiết kiệm diện tích đến 49% so với hai phần cạnh dọc của lõi liền kề 324 và phần biên 326 của khối SRAM 320.

Fig.9 là sơ đồ 900 minh họa ô viền ngang cho bộ nhớ 612 với một nắp lõi bộ nhớ 902. Fig.10 là sơ đồ 1000 minh họa về mặt khái niệm ô viền dọc cho bộ nhớ 622 với một nắp lõi bộ nhớ 1002. Ô viền ngang cho bộ nhớ 612 bao gồm một nắp lõi bộ nhớ 902 và phần khoảng cách bộ nhớ (biên) 904 liền kề nắp lõi bộ nhớ 902. Ô viền dọc cho bộ nhớ 622 bao gồm một nắp lõi bộ nhớ 1002 và phần khoảng cách bộ nhớ (biên) 1004 liền kề nắp lõi bộ nhớ 1002. Các ô viền cho bộ nhớ 612, 622 có thể được dùng để giới hạn chỉ một khối SRAM 340.

Quay trở lại các Fig.3 đến Fig.9, trong khía cạnh thứ nhất của sáng chế, ô viền ngang cho bộ nhớ 610 trên IC bao gồm nắp lõi bộ nhớ thứ nhất 702 kéo dài theo chiều ngang theo hướng thứ nhất ở mặt thứ nhất của ô, và nắp lõi bộ nhớ thứ hai 704 kéo dài theo chiều ngang theo hướng thứ nhất ở mặt thứ hai của ô. Mặt thứ hai đối diện với mặt thứ nhất theo hướng thứ hai. Hướng thứ hai vuông góc với hướng thứ nhất. Ô viền ngang cho bộ nhớ 610 còn bao gồm phần khoảng cách bộ nhớ 706 kéo dài theo chiều ngang theo hướng thứ nhất giữa nắp lõi bộ nhớ thứ nhất 702 và nắp lõi bộ nhớ thứ hai 704. Phần khoảng cách bộ nhớ 706 cung cấp một khoảng cách theo hướng thứ hai giữa nắp lõi bộ nhớ thứ nhất 702 và nắp lõi bộ nhớ thứ hai 704.

Ở một cấu hình, phần khoảng cách bộ nhớ 706 bao gồm nhiều liên kết cực cổng thứ nhất 710 kéo dài theo hướng thứ hai từ nắp lõi bộ nhớ thứ nhất 702, và nhiều liên kết cực cổng thứ hai 712 kéo dài theo hướng thứ hai từ nắp lõi bộ nhớ thứ hai 704. Các liên kết cực cổng tương ứng trong số nhiều liên kết cực cổng thứ nhất và thứ hai 710, 712 là thẳng hàng và được ngăn cách trong phần trung tâm của phần khoảng cách bộ nhớ 706. Ở một cấu hình, phần khoảng cách bộ nhớ 706 bao gồm nhiều vây 716 kéo dài theo hướng thứ nhất. Nhiều vây 716 nằm trong phần trung tâm của phần khoảng cách bộ nhớ 706. Ở một cấu hình, nắp lõi bộ nhớ thứ nhất 702 bao gồm vùng khuếch tán thứ nhất 718 và nắp lõi bộ nhớ thứ hai bao gồm vùng khuếch tán thứ hai 724. Nhiều vây 716 của phần khoảng cách bộ nhớ 706, vùng khuếch tán thứ nhất 718, và vùng khuếch tán thứ hai 724 không liên tục với nhau.

Trong khía cạnh thứ hai của sáng chế, ô viền dọc cho bộ nhớ 620 trên IC bao gồm nắp lõi bộ nhớ thứ nhất 802 kéo dài theo chiều dọc theo hướng thứ hai ở mặt thứ nhất của ô, và nắp lõi bộ nhớ thứ hai 804 kéo dài theo chiều dọc theo hướng thứ hai ở mặt thứ hai của ô. Mặt thứ hai đối diện với mặt thứ nhất theo hướng thứ nhất. Hướng thứ nhất vuông góc với hướng thứ hai. Ô viền dọc cho bộ nhớ 620 còn bao gồm phần khoảng cách bộ nhớ 806 kéo dài theo chiều dọc theo hướng thứ hai giữa nắp lõi bộ nhớ thứ nhất 802 và nắp lõi bộ nhớ thứ hai 804. Phần khoảng cách bộ nhớ 806 cung cấp một khoảng cách theo hướng thứ nhất giữa nắp lõi bộ nhớ thứ nhất 802 và nắp lõi bộ nhớ thứ hai 804.

Ở một cấu hình, phần khoảng cách bộ nhớ 806 bao gồm nhiều liên kết cực cổng 810 kéo dài theo hướng thứ hai. Ở một cấu hình, phần khoảng cách bộ nhớ 806 bao gồm ít nhất một vùng khuếch tán 820 kéo dài theo hướng thứ nhất. (Các) vùng khuếch tán 820 nằm trong phần trung tâm của phần khoảng cách bộ nhớ 806. Ở một cấu hình, (các) vùng khuếch tán 820 bao gồm nhiều vảy 822 kéo dài theo hướng thứ nhất. Ở một cấu hình, nắp lõi bộ nhớ thứ nhất 802 bao gồm vùng khuếch tán thứ nhất 824, và nắp lõi bộ nhớ thứ hai 804 bao gồm vùng khuếch tán thứ hai 826. (Các) vùng khuếch tán 820 của phần khoảng cách bộ nhớ 806, vùng khuếch tán thứ nhất 824, và vùng khuếch tán thứ hai 826 không liên tục với nhau, do các đường cắt vảy 830 ở giao diện của nắp lõi bộ nhớ thứ nhất 802 và phần khoảng cách bộ nhớ 806 và ở giao diện của nắp lõi bộ nhớ thứ hai 804 và phần khoảng cách bộ nhớ 806. Có thể có đường cắt vảy bổ sung 830 ở trung tâm của phần khoảng cách bộ nhớ 806.

Trong khía cạnh thứ ba của sáng chế, IC bao gồm khối bộ nhớ thứ nhất 340 (hoặc các khối bộ nhớ 400, 410, 420, 430, 440, 450, 460, 470), khối bộ nhớ thứ hai 340 (hoặc các khối bộ nhớ 400, 410, 420, 430, 440, 450, 460, 470), và ô viền cho bộ nhớ thứ nhất 610, 620 giữa khối bộ nhớ thứ nhất 340 và khối bộ nhớ thứ hai 340. Ô viền cho bộ nhớ thứ nhất 610, 620 bao gồm nắp lõi bộ nhớ thứ nhất 702, 802 cho khối bộ nhớ thứ nhất 340 ở mặt thứ nhất của ô, và nắp lõi bộ nhớ thứ hai 704, 804 cho khối bộ nhớ thứ hai 340 ở mặt thứ hai của ô. Mặt thứ hai đối diện với mặt thứ nhất. Ô viền cho bộ nhớ thứ nhất 610, 620 còn bao gồm phần khoảng cách bộ nhớ 706, 806 giữa nắp lõi bộ nhớ thứ nhất 702, 802 và nắp lõi bộ nhớ thứ hai 704, 804. Phần khoảng cách bộ nhớ 706, 806 cung cấp một khoảng cách giữa nắp lõi bộ nhớ thứ nhất 702, 802 và nắp lõi bộ nhớ thứ

hai 704, 804. Ở một cấu hình, khối bộ nhớ thứ nhất và khối bộ nhớ thứ hai mỗi khối có thể là một SRAM.

Ở một cấu hình, ô viền cho bộ nhớ thứ nhất là ô viền ngang 610, nắp lõi bộ nhớ thứ nhất 702 kéo dài theo chiều ngang theo hướng thứ nhất ở mặt thứ nhất của ô, và nắp lõi bộ nhớ thứ hai 704 kéo dài theo chiều ngang theo hướng thứ nhất ở mặt thứ hai của ô. Mặt thứ hai đối diện với mặt thứ nhất theo hướng thứ hai. Hướng thứ hai vuông góc với hướng thứ nhất. Phần khoảng cách bộ nhớ 706 kéo dài theo chiều ngang theo hướng thứ nhất giữa nắp lõi bộ nhớ thứ nhất 702 và nắp lõi bộ nhớ thứ hai 704. Ở một cấu hình, phần khoảng cách bộ nhớ 706 bao gồm nhiều liên kết cực cổng thứ nhất 710 kéo dài theo hướng thứ hai từ nắp lõi bộ nhớ thứ nhất 702, và nhiều liên kết cực cổng thứ hai 712 kéo dài theo hướng thứ hai từ nắp lõi bộ nhớ thứ hai 704. Các liên kết cực cổng tương ứng trong số nhiều liên kết cực cổng thứ nhất và thứ hai 710, 712 là thẳng hàng và được ngăn cách trong phần trung tâm của phần khoảng cách bộ nhớ 706. Ở một cấu hình, trong đó phần khoảng cách bộ nhớ 706 bao gồm nhiều vẫy 716 kéo dài theo hướng thứ nhất. Nhiều vẫy 716 nằm trong phần trung tâm của phần khoảng cách bộ nhớ 706. Ở một cấu hình, nắp lõi bộ nhớ thứ nhất 702 bao gồm vùng khuếch tán thứ nhất 718, và nắp lõi bộ nhớ thứ hai 704 bao gồm vùng khuếch tán thứ hai 724. Các vùng khuếch tán 718, 724 được hình thành bởi các vùng khuếch tán khác nhau, cả hai đều tách biệt với vùng bao gồm các vẫy 716, các vẫy này có thể không pha tạp. Do đó, nhiều vẫy 716 của phần khoảng cách bộ nhớ 706, vùng khuếch tán thứ nhất 718, và vùng khuếch tán thứ hai 724 không liên tục với nhau.

Ở một cấu hình, ô viền cho bộ nhớ thứ nhất là ô viền dọc 620, nắp lõi bộ nhớ thứ nhất 802 kéo dài theo chiều dọc theo hướng thứ hai ở mặt thứ nhất của ô, và nắp lõi bộ nhớ thứ hai 804 kéo dài theo chiều dọc theo hướng thứ hai ở mặt thứ hai của ô. Mặt thứ hai đối diện với mặt thứ nhất theo hướng thứ nhất. Mặt thứ nhất vuông góc với hướng thứ hai. Phần khoảng cách bộ nhớ 806 kéo dài theo chiều dọc theo hướng thứ hai giữa nắp lõi bộ nhớ thứ nhất 802 và nắp lõi bộ nhớ thứ hai 804. Ở một cấu hình, phần khoảng cách bộ nhớ 806 bao gồm nhiều liên kết cực cổng 810 kéo dài theo hướng thứ hai. Ở một cấu hình, phần khoảng cách bộ nhớ 806 bao gồm ít nhất một vùng khuếch tán 820 kéo dài theo hướng thứ nhất. (Các) vùng khuếch tán 820 nằm trong phần trung tâm của phần khoảng cách bộ nhớ 806. Ở một cấu hình, (các) vùng khuếch tán 820 bao gồm

nhều vảy 822 kéo dài theo hướng thứ nhất. Ở một cấu hình, nắp lõi bộ nhớ thứ nhất 802 bao gồm vùng khuếch tán thứ nhất 824, và nắp lõi bộ nhớ thứ hai 804 bao gồm vùng khuếch tán thứ hai 826. (Các) vùng khuếch tán 820 của phần khoảng cách bộ nhớ 806, vùng khuếch tán thứ nhất 824, và vùng khuếch tán thứ hai 826 không liên tục với nhau, do các đường cắt vảy 830 ở giao diện của nắp lõi bộ nhớ thứ nhất 802 và phần khoảng cách bộ nhớ 806 và ở giao diện của nắp lõi bộ nhớ thứ hai 804 và phần khoảng cách bộ nhớ 806. Có thể có đường cắt vảy bổ sung 830 ở trung tâm của phần khoảng cách bộ nhớ 806.

Ở một cấu hình, khối bộ nhớ thứ nhất 340 có mặt thứ nhất và mặt thứ hai đối diện mặt thứ nhất. Ô viền cho bộ nhớ thứ nhất 610, 620 liền kề với mặt thứ hai của khối bộ nhớ thứ nhất 340. IC còn bao gồm ô viền cho bộ nhớ thứ hai 612, 622 liền kề khối bộ nhớ thứ nhất 340 ở mặt thứ nhất của khối bộ nhớ thứ nhất 340. Ô viền cho bộ nhớ thứ hai 612, 622 bao gồm một nắp lõi bộ nhớ 902, 1002 cho khối bộ nhớ thứ nhất 340 ở mặt thứ nhất của ô liền kề mặt thứ nhất của khối bộ nhớ thứ nhất 340, và phần khoảng cách bộ nhớ 904, 1004 ở mặt thứ hai của ô.

Ở một cấu hình, khối bộ nhớ thứ nhất 400, 410, 420, 430, 440, 450, 460, 470 có mặt thứ nhất và mặt thứ hai đối diện mặt thứ nhất. Ô viền cho bộ nhớ thứ nhất 610, 620 liền kề với mặt thứ hai của khối bộ nhớ thứ nhất. Khối bộ nhớ thứ nhất 400, 410, 420, 430, 440, 450, 460, 470 bao gồm một nắp lõi bộ nhớ 322, 324 và phần khoảng cách bộ nhớ (phần biên) 326 ở mặt thứ nhất của khối bộ nhớ thứ nhất 400, 410, 420, 430, 440, 450, 460, 470. Khối bộ nhớ 400, 410, 420, 430, 440, 450, 460, 470 như vậy có thể được dùng ở chu vi ngoài 502, 504 của mảng SRAM như được minh họa trên Fig.5.

Quay trở lại các Fig.6 đến Fig.8, các ô viền ngang cho bộ nhớ 610 và ô viền dọc cho bộ nhớ 620 được tạo cấu hình với nắp lõi bộ nhớ kép. Các ô 610, 620 có thể được đặt liền kề các khối SRAM cơ sở 340 trong mảng SRAM, trong đó các khối SRAM 340 không bao gồm các nắp lõi bộ nhớ và phần biên. Ô viền ngang cho bộ nhớ 610 với nắp lõi bộ nhớ kép 702, 704 và phần khoảng cách bộ nhớ 706 có thể đem lại mức tiết kiệm diện tích đến 64% so với hai phần cạnh ngang của lõi liền kề 322 và phần biên 326 của khối SRAM 320. Ngoài ra, ô viền dọc cho bộ nhớ 620 với nắp lõi bộ nhớ kép 802, 804 và phần khoảng cách bộ nhớ 806 có thể đem lại mức tiết kiệm diện tích đến 49% so với hai phần cạnh dọc của lõi liền kề 324 và phần biên 326 của khối SRAM 320. Cùng với

đó, các khối SRAM cơ sở riêng biệt, tiếp giáp với các ô viền ngang cho bộ nhớ 610 và các ô viền dọc cho bộ nhớ 620 có thể đem lại mức tiết kiệm diện tích khoảng 2%, có khi hơn, và do đó có thể giảm mức chiếm dụng của SRAM trong thiết bị SoC.

Các khái niệm nêu ra *trên đây* có thể được áp dụng chung cho các khối macro cứng, do khối macro cứng thường đặt trong mảng có thể được thiết kế lại sao cho chúng có thể được đặt liền kề và kết nối với các ô viền ngang và ô viền dọc mà dẫn đến việc tiết kiệm mức chiếm dụng trong mảng khối macro cứng. Theo đó, vị trí và kỹ thuật tiếp xúc mới có thể được áp dụng chung cho các khối macro cứng. Ở một cấu hình, vị trí và kỹ thuật tiếp xúc mới có thể được áp dụng cho các bộ nhớ, và ở một cấu hình cụ thể, có thể được áp dụng cho SRAM.

Cần hiểu rằng vị trí hoặc thứ bậc các bước cụ thể trong các quy trình được bộc lộ là minh họa cho các phương pháp ví dụ. Dựa vào ưu tiên thiết kế, cần hiểu rằng vị trí hoặc thứ bậc các bước cụ thể trong các quy trình có thể được sắp xếp lại. Ngoài ra, một số bước có thể được kết hợp hoặc loại bỏ. Các yêu cầu bảo hộ phương pháp đi kèm trình bày các phần tử của nhiều bước theo thứ tự mẫu, và không chú ý bị giới hạn cho vị trí hoặc thứ bậc cụ thể được trình bày.

Phần mô tả trước đó được đề xuất để cho phép bất kỳ người nào có hiểu biết trung bình trong lĩnh vực thực hành nhiều khía cạnh được mô tả ở đây. Nhiều điều chỉnh cho các khía cạnh này sẽ dễ dàng được hiểu bởi người có hiểu biết trung bình trong lĩnh vực, và các quy định chung được xác định ở đây có thể được áp dụng cho các khía cạnh khác. Do đó, các điểm yêu cầu bảo hộ không dự định bị giới hạn ở các khía cạnh được thể hiện ở đây, sáng chế phải được hiểu theo phạm vi rộng nhất phù hợp với ngôn ngữ yêu cầu bảo hộ, trong đó sự viển dẫn đến phần tử ở dạng số ít không dự định có nghĩa là “một và chỉ một” trừ phi được quy định cụ thể như vậy, mà có nghĩa là “một hoặc nhiều”. Từ “mẫu” được dùng trong này có nghĩa là “đóng vai trò là ví dụ, trường hợp, hoặc minh họa.” Bất kỳ khía cạnh nào được mô tả ở đây là “mẫu” không nhất thiết được hiểu là được ưu tiên hay có ưu điểm hơn các khía cạnh khác. Nếu không được đề cập cụ thể khác đi, thì khái niệm “một số” chỉ một hoặc nhiều. Các kết hợp như “ít nhất một trong số A, B, hoặc C”, “ít nhất một trong số A, B, và C”, và “A, B, C, hoặc bất kỳ kết hợp nào của chúng bao gồm bất kỳ kết hợp nào trong số A, B, và/hoặc C, và có thể bao gồm nhiều A, nhiều B, hoặc nhiều C. Cụ thể, kết hợp như “ít nhất một trong số A, B, hoặc

C”, “ít nhất một trong số A, B, và C”, và “A, B, C hay bất kỳ kết hợp nào của chúng” có thể là chỉ A, chỉ B, chỉ C, A và B, A và C, B và C, hoặc A và B và C, trong đó bất kỳ kết hợp nào như vậy có thể chứa một hoặc nhiều thành phần trong số A, B, hoặc C. Hai liên kết có thể được gọi là “thẳng hàng” nếu chúng nằm trên cùng đường thẳng. Tất cả các cấu trúc và chức năng tương đương với các thành phần của các khía cạnh khác nhau được mô tả trong suốt sáng chế này đã được biết đến hoặc sau này được biết đến bởi những người có hiểu biết trung bình trong lĩnh vực kỹ thuật này đều được kết hợp rõ ràng ở đây bằng cách tham chiếu và dự kiến sẽ được bao gồm trong các yêu cầu bảo hộ. Ngoài ra, không điều nào được bộc lộ ở đây nhằm dành cho công chúng bất kể sáng chế được trích rõ ràng trong các yêu cầu bảo hộ. Không phần tử yêu cầu bảo hộ nào được hiểu là phương tiện cộng chức năng trừ khi phần tử được nêu rõ ràng sử dụng cụm từ “phương tiện để”.

Các ví dụ sau đây chỉ có tính minh họa và có thể được kết hợp với các khía cạnh của các phương án hoặc chỉ dẫn khác được mô tả ở đây mà không bị giới hạn.

Ví dụ 1 là ô viền ngang cho bộ nhớ trên IC bao gồm nắp lõi bộ nhớ thứ nhất kéo dài theo chiều ngang theo hướng thứ nhất ở mặt thứ nhất của ô, và nắp lõi bộ nhớ thứ hai kéo dài theo chiều ngang theo hướng thứ nhất ở mặt thứ hai của ô. Mặt thứ hai đối diện với mặt thứ nhất theo hướng thứ hai. Hướng thứ hai vuông góc với hướng thứ nhất. Ô viền ngang cho bộ nhớ còn bao gồm phần khoảng cách bộ nhớ kéo dài theo chiều ngang theo hướng thứ nhất giữa nắp lõi bộ nhớ thứ nhất và nắp lõi bộ nhớ thứ hai. Phần khoảng cách bộ nhớ cung cấp một khoảng cách theo hướng thứ hai giữa nắp lõi bộ nhớ thứ nhất và nắp lõi bộ nhớ thứ hai.

Ví dụ 2 là ô viền ngang cho bộ nhớ theo ví dụ 1, trong đó phần khoảng cách bộ nhớ bao gồm nhiều liên kết cực cổng thứ nhất kéo dài theo hướng thứ hai từ nắp lõi bộ nhớ thứ nhất, và nhiều liên kết cực cổng thứ hai kéo dài theo hướng thứ hai từ nắp lõi bộ nhớ thứ hai. Các liên kết cực cổng tương ứng trong số nhiều liên kết cực cổng thứ nhất và thứ hai là thẳng hàng và được ngăn cách trong phần trung tâm của phần khoảng cách bộ nhớ.

Ví dụ 3 là ô viền ngang cho bộ nhớ theo ví dụ bất kỳ trong số ví dụ 1 và 2, trong đó phần khoảng cách bộ nhớ bao gồm nhiều vảy kéo dài theo hướng thứ nhất. Nhiều vảy nằm trong phần trung tâm của phần khoảng cách bộ nhớ.

Ví dụ 4 là ô viên ngang cho bộ nhớ theo ví dụ 3, trong đó nắp lõi bộ nhớ thứ nhất bao gồm vùng khuếch tán thứ nhất và nắp lõi bộ nhớ thứ hai bao gồm vùng khuếch tán thứ hai. Nhiều vây của phần khoảng cách bộ nhớ, vùng khuếch tán thứ nhất, và vùng khuếch tán thứ hai là không liên tục với nhau.

Ví dụ 5 là ô viên dọc cho bộ nhớ trên IC bao gồm nắp lõi bộ nhớ thứ nhất kéo dài theo chiều dọc theo hướng thứ hai ở mặt thứ nhất của ô, và nắp lõi bộ nhớ thứ hai kéo dài theo chiều dọc theo hướng thứ hai ở mặt thứ hai của ô. Mặt thứ hai đối diện với mặt thứ nhất theo hướng thứ nhất. Hướng thứ nhất vuông góc với hướng thứ hai. Ô viên dọc cho bộ nhớ còn bao gồm phần khoảng cách bộ nhớ kéo dài theo chiều dọc theo hướng thứ hai giữa nắp lõi bộ nhớ thứ nhất và nắp lõi bộ nhớ thứ hai. Phần khoảng cách bộ nhớ cung cấp một khoảng cách theo hướng thứ nhất giữa nắp lõi bộ nhớ thứ nhất và nắp lõi bộ nhớ thứ hai.

Ví dụ 6 là ô viên dọc cho bộ nhớ theo ví dụ 5, trong đó phần khoảng cách bộ nhớ bao gồm nhiều liên kết cực công kéo dài theo hướng thứ hai.

Ví dụ 7 là ô viên dọc cho bộ nhớ theo ví dụ bất kỳ trong số ví dụ 5 và 6, trong đó phần khoảng cách bộ nhớ bao gồm vùng khuếch tán kéo dài theo hướng thứ nhất. Vùng khuếch tán nằm trong phần trung tâm của phần khoảng cách bộ nhớ.

Ví dụ 8 là ô viên dọc cho bộ nhớ theo ví dụ 7, trong đó vùng khuếch tán bao gồm nhiều vây kéo dài theo hướng thứ nhất.

Ví dụ 9 là ô viên dọc cho bộ nhớ theo ví dụ bất kỳ trong số ví dụ 7 và 8, trong đó nắp lõi bộ nhớ thứ nhất bao gồm vùng khuếch tán thứ nhất, và nắp lõi bộ nhớ thứ hai bao gồm vùng khuếch tán thứ hai. Vùng khuếch tán của phần khoảng cách bộ nhớ, vùng khuếch tán thứ nhất, và vùng khuếch tán thứ hai là không liên tục với nhau.

Ví dụ 10 là IC bao gồm khối bộ nhớ thứ nhất, khối bộ nhớ thứ hai, và ô viên cho bộ nhớ thứ nhất giữa khối bộ nhớ thứ nhất và khối bộ nhớ thứ hai. Ô viên cho bộ nhớ thứ nhất bao gồm nắp lõi bộ nhớ thứ nhất cho khối bộ nhớ thứ nhất ở mặt thứ nhất của ô, và nắp lõi bộ nhớ thứ hai cho khối bộ nhớ thứ hai ở mặt thứ hai của ô. Mặt thứ hai đối diện với mặt thứ nhất. Ô viên cho bộ nhớ thứ nhất còn bao gồm phần khoảng cách bộ nhớ giữa nắp lõi bộ nhớ thứ nhất và nắp lõi bộ nhớ thứ hai. Phần khoảng cách bộ nhớ cung cấp một khoảng cách giữa nắp lõi bộ nhớ thứ nhất và nắp lõi bộ nhớ thứ hai.

Ví dụ 11 là IC theo ví dụ 10, trong đó ô viền cho bộ nhớ thứ nhất là ô viền ngang, nắp lõi bộ nhớ thứ nhất kéo dài theo chiều ngang theo hướng thứ nhất ở mặt thứ nhất của ô, nắp lõi bộ nhớ thứ hai kéo dài theo chiều ngang theo hướng thứ nhất ở mặt thứ hai của ô, mặt thứ hai đối diện với mặt thứ nhất theo hướng thứ hai, hướng thứ hai vuông góc với hướng thứ nhất, và phần khoảng cách bộ nhớ kéo dài theo chiều ngang theo hướng thứ nhất giữa nắp lõi bộ nhớ thứ nhất và nắp lõi bộ nhớ thứ hai.

Ví dụ 12 là IC theo ví dụ 11, trong đó phần khoảng cách bộ nhớ bao gồm nhiều liên kết cực cổng thứ nhất kéo dài theo hướng thứ hai từ nắp lõi bộ nhớ thứ nhất, và nhiều liên kết cực cổng thứ hai kéo dài theo hướng thứ hai từ nắp lõi bộ nhớ thứ hai. Các liên kết cực cổng tương ứng trong số nhiều liên kết cực cổng thứ nhất và thứ hai là thẳng hàng và được ngăn cách trong phần trung tâm của phần khoảng cách bộ nhớ.

Ví dụ 13 là IC theo ví dụ bất kỳ trong số ví dụ 11 và 12, trong đó phần khoảng cách bộ nhớ bao gồm nhiều vảy kéo dài theo hướng thứ nhất. Nhiều vảy nằm trong phần trung tâm của phần khoảng cách bộ nhớ.

Ví dụ 14 là IC theo ví dụ 13, trong đó nắp lõi bộ nhớ thứ nhất bao gồm vùng khuếch tán thứ nhất và nắp lõi bộ nhớ thứ hai bao gồm vùng khuếch tán thứ hai. Nhiều vảy của phần khoảng cách bộ nhớ, vùng khuếch tán thứ nhất, và vùng khuếch tán thứ hai là không liên tục với nhau.

Ví dụ 15 là IC theo ví dụ bất kỳ trong số ví dụ 10 đến 14, trong đó ô viền cho bộ nhớ thứ nhất là ô viền dọc, nắp lõi bộ nhớ thứ nhất kéo dài theo chiều dọc theo hướng thứ hai ở mặt thứ nhất của ô, nắp lõi bộ nhớ thứ hai kéo dài theo chiều dọc theo hướng thứ hai ở mặt thứ hai của ô, mặt thứ hai đối diện với mặt thứ nhất theo hướng thứ nhất, mặt thứ nhất vuông góc với hướng thứ hai, và phần khoảng cách bộ nhớ kéo dài theo chiều dọc theo hướng thứ hai giữa nắp lõi bộ nhớ thứ nhất và nắp lõi bộ nhớ thứ hai.

Ví dụ 16 là IC theo ví dụ 15, trong đó phần khoảng cách bộ nhớ bao gồm nhiều liên kết cực cổng kéo dài theo hướng thứ hai.

Ví dụ 17 là IC theo ví dụ bất kỳ trong số ví dụ 15 và 16, trong đó phần khoảng cách bộ nhớ bao gồm vùng khuếch tán kéo dài theo hướng thứ nhất. Vùng khuếch tán nằm trong phần trung tâm của phần khoảng cách bộ nhớ.

Ví dụ 18 là IC theo ví dụ 17, trong đó vùng khuếch tán bao gồm nhiều vảy kéo dài theo hướng thứ nhất.

Ví dụ 19 là IC theo ví dụ bất kỳ trong số ví dụ 17 và 18, trong đó nắp lõi bộ nhớ thứ nhất bao gồm vùng khuếch tán thứ nhất, và nắp lõi bộ nhớ thứ hai bao gồm vùng khuếch tán thứ hai. Vùng khuếch tán của phần khoảng cách bộ nhớ, vùng khuếch tán thứ nhất, và vùng khuếch tán thứ hai là không liên tục với nhau.

Ví dụ 20 là IC theo ví dụ bất kỳ trong số ví dụ 10 đến 19, trong đó khối bộ nhớ thứ nhất có mặt thứ nhất và mặt thứ hai đối diện mặt thứ nhất, ô viền cho bộ nhớ thứ nhất liền kề mặt thứ hai của khối bộ nhớ thứ nhất, và IC còn bao gồm ô viền cho bộ nhớ thứ hai liền kề khối bộ nhớ thứ nhất ở mặt thứ nhất của khối bộ nhớ thứ nhất. Ô viền cho bộ nhớ thứ hai bao gồm một nắp lõi bộ nhớ cho khối bộ nhớ thứ nhất ở mặt thứ nhất của ô liền kề mặt thứ nhất của khối bộ nhớ thứ nhất, và phần khoảng cách bộ nhớ ở mặt thứ hai của ô.

Ví dụ 21 là IC theo ví dụ bất kỳ trong số ví dụ 10 đến 19, trong đó khối bộ nhớ thứ nhất có mặt thứ nhất và mặt thứ hai đối diện mặt thứ nhất, ô viền cho bộ nhớ thứ nhất liền kề mặt thứ hai của khối bộ nhớ thứ nhất, và khối bộ nhớ thứ nhất bao gồm một nắp lõi bộ nhớ và phần khoảng cách bộ nhớ ở mặt thứ nhất của khối bộ nhớ thứ nhất.

Ví dụ 22 là IC theo ví dụ bất kỳ trong số ví dụ 10 đến 21, trong đó mỗi khối bộ nhớ thứ nhất và khối bộ nhớ thứ hai là một SRAM.

YÊU CẦU BẢO HỘ

1. Ô viền ngang cho bộ nhớ trên mạch tích hợp (integrated circuit - IC) bao gồm:

nắp lõi bộ nhớ thứ nhất kéo dài theo chiều ngang theo hướng thứ nhất trên mặt thứ nhất của ô;

nắp lõi bộ nhớ thứ hai kéo dài theo chiều ngang theo hướng thứ nhất trên mặt thứ hai của ô, mặt thứ hai đối diện mặt thứ nhất theo hướng thứ hai, hướng thứ hai vuông góc với hướng thứ nhất; và

phần khoảng cách bộ nhớ kéo dài theo chiều ngang theo hướng thứ nhất giữa nắp lõi bộ nhớ thứ nhất và nắp lõi bộ nhớ thứ hai, phần khoảng cách bộ nhớ cung cấp một khoảng cách theo hướng thứ hai giữa nắp lõi bộ nhớ thứ nhất và nắp lõi bộ nhớ thứ hai, trong đó phần khoảng cách bộ nhớ bao gồm:

nhieu liên kết cực cổng thứ nhất kéo dài theo hướng thứ hai từ nắp lõi bộ nhớ nhất; và

nhieu liên kết cực cổng thứ hai kéo dài theo hướng thứ hai từ nắp lõi bộ nhớ hai.

2. Ô viền ngang cho bộ nhớ theo điểm 1, trong đó các liên kết cực cổng tương ứng trong số nhieu liên kết cực cổng thứ nhất và thứ hai là thẳng hàng và được ngăn cách trong phần trung tâm của phần khoảng cách bộ nhớ.

3. Ô viền ngang cho bộ nhớ trên mạch tích hợp (integrated circuit - IC) bao gồm:

nắp lõi bộ nhớ thứ nhất kéo dài theo chiều ngang theo hướng thứ nhất trên mặt thứ nhất của ô;

nắp lõi bộ nhớ thứ hai kéo dài theo chiều ngang theo hướng thứ nhất trên mặt thứ hai của ô, mặt thứ hai đối diện mặt thứ nhất theo hướng thứ hai, hướng thứ hai vuông góc với hướng thứ nhất; và

phần khoảng cách bộ nhớ kéo dài theo chiều ngang theo hướng thứ nhất giữa nắp lõi bộ nhớ thứ nhất và nắp lõi bộ nhớ thứ hai, phần khoảng cách bộ nhớ cung cấp một khoảng cách theo hướng thứ hai giữa nắp lõi bộ nhớ thứ nhất và nắp lõi bộ nhớ thứ hai,

trong đó phần khoảng cách bộ nhớ bao gồm nhiều vảy kéo dài theo hướng thứ nhất, nhiều vảy nằm trong phần trung tâm của phần khoảng cách bộ nhớ.

4. Ô viền ngang cho bộ nhớ theo điểm 3, trong đó:

nắp lõi bộ nhớ thứ nhất bao gồm vùng khuếch tán thứ nhất;

nắp lõi bộ nhớ thứ hai bao gồm vùng khuếch tán thứ hai; và

nhiều vảy của phần khoảng cách bộ nhớ, vùng khuếch tán thứ nhất, và vùng khuếch tán thứ hai là không liên tục với nhau.

5. Ô viền dọc cho bộ nhớ trên mạch tích hợp (IC) bao gồm:

nắp lõi bộ nhớ thứ nhất kéo dài theo chiều dọc theo hướng thứ hai trên mặt thứ nhất của ô;

nắp lõi bộ nhớ thứ hai kéo dài theo chiều dọc theo hướng thứ hai trên mặt thứ hai của ô, mặt thứ hai đối diện mặt thứ nhất theo hướng thứ nhất, hướng thứ nhất vuông góc với hướng thứ hai; và

phần khoảng cách bộ nhớ kéo dài theo chiều dọc theo hướng thứ hai giữa nắp lõi bộ nhớ thứ nhất và nắp lõi bộ nhớ thứ hai, phần khoảng cách bộ nhớ cung cấp một khoảng cách theo hướng thứ nhất giữa nắp lõi bộ nhớ thứ nhất và nắp lõi bộ nhớ thứ hai, trong đó phần khoảng cách bộ nhớ bao gồm nhiều liên kết cực cổng kéo dài theo hướng thứ hai.

6. Ô viền dọc cho bộ nhớ trên mạch tích hợp (IC) bao gồm:

nắp lõi bộ nhớ thứ nhất kéo dài theo chiều dọc theo hướng thứ hai trên mặt thứ nhất của ô;

nắp lõi bộ nhớ thứ hai kéo dài theo chiều dọc theo hướng thứ hai trên mặt thứ hai của ô, mặt thứ hai đối diện mặt thứ nhất theo hướng thứ nhất, hướng thứ nhất vuông góc với hướng thứ hai; và

phần khoảng cách bộ nhớ kéo dài theo chiều dọc theo hướng thứ hai giữa nắp lõi bộ nhớ thứ nhất và nắp lõi bộ nhớ thứ hai, phần khoảng cách bộ nhớ cung cấp một khoảng cách theo hướng thứ nhất giữa nắp lõi bộ nhớ thứ nhất và nắp lõi bộ nhớ thứ hai,

trong đó phần khoảng cách bộ nhớ bao gồm vùng khuếch tán kéo dài theo hướng thứ nhất, vùng khuếch tán nằm trong phần trung tâm của phần khoảng cách bộ nhớ.

7. Ô viền dọc cho bộ nhớ theo điểm 6, trong đó vùng khuếch tán bao gồm nhiều vảy kéo dài theo hướng thứ nhất.

8. Ô viền dọc cho bộ nhớ theo điểm 6, trong đó:

nắp lõi bộ nhớ thứ nhất bao gồm vùng khuếch tán thứ nhất;

nắp lõi bộ nhớ thứ hai bao gồm vùng khuếch tán thứ hai; và

vùng khuếch tán của phần khoảng cách bộ nhớ, vùng khuếch tán thứ nhất, và vùng khuếch tán thứ hai là không liên tục với nhau.

9. Mạch tích hợp (IC) bao gồm:

khối bộ nhớ thứ nhất;

khối bộ nhớ thứ hai; và

ô viền cho bộ nhớ thứ nhất giữa khối bộ nhớ thứ nhất và khối bộ nhớ thứ hai, ô viền cho bộ nhớ thứ nhất bao gồm:

nắp lõi bộ nhớ thứ nhất cho khối bộ nhớ thứ nhất trên mặt thứ nhất của ô;

nắp lõi bộ nhớ thứ hai cho khối bộ nhớ thứ hai trên mặt thứ hai của ô, mặt thứ hai đối diện mặt thứ nhất; và

phần khoảng cách bộ nhớ giữa nắp lõi bộ nhớ thứ nhất và nắp lõi bộ nhớ thứ hai, phần khoảng cách bộ nhớ cung cấp một khoảng cách giữa nắp lõi bộ nhớ thứ nhất và nắp lõi bộ nhớ thứ hai,

trong đó phần khoảng cách bộ nhớ bao gồm ít nhất một trong số:

(1) nhiều liên kết cực cổng thứ nhất kéo dài từ nắp lõi bộ nhớ thứ nhất, và nhiều liên kết cực cổng thứ hai kéo dài từ nắp lõi bộ nhớ thứ hai;

(2) nhiều vảy trong phần trung tâm của phần khoảng cách bộ nhớ;

(3) nhiều liên kết cực cổng kéo dài theo phần khoảng cách bộ nhớ;

hoặc

(4) vùng khuếch tán trong phần trung tâm của phần khoảng cách bộ nhớ.

10. IC theo điểm 9, trong đó ô viền cho bộ nhớ thứ nhất là ô viền ngang, nắp lõi bộ nhớ thứ nhất kéo dài theo chiều ngang theo hướng thứ nhất trên mặt thứ nhất của ô, nắp lõi bộ nhớ thứ hai kéo dài theo chiều ngang theo hướng thứ nhất trên mặt thứ hai của ô, mặt thứ hai đối diện với mặt thứ nhất theo hướng thứ hai, hướng thứ hai vuông góc với hướng thứ nhất, và phần khoảng cách bộ nhớ kéo dài theo chiều ngang theo hướng thứ nhất giữa nắp lõi bộ nhớ thứ nhất và nắp lõi bộ nhớ thứ hai.

11. IC theo điểm 10, trong đó phần khoảng cách bộ nhớ bao gồm:

nhiều liên kết cực cổng thứ nhất kéo dài theo hướng thứ hai từ nắp lõi bộ nhớ nhất; và

nhiều liên kết cực cổng thứ hai kép dài theo hướng thứ hai từ nắp lõi bộ nhớ thứ hai, các liên kết cực cổng tương ứng của nhiều liên kết cực cổng thứ nhất và thứ hai thẳng hàng và tách biệt trong phần trung tâm của phần khoảng cách bộ nhớ.

12. IC theo điểm 10, trong đó phần khoảng cách bộ nhớ bao gồm nhiều vây kéo dài theo hướng thứ nhất trong phần trung tâm của phần khoảng cách bộ nhớ.

13. IC theo điểm 12, trong đó:

nắp lõi bộ nhớ thứ nhất bao gồm vùng khuếch tán thứ nhất;

nắp lõi bộ nhớ thứ hai bao gồm vùng khuếch tán thứ hai; và

nhiều vây của phần khoảng cách bộ nhớ, vùng khuếch tán thứ nhất, và vùng khuếch tán thứ hai là không liên tục với nhau.

14. IC theo điểm 9, trong đó ô viền cho bộ nhớ thứ nhất là ô viền dọc, nắp lõi bộ nhớ thứ nhất kéo dài theo chiều dọc theo hướng thứ hai trên mặt thứ nhất của ô, nắp lõi bộ nhớ thứ hai kéo dài theo chiều dọc theo hướng thứ hai trên mặt thứ hai của ô, mặt thứ hai đối diện với mặt thứ nhất theo hướng thứ nhất, mặt thứ nhất vuông góc với hướng thứ hai, và phần khoảng cách bộ nhớ kéo dài theo chiều dọc theo hướng thứ hai giữa nắp lõi bộ nhớ thứ nhất và nắp lõi bộ nhớ thứ hai.

15. IC theo điểm 14, trong đó phần khoảng cách bộ nhớ bao gồm nhiều liên kết cực công kéo dài theo hướng thứ hai.

16. IC theo điểm 14, trong đó phần khoảng cách bộ nhớ bao gồm vùng khuếch tán kéo dài theo hướng thứ nhất trong phần trung tâm của phần khoảng cách bộ nhớ.

17. IC theo điểm 16, trong đó vùng khuếch tán bao gồm nhiều vảy kéo dài theo hướng thứ nhất.

18. IC theo điểm 16, trong đó:

nắp lõi bộ nhớ thứ nhất bao gồm vùng khuếch tán thứ nhất;

nắp lõi bộ nhớ thứ hai bao gồm vùng khuếch tán thứ hai; và

vùng khuếch tán của phần khoảng cách bộ nhớ, vùng khuếch tán thứ nhất, và vùng khuếch tán thứ hai là không liên tục với nhau.

19. IC theo điểm 9, trong đó khối bộ nhớ thứ nhất có mặt thứ nhất và mặt thứ hai đối diện mặt thứ nhất, ô viền cho bộ nhớ thứ nhất liền kề mặt thứ hai của khối bộ nhớ thứ nhất, và IC còn bao gồm:

ô viền cho bộ nhớ thứ hai liền kề khối bộ nhớ thứ nhất ở mặt thứ nhất của khối bộ nhớ thứ nhất, ô viền cho bộ nhớ thứ hai bao gồm một nắp lõi bộ nhớ cho khối bộ nhớ thứ nhất trên mặt thứ nhất của ô liền kề mặt thứ nhất của khối bộ nhớ thứ nhất, và phần khoảng cách bộ nhớ trên mặt thứ hai của ô.

20. IC theo điểm 9, trong đó khối bộ nhớ thứ nhất có mặt thứ nhất và mặt thứ hai đối diện mặt thứ nhất, ô viền cho bộ nhớ thứ nhất liền kề mặt thứ hai của khối bộ nhớ thứ nhất, và khối bộ nhớ thứ nhất bao gồm một nắp lõi bộ nhớ và phần khoảng cách bộ nhớ trên mặt thứ nhất của khối bộ nhớ thứ nhất.

21. IC theo điểm 9, trong đó mỗi khối bộ nhớ thứ nhất và khối bộ nhớ thứ hai là một bộ nhớ truy cập ngẫu nhiên tĩnh (static random access memory - SRAM).

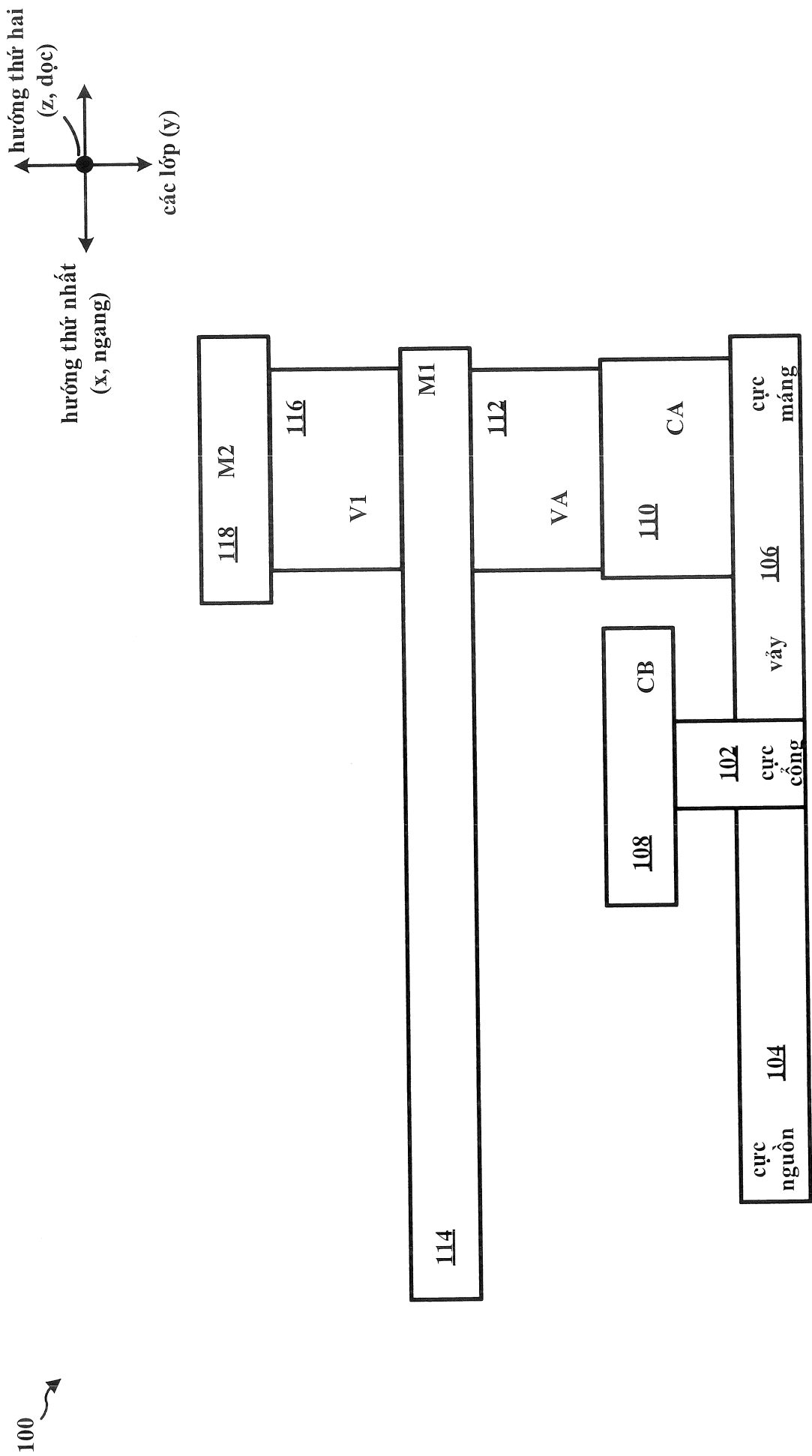


FIG. 1

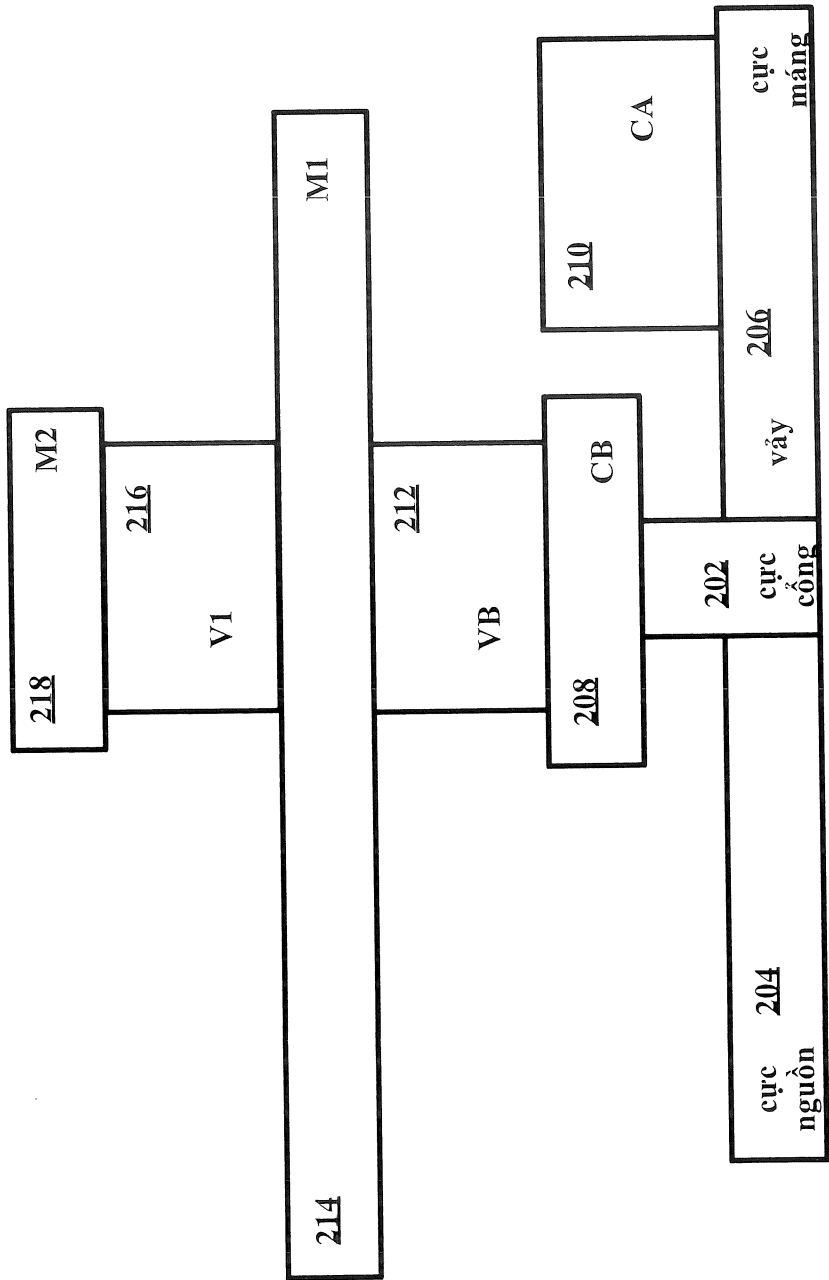
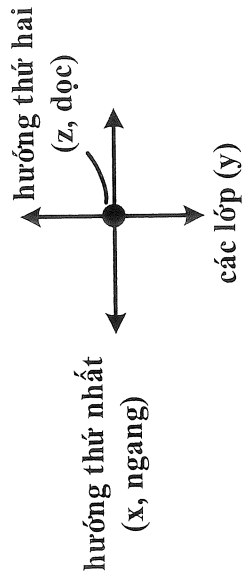


FIG. 2

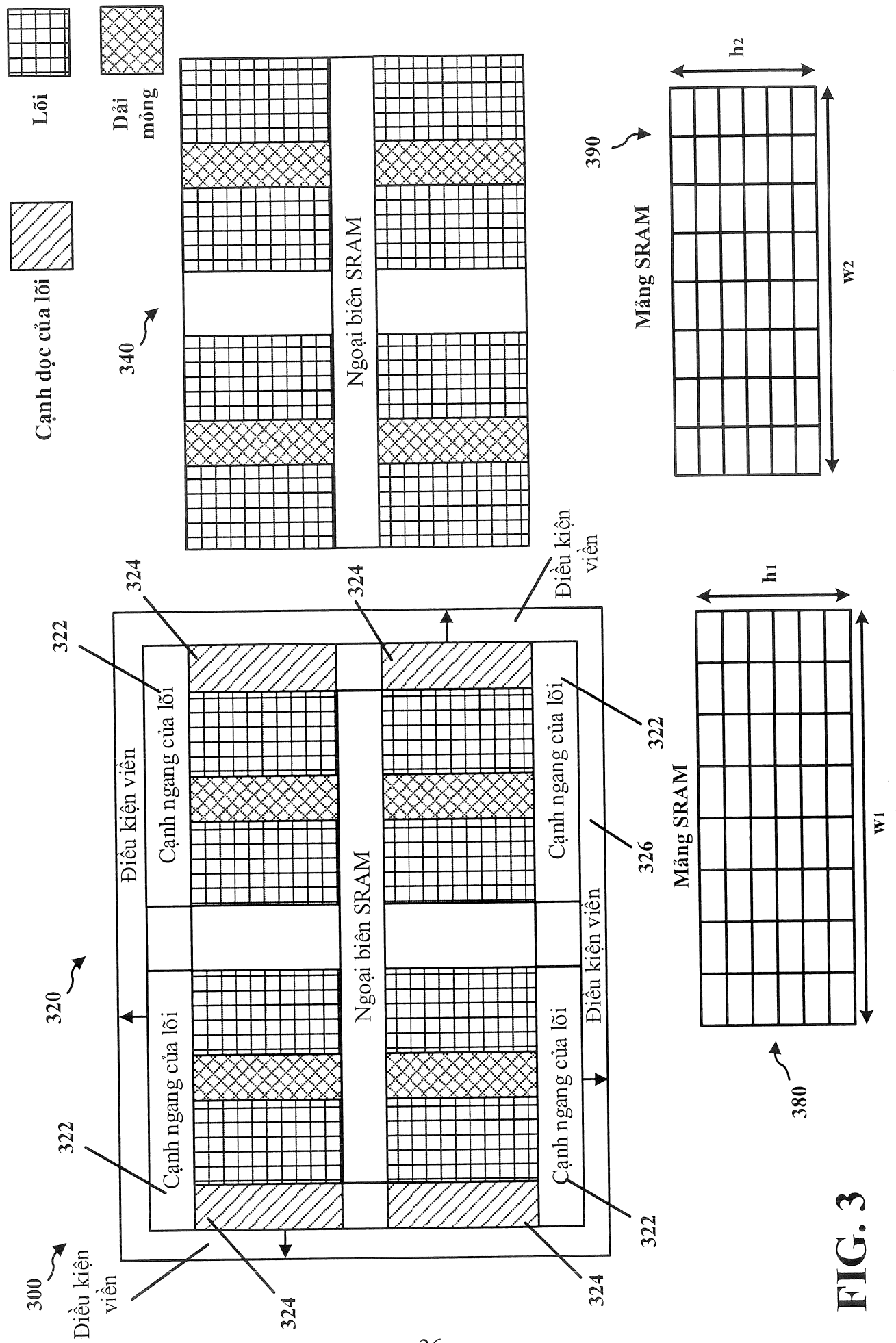


FIG. 3

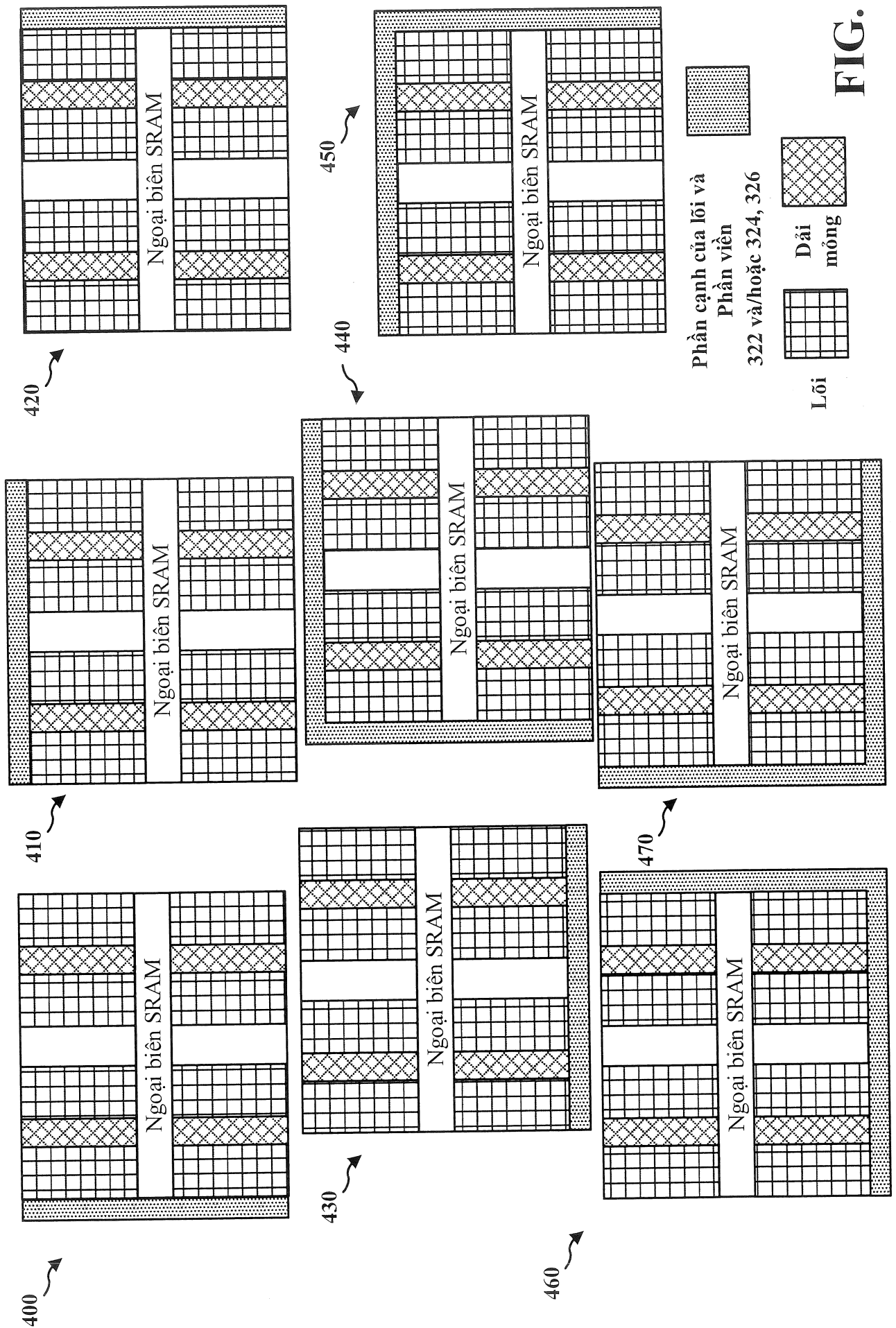
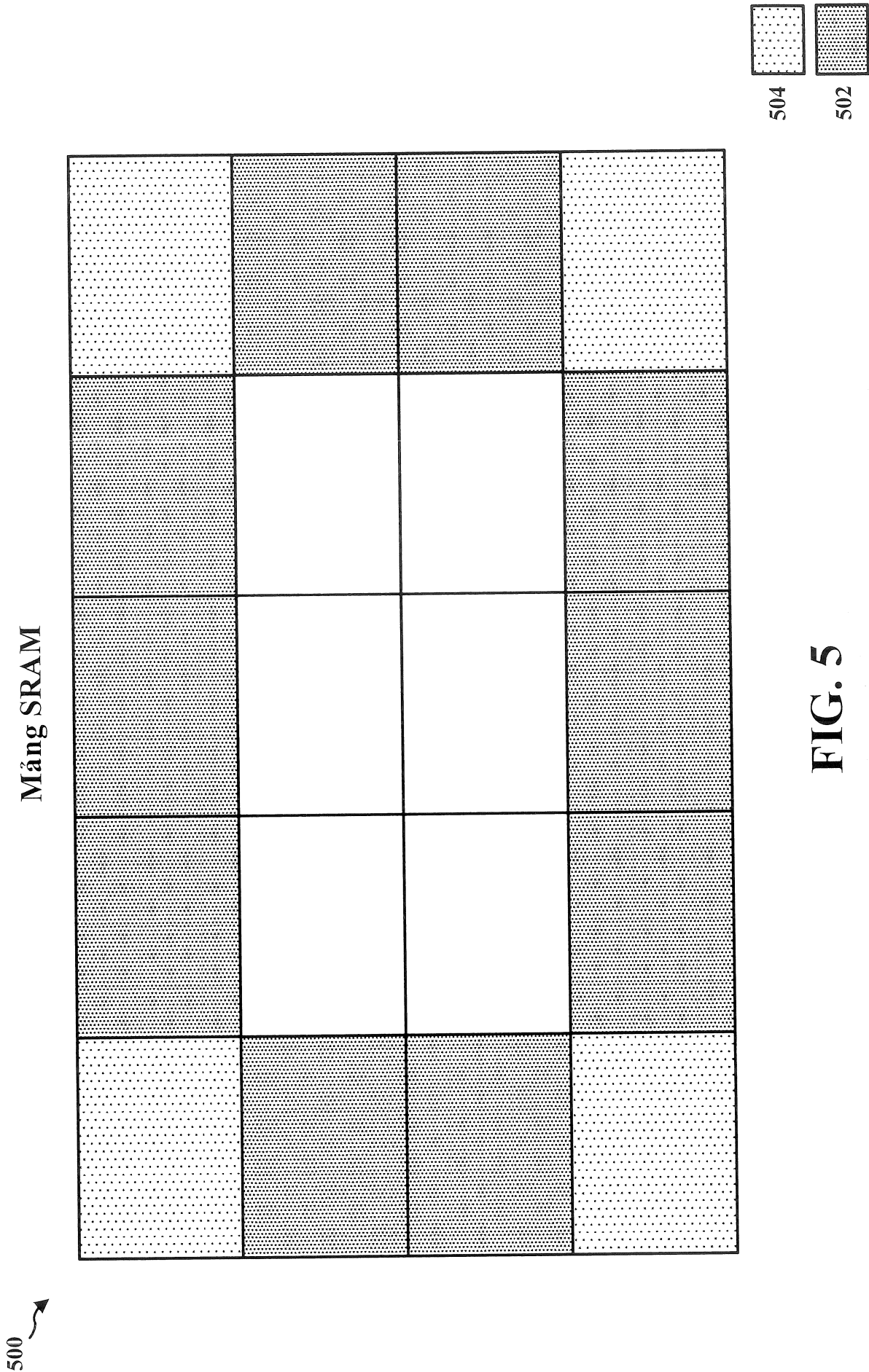


FIG. 4



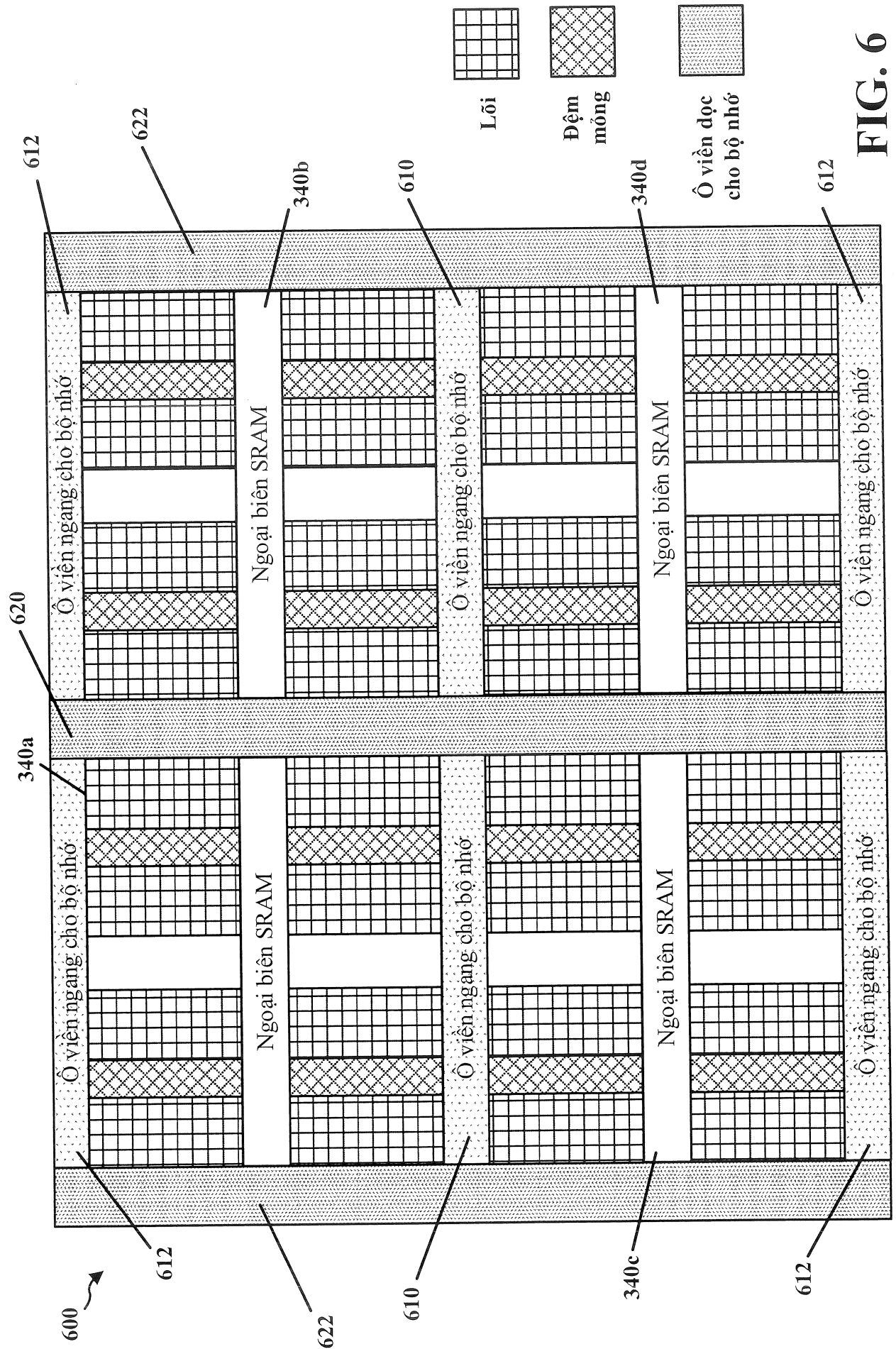


FIG. 6

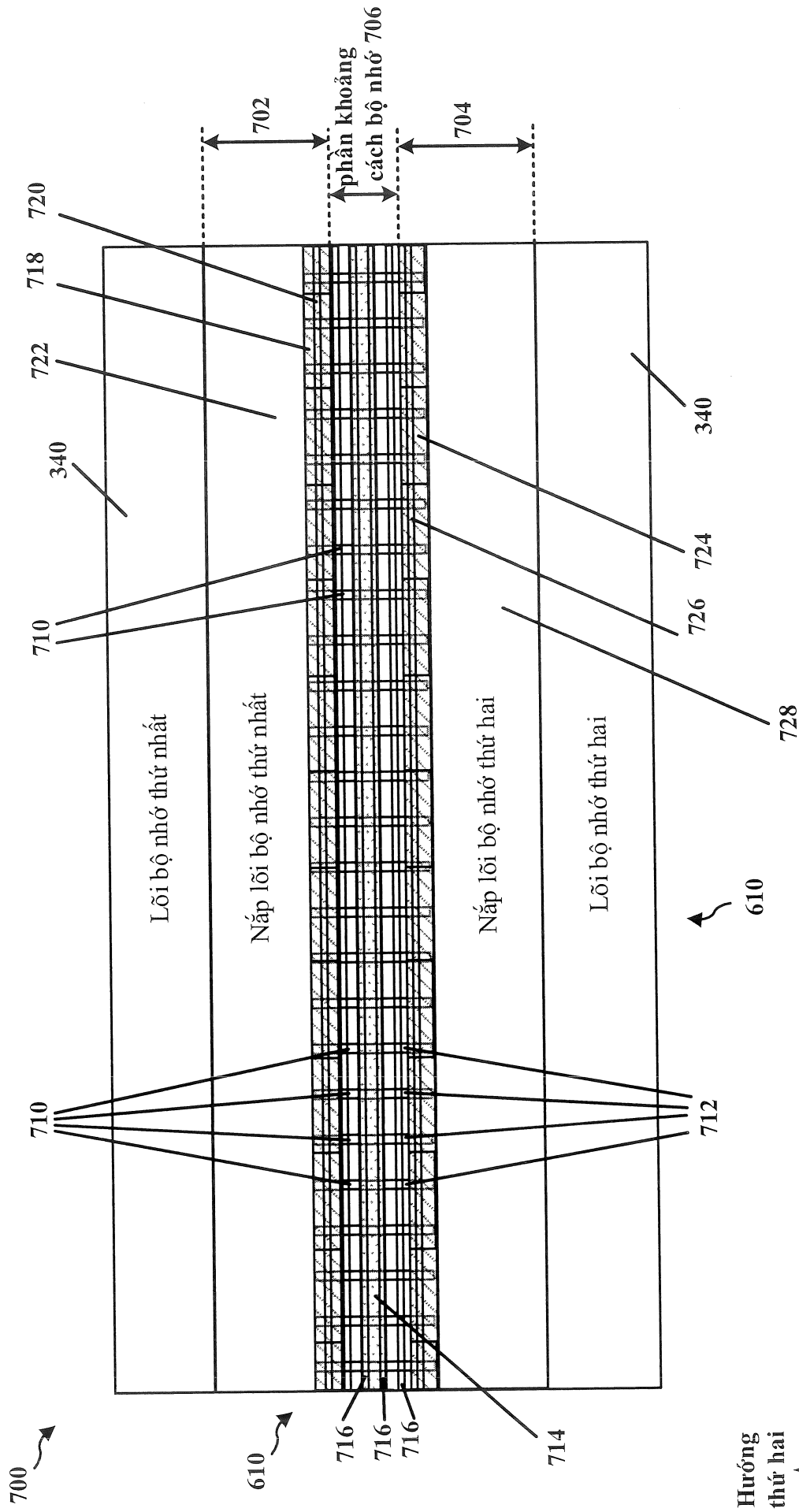


FIG. 7

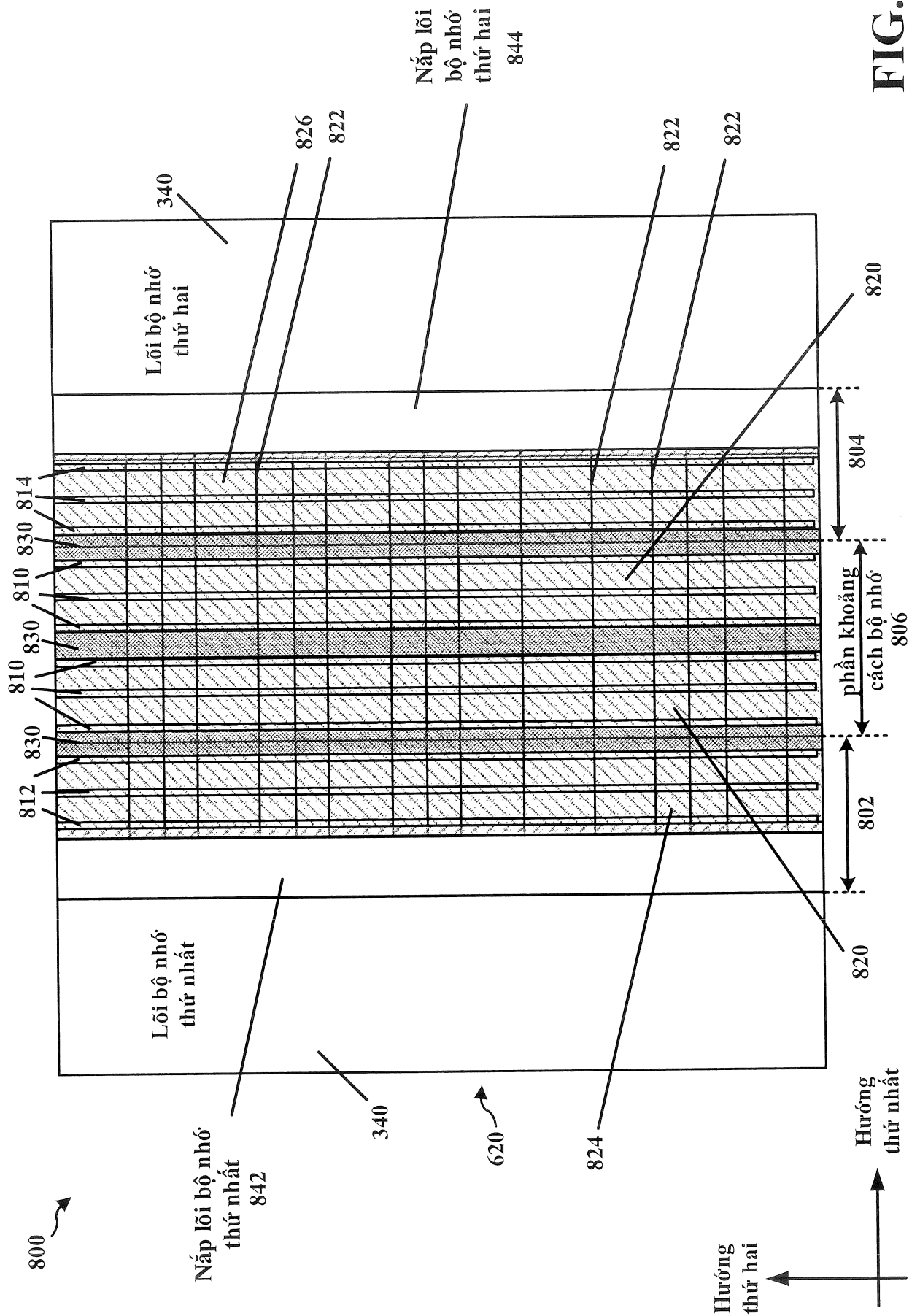


FIG. 8

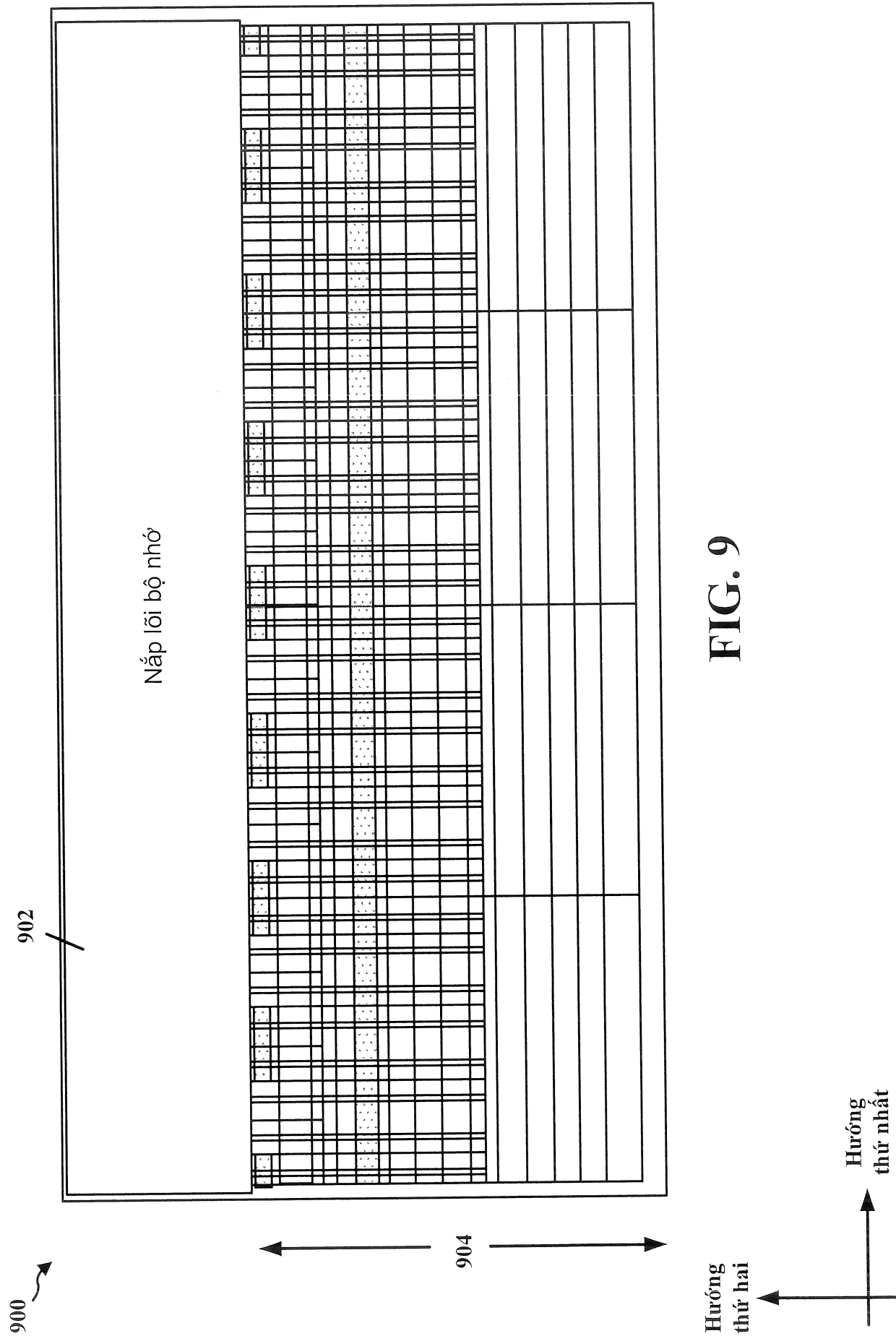


FIG. 9

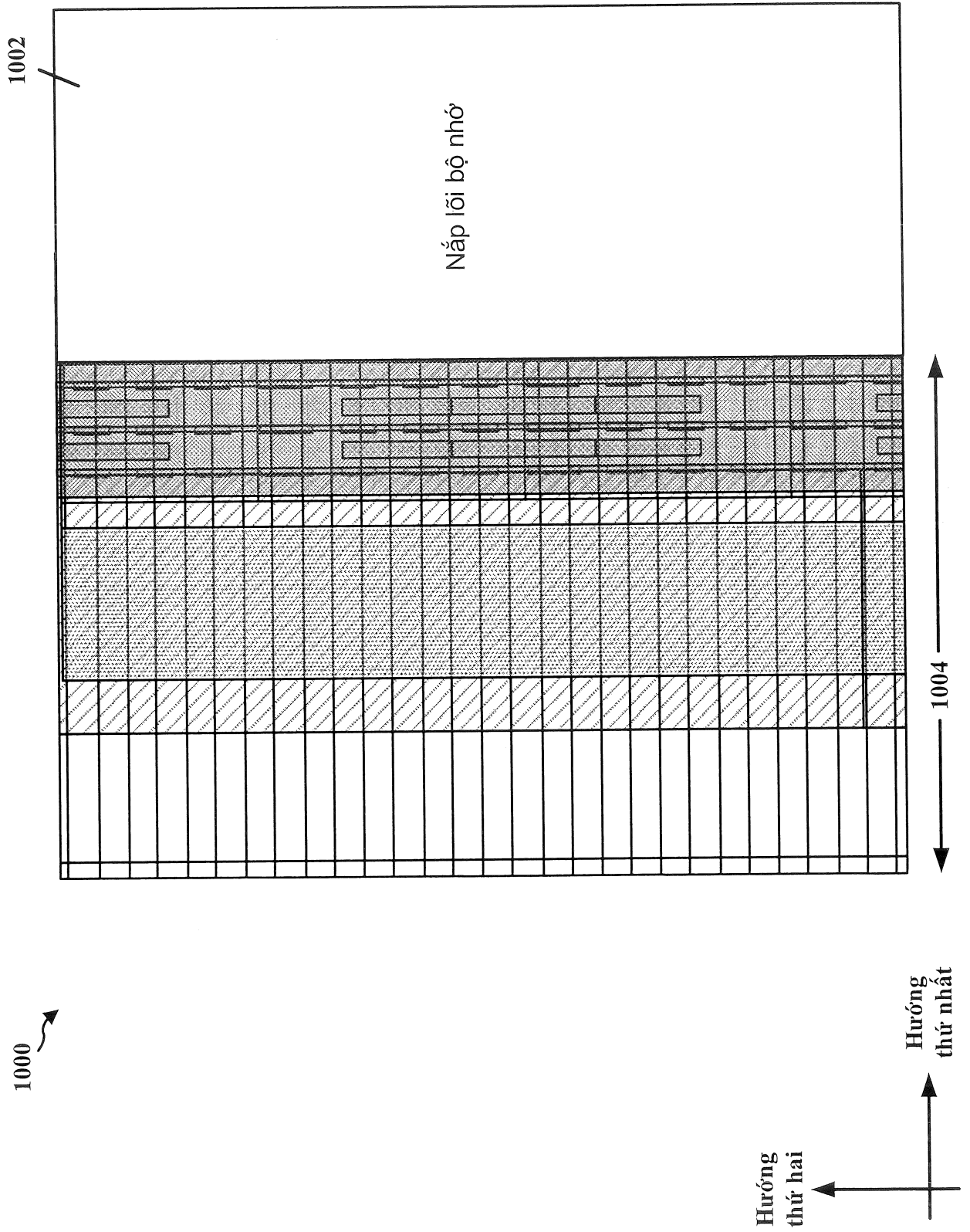


FIG. 10