



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0052223

(51)^{2021.01} H03K 5/13; H03K 3/01

(13) B

(21) 1-2022-03598

(22) 28/10/2020

(86) PCT/US2020/057693 28/10/2020

(87) WO 2021/126373 24/06/2021

(30) 16/722,572 20/12/2019 US

(45) 27/10/2025 451

(43) 25/08/2022 413A

(73) QUALCOMM INCORPORATED (US)

ATTN: International IP Administration, 5775 Morehouse Drive, San Diego, CA
92121-1714, United States of America

(72) WU, Zhengzheng (CN); ZHANG, Xu (CN); HUANG, Xuhao (US).

(74) Công ty TNHH Quốc tế D & N (D&N INTERNATIONAL CO.,LTD.)

(54) BỘ DAO ĐỘNG VÒNG, THIẾT BỊ TẠO THỜI GIAN TRỄ HOẶC TẦN SỐ
CHÍNH XÁC VÀ ỔN ĐỊNH VỀ XỬ LÝ-ĐIỆN ÁP-NHIỆT ĐỘ VÀ PHƯƠNG
PHÁP PHÂN CỰC MẠCH TRỄ BÁN DẪN OXIT KIM LOẠI BỔ SUNG

(21) 1-2022-03598

(57) Sáng chế đề cập đến phương pháp tạo thời gian trễ hoặc tần số chính xác và ổn định PVT bằng cách sử dụng mạch CMOS. Trong một số phương án thực hiện, phương pháp này bao gồm bước cung cấp điện áp tham chiếu bằng cách sử dụng modul điện trở tại cực đầu vào dương của bộ khuếch đại thuật toán, ghép nối các cực cổng của cặp bóng bán dẫn bán dẫn oxit kim loại loại p (pMOS - p-type metal oxide semiconductor) và tụ điện bù với cực đầu ra của bộ khuếch đại thuật toán để tạo ra tín hiệu phân cực thứ nhất, và ghép nối cặp bóng bán dẫn bán dẫn oxit kim loại loại n (nMOS - n-type metal oxide semiconductor) với cực âm của bộ khuếch đại thuật toán để tạo ra tín hiệu phân cực thứ hai ở cực âm, trong đó cặp bóng bán dẫn nMOS về cơ bản giống cặp bóng bán dẫn nMOS trong mạch trễ CMOS. Ngoài ra, sáng chế còn đề cập đến bộ dao động vòng, thiết bị tạo thời gian trễ hoặc tần số chính xác và ổn định về xử lý-điện áp-nhiệt độ (PVT), và phương pháp phân cực mạch trễ bán dẫn oxit kim loại bổ sung (CMOS). Sáng chế cũng đề cập đến bộ dao động vòng, thiết bị tạo thời gian trễ hoặc tần số chính xác và ổn định về xử lý-điện áp-nhiệt độ (PVT - process-voltage-temperature) và phương pháp phân cực mạch trễ bán dẫn oxit kim loại bổ sung (complementary metal oxide semiconductor - CMOS).

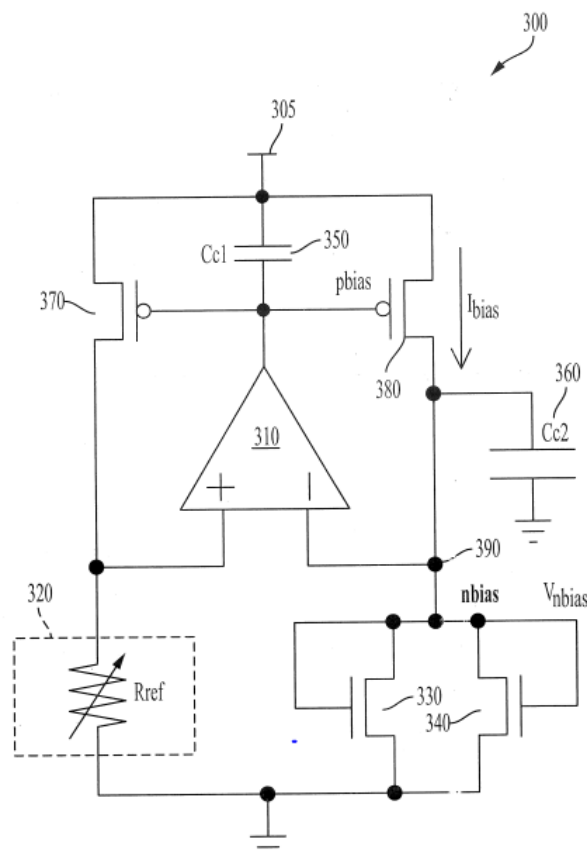


Fig.3

Lĩnh vực kỹ thuật được đề cập

Các khía cạnh của sáng chế nói chung liên quan đến việc tạo phân cực cho mạch trễ, và cụ thể hơn là thiết bị và phương pháp tạo thời gian trễ hoặc tần số chính xác và ổn định về mặt xử lý-điện áp-nhiệt độ (PVT - process-voltage-temperature) nhờ sử dụng mạch bán dẫn oxit kim loại bổ sung (CMOS - complementary metal oxide semiconductor).

Tình trạng kỹ thuật của sáng chế

Mạch trễ là mạch được tạo cấu hình để làm trễ tín hiệu theo thời gian trễ. Mạch trễ có thể được sử dụng để điều chỉnh việc định thời tín hiệu bằng cách cho trễ tín hiệu trễ một khoảng thời gian trễ nhất định. Ví dụ, nhiều mạch trễ có thể được sử dụng để xây dựng đường trễ để điều chỉnh định thời của tín hiệu (ví dụ, tín hiệu dữ liệu hoặc tín hiệu đồng hồ). Mạch trễ được sử dụng rộng rãi trong các vòng khóa pha (PLL - phase locked loop), vòng khóa trễ (DLL - delay locked loop), bộ chuyển đổi tương tự sang số (ADC - analog to digital converter) dựa trên thời gian, bộ dịch pha tần số vô tuyến (RF - radio frequency), v.v. Tuy nhiên, thời gian trễ của mạch trễ dễ bị ảnh hưởng bởi sự thay đổi về xử lý, điện áp và nhiệt độ (PVT).

Bản chất kỹ thuật của sáng chế

Phần tiếp theo được trình bày ngắn gọn và súc tích về một hoặc nhiều phương án thực hiện sáng chế nhằm cung cấp những hiểu biết cơ bản về các phương án thực hiện sáng chế này. Bản chất kỹ thuật của sáng chế nêu ở phần này không bao quát tổng quan tất cả các phương án thực hiện sáng chế và không nhằm mục đích xác định các yếu tố chính hoặc quan trọng của tất cả các phương án thực hiện sáng chế hay phân định phạm vi của bất kỳ hoặc tất cả các phương án thực hiện sáng chế. Mục đích duy nhất của phần này là trình bày một số khái niệm về một hoặc nhiều phương án thực hiện ở dạng đơn giản hóa như là phần mở đầu cho phần mô tả chi tiết hơn sẽ được trình bày tiếp sau đây.

Trong một số phương án thực hiện, thiết bị có ít nhất một mạch trễ bán dẫn oxit kim loại bổ sung (CMOS - complementary metal oxide semiconductor) được tạo cấu

hình để nhận cặp tín hiệu đầu vào vi sai và tạo ra cặp tín hiệu đầu ra vi sai sau một khoảng thời gian trễ, và bộ tạo phân cực được tạo cấu hình để cung cấp tín hiệu phân cực thứ nhất và tín hiệu phân cực thứ hai tới ít nhất một mạch trễ CMOS. Bộ tạo phân cực có thể bao gồm bộ khuếch đại thuật toán (operational amplifier) có đầu ra, cực đầu vào dương, và cực đầu vào âm; môđun điện trở được ghép nối giữa cực đầu vào dương và cực nối đất; và cặp bóng bán dẫn bán dẫn oxit kim loại loại n (nMOS) được ghép nối giữa cực đầu vào âm và cực nối đất, trong đó đầu ra của bộ khuếch đại thuật toán được tạo cấu hình để cung cấp tín hiệu phân cực thứ nhất và cực đầu vào âm của bộ khuếch đại thuật toán được tạo cấu hình để cung cấp tín hiệu phân cực thứ hai.

Theo một số khía cạnh của sáng chế, mạch trễ CMOS và bộ tạo phân cực có thể là một phần của bộ dao động vòng. Bộ dao động vòng có thể còn bao gồm các mạch trễ bổ sung sao cho các mạch trễ được ghép nối với nhau để tạo thành một vòng.

Trong một số phương án thực hiện, ít nhất một mạch trễ CMOS bao gồm nhánh thứ nhất có bóng bán dẫn đầu vào thứ nhất và cặp bóng bán dẫn nMOS thứ nhất, cặp bóng bán dẫn nMOS thứ nhất được ghép nối song song với nhau giữa cực máng của bóng bán dẫn đầu vào thứ nhất và cực nối đất. Hơn nữa, ít nhất một mạch trễ CMOS còn bao gồm nhánh thứ hai có bóng bán dẫn đầu vào thứ hai và cặp bóng bán dẫn nMOS thứ hai, cặp bóng bán dẫn nMOS thứ hai được ghép nối song song với nhau giữa cực máng của bóng bán dẫn đầu vào thứ hai và cực nối đất, và trong đó cặp bóng bán dẫn nMOS của bộ tạo phân cực, cặp bóng bán dẫn nMOS thứ nhất và cặp bóng bán dẫn nMOS thứ hai về cơ bản giống nhau.

Trong một số phương án thực hiện, ít nhất một mạch trễ CMOS còn bao gồm bóng bán dẫn phân cực có cực cổng, cực nguồn và cực máng, cực cổng được tạo cấu hình để nhận tín hiệu phân cực thứ nhất từ bộ tạo phân cực và cực nguồn được tạo cấu hình để nhận nguồn cấp điện áp. Hơn nữa, bóng bán dẫn phân cực là bóng bán dẫn bán dẫn oxit kim loại loại p (pMOS).

Trong một số phương án thực hiện, ít nhất một mạch trễ CMOS còn bao gồm bộ chuyển mạch khởi động (startup switch) thứ nhất có cực nguồn, cực máng và cực cổng, cực nguồn của bộ chuyển mạch khởi động thứ nhất được ghép nối với cực máng của bóng bán dẫn phân cực và cực máng của bộ chuyển mạch khởi động thứ nhất được ghép nối với cực nguồn của bóng bán dẫn đầu vào thứ nhất; bộ chuyển mạch khởi động thứ hai gồm cực nguồn, cực máng và cực cổng, cực nguồn của bộ chuyển mạch khởi động

thứ hai được ghép nối với cực máng của bóng bán dẫn phân cực; và nhánh phụ có bóng bán dẫn pMOS thứ nhất và bóng bán dẫn pMOS thứ hai, trong đó bóng bán dẫn pMOS thứ nhất được ghép nối giữa cực máng của bộ chuyển mạch khởi động thứ hai và cực máng của bóng bán dẫn đầu vào thứ nhất, bóng bán dẫn pMOS thứ hai được ghép nối giữa cực máng của bộ chuyển mạch khởi động thứ hai và cực máng của bóng bán dẫn đầu vào thứ hai.

Trong một số phương án thực hiện, cực cổng của bóng bán dẫn pMOS thứ nhất của nhánh phụ được tạo cấu hình để nhận nguồn cấp điện áp thấp và cực cổng của bóng bán dẫn pMOS thứ hai của nhánh phụ được tạo cấu hình để nhận tín hiệu phân cực thứ hai từ bộ tạo phân cực.

Trong một số phương án thực hiện, cực cổng của bóng bán dẫn nMOS thứ nhất của cặp bóng bán dẫn nMOS thứ nhất và cực cổng của bóng bán dẫn nMOS thứ hai của cặp bóng bán dẫn nMOS thứ hai được ghép nối với nhau và được tạo cấu hình để nhận tín hiệu phân cực thứ hai từ bộ tạo phân cực.

Trong một số phương án thực hiện, độ trễ tỷ lệ với điện trở tương đương R_{ref} của modul điện trở.

Ngoài ra, modul điện trở bao gồm điện trở tụ điện được chuyển mạch có bộ chuyển mạch, tụ điện thứ nhất có điện dung C_{sw} , và tụ điện thứ hai có điện dung C_H được ghép nối song song với nhau. Ít nhất một mạch trễ CMOS còn bao gồm tụ tải thứ nhất được ghép nối giữa nút đầu ra thứ nhất và cực nối đất, và tụ tải thứ hai được ghép nối giữa nút đầu ra thứ hai và cực nối đất, trong đó tụ tải thứ nhất và tụ tải thứ hai về cơ bản có cùng điện dung C_L và độ trễ tỷ lệ với tỷ số giữa C_L và C_{sw} .

Trong một số phương án thực hiện, ít nhất một mạch trễ CMOS còn bao gồm mảng tụ điện để tinh chỉnh độ trễ, mảng tụ điện được tạo cấu hình để nhận nhiều bit điều khiển từ nhiều bộ đệm được phân cực bởi tín hiệu phân cực thứ hai từ bộ tạo phân cực.

Trong một số phương án thực hiện, modul điện trở bao gồm biến trở.

Để đạt được các mục đích nêu trên và các mục đích liên quan, một hoặc nhiều phương án thực hiện bao gồm các tính năng sau đây được mô tả đầy đủ và được chỉ ra một cách cụ thể trong các điểm yêu cầu bảo hộ. Phần mô tả sau đây và các hình vẽ đi kèm trình bày chi tiết các khía cạnh minh họa nhất định của một hoặc nhiều phương án thực hiện. Tuy nhiên, những khía cạnh này chỉ mang tính chất chỉ ra một số cách khác nhau trong đó các nguyên tắc của các phương án thực hiện khác nhau có thể được sử

dụng và các phương án thực hiện được mô tả nhằm bao gồm tất cả các khía cạnh đó và các khía cạnh tương đương của chúng.

Mô tả vắn tắt các hình vẽ

Hình 1A và 1C thể hiện một số mạch phân cực thông thường cho mạch trễ.

Hình 1B là mạch trễ thông thường.

Hình 2 thể hiện một phương án thực hiện mạch trễ CMOS.

Hình 3 thể hiện một phương án thực hiện của bộ tạo phân cực để tạo tín hiệu phân cực cho một hoặc nhiều mạch trễ CMOS.

Hình 4 thể hiện một phương án thực hiện của điện trở tụ điện được chuyển mạch có thể sử dụng được trong bộ tạo phân cực được thể hiện trong Hình 3.

Hình 5 thể hiện một phương án thực hiện khác của mạch trễ CMOS.

Hình 6 thể hiện một phương án thực hiện của bộ dao động vòng.

Hình 7A và 7B thể hiện các phương án thực hiện của mảng tụ điện có thể sử dụng để tinh chỉnh mạch trễ.

Hình 7C thể hiện một phương án thực hiện modul điều khiển để tạo ra các bit điều khiển cho các mảng tụ điện trong Hình 7A và 7B.

Hình 8 thể hiện một phương án thực hiện phương pháp tạo thời gian trễ hoặc tần số ổn định và chính xác-PVT bằng cách sử dụng mạch CMOS.

Mô tả chi tiết sáng chế

Phần mô tả chi tiết được nêu dưới đây, kết hợp với các hình vẽ kèm theo, nhằm mục đích mô tả các cấu hình khác nhau và không nhằm trình bày các cấu hình duy nhất mà các khái niệm được mô tả ở đây có thể được thực hành. Phần mô tả chi tiết bao gồm các chi tiết cụ thể nhằm mục đích cung cấp sự hiểu biết thấu đáo về các khái niệm khác nhau. Tuy nhiên, đối với những người có hiểu biết trung bình trong lĩnh vực kỹ thuật này sẽ biết rõ rằng những khái niệm này có thể được thực hành mà không cần mô tả chi tiết. Trong một số trường hợp, các cấu trúc và thành phần đã được biết đến rộng rãi được thể hiện dưới dạng sơ đồ khối để làm nổi bật các khái niệm như vậy.

Như đã đề cập ở trên, mạch trễ được sử dụng rộng rãi để điều chỉnh thời gian của tín hiệu bằng cách làm trễ tín hiệu theo một khoảng thời gian trễ nhất định. Ví dụ, mạch trễ bán dẫn oxit kim loại bổ sung (CMOS) thường được sử dụng trong các mạch dựa trên thời gian, chẳng hạn như PLL, DLL, v.v. Tuy nhiên, thời gian trễ của mạch trễ CMOS có

thể khá nhạy cảm với sự thay đổi của PVT. Các kỹ thuật điều chỉnh điện áp hoặc dòng điện thông thường được sử dụng trong bộ tạo dao động (ví dụ, bộ dao động điều khiển kỹ thuật số (DCO), bộ dao động điều khiển điện áp (VCO)) không thể được áp dụng cho đường trễ có thể lập trình, bộ dịch pha RF kỹ thuật số, bộ ADC dựa trên thời gian, v.v., do thời gian khởi động/thiết lập dài. Hơn nữa, các kỹ thuật điều chỉnh điện áp hoặc dòng điện thông thường này yêu cầu hiệu chỉnh vòng kín đối với độ trôi PVT. Vấn đề về độ nhạy PVT có thể được minh họa rõ hơn bằng cách sử dụng mạch phân cực thông thường và mạch trễ được thể hiện trong Hình 1A và 1B.

Hình 1A cho thấy mạch phân cực thông thường 100 được tạo cấu hình để cung cấp điện áp phân cực V_{bias} cho mạch trễ. Mạch phân cực 100 bao gồm bộ khuếch đại thuật toán 110, bóng bán dẫn bán dẫn oxit kim loại loại n (nMOS) 120 và ba điện trở 131, 132 và 133. Các điện trở 131, 132 và 133 đều có cùng điện trở R . Điện trở 131 được ghép nối giữa cực đầu vào âm của bộ khuếch đại thuật toán 110 và cực nối đất. Điện trở 132 được ghép nối giữa cực đầu vào âm của bộ khuếch đại thuật toán 110 và nguồn điện áp V_{dd} . Điện trở 133 được ghép nối giữa cực đầu vào dương của bộ khuếch đại thuật toán 110 và nguồn điện áp V_{dd} . Bóng bán dẫn nMOS 120 có cực cổng, cực nguồn và cực máng. Cực cổng được ghép nối với đầu ra của bộ khuếch đại thuật toán 110, cực nguồn được nối đất, và cực máng được ghép nối với điện trở 133 và cực đầu vào của bộ khuếch đại thuật toán 110.

Trong quá trình hoạt động, bộ khuếch đại thuật toán 110 buộc các điện áp ở cả cực đầu vào dương và âm của bộ khuếch đại thuật toán 110 về cơ bản giống nhau ở V_{ref} . Dòng điện phân cực chạy qua điện trở 133 có thể được xác định là:

$$I_R = (V_{dd} - V_{ref}) / R \quad [\text{Phương trình 1}]$$

Do bộ khuếch đại thuật toán 110 không cho phép dòng điện chạy vào các cực đầu vào của nó, dòng điện phân cực I_R chạy qua điện trở 133 sẽ chạy qua bóng bán dẫn nMOS 120. Điện áp phân cực V_{bias} được cung cấp tại cực cổng của bóng bán dẫn nMOS 120 sao cho các bóng bán dẫn khác được phân cực bởi V_{bias} sẽ phản chiếu (hoặc tạo) dòng điện phân cực về cơ bản giống với I_R . Tuy nhiên, như được thể hiện trong Phương trình 1 ở trên, bất kỳ sự thay đổi nào về điện áp cấp V_{dd} cũng có thể khiến I_R thay đổi theo. Điện áp phân cực V_{bias} có thể được sử dụng để phân cực mạch trễ thông thường như được thể hiện trong Hình 1B.

Hình 1B minh họa mạch trễ thông thường 150 có thể được phân cực bằng điện áp phân cực V_{bias} từ mạch phân cực 100 trong Hình 1A. Mạch trễ 150 bao gồm hai giai đoạn trễ 160 và 170, hai dải tụ điện oxit kim loại (MOS) thô 181 và 182, và hai dải tụ điện oxit kim loại (MOS) mịn 183 và 184.

Hai giai đoạn trễ 160 và 170 về cơ bản là giống nhau. Giai đoạn trễ 160 bao gồm cặp bóng bán dẫn đầu vào 161A và 161B, bóng bán dẫn phân cực 163, và hai điện trở tải 162A và 162B. Tương tự như vậy, giai đoạn trễ 170 bao gồm cặp bóng bán dẫn đầu vào 171A và 171B, bóng bán dẫn phân cực 173, và hai điện trở tải 172A và 172B. Các bóng bán dẫn đầu vào 161A và 161B nhận cặp tín hiệu vi sai đầu vào tại các cực cổng của chúng, và xuất cặp tín hiệu vi sai đầu ra tại các cực máng của chúng, được ghép nối với các cực cổng của bóng bán dẫn đầu vào 171B và 171A, tương ứng. Cả hai dải tụ điện thô 181 và 182, cũng như cả hai dải tụ điện mịn 183 và 184, được ghép nối với các cực máng của các bóng bán dẫn đầu vào 161A và 161B. Các khối tụ điện 181-184 được điều khiển kỹ thuật số để thay đổi độ trễ qua các giai đoạn trễ 160 và 170. Trong một thiết kế điển hình, dải độ trễ mịn được cố ý tạo cấu hình để lớn hơn nhiều so với độ phân giải độ trễ thô (chẳng hạn như hệ số 2X) để bao gồm các biến thể của quá trình. Tuy nhiên, độ trễ của các giai đoạn trễ 160 và 170 cũng có thể khác nhau do sự thay đổi của điện áp phân cực V_{bias} như được đề cập ở phần dưới đây.

Như trong Hình 1B, mỗi giai đoạn trễ 160 và 170 bao gồm lần lượt bóng bán dẫn phân cực 163 và 173. Mỗi bóng bán dẫn phân cực 163 và 173 được ghép nối lần lượt giữa cực nối đất và cặp bóng bán dẫn nMOS đầu vào 161A và 161B, hoặc 171A và 171B. Cả hai bóng bán dẫn phân cực 163 và 173 đều được điều khiển tại các cửa của chúng bởi V_{bias} từ mạch phân cực 100 để mỗi bóng bán dẫn tạo ra dòng phân cực về cơ bản tương tự như I_R . Lưu ý rằng I_R có thể thay đổi theo điện áp cấp V_{dd} như được minh họa trong Phương trình 1 ở trên. Sự thay đổi/biến đổi trong I_R lần lượt có thể dẫn đến những thay đổi về độ trễ của các giai đoạn trễ 160 và 170. Tóm lại, độ trễ do mạch trễ 150 phân cực bởi mạch phân cực 100 không phải là điện áp ổn định. Trong một thiết kế thông thường khác được thể hiện trong Hình 1C, mạch tham chiếu dòng điện độ rộng vùng cấm 141 tạo ra dòng điện tham chiếu I_{ref} 145, được sử dụng để xác định điện áp phân cực V_{bias} 147. Cụ thể, đầu ra của mạch tham chiếu dòng điện độ rộng vùng cấm (bandgap current reference) 141 được kết nối với cực máng và cực cổng của bóng bán dẫn nMOS 143. Cực nguồn của bóng bán dẫn nMOS 143 được nối đất. Mặc dù dòng

điện tham chiếu Iref 145 từ mạch tham chiếu dòng điện độ rộng vùng cấm 141 ổn định hơn, nhưng độ trễ của các giai đoạn trễ 160 và 170 vẫn có thể thay đổi do sự sai lệch thuộc tính của bóng bán dẫn trong mạch trễ 150 và thay đổi dao động điện áp trong mạch trễ 150. Mạch tham chiếu dòng điện độ rộng vùng cấm 141 không bám theo hoặc bù cho sự sai lệch thuộc tính của bóng bán dẫn hoặc thay đổi dao động điện áp trong mạch trễ 150. Do đó, trong lĩnh vực kỹ thuật này cần có mạch trễ với sơ đồ phân cực ổn định về mặt xử lý, điện áp và nhiệt độ (PVT) (hoặc không nhạy cảm).

Trong sáng chế này, các phương án thực hiện khác nhau của bộ tạo phân cực mới cung cấp tín hiệu phân cực ổn định PVT (hoặc không nhạy cảm với PVT) cho một hoặc nhiều mạch trễ để tạo ra thời gian trễ (hoặc tần số) ổn định PVT sử dụng mạch CMOS được mô tả. Trong một số phương án thực hiện của sơ đồ phân cực mạch trễ CMOS, bộ tạo phân cực cung cấp tín hiệu phân cực thứ nhất và thứ hai cho mạch trễ CMOS bằng cách sử dụng bộ khuếch đại thuật toán và môđun điện trở. Ví dụ, môđun điện trở có thể được triển khai bằng cách sử dụng điện trở tự điện được chuyển mạch trên chip có điện dung chuyển mạch C_{sw} . Mạch trễ CMOS được tạo cấu hình để nhận cặp tín hiệu đầu vào vi sai và xuất cặp tín hiệu đầu ra vi sai sau một khoảng thời gian trễ. Mạch trễ CMOS còn bao gồm điện dung tải C_L . Thời gian trễ có thể được tạo cấu hình để tỷ lệ với tỷ số C_{sw} trên C_L . Hơn nữa, thời gian trễ không phụ thuộc vào điện áp cấp cho bộ tạo phân cực và/hoặc mạch trễ CMOS. Do tỷ số C_L trên C_{sw} thường có thể được kiểm soát chính xác hơn so với điện dung (hoặc trở kháng) của một thành phần riêng lẻ trong mạch bán dẫn, sơ đồ phân cực mạch trễ CMOS có thể cung cấp thời gian trễ ổn định về PVT hơn so với các phương pháp thông thường. Chi tiết hơn về sơ đồ phân cực mạch trễ CMOS được mô tả bên dưới.

Hình 2 thể hiện một phương án thực hiện mạch trễ CMOS 200. Mạch trễ CMOS 200 được ghép nối với nguồn điện áp V_{DD} thông qua bóng bán dẫn phân cực 270. Trong một số phương án thực hiện, bóng bán dẫn phân cực 270 là bóng bán dẫn pMOS. Cực nguồn của bóng bán dẫn phân cực 270 được ghép nối với nguồn điện áp V_{DD} , cực máng của bóng bán dẫn phân cực 270 được ghép nối với mạch trễ CMOS 200 và cực cổng của bóng bán dẫn phân cực 270 được tạo cấu hình để được điều khiển bởi điện áp phân cực p_{bias} . Điện áp phân cực p_{bias} có thể được cung cấp bởi bộ tạo phân cực, chẳng hạn như bộ tạo phân cực 300 như được thể hiện trong Hình 3. Chi tiết hơn về bộ tạo phân cực 300 sẽ được mô tả bên dưới. Trên điện áp phân cực tại p_{bias} có thể được xác định bởi cùng

một nút trong bộ tạo phân cực 300, cho phép dòng điện phân cực (I_{bias}) chạy từ nguồn điện áp V_{DD} qua bóng bán dẫn phân cực 270 đến mạch trễ CMOS 200.

Trong một số phương án thực hiện, mạch trễ 200 bao gồm hai bóng bán dẫn đầu vào 210 và 220, hai cặp bóng bán dẫn 230 và 240, 250 và 260, và hai tụ tải 280 và 290. Hai cặp bóng bán dẫn 230 và 240, 250 và 260 cũng có thể được gọi là bóng bán dẫn tải hoạt động. Các tụ tải 280 và 290 có thể về cơ bản là có cùng điện dung C_L . Nút ở giữa các tụ tải 280 và 290 được nối đất hoặc nút phân cực có cực nối đất ảo của dòng xoay chiều (AC). Các tụ tải 280 và 290 có thể được thực hiện bằng cách sử dụng các tụ điện đơn giản có điện dung cố định, chẳng hạn như tụ điện kim loại-oxit-kim loại (MOM), tụ điện bán dẫn oxit kim loại (MOS) hoặc kết hợp cả hai.

Trong một số phương án thực hiện, các bóng bán dẫn đầu vào 210 và 220 là bóng bán dẫn pMOS. Cực nguồn của cả hai bóng bán dẫn đầu vào 210 và 220 được ghép nối với cực máng của bóng bán dẫn phân cực 270. Cực cổng của bóng bán dẫn đầu vào 210 được tạo cấu hình để nhận tín hiệu đầu vào inp và cực cổng của bóng bán dẫn đầu vào 220 được tạo cấu hình để nhận tín hiệu đầu vào inn. Các tín hiệu đầu vào inp và inn là cặp tín hiệu đầu vào vi sai có giá trị bù trừ. Ví dụ, khi inp ở mức logic cao, inn ở mức logic thấp; và ngược lại. Cực máng của bóng bán dẫn đầu vào 210 được ghép nối với tụ tải 280 tại nút đầu ra outn ở phía bên trái của mạch trễ CMOS 200. Tương tự như vậy, cực máng của bóng bán dẫn đầu vào 220 được ghép nối với tụ tải 290 tại đầu ra nút đầu ra outp ở phía bên phải của mạch trễ CMOS 200.

Như trong Hình 2, nút đầu ra outn được ghép nối thêm với các cực máng của cặp bóng bán dẫn tải hoạt động 230 và 240. Cặp bóng bán dẫn 230 và 240 còn được ghép nối với nhau tại cực nguồn của chúng, mà tại đó được nối đất. Cực cổng của bóng bán dẫn 230 được kết nối với cực máng của bóng bán dẫn 230, trong khi cực cổng của bóng bán dẫn 240 được kết nối với cực cổng của bóng bán dẫn 260 ở phía bên phải của mạch trễ CMOS 200. Nút đầu ra outp còn được ghép nối với cực máng của cặp bóng bán dẫn tải hoạt động 250 và 260. Cặp bóng bán dẫn 250 và 260 còn được ghép nối với nhau tại cực nguồn của chúng, mà tại đó được nối đất. Cực cổng của bóng bán dẫn 250 được kết nối với cực máng của bóng bán dẫn 250, trong khi cực cổng của bóng bán dẫn 260 được kết nối với cực cổng của bóng bán dẫn 240 ở phía bên trái của mạch trễ CMOS 200.

Trong một số phương án thực hiện, các bóng bán dẫn tải hoạt động 230, 240, 250 và 260 là bóng bán dẫn nMOS. Các cực cổng của cả hai bóng bán dẫn 240 và 260 được

tạo cấu hình để được điều khiển bởi điện áp phân cực nbias. Giống như điện áp phân cực pbias, điện áp phân cực pbias có thể được cung cấp bởi bộ tạo phân cực, chẳng hạn như bộ tạo phân cực 300 được thể hiện trong Hình 3. Chi tiết hơn về bộ tạo phân cực 300 sẽ được mô tả bên dưới.

Trong quá trình hoạt động, cặp tín hiệu đầu vào vi sai, inp và inn, có thể được áp dụng cho các cực cổng của bóng bán dẫn đầu vào 210 và 220, tương ứng. Với mục đích minh họa, giả sử inp ở điện áp cao và inn ở điện áp thấp. Bởi vì inp ở điện áp cao, bóng bán dẫn đầu vào 210 bị tắt. Ngược lại, bởi vì inn ở điện áp thấp, bóng bán dẫn đầu vào 220 được bật. Kết quả là, dòng điện phân cực chạy qua bóng bán dẫn phân cực 270 về cơ bản hoàn toàn chạy qua bóng bán dẫn đầu vào 220 và không có dòng điện chạy qua bóng bán dẫn đầu vào 210. Bởi vì không có dòng điện chạy qua bóng bán dẫn đầu vào 210, điện áp tại đầu ra của bóng bán dẫn đầu vào 210, outn, trở thành 0. Khi dòng điện chạy qua bóng bán dẫn đầu vào 220 chạy vào nhánh được tạo bởi bóng bán dẫn 250 và 260, sau đó nối đất, thì một điện áp cao ở nút đầu ra outp được tạo ra. Vì cực cổng của bóng bán dẫn 260 được điều khiển bởi điện áp phân cực nbias, dao động điện áp ở nút đầu ra outp xấp xỉ từ 0 đến điện áp phân cực nbias (V_{nbias}). Tụ tải 290 sẽ được nạp hoặc phóng điện để trì hoãn quá trình chuyển đổi từ cao xuống thấp hoặc từ thấp lên cao ở nút đầu ra outp.

Mạch trễ CMOS 200 hoạt động theo kiểu bù trừ khi inp ở điện áp thấp và inn ở điện áp cao. Bởi vì inp ở điện áp thấp, bóng bán dẫn đầu vào 210 được bật. Ngược lại, vì inn ở điện áp cao nên bóng bán dẫn đầu vào 220 bị tắt. Kết quả là, dòng điện phân cực chạy qua bóng bán dẫn phân cực 270 về cơ bản hoàn toàn chạy qua bóng bán dẫn đầu vào 210 và không có dòng điện chạy qua bóng bán dẫn đầu vào 220. Bởi vì không có dòng điện chạy qua bóng bán dẫn đầu vào 220, điện áp tại đầu ra của bóng bán dẫn đầu vào 220, outp, trở thành không. Khi dòng điện chạy qua bóng bán dẫn đầu vào 210 chạy vào nhánh được tạo bởi bóng bán dẫn 230 và 240, sau đó nối đất, một điện áp cao tại nút đầu ra outn được tạo ra. Vì cực cổng của bóng bán dẫn 240 được điều khiển bởi điện áp phân cực nbias, dao động điện áp ở nút đầu ra outn xấp xỉ từ 0 đến tín hiệu phân cực nbias (đây là điện áp phân cực V_{nbias} trong phương án thực hiện này). Tụ tải 280 sẽ được nạp hoặc phóng điện để trì hoãn quá trình chuyển đổi từ thấp đến cao hoặc cao xuống thấp tại nút đầu ra outn.

Như được minh họa bởi hai ví dụ được mô tả ở trên, mạch trễ CMOS 200 có chức năng như một bộ biến tần để đảo các giá trị của tín hiệu vi sai đầu vào in_p và in_n để tạo ra cặp tín hiệu đầu ra vi sai out_p và out_n. Sau khi cặp tín hiệu đầu vào vi sai in_p và in_n đã chuyển đổi sang giá trị mới, cặp tín hiệu đầu ra vi sai out_p và out_n sẽ theo sau sau một khoảng thời gian trễ nhất định xấp xỉ tỷ lệ với V_{nbias} . Cụ thể, thời gian trễ (ΔT) có thể được xác định bởi:

$$\Delta T = C_L \cdot \Delta V / I \quad [\text{Phương trình 2}]$$

Lưu ý là $\Delta V / I \approx V_{nbias} / (K \cdot I_{bias})$, trong đó K là tỉ số phản chiếu dòng điện, do đó, độ trễ thời gian (ΔT) có thể tính xấp xỉ như sau:

$$\Delta T \approx C_L \cdot V_{nbias} / (K \cdot I_{bias}) \quad [\text{Phương trình 3}]$$

Để giảm tác động của xử lý, điện áp và nhiệt độ (PVT) lên mạch trễ CMOS 200, tín hiệu phân cực nbias và pbias phải ổn định PVT. Một số phương án thực hiện của bộ tạo phân cực có khả năng tạo tín hiệu phân cực ổn định PVT pbias và nbias được thể hiện trong Hình 3.

Hình 3 thể hiện một phương án thực hiện của bộ tạo độ trễ 300 để tạo tín hiệu phân cực cho một hoặc nhiều mạch trễ CMOS, chẳng hạn như mạch trễ CMOS 200 trong Hình 2. Nói cách khác, bộ tạo độ trễ 300 có thể tạo ra tín hiệu phân cực cho một mạch trễ đơn hoặc nhiều mạch trễ. Bộ tạo phân cực 300 bao gồm bộ khuếch đại thuật toán (“op amp”) 310, môđun điện trở trên chip 320, cặp bóng bán dẫn nMOS 330 và 340, tụ bù thứ nhất Cc1 350, tụ bù thứ hai Cc2 360 và cặp bóng bán dẫn pMOS 370 và 380. Cần lưu ý rằng các phương án thực hiện khác của bộ tạo phân cực 300 có thể bao gồm các thành phần bổ sung không được chỉ ra trong Hình 3, chẳng hạn như các tụ điện tách bổ sung.

Như trong Hình 3, bộ khuếch đại thuật toán 310 có cực đầu vào dương, cực đầu vào âm và cực đầu ra. Môđun điện trở trên chip 320 được ghép nối giữa cực dương và cực nối đất. Cực đầu vào âm của bộ khuếch đại thuật toán 310 được ghép nối với nút nbias 390. Cặp bóng bán dẫn nMOS 330 và 340 được ghép nối song song với nhau giữa nút nbias 390 và cực nối đất. Tụ bù thứ nhất Cc1 350 được ghép nối giữa cực đầu ra của bộ khuếch đại thuật toán 310 và nguồn điện áp V_{DD} 305. Các cực cổng của cả hai bóng bán dẫn pMOS 370 và 380 cũng được ghép nối với cực đầu ra. Cực nguồn của cả hai bóng bán dẫn pMOS 370 và 380 được ghép nối với nguồn điện áp V_{DD} 305. Cực máng của bóng bán dẫn pMOS 370 được ghép nối với cả cực dương của bộ khuếch đại thuật toán 310 và môđun điện trở trên chip 320. Cực nguồn của bóng bán dẫn pMOS 380 được

ghép nối với nút nbias 390. Ngoài ra, tụ bù thứ hai Cc2 360 được ghép nối giữa nút nbias 390 và cực nối đất. Tụ bù thứ hai Cc2 360 có thể đóng vai trò làm cả tụ bù lẫn tụ tách để giảm nhiễu trong bộ tạo phân cực 300. Tín hiệu phân cực nbias (là điện áp phân cực V_{nbias} trong phương án thực hiện này) có thể được cung cấp tại nút nbias 390, trong khi tín hiệu phân cực pbias có thể được cung cấp ở cực đầu ra của bộ khuếch đại thuật toán 310 (tức là ở cực cổng của cả hai bóng bán dẫn pMOS 370 và 380). Dòng điện phân cực tương ứng I_{bias} có thể được tạo ra thông qua bóng bán dẫn pMOS 380, được điều khiển bởi tín hiệu phân cực pbias tại cực cổng của nó. Dòng phân cực tương tự I_{bias} có thể được cung cấp cho mạch trễ CMOS (ví dụ, mạch trễ CMOS 200) bằng cách áp tín hiệu phân cực pbias lên cực cổng của bóng bán dẫn phân cực (ví dụ, bóng bán dẫn phân cực 270) mà ghép nối điện mạch trễ CMOS với nguồn điện áp.

Trong một số phương án thực hiện, môđun điện trở trên chip 320 cung cấp điện áp tham chiếu trong bộ tạo phân cực 300. Môđun điện trở trên chip 320 được thực hiện bằng cách sử dụng các thành phần nằm trên cùng một chất nền silic như các thành phần khác của bộ tạo phân cực 300 (ví dụ, bóng bán dẫn nMOS 330 và 340, bóng bán dẫn pMOS 370 và 380, bộ khuếch đại thuật toán 310 và các tụ điện bù 350 và 360). Do đó, môđun điện trở 320 được gọi là “trên chip”. Trong một số phương án thực hiện, môđun điện trở trên chip 320 được tạo thành từ điện trở đơn giản. Trong một số phương án thực hiện, môđun điện trở trên chip 320 được tạo thành từ biến trở. Trong các quy trình đúc thương mại thông thường, môđun điện trở trên chip 320 được làm cho ổn định với nhiệt độ và điện áp. Do đó, điện áp phân cực được tạo ra bởi bộ tạo phân cực 300 cũng có thể ổn định về nhiệt độ và điện áp.

Trong một phương án thực hiện thay thế, môđun điện trở trên chip 320 được tạo thành từ một điện trở tụ điện được chuyển mạch. Tương tự như phương án thực hiện đã đề cập ở trên, điện trở tụ điện được chuyển mạch được tạo thành từ các thành phần nằm trên cùng một đế silic như các thành phần khác của bộ tạo phân cực 300. Một ví dụ về điện trở tụ điện được chuyển mạch 400 phù hợp với bộ tạo phân cực 300 được thể hiện trong Hình 4. Tham chiếu tới Hình 4, điện trở tụ điện được chuyển mạch 400 bao gồm bộ chuyển mạch thứ nhất 410, tụ điện thứ nhất C_{sw} 420, tụ điện thứ hai C_H 430, và bộ chuyển mạch thứ hai 440. Bộ chuyển mạch thứ nhất 410, tụ điện thứ nhất C_{sw} 420, và tụ điện thứ hai C_H 430 được ghép nối song song với nhau giữa hai nút 401 và 402. Nút 401

còn được ghép nối với bộ chuyển mạch thứ hai 440. Điện trở tương đương R_{ref} của điện trở tụ điện được chuyển mạch 400 có thể được tính bằng:

$$R_{ref} = 1/C_{sw} \cdot f_0, \quad [\text{Phương trình 4}]$$

trong đó f_0 là tần số đồng hồ tham chiếu (reference clock frequency). Trong một số phương án thực hiện, f_0 có thể được cung cấp bởi đồng hồ tinh thể (hoặc bộ dao động tinh thể) có độ chính xác và ổn định tần số một phần triệu trong môi trường làm việc. Ngoài ra, f_0 có thể được cung cấp bởi nguồn tần số (hoặc nguồn xung nhịp), chẳng hạn như vòng lặp khóa pha (PLL - phase locked loop) hoặc bộ tổng hợp kỹ thuật số, có thể điều chỉnh để thay đổi giá trị trễ.

Tham chiếu tới bộ tạo phân cực 300 trong Hình 3, modul điện trở trên chip 320 cung cấp điện áp tham chiếu tại cực đầu vào dương của bộ khuếch đại thuật toán 310, buộc điện áp tại cực đầu vào âm của bộ khuếch đại thuật toán 310 (tức là, V_{nbias}) về cơ bản giống với điện áp tham chiếu. Dòng điện phân cực I_{bias} qua bóng bán dẫn pMOS 380 cũng được nhân đôi với bóng bán dẫn pMOS 370. Do đó, điện áp tại nút nbias 390 có thể được thể hiện là:

$$V_{nbias} = R_{ref} * I_{bias},$$

tức là,

$$V_{nbias}/I_{bias} = R_{ref} \quad [\text{Phương trình 5}]$$

Bằng cách thế Phương trình 5 vào Phương trình 3 ở trên, thời gian trễ ΔT của mạch trễ 200 có thể được tham chiếu với R_{ref} như sau:

$$\Delta T = (C_L * R_{ref})/K \quad [\text{Phương trình 6}]$$

Lưu ý rằng thời gian trễ ΔT tỷ lệ với điện trở tương đương R_{ref} của điện trở tụ điện được chuyển mạch 400. Bằng cách tiếp tục thay thế Phương trình 4 vào Phương trình 6, thời gian trễ ΔT của mạch trễ 200 có thể được thể hiện là:

$$\Delta T = (C_L / (C_{sw} \cdot f_0)) / K = (C_L / C_{sw}) / (f_0 \cdot K), \quad [\text{Phương trình 7}]$$

Theo Phương trình 7 ở trên, thời gian trễ của mạch trễ 200 tỉ lệ với tỉ số của tụ tải C_L của mạch trễ 200 với điện dung chuyển mạch C_{sw} của modul điện trở 320 (tức là, (C_L / C_{sw})). Vì tỷ lệ trở kháng của các thành phần trong mạch tích hợp bán dẫn nói chung ít nhạy cảm hơn với các biến thể của quy trình và có thể được kiểm soát chính xác hơn trở kháng của một thành phần riêng lẻ, do đó, bộ tạo phân cực 300 có thể cung cấp tín hiệu phân cực ổn định PVT hơn (hoặc không nhạy cảm với PVT). Sự khả dụng của các tín hiệu phân cực ổn định PVT như vậy là khá thuận lợi trong hoạt động của mạch tích hợp bán dẫn. Ngoài

việc cung cấp khả năng điều khiển chính xác hơn đối với mạch trễ 200, một hoặc nhiều tín hiệu phân cực ổn định PVT có thể được sử dụng để tinh chỉnh một số phương án thực hiện của mạch trễ 200, sẽ được đề cập thêm bên dưới với sự tham chiếu đến Hình 6.

Hơn nữa, cặp bóng bán dẫn nMOS 330 và 340 trong bộ tạo phân cực 300 về cơ bản giống với cặp bóng bán dẫn nMOS 250 và 260 và cặp bóng bán dẫn nMOS 230 và 240 trong mạch trễ 200 hoặc có kích thước ở mức xác định trước tỷ lệ với nhau. Nói cách khác, cặp bóng bán dẫn nMOS 330 và 340 là bản sao của cặp bóng bán dẫn nMOS 250 và 260 và cặp bóng bán dẫn nMOS 230 và 240. Do đó, ảnh hưởng của bất kỳ biến thể của quy trình nào lên các bóng bán dẫn nMOS 330 và 340 về cơ bản có thể bị loại bỏ bởi tác động tương tự của biến thể của quy trình lên cặp bóng bán dẫn nMOS 230 và 240 hoặc cặp bóng bán dẫn nMOS 250 và 260.

Hình 5 cho thấy một phương án thực hiện khác của mạch trễ CMOS 500 có thể được phân cực bởi bộ tạo phân cực 300 trong Hình 3. Mạch trễ CMOS 500 bao gồm lõi 200a về cơ bản tương tự như mạch trễ 200 trong Hình 2. Do đó, các thành phần tương tự được dán nhãn bằng các số tham chiếu tương tự trong lõi 200a. Ngoài lõi 200a, mạch trễ CMOS 500 bao gồm nhánh phụ có hai bóng bán dẫn pMOS 510 và 520, cặp bộ chuyển mạch khởi động 530 và 540, và bóng bán dẫn phân cực 550.

Trong một số phương án thực hiện, lõi 200a bao gồm hai bóng bán dẫn đầu vào 210 và 220, hai cặp bóng bán dẫn 230 và 240, 250 và 260, và hai tụ tải 285 và 295. Hai cặp bóng bán dẫn 230 và 240, 250 và 260 cũng có thể được gọi là bóng bán dẫn tải hoạt động. Mỗi tụ tải 285 và 295 được thực hiện bằng cách sử dụng bóng bán dẫn bán dẫn oxit kim loại (MOS). Hơn nữa, hai tụ tải 285 và 295 về cơ bản có thể có cùng điện dung C_L . Nút giữa các tụ tải 280 và 290 được ghép nối với điện áp phân cực, V_{bias} . Điện áp phân cực V_{bias} có thể được cung cấp bởi bộ tạo phân cực, tương tự như bộ tạo phân cực 300 được thể hiện trong Hình 3. Có thể điều chỉnh điện dung tải hiệu dụng của tụ tải 280 và 290 bằng cách thay đổi điện áp phân cực V_{bias} , do đó, thay đổi hằng số trễ của CMOS mạch trễ 500.

Trong một số phương án thực hiện, các bóng bán dẫn đầu vào 210 và 220 của lõi 200a là bóng bán dẫn pMOS. Cực nguồn của cả hai bóng bán dẫn đầu vào 210 và 220 được ghép nối với cực máng của bộ chuyển mạch khởi động 530 phía trên lõi 200a trong Hình 5. Cực cổng của bóng bán dẫn đầu vào 210 được tạo cấu hình để nhận tín hiệu đầu vào in_p và cực cổng của bóng bán dẫn đầu vào 220 được tạo cấu hình để nhận tín hiệu

đầu vào inn. Các tín hiệu đầu vào inp và inn là cặp tín hiệu đầu vào vi sai có giá trị bù trừ. Ví dụ, khi inp ở mức logic cao thì inn ở mức logic thấp; và ngược lại. Cực máng của bóng bán dẫn đầu vào 210 được ghép nối để tụ tải 280 tại nút đầu ra outn 208 ở phía bên trái của lõi 200a. Tương tự như vậy, cực máng của bóng bán dẫn đầu vào 220 được ghép nối để tụ tải 290 tại nút đầu ra outp 209 ở phía bên phải của lõi 200a.

Như thể hiện trong Hình 5, nút đầu ra outn 208 được ghép nối thêm với các cực máng của cặp bóng bán dẫn tải hoạt động 230 và 240. Cặp bóng bán dẫn tải hoạt động 230 và 240 được ghép nối với nhau tại cực nguồn của chúng, mà được nối đất. Cực cổng của bóng bán dẫn 230 được kết nối với cực máng của bóng bán dẫn 230, trong khi cực cổng của bóng bán dẫn 240 được ghép nối với cực cổng của bóng bán dẫn 260 ở phía bên phải của lõi 200a. Nút đầu ra outp 209 được ghép nối thêm với các cực máng của cặp bóng bán dẫn 250 và 260. Cặp bóng bán dẫn 250 và 260 còn được ghép nối với nhau tại cực nguồn của chúng, mà tại đó được nối đất. Cực cổng của bóng bán dẫn 250 được kết nối với cực máng của bóng bán dẫn 250, trong khi cực cổng của bóng bán dẫn 260 được ghép nối với cực cổng của bóng bán dẫn 240 ở phía bên trái của lõi 200a.

Trong một số phương án thực hiện, các bóng bán dẫn tải hoạt động 230, 240, 250 và 260 là bóng bán dẫn nMOS. Các cực cổng của cả hai bóng bán dẫn 240 và 260 được tạo cấu hình để được điều khiển bởi điện áp phân cực nbias, có thể được cung cấp bởi bộ tạo phân cực, chẳng hạn như bộ tạo phân cực 300 được thể hiện trong Hình 3 được mô tả ở trên.

Như đã đề cập ở trên, các cực nguồn của bóng bán dẫn đầu vào 210 và 220 được ghép nối với cực máng của bộ chuyển mạch khởi động 530. Cực nguồn của bộ chuyển mạch khởi động 530 được ghép nối với cực nguồn của bộ chuyển mạch khởi động khác 540 và cực máng của bóng bán dẫn phân cực 550. Cực cổng của bộ chuyển mạch khởi động 540 được tạo cấu hình để nhận tín hiệu cho phép “en” và cực cổng của bộ chuyển mạch khởi động khác 530 được tạo cấu hình để nhận tín hiệu bổ sung “enb”. Trong một số phương án thực hiện, cả hai bộ chuyển mạch khởi động 530 và 540 đều được thực hiện bằng cách sử dụng bóng bán dẫn pMOS. Cực nguồn của bóng bán dẫn phân cực 550 được ghép nối với nguồn điện áp V_{DD} . Một cực cổng của bóng bán dẫn phân cực 550 được tạo cấu hình để nhận tín hiệu phân cực pbias từ bộ tạo phân cực, chẳng hạn như bộ tạo phân cực 300 được thể hiện trong Hình 3 được mô tả ở trên. Khi tín hiệu phân cực pbias có thể bật bóng bán dẫn phân cực 550 và điều khiển lượng dòng điện phân cực

(I_{bias}) có thể chạy từ nguồn điện áp V_{DD} qua bóng bán dẫn phân cực 550 đến bộ chuyển mạch khởi động 530 và 540. Chi tiết về việc xác định dòng điện phân cực I_{bias} đã được đề cập ở phần trên có tham chiếu đến Hình 3. Khi mạch trễ 500 ở trạng thái bật, enb ở mức thấp, bật bộ chuyển mạch khởi động 530 để cho phép dòng điện phân cực I_{bias} chạy qua bộ chuyển mạch khởi động 530 sang lõi 200a. Vì tín hiệu cho phép en bù trừ cho enb , en cao khi enb thấp, do đó, tắt bộ chuyển mạch khởi động khác 540. Do đó, không có dòng điện nào chạy qua bộ chuyển mạch khởi động khác 540.

Trong một số phương án thực hiện, cực máng của bộ chuyển mạch khởi động khác 540 được ghép nối với các cực nguồn của cặp bóng bán dẫn pMOS 510 và 520. Cặp bóng bán dẫn pMOS 510 và 520 tạo thành một nhánh phụ trong mạch trễ 500. Các cực máng của bóng bán dẫn pMOS 510 và 520 được ghép nối với các nút đầu ra lần lượt là $outn$ 208 và $outp$ 209. Khi mạch trễ 500 ở trạng thái tắt, tín hiệu cho phép “ en ” ở mức thấp và tín hiệu bổ sung “ enb ” ở mức cao. Khi enb trở nên cao, bộ chuyển mạch khởi động 530 bị tắt, ngăn dòng điện phân cực I_{bias} chạy qua bộ chuyển mạch khởi động 530. Mặt khác, khi en ở mức thấp, bộ chuyển mạch khởi động khác 540 được bật, cho phép dòng điện phân cực I_{bias} chạy qua bộ chuyển mạch khởi động khác 540 tới các bóng bán dẫn pMOS 510 và 520 trong nhánh phụ. Trong một số phương án thực hiện, cực cổng của bóng bán dẫn pMOS 510 được nối đất hoặc V_{ss} (tức là “gắn ở mức thấp”), trong khi cực cổng của bóng bán dẫn pMOS 520 được ghép nối với điện áp phân cực n_{bias} (tức là “gắn ở mức cao”) từ bộ tạo phân cực, chẳng hạn như bộ tạo phân cực 300 trong Hình 3. Do đó, cặp bóng bán dẫn pMOS 510 và 520 có thể xác định mức dòng điện một chiều (DC) ở trạng thái ngắt mạch của mạch trễ 500 dựa trên điện áp phân cực n_{bias} . Khi mạch trễ 500 chuyển sang trạng thái bật (hoặc được kích hoạt), en trở nên cao trong khi enb trở nên thấp. Do đó, bộ chuyển mạch khởi động 540 bị tắt, ngăn dòng điện phân cực I_{bias} chạy vào nhánh phụ. Ngược lại, bộ chuyển mạch khởi động 530 được bật để cho phép dòng điện phân cực I_{bias} chạy vào lõi 200a. Cơ chế khởi động này rất nhanh và có thể được gọi là “gần như tức thì” vì các bóng bán dẫn pMOS có thể được bật rất nhanh. Do đó, mạch trễ 500 đặc biệt thuận lợi trong việc triển khai các bộ dao động vòng với khả năng bật hoặc tắt gần như tức thì. Mô tả chi tiết về bộ dao động vòng được mô tả dưới đây.

Hình 6 cho thấy một phương án thực hiện của bộ tạo dao động vòng 600 được xây dựng với các mạch trễ (chẳng hạn như mạch trễ 200 và/hoặc mạch trễ 500) và bộ tạo

phân cực 300. Bộ tạo dao động vòng 600 bao gồm một bộ tạo phân cực 640 và ba mạch trễ 610, 620 và 630. Trong các phương án thực hiện khác, bộ tạo dao động vòng 600 có thể bao gồm nhiều mạch trễ hơn (ví dụ, 4, 5, 6, v.v.). Bộ tạo phân cực 640 được ghép nối với mỗi mạch trễ 610-630 để cung cấp hai tín hiệu phân cực, p_{bias} và n_{bias} , cho mỗi mạch trễ 610-630. Cần hiểu rõ rằng bộ tạo dao động vòng 600 có thể có nhiều hơn một bộ tạo phân cực để cung cấp tín hiệu phân cực cho mạch trễ 610-630. Ví dụ, có thể có một bộ tạo phân cực được cung cấp cho mỗi mạch trễ 610-630; hoặc bộ tạo phân cực được cung cấp cho nhóm nhỏ các mạch trễ 610-630. Một số phương án thực hiện của bộ tạo phân cực 640 đã được mô tả ở trên với tham chiếu đến Hình 3.

Trong một số phương án thực hiện, bộ tạo dao động vòng 600 có ba mạch trễ 610-630. Các mạch trễ 610-630 được ghép nối với nhau để tạo thành một vòng. Cụ thể, đầu ra của mạch trễ 610 được ghép nối với đầu vào của mạch trễ 620. Tương tự như vậy, đầu ra của mạch trễ 620 được ghép nối với đầu vào của mạch trễ 630; và đầu ra của mạch trễ 630 được ghép nối với đầu vào của mạch trễ 610 thông qua bộ chuyển mạch 605 để hoàn thành vòng. Các mạch trễ 610-630 có thể được thực hiện bằng cách sử dụng mạch trễ 500 được thể hiện trong Hình 5. Trong một số phương án thực hiện, bộ chuyển mạch 605 có thể được thực hiện bằng cách sử dụng bóng bán dẫn nMOS (không được thể hiện), bật lên để đáp ứng với tín hiệu cho phép ở mức cao và ngược lại.

Khi bộ tạo dao động vòng bị hủy kích hoạt (hoặc tắt), tín hiệu cho phép en thấp và tín hiệu bổ sung enb cao. Như đã đề cập ở trên, bộ chuyển mạch 605 bị tắt để đáp lại tín hiệu kích hoạt ở mức thấp. Ngoài ra, như đã đề cập ở trên với tham chiếu đến Hình 5, mỗi mạch trễ 610-630 cũng được hủy kích hoạt (hoặc tắt) khi ở mức thấp vì bộ chuyển mạch khởi động 530 bị tắt. Hơn nữa, dòng điện phân cực chạy vào nhánh phụ của mỗi mạch trễ 610-630 vì bộ chuyển mạch khởi động 540 được bật bởi enb . Như đã đề cập ở trên với tham chiếu đến Hình 3, cực cổng của bóng bán dẫn pMOS 510 được nối đất hoặc V_{ss} (tức là "gắn ở mức thấp"), trong khi cực cổng của bóng bán dẫn pMOS 520 được ghép nối với điện áp phân cực n_{bias} (tức là "gắn ở mức cao") từ bộ tạo phân cực 640. Do đó, cặp bóng bán dẫn pMOS 510 và 520 có thể xác định mức DC ở trạng thái ngắt mạch của một trong các mạch trễ 610-630 tương ứng dựa trên điện áp phân cực n_{bias} . Nói cách khác, các đầu ra (tức là $outp$ và $outn$ trong Hình 5) của mỗi mạch trễ 610-630 có thể được xác định bằng mức logic tốt để chuẩn bị cho việc khởi động (hoặc kích hoạt) bộ tạo dao động vòng 600.

Khi tín hiệu cho phép en tăng cao và tín hiệu bổ sung enb giảm xuống để bật (hoặc để kích hoạt) bộ dao động vòng 600, bộ chuyển mạch khởi động 530 được bật lên và bộ chuyển mạch khởi động 540 bị tắt đi. Kết quả là, dòng điện phân cực chạy vào lõi 200a của mỗi mạch trễ 610-630 để kích hoạt các mạch trễ 610-630, trong khi dòng điện chạy vào các nhánh phụ tương ứng của chúng bị cắt. Sự chuyển đổi của bộ dao động vòng 600 từ trạng thái tắt sang trạng thái bật như mô tả ở trên là rất nhanh vì các bóng bán dẫn nMOS và pMOS có thể bật/tắt rất nhanh, và các đầu ra của giai đoạn trễ 610-630 được đặt ở mức logic được xác định rõ và sẵn sàng để kích hoạt.

Một ứng dụng thuận lợi khác của tín hiệu phân cực ổn định PVT được cung cấp bởi bộ tạo phân cực 300 mà được tinh chỉnh trong một số phương án thực hiện của mạch trễ. Một ví dụ về ứng dụng như vậy được minh họa trong Hình 7A - 7C. Hình 7A cho thấy một phương án thực hiện các tụ tải của mạch trễ CMOS, chẳng hạn như các tụ tải 285 và 295 trong mạch trễ 500 trong Hình 5, sử dụng mảng tụ điện 700A. Mảng tụ điện 700A bao gồm bốn cặp tụ điện 710A và 710B, 720A và 720B, 730A và 730B, và 740A và 740B. Mỗi tụ điện 710A, 710B, 720A, 720B, 730A, 730B, 740A và 740B có thể được thực hiện bằng cách sử dụng tụ điện MOS. Các cực cổng 710A, 720A, 730A và 740A đều được ghép nối với nút đầu ra outp. Tương tự như vậy, các cực cổng 710B, 720B, 730B và 740B đều được ghép nối với nút đầu ra outn. Một nút ở giữa các tụ điện 710A và 710B được kết nối với điện áp thấp (tức là gắn ở mức thấp), chẳng hạn như Vss hoặc đất. Như vậy, cặp tụ điện 710A và 710B được ghép nối với các nút đầu ra outp và outn để cung cấp điện dung tải tối thiểu cố định cho mạch trễ. Nút ở giữa các tụ điện 720A và 720B được kết nối với nhau và được tạo cấu hình để nhận bit điều khiển D0. Tương tự như vậy, nút ở giữa các tụ điện 730A và 730B được kết nối với nhau và được tạo cấu hình để nhận bit điều khiển D1; và một nút ở giữa các tụ điện 740A và 740B được kết nối với nhau và được tạo cấu hình để nhận bit điều khiển D2. Dựa trên giá trị của các bit điều khiển D2-D0, các cặp tụ điện 740A và 740B, 730A và 730B, và 720A và 720B có thể được ghép nối có chọn lọc với các nút đầu ra outp và outn tương ứng. Bằng cách kết nối có chọn lọc các cặp tụ điện 740A và 740B, 730A và 730B, và 720A và 720B với các nút đầu ra outp và outn, có thể điều chỉnh điện dung hiệu dụng của mảng tụ điện 700A.

Hình 7B cho thấy một sơ đồ mạch mô hình hóa mảng tụ điện 700A trong Hình 7A. Trong mô hình mạch 600B, bốn cặp tụ điện 710A và 710B, 720A và 720B, 730A và 730B, và 740A và 740B được biểu diễn hoặc mô hình hóa bằng các tụ điện 710, 720, 730

và 740, tương ứng. Ngoài ra, mỗi tụ điện 720, 730 và 740 được ghép nối giữa một bộ chuyển mạch tương ứng trong mô hình mạch của mảng tụ điện 700B và cực nối đất. Để đáp ứng với các bit điều khiển D2-D0, các bộ chuyển mạch có thể ghép nối có chọn lọc các tụ điện 720, 730 và 740, riêng lẻ hoặc kết hợp, với tụ điện 710, do đó tạo cấu hình mảng tụ điện 700B để cung cấp điện dung tải hiệu dụng khác nhau cho mạch trễ.

Trong một số phương án thực hiện, mỗi bit điều khiển D2-D0 được cung cấp bởi biến tần như được thể hiện trong Hình 7C. Có ba biến tần 750, 760 và 770 được thể hiện trong Hình 7C. Biến tần 750 nhận tín hiệu D0b và xuất ra D0, biến tần 760 nhận tín hiệu D1b và xuất ra D1, và biến tần 770 nhận tín hiệu D2b và xuất ra D2. Thay vì sử dụng một hoặc nhiều cực nguồn cung cấp điện áp cho chip, tất cả các biến tần 750, 760 và 770 đều có thể sử dụng điện áp phân cực nbias làm cực nguồn cung cấp điện áp của chúng. Như đã đề cập ở trên, điện áp phân cực nbias có thể được cung cấp bởi bộ tạo phân cực 300 được thể hiện trong Hình 3. Có một số lợi thế trong việc sử dụng điện áp phân cực nbias làm nguồn cấp điện áp cho các bộ biến tần 750, 760 và 770. Đầu tiên, điện áp phân cực nbias được cách ly khỏi nhiễu nguồn cấp của chip (chip supply noise) hoặc cài đặt điện áp. Thứ hai, dao động chênh lệch tại các nút đầu ra outp và outn có thể làm cho các nút phân cực ở gần cực nối đất dòng điện xoay chiều (AC). Hơn nữa, không cần thêm bộ đệm điện áp trong thiết kế được chỉ ra trong Hình 7C.

Hình 8 cho thấy một phương án thực hiện của phương pháp 800 để tạo tần số hoặc thời gian trễ chính xác và ổn định PVT bằng cách sử dụng mạch bán dẫn oxit kim loại bổ sung (CMOS). Phương pháp này có thể được thực hiện bằng các phương án thực hiện khác nhau của mạch trễ 200 và/hoặc mạch trễ 500, và bộ tạo phân cực 300 đã được đề cập ở trên.

Phương pháp 800 bắt đầu ở khối 810, trong đó điện áp chuẩn được cung cấp bằng cách sử dụng môđun điện trở ở đầu vào dương của bộ khuếch đại thuật toán trong bộ tạo phân cực. Ví dụ, bộ khuếch đại thuật toán và môđun điện trở có thể là bộ khuếch đại thuật toán 310 và môđun điện trở 320, tương ứng, trong bộ tạo phân cực 300 được thể hiện trong Hình 3. Sau đó, phương pháp 800 chuyển sang khối 820. Trong khối 820, các cực cổng của cặp bóng bán dẫn pMOS và tụ bù được ghép nối với đầu ra của bộ khuếch đại thuật toán để tạo ra tín hiệu phân cực thứ nhất. Ví dụ, tín hiệu phân cực thứ nhất có thể là pbias được thể hiện trong Hình 3. Hơn nữa, cặp bóng bán dẫn pMOS và tụ bù có thể là cặp bóng bán dẫn pMOS 370 và 380, và tụ bù 350, tương ứng như trong Hình 3.

Từ khối 820, phương pháp này có thể chuyển sang khối 830, trong đó cặp bóng bán dẫn nMOS được ghép nối với cực âm của bộ khuếch đại thuật toán để tạo ra tín hiệu phân cực thứ hai. Ví dụ, tín hiệu phân cực thứ hai có thể là nbias được thể hiện trong Hình 3. Hơn nữa, cặp bóng bán dẫn nMOS có thể là cặp bóng bán dẫn nMOS 330 và 340 trong Hình 3. Trong một số phương án thực hiện, cặp bóng bán dẫn nMOS về cơ bản có thể giống với cặp bóng bán dẫn nMOS khác trong mạch trễ, chẳng hạn như cặp bóng bán dẫn nMOS 230 và 240, hoặc cặp bóng bán dẫn nMOS 250 và 260, của mạch trễ 200 được thể hiện trong Hình 2.

Trong một số phương án thực hiện, modul điện trở có điện trở tụ điện được chuyển mạch. Điện trở tụ điện được chuyển mạch có thể được thực hiện bằng cách sử dụng bộ chuyển mạch, tụ điện thứ nhất có điện dung C_{sw} , và tụ điện thứ hai có điện dung C_H được ghép nối song song với nhau. Sau đó độ trễ của mạch trễ CMOS được phân cực sử dụng bộ tạo phân cực có thể tỷ lệ với tỷ số giữa trở kháng tải C_L của mạch trễ CMOS và C_{sw} . Lưu ý rằng, nói chung, tỷ số C_L trên C_{sw} có thể được điều chỉnh chính xác hơn so với điện dung (hoặc trở kháng) của thành phần riêng lẻ trong mạch bán dẫn. Do đó, phương pháp 800 có thể tạo ra độ trễ thời gian ổn định PVT hơn so với các phương pháp thông thường.

Phần mô tả sáng chế trên đây được bộc lộ ở mức người có hiểu biết trung bình trong lĩnh vực kỹ thuật có thể thực hiện được. Những sửa đổi khác nhau đối với sáng chế sẽ dễ dàng được nhận biết bởi người có hiểu biết trung bình trong lĩnh vực kỹ thuật và các nguyên tắc chung được xác định ở đây có thể được áp dụng cho các biến thể khác mà không xa rời nguyên lý hoặc phạm vi của sáng chế. Do đó, phần mô tả sáng chế không nhằm giới hạn trong các ví dụ được mô tả ở đây mà được hiểu là có phạm vi rộng nhất phù hợp với các nguyên lý và các đặc tính mới được bộc lộ ở đây.

YÊU CẦU BẢO HỘ

1. Thiết bị tạo thời gian trễ hoặc tần số chính xác và ổn định về xử lý-điện áp-nhiệt độ (PVT - process-voltage-temperature), thiết bị này bao gồm:

ít nhất một mạch trễ bán dẫn oxit kim loại bổ sung (CMOS - complementary metal oxide semiconductor) được tạo cấu hình để nhận cấp tín hiệu đầu vào vi sai và tạo ra cấp tín hiệu đầu ra vi sai sau một khoảng thời gian trễ; và

bộ tạo phân cực được tạo cấu hình để cung cấp tín hiệu phân cực thứ nhất và tín hiệu phân cực thứ hai tới ít nhất một mạch trễ CMOS, bộ tạo phân cực bao gồm:

bộ khuếch đại thuật toán có đầu ra, cực đầu vào dương, và cực đầu vào âm, modul điện trở được ghép nối giữa cực đầu vào dương và cực nối đất, trong đó modul điện trở bao gồm điện trở tụ điện được chuyển mạch có bộ chuyển mạch, tụ điện thứ nhất có điện dung C_{sw} , và tụ điện thứ hai có điện dung C_H được ghép nối song song với nhau, và

cặp bóng bán dẫn bán dẫn oxit kim loại loại n (nMOS) được ghép nối giữa cực đầu vào âm và cực nối đất,

trong đó đầu ra của bộ khuếch đại thuật toán được tạo cấu hình để cung cấp tín hiệu phân cực thứ nhất, và cực đầu vào âm của bộ khuếch đại thuật toán được tạo cấu hình để cung cấp tín hiệu phân cực thứ hai.

2. Thiết bị theo điểm 1, trong đó ít nhất một mạch trễ CMOS bao gồm nhánh thứ nhất có bóng bán dẫn đầu vào thứ nhất và cặp bóng bán dẫn nMOS thứ nhất, cặp bóng bán dẫn nMOS thứ nhất này được ghép nối song song với nhau giữa cực máng của bóng bán dẫn đầu vào thứ nhất và cực nối đất.

3. Thiết bị theo điểm 2, trong đó ít nhất một mạch trễ CMOS còn bao gồm nhánh thứ hai có bóng bán dẫn đầu vào thứ hai và cặp bóng bán dẫn nMOS thứ hai, cặp bóng bán dẫn nMOS thứ hai được ghép nối song song với nhau giữa cực máng của bóng bán dẫn đầu vào thứ hai và cực nối đất, và trong đó cặp bóng bán dẫn nMOS của bộ tạo phân cực, cặp bóng bán dẫn nMOS thứ nhất và cặp bóng bán dẫn nMOS thứ hai về cơ bản giống nhau.

4. Thiết bị theo điểm 3, trong đó ít nhất một mạch trễ CMOS còn bao gồm bóng bán dẫn phân cực có cực cổng, cực nguồn và cực máng, cực cổng được tạo cấu hình để nhận tín

hiệu phân cực thứ nhất từ bộ tạo phân cực và cực nguồn được tạo cấu hình để nhận nguồn cấp điện áp.

5. Thiết bị theo điểm 4, trong đó bóng bán dẫn phân cực là bóng bán dẫn bán dẫn oxit kim loại loại p (pMOS).

6. Thiết bị theo điểm 1, trong đó độ trễ tỷ lệ với điện trở tương đương R_{ref} của môđun điện trở.

7. Thiết bị theo điểm 1, trong đó ít nhất một mạch trễ CMOS còn bao gồm:

tụ tải thứ nhất được ghép nối giữa nút đầu ra thứ nhất và cực nối đất; và

tụ tải thứ hai được ghép nối giữa nút đầu ra thứ hai và cực nối đất, trong đó tụ tải thứ nhất và tụ tải thứ hai về cơ bản có cùng điện dung C_L và độ trễ tỷ lệ với tỷ số giữa C_L và C_{sw} .

8. Thiết bị theo điểm 1, trong đó ít nhất một mạch trễ CMOS còn bao gồm mảng tụ điện để tinh chỉnh độ trễ, mảng tụ điện được tạo cấu hình để nhận nhiều bit điều khiển từ nhiều bộ đệm được phân cực bởi tín hiệu phân cực thứ hai từ bộ tạo phân cực.

9. Thiết bị theo điểm 3, trong đó cực cổng của bóng bán dẫn nMOS thứ nhất của cặp bóng bán dẫn nMOS thứ nhất và cực cổng của bóng bán dẫn nMOS thứ hai của cặp bóng bán dẫn nMOS thứ hai được ghép nối với nhau và được tạo cấu hình để nhận tín hiệu phân cực thứ hai từ bộ tạo phân cực.

10. Thiết bị tạo thời gian trễ hoặc tần số chính xác và ổn định về xử lý-điện áp-nhiệt độ (PVT - process-voltage-temperature), thiết bị này bao gồm:

ít nhất một mạch trễ bán dẫn oxit kim loại bổ sung (CMOS - complementary metal oxide semiconductor) được tạo cấu hình để nhận cặp tín hiệu đầu vào vi sai và tạo ra cặp tín hiệu đầu ra vi sai sau một khoảng thời gian trễ, ít nhất một mạch trễ CMOS này bao gồm:

nhánh thứ nhất có bóng bán dẫn đầu vào thứ nhất và cặp bóng bán dẫn nMOS thứ nhất, cặp bóng bán dẫn nMOS thứ nhất được ghép nối song song với nhau giữa cực máng của bóng bán dẫn đầu vào thứ nhất và cực nối đất,

nhánh thứ hai có bóng bán dẫn đầu vào thứ hai và cặp bóng bán dẫn nMOS thứ hai, cặp bóng bán dẫn nMOS thứ hai được ghép nối song song với nhau giữa

cực máng của bóng bán dẫn đầu vào thứ hai và cực nối đất, và trong đó cặp bóng bán dẫn nMOS của bộ tạo phân cực, cặp bóng bán dẫn nMOS thứ nhất và cặp bóng bán dẫn nMOS thứ hai về cơ bản giống nhau,

bóng bán dẫn phân cực có cực cổng, cực nguồn và cực máng, trong đó cực nguồn được tạo cấu hình để nhận nguồn cấp điện áp,

bộ chuyển mạch khởi động (startup switch) thứ nhất có cực nguồn, cực máng và cực cổng, cực nguồn của bộ chuyển mạch khởi động thứ nhất được ghép nối với cực máng của bóng bán dẫn phân cực và cực máng của bộ chuyển mạch khởi động thứ nhất được ghép nối với cực nguồn của bóng bán dẫn đầu vào thứ nhất,

bộ chuyển mạch khởi động thứ hai gồm cực nguồn, cực máng và cực cổng, cực nguồn của bộ chuyển mạch khởi động thứ hai được ghép nối với cực máng của bóng bán dẫn phân cực, và

nhánh phụ có bóng bán dẫn pMOS thứ nhất và bóng bán dẫn pMOS thứ hai, trong đó bóng bán dẫn pMOS thứ nhất được ghép nối giữa cực máng của bộ chuyển mạch khởi động thứ hai và cực máng của bóng bán dẫn đầu vào thứ nhất, bóng bán dẫn pMOS thứ hai được ghép nối giữa cực máng của bộ chuyển mạch khởi động thứ hai và cực máng của bóng bán dẫn đầu vào thứ hai; và

bộ tạo phân cực được tạo cấu hình để cung cấp tín hiệu phân cực thứ nhất và tín hiệu phân cực thứ hai tới ít nhất một mạch trễ CMOS, bộ tạo phân cực bao gồm:

bộ khuếch đại thuật toán có đầu ra, cực đầu vào dương, và cực đầu vào âm, modul điện trở được ghép nối giữa cực đầu vào dương và cực nối đất, và cặp bóng bán dẫn nMOS được ghép nối giữa cực đầu vào âm và cực nối đất,

trong đó đầu ra của bộ khuếch đại thuật toán được tạo cấu hình để cung cấp tín hiệu phân cực thứ nhất, và cực đầu vào âm của bộ khuếch đại thuật toán được tạo cấu hình để cung cấp tín hiệu phân cực thứ hai.

11. Thiết bị theo điểm 10, trong đó cực cổng của bóng bán dẫn pMOS thứ nhất của nhánh phụ được tạo cấu hình để nhận nguồn cấp điện áp thấp và cực cổng của bóng bán dẫn pMOS thứ hai của nhánh phụ được tạo cấu hình để nhận tín hiệu phân cực thứ hai từ bộ tạo phân cực.

12. Thiết bị theo điểm 10, trong đó modul điện trở bao gồm biến trở.

13. Bộ dao động vòng bao gồm:

nhiều mạch trễ bán dẫn oxit kim loại bổ sung (CMOS) được ghép nối tiếp với nhau để tạo thành vòng, trong đó mỗi trong số nhiều mạch trễ CMOS được tạo cấu hình để nhận cặp tín hiệu vi sai đầu vào và tạo ra cặp tín hiệu vi sai đầu ra sau một khoảng thời gian trễ; và

bộ tạo phân cực được tạo cấu hình để cung cấp tín hiệu phân cực thứ nhất (pbias) và tín hiệu phân cực thứ hai (nbias) tới ít nhất một trong số nhiều mạch trễ CMOS, ít nhất một bộ tạo phân cực bao gồm:

bộ khuếch đại thuật toán có đầu ra, cực đầu vào dương, và cực đầu vào âm, modul điện trở được ghép nối giữa cực đầu vào dương và cực nối đất, trong đó modul điện trở bao gồm điện trở tụ điện được chuyển mạch có bộ chuyển mạch, tụ điện thứ nhất có điện dung C_{sw} , và tụ điện thứ hai có điện dung C_H , được ghép nối song song với nhau, và

cặp bóng bán dẫn nMOS được ghép nối giữa cực đầu vào âm và cực nối đất, trong đó đầu ra của bộ khuếch đại thuật toán được tạo cấu hình để cung cấp tín hiệu phân cực thứ nhất và cực đầu vào âm của bộ khuếch đại thuật toán được tạo cấu hình để cung cấp tín hiệu phân cực thứ hai.

14. Bộ dao động vòng theo điểm 13, trong đó mỗi trong số nhiều mạch trễ CMOS bao gồm nhánh thứ nhất có bóng bán dẫn đầu vào thứ nhất và cặp bóng bán dẫn nMOS thứ nhất, cặp bóng bán dẫn nMOS thứ nhất được ghép nối song song với nhau giữa cực máng của bóng bán dẫn đầu vào thứ nhất và cực nối đất.

15. Bộ dao động vòng theo điểm 14, trong đó mỗi trong số nhiều mạch trễ CMOS còn bao gồm nhánh thứ hai có bóng bán dẫn đầu vào thứ hai và cặp bóng bán dẫn nMOS thứ hai, cặp bóng bán dẫn nMOS thứ hai được ghép nối song song với nhau giữa cực máng của bóng bán dẫn đầu vào thứ hai và cực nối đất, và trong đó cặp bóng bán dẫn nMOS của bộ tạo phân cực, cặp bóng bán dẫn nMOS thứ nhất và cặp bóng bán dẫn nMOS thứ hai về cơ bản giống nhau.

16. Bộ dao động vòng theo điểm 15, trong đó mỗi trong số nhiều mạch trễ CMOS còn bao gồm bóng bán dẫn phân cực có cực cổng, cực nguồn và cực máng, cực cổng được

tạo cấu hình để nhận tín hiệu phân cực thứ nhất từ bộ tạo phân cực và cực nguồn được tạo cấu hình để nhận nguồn cấp điện áp.

17. Bộ dao động vòng theo điểm 16, trong đó bóng bán dẫn phân cực là bóng bán dẫn bán dẫn oxit kim loại loại p (pMOS).

18. Bộ dao động vòng theo điểm 13, trong đó độ trễ tỷ lệ với điện trở tương đương R_{ref} của môđun điện trở.

19. Bộ dao động vòng theo điểm 13, trong đó mỗi trong số nhiều mạch trễ CMOS còn bao gồm:

tụ tải thứ nhất được ghép nối giữa nút đầu ra thứ nhất và cực nối đất; và

tụ tải thứ hai được ghép nối giữa nút đầu ra thứ hai và cực nối đất, trong đó tụ tải thứ nhất và tụ tải thứ hai về cơ bản có cùng điện dung C_L và độ trễ tỷ lệ với tỷ số giữa C_L và C_{sw} .

20. Bộ dao động vòng theo điểm 13, trong đó mỗi trong số nhiều mạch trễ CMOS còn bao gồm mảng tụ điện để tinh chỉnh độ trễ, mảng tụ điện được tạo cấu hình để nhận nhiều bit điều khiển từ nhiều bộ đệm được phân cực bởi tín hiệu phân cực thứ hai.

21. Bộ dao động vòng theo điểm 15, trong đó cực cổng của bóng bán dẫn nMOS thứ nhất của cặp bóng bán dẫn nMOS thứ nhất và cực cổng của bóng bán dẫn nMOS thứ hai của cặp bóng bán dẫn nMOS thứ hai được ghép nối với nhau và được tạo cấu hình để nhận tín hiệu phân cực thứ hai từ bộ tạo phân cực.

22. Bộ dao động vòng bao gồm:

nhiều mạch trễ bán dẫn oxit kim loại bổ sung (CMOS) được ghép nối tiếp với nhau để tạo thành vòng, trong đó mỗi trong số nhiều mạch trễ CMOS được tạo cấu hình để nhận cặp tín hiệu vi sai đầu vào và tạo ra cặp tín hiệu vi sai đầu ra sau một khoảng thời gian trễ, trong đó mỗi trong số nhiều mạch trễ CMOS còn bao gồm:

nhánh thứ nhất có bóng bán dẫn đầu vào thứ nhất và cặp bóng bán dẫn nMOS thứ nhất, cặp bóng bán dẫn nMOS thứ nhất được ghép nối song song với nhau giữa cực máng của bóng bán dẫn đầu vào thứ nhất và cực nối đất,

nhánh thứ hai có bóng bán dẫn đầu vào thứ hai và cặp bóng bán dẫn nMOS thứ hai, cặp bóng bán dẫn nMOS thứ hai được ghép nối song song với nhau giữa

cực máng của bóng bán dẫn đầu vào thứ hai và cực nối đất, và trong đó cặp bóng bán dẫn nMOS của bộ tạo phân cực, cặp bóng bán dẫn nMOS thứ nhất và cặp bóng bán dẫn nMOS thứ hai về cơ bản giống nhau,

bóng bán dẫn phân cực có cực cổng, cực nguồn và cực máng, trong đó cực nguồn được tạo cấu hình để nhận nguồn cấp điện áp,

bộ chuyển mạch khởi động (startup switch) thứ nhất có cực nguồn, cực máng và cực cổng, cực nguồn của bộ chuyển mạch khởi động thứ nhất được ghép nối với cực máng của bóng bán dẫn phân cực và cực máng của bộ chuyển mạch khởi động thứ nhất được ghép nối với cực nguồn của bóng bán dẫn đầu vào thứ nhất,

bộ chuyển mạch khởi động thứ hai gồm cực nguồn, cực máng và cực cổng, cực nguồn của bộ chuyển mạch khởi động thứ hai được ghép nối với cực máng của bóng bán dẫn phân cực, và

nhánh phụ có bóng bán dẫn pMOS thứ nhất và bóng bán dẫn pMOS thứ hai, trong đó bóng bán dẫn pMOS thứ nhất được ghép nối giữa cực máng của bộ chuyển mạch khởi động thứ hai và cực máng của bóng bán dẫn đầu vào thứ nhất, bóng bán dẫn pMOS thứ hai được ghép nối giữa cực máng của bộ chuyển mạch khởi động thứ hai và cực máng của bóng bán dẫn đầu vào thứ hai; và

bộ tạo phân cực được tạo cấu hình để cung cấp tín hiệu phân cực thứ nhất và tín hiệu phân cực thứ hai tới ít nhất một trong số nhiều mạch trễ CMOS, ít nhất một bộ tạo phân cực bao gồm:

bộ khuếch đại thuật toán có đầu ra, cực đầu vào dương, và cực đầu vào âm, modul điện trở được ghép nối giữa cực đầu vào dương và cực nối đất, và cặp bóng bán dẫn nMOS được ghép nối giữa cực đầu vào âm và cực nối đất, trong đó đầu ra của bộ khuếch đại thuật toán được tạo cấu hình để cung cấp tín hiệu phân cực thứ nhất, và cực đầu vào âm của bộ khuếch đại thuật toán được tạo cấu hình để cung cấp tín hiệu phân cực thứ hai.

23. Bộ dao động vòng theo điểm 22, trong đó cực cổng của bóng bán dẫn pMOS thứ nhất của nhánh phụ được tạo cấu hình để nhận nguồn cấp điện áp thấp và cực cổng của bóng bán dẫn pMOS thứ hai của nhánh phụ được tạo cấu hình để nhận tín hiệu phân cực thứ hai từ bộ tạo phân cực.

24. Bộ dao động vòng theo điểm 22, trong đó môđun điện trở bao gồm biến trở.

25. Phương pháp phân cực mạch trễ bán dẫn oxit kim loại bổ sung (CMOS), phương pháp này bao gồm các bước:

cung cấp điện áp tham chiếu sử dụng môđun điện trở tại cực đầu vào dương của bộ khuếch đại công suất;

ghép nối các cực cổng của cặp bóng bán dẫn pMOS và tụ bù với cực đầu ra của bộ khuếch đại thuật toán để tạo tín hiệu phân cực thứ nhất (pbias); và

ghép nối cặp bóng bán dẫn nMOS với cực âm của bộ khuếch đại công suất để tạo ra tín hiệu phân cực thứ hai (nbias) tại cực âm này, trong đó cặp bóng bán dẫn nMOS về cơ bản giống cặp bóng bán dẫn nMOS trong mạch trễ CMOS,

trong đó môđun điện trở bao gồm điện trở tụ điện được chuyển mạch có bộ chuyển mạch, tụ điện thứ nhất có điện dung C_{sw} và tụ điện thứ hai có điện dung C_H được ghép nối song song với nhau, và trong đó độ trễ của mạch trễ CMOS tỷ lệ với tỷ số giữa điện dung tải C_L của mạch trễ CMOS và C_{sw} .

26. Phương pháp theo điểm 25, trong đó môđun điện trở bao gồm biến trở.

27. Phương pháp theo điểm 25, trong đó độ trễ của mạch trễ CMOS tỷ lệ với điện trở tương đương R_{ref} của môđun điện trở.

1/9

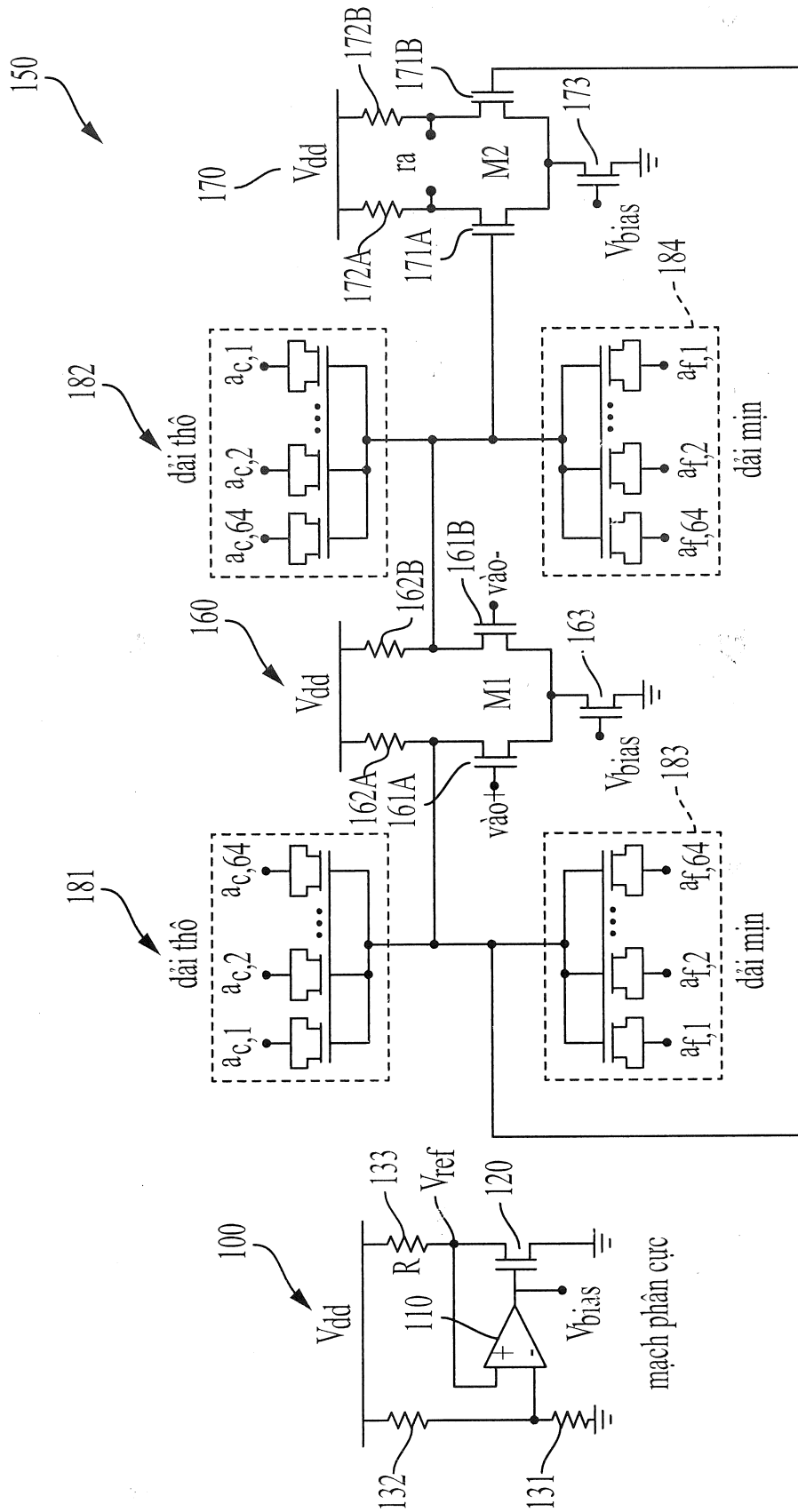


Fig. 1B

Fig. 1A

2/9

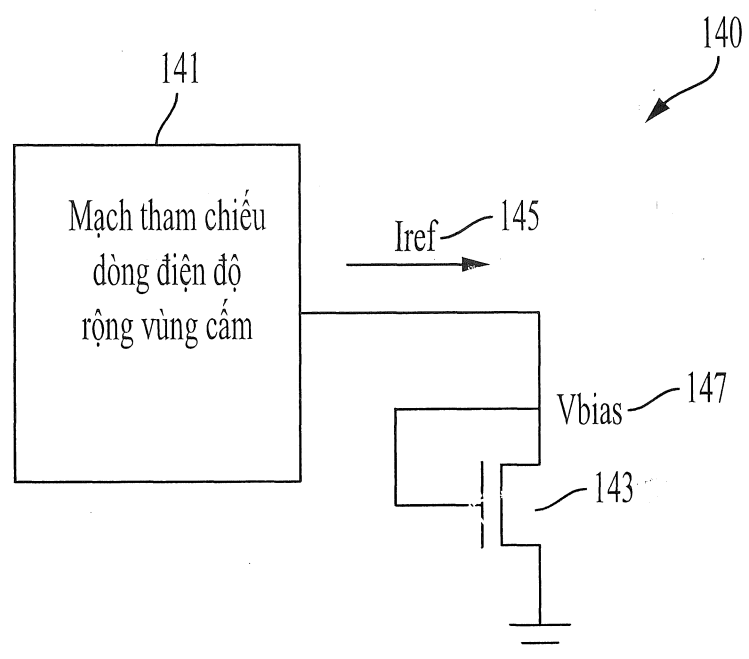


Fig.1C

3/9

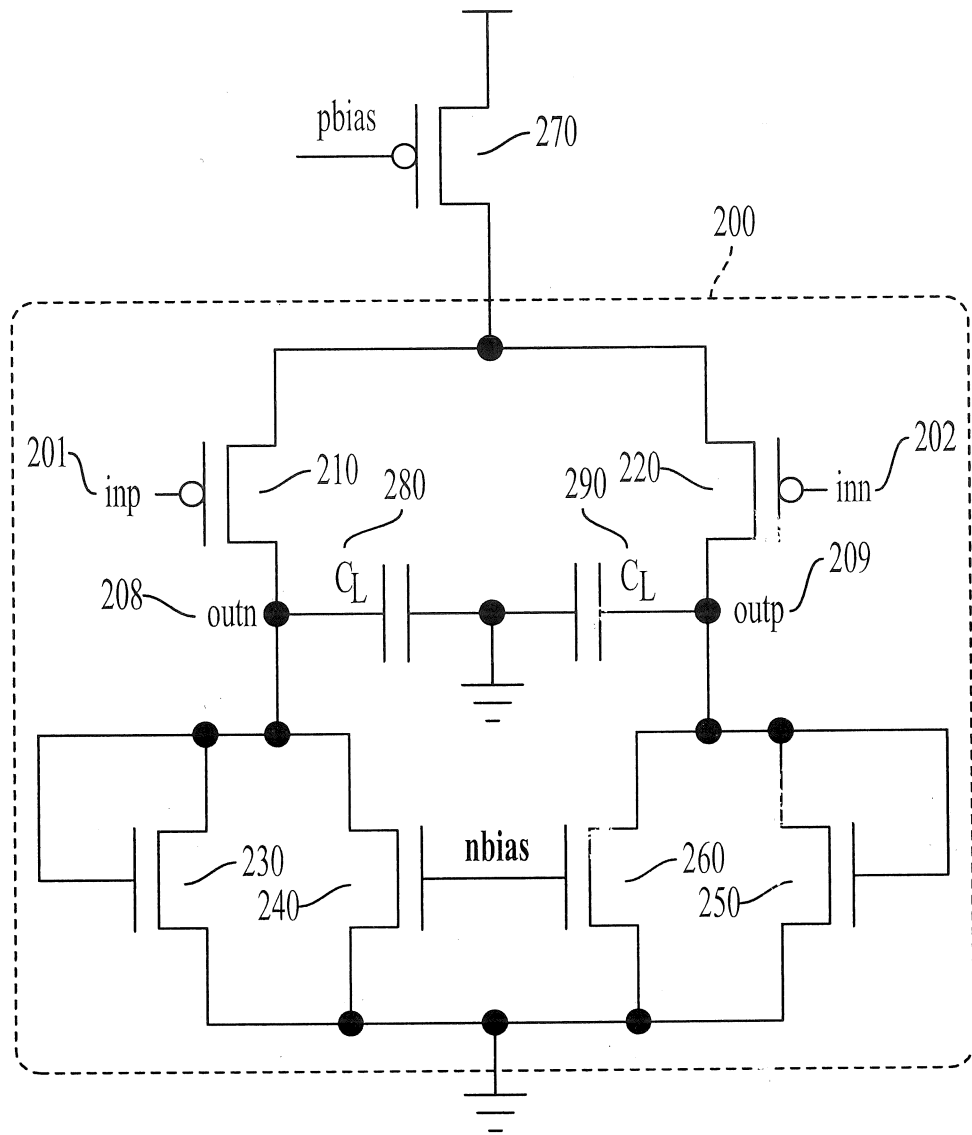


Fig.2

4/9

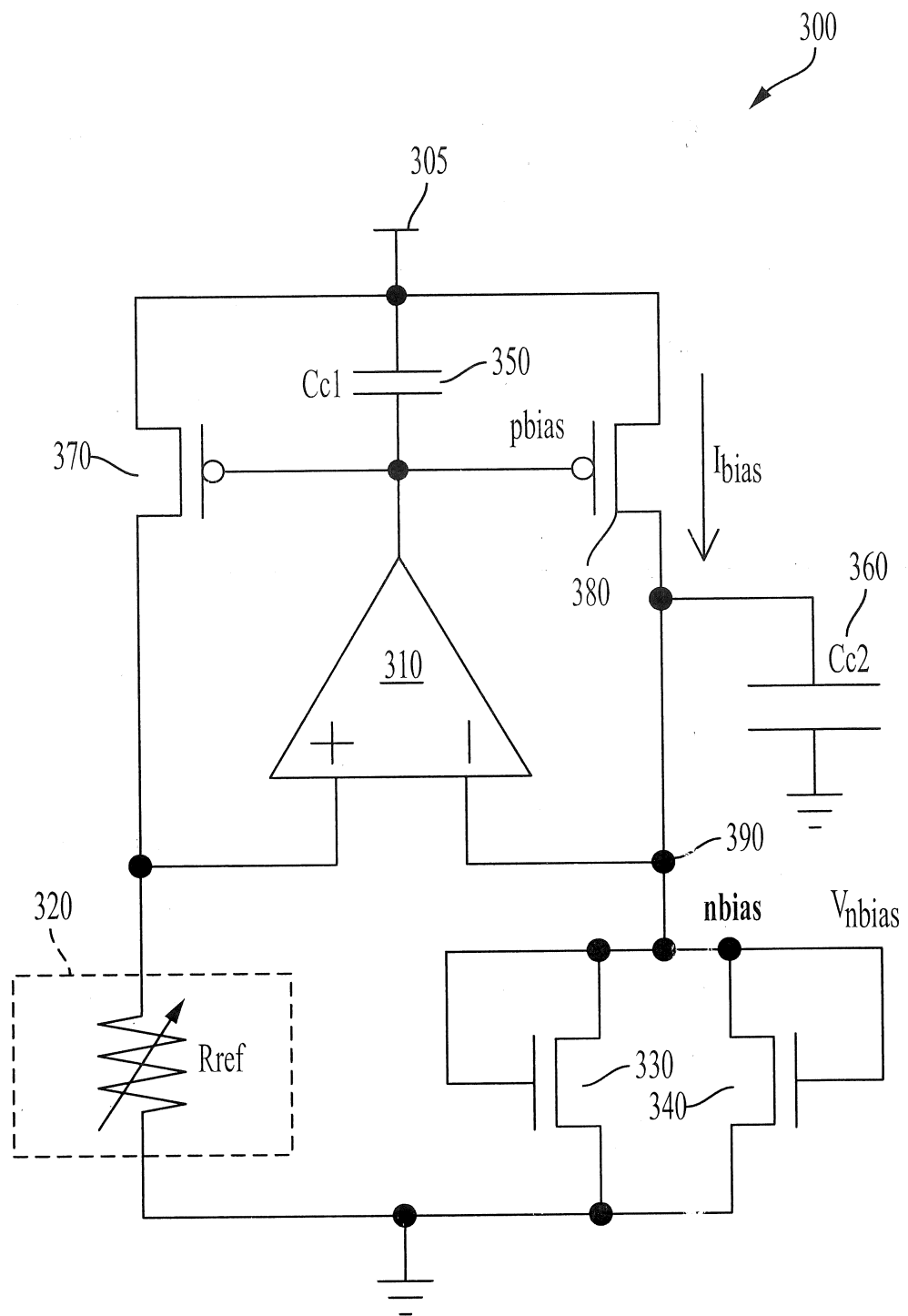
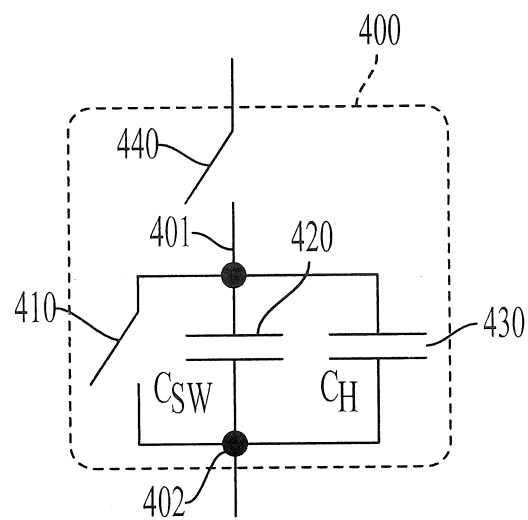


Fig.3

5/9



Điện trở tụ điện
được chuyển mạch

Fig.4

6/9

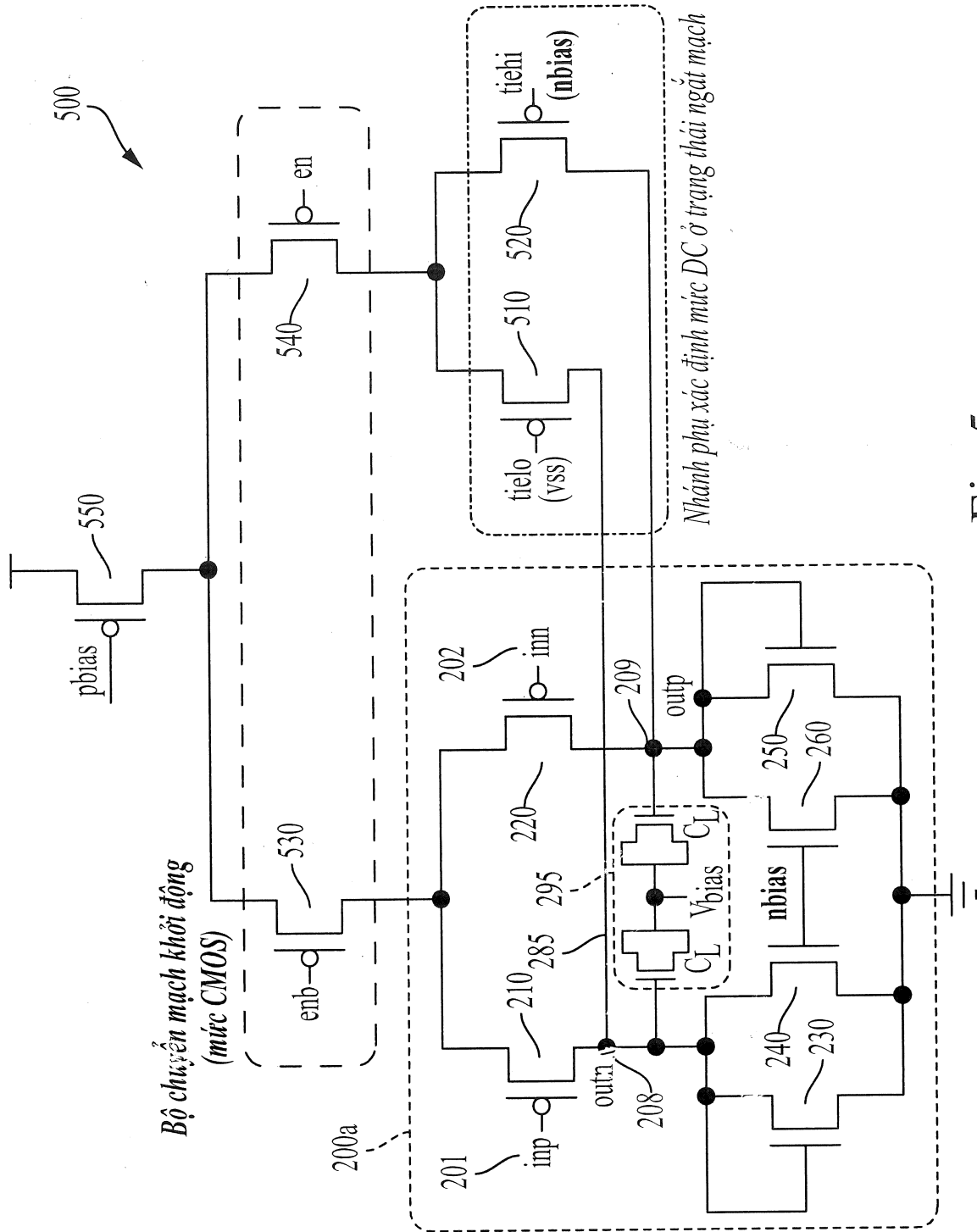


Fig.5

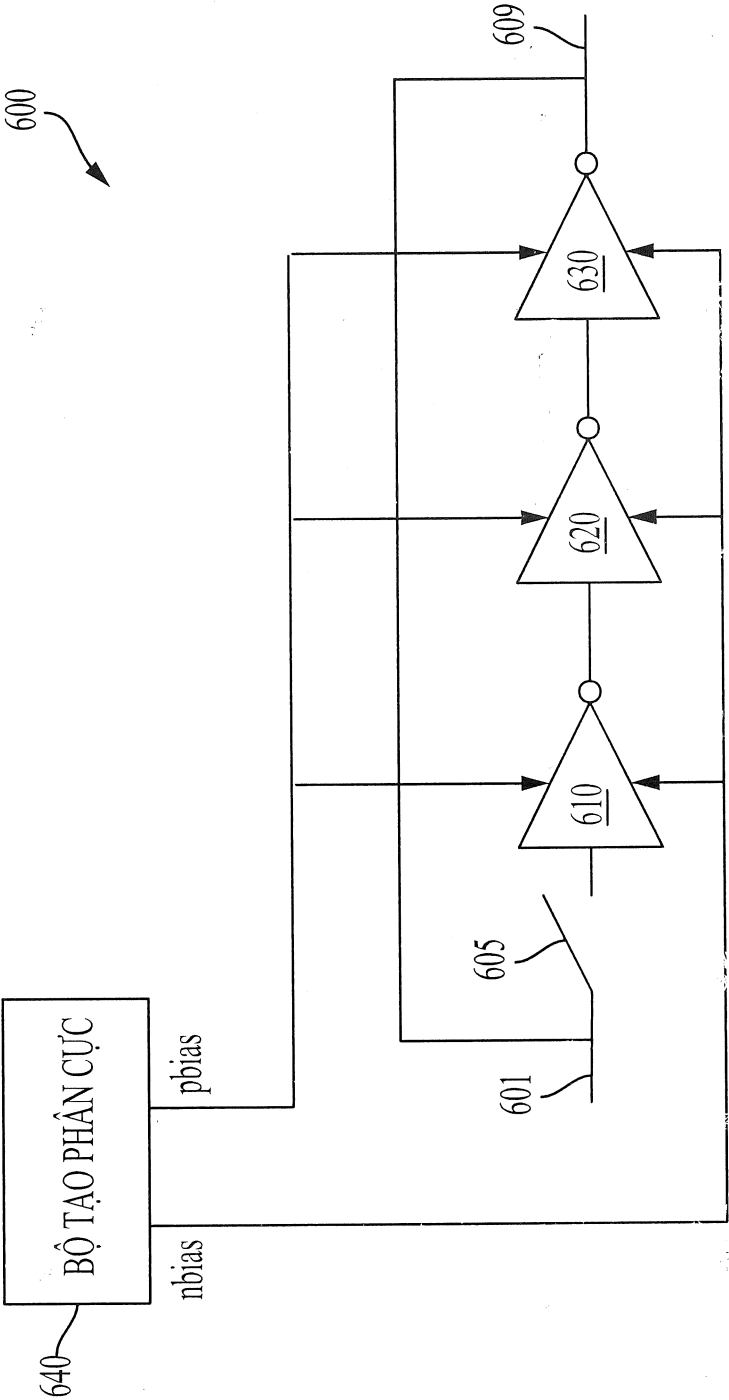


Fig.6

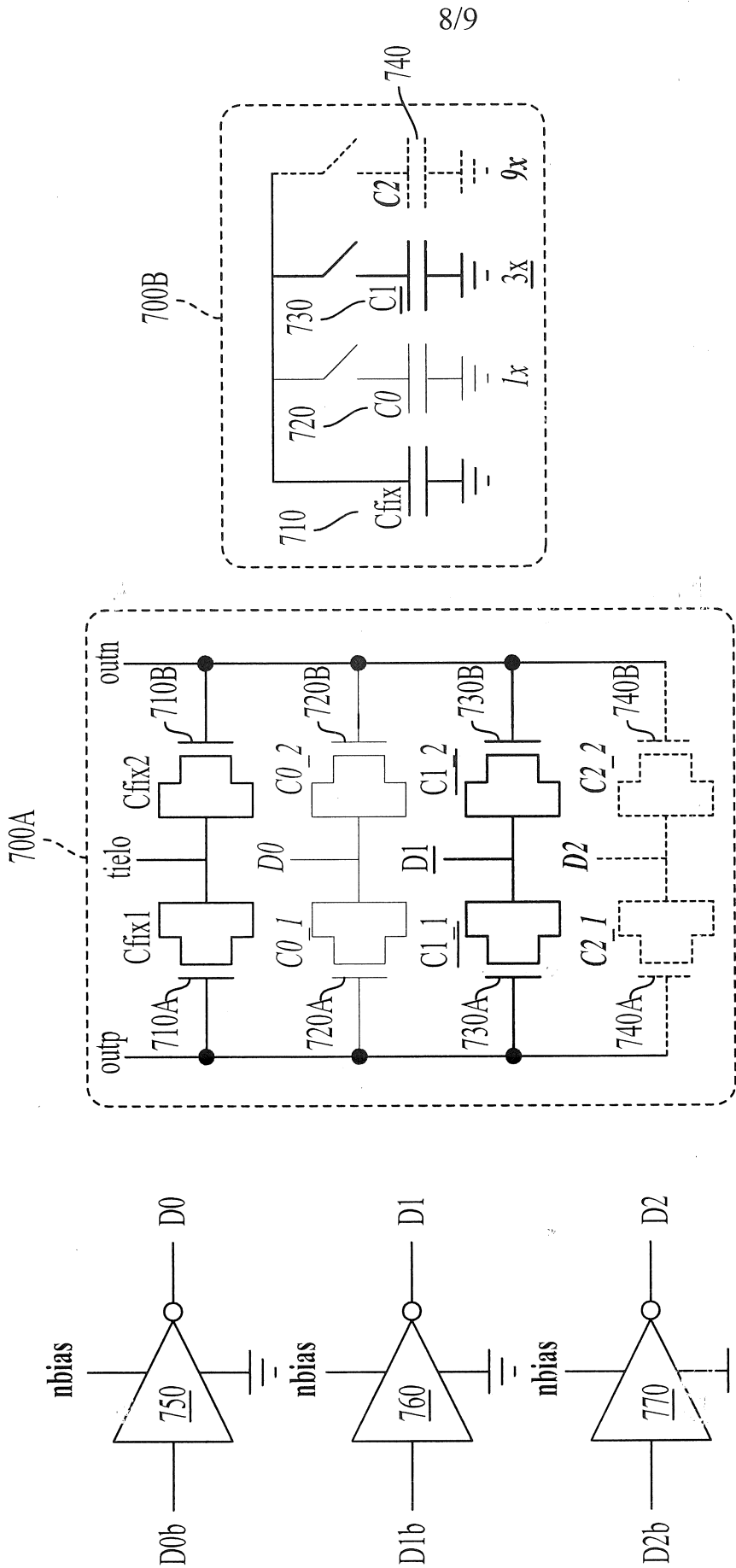


Fig.7B

Fig.7A

Fig.7C

9/9

800

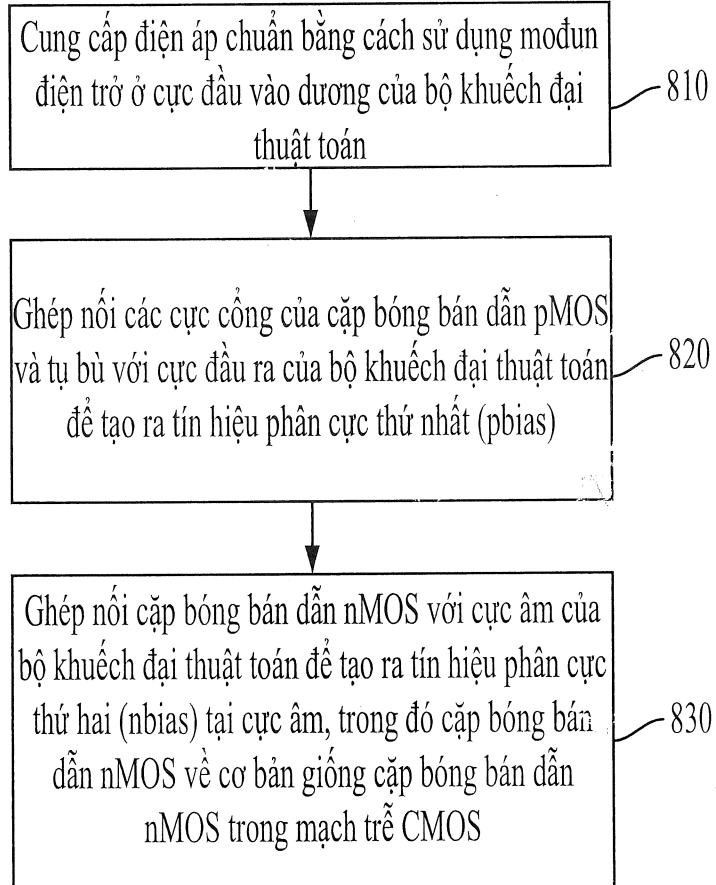


Fig.8