(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) **Cộng hòa xã hội chủ nghĩa Việt Nam (VN)**
CỤC SỞ HỮU TRÍ TUỆ

(11) **1-0052036**

(51)[8] **H03M 13/11**; H03M 13/27; H03M 13/25 (13) **B**

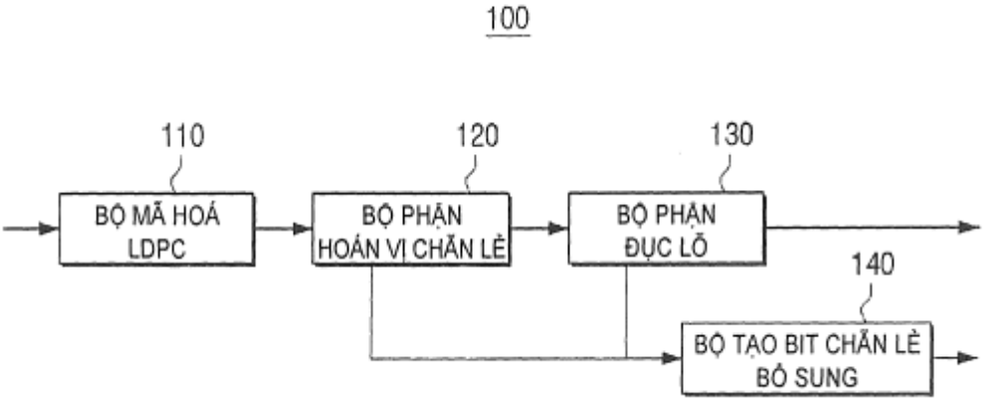
(21) 1-2017-03543 (22) 25/02/2016
(86) PCT/KR2016/001883 25/02/2016 (87) WO2016/137258 01/09/2016
(30) 62/120,564 25/02/2015 US; 10-2015-0137179 27/09/2015 KR
(45) 25/09/2025 450 (43) 27/11/2017 356A
(73) SAMSUNG ELECTRONICS CO., LTD. (KR)
129, Samsung-ro, Yeongtong-gu, Suwon-si, Gyeonggi-do, 16677, Republic of Korea
(72) JEONG, Hong-sil (KR); KIM, Kyung-joong (KR); MYUNG, Se-ho (KR).
(74) Công ty Luật TNHH WINCO (WINCO LAW FIRM)

(54) THIẾT BỊ TRUYỀN TÍN HIỆU PHÁT RỘNG VÀ THIẾT BỊ THU TÍN HIỆU

(21) 1-2017-03543

(57) Sáng chế đề cập đến thiết bị truyền tín hiệu phát rộng và thiết bị thu tín hiệu. Thiết bị truyền tín hiệu phát rộng này bao gồm: bộ mã hoá kiểm tra chẵn lẻ mật độ thấp (Low Density Parity Check, LDPC) được tạo cấu hình để mã hoá các bit đầu vào để tạo ra từ mã LDPC gồm có các bit đầu vào và các bit chẵn lẻ được truyền trong khung hiện thời; bộ phận hoán vị chẵn lẻ được tạo cấu hình để thực hiện bước đan xen theo đơn vị nhóm trên nhiều nhóm bit tạo nên các bit chẵn lẻ dựa vào mẫu đan xen theo đơn vị nhóm gồm có mẫu thứ nhất và mẫu thứ hai; bộ phận đục lỗ được tạo cấu hình để đục lỗ một số bit trong số các bit chẵn lẻ được hoán vị chẵn lẻ; và bộ tạo bit chẵn lẻ bổ sung được tạo cấu hình để chọn ít nhất một số bit chẵn lẻ được đục lỗ để tạo ra các bit chẵn lẻ bổ sung được truyền trong khung đứng trước khung hiện thời, dựa vào mẫu thứ nhất và mẫu thứ hai.

Fig. 1



Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập đến thiết bị truyền tín hiệu và phương pháp tạo ra bit chẵn lẻ bổ sung để truyền tín hiệu.

Tình trạng kỹ thuật của sáng chế

Các dịch vụ truyền thông phát rộng trong xã hội công nghệ thông tin ở thế kỷ thứ 21 đang chuyển sang kỷ nguyên số hoá, phân phối qua nhiều kênh, mở rộng dải tần số và cung cấp các dịch vụ chất lượng cao. Cụ thể, khi máy thu tín hiệu truyền hình (Television, TV) kỹ thuật số chất lượng cao và các thiết bị thu tín hiệu phát rộng cầm tay được sử dụng rộng rãi, thì nhu cầu về các dịch vụ phát rộng kỹ thuật số có hỗ trợ nhiều sơ đồ thu tín hiệu khác nhau ngày càng tăng lên.

Theo nhu cầu đó, các nhóm tiêu chuẩn hoá đã thiết lập các tiêu chuẩn truyền thông phát rộng để cung cấp nhiều dịch vụ truyền và thu tín hiệu khác nhau nhằm thoả mãn nhu cầu của người dùng. Tuy nhiên, vẫn cần phải có phương pháp cung cấp dịch vụ tốt hơn cho người dùng với hiệu quả cao hơn nữa.

Bản chất kỹ thuật của sáng chế

Các phương án làm ví dụ thực hiện sáng chế có thể khắc phục các nhược điểm của thiết bị truyền tín hiệu, thiết bị thu tín hiệu và phương pháp được thực hiện trong các thiết bị này theo các giải pháp đã biết. Tuy nhiên, các phương án đó không nhất thiết phải khắc phục hoặc có thể không khắc phục được các nhược điểm nêu trên.

Các phương án làm ví dụ thực hiện sáng chế đề xuất thiết bị truyền tín hiệu và phương pháp tạo ra bit chẵn lẻ bổ sung sử dụng các mẫu đan xen.

Theo một khía cạnh của phương án làm ví dụ thực hiện sáng chế, sáng chế đề xuất thiết bị truyền tín hiệu có thể bao gồm: bộ mã hoá kiểm tra chẵn lẻ mật độ thấp (Low Density Parity Check, LDPC) được tạo cấu hình để mã hoá các bit đầu vào để tạo ra từ mã LDPC gồm có các bit đầu vào và các bit chẵn lẻ được truyền trong khung hiện thời; bộ phận hoán vị chẵn lẻ được tạo cấu hình để thực hiện bước đan xen theo đơn vị nhóm trên nhiều nhóm bit tạo nên các bit chẵn lẻ dựa vào mẫu đan xen theo đơn vị nhóm gồm có mẫu thứ nhất và mẫu thứ hai; bộ phận đục lỗ được tạo cấu hình để đục lỗ một số bit

trong số các bit chẵn lẻ được hoán vị chẵn lẻ; và bộ tạo bit chẵn lẻ bổ sung được tạo cấu hình để chọn ít nhất một số bit chẵn lẻ được đục lỗ để tạo ra các bit chẵn lẻ bổ sung được truyền trong khung đứng trước khung hiện thời, dựa vào mẫu thứ nhất và mẫu thứ hai, trong đó mẫu thứ nhất xác định các bit chẵn lẻ còn lại sau khi đục lỗ và sau đó được truyền trong khung hiện thời.

Mẫu thứ hai có thể xác định các nhóm bit luôn luôn được đục lỗ trong các nhóm bit bất kể số lượng bit chẵn lẻ được đục lỗ bằng bộ phận đục lỗ, và các bit chẵn lẻ bổ sung có thể được tạo ra bằng cách chọn ít nhất một số bit nằm trong các nhóm bit luôn luôn được đục lỗ theo thứ tự của các nhóm bit luôn luôn được đục lỗ như được xác định trong mẫu thứ hai.

Bộ phận hoán vị chẵn lẻ có thể thực hiện bước đan xen theo đơn vị nhóm dựa vào biểu thức 11, và thứ tự hoán vị chẵn lẻ tương ứng với mẫu thứ hai có thể được xác định dựa vào bảng 4.

Bộ mã hoá LDPC có thể mã hoá 3240 bit đầu vào ở tỷ lệ mã bằng 3/15 để tạo ra 12960 bit chẵn lẻ.

Từ mã LDPC sau khi đục lỗ có thể được ánh xạ lên các ký hiệu chòm điểm theo sơ đồ điều biến dịch pha vuông góc (Quadrature Phase Shift Keying, QPSK) được truyền đến thiết bị thu tín hiệu trong khung hiện thời.

Theo một khía cạnh của phương án làm ví dụ khác để thực hiện sáng chế, sáng chế đề xuất phương pháp tạo ra bit chẵn lẻ bổ sung. Phương pháp này có thể bao gồm các bước: mã hoá các bit đầu vào để tạo ra các bit chẵn lẻ được truyền trong khung hiện thời cùng với các bit đầu vào; thực hiện bước hoán vị chẵn lẻ bằng cách đan xen theo đơn vị nhóm trên nhiều nhóm bit tạo nên các bit chẵn lẻ dựa vào mẫu đan xen theo đơn vị nhóm gồm có mẫu thứ nhất và mẫu thứ hai; đục lỗ một số bit trong số các bit chẵn lẻ được hoán vị chẵn lẻ; và tạo ra các bit chẵn lẻ bổ sung được truyền trong khung đứng trước khung hiện thời bằng cách chọn ít nhất một số bit chẵn lẻ được đục lỗ, dựa vào mẫu thứ nhất và mẫu thứ hai, trong đó mẫu thứ nhất xác định các bit chẵn lẻ còn lại sau khi đục lỗ và sau đó được truyền trong khung hiện thời.

Mẫu thứ hai có thể xác định các nhóm bit luôn luôn được đục lỗ trong các nhóm bit

bất kể số lượng bit chẵn lẻ được đục lỗ bằng bộ phận đục lỗ, và các bit chẵn lẻ bổ sung có thể được tạo ra bằng cách chọn ít nhất một số bit nằm trong các nhóm bit luôn luôn được đục lỗ theo thứ tự của các nhóm bit luôn luôn được đục lỗ như được xác định trong mẫu thứ hai.

Mẫu thứ nhất có thể xác định một số bit chẵn lẻ được đục lỗ, ngoài các nhóm bit luôn luôn được đục lỗ, dựa vào tổng số bit chẵn lẻ trong từ mã LDPC được truyền trong khung hiện thời.

Mẫu thứ nhất có thể còn xác định thứ tự chọn của các bit, trong số một số bit chẵn lẻ được đục lỗ được xác định theo mẫu thứ nhất, để tạo ra các bit chẵn lẻ bổ sung

Mẫu thứ nhất có thể còn xác định thứ tự đục lỗ của các bit trong số một số bit chẵn lẻ được đục lỗ được xác định theo mẫu thứ nhất, và mẫu thứ hai có thể xác định các nhóm bit luôn luôn được đục lỗ mà không cần xác định thứ tự đục lỗ của các bit trong các nhóm bit luôn luôn được đục lỗ.

Từ những điều nêu trên, theo các phương án làm ví dụ thực hiện sáng chế, các bit chẵn lẻ LDPC cụ thể có thể được chọn làm các bit chẵn lẻ bổ sung để nâng cao hiệu quả giải mã của thiết bị thu tín hiệu.

Mô tả vắn tắt các hình vẽ

Các khía cạnh nêu trên và/hoặc các khía cạnh khác của các phương án làm ví dụ thực hiện sáng chế sẽ được mô tả dưới đây dựa vào các hình vẽ kèm theo, trong đó:

Fig.1 là sơ đồ khối thể hiện cấu hình của thiết bị truyền tín hiệu theo phương án làm ví dụ thực hiện sáng chế;

Fig.2 và Fig.3 là các sơ đồ thể hiện ma trận kiểm tra chẵn lẻ theo các phương án làm ví dụ thực hiện sáng chế;

Fig.4 đến Fig.6 là các sơ đồ thể hiện phương pháp tạo ra bit chẵn lẻ bổ sung theo các phương án làm ví dụ thực hiện sáng chế;

Fig.7 là sơ đồ thể hiện ma trận kiểm tra chẵn lẻ có cấu trúc tựa tuần hoàn theo phương án làm ví dụ thực hiện sáng chế;

Fig.8 là sơ đồ thể hiện cấu trúc khung theo phương án làm ví dụ thực hiện sáng chế;

Fig.9 và Fig.10 là các sơ đồ khối thể hiện cấu hình chi tiết của thiết bị truyền tín hiệu theo các phương án làm ví dụ thực hiện sáng chế;

Fig.11 đến Fig.24 là các sơ đồ thể hiện phương pháp xử lý tín hiệu theo các phương án làm ví dụ thực hiện sáng chế;

Fig.25 và Fig.26 là các sơ đồ khối thể hiện cấu hình của thiết bị thu tín hiệu theo các phương án làm ví dụ thực hiện sáng chế;

Fig.27 và Fig.28 là các sơ đồ thể hiện ví dụ về phương pháp kết hợp các giá trị tỷ số hợp lý dạng loga (Log-Likelihood Ratio, LLR) của thiết bị thu tín hiệu theo phương án làm ví dụ thực hiện sáng chế;

Fig.29 là sơ đồ thể hiện ví dụ về phương pháp cung cấp thông tin về độ dài của thông tin báo hiệu cho tầng L1 theo phương án làm ví dụ thực hiện sáng chế; và

Fig.30 là lưu đồ thể hiện phương pháp tạo ra bit chẵn lẻ bổ sung theo phương án làm ví dụ thực hiện sáng chế.

Mô tả chi tiết sáng chế

Các phương án làm ví dụ thực hiện sáng chế sẽ được mô tả chi tiết dưới đây dựa vào các hình vẽ kèm theo.

Fig.1 là sơ đồ khối thể hiện cấu hình của thiết bị truyền tín hiệu theo phương án làm ví dụ thực hiện sáng chế.

Dựa vào Fig.1, thiết bị truyền tín hiệu 100 bao gồm bộ mã hoá LDPC 110, bộ phận hoán vị chẵn lẻ 120, bộ phận đục lỗ 130 và bộ tạo bit chẵn lẻ bổ sung 140.

Bộ mã hoá LDPC 110 có thể mã hoá các bit đầu vào. Nói cách khác, bộ mã hoá LDPC 110 có thể thực hiện bước mã hoá kiểm tra chẵn lẻ mật độ thấp (LDPC) trên các bit đầu vào để tạo ra các bit chẵn lẻ, tức là các bit chẵn lẻ LDPC.

Theo sáng chế, các bit đầu vào là các bit thông tin LDPC để mã hoá LDPC, và có thể có các bit mã hoá ngoài và các bit không (tức là các bit có giá trị 0). Các bit mã hoá ngoài gồm có các bit thông tin và các bit chẵn lẻ (hay các bit kiểm tra chẵn lẻ) được tạo ra bằng cách mã hoá ngoài trên các bit thông tin.

Các bit thông tin có thể là các bit thông tin báo hiệu (gọi theo cách khác là "các bit

báo hiệu" hoặc "thông tin báo hiệu"). Các bit thông tin này có thể là thông tin cần thiết cho thiết bị thu tín hiệu 200 (như được thể hiện trên Fig.25 hoặc Fig.26) để thu và xử lý dữ liệu hoặc dữ liệu dịch vụ (ví dụ dữ liệu phát rộng) được truyền từ thiết bị truyền tín hiệu 100.

Mã hoá ngoài là thao tác mã hoá được thực hiện trước khi mã hoá trong theo sơ đồ mã hoá ghép nối, và có thể sử dụng nhiều sơ đồ mã hoá khác nhau như sơ đồ mã hoá Bose, Chaudhuri, Hocquenghem (BCH) và/hoặc sơ đồ mã hoá kiểm dư vòng (Cyclic Redundancy Check, CRC). Trong trường hợp như vậy, thao tác mã hoá trong có thể là mã hoá LDPC.

Để mã hoá LDPC, cần phải có một số lượng bit cụ thể của các bit thông tin LDPC tuỳ thuộc vào tỷ lệ mã và độ dài mã. Vì vậy, khi số lượng bit mã hoá ngoài được tạo ra bằng cách mã hoá ngoài trên các bit thông tin nhỏ hơn số lượng bit thông tin LDPC cần thiết, thì một số lượng thích hợp của các bit không sẽ được đệm vào nhằm đạt được số lượng bit thông tin LDPC cần thiết để mã hoá LDPC. Vì vậy, các bit mã hoá ngoài và các bit không được đệm vào có thể tạo nên các bit thông tin LDPC với số lượng đúng bằng số lượng bit cần thiết để mã hoá LDPC.

Vì các bit không được đệm vào là các bit cần thiết chỉ nhằm đạt được số lượng bit cụ thể để mã hoá LDPC, nên các bit không được đệm vào sẽ được mã hoá LDPC, và sau đó, không được truyền đến thiết bị thu tín hiệu 200. Như vậy, thủ tục đệm bit không hay quy trình đệm bit không và sau đó không truyền các bit không được đệm vào đến thiết bị thu tín hiệu 200 có thể được gọi là thủ tục rút gọn. Trong trường hợp như vậy, các bit không được đệm vào có thể được gọi là các bit rút gọn (hay các bit được rút gọn).

Ví dụ, giả sử rằng số lượng bit thông tin bằng K_{sig} và số lượng bit khi M_{outer} bit chẵn lẻ được gắn vào các bit thông tin bằng cách mã hoá ngoài, tức là số lượng bit mã hoá ngoài gồm có các bit thông tin và các bit chẵn lẻ, bằng N_{outer} ($= K_{sig} + M_{outer}$).

Trong trường hợp như vậy, khi số lượng N_{outer} bit mã hoá ngoài nhỏ hơn số lượng K_{ldpc} bit thông tin LDPC, thì số lượng $K_{ldpc} - N_{outer}$ bit không sẽ được đệm vào sao cho các bit mã hoá ngoài cùng với các bit không được đệm vào có thể tạo nên các bit thông tin LDPC.

Ví dụ nêu trên mô tả rằng các bit không được đệm vào, nhưng đó chỉ là một ví dụ.

Khi các bit thông tin là thông tin báo hiệu cho dữ liệu hoặc dữ liệu dịch vụ, thì độ dài của các bit thông tin có thể thay đổi tuỳ theo lượng dữ liệu. Vì vậy, khi số lượng bit thông tin lớn hơn số lượng bit thông tin LDPC cần thiết để mã hoá LDPC, thì các bit thông tin có thể được phân đoạn ra thành nhiều nhóm bit sao cho số lượng bit thông tin trong mỗi nhóm nhỏ hơn một giá trị cụ thể.

Vì vậy, khi số lượng bit thông tin hoặc số lượng bit thông tin đã phân đoạn nhỏ hơn số lượng thu được sau khi lấy số lượng bit thông tin LDPC trừ đi số lượng bit chẵn lẻ (tức là M_{outer}) được tạo ra bằng cách mã hoá ngoài, các bit không được đệm vào với số lượng đúng bằng số lượng thu được sau khi lấy số lượng bit thông tin LDPC trừ đi số lượng bit mã hoá ngoài, thì các bit thông tin LDPC có thể gồm có các bit mã hoá ngoài và các bit không được đệm vào.

Tuy nhiên, khi số lượng bit thông tin và số lượng bit thông tin đã phân đoạn bằng số lượng thu được sau khi lấy số lượng bit thông tin LDPC trừ đi số lượng bit chẵn lẻ được tạo ra bằng cách mã hoá ngoài, thì các bit thông tin LDPC có thể chỉ gồm có các bit mã hoá ngoài mà không có các bit không được đệm vào.

Ví dụ nêu trên mô tả rằng các bit thông tin được mã hoá ngoài, nhưng đó chỉ là một ví dụ. Tuy nhiên, các bit thông tin có thể không được mã hoá ngoài và tạo nên các bit thông tin LDPC cùng với các bit không được đệm vào tuỳ theo số lượng bit thông tin hoặc chỉ có các bit thông tin có thể tạo nên các bit thông tin LDPC mà không có các bit không được đệm vào.

Để cho dễ hiểu, thao tác mã hoá ngoài sẽ được mô tả dưới đây với giả thiết rằng thao tác đó được thực hiện bằng cách mã hoá BCH.

Cụ thể, các bit đầu vào sẽ được mô tả với giả thiết rằng các bit đầu vào đó gồm có các bit mã hoá BCH và các bit không, các bit mã hoá BCH gồm có các bit thông tin và các bit kiểm tra chẵn lẻ BCH (hay các bit chẵn lẻ BCH) được tạo ra bằng cách mã hoá BCH trên các bit thông tin.

Điều này có nghĩa là, giả sử rằng số lượng bit thông tin bằng K_{sig} và số lượng bit khi M_{outer} bit kiểm tra chẵn lẻ BCH được tạo ra bằng cách mã hoá BCH trên các bit thông tin,

tức là số lượng bit mã hoá BCH gồm có các bit thông tin và các bit kiểm tra chẵn lẻ BCH, bằng N_{outer} (= K_{sig} + M_{outer}). Theo sáng chế, M_{outer} = 168.

Ví dụ nêu trên mô tả rằng các bit không, sẽ được rút gọn, được đệm vào, nhưng đó chỉ là một ví dụ. Điều này có nghĩa là, vì các bit không là các bit có giá trị được định trước bởi thiết bị truyền tín hiệu 100 và thiết bị thu tín hiệu 200 và được đệm vào chỉ để tạo ra các bit thông tin LDPC cùng với các bit thông tin chứa thông tin căn bản được truyền đến thiết bị thu tín hiệu 200, cho nên các bit có giá trị khác (ví dụ 1) được định trước bởi thiết bị truyền tín hiệu 100 và thiết bị thu tín hiệu 200 thay cho các bit không có thể được đệm vào để rút gọn.

Bộ mã hoá LDPC 110 có thể mã hoá có hệ thống trên các bit thông tin LDPC để tạo ra các bit chẵn lẻ LDPC, và xuất ra từ mã LDPC (hay các bit mã hoá LDPC) gồm có các bit thông tin LDPC và các bit chẵn lẻ LDPC. Điều này có nghĩa là, mã LDPC là mã có hệ thống, và vì vậy, từ mã LDPC có thể gồm có các bit thông tin LDPC trước khi mã hoá LDPC và các bit chẵn lẻ LDPC được tạo ra bằng cách mã hoá LDPC.

Ví dụ, bộ mã hoá LDPC 110 có thể mã hoá LDPC trên K_{ldpc} bit thông tin LDPC $i = (i_0, i_1, \ldots, i_{K_{ldpc}-1})$ để tạo ra N_{ldpc_parity} bit chẵn lẻ LDPC $(p_0, p_1, \ldots, p_{N_{ldpc}-K_{ldpc}-1})$ và xuất ra từ mã LDPC $\Lambda = (c_0, c_1, \ldots, c_{N_{inner}-1}) = (i_0, i_1, \ldots, i_{K_{ldpc}-1}, p_0, p_1, \ldots, p_{N_{inner}-K_{ldpc}-1})$ gồm có N_{inner} (= K_{ldpc} + N_{ldpc_parity}) bit.

Trong trường hợp như vậy, bộ mã hoá LDPC 110 có thể thực hiện bước mã hoá LDPC trên các bit đầu vào (tức là các bit thông tin LDPC) ở các tỷ lệ mã khác nhau để tạo ra từ mã LDPC có độ dài định trước.

Ví dụ, bộ mã hoá LDPC 110 có thể thực hiện bước mã hoá LDPC trên 3240 bit đầu vào ở tỷ lệ mã bằng 3/15 để tạo ra từ mã LDPC gồm có 16200 bit. Ví dụ khác, bộ mã hoá LDPC 110 có thể thực hiện bước mã hoá LDPC trên 6480 bit đầu vào ở tỷ lệ mã bằng 6/15 để tạo ra từ mã LDPC gồm có 16200 bit.

Quy trình thực hiện bước mã hoá LDPC là quy trình tạo ra từ mã LDPC sao cho thoả mãn hệ thức $H \cdot C^T = 0$, và do đó, bộ mã hoá LDPC 110 có thể sử dụng ma trận kiểm tra chẵn lẻ để thực hiện bước mã hoá LDPC. Trong đó, H là ma trận kiểm tra chẵn lẻ và C là từ mã LDPC.

Cấu trúc của ma trận kiểm tra chẵn lẻ theo các phương án làm ví dụ thực hiện sáng chế sẽ được mô tả dưới đây dựa vào các hình vẽ kèm theo. Trong ma trận kiểm tra chẵn lẻ, các phần tử nếu không phải là có giá trị bằng 1 thì đều có giá trị bằng 0.

Ví dụ, ma trận kiểm tra chẵn lẻ theo phương án làm ví dụ thực hiện sáng chế có thể có cấu trúc như được thể hiện trên Fig.2.

Dựa vào Fig.2, ma trận kiểm tra chẵn lẻ 20 có thể gồm có năm ma trận con A, B, C, Z và D. Để mô tả cấu trúc của ma trận kiểm tra chẵn lẻ 20, dưới đây sẽ mô tả cấu trúc của mỗi ma trận con.

Ma trận con A gồm có K cột và g hàng, và ma trận con C gồm có K+g cột và N–K–g hàng. Trong đó, K (hoặc K_{ldpc}) là độ dài của các bit thông tin LDPC, và N (hoặc N_{inner}) là độ dài của từ mã LDPC.

Ngoài ra, trong các ma trận con A và C, chỉ số của các hàng có chứa giá trị 1 trong cột thứ 0 của nhóm cột thứ i có thể được xác định dựa vào bảng 1 khi độ dài của từ mã LDPC bằng 16200 và tỷ lệ mã bằng 3/15. Trong đó, số lượng cột thuộc cùng một nhóm cột có thể bằng 360.

Bảng 1

8 372 841 4522 5253 7430 8542 9822 10550 11896 11988
80 255 667 1511 3549 5239 5422 5497 7157 7854 11267
257 406 792 2916 3072 3214 3638 4090 8175 8892 9003
80 150 346 1883 6838 7818 9482 10366 10514 11468 12341
32 100 978 3493 6751 7787 8496 10170 10318 10451 12561
504 803 856 2048 6775 7631 8110 8221 8371 9443 10990
152 283 696 1164 4514 4649 7260 7370 11925 11986 12092
127 1034 1044 1842 3184 3397 5931 7577 11898 12339 12689
107 513 979 3934 4374 4658 7286 7809 8830 10804 10893
2045 2499 7197 8887 9420 9922 10132 10540 10816 11876
2932 6241 7136 7835 8541 9403 9817 11679 12377 12810
2211 2288 3937 4310 5952 6597 9692 10445 11064 11272

Vị trí (gọi theo cách khác là "chỉ số" hoặc "giá trị chỉ số") của các hàng có chứa giá trị 1 trong các ma trận con A và C sẽ được mô tả chi tiết dưới đây, ví dụ, dựa vào bảng 1.

Khi độ dài của từ mã LDPC bằng 16200 và tỷ lệ mã bằng 3/15, thì các thông số mã

hoá M_1, M_2, Q_1 và Q_2 dựa trên ma trận kiểm tra chẵn lẻ 200 lần lượt bằng 1080, 11880, 3 và 33.

Trong đó, Q_1 là khoảng cách dịch chuyển tuần hoàn của các cột thuộc cùng một nhóm cột trong ma trận con A, và Q_2 là khoảng cách dịch chuyển tuần hoàn của các cột thuộc cùng một nhóm cột trong ma trận con C.

Ngoài ra, $Q_1 = M_1/L$, $Q_2 = M_2/L$, $M_1 = g$, $M_2 = N–K–g$, và L là khoảng lặp lại của mẫu cột trong các ma trận con A và C tương ứng, tức là số lượng cột (ví dụ 360 cột) thuộc cùng một nhóm cột.

Chỉ số của các hàng có chứa giá trị 1 trong các ma trận con A và C tương ứng, có thể được xác định dựa vào giá trị M_1.

Ví dụ, trong bảng 1 nêu trên, vì $M_1 = 1080$, nên vị trí của các hàng có chứa giá trị 1 trong cột thứ 0 của nhóm cột thứ i trong ma trận con A có thể được xác định dựa vào các giá trị nhỏ hơn 1080 trong số các giá trị chỉ số trong bảng 1 nêu trên, và vị trí của các hàng có chứa giá trị 1 trong cột thứ 0 của nhóm cột thứ i trong ma trận con C có thể được xác định dựa vào các giá trị bằng hoặc lớn hơn 1080 trong số các giá trị chỉ số trong bảng 1 nêu trên.

Cụ thể, dãy tương ứng với nhóm cột thứ 0 trong bảng 1 nêu trên là "8 372 841 4522 5253 7430 8542 9822 10550 11896 11988". Vì vậy, trong cột thứ 0 của nhóm cột thứ 0 trong ma trận con A, giá trị 1 có thể lần lượt nằm ở hàng thứ tám, hàng thứ 372 và hàng thứ 841, và trong cột thứ 0 của nhóm cột thứ 0 trong ma trận con C, giá trị 1 có thể lần lượt nằm ở hàng thứ 4522, hàng thứ 5253, hàng thứ 7430, hàng thứ 8542, hàng thứ 9822, hàng thứ 10550, hàng thứ 11896 và hàng thứ 11988.

Trong ma trận con A, khi đã xác định được vị trí của giá trị 1 trong cột thứ 0 của mỗi nhóm cột, thì có thể cho vị trí đó dịch chuyển tuần hoàn với khoảng cách Q_1 để xác định được vị trí của các hàng có chứa giá trị 1 trong các cột khác của mỗi nhóm cột, và trong ma trận con C, khi đã xác định được vị trí của giá trị 1 trong cột thứ 0 của mỗi nhóm cột, thì có thể cho vị trí đó dịch chuyển tuần hoàn với khoảng cách Q_2 để xác định được vị trí của các hàng có chứa giá trị 1 trong các cột khác của mỗi nhóm cột.

Trong ví dụ nêu trên, trong cột thứ 0 của nhóm cột thứ 0 trong ma trận con A, giá trị

1 nằm ở hàng thứ tám, hàng thứ 372 và hàng thứ 841. Trong trường hợp như vậy, vì $Q_1 = 3$, nên chỉ số của các hàng có chứa giá trị 1 trong cột thứ nhất của nhóm cột thứ 0 có thể là 11 (= 8+3), 375 (= 372+3) và 844 (= 841+3), và chỉ số của các hàng có chứa giá trị 1 trong cột thứ hai của nhóm cột thứ 0 có thể là 14 (= 11+3), 378 (= 375+3) và 847 (= 844+3).

Trong cột thứ 0 của nhóm cột thứ 0 trong ma trận con C, giá trị 1 nằm ở hàng thứ 4522, hàng thứ 5253, hàng thứ 7430, hàng thứ 8542, hàng thứ 9822, hàng thứ 10550, hàng thứ 11896 và hàng thứ 11988. Trong trường hợp như vậy, vì $Q_2 = 33$, nên chỉ số của các hàng có chứa giá trị 1 trong cột thứ nhất của nhóm cột thứ 0 có thể là 4555 (= 4522+33), 5286 (= 5253+33), 7463 (= 7430+33), 8575 (= 8542+33), 9855 (= 9822+33), 10583 (= 10550+33), 11929 (= 11896+33) và 12021 (= 11988+33), và chỉ số của các hàng có chứa giá trị 1 trong cột thứ hai của nhóm cột thứ 0 có thể là 4588 (= 4555+33), 5319 (= 5286+33), 7496 (= 7463+33), 8608 (= 8575+33), 9888 (= 9855+33), 10616 (= 10583+33), 11962 (= 11929+33) và 12054 (= 12021+33).

Theo sơ đồ này, có thể xác định được vị trí của các hàng có chứa giá trị 1 trong tất cả các nhóm cột trong các ma trận con A và C.

Ma trận con B là ma trận hai đường chéo, ma trận con D là ma trận đơn vị, và ma trận con Z là ma trận không.

Do đó, cấu trúc của ma trận kiểm tra chẵn lẻ 20 như được thể hiện trên Fig.2 có thể được xác định dựa vào các ma trận con A, B, C, D và Z có cấu trúc nêu trên.

Quy trình thực hiện bước mã hoá LDPC, bằng bộ mã hoá LDPC 110, dựa trên ma trận kiểm tra chẵn lẻ 20 như được thể hiện trên Fig.2 sẽ được mô tả dưới đây.

Mã LDPC có thể được sử dụng để mã hoá khối thông tin $S = (s_0, s_1, \ldots, s_{K-1})$. Trong trường hợp như vậy, để tạo ra từ mã LDPC $\Lambda = (\lambda_0, \lambda_1, \ldots, \lambda_{N-1})$ có độ dài $N = K+M_1+M_2$, thì các khối chẵn lẻ $P = (p_0, p_1, \ldots, p_{M_1+M_2-1})$ từ khối thông tin S có thể được mã hoá có hệ thống.

Vì vậy, từ mã LDPC có thể là $\Lambda = (s_0, s_1, \ldots, s_{K-1}, p_0, p_1, \ldots, p_{M_1+M_2-1})$.

Trong đó, M_1 và M_2 lần lượt là kích thước của các ma trận con chẵn lẻ tương ứng

với ma trận con hai đường chéo B và ma trận con đơn vị D, trong đó $M_1 = g$ và $M_2 = N-K-g$.

Quy trình tính các bit chẵn lẻ có thể được trình bày dưới đây. Để cho dễ hiểu, dưới đây sẽ mô tả một ví dụ về trường hợp trong đó ma trận kiểm tra chẵn lẻ 20 được xác định như thể hiện trong bảng 1 nêu trên.

Bước 1) Thiết lập giá trị ban đầu cho $\lambda_i = s_i$ (i = 0, 1, …, K–1), $p_j = 0$ (j = 0, 1, …, M_1+M_2-1).

Bước 2) Cộng bit thông tin thứ nhất λ_0 vào địa chỉ chứa bit chẵn lẻ được xác định ở hàng thứ nhất trong bảng 1 nêu trên.

Bước 3) Với L–1 bit thông tin kế tiếp λ_m (m = 1, 2, …, L–1), cộng bit thông tin λ_m vào địa chỉ chứa bit chẵn lẻ được tính dựa vào biểu thức 1 dưới đây:

$$\begin{cases} (x+m\times Q_1) \bmod M_1 & (\text{nếu } x < M_1) \\ M_1+\{(x-M_1+m\times Q_2) \bmod M_2\} & (\text{nếu } x \geq M_1) \end{cases} \quad (1)$$

Trong biểu thức 1 nêu trên, x là địa chỉ của vùng chứa bit chẵn lẻ tương ứng với bit thông tin thứ nhất λ_0. Ngoài ra, $Q_1 = M_1/L$ và $Q_2 = M_2/L$.

Trong trường hợp như vậy, vì độ dài của từ mã LDPC bằng 16200 và tỷ lệ mã bằng 3/15, nên $M_1 = 1080$, $M_2 = 11880$, $Q_1 = 3$, $Q_2 = 33$, $L = 360$.

Bước 4) Vì địa chỉ chứa bit chẵn lẻ ở hàng thứ hai trong bảng 1 nêu trên được sử dụng cho bit thông tin thứ L λ_L, giống như sơ đồ nêu trên, nên tính địa chỉ chứa bit chẵn lẻ cho L–1 bit thông tin kế tiếp λ_m (m = L+1, L+2, …, 2L–1) theo sơ đồ được mô tả ở bước 3) nêu trên. Trong trường hợp như vậy, x là địa chỉ của vùng chứa bit chẵn lẻ tương ứng với bit thông tin λ_L và giá trị của nó có thể lấy từ hàng thứ hai trong bảng 1 nêu trên.

Bước 5) Với L bit thông tin mới trong mỗi nhóm bit, lấy các hàng mới trong bảng 1 nêu trên để làm địa chỉ của vùng chứa bit chẵn lẻ, và từ đó, thực hiện lặp lại quy trình nêu trên.

Bước 6) Sau khi thực hiện lặp lại quy trình nêu trên với các bit từ mã từ λ_0 đến λ_{K-1}, lần lượt tính các giá trị trong biểu thức 2 dưới đây bắt đầu từ i = 1:

$$p_i = p_i \oplus p_{i-1} \quad (i = 1, 2, \ldots, M_1-1) \tag{2}$$

Bước 7) Tính các bit chẵn lẻ từ λ_K đến λ_{K+M_1-1} tương ứng với ma trận con hai đường chéo B dựa vào biểu thức 3 dưới đây:

$$\lambda_{K+L\times t+s} = p_{Q_1\times s+t} \quad (0 \le s < L, 0 \le t < Q_1) \tag{3}$$

Bước 8) Tính địa chỉ của vùng chứa bit chẵn lẻ cho L bit từ mã mới từ λ_K đến λ_{K+M_1-1} của mỗi nhóm bit dựa vào hàng mới trong bảng 1 nêu trên và biểu thức 1 nêu trên.

Bước 9) Sau khi đã tính địa chỉ cho các bit từ mã từ λ_K đến λ_{K+M_1-1}, tính các bit chẵn lẻ từ λ_{K+M_1} đến $\lambda_{K+M_1+M_2-1}$ tương ứng với ma trận con D dựa vào biểu thức 4 dưới đây:

$$\lambda_{K+M_1+L\times t+s} = p_{M_1+Q_2\times s+t} \quad (0 \le s < L, 0 \le t < Q_2) \tag{4}$$

Nhờ đó, có thể tính được các bit chẵn lẻ theo sơ đồ nêu trên. Tuy nhiên, đó chỉ là một ví dụ, và vì vậy, sơ đồ để tính các bit chẵn lẻ dựa trên ma trận kiểm tra chẵn lẻ như được thể hiện trên Fig.2 có thể được xác định theo nhiều cách khác nhau.

Như vậy, bộ mã hoá LDPC 110 có thể thực hiện bước mã hoá LDPC dựa vào bảng 1 nêu trên để tạo ra từ mã LDPC.

Cụ thể, bộ mã hoá LDPC 110 có thể thực hiện bước mã hoá LDPC trên 3240 bit đầu vào, tức là các bit thông tin LDPC, ở tỷ lệ mã bằng 3/15 dựa vào bảng 1 nêu trên để tạo ra 12960 bit chẵn lẻ LDPC, và xuất ra các bit chẵn lẻ LDPC và từ mã LDPC có các bit chẵn lẻ LDPC đó. Trong trường hợp như vậy, từ mã LDPC có thể gồm có 16200 bit.

Ví dụ khác, ma trận kiểm tra chẵn lẻ theo phương án làm ví dụ thực hiện sáng chế có thể có cấu trúc như được thể hiện trên Fig.3.

Dựa vào Fig.3, ma trận kiểm tra chẵn lẻ 30 gồm có ma trận con thông tin 31 là ma trận con tương ứng với các bit thông tin (tức là các bit thông tin LDPC), và ma trận con chẵn lẻ 32 là ma trận con tương ứng với các bit chẵn lẻ (tức là các bit chẵn lẻ LDPC).

Ma trận con thông tin 31 có K_{ldpc} cột và ma trận con chẵn lẻ 32 có

$N_{ldpc\_parity} = N_{inner} - K_{ldpc}$ cột. Số lượng hàng của ma trận kiểm tra chẵn lẻ 30 bằng số lượng $N_{ldpc\_parity} = N_{inner} - K_{ldpc}$ cột của ma trận con chẵn lẻ 32.

Ngoài ra, trong ma trận kiểm tra chẵn lẻ 30, N_{inner} là độ dài của từ mã LDPC, K_{ldpc} là độ dài của các bit thông tin, và $N_{ldpc\_parity} = N_{inner} - K_{ldpc}$ là độ dài của các bit chẵn lẻ.

Cấu trúc của ma trận con thông tin 31 và ma trận con chẵn lẻ 32 sẽ được mô tả dưới đây.

Ma trận con thông tin 31 là ma trận có K_{ldpc} cột (tức là từ cột thứ 0 đến cột thứ $(K_{ldpc}-1)$) và tuân thủ các quy tắc sau đây:

Thứ nhất, K_{ldpc} cột tạo nên ma trận con thông tin 31 được phân ra cứ M cột thì đưa vào cùng một nhóm và được phân chia ra thành tổng số K_{ldpc}/M nhóm cột. Các cột thuộc cùng một nhóm cột có mối quan hệ sao cho cột này so với cột kia có khoảng cách dịch chuyển tuần hoàn bằng Q_{ldpc}. Điều này có nghĩa là, Q_{ldpc} có thể được coi là giá trị thông số khoảng cách dịch chuyển tuần hoàn đối với các cột trong một nhóm cột của ma trận con thông tin tạo nên ma trận kiểm tra chẵn lẻ 30.

Trong đó, M là khoảng lặp lại của mẫu cột trong ma trận con thông tin 31 (ví dụ $M = 360$), và Q_{ldpc} là khoảng cách dịch chuyển tuần hoàn của mỗi cột trong ma trận con thông tin 31. M là ước số chung của N_{inner} và K_{ldpc}, và được xác định sao cho thoả mãn hệ thức $Q_{ldpc} = (N_{inner} - K_{ldpc})/M$. Trong đó, M và Q_{ldpc} là các số nguyên, và K_{ldpc}/M cũng là số nguyên. M và Q_{ldpc} có thể có các giá trị khác nhau tuỳ theo độ dài của từ mã LDPC và tỷ lệ mã.

Ví dụ, khi $M = 360$, độ dài N_{inner} của từ mã LDPC bằng 16200, và tỷ lệ mã bằng 6/15, thì Q_{ldpc} có thể bằng 27.

Thứ hai, nếu bậc (trong đó, bậc là số lượng giá trị 1 có mặt trong cột và tất cả các cột thuộc cùng một nhóm cột đều có cùng một bậc) của cột thứ 0 trong nhóm cột thứ i ($i = 0, 1, \ldots, K_{ldpc}/M-1$) được gọi là D_i, và vị trí (hoặc chỉ số) của mỗi hàng có chứa giá trị 1 trong cột thứ 0 của nhóm cột thứ i được gọi là $R_{i,0}^{(0)}, R_{i,0}^{(1)}, \cdots, R_{i,0}^{(D_i-1)}$, thì chỉ số $R_{i,j}^{(k)}$ của hàng có chứa giá trị 1 thứ k trong cột thứ j của nhóm cột thứ i được xác định theo biểu thức 5 dưới đây:

$$R_{i,j}^{(k)} = R_{i,(j-1)}^{(k)} + Q_{ldpc} \bmod (N_{inner} - K_{ldpc}) \quad (5)$$

Trong biểu thức 5 nêu trên, k = 0, 1, 2, …, D_i–1; i = 0, 1, …, K_{ldpc}/M–1; và j = 1, 2, …, M–1.

Biểu thức 5 nêu trên có thể được biểu diễn dưới dạng biểu thức 6 dưới đây:

$$R_{i,j}^{(k)} = (R_{i,0}^{(k)} + (j \bmod M) \times Q_{ldpc}) \bmod (N_{inner} - K_{ldpc}) \quad (6)$$

Trong biểu thức 6 nêu trên, k = 0, 1, 2, …, D_i–1; i = 0, 1, …, K_{ldpc}/M–1; và j = 1, 2, …, M–1. Trong biểu thức 6 nêu trên, vì j = 1, 2, …, M–1, nên (j mod M) có thể được coi là bằng j.

Trong các biểu thức nêu trên, $R_{i,j}^{(k)}$ là chỉ số của hàng có chứa giá trị 1 thứ k trong cột thứ j của nhóm cột thứ i, N_{inner} là độ dài của từ mã LDPC, K_{ldpc} là độ dài của các bit thông tin, D_i là bậc của các cột thuộc nhóm cột thứ i, M là số lượng cột thuộc một nhóm cột, và Q_{ldpc} là khoảng cách dịch chuyển tuần hoàn của mỗi cột trong nhóm cột.

Từ đó, dựa vào các biểu thức nêu trên, nếu biết giá trị $R_{i,0}^{(k)}$, thì có thể tìm được chỉ số $R_{i,j}^{(k)}$ của hàng có chứa giá trị 1 thứ k trong cột thứ j của nhóm cột thứ i. Vì vậy, khi đã lưu trữ giá trị chỉ số của hàng có chứa giá trị 1 thứ k trong cột thứ 0 của mỗi nhóm cột, thì có thể biết được vị trí của cột và hàng có chứa giá trị 1 trong ma trận kiểm tra chẵn lẻ 30 (tức là ma trận con thông tin 31 của ma trận kiểm tra chẵn lẻ 30) với cấu trúc được thể hiện trên Fig.3.

Theo các quy tắc nêu trên, tất cả các bậc của các cột thuộc nhóm cột thứ i đều là D_i. Vì vậy, theo các quy tắc nêu trên, mã LDPC để lưu trữ thông tin về ma trận kiểm tra chẵn lẻ có thể được biểu diễn ngắn gọn như sau.

Ví dụ, khi N_{inner} bằng 30, K_{ldpc} bằng 15, và Q_{ldpc} bằng 3, thì thông tin vị trí của hàng có chứa giá trị 1 trong cột thứ 0 của các nhóm có ba cột có thể được biểu diễn bằng dãy trong biểu thức 7 dưới đây, dãy này có thể được gọi là ‘dãy vị trí của giá trị 1’.

$$R_{1,0}^{(1)}=1, R_{1,0}^{(2)}=2, R_{1,0}^{(3)}=8, R_{1,0}^{(4)}=10,$$
$$R_{2,0}^{(1)}=0, R_{2,0}^{(2)}=9, R_{2,0}^{(3)}=13, \quad (7)$$
$$R_{3,0}^{(1)}=0, R_{3,0}^{(2)}=14.$$

Trong biểu thức 7 nêu trên, $R_{i,j}^{(k)}$ là chỉ số của hàng có chứa giá trị 1 thứ k trong cột thứ j của nhóm cột thứ i.

Dãy vị trí của giá trị 1 theo biểu thức 7 nêu trên thể hiện chỉ số của hàng có chứa giá trị 1 trong cột thứ 0 của mỗi nhóm cột có thể được biểu diễn ngắn gọn trong bảng 2 dưới đây:

Bảng 2

1 2 8 10
0 9 13
0 14

Bảng 2 nêu trên thể hiện vị trí của các phần tử có giá trị 1 trong ma trận kiểm tra chẵn lẻ, và dãy vị trí của giá trị 1 thứ i được biểu diễn bằng chỉ số của các hàng có chứa giá trị 1 trong cột thứ 0 của nhóm cột thứ i.

Ma trận con thông tin 31 của ma trận kiểm tra chẵn lẻ theo phương án làm ví dụ thực hiện sáng chế đã mô tả trên đây có thể được xác định dựa vào bảng 3 dưới đây.

Theo sáng chế, bảng 3 dưới đây thể hiện chỉ số của các hàng có chứa giá trị 1 trong cột thứ 0 của nhóm cột thứ i trong ma trận con thông tin 31. Điều này có nghĩa là, ma trận con thông tin 31 có nhiều nhóm cột, mỗi nhóm cột có M cột, và vị trí của các giá trị 1 ở cột thứ 0 của mỗi nhóm cột trong số các nhóm cột này có thể được xác định như được thể hiện trong bảng 3 dưới đây.

Ví dụ, khi độ dài N_{inner} của từ mã LDPC bằng 16200, tỷ lệ mã bằng 6/15, và M bằng 360, thì chỉ số của các hàng có chứa giá trị 1 trong cột thứ 0 của nhóm cột thứ i trong ma trận con thông tin 31 được thể hiện trong bảng 3 dưới đây.

Bảng 3

27 430 519 828 1897 1943 2513 2600 2640 3310 3415 4266 5044 5100 5328 5483 5928 6204 6392 6416 6602 7019 7415 7623 8112 8485 8724 8994 9445 9667
27 174 188 631 1172 1427 1779 2217 2270 2601 2813 3196 3582 3895 3908 3948 4463 4955 5120 5809 5988 6478 6604 7096 7673 7735 7795 8925 9613 9670
27 370 617 852 910 1030 1326 1521 1606 2118 2248 2909 3214 3413 3623 3742 3752 4317 4694 5300 5687 6039 6100 6232 6491 6621 6860 7304 8542 8634
990 1753 7635 8540
933 1415 5666 8745
27 6567 8707 9216
2341 8692 9580 9615
260 1092 5839 6080
352 3750 4847 7726
4610 6580 9506 9597
2512 2974 4814 9348
1461 4021 5060 7009
1796 2883 5553 8306
1249 5422 7057
3965 6968 9422
1498 2931 5092
27 1090 6215
26 4232 6354

Theo phương án làm ví dụ khác để thực hiện sáng chế, ma trận kiểm tra chẵn lẻ trong đó có thay đổi thứ tự của các chỉ số trong mỗi dãy tương ứng với mỗi nhóm cột trong bảng 3 nêu trên cũng được coi là ma trận kiểm tra chẵn lẻ cho mã LDPC giống như ma trận kiểm tra chẵn lẻ nêu trên.

Theo phương án làm ví dụ khác nữa để thực hiện sáng chế, ma trận kiểm tra chẵn lẻ trong đó có thay đổi thứ tự sắp xếp của các dãy tương ứng với các nhóm cột trong bảng 3 nêu trên cũng được coi là ma trận kiểm tra chẵn lẻ giống như ma trận kiểm tra chẵn lẻ nêu trên là vì các ma trận này có các đặc trưng đại số như đặc trưng tuần hoàn và sơ đồ phân bố bậc giống nhau trên đồ thị của mã.

Theo phương án làm ví dụ khác nữa để thực hiện sáng chế, ma trận kiểm tra chẵn lẻ trong đó một bội số của Q_{ldpc} được cộng vào tất cả các chỉ số của dãy tương ứng với nhóm cột trong bảng 3 nêu trên cũng được coi là ma trận kiểm tra chẵn lẻ giống như ma

trận kiểm tra chẵn lẻ nêu trên là vì các ma trận này có các đặc trưng tuần hoàn và sơ đồ phân bố bậc giống nhau trên đồ thị của mã. Trong đó, cần lưu ý rằng nếu giá trị thu được sau khi cộng bội số của Q_{ldpc} vào dãy cho trước bằng hoặc lớn hơn $N_{inner} - K_{ldpc}$, thì cần phải thay thế giá trị đó bằng giá trị thu được sau khi lấy giá trị đó để thực hiện phép toán môđulô đối với $N_{inner} - K_{ldpc}$ và sau đó mới được dùng.

Khi đã xác định được vị trí của các hàng có chứa giá trị 1 trong cột thứ 0 của nhóm cột thứ i trong ma trận con thông tin 31 như được thể hiện trong bảng 3 nêu trên, thì có thể cho vị trí đó dịch chuyển tuần hoàn với khoảng cách Q_{ldpc}, và do đó, có thể xác định được vị trí của các hàng có chứa giá trị 1 trong các cột khác của mỗi nhóm cột.

Ví dụ, như được thể hiện trong bảng 3 nêu trên, vì dãy tương ứng với cột thứ 0 của nhóm cột thứ 0 trong ma trận con thông tin 31 là "27 430 519 828 1897 1943 2513 2600 2640 3310 3415 4266 5044 5100 5328 5483 5928 6204 6392 6416 6602 7019 7415 7623 8112 8485 8724 8994 9445 9667", nên trong cột thứ 0 của nhóm cột thứ 0 trong ma trận con thông tin 31, giá trị 1 nằm ở hàng thứ 27, hàng thứ 430, hàng thứ 519, ...

Trong trường hợp như vậy, vì $Q_{ldpc} = (N_{inner} - K_{ldpc})/M = (16200–6480)/360 = 27$, nên chỉ số của các hàng có chứa giá trị 1 trong cột thứ nhất của nhóm cột thứ 0 có thể là 54 (= 27+27), 457 (= 430+27), 546 (= 519+27), ..., 81 (= 54+27), 484 (= 457+27), 573 (= 546+27), ...

Theo sơ đồ nêu trên, có thể xác định được chỉ số của các hàng có chứa giá trị 1 trong tất cả các hàng của mỗi nhóm cột.

Quy trình thực hiện bước mã hoá LDPC dựa trên ma trận kiểm tra chẵn lẻ 30 như được thể hiện trên Fig.3 sẽ được mô tả dưới đây.

Trước hết, gọi các bit thông tin cần mã hoá là $i_0, i_1, \ldots, i_{K_{ldpc}-1}$, và gọi các bit mã được xuất ra sau khi mã hoá LDPC là $c_0, c_1, \ldots, c_{N_{ldpc}-1}$.

Hơn nữa, vì mã LDPC là mã có hệ thống, cho nên với k ($0 \le k < K_{ldpc}-1$), c_k được đặt bằng i_k. Các bit mã còn lại được đặt bằng $p_k := c_{k+k_{ldpc}}$.

Quy trình tính các bit chẵn lẻ p_k sẽ được mô tả dưới đây.

Dưới đây, q(i,j,0) là mục thứ j của hàng thứ i trong danh sách chỉ số như ở trong

bảng 3 nêu trên, và q(i,j,l) được đặt bằng $q(i,j,l) = q(i,j,0) + Q_{ldpc} \times l \bmod (N_{inner} - K_{ldpc})$ với $0 < i < 360$. Tất cả các phép cộng có thể được thực hiện bằng cách cộng trong trường Galois (Galois Field, GF) (2). Ngoài ra, trong bảng 3 nêu trên, vì độ dài của từ mã LDPC bằng 16200 và tỷ lệ mã bằng 6/15, nên Q_{ldpc} bằng 27.

Trong đó, khi đã xác định được q(i,j,0) và q(i,j,l) như nêu trên, quy trình tính bit chẵn lẻ được thực hiện như sau.

Bước 1) Thiết lập giá trị ban đầu cho các bit chẵn lẻ bằng '0'. Điều này có nghĩa là, $p_k = 0$ với $0 \le k < N_{inner} - K_{ldpc}$.

Bước 2) Với mọi k có giá trị $0 \le k < K_{ldpc}$, i và l được đặt bằng $i := \lfloor k/360 \rfloor$ và $l := k \bmod 360$. Trong đó, $\lfloor x \rfloor$ là số nguyên lớn nhất không lớn hơn x.

Tiếp theo, với mọi i, cộng i_k vào $p_{q(i,j,l)}$. Nghĩa là, tính $p_{q(i,0,l)} = p_{q(i,0,l)} + i_k$, $p_{q(i,1,l)} = p_{q(i,1,l)} + i_k$, $p_{q(i,2,l)} = p_{q(i,2,l)} + i_k$, ..., $p_{q(i,w(i)-1,l)} = p_{q(i,w(i)-1,l)} + i_k$.

Trong đó, w(i) là số lượng giá trị (phần tử) của hàng thứ i trong danh sách chỉ số như ở trong bảng 3 nêu trên và là số lượng giá trị 1 trong cột tương ứng với i_k trong ma trận kiểm tra chẵn lẻ. Ngoài ra, trong bảng 3 nêu trên, q(i,j,0) là mục thứ j của hàng thứ i, là chỉ số của bit chẵn lẻ và là vị trí của các hàng có chứa giá trị 1 trong cột tương ứng với i_k trong ma trận kiểm tra chẵn lẻ.

Cụ thể, trong bảng 3 nêu trên, q(i,j,0) là mục thứ j của hàng thứ i, là vị trí của các hàng có chứa giá trị 1 trong cột thứ nhất (tức là cột 0) của nhóm cột thứ i trong ma trận kiểm tra chẵn lẻ của mã LDPC.

q(i,j,0) cũng có thể được coi là chỉ số của bit chẵn lẻ được tạo ra bằng cách mã hoá LDPC theo phương pháp cho phép thiết bị thực tế áp dụng sơ đồ để cộng i_k vào $p_{q(i,j,l)}$ với mọi i, và cũng có thể được coi là chỉ số ở dạng khác khi áp dụng sơ đồ mã hoá khác. Tuy nhiên, đó chỉ là một ví dụ, và vì vậy, rõ ràng là để thu được kết quả tương đương với kết quả mã hoá LDPC có thể thu được từ ma trận kiểm tra chẵn lẻ của mã LDPC về cơ bản được tạo ra dựa vào các giá trị q(i,j,0) trong bảng 3 nêu trên thì có thể áp dụng sơ đồ mã hoá bất kỳ.

Bước 3) Tính bit chẵn lẻ p_k bằng cách tính $p_k = p_k + p_{k-1}$ với mọi k thoả mãn điều

kiện $0 < k < N_{inner} - K_{ldpc}$.

Do đó, có thể thu được tất cả các bit mã $c_0, c_1, \ldots, c_{N_{ldpc}-1}$.

Nhờ đó, có thể tính được các bit chẵn lẻ theo sơ đồ nêu trên. Tuy nhiên, đó chỉ là một ví dụ, và vì vậy, sơ đồ để tính các bit chẵn lẻ dựa trên ma trận kiểm tra chẵn lẻ như được thể hiện trên Fig.3 có thể được xác định theo nhiều cách khác nhau.

Như vậy, bộ mã hoá LDPC 110 có thể thực hiện bước mã hoá LDPC dựa vào bảng 3 nêu trên để tạo ra từ mã LDPC.

Cụ thể, bộ mã hoá LDPC 110 có thể thực hiện bước mã hoá LDPC trên 6480 bit đầu vào, tức là các bit thông tin LDPC, ở tỷ lệ mã bằng 6/15 dựa vào bảng 3 nêu trên để tạo ra 9720 bit chẵn lẻ LDPC và xuất ra các bit chẵn lẻ LDPC và từ mã LDPC có các bit chẵn lẻ LDPC đó. Trong trường hợp như vậy, từ mã LDPC có thể gồm có 16200 bit.

Như đã nêu trên, bộ mã hoá LDPC 110 có thể mã hoá các bit đầu vào ở các tỷ lệ mã khác nhau để tạo ra từ mã LDPC và xuất ra từ mã LDPC đã được tạo ra để cung cấp cho bộ phận hoán vị chẵn lẻ 120.

Bộ phận hoán vị chẵn lẻ 120 đan xen các bit chẵn lẻ LDPC, và thực hiện bước đan xen theo đơn vị nhóm trên nhiều nhóm bit tạo nên các bit chẵn lẻ LDPC được đan xen để thực hiện bước hoán vị chẵn lẻ. Tuy nhiên, bộ phận hoán vị chẵn lẻ 120 có thể không đan xen các bit chẵn lẻ LDPC, và thay vì thế, có thể đan xen theo đơn vị nhóm trên các bit chẵn lẻ LDPC để thực hiện bước hoán vị chẵn lẻ.

Bộ phận hoán vị chẵn lẻ 120 có thể xuất ra từ mã LDPC đã được hoán vị chẵn lẻ để cung cấp cho bộ phận đục lỗ 130.

Bộ phận hoán vị chẵn lẻ 120 cũng có thể xuất ra từ mã LDPC đã được hoán vị chẵn lẻ để cung cấp cho bộ tạo bit chẵn lẻ bổ sung 140. Trong trường hợp như vậy, bộ tạo bit chẵn lẻ bổ sung 140 có thể sử dụng từ mã LDPC đã được hoán vị chẵn lẻ để tạo ra các bit chẵn lẻ bổ sung.

Để làm được điều này, bộ phận hoán vị chẵn lẻ 120 có thể có bộ phận đan xen chẵn lẻ (không được thể hiện trên hình vẽ) để đan xen các bit chẵn lẻ LDPC và bộ phận đan xen chẵn lẻ theo đơn vị nhóm (không được thể hiện trên hình vẽ) để đan xen theo đơn vị

nhóm trên các bit chẵn lẻ LDPC hoặc các bit chẵn lẻ LDPC đã được đan xen.

Trước hết, bộ phận đan xen có thể đan xen các bit chẵn lẻ LDPC. Điều này có nghĩa là, bộ phận đan xen có thể chỉ đan xen các bit chẵn lẻ LDPC trong số các bit thông tin LDPC và các bit chẵn lẻ LDPC tạo nên từ mã LDPC.

Cụ thể, bộ phận đan xen có thể đan xen các bit chẵn lẻ LDPC dựa vào biểu thức 8 dưới đây:

$$u_i = c_i \text{ với } 0 \le i < K_{ldpc} \text{ (các bit thông tin không được đan xen)}$$

$$u_{K_{ldpc}+360t+s} = c_{K_{ldpc}+27s+t} \quad \text{với } 0 \le s < 360,\ 0 \le t < 27 \qquad (8)$$

Cụ thể, dựa vào biểu thức 8 nêu trên, từ mã LDPC (c_0, c_1, …, $c_{N_{inner}-1}$) được đan xen chẵn lẻ bằng bộ phận đan xen và tín hiệu đầu ra của bộ phận đan xen có thể được biểu diễn dưới dạng $U = (u_0, u_1, \ldots, u_{N_{inner}-1})$.

Sau khi đan xen chẵn lẻ, từ mã LDPC được tạo nên sao cho một số lượng cụ thể của các bit liên tiếp trong từ mã LDPC có đặc trưng giải mã giống nhau (ví dụ sơ đồ phân bố tuần hoàn, bậc của cột, v.v.). Ví dụ, từ mã LDPC có thể có đặc trưng giải mã giống nhau với mỗi nhóm gồm M bit liên tiếp. Theo sáng chế, M có thể bằng 360.

Tích của các bit từ mã LDPC nhân với ma trận kiểm tra chẵn lẻ phải có giá trị bằng '0'. Điều này có nghĩa là tổng của các tích của các bit từ mã LDPC thứ i c_i (i = 0, 1, …, N_{inner}–1) nhân với các cột thứ i của ma trận kiểm tra chẵn lẻ phải là vectơ '0'. Vì vậy, các bit từ mã LDPC thứ i có thể được coi là tương ứng với các cột thứ i của ma trận kiểm tra chẵn lẻ.

Đối với ma trận kiểm tra chẵn lẻ 30 như được thể hiện trên Fig.3, các phần tử trong mỗi nhóm gồm M cột của ma trận con thông tin 31 thuộc về cùng một nhóm và có đặc trưng giống nhau theo đơn vị nhóm cột (ví dụ các cột thuộc cùng một nhóm cột có sơ đồ phân bố bậc giống nhau và đặc trưng tuần hoàn giống nhau).

M bit liên tiếp trong các bit thông tin LDPC tương ứng với cùng một nhóm cột trong ma trận con thông tin 31, và, do đó, các bit thông tin LDPC có thể gồm có M bit liên tiếp có đặc trưng từ mã giống nhau. Trong đó, nếu các bit chẵn lẻ của từ mã LDPC

được đan xen dựa vào biểu thức 8 nêu trên, thì M bit liên tiếp của các bit chẵn lẻ được đan xen có thể có đặc trưng từ mã giống nhau.

Do đó, sau khi đan xen chẵn lẻ, từ mã LDPC được tạo nên sao cho một số lượng cụ thể của các bit liên tiếp có đặc trưng giải mã giống nhau.

Tuy nhiên, khi quy trình mã hoá LDPC được thực hiện dựa trên ma trận kiểm tra chẵn lẻ 20 như được thể hiện trên Fig.2, thì bước đan xen chẵn lẻ được thực hiện như là một phần trong quy trình mã hoá LDPC này. Vì vậy, từ mã LDPC được tạo ra dựa trên ma trận kiểm tra chẵn lẻ 20 như được thể hiện trên Fig.2 không được đan xen chẵn lẻ riêng biệt. Điều này có nghĩa là, bộ phận đan xen chẵn lẻ để đan xen chẵn lẻ không được sử dụng.

Ví dụ, trong thông tin báo hiệu chi tiết cho tầng L1 theo chế độ 2 được thể hiện trong bảng 5 như được mô tả dưới đây, các bit thông tin LDPC được mã hoá dựa trên ma trận kiểm tra chẵn lẻ 20 như được thể hiện trên Fig.2, và do đó, bước đan xen chẵn lẻ riêng biệt không được thực hiện. Theo sáng chế, ngay cả khi bước đan xen chẵn lẻ không được thực hiện, thì các bit từ mã LDPC vẫn có thể có M bit liên tiếp có đặc trưng giống nhau.

Trong trường hợp như vậy, tín hiệu đầu ra $U = (u_0, u_1, \ldots, u_{N_{inner}-1})$ của bộ phận đan xen chẵn lẻ có thể được biểu diễn theo biểu thức 9 dưới đây:

$$u_i = c_i \text{ với } 0 \leq i < N_{inner} \quad (9)$$

Như vậy, từ mã LDPC có thể chỉ đơn giản đi qua bộ phận đan xen mà không có đan xen chẵn lẻ. Tuy nhiên, đó chỉ là một ví dụ, và trong một số trường hợp, từ mã LDPC không đi qua bộ phận đan xen, và thay vì thế, từ mã LDPC có thể được cung cấp trực tiếp cho bộ phận đan xen theo đơn vị nhóm như sẽ được mô tả dưới đây.

Bộ phận đan xen theo đơn vị nhóm có thể thực hiện bước đan xen theo đơn vị nhóm trên tín hiệu đầu ra của bộ phận đan xen chẵn lẻ.

Theo sáng chế, như đã nêu trên, tín hiệu đầu ra của bộ phận đan xen chẵn lẻ có thể là từ mã LDPC được đan xen chẵn lẻ bằng bộ phận đan xen chẵn lẻ hoặc có thể là từ mã LDPC không được đan xen chẵn lẻ bằng bộ phận đan xen chẵn lẻ.

Vì vậy, khi bước đan xen chẵn lẻ được thực hiện, thì bộ phận đan xen theo đơn vị nhóm có thể thực hiện bước đan xen theo đơn vị nhóm trên từ mã LDPC đã được đan xen chẵn lẻ, còn khi bước đan xen chẵn lẻ không được thực hiện, thì bộ phận đan xen theo đơn vị nhóm có thể thực hiện bước đan xen theo đơn vị nhóm trên từ mã LDPC.

Cụ thể, bộ phận đan xen theo đơn vị nhóm có thể đan xen tín hiệu đầu ra của bộ phận đan xen chẵn lẻ theo đơn vị nhóm bit (hay theo đơn vị tính bằng nhóm bit).

Nhằm mục đích này, bộ phận đan xen theo đơn vị nhóm có thể phân chia từ mã LDPC được xuất ra từ bộ phận đan xen chẵn lẻ ra thành nhiều nhóm bit. Nhờ đó, các bit chẵn lẻ LDPC tạo nên từ mã LDPC có thể được phân chia ra thành nhiều nhóm bit.

Cụ thể, bộ phận đan xen theo đơn vị nhóm có thể phân chia các bit mã hoá LDPC ($u_0, u_1, \ldots, u_{N_{inner}-1}$) được xuất ra từ bộ phận đan xen chẵn lẻ ra thành N_{group} ($= N_{inner}/360$) nhóm bit dựa vào biểu thức 10 dưới đây:

$$X_j = \left\{ u_k \middle| 360 \times j \le k < 360 \times (j+1), 0 \le k < N_{inner} \right\} \text{ với } 0 \le j < N_{group} \qquad (10)$$

Trong biểu thức 10 nêu trên, X_j là nhóm bit thứ j.

Fig.4 thể hiện ví dụ về phương pháp phân chia từ mã LDPC được xuất ra từ bộ phận đan xen chẵn lẻ ra thành nhiều nhóm bit theo phương án làm ví dụ thực hiện sáng chế.

Dựa vào Fig.4, từ mã LDPC được phân chia ra thành N_{group} ($= N_{inner}/360$) nhóm bit, và mỗi nhóm bit X_j với $0 \le j < N_{group}$ có 360 bit.

Nhờ đó, các bit thông tin LDPC gồm có K_{ldpc} bit có thể được phân chia ra thành $K_{ldpc}/360$ nhóm bit và các bit chẵn lẻ LDPC gồm có $N_{inner} - K_{ldpc}$ bit có thể được phân chia ra thành $(N_{inner} - K_{ldpc})/360$ nhóm bit.

Ngoài ra, bộ phận đan xen theo đơn vị nhóm thực hiện bước đan xen theo đơn vị nhóm trên từ mã LDPC được xuất ra từ bộ phận đan xen chẵn lẻ.

Trong trường hợp như vậy, bộ phận đan xen theo đơn vị nhóm không thực hiện bước đan xen trên các bit thông tin LDPC, và có thể thực hiện bước đan xen chỉ trên các bit chẵn lẻ LDPC trong số các bit thông tin LDPC và các bit chẵn lẻ LDPC để làm thay đổi thứ tự của các nhóm bit tạo nên các bit chẵn lẻ LDPC.

Cụ thể, bộ phận đan xen theo đơn vị nhóm có thể thực hiện bước đan xen theo đơn vị nhóm trên từ mã LDPC dựa vào biểu thức 11 dưới đây. Cụ thể, bộ phận đan xen theo đơn vị nhóm có thể thực hiện bước đan xen theo đơn vị nhóm trên các nhóm bit tạo nên các bit chẵn lẻ LDPC dựa vào biểu thức 11 dưới đây:

$$Y_j = X_j, \qquad 0 \le j < K_{ldpc}/360$$

$$Y_j = X_{\pi_p(j)}, \qquad K_{ldpc}/360 \le j < N_{group} \tag{11}$$

Trong biểu thức 11 nêu trên, Y_j là nhóm bit thứ j được đan xen theo đơn vị nhóm, và X_j là nhóm bit thứ j trước khi đan xen theo đơn vị nhóm (tức là X_j là nhóm bit thứ j trong số các nhóm bit tạo nên từ mã LDPC, và Y_j là nhóm bit thứ j được đan xen theo đơn vị nhóm). Ngoài ra, $\pi_p(j)$ là thứ tự hoán vị để đan xen theo đơn vị nhóm.

Ngoài ra, K_{ldpc} là số lượng bit đầu vào, tức là số lượng bit thông tin LDPC, và N_{group} là số lượng nhóm tạo nên từ mã LDPC gồm có các bit đầu vào và các bit chẵn lẻ LDPC.

Thứ tự hoán vị có thể được xác định dựa vào các mẫu đan xen theo đơn vị nhóm như được thể hiện trong bảng 4 và bảng 5 dưới đây. Điều này có nghĩa là, bộ phận đan xen theo đơn vị nhóm xác định $\pi_p(j)$ dựa vào mẫu đan xen theo đơn vị nhóm như được thể hiện trong bảng 4 và bảng 5 dưới đây, và do đó có thể làm thay đổi thứ tự của các nhóm bit tạo nên các bit chẵn lẻ LDPC.

Ví dụ, mẫu đan xen theo đơn vị nhóm có thể được thể hiện trong bảng 4 dưới đây.

Bảng 4

N_{info_group}	Thứ tự đan xen theo đơn vị nhóm $\pi_p(j)$ $(9 \le j < 45)$											
	$\pi_p(9)$	**$\pi_p(10)$**	**$\pi_p(11)$**	**$\pi_p(12)$**	**$\pi_p(13)$**	**$\pi_p(14)$**	**$\pi_p(15)$**	**$\pi_p(16)$**	**$\pi_p(17)$**	**$\pi_p(18)$**	**$\pi_p(19)$**	**$\pi_p(20)$**
	$\pi_p(21)$	**$\pi_p(22)$**	**$\pi_p(23)$**	**$\pi_p(24)$**	**$\pi_p(25)$**	**$\pi_p(26)$**	**$\pi_p(27)$**	**$\pi_p(28)$**	**$\pi_p(29)$**	**$\pi_p(30)$**	**$\pi_p(31)$**	**$\pi_p(32)$**
	$\pi_p(33)$	**$\pi_p(34)$**	**$\pi_p(35)$**	**$\pi_p(36)$**	**$\pi_p(37)$**	**$\pi_p(38)$**	**$\pi_p(39)$**	**$\pi_p(40)$**	**$\pi_p(41)$**	**$\pi_p(42)$**	**$\pi_p(43)$**	**$\pi_p(44)$**
45	-	-	-	-	-	-	-	-	-	-	-	-
	-	-	-	-	-	-	-	-	20	24	44	12
	22	40	19	32	38	41	30	33	14	28	39	42

Theo sáng chế, bảng 4 nêu trên thể hiện mẫu đan xen theo đơn vị nhóm với trường hợp trong đó bước mã hoá LDPC được thực hiện trên 3240 bit đầu vào, tức là các bit

thông tin LDPC, ở tỷ lệ mã bằng 3/15 để tạo ra 12960 bit chẵn lẻ LDPC, và từ mã LDPC được tạo ra sau khi mã hoá LDPC sẽ được điều biến theo sơ đồ điều biến dịch pha vuông góc (QPSK) và sau đó được truyền đến thiết bị thu tín hiệu 200.

Trong trường hợp như vậy, vì một số bit chẵn lẻ LDPC trong từ mã LDPC được đục lỗ bằng phương pháp đục lỗ như sẽ được mô tả dưới đây, cho nên từ mã LDPC mà trong đó có một số bit chẵn lẻ LDPC được đục lỗ có thể được ánh xạ lên các ký hiệu chòm điểm theo sơ đồ điều biến QPSK được truyền đến thiết bị thu tín hiệu 200.

Điều này có nghĩa là, khi 3240 bit thông tin LDPC được mã hoá ở tỷ lệ mã bằng 3/15, thì 12960 bit chẵn lẻ LDPC được tạo ra, và vì vậy từ mã LDPC có thể gồm có 16200 bit.

Mỗi nhóm bit có 360 bit, và từ mã LDPC gồm có 16200 bit được phân chia ra thành 45 nhóm bit.

Theo sáng chế, vì độ dài của các bit thông tin LDPC bằng 3240 và độ dài của các bit chẵn lẻ LDPC bằng 12960, cho nên từ nhóm bit thứ 0 đến nhóm bit thứ 8 tương ứng với các bit thông tin LDPC và từ nhóm bit thứ 9 đến nhóm bit thứ 44 tương ứng với các bit chẵn lẻ LDPC.

Trong trường hợp như vậy, bộ phận đan xen chẵn lẻ không thực hiện bước đan xen chẵn lẻ, và bộ phận đan xen theo đơn vị nhóm không thực hiện bước đan xen trên các nhóm bit tạo nên các bit thông tin LDPC, tức là từ nhóm bit thứ 0 đến nhóm bit thứ 8, nhưng có thể thực hiện bước đan xen trên các nhóm bit tạo nên các bit chẵn lẻ LDPC, tức là từ nhóm bit thứ 9 đến nhóm bit thứ 44, theo đơn vị nhóm để làm thay đổi thứ tự của các nhóm bit từ nhóm bit thứ 9 đến nhóm bit thứ 44 dựa vào biểu thức 11 và bảng 4 nêu trên.

Cụ thể, như được thể hiện trong bảng 4 nêu trên, biểu thức 11 nêu trên có thể được biểu diễn dưới dạng $Y_0 = X_0$, $Y_1 = X_1$, …, $Y_7 = X_7$, $Y_8 = X_8$, $Y_{29} = X_{\pi p(29)} = X_{20}$, $Y_{30} = X_{\pi p(30)} = X_{24}$, …, $Y_{43} = X_{\pi p(43)} = X_{39}$, $Y_{44} = X_{\pi p(44)} = X_{42}$.

Vì vậy, bộ phận đan xen theo đơn vị nhóm không làm thay đổi thứ tự của các nhóm bit từ nhóm bit thứ 0 đến nhóm bit thứ 8 tạo nên các bit thông tin LDPC, nhưng có thể làm thay đổi thứ tự của các nhóm bit từ nhóm bit thứ 9 đến nhóm bit thứ 44 tạo nên các

bit chẵn lẻ LDPC.

Trong trường hợp như vậy, bộ phận đan xen theo đơn vị nhóm có thể làm thay đổi thứ tự của 36 nhóm bit sao cho các nhóm bit cụ thể trong số 36 nhóm bit tạo nên các bit chẵn lẻ LDPC được đặt vào các vị trí cụ thể, và các nhóm bit còn lại được đặt ngẫu nhiên vào các vị trí còn lại sau khi đã sắp đặt các nhóm bit cụ thể. Điều này có nghĩa là, bộ phận đan xen theo đơn vị nhóm có thể đặt các nhóm bit cụ thể vào các vị trí từ vị trí thứ 29 đến vị trí thứ 44, và có thể đặt ngẫu nhiên các nhóm bit còn lại vào các vị trí từ vị trí thứ 9 đến vị trí thứ 28.

Cụ thể, bộ phận đan xen theo đơn vị nhóm đặt nhóm bit thứ 20 vào vị trí thứ 29, nhóm bit thứ 24 vào vị trí thứ 30, nhóm bit thứ 44 vào vị trí thứ 31, ..., nhóm bit thứ 28 vào vị trí thứ 42, nhóm bit thứ 39 vào vị trí thứ 43, và nhóm bit thứ 42 vào vị trí thứ 44.

Ngoài ra, bộ phận đan xen theo đơn vị nhóm đặt ngẫu nhiên các nhóm bit còn lại, tức là các nhóm bit nằm ở các vị trí thứ 9, 10, 11, ..., 36, 37 và 43 trước khi đan xen theo đơn vị nhóm, vào các vị trí còn lại. Điều này có nghĩa là, các nhóm bit còn lại được đặt ngẫu nhiên vào các vị trí còn lại sau khi đã sắp đặt bằng cách đan xen theo đơn vị nhóm đối với các nhóm bit nằm ở vị trí thứ 20, 24, 44, ..., 28, 39 và 42 trước khi đan xen theo đơn vị nhóm. Theo sáng chế, các vị trí còn lại có thể là các vị trí từ vị trí thứ 9 đến vị trí thứ 28.

Ví dụ khác, mẫu đan xen theo đơn vị nhóm có thể được thể hiện trong bảng 5 dưới đây.

Bảng 5

N_{info_group}	Thứ tự đan xen theo đơn vị nhóm $\pi_p(j)$ $(9 \le j < 45)$											
	$\pi_p(9)$	$\pi_p(10)$	$\pi_p(11)$	$\pi_p(12)$	$\pi_p(13)$	$\pi_p(14)$	$\pi_p(15)$	$\pi_p(16)$	$\pi_p(17)$	$\pi_p(18)$	$\pi_p(19)$	$\pi_p(20)$
	$\pi_p(21)$	$\pi_p(22)$	$\pi_p(23)$	$\pi_p(24)$	$\pi_p(25)$	$\pi_p(26)$	$\pi_p(27)$	$\pi_p(28)$	$\pi_p(29)$	$\pi_p(30)$	$\pi_p(31)$	$\pi_p(32)$
	$\pi_p(33)$	$\pi_p(34)$	$\pi_p(35)$	$\pi_p(36)$	$\pi_p(37)$	$\pi_p(38)$	$\pi_p(39)$	$\pi_p(40)$	$\pi_p(41)$	$\pi_p(42)$	$\pi_p(43)$	$\pi_p(44)$
45	-	-	-	-	-	-	-	-	-	-	-	-
	-	-	-	-	-	-	-	-	20	40	24	42
	12	19	22	38	41	44	32	30	33	14	28	39

Bảng 5 nêu trên thể hiện mẫu đan xen theo đơn vị nhóm với trường hợp trong đó bộ

mã hoá LDPC 110 thực hiện bước mã hoá LDPC trên 3240 bit đầu vào, tức là các bit thông tin LDPC, ở tỷ lệ mã bằng 3/15 để tạo ra 12960 bit chẵn lẻ LDPC, và từ mã LDPC được tạo ra sau khi mã hoá LDPC sẽ được điều biến theo sơ đồ điều biến QPSK và sau đó được truyền đến thiết bị thu tín hiệu 200.

Trong trường hợp như vậy, vì một số bit chẵn lẻ LDPC trong từ mã LDPC được đục lỗ bằng phương pháp đục lỗ như sẽ được mô tả dưới đây, cho nên từ mã LDPC mà trong đó có một số bit chẵn lẻ LDPC được đục lỗ có thể được ánh xạ lên các ký hiệu chòm điểm theo sơ đồ điều biến QPSK được truyền đến thiết bị thu tín hiệu 200.

Điều này có nghĩa là, khi 3240 bit thông tin LDPC được mã hoá ở tỷ lệ mã bằng 3/15, thì 12960 bit chẵn lẻ LDPC được tạo ra, và vì vậy từ mã LDPC có thể gồm có 16200 bit.

Mỗi nhóm bit có 360 bit, và từ mã LDPC gồm có 16200 bit được phân chia ra thành 45 nhóm bit.

Theo sáng chế, vì độ dài của các bit thông tin LDPC bằng 3240 và độ dài của các bit chẵn lẻ LDPC bằng 12960, cho nên từ nhóm bit thứ 0 đến nhóm bit thứ 8 tương ứng với các bit thông tin LDPC và từ nhóm bit thứ 9 đến nhóm bit thứ 44 tương ứng với các bit chẵn lẻ LDPC.

Trong trường hợp như vậy, bộ phận đan xen chẵn lẻ không thực hiện bước đan xen chẵn lẻ, và bộ phận đan xen theo đơn vị nhóm không thực hiện bước đan xen trên các nhóm bit tạo nên các bit thông tin LDPC, tức là từ nhóm bit thứ 0 đến nhóm bit thứ 8, nhưng có thể thực hiện bước đan xen trên các nhóm bit tạo nên các bit chẵn lẻ LDPC, tức là từ nhóm bit thứ 9 đến nhóm bit thứ 44, theo đơn vị nhóm để làm thay đổi thứ tự của các nhóm bit từ nhóm bit thứ 9 đến nhóm bit thứ 44 dựa vào biểu thức 11 và bảng 5 nêu trên.

Cụ thể, như được thể hiện trong bảng 5 nêu trên, biểu thức 11 nêu trên có thể được biểu diễn dưới dạng $Y_0 = X_0$, $Y_1 = X_1$, …, $Y_7 = X_7$, $Y_8 = X_8$, $Y_{29} = X_{\pi p(29)} = X_{20}$, $Y_{30} = X_{\pi p(30)} = X_{40}$, …, $Y_{43} = X_{\pi p(43)} = X_{28}$, $Y_{44} = X_{\pi p(44)} = X_{39}$.

Vì vậy, bộ phận đan xen theo đơn vị nhóm không làm thay đổi thứ tự của các nhóm bit từ nhóm bit thứ 0 đến nhóm bit thứ 8 tạo nên các bit thông tin LDPC, nhưng có thể

làm thay đổi thứ tự của các nhóm bit từ nhóm bit thứ 9 đến nhóm bit thứ 44 tạo nên các bit chẵn lẻ LDPC.

Trong trường hợp như vậy, bộ phận đan xen theo đơn vị nhóm có thể làm thay đổi thứ tự của 36 nhóm bit sao cho các nhóm bit cụ thể trong số 36 nhóm bit tạo nên các bit chẵn lẻ LDPC được đặt vào các vị trí cụ thể, và các nhóm bit còn lại được đặt ngẫu nhiên vào các vị trí còn lại sau khi đã sắp đặt các nhóm bit cụ thể. Điều này có nghĩa là, bộ phận đan xen theo đơn vị nhóm có thể đặt các nhóm bit cụ thể vào các vị trí từ vị trí thứ 29 đến vị trí thứ 44, và có thể đặt ngẫu nhiên các nhóm bit còn lại vào các vị trí từ vị trí thứ 9 đến vị trí thứ 28.

Cụ thể, bộ phận đan xen theo đơn vị nhóm đặt nhóm bit thứ 20 vào vị trí thứ 29, nhóm bit thứ 40 vào vị trí thứ 30, nhóm bit thứ 24 vào vị trí thứ 31, ..., nhóm bit thứ 14 vào vị trí thứ 42, nhóm bit thứ 28 vào vị trí thứ 43, và nhóm bit thứ 39 vào vị trí thứ 44.

Ngoài ra, bộ phận đan xen theo đơn vị nhóm đặt ngẫu nhiên các nhóm bit còn lại, tức là các nhóm bit nằm ở các vị trí thứ 9, 10, 11, ..., 36, 37 và 43 trước khi đan xen theo đơn vị nhóm, vào các vị trí còn lại. Điều này có nghĩa là, các nhóm bit còn lại được đặt ngẫu nhiên vào các vị trí còn lại sau khi đã sắp đặt bằng cách đan xen theo đơn vị nhóm đối với các nhóm bit nằm ở vị trí thứ 20, 40, 24, ..., 14, 28 và 39 trước khi đan xen theo đơn vị nhóm. Theo sáng chế, các vị trí còn lại có thể là các vị trí từ vị trí thứ 9 đến vị trí thứ 28.

Như vậy, bộ phận hoán vị chẵn lẻ 120 có thể thực hiện bước đan xen theo đơn vị nhóm trên các nhóm bit tạo nên các bit chẵn lẻ để thực hiện bước hoán vị chẵn lẻ.

Điều này có nghĩa là, bộ phận hoán vị chẵn lẻ 120 có thể thực hiện bước đan xen theo đơn vị nhóm trên các nhóm bit tạo nên các bit chẵn lẻ LDPC dựa vào biểu thức 11 và bảng 4 hoặc bảng 5 nêu trên để thực hiện bước hoán vị chẵn lẻ. Trong trường hợp như vậy, bước đan xen chẵn lẻ không được thực hiện.

Cụ thể, khi bộ mã hoá LDPC 110 thực hiện bước mã hoá LDPC trên 3240 bit thông tin LDPC ở tỷ lệ mã bằng 3/15 để tạo ra 12960 bit chẵn lẻ LDPC, bộ phận hoán vị chẵn lẻ 120 phân chia các bit chẵn lẻ LDPC ra thành các nhóm bit và có thể thực hiện bước đan xen theo đơn vị nhóm dựa vào biểu thức 11 và bảng 4 hoặc bảng 5 nêu trên để làm

thay đổi thứ tự của các nhóm bit.

Khi đó, các bit từ mã LDPC đã được hoán vị chẵn lẻ có thể được đục lỗ như sẽ được mô tả dưới đây và được điều biến theo sơ đồ điều biến QPSK, sau đó các bit này có thể được truyền đến thiết bị thu tín hiệu 200.

Dựa vào bảng 4 và bảng 5 nêu trên, cần phải hiểu rằng các nhóm bit cụ thể trong số các nhóm bit nằm ở các vị trí từ vị trí thứ 9 đến vị trí thứ 44 trước khi đan xen theo đơn vị nhóm được đặt vào các vị trí từ vị trí thứ 29 đến vị trí thứ 44 sau khi đan xen theo đơn vị nhóm, và các nhóm bit còn lại được đặt ngẫu nhiên vào các vị trí từ vị trí thứ 9 đến vị trí thứ 28.

Trong trường hợp như vậy, mẫu xác định các nhóm bit được đặt vào các vị trí từ vị trí thứ 29 đến vị trí thứ 44 sau khi đan xen theo đơn vị nhóm có thể được gọi là mẫu thứ hai để đan xen theo đơn vị nhóm, và mẫu còn lại có thể được gọi là mẫu thứ nhất.

Theo sáng chế, mẫu thứ nhất là mẫu được dùng để xác định các bit chẵn lẻ được truyền trong khung hiện thời sau khi đục lỗ, và mẫu thứ hai là mẫu được dùng để xác định các bit chẵn lẻ bổ sung được truyền trong khung trước đó.

Như vậy, mẫu đan xen theo đơn vị nhóm có thể gồm có mẫu thứ nhất và mẫu thứ hai, và bộ phận hoán vị chẵn lẻ 120 có thể thực hiện bước đan xen theo đơn vị nhóm trên các nhóm bit tạo nên các bit chẵn lẻ dựa vào mẫu đan xen theo đơn vị nhóm gồm có mẫu thứ nhất và mẫu thứ hai để thực hiện bước hoán vị chẵn lẻ.

Các bit chẵn lẻ bổ sung, như sẽ được mô tả dưới đây, được xác định theo mẫu thứ nhất và mẫu thứ hai, và các mẫu này sẽ được mô tả chi tiết dưới đây..

Bộ phận đục lỗ 130 đục lỗ một số bit trong số các bit chẵn lẻ LDPC đã được hoán vị chẵn lẻ. Ngoài ra, bộ phận đục lỗ 130 có thể cung cấp thông tin (ví dụ số lượng và vị trí của các bit được đục lỗ, v.v.) liên quan đến các bit chẵn lẻ LDPC được đục lỗ cho bộ tạo bit chẵn lẻ bổ sung 140. Trong trường hợp như vậy, bộ tạo bit chẵn lẻ bổ sung 140 có thể tạo ra các bit chẵn lẻ bổ sung dựa vào các thông tin đó.

Theo sáng chế, đục lỗ có nghĩa là một số bit chẵn lẻ LDPC không được truyền đến thiết bị thu tín hiệu 200. Trong trường hợp như vậy, bộ phận đục lỗ 130 có thể loại bỏ các bit chẵn lẻ LDPC được đục lỗ hoặc chỉ xuất ra các bit còn lại, ngoại trừ các bit chẵn lẻ

LDPC được đục lỗ, trong từ mã LDPC.

Nhằm mục đích này, bộ phận đục lỗ 130 có thể tính số lượng bit chẵn lẻ LDPC được đục lỗ.

Cụ thể, bộ phận đục lỗ 130 có thể tính số lượng bit chẵn lẻ LDPC được đục lỗ dựa vào số lượng N_{punc_temp} được tính dựa vào biểu thức 12 dưới đây:

$$N_{punc\_temp} = \lfloor A \times (K_{ldpc} - N_{outer}) \rfloor + B \quad (12)$$

Trong biểu thức 12 nêu trên, N_{punc_temp} là số lượng tạm thời của các bit chẵn lẻ LDPC được đục lỗ, và K_{ldpc} là số lượng bit thông tin LDPC. N_{outer} là số lượng bit mã hoá ngoài. Theo sáng chế, khi thao tác mã hoá ngoài được thực hiện bằng cách mã hoá BCH, thì N_{outer} là số lượng bit mã hoá BCH.

A là hằng số định trước. Theo phương án làm ví dụ thực hiện sáng chế, giá trị của hằng số A được xác định theo tỷ số giữa số lượng bit được đục lỗ và số lượng bit được rút gọn, nhưng giá trị này cũng có thể được xác định theo cách khác tuỳ thuộc vào các yêu cầu của hệ thống. B là giá trị biểu thị độ dài của các bit được đục lỗ ngay cả khi độ dài rút gọn bằng 0, và giá trị này biểu thị độ dài nhỏ nhất có thể có của các bit chẵn lẻ LDPC được đục lỗ. Theo sáng chế, A = 2 và B = 6036.

Ngoài ra, các giá trị A và B dùng để điều chỉnh tỷ lệ mã mà theo đó các bit thông tin được truyền trên thực tế. Điều này có nghĩa là, để chuẩn bị cho trường hợp trong đó các bit thông tin có độ dài nhỏ hoặc trường hợp trong đó các bit thông tin có độ dài lớn, thì các giá trị A và B dùng để điều chỉnh tỷ lệ mã mà theo đó các bit thông tin được truyền trên thực tế được rút gọn.

Ngoài ra, bộ phận đục lỗ 130 tính N_{FEC} dựa vào biểu thức 13 dưới đây:

$$N_{FEC} = \left\lceil \frac{N_{FEC\_temp}}{\eta_{MOD}} \right\rceil \times \eta_{MOD} \quad (13)$$

Trong biểu thức 13 nêu trên, $\lceil x \rceil$ là số nguyên nhỏ nhất bằng hoặc lớn hơn x.

Ngoài ra, $N_{FEC\_temp} = N_{outer} + N_{ldpc\_parity} - N_{punc\_temp}$ và η_{MOD} là bậc điều biến. Ví dụ, khi từ mã LDPC được điều biến theo sơ đồ điều biến QPSK, sơ đồ điều biến biên độ vuông góc có 16 điểm (16-Quadrature Amplitude Modulation, 16-QAM), sơ đồ điều biến

biên độ vuông góc có 64 điểm (64-Quadrature Amplitude Modulation, 64-QAM) hoặc sơ đồ điều biến biên độ vuông góc có 256 điểm (256-Quadrature Amplitude Modulation, 256-QAM), thì η_{MOD} có thể lần lượt bằng 2, 4, 6 hoặc 8.

Ngoài ra, N_{FEC} là số lượng bit tạo nên từ mã LDPC đã được đục lỗ và rút gọn (tức là các bit từ mã LDPC còn lại sau khi đục lỗ và rút gọn).

Tiếp theo, bộ phận đục lỗ 130 tính N_{punc} dựa vào biểu thức 14 dưới đây:

$$N_{punc} = N_{punc\_temp} - (N_{FEC} - N_{FEC\_temp}) \quad (14)$$

Trong biểu thức 14 nêu trên, N_{punc} là số lượng bit chẵn lẻ LDPC được đục lỗ.

Dựa vào quy trình nêu trên, bộ phận đục lỗ 130 tính số lượng tạm thời N_{punc_temp} bit chẵn lẻ LDPC được đục lỗ, bằng cách cộng số nguyên không đổi B với kết quả thu được từ phép nhân số lượng bit không được đệm, tức là độ dài rút gọn ($= K_{ldpc} - N_{outer}$), với giá trị hằng số định trước A. Giá trị của hằng số A được xác định theo tỷ số giữa số lượng bit được đục lỗ và số lượng bit được rút gọn theo phương án làm ví dụ thực hiện sáng chế, nhưng giá trị này cũng có thể được xác định theo cách khác tuỳ thuộc vào các yêu cầu của hệ thống.

Ngoài ra, bộ phận đục lỗ 130 tính số lượng tạm thời N_{FEC_temp} bit từ mã LDPC để tạo nên từ mã LDPC sau khi đục lỗ và rút gọn dựa vào số lượng N_{punc_temp}.

Cụ thể, các bit thông tin LDPC được mã hoá LDPC và các bit chẵn lẻ LDPC được tạo ra sau khi mã hoá LDPC được gắn vào các bit thông tin LDPC để tạo nên từ mã LDPC. Theo sáng chế, các bit thông tin LDPC có các bit mã hoá BCH trong đó các bit thông tin được mã hoá BCH và, trong một số trường hợp, có thể còn có các bit không được đệm vào các bit thông tin.

Trong trường hợp như vậy, vì các bit không được đệm vào sẽ được mã hoá LDPC nhưng không được truyền đến thiết bị thu tín hiệu 200, cho nên từ mã LDPC rút gọn, đó là từ mã LDPC (tức là từ mã LDPC đã được rút gọn) không có các bit không được đệm vào, có thể được tạo nên bởi các bit mã hoá BCH và các bit chẵn lẻ LDPC. Khi các bit không không được đệm vào, từ mã LDPC cũng có thể được tạo nên bởi các bit mã hoá BCH và các bit chẵn lẻ LDPC.

Vì vậy, bộ phận đục lỗ 130 lấy giá trị tổng của số lượng bit mã hoá BCH và số

lượng bit chẵn lẻ LDPC trừ đi số lượng tuỳ chọn của các bit chẵn lẻ LDPC được đục lỗ để tính N_{FEC_temp}.

Các bit từ mã LDPC đã được rút gọn và đục lỗ được điều biến theo sơ đồ điều biến QPSK, 16-QAM, 64-QAM hoặc 256-QAM sẽ được ánh xạ lên các ký hiệu chòm điểm và các ký hiệu chòm điểm có thể được truyền đến thiết bị thu tín hiệu 200 trong một khung.

Vì vậy, bộ phận đục lỗ 130 xác định số lượng N_{FEC} bit từ mã LDPC để tạo nên từ mã LDPC sau khi đục lỗ và rút gọn dựa vào N_{FEC_temp}, N_{FEC} là một bội số nguyên lần của bậc điều biến, và xác định số lượng N_{punc} bit được đục lỗ trong các bit từ mã LDPC đã được rút gọn để tìm ra N_{FEC}. Ngoài ra, khi các bit không không được đệm vào, từ mã LDPC có thể gồm có các bit mã hoá BCH và các bit chẵn lẻ LDPC và bước rút gọn có thể không được thực hiện.

Bộ phận đục lỗ 130 có thể đục lỗ các bit với số lượng đúng bằng số lượng đã tính trong số các bit chẵn lẻ LDPC.

Cụ thể, bộ phận đục lỗ 130 có thể đục lỗ một số lượng bit định trước ở phần cuối của các bit chẵn lẻ LDPC. Điều này có nghĩa là, bộ phận đục lỗ 130 có thể đục lỗ các bit với số lượng đúng bằng số lượng đã tính kể từ bit chẵn lẻ LDPC cuối cùng trong số các bit chẵn lẻ LDPC.

Như vậy, vì bộ phận đục lỗ 130 thực hiện bước đục lỗ kể từ bit chẵn lẻ LDPC cuối cùng, cho nên có thể bắt đầu đục lỗ từ nhóm bit có vị trí đã thay đổi chuyển đến phần cuối trong số các bit chẵn lẻ LDPC sau khi hoán vị chẵn lẻ. Điều này có nghĩa là, nhóm bit được đục lỗ trước tiên có thể là nhóm bit được đan xen vào vị trí cuối cùng sau khi hoán vị chẵn lẻ.

Bộ tạo bit chẵn lẻ bổ sung 140 có thể tạo ra các bit chẵn lẻ bổ sung được truyền trong khung đứng trước khung hiện thời. Các bit chẵn lẻ bổ sung có thể được chọn trong số các bit chẵn lẻ LDPC được tạo ra dựa vào các bit thông tin được truyền trong khung hiện thời đến thiết bị thu tín hiệu 200.

Bộ tạo bit chẵn lẻ bổ sung 140 chọn ít nhất một số bit trong số các bit chẵn lẻ LDPC được đục lỗ để tạo ra các bit chẵn lẻ bổ sung được truyền trong khung đứng trước khung hiện thời. Bộ tạo bit chẵn lẻ bổ sung 140 có thể chọn tất cả các bit chẵn lẻ LDPC được

đục lỗ, và chọn ít nhất một số bit trong số các bit chẵn lẻ LDPC đã được hoán vị chẵn lẻ để tạo ra các bit chẵn lẻ bổ sung được truyền trong khung đứng trước khung hiện thời.

Cụ thể, các bit đầu vào chứa các bit thông tin được mã hoá LDPC, và các bit chẵn lẻ LDPC được tạo ra sau khi mã hoá LDPC được gắn vào các bit đầu vào để tạo nên từ mã LDPC.

Ngoài ra, quy trình đục lỗ và rút gọn được thực hiện trên từ mã LDPC, và từ mã LDPC đã được rút gọn và đục lỗ có thể được ánh xạ lên một khung được truyền đến thiết bị thu tín hiệu 200.

Trong trường hợp như vậy, các bit thông tin tương ứng với mỗi khung có thể được truyền đến thiết bị thu tín hiệu 200 trong mỗi khung, cùng với các bit chẵn lẻ LDPC. Ví dụ, từ mã LDPC đã được rút gọn và đục lỗ chứa các bit thông tin tương ứng với khung thứ (i–1) có thể được ánh xạ lên khung thứ (i–1) được truyền đến thiết bị thu tín hiệu 200, và từ mã LDPC đã được rút gọn và đục lỗ chứa các bit thông tin tương ứng với khung thứ i có thể được ánh xạ lên khung thứ i được truyền đến thiết bị thu tín hiệu 200.

Bộ tạo bit chẵn lẻ bổ sung 140 có thể chọn ít nhất một số bit trong số các bit chẵn lẻ LDPC được tạo ra dựa vào các bit thông tin được truyền trong khung thứ i để tạo ra các bit chẵn lẻ bổ sung.

Cụ thể, một số bit chẵn lẻ LDPC được tạo ra bằng cách thực hiện bước mã hoá LDPC trên các bit thông tin được đục lỗ, và sau đó, không được truyền đến thiết bị thu tín hiệu 200. Trong trường hợp như vậy, bộ tạo bit chẵn lẻ bổ sung 140 có thể chọn ít nhất một số bit chẵn lẻ LDPC được đục lỗ trong số các bit chẵn lẻ LDPC được tạo ra bằng cách thực hiện bước mã hoá LDPC trên các bit thông tin được truyền trong khung thứ i, từ đó tạo ra các bit chẵn lẻ bổ sung.

Ngoài ra, bộ tạo bit chẵn lẻ bổ sung 140 có thể chọn ít nhất một số bit trong số các bit chẵn lẻ LDPC được truyền đến thiết bị thu tín hiệu 200 trong khung thứ i để tạo ra các bit chẵn lẻ bổ sung.

Cụ thể, bộ tạo bit chẵn lẻ bổ sung 140 có thể chọn ít nhất một số bit trong số các bit chẵn lẻ LDPC có trong từ mã LDPC đã được rút gọn và đục lỗ được ánh xạ lên khung thứ i để tạo ra các bit chẵn lẻ bổ sung.

Các bit chẵn lẻ bổ sung có thể được truyền đến thiết bị thu tín hiệu 200 trong một khung đứng trước khung thứ i, tức là khung thứ (i–1).

Điều này có nghĩa là, thiết bị truyền tín hiệu 100 có thể không chỉ truyền từ mã LDPC đã được rút gọn và đục lỗ chứa các bit thông tin tương ứng với khung thứ (i–1), mà còn truyền các bit chẵn lẻ bổ sung đã tạo ra được chọn trong số các bit chẵn lẻ LDPC được tạo ra dựa vào các bit thông tin được truyền trong khung thứ i, đến thiết bị thu tín hiệu 200 trong khung thứ (i–1).

Phương pháp tạo ra bit chẵn lẻ bổ sung sẽ được mô tả dưới đây.

Trước hết, bộ tạo bit chẵn lẻ bổ sung 140 tính số lượng tạm thời N_{AP_temp} bit chẵn lẻ bổ sung dựa vào biểu thức 15 dưới đây:

$$N_{AP\_temp} = \min\left\{\begin{matrix}0{,}5\times K\times\left(N_{outer}+N_{ldpc\_parity}-N_{punc}+N_{repeat}\right),\\ \left(N_{ldpc\_parity}+N_{punc}+N_{repeat}\right)\end{matrix}\right\},\ K = 0,\ 1,\ 2 \qquad (15)$$

Trong biểu thức 15 nêu trên, $\min(a,b)=\begin{cases}a, & \text{khi } a\le b\\ b, & \text{khi } b<a\end{cases}$.

Trong biểu thức 15 nêu trên, K là tỷ số giữa số lượng bit chẵn lẻ bổ sung và một nửa độ dài của từ mã LDPC được truyền, tức là tổng số bit từ mã LDPC đã được đục lỗ và rút gọn. Tuy nhiên, trong biểu thức 15 nêu trên, K = 0, 1, 2, nhưng đó chỉ là một ví dụ. Vì vậy, K có thể có các giá trị khác.

Ngoài ra, N_{ldpc_parity} là số lượng bit chẵn lẻ LDPC, và N_{punc} là số lượng bit chẵn lẻ LDPC được đục lỗ. Ngoài ra, N_{outer} là số lượng bit mã hoá ngoài. Trong trường hợp như vậy, khi thao tác mã hoá ngoài được thực hiện bằng cách mã hoá BCH, thì N_{outer} là số lượng bit mã hoá BCH.

Ngoài ra, $N_{outer} + N_{ldpc\_parity} - N_{punc}$ là tổng số bit được truyền trong khung hiện thời (tức là tổng số bit từ mã LDPC sau khi đục lỗ và rút gọn), và $N_{ldpc\_parity}+N_{punc}$ là giá trị tổng của số lượng bit chẵn lẻ LDPC và số lượng bit chẵn lẻ LDPC được đục lỗ.

Như vậy, số lượng bit chẵn lẻ bổ sung được tạo ra có thể được xác định dựa vào tổng số bit được truyền trong khung hiện thời.

Ngoài ra, bộ tạo bit chẵn lẻ bổ sung 140 có thể tính số lượng N_{AP} bit chẵn lẻ bổ

sung được tạo ra dựa vào biểu thức 16 dưới đây:

$$N_{AP} = \left\lfloor \frac{N_{AP\_temp}}{\eta_{MOD}} \right\rfloor \times \eta_{MOD} \quad (16)$$

Theo sáng chế, $\lfloor x \rfloor$ là số nguyên lớn nhất không lớn hơn x. Ngoài ra, trong biểu thức 16 nêu trên, η_{MOD} là bậc điều biến. Ví dụ, đối với các sơ đồ điều biến QPSK, 16-QAM, 64-QAM và 256-QAM, η_{MOD} có thể lần lượt bằng 2, 4, 6 và 8.

Vì vậy, số lượng bit chẵn lẻ bổ sung có thể là một bội số nguyên lần của bậc điều biến. Điều này có nghĩa là, vì các bit chẵn lẻ bổ sung được điều biến riêng biệt với các bit thông tin được ánh xạ lên các ký hiệu chòm điểm, cho nên số lượng bit chẵn lẻ bổ sung được tạo ra có thể được xác định là bội số nguyên lần của bậc điều biến như trong biểu thức 16 nêu trên.

Phương pháp tạo ra bit chẵn lẻ bổ sung sẽ được mô tả chi tiết dưới đây dựa vào Fig.5 và Fig.6.

Fig.5 và Fig.6 là các sơ đồ thể hiện phương pháp tạo ra bit chẵn lẻ bổ sung theo các phương án làm ví dụ thực hiện sáng chế. Trong trường hợp như vậy, từ mã LDPC đã được hoán vị chẵn lẻ có thể được biểu diễn dưới dạng $V = (v_0, v_1, \ldots, v_{N_{inner}-1})$.

Bộ tạo bit chẵn lẻ bổ sung 140 có thể chọn các bit với số lượng đúng bằng số lượng bit chẵn lẻ bổ sung đã tính trong số các bit chẵn lẻ LDPC để tạo ra các bit chẵn lẻ bổ sung.

Cụ thể, khi số lượng bit chẵn lẻ bổ sung đã tính bằng hoặc nhỏ hơn số lượng bit chẵn lẻ LDPC được đục lỗ, thì bộ tạo bit chẵn lẻ bổ sung 140 có thể chọn các bit với số lượng đúng bằng số lượng bit chẵn lẻ bổ sung đã tính, kể từ bit đầu tiên trong số các bit chẵn lẻ LDPC được đục lỗ, để tạo ra các bit chẵn lẻ bổ sung.

Điều này có nghĩa là, khi N_{AP} bằng hoặc nhỏ hơn N_{punc}, tức là $N_{AP} \leq N_{punc}$, bộ tạo bit chẵn lẻ bổ sung 140 có thể chọn N_{AP} bit kể từ bit đầu tiên trong số các bit chẵn lẻ LDPC được đục lỗ như được thể hiện trên Fig.5 để tạo ra các bit chẵn lẻ bổ sung.

Vì vậy, để dùng làm các bit chẵn lẻ bổ sung, có thể chọn các bit chẵn lẻ LDPC được đục lỗ ($v_{N_{inner}-N_{punc}}$, $v_{N_{inner}-N_{punc}+1}$, …, $v_{N_{inner}-N_{punc}+N_{AP}-1}$).

Khi số lượng bit chẵn lẻ bổ sung đã tính lớn hơn số lượng bit chẵn lẻ LDPC được đục lỗ, bộ tạo bit chẵn lẻ bổ sung 140 chọn tất cả các bit chẵn lẻ LDPC được đục lỗ, và chọn các bit tương ứng với số lượng thu được sau khi lấy số lượng bit chẵn lẻ bổ sung đã tính trừ đi số lượng bit chẵn lẻ LDPC được đục lỗ, kể từ bit đầu tiên trong số các bit chẵn lẻ LDPC đã được hoán vị chẵn lẻ, để tạo ra các bit chẵn lẻ bổ sung.

Điều này có nghĩa là, khi N_{AP} lớn hơn N_{punc}, tức là $N_{AP} > N_{punc}$, bộ tạo bit chẵn lẻ bổ sung 140 có thể chọn tất cả các bit chẵn lẻ LDPC được đục lỗ như được thể hiện trên Fig.6.

Vì vậy, để dùng làm các bit chẵn lẻ bổ sung, có thể chọn tất cả các bit chẵn lẻ LDPC được đục lỗ ($v_{N_{inner}-N_{punc}}$, $v_{N_{inner}-N_{punc}+1}$, …, $v_{N_{inner}-N_{punc}+N_{AP}-1}$).

Ngoài ra, bộ tạo bit chẵn lẻ bổ sung 140 có thể chọn thêm $N_{AP} - N_{punc}$ bit kể từ bit đầu tiên trong số các bit chẵn lẻ LDPC đã được hoán vị chẵn lẻ.

Cụ thể, bộ tạo bit chẵn lẻ bổ sung 140 có thể chọn thêm các bit với số lượng đúng bằng số lượng thu được sau khi lấy số lượng bit chẵn lẻ bổ sung đã tính trừ đi số lượng bit chẵn lẻ LDPC được đục lỗ, tức là $N_{AP} - N_{punc}$ bit, kể từ bit đầu tiên trong số các bit chẵn lẻ LDPC đã được hoán vị chẵn lẻ.

Vì vậy, để dùng làm các bit chẵn lẻ bổ sung, có thể chọn thêm các bit chẵn lẻ LDPC ($v_{K_{ldpc}}$, $v_{K_{ldpc}+1}$, …, $v_{K_{ldpc}+N_{AP}-N_{punc}-1}$).

Nhờ đó, để dùng làm các bit chẵn lẻ bổ sung, có thể chọn các bit ($v_{N_{inner}-N_{punc}}$, $v_{N_{inner}-N_{punc}+1}$, …, $v_{N_{inner}-N_{punc}+N_{AP}-1}$, $v_{K_{ldpc}}$, $v_{K_{ldpc}+1}$, …, $v_{K_{ldpc}+N_{AP}-N_{punc}-1}$).

Như vậy, bộ tạo bit chẵn lẻ bổ sung 140 có thể chọn một số bit chẵn lẻ LDPC được đục lỗ hoặc tất cả các bit chẵn lẻ LDPC được đục lỗ để tạo ra các bit chẵn lẻ bổ sung.

Ví dụ nêu trên mô tả rằng một số bit chẵn lẻ LDPC được chọn để tạo ra các bit chẵn lẻ bổ sung, nhưng đó chỉ là một ví dụ. Bộ tạo bit chẵn lẻ bổ sung 140 cũng có thể chọn một số bit trong số các bit từ mã LDPC để tạo ra các bit chẵn lẻ bổ sung.

Ví dụ, khi số lượng bit chẵn lẻ bổ sung đã tính bằng hoặc nhỏ hơn số lượng bit chẵn lẻ LDPC được đục lỗ, bộ tạo bit chẵn lẻ bổ sung 140 có thể chọn các bit với số lượng

đúng bằng số lượng bit chẵn lẻ bổ sung đã tính kể từ bit đầu tiên trong số các bit chẵn lẻ LDPC được đục lỗ để tạo ra các bit chẵn lẻ bổ sung.

Khi số lượng bit chẵn lẻ bổ sung đã tính lớn hơn số lượng bit chẵn lẻ LDPC được đục lỗ, bộ tạo bit chẵn lẻ bổ sung 140 có thể chọn tất cả các bit chẵn lẻ LDPC được đục lỗ, và chọn các bit với số lượng đúng bằng số lượng thu được sau khi lấy số lượng bit chẵn lẻ bổ sung đã tính trừ đi số lượng bit chẵn lẻ LDPC được đục lỗ, trong từ mã LDPC, để tạo ra các bit chẵn lẻ bổ sung. Trong trường hợp như vậy, bộ tạo bit chẵn lẻ bổ sung 140 có thể chọn các bit trong số các bit chẵn lẻ LDPC sau khi đục lỗ và/hoặc rút gọn, và/hoặc các bit chẵn lẻ (hay các bit kiểm tra chẵn lẻ) được tạo ra bằng cách mã hoá ngoài trên các bit thông tin.

Thiết bị truyền tín hiệu 100 có thể truyền các bit chẵn lẻ bổ sung và từ mã LDPC đã được đục lỗ đến thiết bị thu tín hiệu 200.

Cụ thể, thiết bị truyền tín hiệu 100 điều biến các bit từ mã LDPC, ngoại trừ các bit không được đệm vào trong từ mã LDPC mà trong đó các bit chẵn lẻ LDPC được đục lỗ (tức là từ mã LDPC đã được đục lỗ), tức là các bit từ mã LDPC đã được rút gọn và đục lỗ, theo sơ đồ điều biến QPSK, ánh xạ các bit đã được điều biến lên các ký hiệu chòm điểm, ánh xạ các ký hiệu này lên khung và truyền các ký hiệu đã được ánh xạ đến thiết bị thu tín hiệu 200.

Ngoài ra, thiết bị truyền tín hiệu 100 cũng có thể điều biến các bit chẵn lẻ bổ sung theo sơ đồ điều biến QPSK, ánh xạ các bit đã điều biến lên các ký hiệu chòm điểm, ánh xạ các ký hiệu này lên khung và truyền các ký hiệu đã được ánh xạ đến thiết bị thu tín hiệu 200.

Trong trường hợp như vậy, thiết bị truyền tín hiệu 100 có thể ánh xạ các bit chẵn lẻ bổ sung được tạo ra dựa vào các bit thông tin được truyền trong khung hiện thời lên khung đứng trước khung hiện thời.

Điều này có nghĩa là, thiết bị truyền tín hiệu 100 có thể ánh xạ từ mã LDPC đã được rút gọn và đục lỗ chứa các bit thông tin tương ứng với khung thứ (i–1) lên khung thứ (i–1), và ánh xạ thêm các bit chẵn lẻ bổ sung được tạo ra dựa vào các bit thông tin tương ứng với khung thứ i lên khung thứ (i–1) và truyền các bit đã ánh xạ đến thiết bị thu tín

hiệu 200.

Vì vậy, các bit thông tin tương ứng với khung thứ (i–1) và các bit chẵn lẻ được tạo ra dựa vào các bit thông tin cùng với các bit chẵn lẻ bổ sung được tạo ra dựa vào các bit thông tin tương ứng với khung thứ i có thể được ánh xạ lên khung thứ (i–1).

Như đã nêu trên, vì các bit thông tin là các bit thông tin báo hiệu chứa thông tin báo hiệu cho dữ liệu, cho nên thiết bị truyền tín hiệu 100 có thể ánh xạ dữ liệu lên khung cùng với thông tin báo hiệu để xử lý dữ liệu và truyền dữ liệu đã được ánh xạ đến thiết bị thu tín hiệu 200.

Cụ thể, thiết bị truyền tín hiệu 100 có thể xử lý dữ liệu theo một sơ đồ cụ thể để tạo ra các ký hiệu chòm điểm và ánh xạ các ký hiệu chòm điểm đã tạo ra lên các ký hiệu dữ liệu của mỗi khung. Ngoài ra, thiết bị truyền tín hiệu 100 có thể ánh xạ thông tin báo hiệu, liên quan đến dữ liệu được ánh xạ lên mỗi khung, vào trong phần mở đầu của khung. Ví dụ, thiết bị truyền tín hiệu 100 có thể ánh xạ các bit thông tin báo hiệu chứa thông tin báo hiệu liên quan đến dữ liệu được ánh xạ lên khung thứ i vào khung thứ i.

Nhờ đó, thiết bị thu tín hiệu 200 có thể sử dụng thông tin báo hiệu thu được từ khung để thu nhận và xử lý dữ liệu từ khung tương ứng.

Như đã nêu trên, mẫu đan xen theo đơn vị nhóm có thể gồm có mẫu thứ nhất và mẫu thứ hai.

Cụ thể, vì giá trị B trong biểu thức 12 nêu trên biểu thị giá trị nhỏ nhất của số lượng bit chẵn lẻ LDPC, cho nên số lượng cụ thể của các bit có thể được đục lỗ luôn luôn phụ thuộc vào giá trị B.

Ví dụ, trong biểu thức 12 nêu trên, vì giá trị B bằng 6036 và nhóm bit có 360 bit, cho nên ngay cả khi độ dài rút gọn bằng 0, thì vẫn có ít nhất $\left\lfloor \frac{6036}{360} \right\rfloor = 16$ nhóm bit luôn luôn được đục lỗ.

Trong trường hợp như vậy, vì phương pháp đục lỗ được thực hiện kể từ bit chẵn lẻ LDPC cuối cùng, cho nên số lượng nhóm bit định trước kể từ nhóm bit cuối cùng trong số các nhóm bit tạo nên các bit chẵn lẻ LDPC được đan xen theo đơn vị nhóm có thể luôn luôn được đục lỗ.

Trong ví dụ nêu trên, 16 nhóm bit cuối cùng trong số 36 nhóm bit tạo nên các bit chẵn lẻ LDPC được đan xen theo đơn vị nhóm có thể luôn luôn được đục lỗ.

Do đó, một số mẫu đan xen theo đơn vị nhóm xác định các nhóm bit luôn luôn được đục lỗ, và vì vậy, mẫu đan xen theo đơn vị nhóm có thể được phân chia ra thành hai mẫu. Cụ thể, một mẫu xác định các nhóm bit còn lại, ngoại trừ các nhóm bit luôn luôn được đục lỗ, trong mẫu đan xen theo đơn vị nhóm được gọi là mẫu thứ nhất, và một mẫu xác định các nhóm bit luôn luôn được đục lỗ được gọi là mẫu thứ hai.

Trong ví dụ nêu trên, 16 nhóm bit kể từ nhóm bit cuối cùng trong số các nhóm bit được đan xen theo đơn vị nhóm là các nhóm bit luôn luôn được đục lỗ.

Nhờ đó, trong mẫu đan xen theo đơn vị nhóm được xác định như ở trong bảng 4 nêu trên, mẫu để đặt ngẫu nhiên các nhóm bit, nằm ở các vị trí thứ 9, 10, 11, ..., 36, 37 và 43 trước khi đan xen theo đơn vị nhóm, vào các vị trí tương ứng với các nhóm bit từ nhóm bit thứ 9 đến nhóm bit thứ 28 sau khi đan xen theo đơn vị nhóm, có thể là mẫu thứ nhất, và mẫu xác định chỉ số sau khi đan xen theo đơn vị nhóm của các nhóm bit trước khi đan xen theo đơn vị nhóm, nằm ở các vị trí tương ứng với các nhóm bit từ nhóm bit thứ 29 đến nhóm bit thứ 44, tức là $Y_{29} = X_{\pi p(29)} = X_{20}$, $Y_{30} = X_{\pi p(30)} = X_{24}$, $Y_{31} = X_{\pi p(31)} = X_{44}$, ..., $Y_{42} = X_{\pi p(42)} = X_{28}$, $Y_{43} = X_{\pi p(43)} = X_{39}$, $Y_{44} = X_{\pi p(44)} = X_{42}$, có thể là mẫu thứ hai.

Ngoài ra, trong mẫu đan xen theo đơn vị nhóm được xác định như ở trong bảng 5 nêu trên, mẫu để đặt ngẫu nhiên các nhóm bit, nằm ở các vị trí thứ 9, 10, 11, ..., 36, 37 và 43 trước khi đan xen theo đơn vị nhóm, vào các vị trí tương ứng với các nhóm bit từ nhóm bit thứ 9 đến nhóm bit thứ 28 sau khi đan xen theo đơn vị nhóm, có thể là mẫu thứ nhất, và mẫu xác định chỉ số sau khi đan xen theo đơn vị nhóm của các nhóm bit trước khi đan xen theo đơn vị nhóm, nằm ở các vị trí tương ứng với các nhóm bit từ nhóm bit thứ 29 đến nhóm bit thứ 44, tức là $Y_{29} = X_{\pi p(29)} = X_{20}$, $Y_{30} = X_{\pi p(30)} = X_{40}$, ..., $Y_{43} = X_{\pi p(43)} = X_{28}$, $Y_{44} = X_{\pi p(44)} = X_{39}$, có thể là mẫu thứ hai.

Như đã nêu trên, mẫu thứ hai xác định các nhóm bit luôn luôn được đục lỗ trong khung hiện thời, và mẫu thứ nhất xác định các nhóm bit được đục lỗ thêm, và do đó, mẫu thứ nhất có thể được dùng để xác định các bit chẵn lẻ LDPC được truyền trong khung hiện thời sau khi đục lỗ. Theo cách khác, khi số lượng bit chẵn lẻ bổ sung được truyền trong khung đứng trước khung hiện thời lớn hơn số lượng bit được đục lỗ, thì mẫu thứ

nhất có thể được dùng để xác định các bit chẵn lẻ bổ sung.

Cụ thể, theo số lượng bit chẵn lẻ LDPC được đục lỗ, ngoài các bit chẵn lẻ LDPC luôn luôn được đục lỗ, còn có các bit chẵn lẻ LDPC nữa có thể được đục lỗ thêm.

Ví dụ, khi số lượng bit chẵn lẻ LDPC được đục lỗ bằng 7200, thì có 20 nhóm bit được đục lỗ, và do đó, có 4 nhóm bit được đục lỗ thêm, ngoài 16 nhóm bit luôn luôn được đục lỗ.

Trong trường hợp như vậy, 4 nhóm bit được đục lỗ thêm tương ứng với các nhóm bit nằm ở các vị trí từ vị trí thứ 25 đến vị trí thứ 28 sau khi đan xen theo đơn vị nhóm, và vì các nhóm bit này được xác định theo mẫu thứ nhất, tức là thuộc về mẫu thứ nhất, cho nên mẫu thứ nhất có thể được dùng để xác định các nhóm bit được đục lỗ.

Điều này có nghĩa là, khi các bit chẵn lẻ LDPC được đục lỗ nhiều hơn giá trị nhỏ nhất của số lượng bit chẵn lẻ LDPC được đục lỗ, thì các nhóm bit được đục lỗ thêm được xác định là các nhóm bit nằm ở phía sau các nhóm bit luôn luôn được đục lỗ. Vì vậy, theo chiều đục lỗ, mẫu thứ nhất xác định các nhóm bit nằm ở phía sau các nhóm bit luôn luôn được đục lỗ có thể được coi là mẫu xác định các nhóm bit được đục lỗ.

Trong ví dụ nêu trên, khi số lượng bit chẵn lẻ LDPC được đục lỗ bằng 7200, thì ngoài 16 nhóm bit luôn luôn được đục lỗ, có 4 nhóm bit, tức là các nhóm bit nằm ở vị trí thứ 28, 27, 26 và 25 sau khi đan xen theo đơn vị nhóm, được đục lỗ thêm. Theo sáng chế, các nhóm bit nằm ở các vị trí từ vị trí thứ 25 đến vị trí thứ 28 sau khi đan xen theo đơn vị nhóm được xác định theo mẫu thứ nhất.

Do đó, mẫu thứ nhất có thể được coi là dùng để xác định các nhóm bit được đục lỗ. Ngoài ra, các bit chẵn lẻ LDPC còn lại, ngoại trừ các bit chẵn lẻ LDPC được đục lỗ được truyền trong khung hiện thời, và vì vậy, mẫu thứ nhất có thể được coi là dùng để xác định các nhóm bit được truyền trong khung hiện thời.

Mẫu thứ hai có thể được dùng để xác định các bit chẵn lẻ bổ sung được truyền trong khung đứng trước khung hiện thời.

Cụ thể, vì các nhóm bit được xác định là các nhóm bit luôn luôn được đục lỗ sẽ luôn luôn được đục lỗ, và sau đó, không được truyền trong khung hiện thời, cho nên các nhóm bit này chỉ cần được đặt vào vị trí mà ở đó đặt các bit luôn luôn được đục lỗ sau

khi đan xen theo đơn vị nhóm. Vì vậy, không cần quan tâm đến vị trí mà ở đó đặt các nhóm bit này sau khi đan xen theo đơn vị nhóm.

Trong trường hợp liên quan đến bảng 4 nêu trên, các nhóm bit nằm ở các vị trí thứ 20, 24, 44, ..., 28, 39 và 42 trước khi đan xen theo đơn vị nhóm cần được đặt vào vị trí tương ứng với các nhóm bit từ nhóm bit thứ 29 đến nhóm bit thứ 44 sau khi đan xen theo đơn vị nhóm. Vì vậy, không cần quan tâm đến vị trí mà ở đó đặt các nhóm bit này, tức là các vị trí tương ứng với các nhóm bit từ nhóm bit thứ 29 đến nhóm bit thứ 44.

Tương tự, trong trường hợp liên quan đến bảng 5 nêu trên, các nhóm bit nằm ở các vị trí thứ 20, 40, 24, ..., 14, 28 và 39 trước khi đan xen theo đơn vị nhóm cần được đặt vào vị trí tương ứng với các nhóm bit từ nhóm bit thứ 29 đến nhóm bit thứ 44 sau khi đan xen theo đơn vị nhóm. Vì vậy, không cần quan tâm đến vị trí mà ở đó đặt các nhóm bit này.

Như vậy, mẫu thứ hai xác định các nhóm bit luôn luôn được đục lỗ được dùng để xác định các nhóm bit được đục lỗ. Vì vậy, việc xác định thứ tự của các nhóm bit trong mẫu thứ hai không có ý nghĩa đối với phương pháp đục lỗ, và do đó, mẫu thứ hai xác định các nhóm bit luôn luôn được đục lỗ có thể được coi là không được dùng cho phương pháp đục lỗ.

Tuy nhiên, để xác định các bit chẵn lẻ bổ sung, thì vị trí tương ứng với các nhóm bit luôn luôn được đục lỗ nằm trong các nhóm bit này sẽ được xem xét.

Cụ thể, như đã nêu trên, các bit chẵn lẻ bổ sung được tạo ra bằng cách chọn các bit trong số các bit chẵn lẻ LDPC được đục lỗ.

Cụ thể, khi số lượng bit chẵn lẻ bổ sung được tạo ra bằng hoặc nhỏ hơn số lượng bit chẵn lẻ LDPC được đục lỗ, thì sẽ chọn các bit chẵn lẻ LDPC với số lượng đúng bằng số lượng bit chẵn lẻ bổ sung được tạo ra kể từ bit chẵn lẻ LDPC đầu tiên trong số các bit chẵn lẻ LDPC được đục lỗ.

Nhờ đó, có thể chọn các bit chẵn lẻ LDPC có trong ít nhất một số nhóm bit luôn luôn được đục lỗ để dùng làm ít nhất phần của các bit chẵn lẻ bổ sung. Điều này có nghĩa là, có thể chọn các bit chẵn lẻ LDPC có trong ít nhất một số nhóm bit luôn luôn được đục lỗ, tuỳ thuộc vào số lượng bit chẵn lẻ LDPC được đục lỗ và số lượng bit chẵn lẻ bổ sung

được tạo ra, để dùng làm các bit chẵn lẻ bổ sung.

Cụ thể, khi các bit chẵn lẻ bổ sung được chọn trong số các bit chẵn lẻ LDPC được đục lỗ vượt quá số lượng nhóm bit được xác định theo mẫu thứ nhất, vì các bit được chọn tuần tự kể từ phần đầu của mẫu thứ hai, và vì vậy, cho nên thứ tự của các nhóm bit thuộc mẫu thứ hai có ý nghĩa đối với việc chọn các bit chẵn lẻ bổ sung.

Do đó, mẫu thứ hai xác định các nhóm bit luôn luôn được đục lỗ có thể được coi là dùng để xác định các bit chẵn lẻ bổ sung, và các bit chẵn lẻ bổ sung có thể được tạo ra bằng cách chọn ít nhất một số bit nằm trong các nhóm bit luôn luôn được đục lỗ, theo thứ tự của các nhóm bit được xác định trong mẫu thứ hai.

Trong ví dụ nêu trên, bộ mã hoá LDPC 110 mã hoá LDPC trên các bit thông tin ở tỷ lệ mã bằng 3/15 để tạo ra từ mã LDPC có độ dài của 16200 chứa 12960 bit chẵn lẻ LDPC.

Trong trường hợp như vậy, mẫu thứ hai có thể được dùng để tạo ra các bit chẵn lẻ bổ sung tuỳ thuộc vào việc giá trị thu được sau khi lấy số lượng của tất cả các bit chẵn lẻ LDPC trừ đi số lượng bit chẵn lẻ LDPC được đục lỗ và cộng với số lượng bit chẵn lẻ bổ sung được tạo ra có lớn hơn 7200 hay không. Theo sáng chế, 7200 là số lượng bit chẵn lẻ LDPC, ngoại trừ các nhóm bit luôn luôn được đục lỗ, trong số các nhóm bit tạo nên các bit chẵn lẻ LDPC. Tức là, $7200 = (36 - 16) \times 360$.

Cụ thể, nếu giá trị thu được sau khi lấy số lượng của tất cả các bit chẵn lẻ LDPC trừ đi số lượng bit chẵn lẻ LDPC được đục lỗ và cộng với số lượng bit chẵn lẻ bổ sung được tạo ra bằng hoặc nhỏ hơn 7200, tức là $12960 - N_{punc} + N_{AP} \leq 7200$, thì các bit chẵn lẻ bổ sung có thể được tạo ra dựa vào mẫu thứ nhất.

Tuy nhiên, nếu giá trị thu được sau khi lấy số lượng của tất cả các bit chẵn lẻ LDPC trừ đi số lượng bit chẵn lẻ LDPC được đục lỗ và cộng với số lượng bit chẵn lẻ bổ sung được tạo ra lớn hơn 7200, tức là $12960 - N_{punc} + N_{AP} > 7200$, thì các bit chẵn lẻ bổ sung có thể được tạo ra dựa vào mẫu thứ nhất và mẫu thứ hai.

Cụ thể, nếu $12960 - N_{punc} + N_{AP} > 7200$, thì có thể chọn các bit chẵn lẻ LDPC có trong nhóm bit nằm ở vị trí thứ 28 kể từ bit chẵn lẻ LDPC đầu tiên trong số các bit chẵn lẻ LDPC được đục lỗ, và có thể chọn các bit có trong nhóm bit nằm ở một vị trí cụ thể so

với vị trí thứ 29, để dùng làm các bit chẵn lẻ bổ sung.

Theo sáng chế, nhóm bit mà trong đó có bit chẵn lẻ LDPC đầu tiên trong số các bit chẵn lẻ LDPC được đục lỗ và nhóm bit (tức là nhóm bit mà trong đó có các bit chẵn lẻ LDPC được chọn cuối cùng khi chọn tuần tự kể từ bit chẵn lẻ LDPC đầu tiên trong số các bit chẵn lẻ LDPC được đục lỗ) nằm ở vị trí cụ thể có thể được xác định theo số lượng bit chẵn lẻ LDPC được đục lỗ và số lượng bit chẵn lẻ bổ sung được tạo ra.

Trong trường hợp như vậy, nhóm bit nằm ở vị trí thứ 28 kể từ bit chẵn lẻ LDPC đầu tiên trong số các bit chẵn lẻ LDPC được đục lỗ được xác định theo mẫu thứ nhất, và nhóm bit nằm ở vị trí cụ thể so với vị trí thứ 29 được xác định theo mẫu thứ hai.

Nhờ đó, các bit chẵn lẻ bổ sung được tạo ra được xác định theo mẫu thứ nhất và mẫu thứ hai.

Như vậy, mẫu thứ nhất có thể được dùng để xác định các bit chẵn lẻ bổ sung được tạo ra cũng như các bit chẵn lẻ LDPC được đục lỗ, còn mẫu thứ hai có thể được dùng để xác định các bit chẵn lẻ bổ sung được tạo ra.

Vì vậy, theo các phương án làm ví dụ thực hiện sáng chế, mẫu đan xen theo đơn vị nhóm được xác định như được thể hiện trong bảng 4 hoặc bảng 5 nêu trên, và do đó, các nhóm bit nằm ở các vị trí cụ thể trước khi đan xen theo đơn vị nhóm có thể được chọn để dùng làm các bit chẵn lẻ bổ sung.

Lý do giải thích tại sao thứ tự hoán vị để đan xen theo đơn vị nhóm theo phương án làm ví dụ thực hiện sáng chế được xác định như trong bảng 4 hoặc bảng 5 sẽ được trình bày dưới đây.

Ma trận kiểm tra chẵn lẻ (ví dụ Fig.3) của mã LDPC có tỷ lệ mã bằng 3/15 có thể được biến đổi thành ma trận kiểm tra chẵn lẻ có cấu trúc tựa tuần hoàn gồm có các khối có kích thước bằng 360×360 (tức là có kích thước bằng M×M) như được thể hiện trên Fig.7 sau khi thực hiện quy trình hoán vị cột và quy trình hoán vị hàng thích hợp tương ứng với quy trình đan xen chẵn lẻ. Trong đó, quy trình hoán vị cột và quy trình hoán vị hàng không làm thay đổi đặc trưng đại số của mã LDPC và vì vậy các quy trình này được sử dụng rộng rãi để phân tích mã LDPC theo lý thuyết.

Phần bit chẵn lẻ của mã LDPC có tỷ lệ mã bằng 3/15 gồm có các bit chẵn lẻ có bậc bằng 1 và 2.

Trong trường hợp như vậy, có thể hiểu rằng phương pháp đục lỗ đối với các bit chẵn lẻ có bậc bằng 2 sẽ ghép hai hàng liên quan đến phần tử 1 nằm ở trong các cột tương ứng với các bit này. Sở dĩ làm như vậy là do nút chẵn lẻ có bậc bằng 2 chỉ truyền một thông báo đơn giản nếu nút chẵn lẻ này không thu nhận được thông tin từ kênh. Khi ghép, đối với mỗi cột trong một hàng vừa mới được tạo ra bằng cách ghép hai hàng, nếu phần tử 1 nằm ở trong hai hàng đó, thì phần tử này được thay bằng phần tử 0, còn nếu phần tử 1 chỉ nằm ở trong một trong số hai hàng đó, thì phần tử này được thay bằng phần tử 1. Khi đó, có thể hiểu rằng phương pháp đục lỗ đối với các bit chẵn lẻ có bậc bằng 1 sẽ xoá một hàng liên quan đến phần tử 1 nằm ở trong cột tương ứng với bit tương ứng.

Khi một số bit trong số các bit chẵn lẻ của từ mã LDPC được đục lỗ, thì số lượng bit chẵn lẻ được áp dụng phương pháp đục lỗ có thể thay đổi tuỳ theo độ dài rút gọn và giá trị A định trước (tức là tỷ số giữa số lượng bit được rút gọn và số lượng bit được đục lỗ) và giá trị B (tức là số lượng bit được đục lỗ ngay cả khi số lượng bit được rút gọn bằng 0). Trong đó, nếu giá trị B lớn hơn 0, thì các bit chẵn lẻ luôn luôn được đục lỗ tồn tại độc lập với độ dài rút gọn. Cụ thể, vì 360 bit liên tiếp tạo thành một nhóm bit, cho nên khi giá trị B bằng hoặc lớn hơn 360, thì nhóm bit luôn luôn được đục lỗ tồn tại độc lập với độ dài rút gọn.

Khi mã LDPC có tỷ lệ mã bằng 3/15 và sơ đồ điều biến QPSK được sử dụng, thì giá trị B có thể bằng 6036. Trong trường hợp như vậy, ít nhất 16 nhóm bit luôn luôn được đục lỗ tồn tại độc lập với độ dài rút gọn (ví dụ các nhóm bit thứ 12, 14, 19, 20, 22, 24, 28, 30, 32, 33, 38, 39, 40, 41, 42 và 44).

Trong trường hợp như vậy, vì 16 nhóm bit luôn luôn được đục lỗ độc lập với độ dài rút gọn, cho nên thứ tự của các nhóm bit này không ảnh hưởng gì đến hiệu suất chung của hệ thống khi không sử dụng các bit chẵn lẻ bổ sung được truyền trong khung trước đó. Tuy nhiên, khi có sử dụng các bit chẵn lẻ bổ sung, thì nhóm bit nào trong số 16 nhóm bit được truyền tương đối sớm hơn sẽ có ảnh hưởng đến hiệu suất chung của hệ thống. Khi các bit chẵn lẻ bổ sung được truyền bằng cách sử dụng mẫu thứ hai trong mẫu đan xen theo đơn vị nhóm, thì có thể xác định nhóm bit nào trong số 16 nhóm bit được truyền

tương đối sớm hơn. Vì vậy, mẫu thứ hai cần được tạo ra sao cho phù hợp có tính đến việc phải làm tăng tối đa hiệu quả truyền của thông tin điều khiển (tức là các bit thông tin).

Quy trình tạo ra mẫu thứ hai trong mẫu đan xen theo đơn vị nhóm để tạo ra các bit chẵn lẻ bổ sung sẽ được mô tả dưới đây để làm ví dụ.

Quy trình mã hoá, bằng bộ mã hoá LDPC 110, đối với 3240 bit đầu vào, tức là các bit thông tin LDPC, ở tỷ lệ mã bằng 3/15 để tạo ra 12960 bit chẵn lẻ LDPC và tạo ra mẫu đan xen theo đơn vị nhóm để tạo ra các bit chẵn lẻ bổ sung trong trường hợp từ mã LDPC được tạo ra sau khi mã hoá LDPC sẽ được điều biến theo sơ đồ điều biến QPSK và sau đó được truyền đến thiết bị thu tín hiệu 200 diễn ra như sau.

Theo phương án làm ví dụ thực hiện sáng chế, mẫu thứ hai trong mẫu đan xen theo đơn vị nhóm để xác định thứ tự truyền của các bit chẵn lẻ bổ sung được xác định với giả sử rằng giá trị K dùng để tính độ dài của các bit chẵn lẻ bổ sung bằng 1. Nếu giả sử rằng K = 1, thì khi độ dài của thông tin đầu vào để nhập mã LDPC (trong đó, độ dài của thông tin đầu vào để nhập mã LDPC là giá trị tổng của số lượng bit thông tin và số lượng bit kiểm tra chẵn lẻ BCH được tạo ra bằng cách thực hiện bước mã hoá BCH trên các bit thông tin) bằng hoặc nhỏ hơn 1800 bit (= 5 nhóm bit), vì độ dài của tất cả các bit chẵn lẻ trong từ mã LDPC được truyền có chứa các bit chẵn lẻ bổ sung không vượt quá 7200 (= 20 nhóm bit), cho nên các bit chẵn lẻ trong từ mã LDPC được truyền bằng cách sử dụng mẫu thứ nhất trong mẫu đan xen theo đơn vị nhóm có thể được xác định.

Tuy nhiên, khi độ dài của thông tin đầu vào để nhập mã LDPC bằng 2160 (= 6 nhóm bit), thì độ dài của tất cả các bit chẵn lẻ trong từ mã LDPC được truyền có chứa các bit chẵn lẻ bổ sung được tính bằng 8226 bit, tương ứng với khoảng 22,9 nhóm bit. Vì vậy, có 3 nhóm cột được loại bỏ tuỳ thuộc vào thứ tự rút gọn được xác định trước trong tất cả các ma trận kiểm tra chẵn lẻ của mã LDPC có tỷ lệ mã bằng 3/15, và có ba nhóm bit không được đục lỗ sẽ được chọn sao cho bậc của các hàng trong ma trận được xuất ra tại thời điểm ghép và xoá các khối hàng liên quan đến các nhóm bit còn lại, ngoại trừ ba trong số 16 nhóm bit (ví dụ các nhóm bit thứ 12, 14, 19, 20, 22, 24, 28, 30, 32, 33, 38, 39, 40, 41, 42 và 44) luôn luôn được đục lỗ độc lập với độ dài rút gọn càng đồng đều thì càng tốt. Nếu có nhiều trường hợp để chọn ba nhóm bit chẵn lẻ sao cho bậc của các hàng trong ma trận đồng đều nhất, thì đặc trưng tuần hoàn và đặc trưng đại số của ma

trận kiểm tra chẵn lẻ mà trong đó đã thực hiện các thao tác xoá cột, ghép hàng và xoá cột trong các trường hợp đó, cần phải được xem xét thêm.

Ví dụ, vì chu kỳ ngắn liên quan đến phần tương ứng với ma trận con A trên Fig.2 ảnh hưởng bất lợi đến hiệu suất của mã LDPC, cho nên có thể chọn trường hợp mà trong đó số lượng chu kỳ có độ dài liên quan đến phần tương ứng với ma trận con A trên Fig.2 bằng hoặc nhỏ hơn 6 là ít nhất. Nếu có nhiều trường hợp mà trong đó số lượng chu kỳ là ít nhất, thì sẽ chọn trường hợp có hiệu suất tỷ lệ lỗi khung (Frame Error Rate, FER) thực cao nhất trong số các trường hợp. Theo sáng chế, các nhóm bit được chọn tuỳ theo giá trị FER là cơ sở để lựa chọn có thể có thay đổi. Ví dụ, khi giá trị FER là cơ sở để lựa chọn bằng 10^{-4}, thì có thể chọn nhóm bit thứ 20, nhóm bit thứ 24 và nhóm bit thứ 44, và khi giá trị FER bằng 10^{-3}, thì có thể chọn nhóm bit thứ 20, nhóm bit thứ 40 và nhóm bit thứ 24.

Trong một số trường hợp, khi có quá nhiều phương án lựa chọn được tạo ra dựa vào đặc trưng tuần hoàn, thì sẽ dùng phương pháp phân tích khai triển mật độ để tìm ra giá trị dự báo theo lý thuyết của tỷ số tín hiệu/tạp nhiễu (Signal-to-Noise Ratio, SNR) nhỏ nhất để tạo nên mã LDPC có sự phân bố của các giá trị 1 đồng đều sau khi xoá cột, ghép hàng và xoá hàng đối với từng trường hợp có thể thực hiện chức năng truyền thông không có lỗi, và kiểm tra hiệu suất FER bằng thử nghiệm tính toán bằng cách điều chỉnh số lượng phương án lựa chọn sao cho thích hợp dựa vào các giá trị SNR nhỏ nhất được dự báo theo lý thuyết.

Ở bước tiếp theo, một trong số 3 nhóm cột được xoá ở bước thứ nhất trong các phần bit thông tin của ma trận kiểm tra chẵn lẻ được khôi phục dựa vào bậc định trước. Trong trường hợp như vậy, độ dài của tất cả các bit chẵn lẻ trong từ mã LDPC được truyền có chứa các bit chẵn lẻ bổ sung được tính bằng 9486 bit, tương ứng với khoảng 26,4 nhóm bit. Vì vậy, cần phải chọn bốn trong số 13 nhóm bit có bậc chưa được xác định để dùng làm các nhóm bit không được đục lỗ. Trong trường hợp như vậy, giống như bước thứ nhất, bốn nhóm bit được chọn có tính đến sự đồng đều của bậc của các hàng trong ma trận kiểm tra chẵn lẻ sau khi xoá nhóm cột và ghép nhóm hàng, đặc trưng tuần hoàn và hiệu suất FER thực. Ví dụ, có thể chọn nhóm bit thứ 12, nhóm bit thứ 22, nhóm bit thứ 40 và nhóm bit thứ 19. Theo cách khác, có thể chọn nhóm bit thứ 42, nhóm bit thứ 12,

nhóm bit thứ 19 và nhóm bit thứ 22.

Theo sơ đồ tương tự như vậy, thứ tự của các nhóm bit chẵn lẻ không được đục lỗ cho đến khi khôi phục được tất cả các nhóm cột tương ứng với các phần bit thông tin hoặc chọn được tất cả các nhóm cột tương ứng với các phần bit chẵn lẻ được xác định. Ví dụ, thứ tự hoán vị tương ứng với mẫu thứ hai được xác định bằng phương pháp nêu trên có thể là $\pi_p(29) = 20$, $\pi_p(30) = 24$, $\pi_p(31) = 44$, $\pi_p(32) = 12$, $\pi_p(33) = 22$, $\pi_p(34) = 40$, $\pi_p(35) = 19$, $\pi_p(36) = 32$, $\pi_p(37) = 38$, $\pi_p(38) = 41$, $\pi_p(39) = 30$, $\pi_p(40) = 33$, $\pi_p(41) = 14$, $\pi_p(42) = 28$, $\pi_p(43) = 39$, $\pi_p(44) = 42$, hoặc $\pi_p(29) = 20$, $\pi_p(30) = 40$, $\pi_p(31) = 24$, $\pi_p(32) = 42$, $\pi_p(33) = 12$, $\pi_p(34) = 19$, $\pi_p(35) = 22$, $\pi_p(36) = 38$, $\pi_p(37) = 41$, $\pi_p(38) = 44$, $\pi_p(39) = 32$, $\pi_p(40) = 30$, $\pi_p(41) = 33$, $\pi_p(42) = 14$, $\pi_p(43) = 28$, $\pi_p(44) = 39$.

Do đó, khi bước đan xen theo đơn vị nhóm được thực hiện bằng cách sử dụng mẫu đan xen theo đơn vị nhóm như được thể hiện trong bảng 4 và bảng 5 nêu trên, các bit chẵn lẻ bổ sung có thể được truyền đến thiết bị thu tín hiệu 200 theo một thứ tự cụ thể và vì vậy hiệu quả truyền thông tin có thể đạt được mức cao nhất.

Các nhóm bit nằm ở các vị trí thứ 9, 10, 11, …, 36, 37 và 43 trước khi đan xen theo đơn vị nhóm trong bảng 4 nêu trên được đan xen theo đơn vị nhóm một cách ngẫu nhiên vào các vị trí từ vị trí thứ 9 đến vị trí thứ 28. Tuy nhiên, các nhóm bit này cũng có thể được đan xen theo đơn vị nhóm vào một vị trí cụ thể có xét đến thứ tự đục lỗ. Điều này sẽ được mô tả chi tiết dưới đây.

Theo phương án làm ví dụ thực hiện sáng chế, các bit thông tin nêu trên có thể tạo nên thông tin báo hiệu chi tiết cho tầng L1. Vì vậy, thiết bị truyền tín hiệu 100 có thể tạo ra các bit chẵn lẻ bổ sung cho thông tin báo hiệu chi tiết cho tầng L1 bằng cách sử dụng phương pháp nêu trên và truyền các bit đã tạo ra đến thiết bị thu tín hiệu 200.

Theo sáng chế, thông tin báo hiệu chi tiết cho tầng L1 có thể là các bit thông tin báo hiệu được định nghĩa theo tiêu chuẩn Advanced Television System Committee (ATSC) 3.0.

Cụ thể, chế độ xử lý thông tin báo hiệu chi tiết cho tầng L1 được phân chia ra thành bảy (7) chế độ. Thiết bị truyền tín hiệu 100 theo phương án làm ví dụ thực hiện sáng chế có thể tạo ra các bit chẵn lẻ bổ sung theo phương pháp nêu trên khi chế độ 5 để xử lý

thông tin báo hiệu chi tiết cho tầng L1 trong số bảy chế độ đó sẽ xử lý thông tin báo hiệu chi tiết cho tầng L1.

Tiêu chuẩn ATSC 3.0 định nghĩa thông tin báo hiệu cơ bản cho tầng L1 bên cạnh thông tin báo hiệu chi tiết cho tầng L1. Thiết bị truyền tín hiệu 100 có thể xử lý thông tin báo hiệu cơ bản cho tầng L1 và thông tin báo hiệu chi tiết cho tầng L1 bằng cách sử dụng một sơ đồ cụ thể và truyền thông tin báo hiệu cơ bản cho tầng L1 và thông tin báo hiệu chi tiết cho tầng L1 đã được xử lý đến thiết bị thu tín hiệu 200. Trong trường hợp như vậy, chế độ xử lý thông tin báo hiệu cơ bản cho tầng L1 cũng có thể được phân chia ra thành bảy chế độ.

Phương pháp xử lý thông tin báo hiệu cơ bản cho tầng L1 và thông tin báo hiệu chi tiết cho tầng L1 sẽ được mô tả dưới đây.

Thiết bị truyền tín hiệu 100 có thể ánh xạ thông tin báo hiệu cơ bản cho tầng L1 và thông tin báo hiệu chi tiết cho tầng L1 vào trong phần mở đầu của khung và ánh xạ dữ liệu lên các ký hiệu dữ liệu của khung để truyền đến thiết bị thu tín hiệu 200.

Dựa vào Fig.8, khung có thể được tạo nên gồm có ba phần, đó là phần khởi động, phần mở đầu và phần dữ liệu.

Phần khởi động được sử dụng để đồng bộ hoá ban đầu và cung cấp thông số cơ bản cần thiết cho thiết bị thu tín hiệu 200 để giải mã thông tin báo hiệu cho tầng L1. Ngoài ra, phần khởi động có thể chứa thông tin về chế độ xử lý thông tin báo hiệu cơ bản cho tầng L1 ở thiết bị truyền tín hiệu 100, tức là thông tin về chế độ mà thiết bị truyền tín hiệu 100 sử dụng để xử lý thông tin báo hiệu cơ bản cho tầng L1.

Phần mở đầu chứa thông tin báo hiệu cho tầng L1, và có thể được tạo nên gồm có hai phần, đó là phần thông tin báo hiệu cơ bản cho tầng L1 và phần thông tin báo hiệu chi tiết cho tầng L1.

Theo sáng chế, thông tin báo hiệu cơ bản cho tầng L1 có thể chứa thông tin về thông tin báo hiệu chi tiết cho tầng L1, và thông tin báo hiệu chi tiết cho tầng L1 có thể chứa thông tin về dữ liệu. Theo sáng chế, dữ liệu là dữ liệu phát rộng để cung cấp các dịch vụ phát rộng và có thể được truyền qua ít nhất một kênh truyền tầng vật lý (Physical Layer Pipe, PLP).

Cụ thể, thông tin báo hiệu cơ bản cho tầng L1 là thông tin cần thiết cho thiết bị thu tín hiệu 200 để xử lý thông tin báo hiệu chi tiết cho tầng L1. Thông tin này chứa, ví dụ, thông tin về chế độ xử lý thông tin báo hiệu chi tiết cho tầng L1 ở thiết bị truyền tín hiệu 100, tức là thông tin về chế độ mà thiết bị truyền tín hiệu 100 sử dụng để xử lý thông tin báo hiệu chi tiết cho tầng L1, thông tin về độ dài của thông tin báo hiệu chi tiết cho tầng L1, thông tin về chế độ chẵn lẻ bổ sung, tức là thông tin về giá trị K dùng cho thiết bị truyền tín hiệu 100 để tạo ra các bit chẵn lẻ bổ sung bằng cách sử dụng trường L1B_L1_Detail_additional_parity_mode (trong đó, khi trường L1B_L1_Detail_additional_parity_mode được đặt bằng '00', thì K = 0 và các bit chẵn lẻ bổ sung không được sử dụng), và thông tin về độ dài của tổng số các ô. Ngoài ra, thông tin báo hiệu cơ bản cho tầng L1 có thể là thông tin báo hiệu cơ bản liên quan đến hệ thống có thiết bị truyền tín hiệu 100 như kích thước biến đổi Fourier nhanh (Fast Fourier Transform, FFT), khoảng bảo vệ và mẫu sóng chủ.

Ngoài ra, thông tin báo hiệu chi tiết cho tầng L1 là thông tin cần thiết cho thiết bị thu tín hiệu 200 để giải mã các kênh truyền PLP, ví dụ, vị trí đầu tiên của các ô được ánh xạ lên các ký hiệu dữ liệu trên mỗi kênh truyền PLP, thông tin nhận dạng (Identifier, ID) của kênh truyền PLP, kích thước của kênh truyền PLP, sơ đồ điều biến, tỷ lệ mã, v.v..

Vì vậy, thiết bị thu tín hiệu 200 có thể thu nhận tín hiệu đồng bộ hoá khung, thu nhận thông tin báo hiệu cơ bản cho tầng L1 và thông tin báo hiệu chi tiết cho tầng L1 từ phần mở đầu, và thu thông tin dịch vụ mà người dùng yêu cầu từ các ký hiệu dữ liệu bằng cách sử dụng thông tin báo hiệu chi tiết cho tầng L1.

Phương pháp xử lý thông tin báo hiệu cơ bản cho tầng L1 và thông tin báo hiệu chi tiết cho tầng L1 sẽ được mô tả chi tiết dưới đây dựa vào các hình vẽ kèm theo.

Fig.9 và Fig.10 là các sơ đồ khối thể hiện cấu hình chi tiết của thiết bị truyền tín hiệu 100 theo các phương án làm ví dụ thực hiện sáng chế.

Cụ thể, như được thể hiện trên Fig.9, để xử lý thông tin báo hiệu cơ bản cho tầng L1, thiết bị truyền tín hiệu 100 có thể bao gồm bộ phận xáo trộn 211, bộ mã hoá BCH 212, bộ đệm bit không 213, bộ mã hoá LDPC 214, bộ phận hoán vị chẵn lẻ 215, bộ phận lặp 216, bộ phận đục lỗ 217, bộ phận loại bỏ bit không 218, bộ phân kênh bit 219 và bộ ánh xạ chòm điểm 221.

Ngoài ra, như được thể hiện trên Fig.10, để xử lý thông tin báo hiệu chi tiết cho tầng L1, thiết bị truyền tín hiệu 100 có thể bao gồm bộ phận phân đoạn 311, bộ phận xáo trộn 312, bộ mã hoá BCH 313, bộ đệm bit không 314, bộ mã hoá LDPC 315, bộ phận hoán vị chẵn lẻ 316, bộ phận lặp 317, bộ phận đục lỗ 318, bộ tạo bit chẵn lẻ bổ sung 319, bộ phận loại bỏ bit không 321, các bộ phân kênh bit 322 và 323, và các bộ ánh xạ chòm điểm 324 và 325.

Theo sáng chế, các bộ phận được thể hiện trên Fig.9 và Fig.10 là các bộ phận để thực hiện quy trình mã hoá và điều biến trên thông tin báo hiệu cơ bản cho tầng L1 và thông tin báo hiệu chi tiết cho tầng L1, nhưng đó chỉ là một ví dụ. Theo các phương án làm ví dụ khác để thực hiện sáng chế, một số bộ phận được thể hiện trên Fig.9 và Fig.10 có thể được loại bỏ hoặc thay đổi, và các bộ phận khác cũng có thể được bổ sung vào. Ngoài ra, vị trí của một số bộ phận có thể thay đổi. Ví dụ, vị trí của các bộ phận lặp 216 và 317 có thể lần lượt được đặt ở sau các bộ phận đục lỗ 217 và 318.

Bộ mã hoá LDPC 315, bộ phận lặp 317, bộ phận đục lỗ 318 và bộ tạo bit chẵn lẻ bổ sung 319 được thể hiện trên Fig.10 có thể lần lượt thực hiện các thao tác được thực hiện bằng bộ mã hoá LDPC 110, bộ phận lặp 120, bộ phận đục lỗ 130 và bộ tạo bit chẵn lẻ bổ sung 140 được thể hiện trên Fig.1.

Khi mô tả dựa vào Fig.9 và Fig.10, để cho thuận tiện, các bộ phận thực hiện chức năng giống nhau sẽ được mô tả cùng nhau.

Thông tin báo hiệu cơ bản cho tầng L1 và thông tin báo hiệu chi tiết cho tầng L1 có thể được bảo vệ bằng dãy ghép nối của mã ngoài BCH và mã trong LDPC. Tuy nhiên, đó chỉ là một ví dụ. Vì vậy, nếu thao tác mã hoá ngoài được thực hiện trước khi mã hoá trong theo sơ đồ mã hoá ghép nối, thì một sơ đồ mã hoá khác như sơ đồ mã hoá CRC, ngoài sơ đồ mã hoá BCH, có thể được áp dụng. Ngoài ra, thông tin báo hiệu cơ bản cho tầng L1 và thông tin báo hiệu chi tiết cho tầng L1 có thể được bảo vệ chỉ bằng mã trong LDPC mà không có mã ngoài.

Trước hết, thông tin báo hiệu cơ bản cho tầng L1 và thông tin báo hiệu chi tiết cho tầng L1 có thể được xáo trộn. Ngoài ra, thông tin báo hiệu cơ bản cho tầng L1 và thông tin báo hiệu chi tiết cho tầng L1 được mã hoá BCH, và do đó, các bit kiểm tra chẵn lẻ BCH của thông tin báo hiệu cơ bản cho tầng L1 và thông tin báo hiệu chi tiết cho tầng L1

được tạo ra bằng cách mã hoá BCH có thể lần lượt được gắn vào thông tin báo hiệu cơ bản cho tầng L1 và thông tin báo hiệu chi tiết cho tầng L1. Ngoài ra, các bit thông tin báo hiệu ghép nối và các bit kiểm tra chẵn lẻ BCH có thể được bảo vệ thêm bằng mã 16K LDPC đã được rút gọn và đục lỗ.

Để tạo ra nhiều mức khả năng bảo vệ khác nhau phù hợp với khoảng giá trị tỷ số tín hiệu/tạp nhiễu (Signal to Noise Ratio, SNR) rộng, thì mức bảo vệ của thông tin báo hiệu cơ bản cho tầng L1 và thông tin báo hiệu chi tiết cho tầng L1 có thể được phân chia ra thành bảy (7) chế độ. Điều này có nghĩa là, mức bảo vệ của thông tin báo hiệu cơ bản cho tầng L1 và thông tin báo hiệu chi tiết cho tầng L1 có thể được phân chia ra thành bảy chế độ dựa vào mã LDPC, bậc điều biến, các thông số rút gọn/đục lỗ (tức là tỷ số giữa số lượng bit được đục lỗ và số lượng bit được rút gọn), và số lượng bit được đục lỗ cơ bản (tức là số lượng bit được đục lỗ cơ bản khi số lượng bit được rút gọn bằng 0). Ở mỗi chế độ, ít nhất một dạng kết hợp khác nhau của mã LDPC, bậc điều biến, chòm điểm và mẫu rút gọn/đục lỗ có thể được sử dụng.

Chế độ mà thiết bị truyền tín hiệu 100 áp dụng để xử lý thông tin báo hiệu có thể được thiết lập trước tuỳ theo từng hệ thống. Vì vậy, thiết bị truyền tín hiệu 100 có thể xác định các thông số (ví dụ cấu trúc sơ đồ điều biến và tỷ lệ mã (cấu trúc ModCod) cho mỗi chế độ, thông số cho sơ đồ mã hoá BCH, thông số cho sơ đồ đệm bit không, mẫu rút gọn, tỷ lệ mã/độ dài mã của mã LDPC, mẫu đan xen theo đơn vị nhóm, thông số cho sơ đồ lặp, thông số cho mẫu đục lỗ, và sơ đồ điều biến, v.v.) để xử lý thông tin báo hiệu tuỳ theo chế độ đã thiết lập, và có thể xử lý thông tin báo hiệu dựa vào các thông số đã xác định và truyền thông tin báo hiệu đã xử lý đến thiết bị thu tín hiệu 200. Nhằm mục đích này, thiết bị truyền tín hiệu 100 có thể lưu trữ trước các thông số để xử lý thông tin báo hiệu tuỳ theo từng chế độ.

Các cấu trúc sơ đồ điều biến và tỷ lệ mã (cấu trúc ModCod) cho bảy chế độ để xử lý thông tin báo hiệu cơ bản cho tầng L1 và bảy chế độ để xử lý thông tin báo hiệu chi tiết cho tầng L1 được thể hiện trong bảng 6 dưới đây. Thiết bị truyền tín hiệu 100 có thể mã hoá và điều biến thông tin báo hiệu dựa vào các cấu trúc ModCod được xác định trong bảng 6 dưới đây theo chế độ tương ứng. Điều này có nghĩa là, thiết bị truyền tín hiệu 100 có thể xác định tỷ lệ mã và sơ đồ điều biến cho thông tin báo hiệu ở mỗi chế độ dựa vào

bảng 6 dưới đây, và có thể mã hoá và điều biến thông tin báo hiệu theo sơ đồ đã xác định. Trong trường hợp như vậy, ngay cả khi điều biến thông tin báo hiệu cho tầng L1 theo cùng một sơ đồ điều biến, nhưng thiết bị truyền tín hiệu 100 vẫn có thể sử dụng các chòm điểm khác nhau.

Bảng 6

Kiểu mã hoá FEC cho thông tin báo hiệu		K_{sig}	Cấu trúc ModCod		Chòm điểm
			Độ dài mã	Tỷ lệ mã	
Thông tin báo hiệu cơ bản cho tầng L1	Chế độ 1	200	16200	3/15 (Loại A)	QPSK
	Chế độ 2				QPSK
	Chế độ 3				QPSK
	Chế độ 4				NUC_16-QAM
	Chế độ 5				NUC_64-QAM
	Chế độ 6				NUC_256-QAM
	Chế độ 7				NUC_256-QAM
Thông tin báo hiệu chi tiết cho tầng L1	Chế độ 1	400 ~ 2352			QPSK
	Chế độ 2	400 ~ 3072			QPSK
	Chế độ 3	400 ~ 6312		6/15 (Loại B)	QPSK
	Chế độ 4				NUC_16-QAM
	Chế độ 5				NUC_64-QAM
	Chế độ 6				NUC_256-QAM
	Chế độ 7				NUC_256-QAM

Trong bảng 6 nêu trên, K_{sig} là số lượng bit thông tin cho khối mã hoá. Điều này có nghĩa là, vì các bit thông tin báo hiệu cho tầng L1 có độ dài K_{sig} được mã hoá để tạo ra khối mã hoá, nên độ dài của thông tin báo hiệu cho tầng L1 trong một khối mã hoá sẽ là K_{sig}. Vì vậy, các bit thông tin báo hiệu cho tầng L1 có độ dài K_{sig} có thể được coi là tương ứng với một khối mã hoá LDPC.

Dựa vào bảng 6 nêu trên, giá trị K_{sig} của thông tin báo hiệu cơ bản cho tầng L1 được giữ cố định bằng 200. Tuy nhiên, vì số lượng bit thông tin báo hiệu chi tiết cho tầng L1 thay đổi, nên giá trị K_{sig} của thông tin báo hiệu chi tiết cho tầng L1 thay đổi.

Cụ thể, đối với thông tin báo hiệu chi tiết cho tầng L1, số lượng bit thông tin báo

hiệu chi tiết cho tầng L1 thay đổi, và do đó, khi số lượng bit thông tin báo hiệu chi tiết cho tầng L1 lớn hơn một giá trị định trước, thì thông tin báo hiệu chi tiết cho tầng L1 có thể được phân đoạn sao cho có độ dài bằng hoặc nhỏ hơn giá trị định trước.

Trong trường hợp như vậy, kích thước của mỗi khối thông tin báo hiệu chi tiết cho tầng L1 đã phân đoạn (tức là đoạn thông tin báo hiệu chi tiết cho tầng L1) có thể có giá trị K_{sig} như được xác định trong bảng 6 nêu trên. Ngoài ra, mỗi khối thông tin báo hiệu chi tiết cho tầng L1 đã phân đoạn có kích thước K_{sig} có thể tương ứng với một khối mã hoá LDPC.

Tuy nhiên, khi số lượng bit thông tin báo hiệu chi tiết cho tầng L1 bằng hoặc nhỏ hơn giá trị định trước, thì thông tin báo hiệu chi tiết cho tầng L1 không được phân đoạn. Trong trường hợp như vậy, độ dài của thông tin báo hiệu chi tiết cho tầng L1 có thể có giá trị K_{sig} như được xác định trong bảng 4 nêu trên. Ngoài ra, thông tin báo hiệu chi tiết cho tầng L1 có độ dài K_{sig} có thể tương ứng với một khối mã hoá LDPC.

Phương pháp phân đoạn thông tin báo hiệu chi tiết cho tầng L1 sẽ được mô tả dưới đây.

Bộ phận phân đoạn 311 phân đoạn thông tin báo hiệu chi tiết cho tầng L1. Cụ thể, vì độ dài của thông tin báo hiệu chi tiết cho tầng L1 thay đổi, nên khi độ dài của thông tin báo hiệu chi tiết cho tầng L1 lớn hơn giá trị định trước, thì bộ phận phân đoạn 311 có thể phân đoạn thông tin báo hiệu chi tiết cho tầng L1 sao cho có số lượng bit bằng hoặc nhỏ hơn giá trị định trước và xuất ra từng đoạn thông tin báo hiệu chi tiết cho tầng L1 để cung cấp cho bộ phận xáo trộn 312.

Tuy nhiên, khi độ dài của thông tin báo hiệu chi tiết cho tầng L1 bằng hoặc nhỏ hơn giá trị định trước, thì bộ phận phân đoạn 311 không thực hiện thao tác phân đoạn riêng biệt.

Phương pháp phân đoạn, bằng bộ phận phân đoạn 311, đối với thông tin báo hiệu chi tiết cho tầng L1 diễn ra như sau.

Số lượng bit thông tin báo hiệu chi tiết cho tầng L1 thay đổi và chủ yếu phụ thuộc vào số lượng kênh truyền PLP. Vì vậy, để truyền tất cả các bit của thông tin báo hiệu chi tiết cho tầng L1, cần có ít nhất một khung sửa lỗi trước (Forward Error Correction, FEC).

Theo sáng chế, khung FEC có thể có dạng trong đó thông tin báo hiệu chi tiết cho tầng L1 được mã hoá, và do đó, các bit chẵn lẻ theo sơ đồ mã hoá được gắn vào thông tin báo hiệu chi tiết cho tầng L1.

Cụ thể, khi thông tin báo hiệu chi tiết cho tầng L1 không được phân đoạn, thì thông tin báo hiệu chi tiết cho tầng L1 được mã hoá BCH và mã hoá LDPC để tạo ra một khung FEC, và vì vậy, cần có một khung FEC để truyền thông tin báo hiệu chi tiết cho tầng L1. Tuy nhiên, khi thông tin báo hiệu chi tiết cho tầng L1 được phân đoạn ra thành ít nhất hai đoạn, thì mỗi đoạn trong số ít nhất hai đoạn thông tin báo hiệu chi tiết cho tầng L1 được mã hoá BCH và mã hoá LDPC để tạo ra ít nhất hai khung FEC, và vì vậy, cần có ít nhất hai khung FEC để truyền thông tin báo hiệu chi tiết cho tầng L1.

Do đó, bộ phận phân đoạn 311 có thể tính số lượng $N_{L1D\_FECFRAME}$ khung FEC của thông tin báo hiệu chi tiết cho tầng L1 dựa vào biểu thức 17 dưới đây. Điều này có nghĩa là, số lượng $N_{L1D\_FECFRAME}$ khung FEC của thông tin báo hiệu chi tiết cho tầng L1 có thể được xác định dựa vào biểu thức 17 dưới đây:

$$N_{L1D\_FECFRAME} = \left\lceil \frac{K_{L1D\_ex\_pad}}{K_{seg}} \right\rceil \quad (17)$$

Trong biểu thức 17 nêu trên, $\lceil x \rceil$ là số nguyên nhỏ nhất bằng hoặc lớn hơn x.

Ngoài ra, trong biểu thức 17 nêu trên, $K_{L1D\_ex\_pad}$ là độ dài của thông tin báo hiệu chi tiết cho tầng L1 không kể L1 bit đệm như được thể hiện trên Fig.11, và có thể được xác định theo giá trị của trường L1B_L1_Detail_size_bits có trong thông tin báo hiệu cơ bản cho tầng L1.

Ngoài ra, K_{seg} là giá trị ngưỡng để phân đoạn, được xác định dựa vào số lượng K_{ldpc} bit thông tin được nhập vào bộ mã hoá LDPC 315, tức là các bit thông tin LDPC. Ngoài ra, K_{seg} có thể được xác định dựa vào số lượng bit kiểm tra chẵn lẻ BCH của mã BCH và giá trị bội số của 360.

K_{seg} được xác định sao cho, sau khi thông tin báo hiệu chi tiết cho tầng L1 được phân đoạn, số lượng K_{sig} bit thông tin trong khối mã hoá được coi là bằng hoặc nhỏ hơn $K_{ldpc} - M_{outer}$. Cụ thể, khi thông tin báo hiệu chi tiết cho tầng L1 được phân đoạn dựa vào K_{seg}, vì độ dài của đoạn thông tin báo hiệu chi tiết cho tầng L1 không vượt quá K_{seg}, nên

độ dài của đoạn thông tin báo hiệu chi tiết cho tầng L1 được coi là bằng hoặc nhỏ hơn $K_{ldpc} - M_{outer}$ khi K_{seg} được thiết lập như được thể hiện trong bảng 7 dưới đây.

Trong đó, M_{outer} và K_{ldpc} được xác định trong bảng 8 và bảng 9 dưới đây. Với khả năng bảo vệ phù hợp, giá trị K_{seg} cho thông tin báo hiệu chi tiết cho tầng L1 theo chế độ 1 có thể được đặt bằng $K_{ldpc} - M_{outer} - 720$.

K_{seg} cho thông tin báo hiệu chi tiết cho tầng L1 theo mỗi chế độ có thể được xác định như trong bảng 7 dưới đây. Trong trường hợp như vậy, bộ phận phân đoạn 311 có thể xác định K_{seg} theo chế độ tương ứng như được thể hiện trong bảng 7 dưới đây.

Bảng 7

Thông tin báo hiệu chi tiết cho tầng L1	K_{seg}
Chế độ 1	2352
Chế độ 2	3072
Chế độ 3	6312
Chế độ 4	
Chế độ 5	
Chế độ 6	
Chế độ 7	

Như được thể hiện trên Fig.11, toàn bộ thông tin báo hiệu chi tiết cho tầng L1 có thể gồm có các bit thông tin báo hiệu chi tiết cho tầng L1 và các bit đệm cho tầng L1.

Trong trường hợp như vậy, bộ phận phân đoạn 311 có thể tính độ dài của trường L1_PADDING trong thông tin báo hiệu chi tiết cho tầng L1, tức là số lượng K_{L1D_PAD} bit đệm cho tầng L1 dựa vào biểu thức 18 dưới đây.

Tuy nhiên, phương pháp tính K_{L1D_PAD} dựa vào biểu thức 18 dưới đây chỉ là một ví dụ. Điều này có nghĩa là, bộ phận phân đoạn 311 có thể tính độ dài của trường L1_PADDING trong thông tin báo hiệu chi tiết cho tầng L1, tức là số lượng K_{L1D_PAD} bit đệm cho tầng L1 dựa vào các giá trị $K_{L1D\_ex\_pad}$ và $N_{L1D\_FECFRAME}$. Ví dụ, giá trị K_{L1D_PAD} có thể thu được dựa vào biểu thức 18 dưới đây. Điều này có nghĩa là, biểu thức 13 dưới đây chỉ là một ví dụ về phương pháp thu được giá trị K_{L1D_PAD}, và do đó, có thể áp dụng phương pháp khác dựa vào các giá trị $K_{L1D\_ex\_pad}$ và $N_{L1D\_FECFRAME}$ để đạt được kết quả

tương đương.

$$K_{L1D\_PAD} = \left\lceil \frac{K_{L1D\_ex\_pad}}{(N_{L1D\_FECFRAME} \times 8)} \right\rceil \times 8 \times N_{L1D\_FECFRAME} - K_{L1D\_ex\_pad} \quad (18)$$

Ngoài ra, bộ phận phân đoạn 311 có thể nạp K_{L1D_PAD} bit không (tức là các bit có giá trị 0) vào trường L1_PADDING. Vì vậy, như được thể hiện trên Fig.11, K_{L1D_PAD} bit không có thể được nạp vào trường L1_PADDING.

Như vậy, sau khi tính độ dài của trường L1_PADDING và các bit không được đệm vào theo độ dài đã tính của trường L1_PADDING, thông tin báo hiệu chi tiết cho tầng L1 có thể được phân đoạn ra thành nhiều khối có cùng một số lượng bit khi thông tin báo hiệu chi tiết cho tầng L1 được phân đoạn.

Tiếp theo, bộ phận phân đoạn 311 có thể tính độ dài cuối cùng K_{L1D} của toàn bộ thông tin báo hiệu chi tiết cho tầng L1 có chứa các bit không được đệm vào dựa vào biểu thức 19 dưới đây:

$$K_{L1D} = K_{L1D\_ex\_pad} + K_{L1D\_PAD} \quad (19)$$

Ngoài ra, bộ phận phân đoạn 311 có thể tính số lượng K_{sig} bit thông tin trong mỗi khối trong số $N_{L1D\_FECFRAME}$ khối dựa vào biểu thức 20 dưới đây:

$$K_{sig} = \frac{K_{L1D}}{N_{L1D\_FECFRAME}} \quad (20)$$

Tiếp theo, bộ phận phân đoạn 311 có thể phân đoạn thông tin báo hiệu chi tiết cho tầng L1 bằng cách lấy số lượng bit thông tin báo hiệu chi tiết cho tầng L1 chia cho số lượng K_{sig} bit.

Cụ thể, như được thể hiện trên Fig.11, khi $N_{L1D\_FECFRAME}$ lớn hơn 1, thì bộ phận phân đoạn 311 có thể lấy số lượng bit thông tin báo hiệu chi tiết cho tầng L1 chia cho số lượng K_{sig} bit để phân đoạn thông tin báo hiệu chi tiết cho tầng L1 ra thành $N_{L1D\_FECFRAME}$ khối.

Vì vậy, thông tin báo hiệu chi tiết cho tầng L1 có thể được phân đoạn ra thành $N_{L1D\_FECFRAME}$ khối, và số lượng bit thông tin báo hiệu chi tiết cho tầng L1 trong mỗi khối trong số $N_{L1D\_FECFRAME}$ khối có thể bằng K_{sig}. Ngoài ra, mỗi đoạn thông tin báo hiệu chi

tiết cho tầng L1 được mã hoá. Theo kết quả mã hoá, khối mã hoá, tức là khung FEC, được tạo ra sao cho số lượng bit thông tin báo hiệu chi tiết cho tầng L1 trong mỗi khối trong số $N_{L1D\_FECFRAME}$ khối mã hoá có thể bằng K_{sig}.

Tuy nhiên, khi thông tin báo hiệu chi tiết cho tầng L1 không được phân đoạn, thì $K_{sig} = K_{L1D\_ex\_pad}$.

Các khối thông tin báo hiệu chi tiết cho tầng L1 đã phân đoạn có thể được mã hoá theo quy trình như sau.

Cụ thể, tất cả các bit của mỗi khối trong số các khối thông tin báo hiệu chi tiết cho tầng L1 có độ dài K_{sig} có thể được xáo trộn. Tiếp theo, mỗi khối trong số các khối thông tin báo hiệu chi tiết cho tầng L1 có thể được mã hoá bằng dãy ghép nối của mã ngoài BCH và mã trong LDPC.

Cụ thể, mỗi khối trong số các khối thông tin báo hiệu chi tiết cho tầng L1 được mã hoá BCH, và do đó M_{outer} (= 168) bit kiểm tra chẵn lẻ BCH có thể được gắn vào K_{sig} bit thông tin báo hiệu chi tiết cho tầng L1 trong mỗi khối, và sau đó, dãy ghép nối gồm có các bit thông tin báo hiệu chi tiết cho tầng L1 và các bit kiểm tra chẵn lẻ BCH của mỗi khối có thể được mã hoá bằng mã 16K LDPC đã được rút gọn và đục lỗ. Trong đó, mã BCH và mã LDPC sẽ được mô tả chi tiết dưới đây. Tuy nhiên, các phương án làm ví dụ thực hiện sáng chế chỉ mô tả trường hợp trong đó $M_{outer} = 168$, nhưng cần phải hiểu rõ là M_{outer} có thể thay đổi với giá trị thích hợp tuỳ thuộc vào các yêu cầu của hệ thống.

Các bộ phận xáo trộn 211 và 312 lần lượt xáo trộn thông tin báo hiệu cơ bản cho tầng L1 và thông tin báo hiệu chi tiết cho tầng L1. Cụ thể, các bộ phận xáo trộn 211 và 312 có thể lần lượt ngẫu nhiên hoá thông tin báo hiệu cơ bản cho tầng L1 và thông tin báo hiệu chi tiết cho tầng L1, và xuất ra thông tin báo hiệu cơ bản cho tầng L1 và thông tin báo hiệu chi tiết cho tầng L1 đã được ngẫu nhiên hoá để cung cấp cho các bộ mã hoá BCH 212 và 313 tương ứng.

Trong trường hợp như vậy, các bộ phận xáo trộn 211 và 312 có thể xáo trộn các bit thông tin theo đơn vị là K_{sig}.

Điều này có nghĩa là, vì số lượng bit thông tin báo hiệu cơ bản cho tầng L1 được truyền đến thiết bị thu tín hiệu 200 trong mỗi khung bằng 200, nên bộ phận xáo trộn 211

có thể xáo trộn các bit thông tin báo hiệu cơ bản cho tầng L1 theo đơn vị là K_{sig} (= 200).

Vì số lượng bit thông tin báo hiệu cơ bản cho tầng L1 được truyền đến thiết bị thu tín hiệu 200 trong mỗi khung thay đổi, cho nên trong một số trường hợp, thông tin báo hiệu chi tiết cho tầng L1 có thể được phân đoạn bằng bộ phận phân đoạn 311. Ngoài ra, bộ phận phân đoạn 311 có thể xuất ra thông tin báo hiệu chi tiết cho tầng L1 gồm có K_{sig} bit hoặc các khối thông tin báo hiệu chi tiết cho tầng L1 đã phân đoạn để cung cấp cho bộ phận xáo trộn 312. Nhờ đó, bộ phận xáo trộn 312 có thể xáo trộn các bit thông tin báo hiệu chi tiết cho tầng L1 theo đơn vị là K_{sig} được xuất ra từ bộ phận phân đoạn 311.

Các bộ mã hoá BCH 212 và 313 thực hiện bước mã hoá BCH trên thông tin báo hiệu cơ bản cho tầng L1 và thông tin báo hiệu chi tiết cho tầng L1 để tạo ra các bit kiểm tra chẵn lẻ BCH.

Cụ thể, các bộ mã hoá BCH 212 và 313 có thể lần lượt thực hiện bước mã hoá BCH trên thông tin báo hiệu cơ bản cho tầng L1 và thông tin báo hiệu chi tiết cho tầng L1 được xuất ra từ các bộ phận xáo trộn 211 và 313, để tạo ra các bit kiểm tra chẵn lẻ BCH, và xuất ra các bit mã hoá BCH trong đó các bit kiểm tra chẵn lẻ BCH được gắn vào mỗi thông tin báo hiệu cơ bản cho tầng L1 và thông tin báo hiệu chi tiết cho tầng L1 để cung cấp cho các bộ đệm bit không 213 và 314 tương ứng.

Ví dụ, các bộ mã hoá BCH 212 và 313 có thể lần lượt thực hiện bước mã hoá BCH trên K_{sig} bit đầu vào để tạo ra M_{outer} (tức là $K_{sig} = K_{payload}$) bit kiểm tra chẵn lẻ BCH và xuất ra các bit mã hoá BCH gồm có N_{outer} ($= K_{sig} + M_{outer}$) bit để cung cấp cho các bộ đệm bit không 213 và 314 tương ứng.

Các thông số để mã hoá BCH có thể được xác định trong bảng 8 dưới đây.

Bảng 8

Kiểu mã hoá FEC cho thông tin báo hiệu		$K_{sig} = K_{payload}$	M_{outer}	$N_{outer} = K_{sig} + M_{outer}$
Thông tin báo hiệu cơ bản cho tầng L1	Chế độ 1	200	168	368
	Chế độ 2			
	Chế độ 3			
	Chế độ 4			
	Chế độ 5			
	Chế độ 6			
	Chế độ 7			
Thông tin báo hiệu chi tiết cho tầng L1	Chế độ 1	400 ~ 2352		568 ~ 2520
	Chế độ 2	400 ~ 3072		568 ~ 3240
	Chế độ 3	400 ~ 6312		568 ~ 6480
	Chế độ 4			
	Chế độ 5			
	Chế độ 6			
	Chế độ 7			

Dựa vào Fig.9 và Fig.10, cần phải hiểu rằng các bộ mã hoá LDPC 214 và 315 có thể lần lượt đặt ở sau các bộ mã hoá BCH 212 và 313.

Vì vậy, thông tin báo hiệu cơ bản cho tầng L1 và thông tin báo hiệu chi tiết cho tầng L1 có thể được bảo vệ bằng dãy ghép nối của mã ngoài BCH và mã trong LDPC.

Cụ thể, thông tin báo hiệu cơ bản cho tầng L1 và thông tin báo hiệu chi tiết cho tầng L1 được mã hoá BCH, và do đó, các bit kiểm tra chẵn lẻ BCH của thông tin báo hiệu cơ bản cho tầng L1 được gắn vào thông tin báo hiệu cơ bản cho tầng L1 và các bit kiểm tra chẵn lẻ BCH của thông tin báo hiệu chi tiết cho tầng L1 được gắn vào thông tin báo hiệu chi tiết cho tầng L1. Ngoài ra, các bit thông tin báo hiệu cơ bản cho tầng L1 và các bit kiểm tra chẵn lẻ BCH đã được ghép nối được bảo vệ thêm bằng mã LDPC, và các bit thông tin báo hiệu chi tiết cho tầng L1 và các bit kiểm tra chẵn lẻ BCH đã được ghép nối có thể được bảo vệ thêm bằng mã LDPC.

Theo sáng chế, giả sử rằng mã LDPC là mã 16K LDPC, và do đó, trong các bộ mã

hoá BCH 212 và 213, mã BCH có hệ thống với $N_{inner} = 16200$ (tức là độ dài của mã 16K LDPC bằng 16200 và từ mã LDPC được tạo ra bằng cách mã hoá LDPC có thể gồm có 16200 bit) có thể được sử dụng để thực hiện thao tác mã hoá ngoài trên thông tin báo hiệu cơ bản cho tầng L1 và thông tin báo hiệu chi tiết cho tầng L1.

Các bộ đệm bit không 213 và 314 đệm các bit không. Cụ thể, đối với mã LDPC, cần có một số lượng định trước của các bit thông tin LDPC được xác định theo tỷ lệ mã và độ dài mã, và do đó, các bộ đệm bit không 213 và 314 có thể lần lượt đệm các bit không để mã hoá LDPC nhằm tạo ra số lượng định trước của các bit thông tin LDPC gồm có các bit mã hoá BCH và các bit không, và xuất ra các bit đã tạo ra để cung cấp cho các bộ mã hoá LDPC 214 và 315 tương ứng, khi số lượng bit mã hoá BCH nhỏ hơn số lượng bit thông tin LDPC. Ngoài ra, khi số lượng bit mã hoá BCH bằng số lượng bit thông tin LDPC, thì các bit không không được đệm vào.

Theo sáng chế, các bit không được đệm vào bằng các bộ đệm bit không 213 và 314 được đệm vào để mã hoá LDPC, và vì vậy, các bit không được đệm vào không được truyền đến thiết bị thu tín hiệu 200 nhờ thủ tục rút gọn.

Ví dụ, khi số lượng bit thông tin LDPC của mã 16K LDPC bằng K_{ldpc}, để tạo ra K_{ldpc} bit thông tin LDPC, thì các bit không sẽ được đệm vào một số bit thông tin LDPC.

Cụ thể, khi số lượng bit mã hoá BCH bằng N_{outer}, số lượng bit thông tin LDPC của mã 16K LDPC bằng K_{ldpc}, và $N_{outer} < K_{ldpc}$, thì các bộ đệm bit không 213 và 314 có thể đệm $K_{ldpc} - N_{outer}$ bit không vào một số bit thông tin LDPC, và sử dụng N_{outer} bit mã hoá BCH, dưới dạng là phần còn lại của các bit thông tin LDPC, để tạo ra các bit thông tin LDPC gồm có K_{ldpc} bit. Tuy nhiên, khi $N_{outer} = K_{ldpc}$, thì các bit không sẽ không được đệm vào.

Nhằm mục đích này, các bộ đệm bit không 213 và 314 có thể phân chia các bit thông tin LDPC ra thành nhiều nhóm bit.

Ví dụ, các bộ đệm bit không 213 và 314 có thể phân chia K_{ldpc} bit thông tin LDPC ($i_0, i_1, \ldots, i_{K_{ldpc}-1}$) ra thành N_{info_group} ($= K_{ldpc}/360$) nhóm bit dựa vào biểu thức 21 hoặc biểu thức 22 dưới đây. Điều này có nghĩa là, các bộ đệm bit không 213 và 314 có thể phân chia các bit thông tin LDPC ra thành các nhóm bit sao cho số lượng bit có trong

mỗi nhóm bit bằng 360.

$$Z_j = \left\{ i_k \middle| j = \left\lfloor \frac{k}{360} \right\rfloor, 0 \le k < K_{ldpc} \right\} \quad \text{với } 0 \le j < N_{info\_group} \tag{21}$$

$$Z_j = \left\{ i_k \middle| 360 \times j \le k < 360 \times (j+1) \right\} \quad \text{với } 0 \le j < N_{info\_group} \tag{22}$$

Trong biểu thức 21 và biểu thức 22 nêu trên, Z_j là nhóm bit thứ j.

Các thông số N_{outer}, K_{ldpc} và N_{info_group} của các bit không được đệm vào trong thông tin báo hiệu cơ bản cho tầng L1 và thông tin báo hiệu chi tiết cho tầng L1 có thể được xác định như được thể hiện trong bảng 9 dưới đây. Trong trường hợp như vậy, các bộ đệm bit không 213 và 314 có thể xác định các thông số cho các bit không được đệm vào theo chế độ tương ứng như được thể hiện trong bảng 9 dưới đây.

Bảng 9

Kiểu mã hoá FEC cho thông tin báo hiệu	N_{outer}	K_{ldpc}	N_{info_group}
Thông tin báo hiệu cơ bản cho tầng L1 (tất cả các chế độ)	368	3240	9
Thông tin báo hiệu chi tiết cho tầng L1 theo chế độ 1	568 ~ 2520		
Thông tin báo hiệu chi tiết cho tầng L1 theo chế độ 2	568 ~ 3240		
Thông tin báo hiệu chi tiết cho tầng L1 theo chế độ 3	568 ~ 6480	6480	18
Thông tin báo hiệu chi tiết cho tầng L1 theo chế độ 4			
Thông tin báo hiệu chi tiết cho tầng L1 theo chế độ 5			
Thông tin báo hiệu chi tiết cho tầng L1 theo chế độ 6			
Thông tin báo hiệu chi tiết cho tầng L1 theo chế độ 7			

Ngoài ra, với $0 \le j < N_{info\_group}$, mỗi nhóm bit Z_j như được thể hiện Fig.12 có thể có 360 bit.

Cụ thể, Fig.12 thể hiện định dạng dữ liệu sau khi mỗi thông tin báo hiệu cơ bản cho tầng L1 và thông tin báo hiệu chi tiết cho tầng L1 được mã hoá LDPC. Trên Fig.12, mã LDPC FEC được gắn vào K_{ldpc} bit thông tin LDPC biểu thị các bit chẵn lẻ LDPC được tạo ra bằng cách mã hoá LDPC.

Dựa vào Fig.12, K_{ldpc} bit thông tin LDPC được phân chia ra thành N_{info_group} nhóm bit và mỗi nhóm bit có thể có 360 bit.

Khi số lượng N_{outer} (= K_{sig}+M_{outer}) bit mã hoá BCH của thông tin báo hiệu cơ bản cho tầng L1 và thông tin báo hiệu chi tiết cho tầng L1 nhỏ hơn K_{ldpc}, tức là N_{outer} (= K_{sig}+M_{outer}) < K_{ldpc}, để mã hoá LDPC, thì K_{ldpc} bit thông tin LDPC có thể được nạp N_{outer} bit mã hoá BCH và $K_{ldpc} - N_{outer}$ bit không sẽ được đệm vào. Trong trường hợp như vậy, các bit không được đệm vào sẽ không được truyền đến thiết bị thu tín hiệu 200.

Thủ tục rút gọn được thực hiện bằng các bộ đệm bit không 213 và 314 sẽ được mô tả chi tiết dưới đây.

Các bộ đệm bit không 213 và 314 có thể tính số lượng bit không được đệm vào. Điều này có nghĩa là, để có đủ số lượng bit cần thiết để mã hoá LDPC, thì các bộ đệm bit không 213 và 314 có thể tính số lượng bit không được đệm vào.

Cụ thể, các bộ đệm bit không 213 và 314 có thể tính hiệu số giữa số lượng bit thông tin LDPC và số lượng bit mã hoá BCH để lấy kết quả đó làm số lượng bit không được đệm vào. Điều này có nghĩa là, với N_{outer} cho trước, các bộ đệm bit không 213 và 314 có thể tính số lượng bit không được đệm vào dưới dạng là $K_{ldpc} - N_{outer}$.

Ngoài ra, các bộ đệm bit không 213 và 314 có thể tính số lượng nhóm bit mà trong đó tất cả các bit đều là các bit được đệm vào. Điều này có nghĩa là, các bộ đệm bit không 213 và 314 có thể tính số lượng nhóm bit mà trong đó tất cả các bit đều là các bit không được đệm vào.

Cụ thể, các bộ đệm bit không 213 và 314 có thể tính số lượng N_{pad} nhóm bit mà trong đó tất cả các bit đều là các bit được đệm vào dựa vào biểu thức 23 hoặc biểu thức 24 dưới đây:

$$N_{pad} = \left\lfloor \frac{K_{ldpc} - N_{outer}}{360} \right\rfloor \quad (23)$$

$$N_{pad} = \left\lfloor \frac{\left(K_{ldpc} - M_{outer}\right) - K_{sig}}{360} \right\rfloor \quad (24)$$

Tiếp theo, các bộ đệm bit không 213 và 314 có thể xác định các nhóm bit mà trong đó có các bit không được đệm vào trong số nhiều nhóm bit dựa vào mẫu rút gọn, và có thể đệm các bit không vào tất cả các bit trong một số nhóm bit đã xác định và một số bit trong các nhóm bit còn lại.

Trong trường hợp như vậy, mẫu rút gọn của nhóm bit đệm có thể được xác định như được thể hiện trong bảng 10 dưới đây. Trong trường hợp như vậy, các bộ đệm bit không 213 và 314 có thể xác định mẫu rút gọn theo chế độ tương ứng như được thể hiện trong bảng 10 dưới đây.

Bảng 10

Kiểu mã hoá FEC cho thông tin báo hiệu	N_{info_group}	$\pi_s(j)$ $(0 \le j < N_{info\_group})$								
		$\pi_s(0)$	$\pi_s(1)$	$\pi_s(2)$	$\pi_s(3)$	$\pi_s(4)$	$\pi_s(5)$	$\pi_s(6)$	$\pi_s(7)$	$\pi_s(8)$
		$\pi_s(9)$	$\pi_s(10)$	$\pi_s(11)$	$\pi_s(12)$	$\pi_s(13)$	$\pi_s(14)$	$\pi_s(15)$	$\pi_s(16)$	$\pi_s(17)$
Thông tin báo hiệu cơ bản cho tầng L1 (tất cả các chế độ)	9	4	1	5	2	8	6	0	7	3
		-	-	-	-	-	-	-	-	-
Thông tin báo hiệu chi tiết cho tầng L1 theo chế độ 1		7	8	5	4	1	2	6	3	0
		-	-	-	-	-	-	-	-	-
Thông tin báo hiệu chi tiết cho tầng L1 theo chế độ 2		6	1	7	8	0	2	4	3	5
		-	-	-	-	-	-	-	-	-
Thông tin báo hiệu chi tiết cho tầng L1 theo chế độ 3	18	0	12	15	13	2	5	7	9	8
		6	16	10	14	1	17	11	4	3
Thông tin báo hiệu chi tiết cho tầng L1 theo chế độ 4		0	15	5	16	17	1	6	13	11
		4	7	12	8	14	2	3	9	10
Thông tin báo hiệu chi tiết cho tầng L1 theo chế độ 5		2	4	5	17	9	7	1	6	15
		8	10	14	16	0	11	13	12	3
Thông tin báo hiệu chi tiết cho tầng L1 theo chế độ 6		0	15	5	16	17	1	6	13	11
		4	7	12	8	14	2	3	9	10
Thông tin báo hiệu chi tiết cho tầng L1 theo chế độ 7		15	7	8	11	5	10	16	4	12
		3	0	6	9	1	14	17	2	13

Trong đó, $\pi_s(j)$ là chỉ số của nhóm bit được đệm vào thứ j. Điều này có nghĩa là, giá trị $\pi_s(j)$ biểu thị thứ tự của nhóm bit thứ j theo mẫu rút gọn. Ngoài ra, N_{info_group} là số lượng nhóm bit tạo nên các bit thông tin LDPC.

Cụ thể, các bộ đệm bit không 213 và 314 có thể xác định các nhóm bit $Z_{\pi_s(0)}$, $Z_{\pi_s(1)}$, …, $Z_{\pi_s(N_{pad}-1)}$ là các nhóm bit mà trong đó tất cả các bit đều là các bit không được đệm vào dựa vào mẫu rút gọn, và đệm các bit không vào tất cả các bit ở trong các nhóm bit đó. Điều này có nghĩa là, các bộ đệm bit không 213 và 314 có thể đệm các bit không vào tất cả các bit của nhóm bit thứ $\pi_s(0)$, nhóm bit thứ $\pi_s(1)$, …, nhóm bit thứ $\pi_s(N_{pad}-1)$ trong số các nhóm bit dựa vào mẫu rút gọn.

Như vậy, khi N_{pad} khác 0, thì các bộ đệm bit không 213 và 314 có thể xác định danh sách gồm N_{pad} nhóm bit, tức là các nhóm bit $Z_{\pi_s(0)}$, $Z_{\pi_s(1)}$, ..., $Z_{\pi_s(N_{pad}-1)}$, dựa vào bảng 10 nêu trên, và đệm các bit không vào tất cả các bit trong nhóm bit đã xác định.

Tuy nhiên, khi N_{pad} bằng 0, thì thủ tục nêu trên có thể không được thực hiện.

Vì số lượng của tất cả các bit không được đệm vào bằng $K_{ldpc} - N_{outer}$ và số lượng bit không được đệm vào N_{pad} nhóm bit bằng $360 \times N_{pad}$, cho nên các bộ đệm bit không 213 và 314 có thể đệm thêm các bit không vào $K_{ldpc} - N_{outer} - 360 \times N_{pad}$ bit thông tin LDPC.

Trong trường hợp như vậy, các bộ đệm bit không 213 và 314 có thể xác định nhóm bit mà trong đó có các bit không được đệm thêm vào dựa vào mẫu rút gọn, và có thể đệm thêm các bit không từ phần đầu của nhóm bit đã xác định.

Cụ thể, các bộ đệm bit không 213 và 314 có thể xác định nhóm bit $Z_{\pi_s(N_{pad})}$ là nhóm bit mà trong đó có các bit không được đệm thêm vào dựa vào mẫu rút gọn, và có thể đệm thêm các bit không vào $K_{ldpc} - N_{outer} - 360 \times N_{pad}$ bit nằm ở phần đầu của nhóm bit $Z_{\pi_s(N_{pad})}$. Vì vậy, $K_{ldpc} - N_{outer} - 360 \times N_{pad}$ bit không có thể được đệm vào kể từ bit đầu tiên của nhóm bit thứ $\pi_s(N_{pad})$.

Nhờ đó, với nhóm bit $Z_{\pi_s(N_{pad})}$, các bit không có thể được đệm thêm vào $K_{ldpc} - N_{bch} - 360 \times N_{pad}$ bit nằm ở phần đầu của nhóm bit $Z_{\pi_s(N_{pad})}$.

Ví dụ nêu trên mô tả rằng $K_{ldpc} - N_{outer} - 360 \times N_{pad}$ bit không được đệm vào kể từ bit đầu tiên của nhóm bit $Z_{\pi_s(N_{pad})}$, nhưng đó chỉ là một ví dụ. Vì vậy, vị trí mà các bit không được đệm vào ở đó trong nhóm bit $Z_{\pi_s(N_{pad})}$ có thể thay đổi. Ví dụ, $K_{ldpc} - N_{outer} - 360 \times N_{pad}$ bit không có thể được đệm vào phần giữa hoặc phần cuối của nhóm bit $Z_{\pi_s(N_{pad})}$ hoặc cũng có thể được đệm vào ở một vị trí bất kỳ trong nhóm bit $Z_{\pi_s(N_{pad})}$.

Tiếp theo, các bộ đệm bit không 213 và 314 có thể ánh xạ các bit mã hoá BCH lên các vị trí mà các bit không không được đệm vào ở đó để tạo nên các bit thông tin LDPC.

Vì vậy, N_{outer} bit mã hoá BCH được ánh xạ tuần tự lên các vị trí bit mà các bit

không trong số K_{ldpc} bit thông tin LDPC ($i_0, i_1, \ldots, i_{K_{ldpc}-1}$) không được đệm vào ở đó, và vì vậy, K_{ldpc} bit thông tin LDPC có thể gồm có N_{outer} bit mã hoá BCH và $K_{ldpc} - N_{outer}$ bit thông tin.

Các bit không được đệm vào không được truyền đến thiết bị thu tín hiệu 200. Như vậy, thủ tục đệm bit không hay quy trình đệm bit không và sau đó không truyền các bit không được đệm vào đến thiết bị thu tín hiệu 200 có thể được gọi là thủ tục rút gọn.

Các bộ mã hoá LDPC 214 và 315 lần lượt thực hiện bước mã hoá LDPC trên thông tin báo hiệu cơ bản cho tầng L1 và thông tin báo hiệu chi tiết cho tầng L1.

Cụ thể, các bộ mã hoá LDPC 214 và 315 có thể lần lượt thực hiện bước mã hoá LDPC trên các bit thông tin LDPC được xuất ra từ các bộ đệm bit không 213 và 314 để tạo ra các bit chẵn lẻ LDPC, và xuất ra từ mã LDPC gồm có các bit thông tin LDPC và các bit chẵn lẻ LDPC để cung cấp cho các bộ phận hoán vị chẵn lẻ 215 và 316 tương ứng.

Điều này có nghĩa là, K_{ldpc} bit được xuất ra từ bộ đệm bit không 213 có thể có K_{sig} bit thông tin báo hiệu cơ bản cho tầng L1, M_{outer} ($= N_{outer} - K_{sig}$) bit kiểm tra chẵn lẻ BCH, và ($K_{ldpc} - N_{outer}$) bit không được đệm vào, các bit này có thể tạo nên K_{ldpc} bit thông tin LDPC $i = (i_0, i_1, \ldots, i_{K_{ldpc}-1})$ cho bộ mã hoá LDPC 214.

Ngoài ra, K_{ldpc} bit được xuất ra từ bộ đệm bit không 314 có thể có K_{sig} bit thông tin báo hiệu chi tiết cho tầng L1, M_{outer} ($= N_{outer} - K_{sig}$) bit kiểm tra chẵn lẻ BCH, và ($K_{ldpc} - N_{outer}$) bit không được đệm vào, các bit này có thể tạo nên K_{ldpc} bit thông tin LDPC $i = (i_0, i_1, \ldots, i_{K_{ldpc}-1})$ cho bộ mã hoá LDPC 315.

Trong trường hợp như vậy, các bộ mã hoá LDPC 214 và 315 có thể thực hiện một cách có hệ thống bước mã hoá LDPC trên K_{ldpc} bit thông tin LDPC để tạo ra từ mã LDPC $\Lambda = (c_0, c_1, \ldots, c_{N_{inner}-1}) = (i_0, i_1, \ldots, i_{K_{ldpc}-1}, p_0, p_1, \ldots, p_{N_{inner}-K_{ldpc}-1})$ gồm có N_{inner} bit.

Đối với thông tin báo hiệu cơ bản cho tầng L1 theo các chế độ và thông tin báo hiệu chi tiết cho tầng L1 theo chế độ 1 và chế độ 2, các bộ mã hoá LDPC 214 và 315 có thể mã hoá thông tin báo hiệu cơ bản cho tầng L1 và thông tin báo hiệu chi tiết cho tầng L1 ở tỷ lệ mã bằng 3/15 để tạo ra 16200 bit từ mã LDPC. Trong trường hợp như vậy, các bộ mã hoá LDPC 214 và 315 có thể thực hiện bước mã hoá LDPC dựa vào bảng 1 nêu trên.

Ngoài ra, đối với thông tin báo hiệu chi tiết cho tầng L1 theo các chế độ 3, 4, 5, 6 và 7, bộ mã hoá LDPC 315 có thể mã hoá thông tin báo hiệu chi tiết cho tầng L1 ở tỷ lệ mã bằng 6/15 để tạo ra 16200 bit từ mã LDPC. Trong trường hợp như vậy, bộ mã hoá LDPC 315 có thể thực hiện bước mã hoá LDPC dựa vào bảng 3 nêu trên.

Tỷ lệ mã và độ dài mã của thông tin báo hiệu cơ bản cho tầng L1 và thông tin báo hiệu chi tiết cho tầng L1 được xác định như được thể hiện trong bảng 6 nêu trên, và số lượng bit thông tin LDPC được xác định như được thể hiện trong bảng 9 nêu trên.

Các bộ phận hoán vị chẵn lẻ 215 và 316 thực hiện bước hoán vị chẵn lẻ. Điều này có nghĩa là, các bộ phận hoán vị chẵn lẻ 215 và 316 có thể thực hiện bước hoán vị chỉ trên các bit chẵn lẻ LDPC trong số các bit thông tin LDPC và các bit chẵn lẻ LDPC.

Cụ thể, các bộ phận hoán vị chẵn lẻ 215 và 316 lần lượt có thể thực hiện bước hoán vị chỉ trên các bit chẵn lẻ LDPC trong các từ mã LDPC được xuất ra từ các bộ mã hoá LDPC 214 và 315, và xuất ra các từ mã LDPC đã được hoán vị chẵn lẻ để cung cấp cho các bộ phận lặp 216 và 317 tương ứng. Trong đó, bộ phận hoán vị chẵn lẻ 316 có thể xuất ra từ mã LDPC đã được hoán vị chẵn lẻ để cung cấp cho bộ tạo bit chẵn lẻ bổ sung 319. Trong trường hợp như vậy, bộ tạo bit chẵn lẻ bổ sung 319 có thể sử dụng từ mã LDPC đã được hoán vị chẵn lẻ được xuất ra từ bộ phận hoán vị chẵn lẻ 316 để tạo ra các bit chẵn lẻ bổ sung.

Nhằm mục đích này, các bộ phận hoán vị chẵn lẻ 215 và 316 có thể có bộ phận đan xen chẵn lẻ (không được thể hiện trên hình vẽ) và bộ phận đan xen theo đơn vị nhóm (không được thể hiện trên hình vẽ).

Trước hết, bộ phận đan xen có thể chỉ đan xen các bit chẵn lẻ LDPC trong số các bit thông tin LDPC và các bit chẵn lẻ LDPC tạo nên từ mã LDPC. Tuy nhiên, bộ phận đan xen có thể thực hiện bước đan xen chẵn lẻ chỉ trên thông tin báo hiệu chi tiết cho tầng L1 theo các chế độ 3, 4, 5, 6 và 7. Điều này có nghĩa là, vì thông tin báo hiệu cơ bản cho tầng L1 theo các chế độ và thông tin báo hiệu chi tiết cho tầng L1 theo chế độ 1 và chế độ 2 có bước đan xen chẵn lẻ như là một phần trong quy trình mã hoá LDPC, cho nên đối với thông tin báo hiệu cơ bản cho tầng L1 theo các chế độ và thông tin báo hiệu chi tiết cho tầng L1 theo chế độ 1 và chế độ 2, bộ phận đan xen có thể không thực hiện bước đan xen chẵn lẻ.

Ở chế độ thực hiện bước đan xen chẵn lẻ, bộ phận đan xen có thể đan xen các bit chẵn lẻ LDPC dựa vào biểu thức 25 dưới đây:

$u_i = c_i$ với $0 \le i < K_{ldpc}$ (các bit thông tin không được đan xen)

$$u_{K_{ldpc}+360t+s} = c_{K_{ldpc}+27s+t} \quad \text{với } 0 \le s < 360, 0 \le t < 27 \tag{25}$$

Cụ thể, dựa vào biểu thức 25 nêu trên, từ mã LDPC (c_0, c_1, …, $c_{N_{inner}-1}$) được đan xen chẵn lẻ bằng bộ phận đan xen và tín hiệu đầu ra của bộ phận đan xen có thể được biểu diễn dưới dạng $U = (u_0, u_1, \ldots, u_{N_{inner}-1})$.

Vì thông tin báo hiệu cơ bản cho tầng L1 theo các chế độ và thông tin báo hiệu chi tiết cho tầng L1 theo chế độ 1 và chế độ 2 không sử dụng bộ phận đan xen, nên tín hiệu đầu ra $U = (u_0, u_1, \ldots, u_{N_{inner}-1})$ của bộ phận đan xen có thể được biểu diễn theo biểu thức 26 dưới đây:

$$u_i = c_i \text{ với } 0 \le i < N_{inner} \tag{26}$$

Bộ phận đan xen theo đơn vị nhóm có thể thực hiện bước đan xen theo đơn vị nhóm trên tín hiệu đầu ra của bộ phận đan xen.

Theo sáng chế, như đã nêu trên, tín hiệu đầu ra của bộ phận đan xen có thể là từ mã LDPC được đan xen chẵn lẻ bằng bộ phận đan xen hoặc có thể là từ mã LDPC không được đan xen chẵn lẻ bằng bộ phận đan xen.

Vì vậy, khi bước đan xen chẵn lẻ được thực hiện, bộ phận đan xen theo đơn vị nhóm có thể thực hiện bước đan xen theo đơn vị nhóm trên từ mã LDPC đã được đan xen chẵn lẻ, và khi bước đan xen chẵn lẻ không được thực hiện, bộ phận đan xen theo đơn vị nhóm có thể thực hiện bước đan xen theo đơn vị nhóm trên từ mã LDPC không được đan xen chẵn lẻ.

Cụ thể, bộ phận đan xen theo đơn vị nhóm có thể đan xen tín hiệu đầu ra của bộ phận đan xen theo đơn vị nhóm bit.

Nhằm mục đích này, bộ phận đan xen theo đơn vị nhóm có thể phân chia từ mã LDPC được xuất ra từ bộ phận đan xen ra thành nhiều nhóm bit. Nhờ đó, các bit chẵn lẻ

LDPC được xuất ra từ bộ phận đan xen có thể được phân chia ra thành nhiều nhóm bit.

Cụ thể, bộ phận đan xen theo đơn vị nhóm có thể phân chia các bit mã hoá LDPC (u_0, u_1, …, $u_{N_{inner}-1}$) được xuất ra từ bộ phận đan xen ra thành N_{group} (= N_{inner}/360) nhóm bit dựa vào biểu thức 27 dưới đây:

$$X_j = \left\{ u_k \middle| 360 \times j \le k < 360 \times (j+1), 0 \le k < N_{inner} \right\} \text{ với } 0 \le j < N_{group} \qquad (27)$$

Trong biểu thức 27 nêu trên, X_j là nhóm bit thứ j.

Fig.13 thể hiện ví dụ về phương pháp phân chia từ mã LDPC được xuất ra từ bộ phận đan xen ra thành nhiều nhóm bit.

Dựa vào Fig.13, từ mã LDPC được phân chia ra thành N_{group} (= N_{inner}/360) nhóm bit, và mỗi nhóm bit X_j với $0 \le j < N_{group}$ có 360 bit.

Nhờ đó, các bit thông tin LDPC gồm có K_{ldpc} bit có thể được phân chia ra thành K_{ldpc}/360 nhóm bit và các bit chẵn lẻ LDPC gồm có $N_{inner} - K_{ldpc}$ bit có thể được phân chia ra thành ($N_{inner} - K_{ldpc}$)/360 nhóm bit.

Ngoài ra, bộ phận đan xen theo đơn vị nhóm thực hiện bước đan xen theo đơn vị nhóm trên từ mã LDPC được xuất ra từ bộ phận đan xen.

Trong trường hợp như vậy, bộ phận đan xen theo đơn vị nhóm không thực hiện bước đan xen trên các bit thông tin LDPC, và có thể thực hiện bước đan xen chỉ trên các bit chẵn lẻ LDPC để làm thay đổi thứ tự của các nhóm bit tạo nên các bit chẵn lẻ LDPC.

Nhờ đó, các bit thông tin LDPC trong số các bit LDPC có thể không được đan xen bằng bộ phận đan xen theo đơn vị nhóm, mà chỉ có các bit chẵn lẻ LDPC trong số các bit LDPC có thể được đan xen bằng bộ phận đan xen theo đơn vị nhóm. Trong trường hợp như vậy, các bit chẵn lẻ LDPC có thể được đan xen theo đơn vị nhóm.

Cụ thể, bộ phận đan xen theo đơn vị nhóm có thể thực hiện bước đan xen theo đơn vị nhóm trên từ mã LDPC được xuất ra từ bộ phận đan xen dựa vào biểu thức 28 dưới đây:

$$Y_j = X_j, \qquad 0 \le j < K_{ldpc}/360$$

$$Y_j = X_{\pi_p(j)}, \qquad K_{ldpc}/360 \le j < N_{group} \tag{28}$$

Trong đó, X_j là nhóm bit thứ j trong số các nhóm bit tạo nên từ mã LDPC, tức là nhóm bit thứ j không được đan xen theo đơn vị nhóm, và Y_j là nhóm bit thứ j được đan xen theo đơn vị nhóm. Ngoài ra, $\pi_p(j)$ là thứ tự hoán vị để đan xen theo đơn vị nhóm.

Thứ tự hoán vị có thể được xác định dựa vào bảng 11 và bảng 12 dưới đây. Theo sáng chế, bảng 11 thể hiện mẫu đan xen theo đơn vị nhóm của phần bit chẵn lẻ trong thông tin báo hiệu cơ bản cho tầng L1 theo các chế độ và thông tin báo hiệu chi tiết cho tầng L1 theo chế độ 1 và chế độ 2, và bảng 12 thể hiện mẫu đan xen theo đơn vị nhóm của phần bit chẵn lẻ trong thông tin báo hiệu chi tiết cho tầng L1 theo các chế độ 3, 4, 5, 6 và 7.

Trong trường hợp như vậy, bộ phận đan xen theo đơn vị nhóm có thể xác định mẫu đan xen theo đơn vị nhóm theo chế độ tương ứng được thể hiện trong bảng 11 và bảng 12 dưới đây.

Bảng 11

Kiểu mã hoá FEC cho thông tin báo hiệu	N_{group}	Thứ tự đan xen theo đơn vị nhóm $\pi_p(j)$ $(9 \le j < 45)$											
		$\pi_p(9)$	**$\pi_p(10)$**	**$\pi_p(11)$**	**$\pi_p(12)$**	**$\pi_p(13)$**	**$\pi_p(14)$**	**$\pi_p(15)$**	**$\pi_p(16)$**	**$\pi_p(17)$**	**$\pi_p(18)$**	**$\pi_p(19)$**	**$\pi_p(20)$**
		$\pi_p(21)$	**$\pi_p(22)$**	**$\pi_p(23)$**	**$\pi_p(24)$**	**$\pi_p(25)$**	**$\pi_p(26)$**	**$\pi_p(27)$**	**$\pi_p(28)$**	**$\pi_p(29)$**	**$\pi_p(30)$**	**$\pi_p(31)$**	**$\pi_p(32)$**
		$\pi_p(33)$	**$\pi_p(34)$**	**$\pi_p(35)$**	**$\pi_p(36)$**	**$\pi_p(37)$**	**$\pi_p(38)$**	**$\pi_p(39)$**	**$\pi_p(40)$**	**$\pi_p(41)$**	**$\pi_p(42)$**	**$\pi_p(43)$**	**$\pi_p(44)$**
Thông tin báo hiệu cơ bản cho tầng L1 (tất cả các chế độ)	45	20	23	25	32	38	41	18	9	10	11	31	24
		14	15	26	40	33	19	28	34	16	39	27	30
		21	44	43	35	42	36	12	13	29	22	37	17
Thông tin báo hiệu chi tiết cho tầng L1 theo chế độ 1		16	22	27	30	37	44	20	23	25	32	38	41
		9	10	17	18	21	33	35	14	28	12	15	19
		11	24	29	34	36	13	40	43	31	26	39	42
Thông tin báo hiệu chi tiết cho tầng L1 theo chế độ 2		9	31	23	10	11	25	43	29	36	16	27	34
		26	18	37	15	13	17	35	21	20	24	44	12
		22	40	19	32	38	41	30	33	14	28	39	42

Bảng 12

Kiểu mã hoá FEC cho thông tin báo hiệu	N_{group}	Thứ tự đan xen theo đơn vị nhóm $\pi_p(j)$ ($18 \le j < 45$)													
		$\pi_p(18)$	$\pi_p(19)$	$\pi_p(20)$	$\pi_p(21)$	$\pi_p(22)$	$\pi_p(23)$	$\pi_p(24)$	$\pi_p(25)$	$\pi_p(26)$	$\pi_p(27)$	$\pi_p(28)$	$\pi_p(29)$	$\pi_p(30)$	$\pi_p(31)$
		$\pi_p(32)$	$\pi_p(33)$	$\pi_p(34)$	$\pi_p(35)$	$\pi_p(36)$	$\pi_p(37)$	$\pi_p(38)$	$\pi_p(39)$	$\pi_p(40)$	$\pi_p(41)$	$\pi_p(42)$	$\pi_p(43)$	$\pi_p(44)$	
Thông tin báo hiệu chi tiết cho tầng L1 theo chế độ 3	45	19	37	30	42	23	44	27	40	21	34	25	32	29	24
		26	35	39	20	18	43	31	36	38	22	33	28	41	
Thông tin báo hiệu chi tiết cho tầng L1 theo chế độ 4		20	35	42	39	26	23	30	18	28	37	32	27	44	43
		41	40	38	36	34	33	31	29	25	24	22	21	19	
Thông tin báo hiệu chi tiết cho tầng L1 theo chế độ 5		19	37	33	26	40	43	22	29	24	35	44	31	27	20
		21	39	25	42	34	18	32	38	23	30	28	36	41	
Thông tin báo hiệu chi tiết cho tầng L1 theo chế độ 6		20	35	42	39	26	23	30	18	28	37	32	27	44	43
		41	40	38	36	34	33	31	29	25	24	22	21	19	
Thông tin báo hiệu chi tiết cho tầng L1 theo chế độ 7		44	23	29	33	24	28	21	27	42	18	22	31	32	37
		43	30	25	35	20	34	39	36	19	41	40	26	38	

Đối với mẫu đan xen theo đơn vị nhóm trong thông tin báo hiệu chi tiết cho tầng L1 theo chế độ 2, sự hoạt động của bộ phận đan xen theo đơn vị nhóm sẽ được mô tả dưới đây để làm ví dụ.

Trong thông tin báo hiệu chi tiết cho tầng L1 theo chế độ 2, bộ mã hoá LDPC 315 thực hiện bước mã hoá LDPC trên 3240 bit thông tin LDPC ở tỷ lệ mã bằng 3/15 để tạo ra 12960 bit chẵn lẻ LDPC. Trong trường hợp như vậy, từ mã LDPC có thể gồm có 16200 bit.

Mỗi nhóm bit có 360 bit, và vì vậy từ mã LDPC gồm có 16200 bit được phân chia ra thành 45 nhóm bit.

Theo sáng chế, vì số lượng bit thông tin LDPC bằng 3240 và số lượng bit chẵn lẻ LDPC bằng 12960, nên từ nhóm bit thứ 0 đến nhóm bit thứ 8 tương ứng với các bit thông tin LDPC và từ nhóm bit thứ 9 đến nhóm bit thứ 44 tương ứng với các bit chẵn lẻ LDPC.

Trong trường hợp như vậy, bộ phận đan xen theo đơn vị nhóm không thực hiện bước đan xen trên các nhóm bit tạo nên các bit thông tin LDPC, tức là từ nhóm bit thứ 0 đến nhóm bit thứ 8 dựa vào biểu thức 28 và bảng 11 nêu trên, nhưng có thể thực hiện

bước đan xen trên các nhóm bit tạo nên các bit chẵn lẻ LDPC, tức là từ nhóm bit thứ 9 đến nhóm bit thứ 44 theo đơn vị nhóm để làm thay đổi thứ tự của các nhóm bit từ nhóm bit thứ 9 đến nhóm bit thứ 44.

Cụ thể, trong thông tin báo hiệu chi tiết cho tầng L1 theo chế độ 2 trong bảng 11 nêu trên, biểu thức 28 nêu trên có thể được biểu diễn dưới dạng $Y_0 = X_0$, $Y_1 = X_1$, ..., $Y_7 = X_7$, $Y_8 = X_8$, $Y_9 = X_{\pi p(9)} = X_9$, $Y_{10} = X_{\pi p(10)} = X_{31}$, $Y_{11} = X_{\pi p(11)} = X_{23}$, ..., $Y_{42} = X_{\pi p(42)} = X_{28}$, $Y_{43} = X_{\pi p(43)} = X_{39}$, $Y_{44} = X_{\pi p(44)} = X_{42}$.

Vì vậy, bộ phận đan xen theo đơn vị nhóm không làm thay đổi thứ tự của các nhóm bit từ nhóm bit thứ 0 đến nhóm bit thứ 8 tạo nên các bit thông tin LDPC, nhưng có thể làm thay đổi thứ tự của các nhóm bit từ nhóm bit thứ 9 đến nhóm bit thứ 44 tạo nên các bit chẵn lẻ LDPC.

Cụ thể, bộ phận đan xen theo đơn vị nhóm có thể làm thay đổi thứ tự của các nhóm bit từ nhóm bit thứ 9 đến nhóm bit thứ 44 sao cho nhóm bit thứ 9 được đặt vào vị trí thứ 9, nhóm bit thứ 31 được đặt vào vị trí thứ 10, nhóm bit thứ 23 được đặt vào vị trí thứ 11, ..., nhóm bit thứ 28 được đặt vào vị trí thứ 42, nhóm bit thứ 39 được đặt vào vị trí thứ 43, nhóm bit thứ 42 được đặt vào vị trí thứ 44.

Như được mô tả dưới đây, vì các bộ phận đục lỗ 217 và 318 thực hiện phương pháp đục lỗ kể từ bit chẵn lẻ cuối cùng, cho nên các nhóm bit chẵn lẻ có thể được sắp xếp theo thứ tự ngược với mẫu đục lỗ sau khi hoán vị chẵn lẻ. Điều này có nghĩa là, nhóm bit đầu tiên được đục lỗ nằm ở vị trí là nhóm bit cuối cùng.

Ví dụ nêu trên mô tả rằng chỉ có các bit chẵn lẻ được đan xen, nhưng đó chỉ là một ví dụ. Điều này có nghĩa là, các bộ phận hoán vị chẵn lẻ 215 và 316 cũng có thể đan xen các bit thông tin LDPC. Trong trường hợp như vậy, các bộ phận hoán vị chẵn lẻ 215 và 316 có thể đan xen các bit thông tin LDPC theo từng đơn vị và xuất ra các bit thông tin LDPC có thứ tự giống như trước khi đan xen sao cho thứ tự của các bit thông tin LDPC không thay đổi.

Các bộ phận lặp 216 và 317 có thể lặp lại ít nhất một số bit của từ mã LDPC đã được hoán vị chẵn lẻ ở vị trí nằm phía sau các bit thông tin LDPC, và xuất ra từ mã LDPC lặp lại, tức là các bit từ mã LDPC có các bit lặp, để cung cấp cho các bộ phận đục

lỗ 217 và 318. Bộ phận lặp 317 cũng có thể xuất ra từ mã LDPC lặp lại để cung cấp cho bộ tạo bit chẵn lẻ bổ sung 319. Trong trường hợp như vậy, bộ tạo bit chẵn lẻ bổ sung 319 có thể sử dụng từ mã LDPC lặp lại này để tạo ra các bit chẵn lẻ bổ sung.

Cụ thể, các bộ phận lặp 216 và 317 có thể lặp lại một số lượng định trước của các bit chẵn lẻ LDPC ở phía sau các bit thông tin LDPC. Điều này có nghĩa là, các bộ phận lặp 216 và 317 có thể gắn số lượng bit chẵn lẻ LDPC được lặp lại định trước vào phía sau các bit thông tin LDPC. Vì vậy, các bit chẵn lẻ LDPC được lặp lại nằm ở giữa các bit thông tin LDPC và các bit chẵn lẻ LDPC trong từ mã LDPC.

Như vậy, vì số lượng bit định trước trong từ mã LDPC sau khi lặp lại có thể được lặp lại và được truyền thêm đến thiết bị thu tín hiệu 200, cho nên phương pháp nêu trên có thể được gọi là phương pháp lặp.

Thuật ngữ "gắn" có nghĩa là đặt các bit lặp vào giữa các bit thông tin LDPC và các bit chẵn lẻ LDPC sao cho các bit này được lặp lại.

Phương pháp lặp có thể được thực hiện chỉ đối với chế độ 1 cho thông tin báo hiệu cơ bản cho tầng L1 và chế độ 1 cho thông tin báo hiệu chi tiết cho tầng L1, và có thể không được thực hiện đối với các chế độ khác. Trong trường hợp như vậy, các bộ phận lặp 216 và 317 không thực hiện phương pháp lặp, và có thể xuất ra từ mã LDPC đã được hoán vị chẵn lẻ để cung cấp cho các bộ phận đục lỗ 217 và 318.

Quy trình thực hiện phương pháp lặp sẽ được mô tả chi tiết dưới đây.

Các bộ phận lặp 216 và 317 có thể tính số lượng N_{repeat} bit được truyền thêm trong mỗi từ mã LDPC dựa vào biểu thức 29 dưới đây:

$$N_{repeat} = 2 \times \lfloor C \times N_{outer} \rfloor + D \quad (29)$$

Trong biểu thức 29 nêu trên, C là một số cố định và D có thể là số nguyên chẵn. Dựa vào biểu thức 29 nêu trên, cần phải hiểu rằng số lượng bit được lặp lại có thể được tính bằng cách nhân C với N_{outer} cho trước và cộng với D.

Các thông số C và D cho phương pháp lặp có thể được chọn dựa vào bảng 13 dưới đây. Điều này có nghĩa là, các bộ phận lặp 216 và 317 có thể xác định các thông số C và D dựa vào chế độ tương ứng như được thể hiện trong bảng 13 dưới đây.

Bảng 13

	N_{outer}	K_{sig}	K_{ldpc}	C	D	N_{ldpc_parity} $(= N_{inner} - K_{ldpc})$	η_{MOD}
Thông tin báo hiệu cơ bản cho tầng L1 theo chế độ 1	368	200	3240	0	3672	12960	2
Thông tin báo hiệu chi tiết cho tầng L1 theo chế độ 1	568 ~ 2520	400 ~ 2352	3240	61/16	–508	12960	2

Ngoài ra, các bộ phận lặp 216 và 317 có thể lặp lại N_{repeat} bit chẵn lẻ LDPC.

Cụ thể, khi $N_{repeat} \leq N_{ldpc\_parity}$, các bộ phận lặp 216 và 317 có thể gắn N_{repeat} bit đầu tiên trong số các bit chẵn lẻ LDPC đã được hoán vị chẵn lẻ vào các bit thông tin LDPC như được thể hiện trên Fig.14. Điều này có nghĩa là, các bộ phận lặp 216 và 317 có thể gắn bit chẵn lẻ LDPC đầu tiên trong số các bit chẵn lẻ LDPC đã được hoán vị chẵn lẻ để làm bit chẵn lẻ LDPC thứ N_{repeat} vào phía sau các bit thông tin LDPC.

Khi $N_{repeat} > N_{ldpc\_parity}$, các bộ phận lặp 216 và 317 có thể gắn N_{ldpc_parity} bit chẵn lẻ LDPC đã được hoán vị chẵn lẻ vào các bit thông tin LDPC như được thể hiện trên Fig.15, và có thể gắn thêm số lượng $N_{repeat} - N_{ldpc\_parity}$ bit chẵn lẻ LDPC đã được hoán vị chẵn lẻ vào N_{ldpc_parity} bit chẵn lẻ LDPC đã gắn lần đầu. Điều này có nghĩa là, các bộ phận lặp 216 và 317 có thể gắn tất cả các bit chẵn lẻ LDPC đã được hoán vị chẵn lẻ vào phía sau các bit thông tin LDPC và gắn thêm bit chẵn lẻ LDPC đầu tiên vào để làm bit chẵn lẻ LDPC thứ $N_{repeat} - N_{ldpc\_parity}$ trong số các bit chẵn lẻ LDPC đã được hoán vị chẵn lẻ vào phía sau các bit chẵn lẻ LDPC đã gắn lần đầu.

Vì vậy, ở chế độ 1 cho thông tin báo hiệu cơ bản cho tầng L1 và chế độ 1 cho thông tin báo hiệu chi tiết cho tầng L1, N_{repeat} bit gắn thêm có thể được chọn trong từ mã LDPC và được truyền.

Các bộ phận đục lỗ 217 và 318 có thể đục lỗ một số bit chẵn lẻ LDPC có trong từ mã LDPC được xuất ra từ các bộ phận lặp 216 và 317, và xuất ra từ mã LDPC đã được đục lỗ (tức là các bit từ mã LDPC còn lại, ngoại trừ các bit được đục lỗ và cũng được gọi là từ mã LDPC sau khi đục lỗ) để cung cấp cho các bộ phận loại bỏ bit không 218 và 321. Ngoài ra, bộ phận đục lỗ 318 có thể cung cấp thông tin (ví dụ số lượng và vị trí của các bit được đục lỗ, v.v.) liên quan đến các bit chẵn lẻ LDPC được đục lỗ cho bộ tạo bit chẵn

lẻ bổ sung 319. Trong trường hợp như vậy, bộ tạo bit chẵn lẻ bổ sung 319 có thể tạo ra các bit chẵn lẻ bổ sung dựa vào các thông tin đó.

Như vậy, sau khi đi qua bộ phận hoán vị chẵn lẻ, một số bit chẵn lẻ LDPC có thể được đục lỗ.

Trong trường hợp như vậy, các bit chẵn lẻ LDPC đã được đục lỗ không được truyền trong khung mà các bit thông tin báo hiệu cho tầng L1 được truyền trong đó. Cụ thể, các bit chẵn lẻ LDPC đã được đục lỗ không được truyền trong khung hiện thời mà các bit thông tin báo hiệu cho tầng L1 được truyền trong đó, và trong một số trường hợp, các bit chẵn lẻ LDPC đã được đục lỗ có thể được truyền trong khung đứng trước khung hiện thời, trường hợp này sẽ được mô tả liên quan đến bộ tạo bit chẵn lẻ bổ sung 319.

Nhằm mục đích này, các bộ phận đục lỗ 217 và 318 có thể xác định số lượng bit chẵn lẻ LDPC được đục lỗ trong mỗi từ mã LDPC và kích thước của một khối mã hoá.

Cụ thể, các bộ phận đục lỗ 217 và 318 có thể tính số lượng tạm thời N_{punc_temp} bit chẵn lẻ LDPC được đục lỗ dựa vào biểu thức 30 dưới đây. Điều này có nghĩa là, với N_{outer} cho trước, các bộ phận đục lỗ 217 và 318 có thể tính số lượng tạm thời N_{punc_temp} bit chẵn lẻ LDPC được đục lỗ dựa vào biểu thức 30 dưới đây:

$$N_{punc\_temp} = \lfloor A \times (K_{ldpc} - N_{outer}) \rfloor + B \quad (30)$$

Dựa vào biểu thức 30 nêu trên, độ dài tạm thời của các bit được đục lỗ có thể được tính bằng cách cộng số nguyên không đổi B với số nguyên thu được từ kết quả của phép nhân độ dài rút gọn (tức là $K_{ldpc} - N_{outer}$) với giá trị hằng số định trước A. Theo phương án làm ví dụ thực hiện sáng chế, rõ ràng là giá trị của hằng số A được xác định theo tỷ số giữa số lượng bit được đục lỗ và số lượng bit được rút gọn có thể được xác định khác nhau tuỳ thuộc vào các yêu cầu của hệ thống.

Trong đó, B là giá trị biểu thị độ dài của các bit được đục lỗ ngay cả khi độ dài rút gọn bằng 0, và do đó, giá trị này biểu thị độ dài nhỏ nhất có thể có của các bit đục lỗ. Ngoài ra, các giá trị A và B dùng để điều chỉnh tỷ lệ mã mà theo đó các bit thông tin được truyền trên thực tế. Điều này có nghĩa là, để chuẩn bị cho trường hợp trong đó các bit thông tin, tức là các bit thông tin báo hiệu cho tầng L1 có độ dài nhỏ hoặc trường hợp trong đó các bit thông tin báo hiệu cho tầng L1 có độ dài lớn, thì các giá trị A và B dùng

để điều chỉnh tỷ lệ mã mà theo đó các bit thông tin được truyền trên thực tế được rút gọn.

Các giá trị K_{ldpc}, A và B nêu trên được thể hiện trong bảng 14 dưới đây, bảng này thể hiện các thông số để đục lỗ. Vì vậy, các bộ phận đục lỗ 217 và 318 có thể xác định các thông số để đục lỗ theo chế độ tương ứng như được thể hiện trong bảng 14 dưới đây.

Bảng 14

Kiểu mã hoá FEC cho thông tin báo hiệu		N_{outer}	K_{ldpc}	A	B	N_{ldpc_parity}	η_{MOD}
Thông tin báo hiệu cơ bản cho tầng L1	Chế độ 1	368	3240	0	9360	12960	2
	Chế độ 2				11460		2
	Chế độ 3				12360		2
	Chế độ 4				12292		4
	Chế độ 5				12350		6
	Chế độ 6				12432		8
	Chế độ 7				12776		8
Thông tin báo hiệu chi tiết cho tầng L1	Chế độ 1	568 ~ 2520		7/2	0		2
	Chế độ 2	568 ~ 3240		2	6036		2
	Chế độ 3	568 ~ 6480	6480	11/16	4653	9720	2
	Chế độ 4			29/32	3200		4
	Chế độ 5			3/4	4284		6
	Chế độ 6			11/16	4900		8
	Chế độ 7			49/256	8246		8

Các bộ phận đục lỗ 217 và 318 có thể tính kích thước tạm thời N_{FEC_temp} của một khối mã hoá như được biểu diễn bằng biểu thức 31 dưới đây. Trong đó, số lượng N_{ldpc_parity} bit chẵn lẻ LDPC theo chế độ tương ứng được xác định như ở trong bảng 14 nêu trên.

$$N_{FEC\_temp} = N_{outer} + N_{ldpc\_parity} - N_{punc\_temp} \quad (31)$$

Ngoài ra, các bộ phận đục lỗ 217 và 318 có thể tính kích thước N_{FEC} của một khối mã hoá như được biểu diễn bằng biểu thức 32 dưới đây:

$$N_{FEC} = \left\lceil \frac{N_{FEC\_temp}}{\eta_{MOD}} \right\rceil \times \eta_{MOD} \quad (32)$$

Trong biểu thức 32 nêu trên, η_{MOD} là bậc điều biến. Ví dụ, khi thông tin báo hiệu cơ bản cho tầng L1 và thông tin báo hiệu chi tiết cho tầng L1 được điều biến theo sơ đồ điều biến QPSK, 16-QAM, 64-QAM hoặc 256-QAM theo chế độ tương ứng, thì η_{MOD} có thể bằng 2, 4, 6 và 8 như được thể hiện trong bảng 14 nêu trên. Theo biểu thức 32 nêu trên, N_{FEC} có thể là một bội số nguyên lần của bậc điều biến.

Ngoài ra, các bộ phận đục lỗ 217 và 318 có thể tính số lượng N_{punc} bit chẵn lẻ LDPC được đục lỗ dựa vào biểu thức 33 dưới đây:

$$N_{punc} = N_{punc\_temp} - (N_{FEC} - N_{FEC\_temp}) \quad (33)$$

Trong đó, N_{punc} bằng 0 hoặc là số nguyên dương. Ngoài ra, N_{FEC} là số lượng bit của khối thông tin thu được bằng cách lấy $N_{outer} + N_{ldpc\_parity}$ bit thu được sau khi thực hiện bước mã hoá BCH và mã hoá LDPC trên K_{sig} bit thông tin trừ đi N_{punc} bit được đục lỗ. Điều này có nghĩa là, N_{FEC} là số lượng bit ngoại trừ các bit lặp trong số các bit được truyền trên thực tế, và có thể được gọi là các bit từ mã LDPC đã được rút gọn và đục lỗ.

Dựa vào quy trình nêu trên, các bộ phận đục lỗ 217 và 318 nhân A với số lượng bit không được đệm, tức là độ dài rút gọn, và cộng B với kết quả thu được để tính số lượng tạm thời N_{punc_temp} bit chẵn lẻ LDPC được đục lỗ.

Ngoài ra, các bộ phận đục lỗ 217 và 318 tính số lượng tạm thời N_{FEC_temp} bit từ mã LDPC để tạo nên từ mã LDPC sau khi đục lỗ và rút gọn dựa vào N_{punc_temp}.

Cụ thể, các bit thông tin LDPC được mã hoá LDPC, và các bit chẵn lẻ LDPC được tạo ra sau khi mã hoá LDPC được gắn vào các bit thông tin LDPC để tạo nên từ mã LDPC. Theo sáng chế, các bit thông tin LDPC có các bit mã hoá BCH, trong đó thông tin báo hiệu cơ bản cho tầng L1 và thông tin báo hiệu chi tiết cho tầng L1 được mã hoá BCH, và trong một số trường hợp, có thể còn có các bit không được đệm vào.

Trong trường hợp như vậy, vì các bit không được đệm vào sẽ được mã hoá LDPC, và sau đó, không được truyền đến thiết bị thu tín hiệu 200, cho nên từ mã LDPC rút gọn, đó là từ mã LDPC (tức là từ mã LDPC được rút gọn), ngoại trừ các bit không được đệm vào, có thể gồm có các bit mã hoá BCH và các bit chẵn lẻ LDPC.

Vì vậy, các bộ phận đục lỗ 217 và 318 lấy tổng số của số lượng bit mã hoá BCH và số lượng bit chẵn lẻ LDPC trừ đi số lượng tạm thời của các bit chẵn lẻ LDPC được đục lỗ

để tính N_{FEC_temp}.

Từ mã LDPC đã được rút gọn và đục lỗ (tức là các bit từ mã LDPC còn lại sau khi đục lỗ và rút gọn) được ánh xạ lên các ký hiệu chòm điểm theo các sơ đồ điều biến khác nhau như QPSK, 16-QAM, 64-QAM hoặc 256-QAM theo chế độ tương ứng, và các ký hiệu chòm điểm có thể được truyền đến thiết bị thu tín hiệu 200 trong một khung.

Vì vậy, các bộ phận đục lỗ 217 và 318 xác định số lượng N_{FEC} bit từ mã LDPC để tạo nên từ mã LDPC sau khi đục lỗ và rút gọn dựa vào N_{FEC_temp}, N_{FEC} là một bội số nguyên lần của bậc điều biến, và xác định số lượng N_{punc} bit được đục lỗ dựa vào các bit từ mã LDPC sau khi rút gọn để thu được N_{FEC}.

Khi các bit không không được đệm vào, thì từ mã LDPC có thể gồm có các bit mã hoá BCH và các bit chẵn lẻ LDPC, và bước rút gọn có thể không được thực hiện.

Ngoài ra, ở chế độ 1 cho thông tin báo hiệu cơ bản cho tầng L1 và chế độ 1 cho thông tin báo hiệu chi tiết cho tầng L1, phương pháp lặp được thực hiện, và do đó, số lượng bit từ mã LDPC đã được rút gọn và đục lỗ bằng $N_{FEC} + N_{repeat}$.

Các bộ phận đục lỗ 217 và 318 có thể đục lỗ các bit chẵn lẻ LDPC với số lượng đúng bằng số lượng đã tính.

Trong trường hợp như vậy, các bộ phận đục lỗ 217 và 318 có thể đục lỗ N_{punc} bit cuối cùng của tất cả các từ mã LDPC. Điều này có nghĩa là, các bộ phận đục lỗ 217 và 318 có thể đục lỗ N_{punc} bit kể từ bit chẵn lẻ LDPC cuối cùng.

Cụ thể, khi phương pháp lặp không được thực hiện, thì từ mã LDPC đã được hoán vị chẵn lẻ chỉ có các bit chẵn lẻ LDPC được tạo ra bằng cách mã hoá LDPC.

Trong trường hợp như vậy, các bộ phận đục lỗ 217 và 318 có thể đục lỗ N_{punc} bit cuối cùng của tất cả các từ mã LDPC đã được hoán vị chẵn lẻ. Vì vậy, N_{punc} bit kể từ bit chẵn lẻ LDPC cuối cùng trong số các bit chẵn lẻ LDPC được tạo ra bằng cách mã hoá LDPC có thể được đục lỗ.

Khi phương pháp lặp được thực hiện, thì từ mã LDPC đã được hoán vị chẵn lẻ và lặp lại có các bit chẵn lẻ LDPC được lặp lại và các bit chẵn lẻ LDPC được tạo ra bằng cách mã hoá LDPC.

Trong trường hợp như vậy, các bộ phận đục lỗ 217 và 318 có thể lần lượt đục lỗ N_{punc} bit cuối cùng của tất cả các từ mã LDPC đã được hoán vị chẵn lẻ và lặp lại, như được thể hiện trên Fig.16 và Fig.17.

Cụ thể, các bit chẵn lẻ LDPC được lặp lại nằm ở giữa các bit thông tin LDPC và các bit chẵn lẻ LDPC được tạo ra bằng cách mã hoá LDPC, và do đó, các bộ phận đục lỗ 217 và 318 có thể lần lượt đục lỗ N_{punc} bit kể từ bit chẵn lẻ LDPC cuối cùng trong số các bit chẵn lẻ LDPC được tạo ra bằng cách mã hoá LDPC.

Như vậy, các bộ phận đục lỗ 217 và 318 có thể lần lượt đục lỗ N_{punc} bit kể từ bit chẵn lẻ LDPC cuối cùng.

N_{punc} bằng 0 hoặc là số nguyên dương và phương pháp lặp có thể được áp dụng chỉ đối với chế độ 1 cho thông tin báo hiệu cơ bản cho tầng L1 và chế độ 1 cho thông tin báo hiệu chi tiết cho tầng L1.

Ví dụ nêu trên mô tả rằng phương pháp lặp được thực hiện, và sau đó, phương pháp đục lỗ được thực hiện, nhưng đó chỉ là một ví dụ. Trong một số trường hợp, sau khi phương pháp đục lỗ được thực hiện, phương pháp lặp có thể được thực hiện.

Bộ tạo bit chẵn lẻ bổ sung 319 có thể chọn các bit trong số các bit chẵn lẻ LDPC để tạo ra các bit chẵn lẻ bổ sung (Additional Parity, AP).

Trong trường hợp như vậy, các bit chẵn lẻ bổ sung có thể được chọn trong số các bit chẵn lẻ LDPC được tạo ra dựa vào thông tin báo hiệu chi tiết cho tầng L1 được truyền trong khung hiện thời, và được truyền đến thiết bị thu tín hiệu 200 trong một khung đứng trước khung hiện thời, tức là khung trước đó.

Cụ thể, thông tin báo hiệu chi tiết cho tầng L1 được mã hoá LDPC, và các bit chẵn lẻ LDPC được tạo ra sau khi mã hoá LDPC được gắn vào thông tin báo hiệu chi tiết cho tầng L1 để tạo nên từ mã LDPC.

Ngoài ra, quy trình đục lỗ và rút gọn được thực hiện trên từ mã LDPC, và từ mã LDPC đã được rút gọn và đục lỗ có thể được ánh xạ lên một khung được truyền đến thiết bị thu tín hiệu 200. Theo sáng chế, khi phương pháp lặp được thực hiện theo chế độ tương ứng, thì từ mã LDPC đã được rút gọn và đục lỗ có thể có các bit chẵn lẻ LDPC được lặp lại.

Trong trường hợp như vậy, thông tin báo hiệu chi tiết cho tầng L1 tương ứng với mỗi khung có thể được truyền đến thiết bị thu tín hiệu 200 trong mỗi khung, cùng với các bit chẵn lẻ LDPC. Ví dụ, từ mã LDPC đã được rút gọn và đục lỗ chứa thông tin báo hiệu chi tiết cho tầng L1 tương ứng với khung thứ (i–1) có thể được ánh xạ lên khung thứ (i–1) được truyền đến thiết bị thu tín hiệu 200, và từ mã LDPC đã được rút gọn và đục lỗ chứa thông tin báo hiệu chi tiết cho tầng L1 tương ứng với khung thứ i có thể được ánh xạ lên khung thứ i được truyền đến thiết bị thu tín hiệu 200.

Bộ tạo bit chẵn lẻ bổ sung 319 có thể chọn ít nhất một số bit trong số các bit chẵn lẻ LDPC được tạo ra dựa vào thông tin báo hiệu chi tiết cho tầng L1 được truyền trong khung thứ i để tạo ra các bit chẵn lẻ bổ sung.

Cụ thể, một số bit chẵn lẻ LDPC được tạo ra bằng cách thực hiện bước mã hoá LDPC trên thông tin báo hiệu chi tiết cho tầng L1 được đục lỗ, và sau đó, không được truyền đến thiết bị thu tín hiệu 200. Trong trường hợp như vậy, bộ tạo bit chẵn lẻ bổ sung 319 có thể chọn ít nhất một số bit chẵn lẻ LDPC được đục lỗ trong số các bit chẵn lẻ LDPC được tạo ra bằng cách thực hiện bước mã hoá LDPC trên thông tin báo hiệu chi tiết cho tầng L1 được truyền trong khung thứ i, từ đó tạo ra các bit chẵn lẻ bổ sung.

Ngoài ra, bộ tạo bit chẵn lẻ bổ sung 319 có thể chọn ít nhất một số bit trong số các bit chẵn lẻ LDPC được truyền đến thiết bị thu tín hiệu 200 trong khung thứ i để tạo ra các bit chẵn lẻ bổ sung.

Cụ thể, các bit chẵn lẻ LDPC có trong từ mã LDPC đã được rút gọn và đục lỗ sẽ được ánh xạ lên khung thứ i có thể được tạo nên chỉ có các bit chẵn lẻ LDPC được tạo ra bằng cách mã hoá LDPC theo chế độ tương ứng hoặc các bit chẵn lẻ LDPC được tạo ra bằng cách mã hoá LDPC và các bit chẵn lẻ LDPC được lặp lại.

Trong trường hợp như vậy, bộ tạo bit chẵn lẻ bổ sung 319 có thể chọn ít nhất một số bit trong số các bit chẵn lẻ LDPC có trong từ mã LDPC đã được rút gọn và đục lỗ sẽ được ánh xạ lên khung thứ i để tạo ra các bit chẵn lẻ bổ sung.

Các bit chẵn lẻ bổ sung có thể được truyền đến thiết bị thu tín hiệu 200 trong khung đứng trước khung thứ i, tức là khung thứ (i–1).

Điều này có nghĩa là, thiết bị truyền tín hiệu 100 có thể không chỉ truyền từ mã

LDPC đã được rút gọn và đục lỗ chứa thông tin báo hiệu chi tiết cho tầng L1 tương ứng với khung thứ (i–1) mà còn truyền các bit chẵn lẻ bổ sung được tạo ra dựa vào thông tin báo hiệu chi tiết cho tầng L1 được truyền trong khung thứ i đến thiết bị thu tín hiệu 200 trong khung thứ (i–1).

Trong trường hợp như vậy, khung trong đó các bit chẵn lẻ bổ sung được truyền có thể là khung trước nhất tạm thời trong số các khung đứng trước khung hiện thời.

Ví dụ, các bit chẵn lẻ bổ sung có phiên bản lớn/nhỏ của phần khởi động giống như khung hiện thời trong số các khung đứng trước khung hiện thời, và có thể được truyền trong khung trước nhất tạm thời.

Trong một số trường hợp, bộ tạo bit chẵn lẻ bổ sung 319 có thể không tạo ra các bit chẵn lẻ bổ sung.

Trong trường hợp như vậy, thiết bị truyền tín hiệu 100 có thể truyền thông tin về việc các bit chẵn lẻ bổ sung cho thông tin báo hiệu chi tiết cho tầng L1 trong khung kế tiếp được truyền trong khung hiện thời đến thiết bị thu tín hiệu 200 sử dụng thông tin báo hiệu cơ bản cho tầng L1 được truyền trong khung hiện thời.

Ví dụ, việc sử dụng các bit chẵn lẻ bổ sung cho thông tin báo hiệu chi tiết cho tầng L1 trong khung kế tiếp có phiên bản lớn/nhỏ của phần khởi động giống như khung hiện thời có thể được báo hiệu thông qua trường L1B_L1_Detail_additional_parity_mode trong thông tin báo hiệu cơ bản cho tầng L1 của khung hiện thời. Cụ thể, khi trường L1B_L1_Detail_additional_parity_mode trong thông tin báo hiệu cơ bản cho tầng L1 của khung hiện thời được đặt bằng '00', thì các bit chẵn lẻ bổ sung cho thông tin báo hiệu chi tiết cho tầng L1 trong khung kế tiếp không được truyền trong khung hiện thời.

Như vậy, để tăng thêm khả năng của thông tin báo hiệu chi tiết cho tầng L1, các bit chẵn lẻ bổ sung có thể được truyền trong khung đứng trước khung hiện thời mà thông tin báo hiệu chi tiết cho tầng L1 trong khung hiện thời được truyền ở trong đó.

Fig.18 thể hiện ví dụ trong đó các bit chẵn lẻ bổ sung cho thông tin báo hiệu chi tiết cho tầng L1 trong khung thứ i được truyền trong phần mở đầu của khung thứ (i–1).

Fig.18 thể hiện rằng thông tin báo hiệu chi tiết cho tầng L1 truyền trong khung thứ i được phân đoạn ra thành M khối bằng cách phân đoạn và mỗi khối đã phân đoạn được

mã hoá FEC.

Vì vậy, số lượng M từ mã LDPC, tức là từ mã LDPC có các bit thông tin LDPC L1-D(i)_1 và các bit chẵn lẻ cho từ mã L1-D(i)_1, ..., và từ mã LDPC có các bit thông tin LDPC L1-D(i)_M và các bit chẵn lẻ cho từ mã L1-D(i)_M, được ánh xạ lên khung thứ i được truyền đến thiết bị thu tín hiệu 200.

Trong trường hợp như vậy, các bit chẵn lẻ bổ sung được tạo ra dựa vào thông tin báo hiệu chi tiết cho tầng L1 được truyền trong khung thứ i có thể được truyền đến thiết bị thu tín hiệu 200 trong khung thứ (i–1).

Cụ thể, các bit chẵn lẻ bổ sung, tức là các bit AP cho từ mã L1-D(i)_1, ..., các bit AP cho từ mã L1-D(i)_M, được tạo ra dựa vào thông tin báo hiệu chi tiết cho tầng L1 được truyền trong khung thứ i có thể được ánh xạ vào trong phần mở đầu của khung thứ (i–1) được truyền đến thiết bị thu tín hiệu 200. Nhờ sử dụng các bit chẵn lẻ bổ sung, có thể đạt được độ tăng ích do phân tập cho thông tin báo hiệu cho tầng L1.

Phương pháp tạo ra bit chẵn lẻ bổ sung sẽ được mô tả dưới đây.

Bộ tạo bit chẵn lẻ bổ sung 319 tính số lượng tạm thời N_{AP_temp} bit chẵn lẻ bổ sung dựa vào biểu thức 34 dưới đây:

$$N_{AP\_temp} = \min\left\{\begin{matrix} 0{,}5 \times K \times \left(N_{outer} + N_{ldpc\_parity} - N_{punc} + N_{repeat}\right), \\ \left(N_{ldpc\_parity} + N_{punc} + N_{repeat}\right) \end{matrix}\right\}, K = 0, 1, 2 \qquad (34)$$

Trong biểu thức 34 nêu trên, $\min(a,b) = \begin{cases} a, & \text{khi } a \le b \\ b, & \text{khi } b < a \end{cases}$.

Ngoài ra, K là tỷ số giữa số lượng bit chẵn lẻ bổ sung và một nửa tổng số bit của khối thông tin báo hiệu chi tiết cho tầng L1 được mã hoá và được truyền (tức là các bit tạo nên khối thông tin báo hiệu chi tiết cho tầng L1 được lặp lại, đục lỗ, và đã loại bỏ các bit không (tức là đã được rút gọn)).

Trong trường hợp như vậy, K tương ứng với trường L1B_L1_Detail_additional_parity_mode trong thông tin báo hiệu cơ bản cho tầng L1. Trong đó, giá trị của trường L1B_L1_Detail_additional_parity_mode liên quan đến thông tin báo hiệu chi tiết cho tầng L1 của khung thứ i (tức là khung (#i)) có thể được truyền

trong khung thứ (i–1) (tức là khung (#i–1)).

Như đã nêu trên, đối với thông tin báo hiệu chi tiết cho tầng L1 theo các chế độ 2, 3, 4, 5, 6 và 7, vì phương pháp lặp không được thực hiện, cho nên trong biểu thức 34 nêu trên, N_{repeat} bằng 0.

Ngoài ra, bộ tạo bit chẵn lẻ bổ sung 319 tính số lượng N_{AP} bit chẵn lẻ bổ sung dựa vào biểu thức 35 dưới đây. Vì vậy, số lượng N_{AP} bit chẵn lẻ bổ sung có thể là bội số của bậc điều biến.

$$N_{AP} = \left\lfloor \frac{N_{AP\_temp}}{\eta_{MOD}} \right\rfloor \times \eta_{MOD} \quad (35)$$

Trong biểu thức 35 nêu trên, $\lfloor x \rfloor$ là số nguyên lớn nhất không lớn hơn x. Trong đó, η_{MOD} là bậc điều biến. Ví dụ, khi thông tin báo hiệu chi tiết cho tầng L1 được điều biến theo sơ đồ điều biến QPSK, 16-QAM, 64-QAM hoặc 256-QAM theo chế độ tương ứng, thì η_{MOD} có thể lần lượt bằng 2, 4, 6 hoặc 8.

Như vậy, số lượng bit chẵn lẻ bổ sung được tạo ra có thể được xác định dựa vào tổng số bit được truyền trong khung hiện thời.

Tiếp theo, bộ tạo bit chẵn lẻ bổ sung 319 có thể chọn các bit với số lượng đúng bằng số lượng bit đã tính trong các bit chẵn lẻ LDPC để tạo ra các bit chẵn lẻ bổ sung.

Cụ thể, khi số lượng bit chẵn lẻ LDPC được đục lỗ bằng hoặc lớn hơn số lượng bit chẵn lẻ bổ sung được tạo ra, thì bộ tạo bit chẵn lẻ bổ sung 319 có thể chọn các bit với số lượng đúng bằng số lượng đã tính kể từ bit chẵn lẻ LDPC đầu tiên trong số các bit chẵn lẻ LDPC được đục lỗ để tạo ra các bit chẵn lẻ bổ sung.

Khi số lượng bit chẵn lẻ LDPC được đục lỗ nhỏ hơn số lượng bit chẵn lẻ bổ sung được tạo ra, thì bộ tạo bit chẵn lẻ bổ sung 319 trước tiên có thể chọn tất cả các bit chẵn lẻ LDPC được đục lỗ, và sau đó chọn thêm các bit với số lượng đúng bằng số lượng thu được sau khi lấy số lượng bit chẵn lẻ bổ sung đã tính trừ đi số lượng bit chẵn lẻ LDPC được đục lỗ, kể từ bit chẵn lẻ LDPC đầu tiên trong số các bit chẵn lẻ LDPC có trong từ mã LDPC, để tạo ra các bit chẵn lẻ bổ sung.

Cụ thể, khi phương pháp lặp không được thực hiện, thì các bit chẵn lẻ LDPC có

trong từ mã LDPC lặp lại là các bit chẵn lẻ LDPC được tạo ra bằng cách mã hoá LDPC.

Trong trường hợp như vậy, bộ tạo bit chẵn lẻ bổ sung 319 trước tiên có thể chọn tất cả các bit chẵn lẻ LDPC được đục lỗ và sau đó chọn thêm các bit với số lượng đúng bằng số lượng thu được sau khi lấy số lượng bit chẵn lẻ bổ sung được tạo ra trừ đi số lượng bit chẵn lẻ LDPC được đục lỗ, kể từ bit chẵn lẻ LDPC đầu tiên trong số các bit chẵn lẻ LDPC được tạo ra bằng cách mã hoá LDPC, để tạo ra các bit chẵn lẻ bổ sung.

Theo sáng chế, các bit chẵn lẻ LDPC được tạo ra sau khi mã hoá LDPC được phân chia ra thành các bit chẵn lẻ LDPC không được đục lỗ và các bit chẵn lẻ LDPC được đục lỗ. Nhờ đó, khi các bit được chọn kể từ bit đầu tiên trong số các bit chẵn lẻ LDPC được tạo ra bằng cách mã hoá LDPC, các bit đó có thể được chọn theo thứ tự lần lượt là các bit chẵn lẻ LDPC không được đục lỗ và các bit chẵn lẻ LDPC được đục lỗ.

Khi phương pháp lặp được thực hiện, thì các bit chẵn lẻ LDPC có trong từ mã LDPC lặp lại là các bit chẵn lẻ LDPC được lặp lại và các bit chẵn lẻ LDPC được tạo ra bằng cách mã hoá. Theo sáng chế, các bit chẵn lẻ LDPC được lặp lại nằm ở giữa các bit thông tin LDPC và các bit chẵn lẻ LDPC được tạo ra bằng cách mã hoá LDPC.

Trong trường hợp như vậy, bộ tạo bit chẵn lẻ bổ sung 319 trước tiên có thể chọn tất cả các bit chẵn lẻ LDPC được đục lỗ và sau đó chọn thêm các bit với số lượng đúng bằng số lượng thu được sau khi lấy số lượng bit chẵn lẻ bổ sung trừ đi số lượng bit chẵn lẻ LDPC được đục lỗ, kể từ bit chẵn lẻ LDPC đầu tiên trong số các bit chẵn lẻ LDPC được lặp lại, để tạo ra các bit chẵn lẻ bổ sung.

Theo sáng chế, khi các bit được chọn kể từ bit đầu tiên trong số các bit chẵn lẻ LDPC được lặp lại, các bit đó có thể được chọn theo thứ tự lần lượt là các bit lặp và các bit chẵn lẻ LDPC được tạo ra bằng cách mã hoá LDPC. Ngoài ra, các bit đó có thể được chọn theo thứ tự lần lượt là các bit chẵn lẻ LDPC không được đục lỗ và các bit chẵn lẻ LDPC được đục lỗ, trong số các bit chẵn lẻ LDPC được tạo ra bằng cách mã hoá LDPC.

Phương pháp tạo ra bit chẵn lẻ bổ sung theo các phương án làm ví dụ thực hiện sáng chế sẽ được mô tả chi tiết dưới đây dựa vào các hình vẽ từ Fig.19 đến Fig.21.

Fig.19 đến Fig.21 là các sơ đồ thể hiện phương pháp tạo ra bit chẵn lẻ bổ sung khi phương pháp lặp được thực hiện, theo các phương án làm ví dụ thực hiện sáng chế.

Trong trường hợp như vậy, từ mã LDPC lặp lại $V = (v_0, v_1, \ldots, v_{N_{inner}+N_{repeat}-1})$ có thể được biểu diễn như được thể hiện trên Fig.19.

Trước hết, khi $N_{AP} \leq N_{punc}$, như được thể hiện trên Fig.20, bộ tạo bit chẵn lẻ bổ sung 319 có thể chọn N_{AP} bit kể từ bit chẵn lẻ LDPC đầu tiên trong số các bit chẵn lẻ LDPC được đục lỗ để tạo ra các bit chẵn lẻ bổ sung.

Vì vậy, để dùng làm các bit chẵn lẻ bổ sung, có thể chọn các bit chẵn lẻ LDPC được đục lỗ ($v_{N_{repeat}+N_{inner}-N_{punc}}$, $v_{N_{repeat}+N_{inner}-N_{punc}+1}, \ldots, v_{N_{repeat}+N_{inner}-N_{punc}-N_{AP}-1}$). Điều này có nghĩa là, bộ tạo bit chẵn lẻ bổ sung 319 có thể chọn N_{AP} bit kể từ bit đầu tiên trong số các bit chẵn lẻ LDPC được đục lỗ để tạo ra các bit chẵn lẻ bổ sung.

Ngoài ra, khi $N_{AP} > N_{punc}$, như được thể hiện trên Fig.21, bộ tạo bit chẵn lẻ bổ sung 319 chọn tất cả các bit chẵn lẻ LDPC được đục lỗ.

Vì vậy, để dùng làm các bit chẵn lẻ bổ sung, có thể chọn tất cả các bit chẵn lẻ LDPC được đục lỗ ($v_{N_{repeat}+N_{inner}-N_{punc}}$, $v_{N_{repeat}+N_{inner}-N_{punc}+1}, \ldots, v_{N_{repeat}+N_{inner}-1}$).

Ngoài ra, bộ tạo bit chẵn lẻ bổ sung 319 có thể chọn thêm $N_{AP} - N_{punc}$ bit đầu tiên trong số các bit chẵn lẻ LDPC gồm có các bit chẵn lẻ LDPC được lặp lại và các bit chẵn lẻ LDPC được tạo ra bằng cách mã hoá LDPC.

Điều này có nghĩa là, vì các bit chẵn lẻ LDPC được lặp lại và các bit chẵn lẻ LDPC được tạo ra sau khi mã hoá LDPC được sắp xếp tuần tự, cho nên bộ tạo bit chẵn lẻ bổ sung 319 có thể chọn thêm $N_{AP} - N_{punc}$ bit chẵn lẻ kể từ bit chẵn lẻ LDPC đầu tiên trong số các bit chẵn lẻ LDPC được lặp lại.

Vì vậy, để dùng làm các bit chẵn lẻ bổ sung, có thể chọn thêm các bit chẵn lẻ LDPC ($v_{K_{ldpc}}$, $v_{K_{ldpc}+1}, \ldots, v_{K_{ldpc}+N_{AP}-N_{punc}-1}$).

Trong trường hợp như vậy, bộ tạo bit chẵn lẻ bổ sung 319 có thể gắn các bit đã chọn thêm vào các bit đã chọn trước đó để tạo ra các bit chẵn lẻ bổ sung. Điều này có nghĩa là, như được thể hiện trên Fig.21, bộ tạo bit chẵn lẻ bổ sung 319 có thể gắn các bit chẵn lẻ LDPC đã chọn thêm vào các bit chẵn lẻ LDPC được đục lỗ để tạo ra các bit chẵn lẻ bổ sung.

Vì vậy, để dùng làm các bit chẵn lẻ bổ sung, có thể chọn các bit ($v_{N_{repeat}+N_{inner}-N_{punc}}$, $v_{N_{repeat}+N_{inner}-N_{punc}+1}$, ..., $v_{N_{repeat}+N_{inner}-1}$, $v_{K_{ldpc}}$, $v_{K_{ldpc}+1}$, ..., $v_{K_{ldpc}+N_{AP}-N_{punc}-1}$).

Như vậy, khi số lượng bit được đục lỗ bằng hoặc lớn hơn số lượng bit chẵn lẻ bổ sung, thì các bit chẵn lẻ bổ sung có thể được tạo ra bằng cách chọn các bit trong số các bit được đục lỗ dựa vào thứ tự đục lỗ. Mặt khác, trong những trường hợp khác, các bit chẵn lẻ bổ sung có thể được tạo ra bằng cách chọn tất cả các bit được đục lỗ và $N_{AP} - N_{punc}$ bit chẵn lẻ.

Vì $N_{repeat} = 0$ khi phương pháp lặp không được thực hiện, cho nên phương pháp tạo ra bit chẵn lẻ bổ sung khi phương pháp lặp không được thực hiện giống như trong trường hợp $N_{repeat} = 0$ được thể hiện trên các hình vẽ từ Fig.19 đến Fig.21.

Các bit chẵn lẻ bổ sung có thể được đan xen bit, và có thể được ánh xạ lên chòm điểm. Trong trường hợp như vậy, chòm điểm cho các bit chẵn lẻ bổ sung có thể được tạo ra bằng phương pháp giống như chòm điểm cho các bit thông tin báo hiệu chi tiết cho tầng L1 được truyền trong khung hiện thời, trong đó các bit thông tin báo hiệu chi tiết cho tầng L1 được lặp lại, đục lỗ và đã loại bỏ các bit không. Ngoài ra, như được thể hiện trên Fig.18, sau khi được ánh xạ lên chòm điểm, các bit chẵn lẻ bổ sung có thể được gắn vào phía sau khối thông tin báo hiệu chi tiết cho tầng L1 trong khung đứng trước khung hiện thời mà thông tin báo hiệu chi tiết cho tầng L1 trong khung hiện thời được truyền ở trong đó.

Bộ tạo bit chẵn lẻ bổ sung 319 có thể xuất ra các bit chẵn lẻ bổ sung để cung cấp cho bộ phân kênh bit 323.

Như đã được mô tả trên đây dựa vào bảng 11 và bảng 12, mẫu đan xen theo đơn vị nhóm xác định thứ tự hoán vị có thể có hai mẫu: mẫu thứ nhất và mẫu thứ hai.

Cụ thể, vì giá trị B trong biểu thức 30 nêu trên biểu thị độ dài nhỏ nhất của các bit chẵn lẻ LDPC được đục lỗ, cho nên một số lượng bit định trước có thể luôn luôn được đục lỗ phụ thuộc vào giá trị B, bất kể độ dài của thông tin báo hiệu đầu vào. Ví dụ, trong thông tin báo hiệu chi tiết cho tầng L1 theo chế độ 2, vì B = 6036 và nhóm bit có 360 bit, cho nên ngay cả khi độ dài rút gọn bằng 0, thì vẫn có ít nhất $\left\lfloor \frac{6036}{360} \right\rfloor = 16$ nhóm bit luôn

luôn được đục lỗ.

Trong trường hợp như vậy, vì phương pháp đục lỗ được thực hiện kể từ bit chẵn lẻ LDPC cuối cùng, cho nên số lượng nhóm bit định trước kể từ nhóm bit cuối cùng trong số các nhóm bit tạo nên các bit chẵn lẻ LDPC được đan xen theo đơn vị nhóm có thể luôn luôn được đục lỗ bất kể độ dài rút gọn.

Ví dụ, trong thông tin báo hiệu chi tiết cho tầng L1 theo chế độ 2, 16 nhóm bit cuối cùng trong số 36 nhóm bit tạo nên các bit chẵn lẻ LDPC được đan xen theo đơn vị nhóm có thể luôn luôn được đục lỗ.

Do đó, một số mẫu đan xen theo đơn vị nhóm để xác định thứ tự hoán vị có các nhóm bit luôn luôn được đục lỗ, và vì vậy, mẫu đan xen theo đơn vị nhóm có thể được phân chia ra thành hai mẫu. Cụ thể, một mẫu xác định các nhóm bit còn lại, ngoại trừ các nhóm bit luôn luôn được đục lỗ, trong mẫu đan xen theo đơn vị nhóm được gọi là mẫu thứ nhất, và một mẫu xác định các nhóm bit luôn luôn được đục lỗ được gọi là mẫu thứ hai.

Ví dụ, trong thông tin báo hiệu chi tiết cho tầng L1 theo chế độ 2, vì mẫu đan xen theo đơn vị nhóm được xác định như ở trong bảng 11 nêu trên, cho nên mẫu xác định chỉ số sau khi đan xen theo đơn vị nhóm của các nhóm bit không được đan xen theo đơn vị nhóm và nằm ở các vị trí tương ứng với các nhóm bit từ nhóm bit thứ 9 đến nhóm bit thứ 28, tức là $Y_9 = X_{\pi p(9)} = X_9$, $Y_{10} = X_{\pi p(10)} = X_{31}$, $Y_{11} = X_{\pi p(11)} = X_{23}$, …, $Y_{26} = X_{\pi p(26)} = X_{17}$, $Y_{27} = X_{\pi p(27)} = X_{35}$, $Y_{28} = X_{\pi p(28)} = X_{21}$, có thể là mẫu thứ nhất, và mẫu xác định chỉ số sau khi đan xen theo đơn vị nhóm của các nhóm bit không được đan xen theo đơn vị nhóm và nằm ở các vị trí tương ứng với các nhóm bit từ nhóm bit thứ 29 đến nhóm bit thứ 44, tức là $Y_{29} = X_{\pi p(29)} = X_{20}$, $Y_{30} = X_{\pi p(30)} = X_{24}$, $Y_{31} = X_{\pi p(31)} = X_{44}$, …, $Y_{42} = X_{\pi p(42)} = X_{28}$, $Y_{43} = X_{\pi p(43)} = X_{39}$, $Y_{44} = X_{\pi p(44)} = X_{42}$, có thể là mẫu thứ hai.

Như đã nêu trên, mẫu thứ hai xác định các nhóm bit luôn luôn được đục lỗ trong khung hiện thời bất kể độ dài rút gọn, và mẫu thứ nhất xác định các nhóm bit được đục lỗ thêm khi độ dài rút gọn lớn, cho nên mẫu thứ nhất có thể được dùng để xác định các bit chẵn lẻ LDPC được truyền trong khung hiện thời sau khi đục lỗ.

Cụ thể, theo số lượng bit chẵn lẻ LDPC được đục lỗ, ngoài các bit chẵn lẻ LDPC

luôn luôn được dục lỗ, còn có các bit chẵn lẻ LDPC nữa có thể được đục lỗ thêm.

Ví dụ, trong thông tin báo hiệu chi tiết cho tầng L1 theo chế độ 2, khi số lượng bit chẵn lẻ LDPC được đục lỗ bằng 7200, thì có 20 nhóm bit được đục lỗ, và do đó, có bốn (4) nhóm bit được đục lỗ thêm, ngoài 16 nhóm bit luôn luôn được đục lỗ.

Trong trường hợp như vậy, bốn (4) nhóm bit được đục lỗ thêm tương ứng với các nhóm bit nằm ở các vị trí từ vị trí thứ 25 đến vị trí thứ 28 sau khi đan xen theo đơn vị nhóm, và vì các nhóm bit này được xác định theo mẫu thứ nhất, tức là thuộc về mẫu thứ nhất, cho nên mẫu thứ nhất có thể được dùng để xác định các nhóm bit được đục lỗ.

Điều này có nghĩa là, khi các bit chẵn lẻ LDPC được đục lỗ nhiều hơn giá trị nhỏ nhất của số lượng bit chẵn lẻ LDPC được đục lỗ, thì các nhóm bit được đục lỗ thêm được xác định là các nhóm bit nằm ở phía sau các nhóm bit luôn luôn được đục lỗ. Vì vậy, theo chiều đục lỗ, mẫu thứ nhất xác định các nhóm bit nằm ở phía sau các nhóm bit luôn luôn được đục lỗ có thể được coi là mẫu xác định các nhóm bit được đục lỗ.

Điều này có nghĩa là, như trong ví dụ nêu trên, khi số lượng bit chẵn lẻ LDPC được đục lỗ bằng 7200, thì ngoài 16 nhóm bit luôn luôn được đục lỗ, có bốn (4) nhóm bit, tức là các nhóm bit nằm ở vị trí thứ 28, vị trí thứ 27, vị trí thứ 26 và vị trí thứ 25, sau khi thực hiện bước đan xen theo đơn vị nhóm, được đục lỗ thêm. Theo sáng chế, các nhóm bit nằm ở các vị trí từ vị trí thứ 25 đến vị trí thứ 28 sau khi đan xen theo đơn vị nhóm được xác định theo mẫu thứ nhất.

Do đó, mẫu thứ nhất có thể được coi là dùng để xác định các nhóm bit được đục lỗ. Ngoài ra, các bit chẵn lẻ LDPC còn lại, ngoại trừ các bit chẵn lẻ LDPC được đục lỗ được truyền trong khung hiện thời, và vì vậy, mẫu thứ nhất có thể được coi là dùng để xác định các nhóm bit được truyền trong khung hiện thời.

Mẫu thứ hai có thể được dùng chỉ để xác định các bit chẵn lẻ bổ sung được truyền trong khung trước đó.

Cụ thể, vì các nhóm bit được xác định là các nhóm bit luôn luôn được đục lỗ sẽ luôn luôn được đục lỗ, và sau đó, không được truyền trong khung hiện thời, cho nên các nhóm bit này chỉ cần được đặt vào vị trí mà ở đó đặt các bit luôn luôn được đục lỗ sau khi đan xen theo đơn vị nhóm. Vì vậy, không cần quan tâm đến vị trí mà ở đó đặt các

nhóm bit này sau khi đan xen theo đơn vị nhóm.

Ví dụ, trong thông tin báo hiệu chi tiết cho tầng L1 theo chế độ 2, các nhóm bit được đặt vào vị trí thứ 20, vị trí thứ 24, vị trí thứ 44, ..., vị trí thứ 28, vị trí thứ 39 và vị trí thứ 42 trước khi đan xen theo đơn vị nhóm chỉ cần được đặt vào các vị trí từ vị trí thứ 29 đến vị trí thứ 44 sau khi đan xen theo đơn vị nhóm. Vì vậy, không cần quan tâm đến vị trí mà ở đó đặt các nhóm bit này.

Như vậy, mẫu thứ hai xác định các nhóm bit luôn luôn được đục lỗ được dùng chỉ để xác định các nhóm bit được đục lỗ. Vì vậy, việc xác định thứ tự của các nhóm bit trong mẫu thứ hai không có ý nghĩa đối với phương pháp đục lỗ, và do đó, mẫu thứ hai xác định các nhóm bit luôn luôn được đục lỗ có thể được coi là không được dùng cho phương pháp đục lỗ.

Tuy nhiên, để xác định các bit chẵn lẻ bổ sung, thì vị trí tương ứng với các nhóm bit luôn luôn được đục lỗ trong các nhóm bit này sẽ được xem xét.

Cụ thể, vì các bit chẵn lẻ bổ sung được tạo ra bằng cách chọn các bit với số lượng đúng bằng số lượng định trước kể từ bit đầu tiên trong số các bit chẵn lẻ LDPC được đục lỗ, cho nên có thể chọn các bit có trong ít nhất một số nhóm bit luôn luôn được đục lỗ, để dùng làm ít nhất một số bit trong số các bit chẵn lẻ bổ sung, tuỳ thuộc vào số lượng bit chẵn lẻ LDPC được đục lỗ và số lượng bit chẵn lẻ bổ sung.

Điều này có nghĩa là, khi các bit chẵn lẻ bổ sung được chọn vượt quá các nhóm bit được xác định theo mẫu thứ nhất, vì các bit chẵn lẻ bổ sung được chọn tuần tự kể từ phần đầu của mẫu thứ hai, cho nên thứ tự của các nhóm bit thuộc mẫu thứ hai có ý nghĩa đối với việc chọn các bit chẵn lẻ bổ sung. Do đó, mẫu thứ hai xác định nhóm bit luôn luôn được đục lỗ có thể được coi là dùng để xác định các bit chẵn lẻ bổ sung.

Ví dụ, trong thông tin báo hiệu chi tiết cho tầng L1 theo chế độ 2, tổng số bit chẵn lẻ LDPC bằng 12960 và số lượng nhóm bit luôn luôn được đục lỗ bằng 16.

Trong trường hợp như vậy, mẫu thứ hai có thể được dùng để tạo ra các bit chẵn lẻ bổ sung tuỳ thuộc vào việc giá trị thu được sau khi lấy số lượng của tất cả các bit chẵn lẻ LDPC trừ đi số lượng bit chẵn lẻ LDPC được đục lỗ và cộng kết quả thu được của phép trừ này với số lượng bit chẵn lẻ bổ sung có phải là lớn hơn 7200 hay không. Theo sáng

chế, 7200 là số lượng bit chẵn lẻ LDPC có trong các nhóm bit còn lại, ngoại trừ các nhóm bit luôn luôn được đục lỗ, trong số các nhóm bit tạo nên các bit chẵn lẻ LDPC. Điều này có nghĩa là, 7200 = (36–16)×360.

Cụ thể, khi giá trị thu được sau phép trừ và phép cộng nêu trên bằng hoặc nhỏ hơn 7200, tức là $12960 - N_{punc} + N_{AP} \leq 7200$, thì các bit chẵn lẻ bổ sung có thể được tạo ra theo mẫu thứ nhất.

Tuy nhiên, khi giá trị thu được sau phép trừ và phép cộng nêu trên lớn hơn 7200, tức là $12960 - N_{punc} + N_{AP} > 7200$, thì các bit chẵn lẻ bổ sung có thể được tạo ra theo mẫu thứ nhất và mẫu thứ hai.

Cụ thể, khi $12960 - N_{punc} + N_{AP} > 7200$, thì có thể chọn các bit có trong nhóm bit nằm ở vị trí thứ 28 kể từ bit chẵn lẻ LDPC đầu tiên trong số các bit chẵn lẻ LDPC được đục lỗ, và có thể chọn các bit có trong nhóm bit nằm ở vị trí định trước so với vị trí thứ 29, để dùng làm các bit chẵn lẻ bổ sung.

Theo sáng chế, nhóm bit mà trong đó có bit chẵn lẻ LDPC đầu tiên trong số các bit chẵn lẻ LDPC được đục lỗ và nhóm bit (tức là nhóm bit mà trong đó có các bit chẵn lẻ LDPC được chọn cuối cùng khi chọn tuần tự kể từ bit chẵn lẻ LDPC đầu tiên trong số các bit chẵn lẻ LDPC được đục lỗ) nằm ở vị trí định trước có thể được xác định theo số lượng bit chẵn lẻ LDPC được đục lỗ và số lượng bit chẵn lẻ bổ sung được tạo ra.

Trong trường hợp như vậy, nhóm bit nằm ở vị trí thứ 28 kể từ bit chẵn lẻ LDPC đầu tiên trong số các bit chẵn lẻ LDPC được đục lỗ được xác định theo mẫu thứ nhất, và nhóm bit nằm ở vị trí định trước so với vị trí thứ 29 được xác định theo mẫu thứ hai.

Nhờ đó, các bit chẵn lẻ bổ sung được xác định theo mẫu thứ nhất và mẫu thứ hai.

Như vậy, mẫu thứ nhất có thể được dùng để xác định các bit chẵn lẻ bổ sung được tạo ra cũng như các bit chẵn lẻ LDPC được đục lỗ, còn mẫu thứ hai có thể được dùng để xác định các bit chẵn lẻ bổ sung được tạo ra và các bit chẵn lẻ LDPC luôn luôn được đục lỗ, bất kể số lượng bit chẵn lẻ được đục lỗ bằng các bộ phận đục lỗ 217 và 318.

Ví dụ nêu trên mô tả rằng mẫu đan xen theo đơn vị nhóm có mẫu thứ nhất và mẫu thứ hai, nhưng ví dụ đó chỉ là để cho dễ hiểu về phương pháp đục lỗ và phương pháp tạo ra bit chẵn lẻ bổ sung. Điều này có nghĩa là, mẫu đan xen theo đơn vị nhóm có thể được

coi là một mẫu không có sự phân chia ra thành mẫu thứ nhất và mẫu thứ hai. Trong trường hợp như vậy, thao tác đan xen theo đơn vị nhóm có thể được coi là được thực hiện theo một mẫu đối với cả phương pháp đục lỗ lẫn phương pháp tạo ra bit chẵn lẻ bổ sung.

Các giá trị được sử dụng trong ví dụ nêu trên như số lượng bit chẵn lẻ LDPC được đục lỗ chỉ được coi là ví dụ.

Các bộ phận loại bỏ bit không 218 và 321 có thể loại bỏ các bit không được đệm vào bằng các bộ đệm bit không 213 và 314 ra khỏi các từ mã LDPC được xuất ra từ các bộ phận đục lỗ 217 và 318, và xuất ra các bit còn lại để cung cấp cho các bộ phân kênh bit 219 và 322.

Theo sáng chế, bước loại bỏ các bit không không chỉ có loại bỏ các bit không được đệm vào mà có thể còn có xuất ra các bit còn lại, ngoại trừ các bit không được đệm vào, trong các từ mã LDPC.

Cụ thể, các bộ phận loại bỏ bit không 218 và 321 có thể loại bỏ $K_{ldpc} - N_{outer}$ bit không được đệm vào bằng các bộ đệm bit không 213 và 314. Vì vậy, $K_{ldpc} - N_{outer}$ bit không được đệm sẽ được loại bỏ, và do đó, có thể không được truyền đến thiết bị thu tín hiệu 200.

Ví dụ, như được thể hiện trên Fig.22, giả sử rằng tất cả các bit trong nhóm bit thứ nhất, nhóm bit thứ tư, nhóm bit thứ năm, nhóm bit thứ bảy và nhóm bit thứ tám trong số nhiều nhóm bit tạo nên từ mã LDPC được đệm bằng các bit không, và một số bit trong nhóm bit thứ hai được đệm bằng các bit không.

Trong trường hợp như vậy, các bộ phận loại bỏ bit không 218 và 321 có thể loại bỏ các bit không đã được đệm vào nhóm bit thứ nhất, nhóm bit thứ hai, nhóm bit thứ tư, nhóm bit thứ năm, nhóm bit thứ bảy và nhóm bit thứ tám.

Như vậy, khi các bit không được loại bỏ, như được thể hiện trên Fig.22, có thể còn lại từ mã LDPC gồm có K_{sig} bit thông tin (tức là K_{sig} bit thông tin báo hiệu cơ bản cho tầng L1 hoặc K_{sig} bit thông tin báo hiệu chi tiết cho tầng L1), 168 bit kiểm tra chẵn lẻ BCH (tức là BCH FEC), và $N_{inner} - K_{ldpc} - N_{punc}$ hoặc $N_{inner} - K_{ldpc} - N_{punc} + N_{repeat}$ bit chẵn lẻ.

Điều này có nghĩa là, khi phương pháp lặp được thực hiện, thì độ dài của tất cả các

từ mã LDPC là $N_{FEC} + N_{repeat}$. Trong đó, $N_{FEC} = N_{outer} + N_{ldpc\_parity} - N_{punc}$. Tuy nhiên, ở chế độ mà trong đó phương pháp lặp không được thực hiện, thì độ dài của tất cả các từ mã LDPC là N_{FEC}.

Các bộ phân kênh bit 219 và 322 có thể đan xen các bit được xuất ra từ các bộ phận loại bỏ bit không 218 và 321, phân kênh cho các bit đã đan xen, và sau đó xuất ra các bit này để cung cấp cho các bộ ánh xạ chòm điểm 221 và 324.

Nhằm mục đích này, các bộ phân kênh bit 219 và 322 có thể có bộ phận đan xen khối (không được thể hiện trên hình vẽ) và bộ phân kênh (không được thể hiện trên hình vẽ).

Trước hết, sơ đồ đan xen khối được áp dụng trong bộ phận đan xen khối được thể hiện trên Fig.23.

Cụ thể, các bit có độ dài bằng N_{FEC} hoặc $N_{FEC} + N_{repeat}$ ở phía sau các bit không được loại bỏ có thể được ghi tuần tự theo từng cột vào bộ phận đan xen khối. Theo sáng chế, số lượng cột của bộ phận đan xen khối tương đương với bậc điều biến và số lượng hàng bằng N_{FEC}/η_{MOD} hoặc $(N_{FEC} + N_{repeat})/\eta_{MOD}$.

Ngoài ra, ở thao tác đọc, các bit cho một ký hiệu chòm điểm có thể được đọc tuần tự theo hướng hàng được nhập vào bộ phân kênh. Thao tác này có thể được tiếp tục thực hiện đến hàng cuối cùng của cột.

Điều này có nghĩa là, N_{FEC} hoặc $(N_{FEC} + N_{repeat})$ bit có thể được ghi vào nhiều cột theo hướng cột kể từ hàng thứ nhất của cột thứ nhất, và các bit đã ghi vào nhiều cột được đọc tuần tự từ hàng thứ nhất đến hàng cuối cùng của các cột theo hướng hàng. Trong trường hợp như vậy, các bit được đọc trong cùng một hàng có thể tạo nên một ký hiệu điều biến.

Bộ phân kênh có thể phân kênh cho các bit được xuất ra từ bộ phận đan xen khối.

Cụ thể, bộ phân kênh có thể phân kênh cho từng nhóm bit được đan xen khối, tức là các bit được xuất ra khi đọc cùng một hàng bằng bộ phận đan xen khối trong nhóm bit theo đơn vị bit, trước khi các bit được ánh xạ lên chòm điểm.

Trong trường hợp như vậy, có thể có hai quy tắc ánh xạ theo bậc điều biến.

Cụ thể, khi sơ đồ điều biến QPSK được áp dụng để điều biến, vì độ tin cậy của các bit trong một ký hiệu chòm điểm là như nhau, nên bộ phân kênh không thực hiện thao tác phân kênh trên một nhóm bit. Vì vậy, nhóm bit được đọc và xuất ra từ bộ phận đan xen khối có thể được ánh xạ lên ký hiệu QPSK mà không cần có thao tác phân kênh.

Tuy nhiên, khi sơ đồ điều biến bậc cao được áp dụng, thì bộ phân kênh có thể thực hiện thao tác phân kênh trên nhóm bit được đọc và xuất ra từ bộ phận đan xen khối dựa vào biểu thức 36 dưới đây. Điều này có nghĩa là, một nhóm bit có thể được ánh xạ lên ký hiệu điều biến QAM dựa vào biểu thức 36 dưới đây:

$$S_{demux\_in(i)} = \{b_i(0), b_i(1), b_i(2), \ldots, b_i(\eta_{MOD}-1)\},$$

$$S_{demux\_out(i)} = \{c_i(0), c_i(1), c_i(2), \ldots, c_i(\eta_{MOD}-1)\}, \quad (36)$$

$$c_i(0) = b_i(i\%\eta_{MOD}), c_i(1) = b_i((i+1)\%\eta_{MOD}), \ldots, c_i(\eta_{MOD}-1) = b_i((i+\eta_{MOD}-1)\%\eta_{MOD})$$

Trong biểu thức 36 nêu trên, % là phép toán môđulô, và η_{MOD} là bậc điều biến.

Ngoài ra, i là chỉ số của nhóm bit tương ứng với chỉ số hàng của bộ phận đan xen khối. Điều này có nghĩa là, nhóm bit đầu ra $S_{demux\_out(i)}$ được ánh xạ lên mỗi ký hiệu điều biến QAM có thể được dịch chuyển tuần hoàn với khoảng cách $S_{demux\_in(i)}$ theo chỉ số của nhóm bit i.

Fig.24 thể hiện ví dụ về phương pháp thực hiện thao tác phân kênh bit trên chòm điểm không đồng đều điều biến có 16 điểm (16-Non Uniform Constellation, 16-NUC), tức là chòm điểm NUC 16-QAM. Thao tác này có thể được tiếp tục thực hiện cho tới khi tất cả các nhóm bit được đọc trong bộ phận đan xen khối.

Bộ phân kênh bit 323 có thể thực hiện thao tác, giống như thao tác được thực hiện bằng các bộ phân kênh bit 219 và 322, trên các bit chẵn lẻ bổ sung được xuất ra từ bộ tạo bit chẵn lẻ bổ sung 319, và xuất ra các bit đã được đan xen khối và phân kênh để cung cấp cho bộ ánh xạ chòm điểm 325.

Các bộ ánh xạ chòm điểm 221, 324 và 325 có thể lần lượt ánh xạ các bit được xuất ra từ các bộ phân kênh bit 219, 322 và 323 lên các ký hiệu chòm điểm.

Điều này có nghĩa là, mỗi bộ ánh xạ chòm điểm 221, 324 và 325 có thể ánh xạ ký hiệu $S_{demux\_out(i)}$ lên một từ ô bằng cách sử dụng chòm điểm theo chế độ tương ứng. Theo

sáng chế, ký hiệu $S_{demux\_out(i)}$ có thể được tạo ra gồm có các bit với số lượng đúng bằng bậc điều biến.

Cụ thể, các bộ ánh xạ chòm điểm 221, 324 và 325 có thể ánh xạ các bit được xuất ra từ các bộ phân kênh bit 219, 322 và 323 lên các ký hiệu chòm điểm bằng cách áp dụng sơ đồ điều biến QPSK, 16-QAM, 64-QAM, 256-QAM, v.v., theo chế độ tương ứng.

Trong trường hợp như vậy, các bộ ánh xạ chòm điểm 221, 324 và 325 có thể sử dụng chòm điểm NUC. Điều này có nghĩa là, các bộ ánh xạ chòm điểm 221, 324 và 325 có thể sử dụng chòm điểm NUC 16-QAM, NUC 64-QAM hoặc NUC 256-QAM. Trong đó, sơ đồ điều biến để áp dụng cho thông tin báo hiệu cơ bản cho tầng L1 và thông tin báo hiệu chi tiết cho tầng L1 theo chế độ tương ứng được thể hiện trong bảng 6 nêu trên.

Thiết bị truyền tín hiệu 100 có thể ánh xạ các ký hiệu chòm điểm lên khung và truyền các ký hiệu đã được ánh xạ đến thiết bị thu tín hiệu 200.

Cụ thể, thiết bị truyền tín hiệu 100 có thể ánh xạ các ký hiệu chòm điểm tương ứng với mỗi thông tin báo hiệu cơ bản cho tầng L1 và thông tin báo hiệu chi tiết cho tầng L1 được xuất ra từ các bộ ánh xạ chòm điểm 221 và 324, và ánh xạ các ký hiệu chòm điểm tương ứng với các bit chẵn lẻ bổ sung được xuất ra từ bộ ánh xạ chòm điểm 325 lên ký hiệu trong phần mở đầu của khung.

Trong trường hợp như vậy, thiết bị truyền tín hiệu 100 có thể ánh xạ các bit chẵn lẻ bổ sung được tạo ra dựa vào thông tin báo hiệu chi tiết cho tầng L1 được truyền trong khung hiện thời lên khung đứng trước khung hiện thời.

Điều này có nghĩa là, thiết bị truyền tín hiệu 100 có thể ánh xạ các bit từ mã LDPC chứa thông tin báo hiệu cơ bản cho tầng L1 tương ứng với khung thứ (i–1) lên khung thứ (i–1), ánh xạ các bit từ mã LDPC chứa thông tin báo hiệu chi tiết cho tầng L1 tương ứng với khung thứ (i–1) lên khung thứ (i–1), và ánh xạ thêm các bit chẵn lẻ bổ sung đã tạo ra được chọn trong số các bit chẵn lẻ LDPC được tạo ra dựa vào thông tin báo hiệu chi tiết cho tầng L1 tương ứng với khung thứ i lên khung thứ (i–1) và có thể truyền các bit đã được ánh xạ đến thiết bị thu tín hiệu 200.

Ngoài ra, thiết bị truyền tín hiệu 100 có thể ánh xạ dữ liệu lên các ký hiệu dữ liệu của khung, ngoài thông tin báo hiệu cho tầng L1, và truyền khung chứa thông tin báo

hiệu cho tầng L1 và dữ liệu đến thiết bị thu tín hiệu 200.

Trong trường hợp như vậy, vì thông tin báo hiệu cho tầng L1 chứa thông tin báo hiệu liên quan đến dữ liệu, nên thông tin báo hiệu liên quan đến dữ liệu tương ứng với từng dữ liệu có thể được ánh xạ vào trong phần mở đầu của khung tương ứng. Ví dụ, thiết bị truyền tín hiệu 100 có thể ánh xạ thông tin báo hiệu cho tầng L1 chứa thông tin báo hiệu liên quan đến dữ liệu được ánh xạ lên khung thứ i, vào trong khung thứ i.

Nhờ đó, thiết bị thu tín hiệu 200 có thể sử dụng thông tin báo hiệu thu được từ khung để thu nhận dữ liệu từ khung tương ứng để xử lý.

Fig.25 và Fig.26 là các sơ đồ khối thể hiện cấu hình của thiết bị thu tín hiệu theo phương án làm ví dụ thực hiện sáng chế.

Cụ thể, như được thể hiện trên Fig.25, thiết bị thu tín hiệu 200 có thể bao gồm bộ khử ánh xạ chòm điểm 2510, bộ dồn kênh 2520, bộ phận chèn giá trị tỷ số hợp lý dạng loga (Log-Likelihood Ratio, LLR) 2530, bộ phận kết hợp LLR 2540, bộ phận khử hoán vị chẵn lẻ 2550, bộ giải mã LDPC 2560, bộ phận loại bỏ bit không 2570, bộ giải mã BCH 2580 và bộ phận khử xáo trộn 2590 để xử lý thông tin báo hiệu cơ bản cho tầng L1.

Ngoài ra, như được thể hiện trên Fig.26, thiết bị thu tín hiệu 200 có thể bao gồm các bộ khử ánh xạ chòm điểm 2611 và 2612, các bộ dồn kênh 2621 và 2622, bộ phận chèn LLR 2630, bộ phận kết hợp LLR 2640, bộ phận khử hoán vị chẵn lẻ 2650, bộ giải mã LDPC 2660, bộ phận loại bỏ bit không 2670, bộ giải mã BCH 2680, bộ phận khử xáo trộn 2690 và bộ phận khử phân đoạn 2695 để xử lý thông tin báo hiệu chi tiết cho tầng L1.

Theo sáng chế, các bộ phận được thể hiện trên Fig.25 và Fig.26 lần lượt là các bộ phận thực hiện các chức năng tương ứng với chức năng của các bộ phận được thể hiện trên Fig.9 và Fig.10, nhưng đó chỉ là một ví dụ, và trong một số trường hợp, một số bộ phận có thể được loại bỏ hoặc thay đổi, và các bộ phận khác có thể được bổ sung vào.

Thiết bị thu tín hiệu 200 có thể thu nhận tín hiệu đồng bộ hoá khung từ phần khởi động của khung và thu thông tin báo hiệu cơ bản cho tầng L1 từ phần mở đầu của khung bằng cách sử dụng thông tin để xử lý thông tin báo hiệu cơ bản cho tầng L1 có trong phần khởi động.

Ngoài ra, thiết bị thu tín hiệu 200 có thể thu thông tin báo hiệu chi tiết cho tầng L1 từ phần mở đầu bằng cách sử dụng thông tin để xử lý thông tin báo hiệu chi tiết cho tầng L1 có trong thông tin báo hiệu cơ bản cho tầng L1, và thu dữ liệu phát rộng theo yêu cầu của người dùng từ các ký hiệu dữ liệu trong khung bằng cách sử dụng thông tin báo hiệu chi tiết cho tầng L1.

Vì vậy, thiết bị thu tín hiệu 200 có thể xác định chế độ đã được sử dụng ở thiết bị truyền tín hiệu 100 để xử lý thông tin báo hiệu cơ bản cho tầng L1 và thông tin báo hiệu chi tiết cho tầng L1, và xử lý tín hiệu thu được từ thiết bị truyền tín hiệu 100 theo chế độ đã xác định để thu thông tin báo hiệu cơ bản cho tầng L1 và thông tin báo hiệu chi tiết cho tầng L1. Nhằm mục đích này, thiết bị thu tín hiệu 200 có thể lưu trữ trước thông tin về các thông số đã được sử dụng ở thiết bị truyền tín hiệu 100 để xử lý thông tin báo hiệu theo các chế độ tương ứng.

Như vậy, thông tin báo hiệu cơ bản cho tầng L1 và thông tin báo hiệu chi tiết cho tầng L1 có thể được thu nhận tuần tự từ phần mở đầu. Khi mô tả dựa vào Fig.25 và Fig.26, các bộ phận thực hiện chức năng giống nhau sẽ được mô tả cùng nhau để cho thuận tiện.

Các bộ khử ánh xạ chòm điểm 2510, 2611 và 2612 giải điều biến tín hiệu thu được từ thiết bị truyền tín hiệu 100.

Cụ thể, các bộ khử ánh xạ chòm điểm 2510, 2611 và 2612 lần lượt là các bộ phận tương ứng với các bộ ánh xạ chòm điểm 221, 324 và 325 trong thiết bị truyền tín hiệu 100, và có thể giải điều biến tín hiệu thu được từ thiết bị truyền tín hiệu 100 và tạo ra các giá trị tương ứng với các bit được truyền từ thiết bị truyền tín hiệu 100.

Điều này có nghĩa là, như đã nêu trên, thiết bị truyền tín hiệu 100 ánh xạ từ mã LDPC chứa thông tin báo hiệu cơ bản cho tầng L1 và từ mã LDPC chứa thông tin báo hiệu chi tiết cho tầng L1 vào trong phần mở đầu của khung, và truyền từ mã LDPC đã ánh xạ đến thiết bị thu tín hiệu 200. Ngoài ra, trong một số trường hợp, thiết bị truyền tín hiệu 100 có thể ánh xạ các bit chẵn lẻ bổ sung vào trong phần mở đầu của khung và truyền các bit đã ánh xạ đến thiết bị thu tín hiệu 200.

Nhờ đó, các bộ khử ánh xạ chòm điểm 2510 và 2611 có thể tạo ra các giá trị tương

ứng với các bit từ mã LDPC chứa thông tin báo hiệu cơ bản cho tầng L1 và các bit từ mã LDPC chứa thông tin báo hiệu chi tiết cho tầng L1. Ngoài ra, bộ khử ánh xạ chòm điểm 2612 có thể tạo ra các giá trị tương ứng với các bit chẵn lẻ bổ sung.

Nhằm mục đích này, thiết bị thu tín hiệu 200 có thể lưu trữ trước thông tin về sơ đồ điều biến đã được sử dụng ở thiết bị truyền tín hiệu 100 để điều biến thông tin báo hiệu cơ bản cho tầng L1, thông tin báo hiệu chi tiết cho tầng L1 và các bit chẵn lẻ bổ sung theo các chế độ tương ứng. Vì vậy, các bộ khử ánh xạ chòm điểm 2510, 2611 và 2612 có thể giải điều biến tín hiệu thu được từ thiết bị truyền tín hiệu 100 theo các chế độ tương ứng để tạo ra các giá trị tương ứng với các bit từ mã LDPC và các bit chẵn lẻ bổ sung.

Giá trị tương ứng với bit được truyền từ thiết bị truyền tín hiệu 100 là giá trị được tính dựa vào xác suất để cho bit thu được bằng 0 và bằng 1, và để thay thế, bản thân xác suất này cũng có thể được dùng làm giá trị tương ứng với mỗi bit. Ví dụ khác, giá trị này cũng có thể là giá trị tỷ số hợp lý (Likelihood Ratio, LR) hoặc giá trị LLR.

Cụ thể, giá trị LR có thể là tỷ số giữa xác suất để cho bit được truyền từ thiết bị truyền tín hiệu 100 bằng 0 và xác suất để cho bit đó bằng 1, và giá trị LLR có thể là giá trị thu được khi lấy logarit cho tỷ số giữa xác suất để cho bit được truyền từ thiết bị truyền tín hiệu 100 bằng 0 và xác suất để cho bit đó bằng 1.

Ví dụ nêu trên sử dụng giá trị LR hoặc giá trị LLR, nhưng đó chỉ là một ví dụ. Theo phương án làm ví dụ khác để thực hiện sáng chế, cũng có thể sử dụng bản thân tín hiệu thu được, chứ không phải là giá trị LR hoặc giá trị LLR.

Các bộ dồn kênh 2520, 2621 và 2622 thực hiện thao tác dồn kênh trên các giá trị LLR được xuất ra từ các bộ khử ánh xạ chòm điểm 2510, 2611 và 2612.

Cụ thể, các bộ dồn kênh 2520, 2621 và 2622 là các bộ phận tương ứng với các bộ phân kênh bit 219, 322 và 323 trong thiết bị truyền tín hiệu 100, và có thể lần lượt thực hiện các thao tác tương ứng với các thao tác của các bộ phân kênh bit 219, 322 và 323.

Nhằm mục đích này, thiết bị thu tín hiệu 200 có thể lưu trữ trước thông tin về các thông số đã được sử dụng ở thiết bị truyền tín hiệu 100 để thực hiện thao tác phân kênh và đan xen khối. Vì vậy, các bộ dồn kênh 2520, 2621 và 2622 có thể thực hiện các thao tác đảo ngược lại các thao tác phân kênh và đan xen khối của các bộ phân kênh bit 219,

322 và 323 trên giá trị LLR tương ứng với một từ ô để dồn kênh giá trị LLR tương ứng với từ ô đó theo đơn vị bit.

Các bộ phận chèn LLR 2530 và 2630 có thể lần lượt chèn các giá trị LLR cho các bit đục lỗ và rút gọn vào trong các giá trị LLR được xuất ra từ các bộ dồn kênh 2520 và 2621. Trong trường hợp như vậy, các bộ phận chèn LLR 2530 và 2630 có thể chèn các giá trị LLR định trước vào giữa các giá trị LLR được xuất ra từ các bộ dồn kênh 2520 và 2621 hoặc vào phần đầu hoặc phần cuối của các giá trị này.

Cụ thể, các bộ phận chèn LLR 2530 và 2630 lần lượt là các bộ phận tương ứng với các bộ phận loại bỏ bit không 218 và 321 và các bộ phận đục lỗ 217 và 318 trong thiết bị truyền tín hiệu 100, và có thể lần lượt thực hiện các thao tác tương ứng với các thao tác của các bộ phận loại bỏ bit không 218 và 321 và các bộ phận đục lỗ 217 và 318.

Trước hết, các bộ phận chèn LLR 2530 và 2630 có thể chèn các giá trị LLR tương ứng với các bit không vào các vị trí mà ở đó các bit không được đệm vào trong từ mã LDPC. Trong trường hợp như vậy, các giá trị LLR tương ứng với các bit không được đệm vào, tức là các bit không được rút gọn, có thể bằng ∞ hoặc $-\infty$. Tuy nhiên, ∞ hoặc $-\infty$ là giá trị lý thuyết, còn trên thực tế đó có thể là giá trị cực đại hoặc giá trị cực tiểu của giá trị LLR được sử dụng ở thiết bị thu tín hiệu 200.

Nhằm mục đích này, thiết bị thu tín hiệu 200 có thể lưu trữ trước thông tin về các thông số và/hoặc các mẫu đã được sử dụng ở thiết bị truyền tín hiệu 100 để đệm các bit không theo các chế độ tương ứng. Vì vậy, các bộ phận chèn LLR 2530 và 2630 có thể xác định các vị trí mà ở đó các bit không được đệm vào trong các từ mã LDPC theo các chế độ tương ứng, và chèn các giá trị LLR tương ứng với các bit không được rút gọn vào các vị trí tương ứng.

Ngoài ra, các bộ phận chèn LLR 2530 và 2630 có thể chèn các giá trị LLR tương ứng với các bit được đục lỗ vào vị trí của các bit được đục lỗ trong từ mã LDPC. Trong trường hợp như vậy, các giá trị LLR tương ứng với các bit được đục lỗ có thể bằng 0. Tuy nhiên, các bộ phận kết hợp LLR 2540 và 2640 dùng để cập nhật các giá trị LLR tương ứng với các bit cụ thể với những giá trị chính xác hơn. Tuy nhiên, các giá trị LLR tương ứng với các bit cụ thể cũng có thể được giải mã dựa trên các giá trị LLR thu được mà không cần có các bộ phận kết hợp LLR 2540 và 2640, và vì vậy, trong một số trường

hợp, các bộ phận kết hợp LLR 2540 và 2640 có thể được loại bỏ.

Nhằm mục đích này, thiết bị thu tín hiệu 200 có thể lưu trữ trước thông tin về các thông số và/hoặc các mẫu đã được sử dụng ở thiết bị truyền tín hiệu 100 để thực hiện phương pháp đục lỗ theo các chế độ tương ứng. Vì vậy, các bộ phận chèn LLR 2530 và 2630 có thể xác định độ dài của các bit chẵn lẻ LDPC được đục lỗ theo các chế độ tương ứng, và chèn các giá trị LLR tương ứng vào các vị trí mà ở đó các bit chẵn lẻ LDPC được đục lỗ.

Khi các bit chẵn lẻ bổ sung được chọn từ các bit được đục lỗ trong số các bit chẵn lẻ bổ sung, bộ phận chèn LLR 2630 có thể chèn các giá trị LLR tương ứng với các bit chẵn lẻ bổ sung thu được, chứ không phải là giá trị LLR '0' cho bit được đục lỗ, vào vị trí của các bit được đục lỗ.

Các bộ phận kết hợp LLR 2540 và 2640 có thể kết hợp, tức là cộng, các giá trị LLR được xuất ra từ các bộ phận chèn LLR 2530 và 2630 với giá trị LLR được xuất ra từ bộ dồn kênh 2622.

Cụ thể, bộ phận kết hợp LLR 2540 là bộ phận tương ứng với bộ phận lặp 216 trong thiết bị truyền tín hiệu 100, và có thể thực hiện thao tác tương ứng với thao tác của bộ phận lặp 216. Theo cách khác, bộ phận kết hợp LLR 2640 là bộ phận tương ứng với bộ phận lặp 317 và bộ tạo bit chẵn lẻ bổ sung 319 trong thiết bị truyền tín hiệu 100, và có thể thực hiện các thao tác tương ứng với các thao tác của bộ phận lặp 317 và bộ tạo bit chẵn lẻ bổ sung 319.

Trước hết, các bộ phận kết hợp LLR 2540 và 2640 có thể kết hợp các giá trị LLR tương ứng với các bit lặp với các giá trị LLR khác. Theo sáng chế, các giá trị LLR khác có thể là các bit làm cơ sở để tạo ra các bit lặp bằng thiết bị truyền tín hiệu 100, tức là các giá trị LLR cho các bit chẵn lẻ LDPC, được chọn làm đối tượng lặp.

Điều này có nghĩa là, như đã nêu trên, thiết bị truyền tín hiệu 100 chọn các bit trong số các bit chẵn lẻ LDPC và lặp lại các bit đã chọn ở giữa các bit thông tin LDPC và các bit chẵn lẻ LDPC được tạo ra bằng cách mã hoá LDPC, và truyền các bit lặp đến thiết bị thu tín hiệu 200.

Do đó, các giá trị LLR cho các bit chẵn lẻ LDPC có thể gồm có các giá trị LLR cho

các bit chẵn lẻ LDPC được lặp lại và các giá trị LLR cho các bit chẵn lẻ LDPC không phải là được lặp lại, tức là các bit chẵn lẻ LDPC được tạo ra bằng cách mã hoá LDPC. Vì vậy, các bộ phận kết hợp LLR 2540 và 2640 có thể kết hợp các giá trị LLR cho cùng một bit chẵn lẻ LDPC.

Nhằm mục đích này, thiết bị thu tín hiệu 200 có thể lưu trữ trước thông tin về các thông số đã được sử dụng ở thiết bị truyền tín hiệu 100 để thực hiện phương pháp lặp theo các chế độ tương ứng. Vì vậy, các bộ phận kết hợp LLR 2540 và 2640 có thể xác định độ dài của các bit chẵn lẻ LDPC được lặp lại, xác định vị trí của các bit làm cơ sở để lặp lại, và kết hợp các giá trị LLR cho các bit chẵn lẻ LDPC được lặp lại với các giá trị LLR cho các bit chẵn lẻ LDPC làm cơ sở để lặp lại và được tạo ra bằng cách mã hoá LDPC.

Ví dụ, như được thể hiện trên Fig.27 và Fig.28, các bộ phận kết hợp LLR 2540 và 2640 có thể kết hợp các giá trị LLR cho các bit chẵn lẻ LDPC được lặp lại với các giá trị LLR cho các bit chẵn lẻ LDPC làm cơ sở để lặp lại và được tạo ra bằng cách mã hoá LDPC.

Khi các bit chẵn lẻ LPDC được lặp lại n lần, thì các bộ phận kết hợp LLR 2540 và 2640 có thể kết hợp các giá trị LLR cho các bit ở cùng một vị trí với n lần hoặc với số lần ít hơn.

Ví dụ, Fig.27 thể hiện trường hợp trong đó một số bit chẵn lẻ LDPC, ngoại trừ các bit được đục lỗ, được lặp lại một lần. Trong trường hợp như vậy, các bộ phận kết hợp LLR 2540 và 2640 có thể kết hợp các giá trị LLR cho các bit chẵn lẻ LDPC được lặp lại với các giá trị LLR cho các bit chẵn lẻ LDPC được tạo ra bằng cách mã hoá LDPC, và sau đó, xuất ra các giá trị LLR đã được kết hợp, hoặc xuất ra các giá trị LLR cho các bit chẵn lẻ LDPC được lặp lại thu được hoặc các giá trị LLR cho các bit chẵn lẻ LDPC được tạo ra bằng cách mã hoá LDPC thu được mà không cần kết hợp các giá trị đó.

Ví dụ khác, Fig.28 thể hiện trường hợp trong đó một số bit chẵn lẻ LDPC được truyền, không được đục lỗ, được lặp lại hai lần, phần còn lại được lặp lại một lần, và các bit chẵn lẻ LDPC được đục lỗ được lặp lại một lần.

Trong trường hợp như vậy, các bộ phận kết hợp LLR 2540 và 2640 có thể xử lý

phần còn lại và các bit được đục lỗ được lặp lại một lần bằng cách sử dụng sơ đồ giống như sơ đồ đã được mô tả trên đây. Tuy nhiên, các bộ phận kết hợp LLR 2540 và 2640 có thể xử lý phần được lặp lại hai lần theo cách như sau. Trong trường hợp như vậy, để cho thuận tiện, một trong số hai phần được tạo ra bằng cách lặp lại hai lần một số bit chẵn lẻ LDPC được gọi là phần thứ nhất và phần kia được gọi là phần thứ hai.

Cụ thể, các bộ phận kết hợp LLR 2540 và 2640 có thể kết hợp các giá trị LLR cho mỗi phần trong số phần thứ nhất và phần thứ hai với các giá trị LLR cho các bit chẵn lẻ LDPC. Theo cách khác, các bộ phận kết hợp LLR 2540 và 2640 có thể kết hợp các giá trị LLR cho phần thứ nhất với các giá trị LLR cho các bit chẵn lẻ LDPC, kết hợp các giá trị LLR cho phần thứ hai với các giá trị LLR cho các bit chẵn lẻ LDPC, hoặc kết hợp các giá trị LLR cho phần thứ nhất với các giá trị LLR cho phần thứ hai. Theo cách khác, các bộ phận kết hợp LLR 2540 và 2640 có thể xuất ra các giá trị LLR cho phần thứ nhất, các giá trị LLR cho phần thứ hai, các giá trị LLR cho phần còn lại, và các bit được đục lỗ, mà không cần kết hợp riêng.

Ngoài ra, bộ phận kết hợp LLR 2640 có thể kết hợp các giá trị LLR tương ứng với các bit chẵn lẻ bổ sung với các giá trị LLR khác. Theo sáng chế, các giá trị LLR khác có thể là các bit chẵn lẻ LDPC làm cơ sở để tạo ra các bit chẵn lẻ bổ sung bằng thiết bị truyền tín hiệu 100, tức là các giá trị LLR cho các bit chẵn lẻ LDPC được chọn để tạo ra các bit chẵn lẻ bổ sung.

Điều này có nghĩa là, như đã nêu trên, thiết bị truyền tín hiệu 100 có thể ánh xạ các bit chẵn lẻ bổ sung cho thông tin báo hiệu chi tiết cho tầng L1 được truyền trong khung hiện thời lên khung trước đó và truyền các bit đã ánh xạ đến thiết bị thu tín hiệu 200.

Trong trường hợp như vậy, các bit chẵn lẻ bổ sung có thể có các bit chẵn lẻ LDPC được đục lỗ và không được truyền trong khung hiện thời, và trong một số trường hợp, có thể còn có các bit chẵn lẻ LDPC được truyền trong khung hiện thời.

Do đó, bộ phận kết hợp LLR 2640 có thể kết hợp các giá trị LLR cho các bit chẵn lẻ bổ sung thu được trong khung hiện thời với các giá trị LLR được chèn vào vị trí của các bit chẵn lẻ LDPC được đục lỗ trong từ mã LDPC thu được từ khung kế tiếp và các giá trị LLR cho các bit chẵn lẻ LDPC thu được từ khung kế tiếp.

Nhằm mục đích này, thiết bị thu tín hiệu 200 có thể lưu trữ trước thông tin về các thông số và/hoặc các mẫu đã được sử dụng ở thiết bị truyền tín hiệu 100 để tạo ra các bit chẵn lẻ bổ sung theo các chế độ tương ứng. Vì vậy, bộ phận kết hợp LLR 2640 có thể xác định độ dài của các bit chẵn lẻ bổ sung, xác định vị trí của các bit chẵn lẻ LDPC làm cơ sở để tạo ra các bit chẵn lẻ bổ sung, và kết hợp các giá trị LLR cho các bit chẵn lẻ bổ sung với các giá trị LLR cho các bit chẵn lẻ LDPC làm cơ sở để tạo ra các bit chẵn lẻ bổ sung.

Các bộ phận khử hoán vị chẵn lẻ 2550 và 2650 có thể lần lượt khử hoán vị cho các giá trị LLR được xuất ra từ các bộ phận kết hợp LLR 2540 và 2640.

Cụ thể, các bộ phận khử hoán vị chẵn lẻ 2550 và 2650 là các bộ phận tương ứng với các bộ phận hoán vị chẵn lẻ 215 và 316 trong thiết bị truyền tín hiệu 100, và có thể lần lượt thực hiện các thao tác tương ứng với các thao tác của các bộ phận hoán vị chẵn lẻ 215 và 316.

Nhằm mục đích này, thiết bị thu tín hiệu 200 có thể lưu trữ trước thông tin về các thông số và/hoặc các mẫu đã được sử dụng ở thiết bị truyền tín hiệu 100 để thực hiện các thao tác đan xen theo đơn vị nhóm và đan xen bit chẵn lẻ theo các chế độ tương ứng. Vì vậy, các bộ phận khử hoán vị chẵn lẻ 2550 và 2650 có thể lần lượt thực hiện các thao tác đảo ngược lại các thao tác đan xen theo đơn vị nhóm và đan xen bit chẵn lẻ của các bộ phận hoán vị chẵn lẻ 215 và 316 trên các giá trị LLR tương ứng với các bit từ mã LDPC, tức là thực hiện các thao tác khử đan xen theo đơn vị nhóm và khử đan xen bit chẵn lẻ để thực hiện chức năng khử hoán vị chẵn lẻ trên các giá trị LLR tương ứng với các bit từ mã LDPC.

Các bộ giải mã LDPC 2560 và 2660 có thể lần lượt thực hiện bước giải mã LDPC dựa vào các giá trị LLR được xuất ra từ các bộ phận khử hoán vị chẵn lẻ 2550 và 2650.

Cụ thể, các bộ giải mã LDPC 2560 và 2660 là các bộ phận tương ứng với các bộ mã hoá LDPC 214 và 315 trong thiết bị truyền tín hiệu 100 và có thể lần lượt thực hiện các thao tác tương ứng với các thao tác của các bộ mã hoá LDPC 214 và 315.

Nhằm mục đích này, thiết bị thu tín hiệu 200 có thể lưu trữ trước thông tin về các thông số đã được sử dụng ở thiết bị truyền tín hiệu 100 để thực hiện bước mã hoá LDPC

theo các chế độ tương ứng. Vì vậy, các bộ giải mã LDPC 2560 và có thể thực hiện bước giải mã LDPC dựa vào các giá trị LLR được xuất ra từ các bộ phận khử hoán vị chẵn lẻ 2550 và 2650 theo các chế độ tương ứng.

Ví dụ, các bộ giải mã LDPC 2560 và 2660 có thể thực hiện bước giải mã LDPC dựa vào các giá trị LLR được xuất ra từ các bộ phận khử hoán vị chẵn lẻ 2550 và 2650 bằng cách giải mã lặp dựa vào thuật toán tổng-tích và xuất ra các bit đã được sửa lỗi bằng cách giải mã LDPC.

Các bộ phận loại bỏ bit không 2570 và 2670 có thể lần lượt loại bỏ các bit không ra khỏi các bit được xuất ra từ các bộ giải mã LDPC 2560 và 2660.

Cụ thể, các bộ phận loại bỏ bit không 2570 và 2670 là các bộ phận tương ứng với các bộ đệm bit không 213 và 314 trong thiết bị truyền tín hiệu 100, và có thể lần lượt thực hiện các thao tác tương ứng với các thao tác của các bộ đệm bit không 213 và 314.

Nhằm mục đích này, thiết bị thu tín hiệu 200 có thể lưu trữ trước thông tin về các thông số và/hoặc các mẫu đã được sử dụng ở thiết bị truyền tín hiệu 100 để đệm các bit không theo các chế độ tương ứng. Vì vậy, các bộ phận loại bỏ bit không 2570 và 2670 có thể lần lượt loại bỏ các bit không được đệm vào bằng các bộ đệm bit không 213 và 314 ra khỏi các bit được xuất ra từ các bộ giải mã LDPC 2560 và 2660.

Các bộ giải mã BCH 2580 và 2680 có thể lần lượt thực hiện bước giải mã BCH trên các bit được xuất ra từ các bộ phận loại bỏ bit không 2570 và 2670.

Cụ thể, các bộ giải mã BCH 2580 và 2680 là các bộ phận tương ứng với các bộ mã hoá BCH 212 và 313 trong thiết bị truyền tín hiệu 100, và có thể lần lượt thực hiện các thao tác tương ứng với các thao tác của các bộ mã hoá BCH 212 và 313.

Nhằm mục đích này, thiết bị thu tín hiệu 200 có thể lưu trữ trước thông tin về các thông số đã được sử dụng ở thiết bị truyền tín hiệu 100 để thực hiện bước mã hoá BCH. Vì vậy, các bộ giải mã BCH 2580 và 2680 có thể sửa lỗi bằng cách thực hiện bước giải mã BCH trên các bit được xuất ra từ các bộ phận loại bỏ bit không 2570 và 2670 và xuất ra các bit đã được sửa lỗi.

Các bộ phận khử xáo trộn 2590 và 2690 có thể lần lượt khử xáo trộn cho các bit được xuất ra từ các bộ giải mã BCH 2580 và 2680.

Cụ thể, các bộ phận khử xáo trộn 2590 và 2690 là các bộ phận tương ứng với các bộ phận xáo trộn 211 và 312 trong thiết bị truyền tín hiệu 100, và có thể thực hiện các thao tác tương ứng với các thao tác của các bộ phận xáo trộn 211 và 312.

Nhằm mục đích này, thiết bị thu tín hiệu 200 có thể lưu trữ trước thông tin về các thông số đã được sử dụng ở thiết bị truyền tín hiệu 100 để thực hiện thao tác xáo trộn. Vì vậy, các bộ phận khử xáo trộn 2590 và 2690 có thể lần lượt khử xáo trộn cho các bit được xuất ra từ các bộ giải mã BCH 2580 và 2680 và xuất ra các bit đã được khử xáo trộn.

Nhờ đó, thông tin báo hiệu cơ bản cho tầng L1 được truyền từ thiết bị truyền tín hiệu 100 có thể được khôi phục. Ngoài ra, khi thiết bị truyền tín hiệu 100 không thực hiện thao tác phân đoạn trên thông tin báo hiệu chi tiết cho tầng L1, thì thông tin báo hiệu chi tiết cho tầng L1 được truyền từ thiết bị truyền tín hiệu 100 cũng có thể được khôi phục.

Tuy nhiên, khi thiết bị truyền tín hiệu 100 thực hiện thao tác phân đoạn trên thông tin báo hiệu chi tiết cho tầng L1, thì bộ phận khử phân đoạn 2695 có thể khử phân đoạn cho các bit được xuất ra từ bộ phận khử xáo trộn 2690.

Cụ thể, bộ phận khử phân đoạn 2695 là bộ phận tương ứng với bộ phận phân đoạn 311 trong thiết bị truyền tín hiệu 100, và có thể thực hiện thao tác tương ứng với thao tác của bộ phận phân đoạn 311.

Nhằm mục đích này, thiết bị thu tín hiệu 200 có thể lưu trữ trước thông tin về các thông số đã được sử dụng ở thiết bị truyền tín hiệu 100 để thực hiện thao tác phân đoạn. Vì vậy, bộ phận khử phân đoạn 2695 có thể kết hợp các bit được xuất ra từ bộ phận khử xáo trộn 2690, tức là các đoạn thông tin báo hiệu chi tiết cho tầng L1 để khôi phục thông tin báo hiệu chi tiết cho tầng L1 trước khi phân đoạn.

Thông tin về độ dài của thông tin báo hiệu cho tầng L1 được cung cấp ở dạng như được thể hiện trên Fig.29. Vì vậy, thiết bị thu tín hiệu 200 có thể tính độ dài của thông tin báo hiệu chi tiết cho tầng L1 và độ dài của các bit chẵn lẻ bổ sung.

Dựa vào Fig.29, vì thông tin báo hiệu cơ bản cho tầng L1 cung cấp thông tin về tổng số các ô của thông tin báo hiệu chi tiết cho tầng L1, nên thiết bị thu tín hiệu 200 cần phải tính độ dài của thông tin báo hiệu chi tiết cho tầng L1 và độ dài của các bit chẵn lẻ

bổ sung.

Cụ thể, khi trường L1B_L1_Detail_additional_parity_mode trong thông tin báo hiệu cơ bản cho tầng L1 có giá trị khác 0, vì đã biết thông tin của trường L1B_L1_Detail_total_cells biểu thị độ dài của tổng số các ô ($= N_{L1\_detail\_total\_cells}$), cho nên thiết bị thu tín hiệu 200 có thể tính độ dài $N_{L1\_detail\_cells}$ của thông tin báo hiệu chi tiết cho tầng L1 và độ dài $N_{AP\_total\_cells}$ của các bit chẵn lẻ bổ sung dựa vào các biểu thức từ biểu thức 37 đến biểu thức 39 dưới đây:

$$N_{L1\_FEC\_cells} = \frac{N_{outer} + N_{repeat} + N_{ldpc\_parity} - N_{punc}}{\eta_{MOD}} = \frac{N_{FEC}}{\eta_{MOD}} \quad (37)$$

$$N_{L1\_detail\_cells} = N_{L1D\_FECFRAME} \times N_{L1\_FEC\_cells} \quad (38)$$

$$N_{AP\_total\_cells} = N_{L1\_detail\_total\_cells} - N_{L1\_detail\_cells} \quad (39)$$

Trong trường hợp như vậy, dựa vào các biểu thức từ biểu thức 37 đến biểu thức 39 nêu trên, có thể thu được giá trị $N_{AP\_total\_cells}$ dựa vào giá trị $N_{L1\_detail\_total\_cells}$ là giá trị có thể thu được từ thông tin của trường L1B_L1_Detail_total_cells trong thông tin báo hiệu cơ bản cho tầng L1, giá trị N_{FEC}, giá trị $N_{L1D\_FECFRAME}$, và bậc điều biến η_{MOD}. Ví dụ, $N_{AP\_total\_cells}$ có thể được tính dựa vào biểu thức 40 dưới đây:

$$N_{AP\_total\_cells} = N_{L1\_detail\_total\_cells} - N_{L1D\_FECFRAME} \times \frac{N_{FEC}}{\eta_{MOD}} \quad (40)$$

Cú pháp và ngữ nghĩa của các trường trong thông tin báo hiệu cơ bản cho tầng L1 được thể hiện trong bảng 15 dưới đây.

Bảng 15

Cú pháp	Số bit	Định dạng
L1_basic_signaling() {		
L1B_L1_Detail_size_bits	16	uimsbf
L1B_L1_Detail_fec_type	3	uimsbf
L1B_L1_Detail_additional_parity_mode	2	uimsbf
L1B_L1_Detail_total_cells	19	uimsbf
L1B_Reserved	?	uimsbf
L1B_crc	32	uimsbf
}		

Do đó, thiết bị thu tín hiệu 200 có thể thực hiện thao tác thu các bit chẵn lẻ bổ sung trong khung kế tiếp dựa vào các bit chẵn lẻ bổ sung được truyền đến $N_{AP\_total\_cells}$ ô trong số các ô thu được trong thông tin báo hiệu chi tiết cho tầng L1.

Fig.30 là lưu đồ thể hiện phương pháp tạo ra các bit chẵn lẻ bổ sung, bằng thiết bị truyền tín hiệu, theo phương án làm ví dụ thực hiện sáng chế.

Trước hết, các bit chẵn lẻ được tạo ra bằng cách mã hoá các bit đầu vào (S2810).

Tiếp theo, nhiều nhóm bit tạo nên các bit chẵn lẻ được đan xen theo đơn vị nhóm dựa vào mẫu đan xen theo đơn vị nhóm gồm có mẫu thứ nhất và mẫu thứ hai để thực hiện bước hoán vị chẵn lẻ (S2820).

Ngoài ra, một số bit trong số các bit chẵn lẻ đã được hoán vị chẵn lẻ được đục lỗ (S2830), và ít nhất một số bit chẵn lẻ được đục lỗ sẽ được chọn để tạo ra các bit chẵn lẻ bổ sung được truyền trong khung đứng trước khung hiện thời (S2840).

Theo sáng chế, các bit chẵn lẻ bổ sung được xác định theo mẫu thứ nhất và mẫu thứ hai, mẫu thứ nhất là mẫu được dùng để xác định các bit chẵn lẻ được truyền trong khung hiện thời còn lại sau khi đục lỗ, và mẫu thứ hai là mẫu được dùng để xác định các bit chẵn lẻ bổ sung được truyền trong khung đứng trước khung hiện thời.

Cụ thể, mẫu thứ hai xác định các nhóm bit luôn luôn được đục lỗ trong số các nhóm bit, các bit chẵn lẻ bổ sung có thể được tạo ra bằng cách chọn ít nhất một số bit nằm trong

các nhóm bit luôn luôn được đục lỗ theo thứ tự của các nhóm bit luôn luôn được đục lỗ như được xác định trong mẫu thứ hai.

Ở bước S2820, các nhóm bit tạo nên các bit chẵn lẻ được đan xen dựa vào biểu thức 11 nêu trên có thể được đan xen theo đơn vị nhóm. Trong trường hợp như vậy, thứ tự hoán vị tương ứng với mẫu thứ hai có thể được xác định dựa vào bảng 4 hoặc bảng 5 nêu trên.

Ở bước S2810, 3240 bit đầu vào có thể được mã hoá ở tỷ lệ mã bằng 3/15 để tạo ra 12960 bit chẵn lẻ. Trong trường hợp như vậy, từ mã LDPC mà trong đó có một số bit chẵn lẻ được đục lỗ có thể được ánh xạ lên các ký hiệu chòm điểm theo sơ đồ điều biến QPSK được truyền đến thiết bị thu tín hiệu.

Phương pháp tạo ra bit chẵn lẻ bổ sung đã được mô tả chi tiết ở trên, và do đó, ở đây không mô tả lại nữa.

Sáng chế có thể đề cập đến vật ghi bất khả biến đọc được bằng máy tính trong đó lưu trữ chương trình để thực hiện các phương pháp được mô tả theo phương án làm ví dụ thực hiện sáng chế. Vật ghi bất khả biến đọc được bằng máy tính không phải vật ghi lưu trữ dữ liệu tạm thời trên đó, như thanh ghi, bộ nhớ tác động nhanh, bộ nhớ, hoặc các loại vật ghi tương tự khác, mà là vật ghi lưu trữ dữ liệu bán cố định trên đó và có thể đọc được bằng thiết bị như bộ vi xử lý. Cụ thể, nhiều ứng dụng hoặc chương trình nêu trên có thể được lưu trữ và cung cấp trên vật ghi bất khả biến đọc được bằng máy tính như đĩa compac (Compact Disk, CD), đĩa đa năng kỹ thuật số (Digital Versatile Disk, DVD), đĩa cứng, đĩa Blu-ray, bus nối tiếp đa năng (Universal Serial Bus, USB), thẻ nhớ, bộ nhớ chỉ đọc (Read Only Memory, ROM), hoặc các loại vật ghi tương tự khác.

Ít nhất một trong số các bộ phận, phần tử, môđun hoặc đơn vị được biểu thị ở dạng khối như được thể hiện trên các hình vẽ Fig.1, Fig.9, Fig.10, Fig.25 và Fig.26 có thể được thực hiện dưới dạng cấu trúc phần cứng, phần mềm và/hoặc phần sụn để thực hiện các chức năng tương ứng nêu trên, theo phương án làm ví dụ thực hiện sáng chế. Ví dụ, ít nhất một trong số các bộ phận, phần tử, môđun hoặc đơn vị có thể sử dụng cấu trúc mạch trực tiếp, như bộ nhớ, bộ xử lý, mạch logic, bảng tra cứu, v.v., để có thể thực hiện các chức năng tương ứng theo sự điều khiển của một hoặc nhiều bộ vi xử lý hoặc thiết bị điều khiển khác. Ngoài ra, ít nhất một trong số các bộ phận, phần tử, môđun hoặc đơn vị có

thể được biểu thị ở dạng cụ thể bằng môđun, chương trình, hoặc đoạn mã, chứa một hoặc nhiều lệnh thi hành được để thực hiện các chức năng logic cụ thể, và được thi hành bằng một hoặc nhiều bộ vi xử lý hoặc thiết bị điều khiển khác. Hơn nữa, ít nhất một trong số các bộ phận, phần tử, môđun hoặc đơn vị có thể còn có hoặc được thực hiện dưới dạng bộ xử lý như bộ xử lý trung tâm (Central Processing Unit, CPU) để thực hiện các chức năng tương ứng, bộ vi xử lý, hoặc các bộ xử lý khác. Hai hoặc nhiều hơn hai bộ phận, phần tử, môđun hoặc đơn vị nêu trên có thể được kết hợp lại thành một bộ phận, phần tử, môđun hoặc đơn vị để thực hiện tất cả các thao tác hoặc chức năng của hai hoặc nhiều hơn hai bộ phận, phần tử, môđun hoặc đơn vị được kết hợp. Ngoài ra, ít nhất một phần của các chức năng của ít nhất một trong số các bộ phận, phần tử, môđun hoặc đơn vị có thể được thực hiện bằng một bộ phận, phần tử, môđun hoặc đơn vị khác. Ngoài ra, mặc dù trong các sơ đồ khối nêu trên không thể hiện bus, nhưng sự truyền thông giữa các bộ phận, phần tử, môđun hoặc đơn vị có thể được thực hiện thông qua bus. Các khía cạnh liên quan đến chức năng trong các phương án làm ví dụ thực hiện sáng chế nêu trên có thể được thực hiện dưới dạng các thuật toán để thực hiện trong một hoặc nhiều bộ xử lý. Hơn nữa, các bộ phận, phần tử, môđun hoặc đơn vị được biểu thị ở dạng khối hoặc các bước xử lý có thể áp dụng các kỹ thuật bất kỳ trong lĩnh vực liên quan để tạo cấu hình cho thiết bị điện tử, xử lý tín hiệu và/hoặc thông tin điều khiển, xử lý dữ liệu và các chức năng tương tự khác.

Mặc dù các phương án làm ví dụ thực hiện sáng chế được thể hiện trên các hình vẽ và được mô tả trên đây, nhưng sáng chế không chỉ giới hạn ở các phương án làm ví dụ nêu trên, người có hiểu biết trung bình về lĩnh vực kỹ thuật tương ứng có thể tìm ra nhiều phương án cải biến khác nhau để thực hiện sáng chế mà vẫn không bị coi là nằm ngoài phạm vi của sáng chế, như được xác định dựa vào các điểm yêu cầu bảo hộ kèm theo. Ví dụ, các phương án làm ví dụ thực hiện sáng chế được mô tả liên quan đến phương pháp mã hoá và giải mã BCH và phương pháp mã hoá và giải mã LDPC. Tuy nhiên, các phương án đó không giới hạn phạm vi của sáng chế chỉ ở một phương pháp mã hoá và giải mã cụ thể, mà thay vì thế, sáng chế có thể được áp dụng cho nhiều loại phương pháp mã hoá và giải mã khác nhau với những thay đổi cần thiết. Các phương án thay đổi như vậy cũng được coi là nằm trong phạm vi của sáng chế.

YÊU CẦU BẢO HỘ

1. Thiết bị truyền tín hiệu phát rộng có khả năng hoạt động ở một chế độ trong số nhiều chế độ, thiết bị truyền tín hiệu phát rộng này bao gồm:

bộ mã hoá được tạo cấu hình để mã hoá các bit thông tin gồm có các bit đầu vào để tạo ra các bit chẵn lẻ dựa vào mã kiểm tra chẵn lẻ mật độ thấp (Low Density Parity Check, LDPC) có tỷ lệ mã của chế độ này bằng 3/15 và độ dài mã của chế độ này bằng 16200 bit, trong đó các bit đầu vào được xác định dựa vào thông tin báo hiệu về dữ liệu phát rộng;

bộ phận hoán vị chẵn lẻ được tạo cấu hình để phân chia từ mã ra thành nhiều nhóm bit, từ mã này gồm có các bit thông tin và các bit chẵn lẻ, và đan xen các nhóm bit có các bit chẵn lẻ trong số nhiều nhóm bit dựa vào thứ tự hoán vị của chế độ này, để tạo ra từ mã đã được đan xen;

bộ phận đục lỗ được tạo cấu hình để tính số lượng bit chẵn lẻ được đục lỗ dựa vào số lượng bit thông tin, và đục lỗ các bit của từ mã đã được đan xen dựa vào số lượng đã tính;

bộ phận ánh xạ được tạo cấu hình để ánh xạ các bit đầu vào và các bit chẵn lẻ của từ mã đã được đan xen còn lại sau khi đục lỗ lên các điểm trong chòm điểm, trong đó các điểm trong chòm điểm được xác định dựa vào sơ đồ điều biến dịch pha vuông góc (Quadrature Phase Shift Keying, QPSK) của chế độ này;

bộ phận tạo ra tín hiệu được tạo cấu hình để tạo ra tín hiệu phát rộng dựa vào các điểm trong chòm điểm sử dụng sơ đồ dồn kênh phân tần trực giao (Orthogonal Frequency Division Multiplexing, OFDM); và

bộ truyền được tạo cấu hình để truyền tín hiệu phát rộng,

trong đó các bit của các nhóm bit thứ 20, thứ 24, thứ 44, thứ 12, thứ 22, thứ 40, thứ 19, thứ 32, thứ 38, thứ 41, thứ 30, thứ 33, thứ 14, thứ 28, thứ 39 và thứ 42 trong số nhiều nhóm bit được đục lỗ, và

trong đó các nhóm bit được đục lỗ được xác định dựa vào thứ tự hoán vị của chế độ này và số lượng đã tính.

2. Thiết bị truyền tín hiệu phát rộng theo điểm 1, trong đó bộ mã hoá được tạo cấu hình để mã hoá 3240 bit đầu vào để tạo ra 12960 bit chẵn lẻ theo tỷ lệ mã bằng 3/15.

3. Thiết bị truyền tín hiệu phát rộng theo điểm 1, trong đó thiết bị này còn bao gồm:

bộ tạo bit chẵn lẻ bổ sung được tạo cấu hình để tạo ra các bit chẵn lẻ bổ sung bằng cách chọn một hoặc nhiều bit trong số các bit chẵn lẻ được đục lỗ,

trong đó các bit chẵn lẻ bổ sung được truyền trong khung thứ nhất,

trong đó các bit chẵn lẻ không được đục lỗ của từ mã đã được đan xen được truyền trong khung thứ hai, và

trong đó khung thứ nhất được truyền trước khung thứ hai.

4. Thiết bị thu tín hiệu có khả năng hoạt động ở một chế độ trong số nhiều chế độ, thiết bị thu tín hiệu này bao gồm:

bộ thu được tạo cấu hình để thu tín hiệu từ thiết bị truyền tín hiệu;

bộ giải điều biến được tạo cấu hình để giải điều biến tín hiệu để tạo ra các giá trị dựa vào sơ đồ điều biến dịch pha vuông góc (QPSK) của chế độ này;

bộ phận chèn được tạo cấu hình để chèn các giá trị định trước;

bộ phận khử hoán vị chẵn lẻ được tạo cấu hình để phân chia các giá trị này và các giá trị định trước đã được chèn vào ra thành nhiều nhóm, và khử đan xen một số nhóm trong số nhiều nhóm dựa vào thứ tự hoán vị của chế độ này để tạo ra nhiều nhóm đã được khử đan xen trong đó một số nhóm được khử đan xen; và

bộ giải mã được tạo cấu hình để giải mã các giá trị của nhiều nhóm đã được khử đan xen dựa vào mã kiểm tra chẵn lẻ mật độ thấp (LDPC), tỷ lệ mã của chế độ này bằng 3/15 và độ dài mã của chế độ này bằng 16200 bit,

trong đó các giá trị định trước tương ứng với các bit chẵn lẻ được đục lỗ ở thiết bị truyền tín hiệu, và

trong đó các nhóm có chỉ số bằng 20, 24, 44, 12, 22, 40, 19, 32, 38, 41, 30, 33, 14, 28, 39 và 42 trong số nhiều nhóm đã được khử đan xen gồm có ít nhất một phần của các giá trị định trước.

5. Thiết bị thu tín hiệu theo điểm 4, trong đó số lượng nhóm bằng 45.

6. Thiết bị thu tín hiệu theo điểm 4, trong đó nhiều nhóm đã được khử đan xen gồm có 45 nhóm có chỉ số bằng từ 0 đến 44.

7. Thiết bị thu tín hiệu theo điểm 4, trong đó bộ phận chèn được tạo cấu hình để xác định, dựa vào chế độ này, số lượng bit chẵn lẻ được đục lỗ và vị trí của các bit chẵn lẻ được đục lỗ, và chèn các giá trị định trước dựa vào số lượng đã xác định và vị trí đã xác định.

Fig. 1

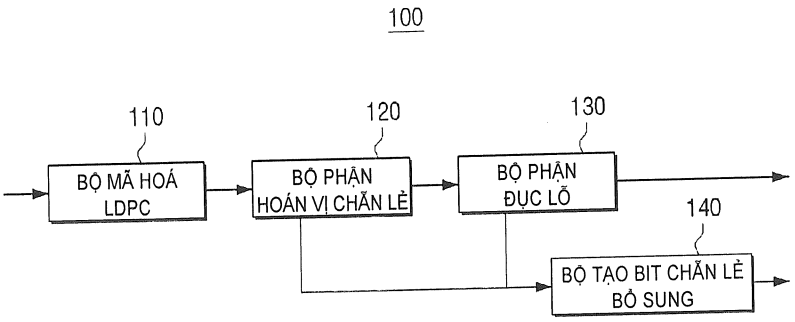


Fig. 2

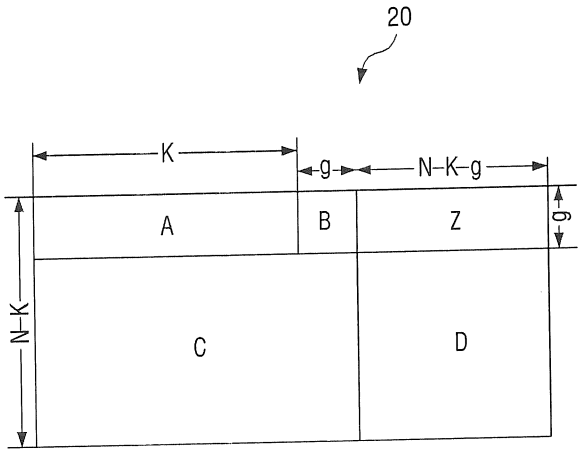


Fig. 3

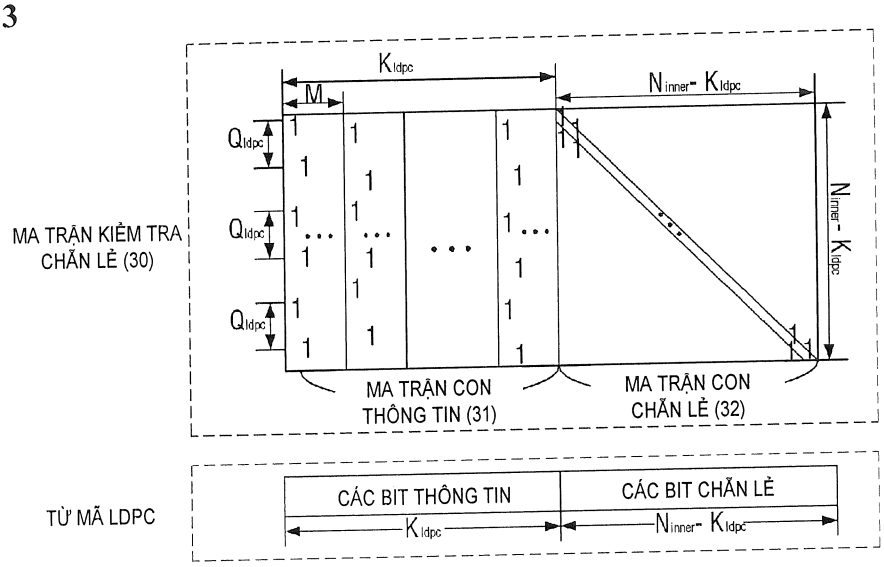


Fig. 4

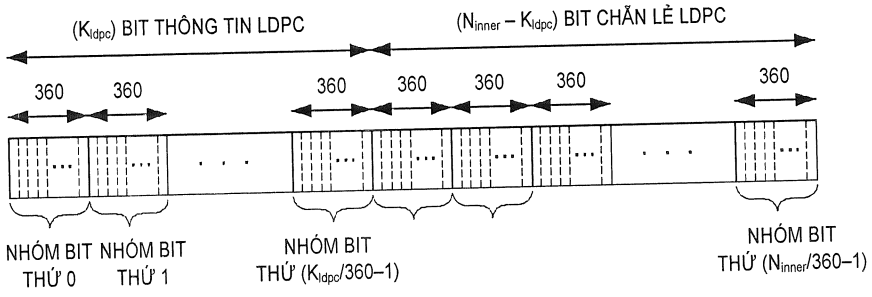


Fig. 5

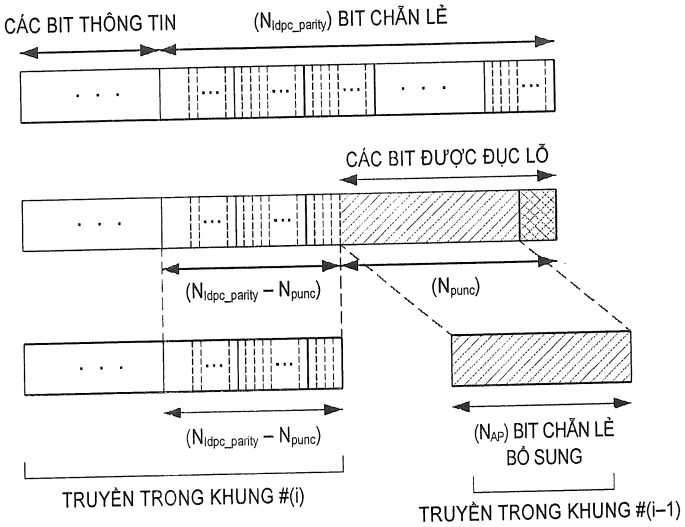


Fig. 6

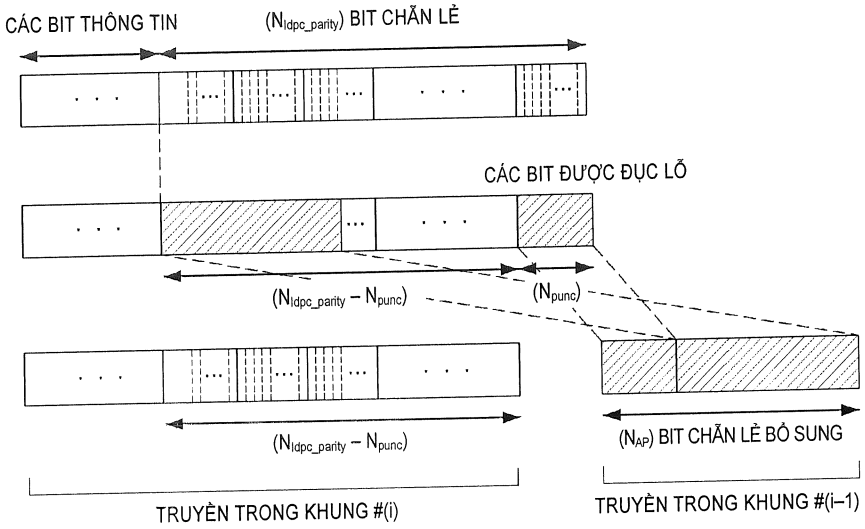


Fig. 7

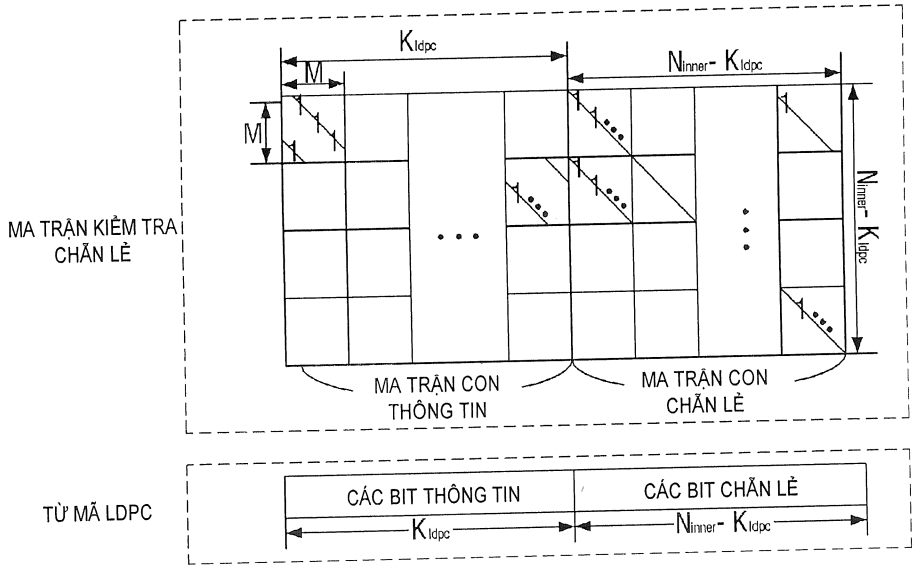


Fig. 8

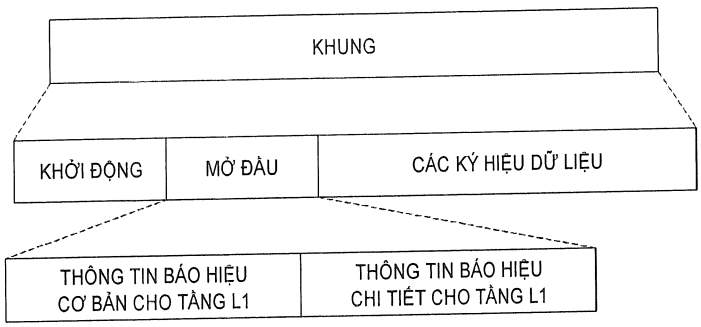

KHUNG
KHỞI ĐỘNG
MỞ ĐẦU
CÁC KÝ HIỆU DỮ LIỆU
THÔNG TIN BÁO HIỆU CƠ BẢN CHO TẦNG L1
THÔNG TIN BÁO HIỆU CHI TIẾT CHO TẦNG L1

Fig. 9

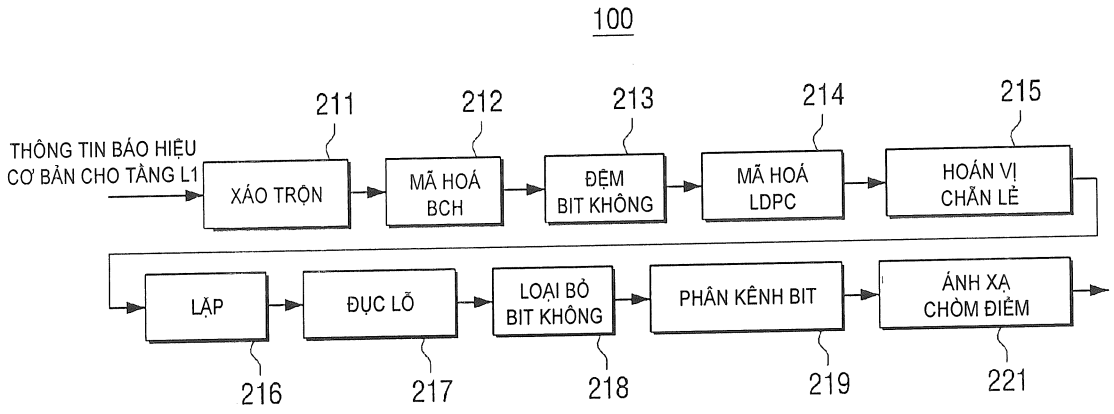

100
THÔNG TIN BÁO HIỆU CƠ BẢN CHO TẦNG L1
XÁO TRỘN
MÃ HOÁ BCH
ĐỆM BIT KHÔNG
MÃ HOÁ LDPC
HOÁN VỊ CHẴN LẺ
LẶP
ĐỤC LỖ
LOẠI BỎ BIT KHÔNG
PHÂN KÊNH BIT
ÁNH XẠ CHÒM ĐIỂM
211
212
213
214
215
216
217
218
219
221

Fig. 10

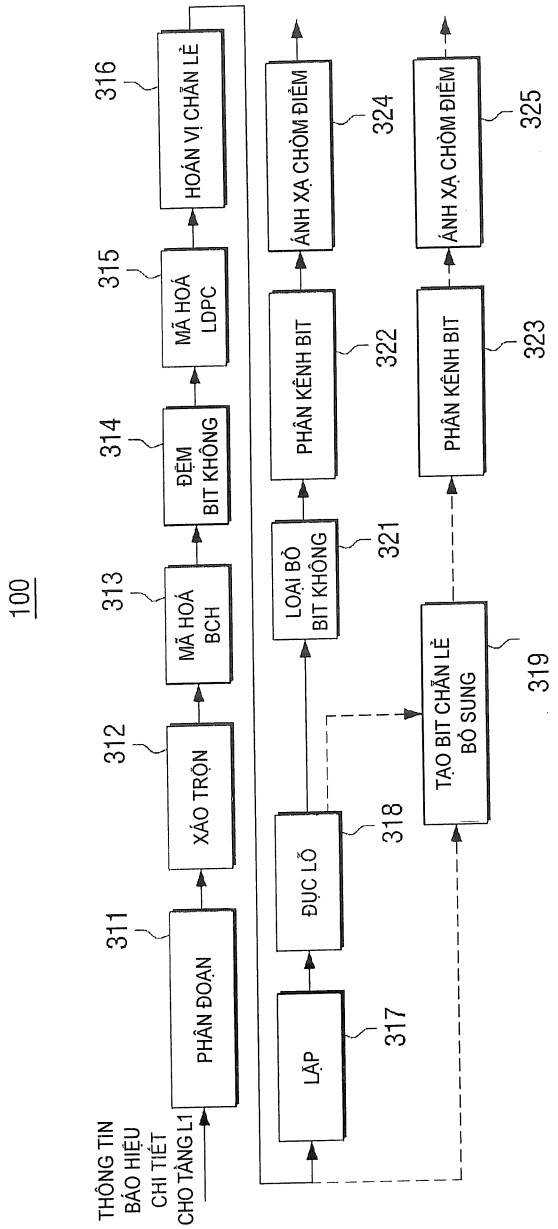

100
THÔNG TIN BÁO HIỆU CHI TIẾT CHO TẦNG L1
311
PHÂN ĐOẠN
312
XÁO TRỘN
313
MÃ HOÁ BCH
314
ĐỆM BIT KHÔNG
315
MÃ HOÁ LDPC
316
HOÁN VỊ CHẴN LẺ
317
LẬP
318
ĐỤC LỖ
319
TẠO BIT CHẴN LẺ BỔ SUNG
321
LOẠI BỎ BIT KHÔNG
322
PHÂN KÊNH BIT
323
PHÂN KÊNH BIT
324
ÁNH XẠ CHÒM ĐIỂM
325
ÁNH XẠ CHÒM ĐIỂM

Fig. 11

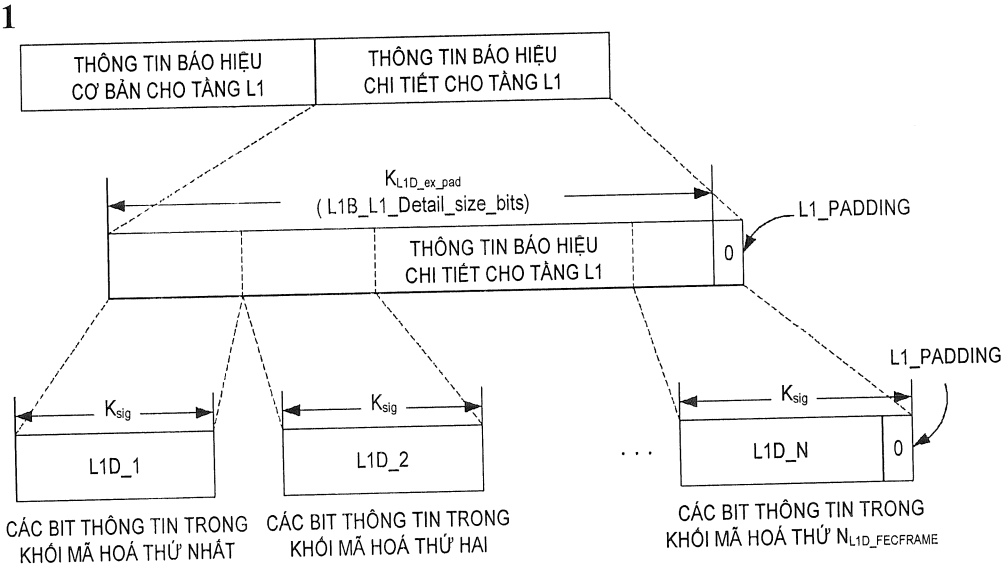

THÔNG TIN BÁO HIỆU CƠ BẢN CHO TẦNG L1
THÔNG TIN BÁO HIỆU CHI TIẾT CHO TẦNG L1
$K_{L1D\_ex\_pad}$
(L1B_L1_Detail_size_bits)
L1_PADDING
THÔNG TIN BÁO HIỆU CHI TIẾT CHO TẦNG L1
0
L1_PADDING
K_{sig}
K_{sig}
K_{sig}
L1D_1
L1D_2
L1D_N
0
CÁC BIT THÔNG TIN TRONG KHỐI MÃ HOÁ THỨ NHẤT
CÁC BIT THÔNG TIN TRONG KHỐI MÃ HOÁ THỨ HAI
CÁC BIT THÔNG TIN TRONG KHỐI MÃ HOÁ THỨ $N_{L1D\_FECFRAME}$

Fig. 12

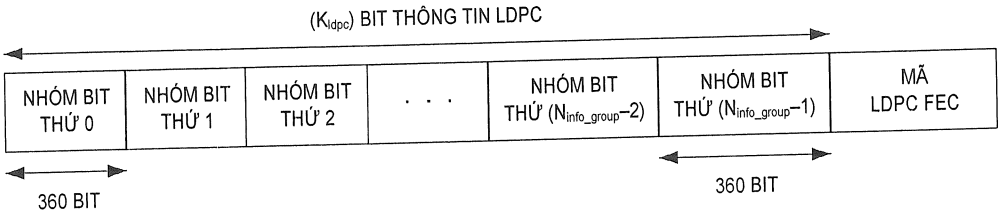


Fig. 13

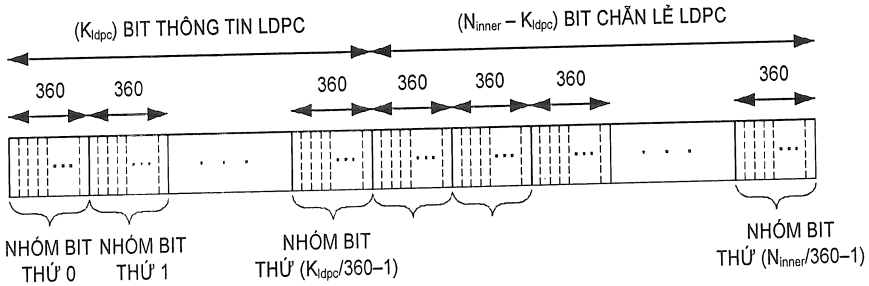


Fig. 14

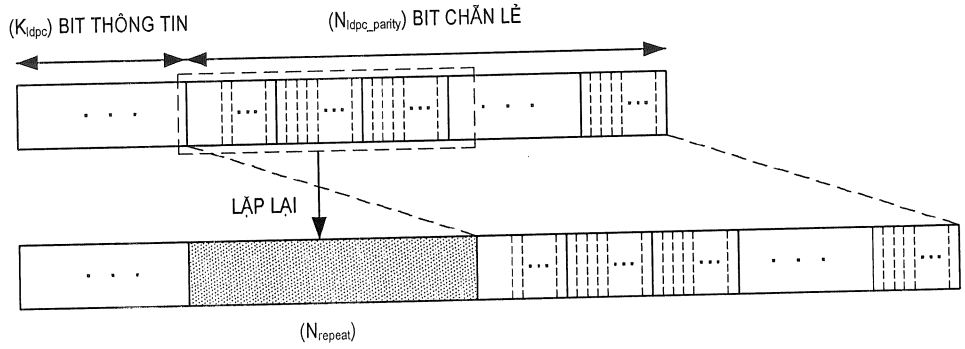


Fig. 15

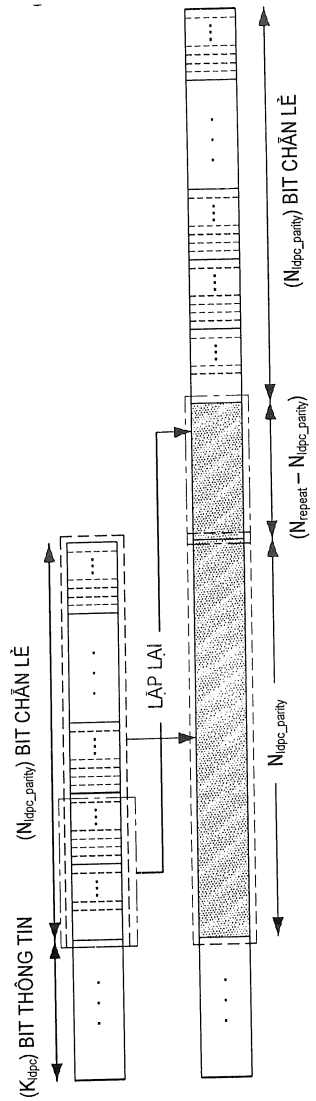

(N_ldpc_parity) BIT CHẴN LẺ
(N_repeat – N_ldpc_parity)
N_ldpc_parity
LẶP LẠI
(N_ldpc_parity) BIT CHẴN LẺ
(K_ldpc) BIT THÔNG TIN

Fig. 16

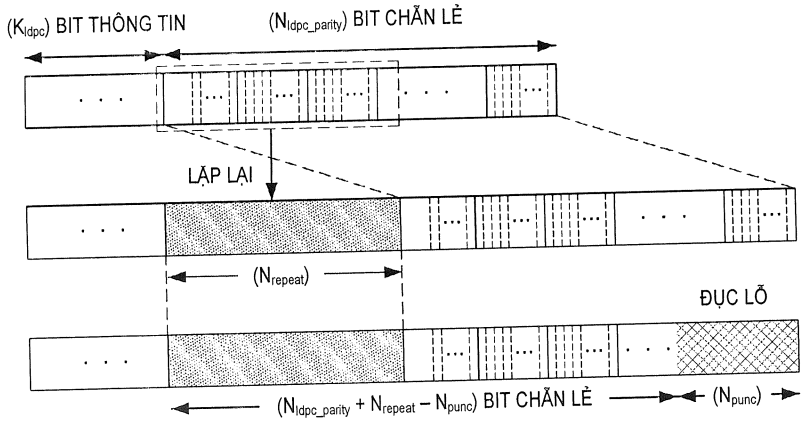

(K_ldpc) BIT THÔNG TIN
(N_ldpc_parity) BIT CHẴN LẺ
LẶP LẠI
(N_repeat)
ĐỤC LỖ
(N_ldpc_parity + N_repeat – N_punc) BIT CHẴN LẺ
(N_punc)

Fig. 17

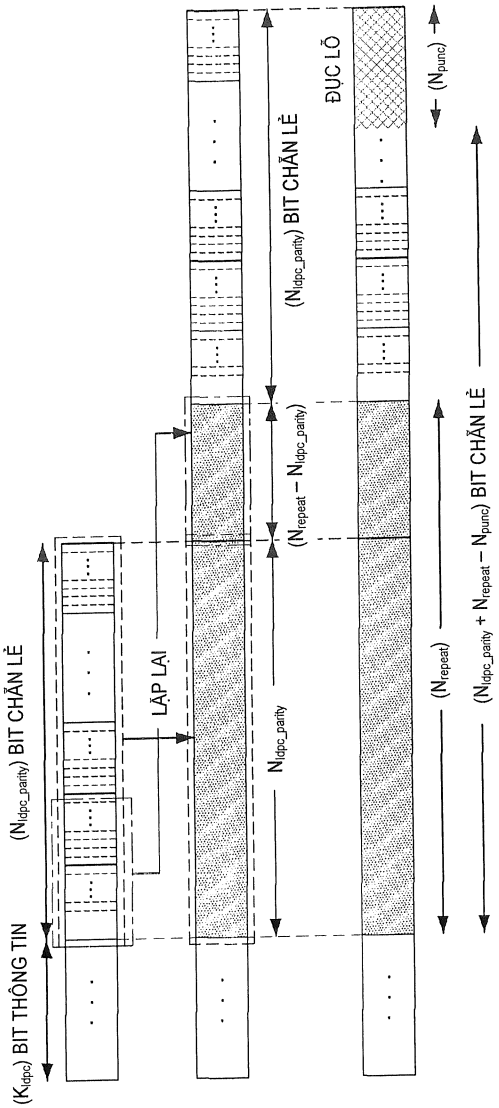

ĐỤC LỖ
(N_punc)
(N_idpc_parity) BIT CHẴN LẺ
(N_repeat – N_idpc_parity)
LẶP LẠI
N_idpc_parity
(N_repeat)
(N_idpc_parity + N_repeat – N_punc) BIT CHẴN LẺ
(N_idpc_parity) BIT CHẴN LẺ
(K_idpc) BIT THÔNG TIN

Fig. 18

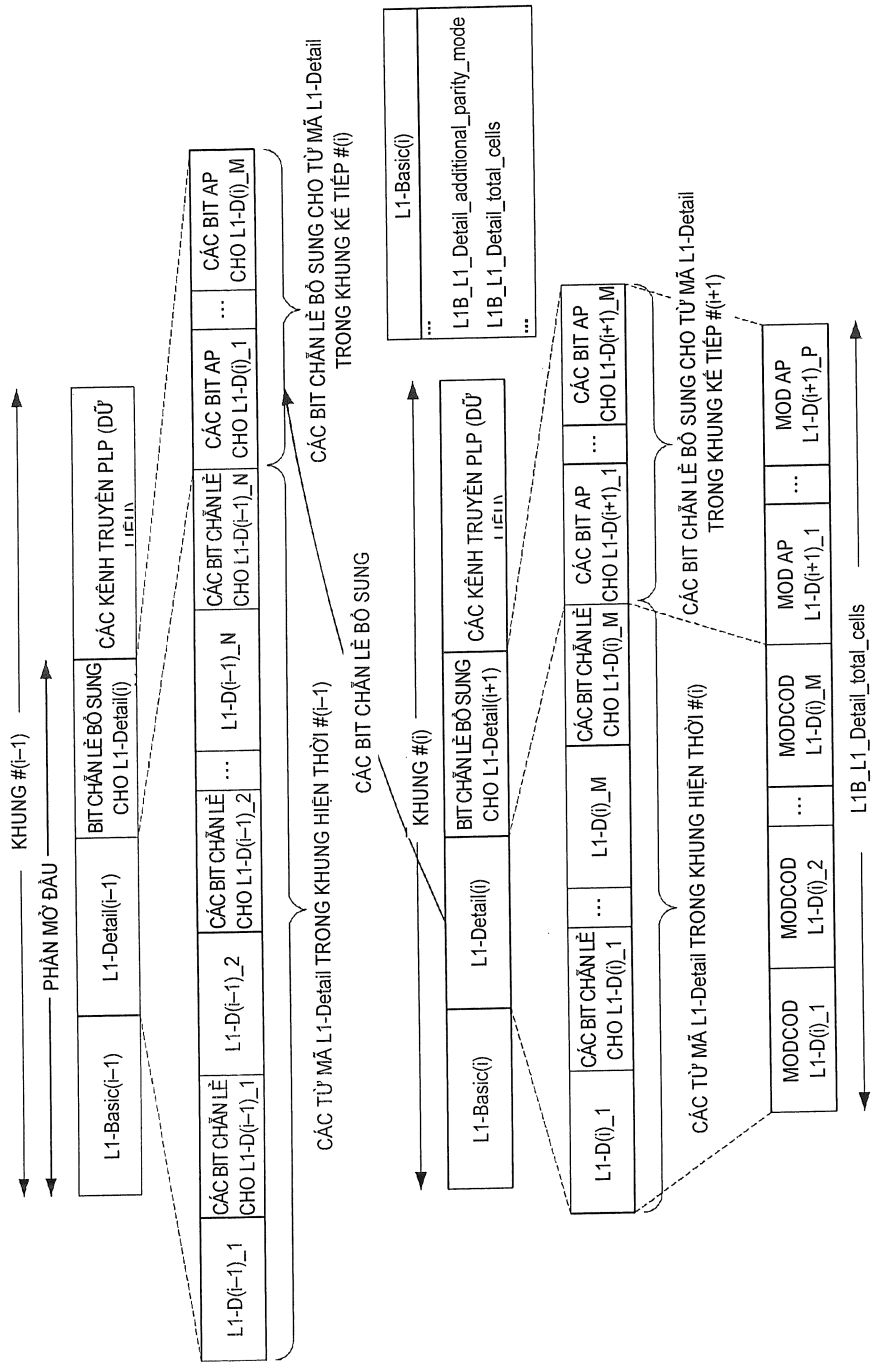

KHUNG #(i–1)
PHẦN MỞ ĐẦU
L1-Basic(i–1)
L1-Detail(i–1)
BIT CHẴN LẺ BỔ SUNG CHO L1-Detail(i)
CÁC KÊNH TRUYỀN PLP (DỮ
L1-D(i–1)_1
CÁC BIT CHẴN LẺ CHO L1-D(i–1)_1
L1-D(i–1)_2
CÁC BIT CHẴN LẺ CHO L1-D(i–1)_2
...
L1-D(i–1)_N
CÁC BIT CHẴN LẺ CHO L1-D(i–1)_N
CÁC BIT AP CHO L1-D(i)_1
...
CÁC BIT AP CHO L1-D(i)_M
CÁC TỪ MÃ L1-Detail TRONG KHUNG HIỆN THỜI #(i–1)
CÁC BIT CHẴN LẺ BỔ SUNG CHO TỪ MÃ L1-Detail TRONG KHUNG KẾ TIẾP #(i)
CÁC BIT CHẴN LẺ BỔ SUNG
KHUNG #(i)
L1-Basic(i)
L1-Detail(i)
BIT CHẴN LẺ BỔ SUNG CHO L1-Detail(i+1)
CÁC KÊNH TRUYỀN PLP (DỮ
L1-D(i)_1
CÁC BIT CHẴN LẺ CHO L1-D(i)_1
L1-D(i)_M
CÁC BIT CHẴN LẺ CHO L1-D(i)_M
CÁC BIT AP CHO L1-D(i+1)_1
...
CÁC BIT AP CHO L1-D(i+1)_M
CÁC TỪ MÃ L1-Detail TRONG KHUNG HIỆN THỜI #(i)
CÁC BIT CHẴN LẺ BỔ SUNG CHO TỪ MÃ L1-Detail TRONG KHUNG KẾ TIẾP #(i+1)
L1-Basic(i)
...
L1B_L1_Detail_additional_parity_mode
L1B_L1_Detail_total_cells
...
MODCOD L1-D(i)_1
MODCOD L1-D(i)_2
...
MODCOD L1-D(i)_M
MOD AP L1-D(i+1)_1
...
MOD AP L1-D(i+1)_P
L1B_L1_Detail_total_cells

Fig. 19

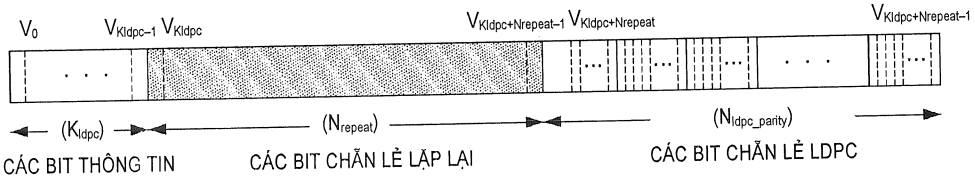

V_0
$V_{Kldpc-1}$ V_{Kldpc}
$V_{Kldpc+Nrepeat-1}$ $V_{Kldpc+Nrepeat}$
$V_{Kldpc+Nrepeat-1}$
(K_{ldpc})
(N_{repeat})
(N_{ldpc_parity})
CÁC BIT THÔNG TIN
CÁC BIT CHẴN LẺ LẶP LẠI
CÁC BIT CHẴN LẺ LDPC

Fig. 20

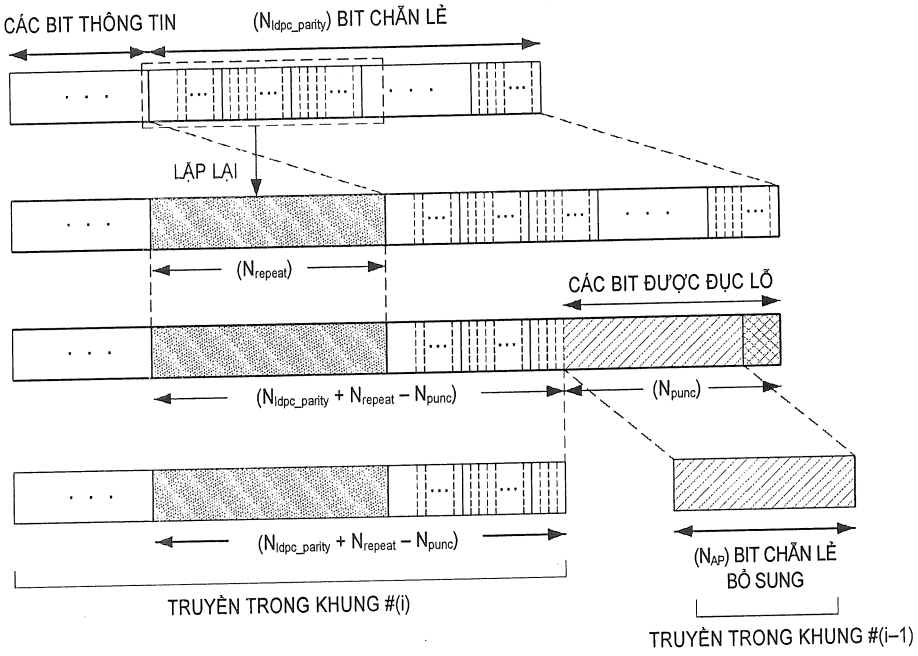

CÁC BIT THÔNG TIN
(N_{ldpc_parity}) BIT CHẴN LẺ
LẶP LẠI
(N_{repeat})
CÁC BIT ĐƯỢC ĐỤC LỖ
($N_{ldpc\_parity} + N_{repeat} - N_{punc}$)
(N_{punc})
($N_{ldpc\_parity} + N_{repeat} - N_{punc}$)
(N_{AP}) BIT CHẴN LẺ BỔ SUNG
TRUYỀN TRONG KHUNG #(i)
TRUYỀN TRONG KHUNG #(i−1)

Fig. 21

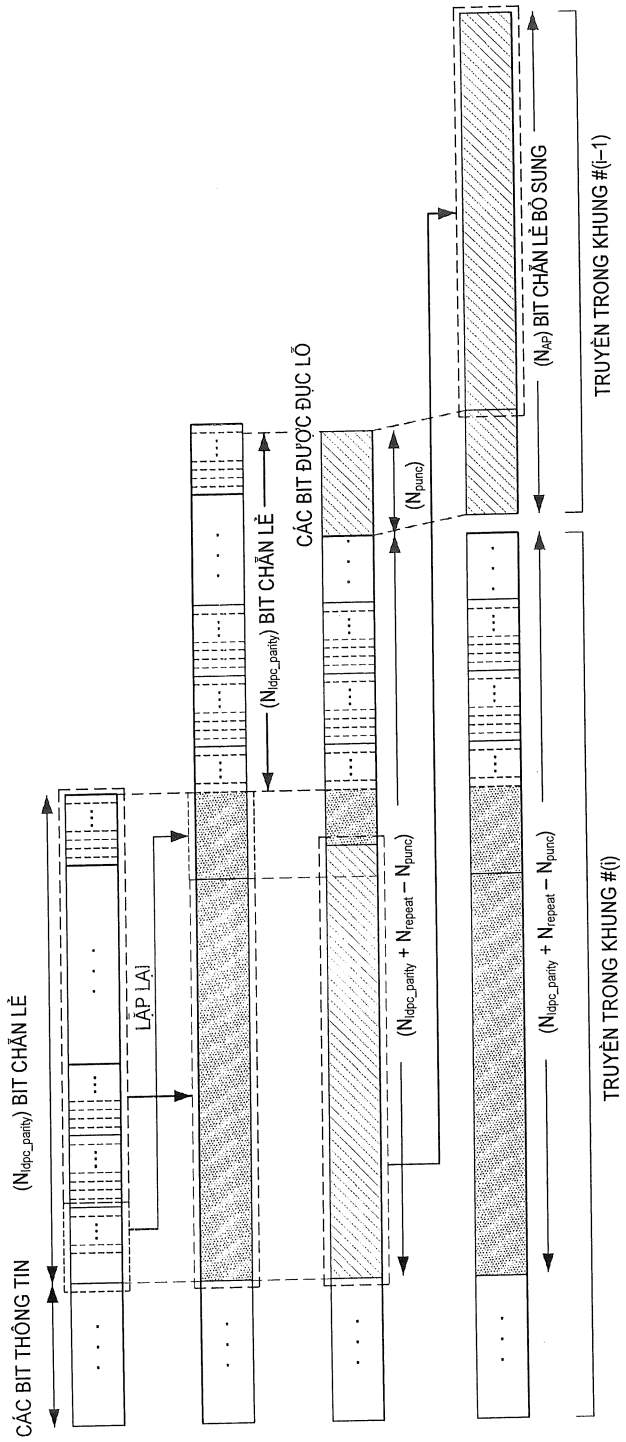

CÁC BIT THÔNG TIN
(N_{ldpc_parity}) BIT CHẴN LẺ
LẶP LẠI
(N_{ldpc_parity}) BIT CHẴN LẺ
CÁC BIT ĐƯỢC ĐỤC LỖ
(N_{punc})
(N_{ldpc_parity} + N_{repeat} – N_{punc})
(N_{AP}) BIT CHẴN LẺ BỔ SUNG
TRUYỀN TRONG KHUNG #(i–1)
(N_{ldpc_parity} + N_{repeat} – N_{punc})
TRUYỀN TRONG KHUNG #(i)

Fig. 22

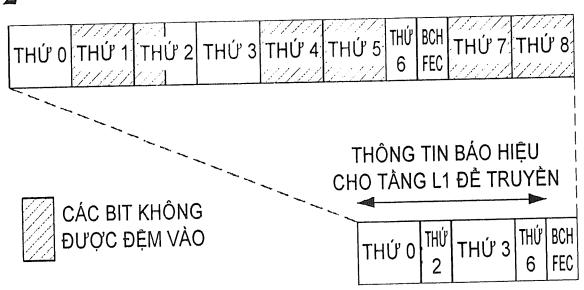

THỨ 0
THỨ 1
THỨ 2
THỨ 3
THỨ 4
THỨ 5
THỨ 6
BCH FEC
THỨ 7
THỨ 8
THÔNG TIN BÁO HIỆU CHO TẦNG L1 ĐỂ TRUYỀN
CÁC BIT KHÔNG ĐƯỢC ĐỆM VÀO
THỨ 0
THỨ 2
THỨ 3
THỨ 6
BCH FEC

Fig. 23

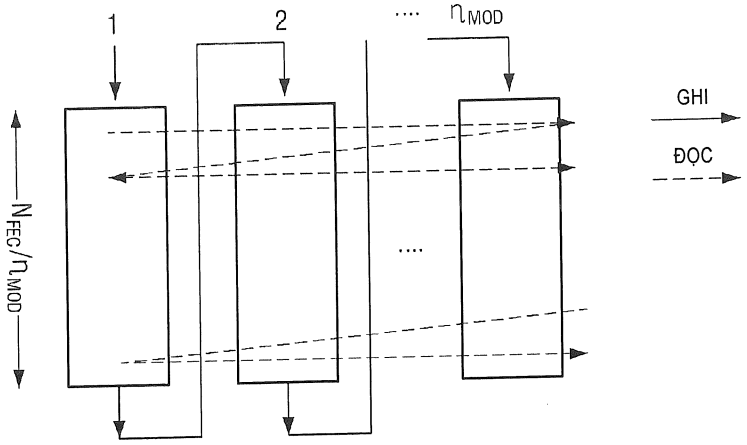

1
2
.... n_{MOD}
GHI
ĐỌC
N_{FEC}/n_{MOD}

Fig. 24

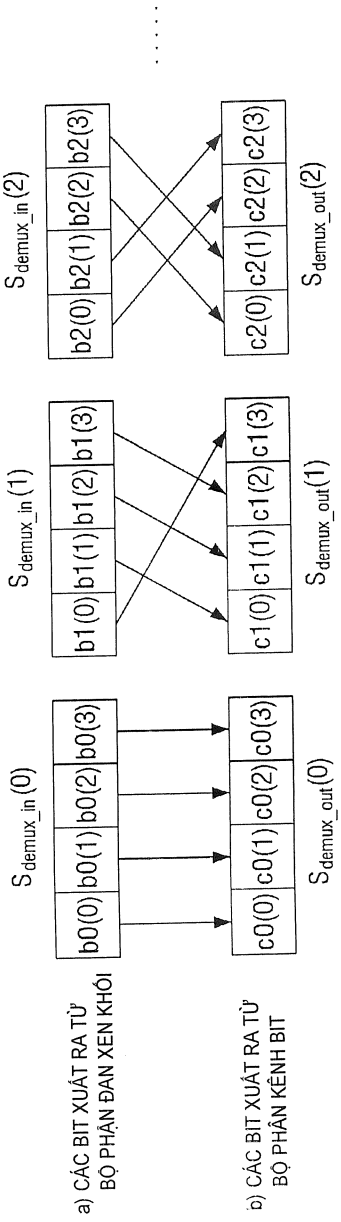

$S_{demux\_in}(2)$
b2(0) b2(1) b2(2) b2(3)
$S_{demux\_out}(2)$
c2(0) c2(1) c2(2) c2(3)
$S_{demux\_in}(1)$
b1(0) b1(1) b1(2) b1(3)
$S_{demux\_out}(1)$
c1(0) c1(1) c1(2) c1(3)
$S_{demux\_in}(0)$
b0(0) b0(1) b0(2) b0(3)
$S_{demux\_out}(0)$
c0(0) c0(1) c0(2) c0(3)
a) CÁC BIT XUẤT RA TỪ BỘ PHẬN ĐAN XEN KHỐI
b) CÁC BIT XUẤT RA TỪ BỘ PHẬN KÊNH BIT

Fig. 25

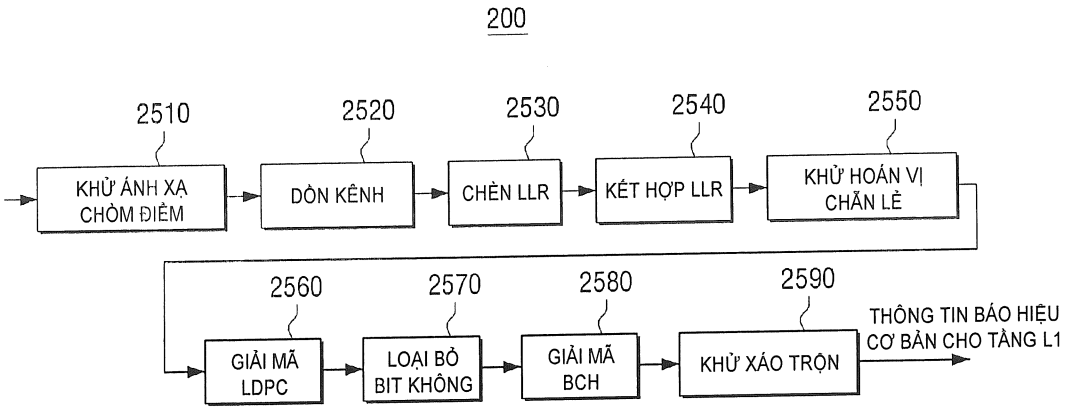

200
2510
KHỬ ÁNH XẠ CHÒM ĐIỂM
2520
DÒN KÊNH
2530
CHÈN LLR
2540
KẾT HỢP LLR
2550
KHỬ HOÁN VỊ CHẴN LẺ
2560
GIẢI MÃ LDPC
2570
LOẠI BỎ BIT KHÔNG
2580
GIẢI MÃ BCH
2590
KHỬ XÁO TRỘN
THÔNG TIN BÁO HIỆU CƠ BẢN CHO TẦNG L1

Fig. 26

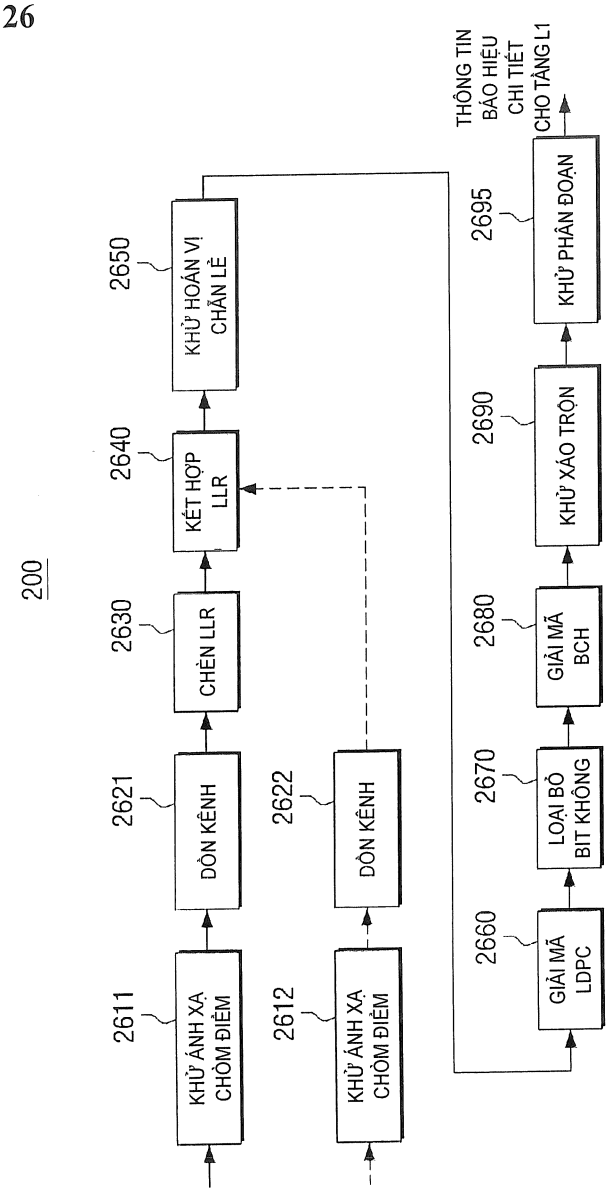

200
2611
KHỬ ÁNH XẠ CHÒM ĐIỂM
2612
KHỬ ÁNH XẠ CHÒM ĐIỂM
2621
DÒN KÊNH
2622
DÒN KÊNH
2630
CHÈN LLR
2640
KẾT HỢP LLR
2650
KHỬ HOÁN VỊ CHẴN LẺ
2660
GIẢI MÃ LDPC
2670
LOẠI BỎ BIT KHÔNG
2680
GIẢI MÃ BCH
2690
KHỬ XÁO TRỘN
2695
KHỬ PHÂN ĐOẠN
THÔNG TIN BÁO HIỆU CHI TIẾT CHO TẦNG L1

Fig. 27

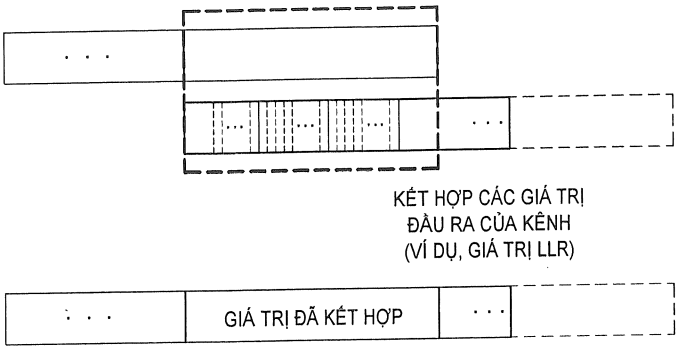


Fig. 28

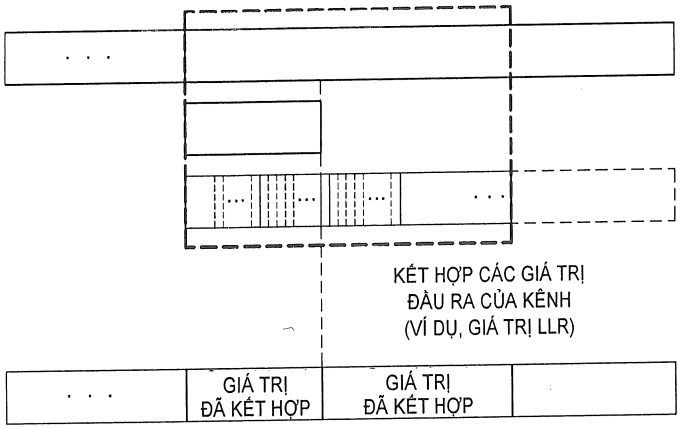


Fig. 29

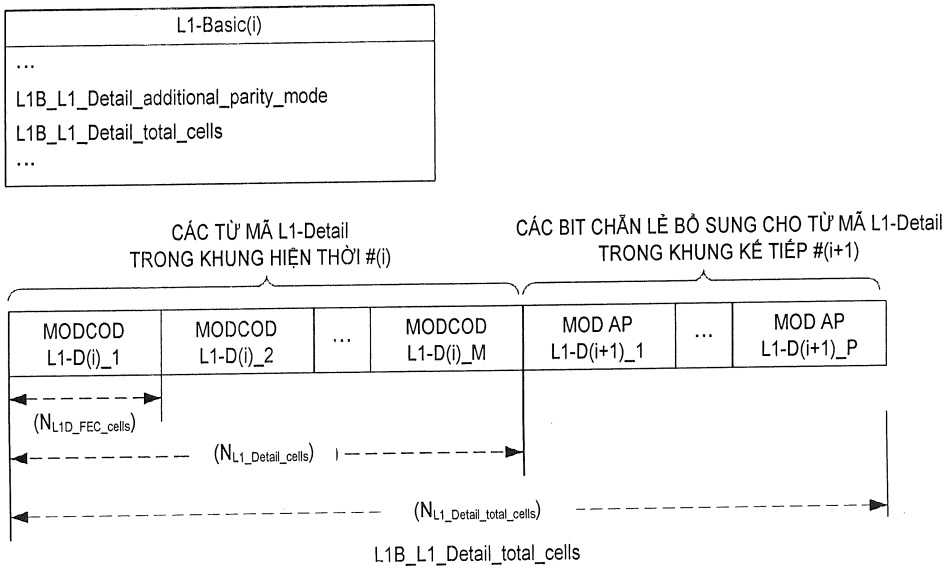
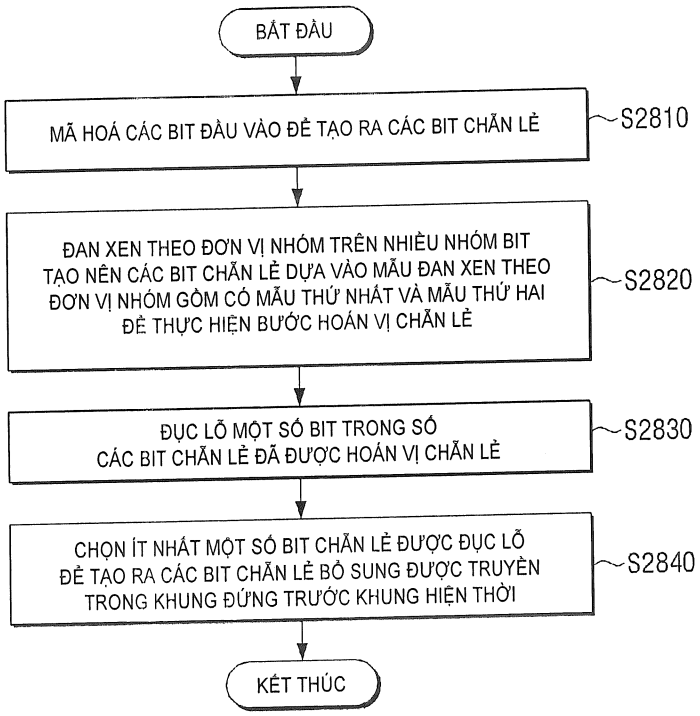


Fig. 30


BẮT ĐẦU
MÃ HOÁ CÁC BIT ĐẦU VÀO ĐỂ TẠO RA CÁC BIT CHẴN LẺ
S2810
ĐAN XEN THEO ĐƠN VỊ NHÓM TRÊN NHIỀU NHÓM BIT TẠO NÊN CÁC BIT CHẴN LẺ DỰA VÀO MẪU ĐAN XEN THEO ĐƠN VỊ NHÓM GỒM CÓ MẪU THỨ NHẤT VÀ MẪU THỨ HAI ĐỂ THỰC HIỆN BƯỚC HOÁN VỊ CHẴN LẺ
S2820
ĐỤC LỖ MỘT SỐ BIT TRONG SỐ CÁC BIT CHẴN LẺ ĐÃ ĐƯỢC HOÁN VỊ CHẴN LẺ
S2830
CHỌN ÍT NHẤT MỘT SỐ BIT CHẴN LẺ ĐƯỢC ĐỤC LỖ ĐỂ TẠO RA CÁC BIT CHẴN LẺ BỔ SUNG ĐƯỢC TRUYỀN TRONG KHUNG ĐỨNG TRƯỚC KHUNG HIỆN THỜI
S2840
KẾT THÚC