



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0051818

(51)^{2022.01} H01L 27/32

(13) B

(21) 1-2022-07817

(22) 18/05/2021

(86) PCT/CN2021/094326 18/05/2021

(87) WO 2021/233280 25/11/2021

(30) 202010435328.1 21/05/2020 CN

(45) 25/09/2025 450

(43) 25/04/2023 421A

(73) 1. BOE TECHNOLOGY GROUP CO., LTD. (CN)

No.10 Jiuxianqiao Rd., Chaoyang District Beijing 100015, China

2. BEIJING BOE TECHNOLOGY DEVELOPMENT CO., LTD. (CN)

Room 407, Building 1, No.9 Dize Road, BDA Beijing 100176, China

(72) XU, Chen (CN); QIAO, Yong (CN); WU, Xinyin (CN); MA, Yongda (CN).

(74) Công ty Luật TNHH Phạm và Liên danh (PHAM & ASSOCIATES)

(54) TẤM NỀN MÀN HÌNH VÀ THIẾT BỊ HIỂN THỊ

(21) 1-2022-07817

(57) Sáng chế đề cập đến tấm hiển thị và thiết bị hiển thị. Tấm hiển thị bao gồm: tấm nền và chi tiết dẫn, trong đó chi tiết dẫn được đặt ở tấm nền và bao gồm lớp phụ dẫn thứ nhất, lớp phụ dẫn thứ hai và lớp phụ dẫn thứ ba được xếp chồng tuần tự. Lớp phụ dẫn thứ nhất gần hơn với tấm nền so với lớp phụ dẫn thứ ba, độ dẫn của lớp phụ dẫn thứ nhất nhỏ hơn độ dẫn của lớp phụ dẫn thứ hai, điểm nóng chảy của lớp phụ dẫn thứ ba lớn hơn điểm nóng chảy của lớp phụ dẫn thứ hai, lớp phụ dẫn thứ hai bao gồm bề mặt thứ nhất gần với lớp phụ dẫn thứ nhất và bề mặt thứ hai gần với lớp phụ dẫn thứ ba, bề mặt thứ nhất và bề mặt thứ hai được bố trí đối diện, và lớp phụ dẫn thứ ba nhô từ bề mặt thứ hai dọc theo chiều rộng của chi tiết dẫn, và chiều rộng giao với hướng kéo dài của chi tiết dẫn. Thiết bị hiển thị bao gồm tấm hiển thị có thể giảm nguy cơ đánh thủng tĩnh điện.

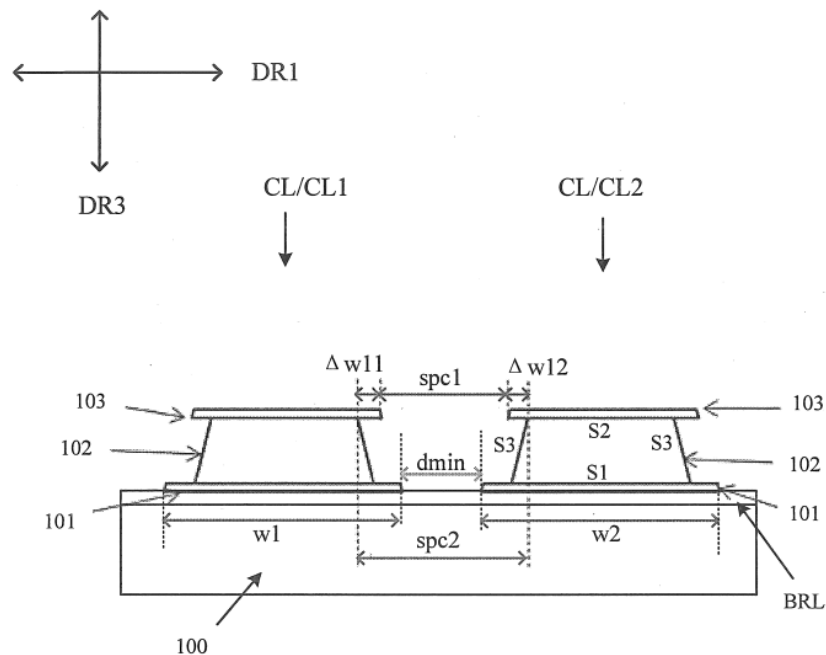


Fig.4

Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập đến tấm hiển thị và thiết bị hiển thị.

Tình trạng kỹ thuật của sáng chế

Sự phát triển liên tục của các thiết bị hiển thị chẳng hạn, thiết bị hiển thị tinh thể lỏng (Liquid Crystal Display, LCD), thiết bị điốt phát quang hữu cơ ma trận hoạt tính (Active Matrix Organic Light-Emitting Diode, AMOLED) và các thiết bị LED siêu nhỏ (Micro-LED) đã làm phong phú cuộc sống đáng kể, và người tiêu dùng đang theo đuổi chất lượng hiển thị ngày càng cao. Chẳng hạn, các tấm nền hiển thị có độ phân giải cao hơn (8K), tần số làm mới cao hơn (90HZ, 120HZ) và nhiều dạng sản phẩm hơn (dạng gập và dạng uốn) đã được phát triển. Với sự cải thiện của chất lượng hiển thị, quá trình sản xuất các tấm nền hiển thị cũng mang lại các thách thức mới.

Bản chất kỹ thuật của sáng chế

Sáng chế đề cập đến tấm hiển thị và thiết bị hiển thị.

Ít nhất một phương án thực hiện sáng chế đề cập đến tấm hiển thị, bao gồm: vùng hiển thị có các đơn vị pixel; vùng ngoại vi được đặt ở ít nhất một phía của vùng hiển thị; lớp chặn được đặt ở tấm nền đế; chi tiết dẫn được bố trí ở một bên của lớp chặn quay mặt cách xa tấm nền đế; chiều dài của chi tiết dẫn theo hướng kéo dài của chi tiết dẫn lớn hơn chiều rộng của chi tiết dẫn theo hướng giao với hướng kéo dài; chi tiết dẫn bao gồm lớp phụ dẫn thứ nhất, lớp phụ dẫn thứ hai và lớp phụ dẫn thứ ba được xếp chồng lần lượt; lớp phụ dẫn thứ nhất gần hơn với tấm nền đế so với lớp phụ dẫn thứ ba; và phần dẫn thứ nhất được đặt trong vùng hiển thị, phần dẫn thứ nhất và chi tiết dẫn được bố trí trong cùng lớp và được làm từ cùng vật liệu, trong đó độ dẫn của lớp phụ dẫn thứ nhất nhỏ hơn than của lớp phụ dẫn thứ hai, độ dày của lớp phụ dẫn thứ nhất nhỏ hơn than của lớp phụ dẫn thứ hai, và điểm nóng chảy của lớp phụ dẫn thứ ba lớn hơn than của lớp

phụ dẫn thứ hai, và trong đó lớp phụ dẫn thứ hai bao gồm bề mặt thứ nhất gần với lớp phụ dẫn thứ nhất và bề mặt thứ hai gần với lớp phụ dẫn thứ ba; bề mặt thứ nhất và bề mặt thứ hai được bố trí đối diện nhau; lớp phụ dẫn thứ ba nhô từ bề mặt thứ hai dọc theo chiều rộng của chi tiết dẫn; và chiều rộng giao với hướng kéo dài của chi tiết dẫn.

Theo tám hiển thị theo một hoặc nhiều phương án thực hiện sáng chế, lớp phụ dẫn thứ ba không tiếp xúc với lớp phụ dẫn thứ nhất.

Theo tám hiển thị theo một hoặc nhiều phương án thực hiện sáng chế, lớp phụ dẫn thứ hai còn bao gồm bề mặt bên nổi cạnh bên của bề mặt thứ nhất và cạnh bên của bề mặt thứ hai được đặt ở cùng phía của lớp phụ dẫn thứ hai; trong mặt cắt ngang dọc theo hướng vuông góc với hướng kéo dài của chi tiết dẫn, điểm giao giữa bề mặt bên và lớp phụ dẫn thứ nhất là điểm giao thứ nhất, điểm giao giữa bề mặt bên và lớp phụ dẫn thứ ba là điểm giao thứ hai, và ít nhất một phần của bề mặt bên được đặt ở một phía của đường nối giữa điểm giao thứ nhất và điểm giao thứ hai gần với lớp phụ dẫn thứ hai.

Theo tám hiển thị theo một hoặc nhiều phương án thực hiện sáng chế, bề mặt bên bao gồm ít nhất hai bề mặt phụ bên, mà bao gồm bề mặt phụ bên thứ nhất gần với lớp phụ dẫn thứ nhất và bề mặt phụ bên thứ hai gần với lớp phụ dẫn thứ ba, và góc được tạo bởi bề mặt phụ bên thứ nhất và lớp phụ dẫn thứ nhất nhỏ hơn góc được tạo bởi bề mặt phụ bên thứ hai và lớp phụ dẫn thứ nhất.

Theo tám hiển thị theo một hoặc nhiều phương án thực hiện sáng chế, ở mặt cắt ngang dọc theo hướng vuông góc với hướng kéo dài của chi tiết dẫn, khoảng cách từ, điểm giao giữa đường kéo dài của bề mặt phụ bên thứ hai và lớp phụ dẫn thứ nhất, đến, điểm giao giữa bề mặt phụ bên thứ nhất và lớp phụ dẫn thứ nhất, là d_1 ; và khoảng cách của lớp phụ dẫn thứ nhất kéo dài vượt quá bề mặt thứ nhất là Δw_1 , trong đó $d_1 < \Delta w_1$.

Theo tám hiển thị theo một hoặc nhiều phương án thực hiện sáng chế, khoảng cách của lớp phụ dẫn thứ ba kéo dài vượt quá bề mặt thứ hai là Δw_2 , trong đó $d_1 < \Delta w_2$.

Theo tám hiển thị theo một hoặc nhiều phương án thực hiện sáng chế, góc

được tạo bởi bề mặt phụ bên thứ hai và lớp phụ dẫn thứ nhất lớn hơn 90° .

Theo tám hiển thị theo một hoặc nhiều phương án thực hiện sáng chế, bề mặt bên bao gồm ba bề mặt phụ bên được bố trí tuần tự, bao gồm bề mặt phụ bên thứ nhất, bề mặt phụ bên thứ hai và bề mặt phụ bên thứ ba; bề mặt phụ bên thứ nhất gần hơn với lớp phụ dẫn thứ nhất than bề mặt phụ bên thứ ba; góc được tạo bởi bề mặt phụ bên thứ nhất và lớp phụ dẫn thứ nhất là góc thứ nhất; góc được tạo bởi bề mặt phụ bên thứ hai và lớp phụ dẫn thứ nhất là góc thứ hai; góc được tạo bởi bề mặt phụ bên thứ ba và lớp phụ dẫn thứ nhất là góc thứ ba; góc thứ ba lớn hơn góc thứ hai, và góc thứ hai lớn hơn góc thứ nhất.

Theo tám hiển thị theo một hoặc nhiều phương án thực hiện sáng chế, lớp phụ dẫn thứ hai bao gồm hai bề mặt bên, được bố trí đối diện nhau và được bố trí đối xứng dọc theo chiều dày của chi tiết dẫn.

Theo tám hiển thị theo một hoặc nhiều phương án thực hiện sáng chế, ít nhất một trong bề mặt thứ nhất, bề mặt thứ hai và bề mặt bên của lớp phụ dẫn thứ hai chứa ít nhất một trong phân tử N, phân tử S, phân tử P và phân tử Cl.

Theo tám hiển thị theo một hoặc nhiều phương án thực hiện sáng chế, lớp chặn có ít nhất một trong phân tử F và phân tử Cl.

Theo tám hiển thị theo một hoặc nhiều phương án thực hiện sáng chế, hàm lượng của ít nhất một trong phân tử F và phân tử Cl ở lớp chặn từ 1×10^{18} nguyên tử đến 5×10^{20} nguyên tử trên centimet khối.

Theo tám hiển thị theo một hoặc nhiều phương án thực hiện sáng chế, bề mặt thứ nhất tiếp xúc với lớp phụ dẫn thứ nhất, và bề mặt thứ hai tiếp xúc với lớp phụ dẫn thứ ba.

Theo tám hiển thị theo một hoặc nhiều phương án thực hiện sáng chế, lớp phụ dẫn thứ ba bao phủ lớp phụ dẫn thứ hai và tiếp xúc với lớp phụ dẫn thứ nhất.

Theo tám hiển thị theo một hoặc nhiều phương án thực hiện sáng chế, chiều rộng của bề mặt thứ nhất nhỏ hơn chiều rộng của lớp phụ dẫn thứ nhất, chiều rộng của bề mặt thứ hai nhỏ hơn chiều rộng của lớp phụ dẫn thứ ba, và chênh lệch chiều rộng giữa lớp phụ dẫn thứ ba và bề mặt thứ hai lớn hơn độ dày của lớp phụ dẫn thứ ba.

Theo tấm hiển thị theo một hoặc nhiều phương án thực hiện sáng chế, hai chi tiết dẫn liền kề được bố trí, hai chi tiết dẫn liền kề được cách ly với nhau và được đặt trong cùng lớp; hai chi tiết dẫn liền kề include chi tiết dẫn thứ nhất và chi tiết dẫn thứ hai; và khoảng cách giữa lớp phụ dẫn thứ ba của chi tiết dẫn thứ nhất và lớp phụ dẫn thứ ba của chi tiết dẫn thứ hai nhỏ hơn khoảng cách giữa bề mặt thứ hai của lớp phụ dẫn thứ hai của chi tiết dẫn thứ nhất và bề mặt thứ hai của lớp phụ dẫn thứ hai của chi tiết dẫn thứ hai.

Theo tấm hiển thị theo một hoặc nhiều phương án thực hiện sáng chế, bề mặt thứ hai của chi tiết dẫn thứ nhất và bề mặt thứ hai của chi tiết dẫn thứ hai có các khoảng cách khác nhau ở các vị trí khác nhau.

Theo tấm hiển thị theo một hoặc nhiều phương án thực hiện sáng chế, w_1 là chiều rộng lớn nhất của chi tiết dẫn thứ nhất ở mặt cắt ngang của nó dọc theo chiều rộng của nó, w_2 là chiều rộng lớn nhất của chi tiết dẫn thứ hai ở mặt cắt ngang của nó dọc theo chiều rộng của nó, Δw_{11} là khoảng cách của lớp phụ dẫn thứ ba trong chi tiết dẫn thứ nhất kéo dài vượt quá bề mặt thứ hai, Δw_{12} là khoảng cách của lớp phụ dẫn thứ ba kéo dài vượt quá bề mặt thứ hai trong chi tiết dẫn thứ hai, d_{min} là khoảng cách nhỏ nhất giữa chi tiết dẫn thứ nhất và chi tiết dẫn thứ hai; và biểu diễn quan hệ dưới đây được thoả mãn:

$$\frac{\Delta w_{11}}{w_1} + \frac{\Delta w_{12}}{w_2} < \frac{\Delta w_{11} + \Delta w_{12}}{d_{min}}.$$

Theo tấm hiển thị theo một hoặc nhiều phương án thực hiện sáng chế, hai chi tiết dẫn được bố trí, hai chi tiết dẫn được cách ly với nhau và có các khoảng cách khác nhau từ tấm nền đế; hai chi tiết dẫn bao gồm chi tiết dẫn thứ nhất có độ dày của T3 và chi tiết dẫn thứ hai có độ dày của T4, trong đó T4 lớn hơn T3; khoảng cách của lớp phụ dẫn thứ ba kéo dài vượt quá bề mặt thứ hai trong chi tiết dẫn thứ nhất là Δw_3 , khoảng cách của lớp phụ dẫn thứ ba kéo dài vượt quá bề mặt thứ hai trong chi tiết dẫn thứ hai là Δw_4 ; và biểu diễn quan hệ dưới đây được thoả mãn:

$$\frac{\Delta w_3}{T_3} > \frac{\Delta w_4}{T_4}.$$

Theo tấm hiển thị theo một hoặc nhiều phương án thực hiện sáng chế, hai chi

tiết dẫn được bố trí và cách ly với nhau; hai chi tiết dẫn bao gồm chi tiết dẫn thứ nhất và chi tiết dẫn thứ hai, chi tiết dẫn thứ nhất gần hơn với vùng hiển thị than chi tiết dẫn thứ hai, và lớp phụ dẫn thứ ba trong chi tiết dẫn thứ nhất nhô từ bề mặt thứ hai bởi kích thước lớn hơn kích thước của lớp phụ dẫn thứ ba trong chi tiết dẫn thứ hai.

Theo tám hiển thị theo một hoặc nhiều phương án thực hiện sáng chế, tám hiển thị còn bao gồm phần dẫn thứ hai, trong đó phần dẫn thứ hai và chi tiết dẫn được bố trí trong các lớp khác nhau, chi tiết dẫn có đầu thứ nhất, phần dẫn thứ hai có đầu thứ hai, lớp cách ly được bố trí giữa đầu thứ nhất và đầu thứ hai, lớp cách ly có lỗ xuyên thứ nhất làm lộ đầu thứ nhất hoặc đầu thứ hai, và chi tiết dẫn được nối với phần dẫn thứ hai qua lỗ xuyên thứ nhất.

Theo tám hiển thị theo một hoặc nhiều phương án thực hiện sáng chế, tám hiển thị còn bao gồm phần dẫn thứ hai, trong đó phần dẫn thứ hai và chi tiết dẫn được đặt trong cùng lớp.

Theo tám hiển thị theo một hoặc nhiều phương án thực hiện sáng chế, tám hiển thị còn bao gồm phần dẫn thứ ba, trong đó phần dẫn thứ nhất được nối điện với phần dẫn thứ ba, phần dẫn thứ ba có đầu thứ ba, phần dẫn thứ nhất có đầu thứ hai, lớp cách ly được bố trí giữa đầu thứ ba và đầu thứ tư, lớp cách ly có lỗ xuyên thứ hai làm lộ đầu thứ ba hoặc đầu thứ tư, và phần dẫn thứ nhất được nối với phần dẫn thứ ba qua lỗ xuyên thứ hai.

Theo tám hiển thị theo một hoặc nhiều phương án thực hiện sáng chế, chi tiết dẫn bao gồm phần thứ nhất và phần thứ hai, chiều rộng của phần thứ nhất lớn hơn than của phần thứ hai, lớp phụ dẫn thứ ba của phần thứ nhất nhô từ bề mặt thứ hai dọc theo chiều rộng của chi tiết dẫn, lớp phụ dẫn thứ ba của phần thứ hai ngang bằng với bề mặt thứ hai dọc theo chiều rộng của chi tiết dẫn, hoặc các lớp phụ dẫn thứ ba của phần thứ nhất và của phần thứ hai đều nhô ra từ bề mặt thứ hai dọc theo chiều rộng của chi tiết dẫn, và phần được nhô của phần thứ nhất có chiều rộng lớn hơn chiều rộng của phần thứ hai.

Theo tám hiển thị theo một hoặc nhiều phương án thực hiện sáng chế, chi tiết dẫn được nối điện với phần dẫn thứ nhất, các phần dẫn thứ nhất được bố trí,

khoảng thứ nhất được bố trí giữa các chi tiết dẫn liền kề và khoảng thứ hai được bố trí giữa các phần dẫn thứ nhất liền kề, khoảng thứ nhất khác với khoảng thứ hai.

Theo tấm hiển thị theo một hoặc nhiều phương án thực hiện sáng chế, khoảng thứ nhất nhỏ hơn khoảng thứ hai.

Theo tấm hiển thị theo một hoặc nhiều phương án thực hiện sáng chế, chiều dài của chi tiết dẫn nhỏ hơn chiều dài của phần dẫn thứ nhất, và phần dẫn thứ nhất bao gồm đường dẫn liệu cấp điện áp dẫn liệu cho đơn vị pixel được nối với nó.

Theo tấm hiển thị theo một hoặc nhiều phương án thực hiện sáng chế, mỗi đơn vị pixel bao gồm lớp mạch pixel được bố trí trên lớp chặn, phần tử điện phát quang hữu cơ được nối điện với lớp mạch pixel, và điện cực tiếp xúc được bố trí ở phía thoát sáng của phần tử điện phát quang hữu cơ; và phần dẫn thứ nhất là một trong lớp mạch pixel, phần tử điện phát quang hữu cơ và điện cực tiếp xúc.

Ít nhất một phương án thực hiện sáng chế còn đề cập đến tấm hiển thị, bao gồm: vùng hiển thị có các đơn vị pixel, bao gồm vùng gấp được cũng như vùng hiển thị thứ nhất và vùng hiển thị thứ hai được đặt ở các bên đối diện của vùng gấp được; vùng ngoại vi được đặt ở ít nhất một phía của vùng hiển thị; lớp chặn được đặt ở tấm nền đế; chi tiết dẫn được bố trí ở một bên của lớp chặn quay mặt cách xa tấm nền đế, chiều dài của chi tiết dẫn theo hướng kéo dài của chi tiết dẫn lớn hơn chiều rộng của chi tiết dẫn theo hướng giao với hướng kéo dài; chi tiết dẫn bao gồm lớp phụ dẫn thứ nhất, lớp phụ dẫn thứ hai và lớp phụ dẫn thứ ba được xếp chồng lần lượt; lớp phụ dẫn thứ nhất gần hơn với tấm nền đế so với lớp phụ dẫn thứ ba; và phần dẫn thứ nhất được đặt trong vùng hiển thị, phần dẫn thứ nhất và chi tiết dẫn được bố trí trong cùng lớp và được làm từ cùng vật liệu, trong đó độ dẫn của lớp phụ dẫn thứ nhất nhỏ hơn độ dẫn của lớp phụ dẫn thứ hai, độ dày của lớp phụ dẫn thứ nhất nhỏ hơn độ dày của lớp phụ dẫn thứ hai, và điểm nóng chảy của lớp phụ dẫn thứ ba lớn hơn điểm nóng chảy của lớp phụ dẫn thứ hai, trong đó lớp phụ dẫn thứ hai bao gồm bề mặt thứ nhất gần với lớp phụ dẫn thứ nhất và bề mặt thứ hai gần với lớp phụ dẫn thứ ba, bề mặt thứ nhất

và bề mặt thứ hai được bố trí đối diện nhau, lớp phụ dẫn thứ ba nhô từ bề mặt thứ hai dọc theo chiều rộng của chi tiết dẫn, và chiều rộng giao với hướng kéo dài của chi tiết dẫn.

Theo tấm hiển thị theo một hoặc nhiều phương án thực hiện sáng chế, hai chi tiết dẫn được bố trí được cách ly với nhau, hai chi tiết dẫn bao gồm chi tiết dẫn thứ nhất và chi tiết dẫn thứ hai, chi tiết dẫn thứ nhất gần hơn với vùng gập được than chi tiết dẫn thứ hai, và lớp phụ dẫn thứ ba trong chi tiết dẫn thứ nhất nhô từ bề mặt thứ hai bởi kích thước lớn hơn kích thước của lớp phụ dẫn thứ ba trong chi tiết dẫn thứ hai.

Ít nhất một phương án thực hiện sáng chế còn đề cập đến tấm hiển thị, bao gồm: vùng hiển thị có các đơn vị pixel; vùng ngoại vi được đặt ở ít nhất một phía của vùng hiển thị; vùng trong suốt, được đặt ở một phía của vùng ngoại vi cách xa vùng hiển thị hoặc được bao quanh bởi vùng hiển thị; lớp chặn được đặt ở tấm nền đế; chi tiết dẫn được bố trí ở một bên của lớp chặn quay mặt cách xa tấm nền đế, chiều dài của chi tiết dẫn theo hướng kéo dài lớn hơn chiều rộng của chi tiết dẫn theo hướng giao với hướng kéo dài, và chi tiết dẫn bao gồm lớp phụ dẫn thứ nhất, lớp phụ dẫn thứ hai và lớp phụ dẫn thứ ba được xếp chồng lần lượt, trong đó lớp phụ dẫn thứ nhất gần hơn với tấm nền đế so với lớp phụ dẫn thứ ba; và phần dẫn thứ nhất được đặt trong vùng hiển thị, phần dẫn thứ nhất và chi tiết dẫn được bố trí trong cùng lớp và được làm từ cùng vật liệu, trong đó độ dẫn của lớp phụ dẫn thứ nhất nhỏ hơn độ dẫn của lớp phụ dẫn thứ hai, độ dày của lớp phụ dẫn thứ nhất nhỏ hơn độ dày của lớp phụ dẫn thứ hai, và điểm nóng chảy của lớp phụ dẫn thứ ba lớn hơn điểm nóng chảy của lớp phụ dẫn thứ hai, và trong đó lớp phụ dẫn thứ hai bao gồm bề mặt thứ nhất gần với lớp phụ dẫn thứ nhất và bề mặt thứ hai gần với lớp phụ dẫn thứ ba; bề mặt thứ nhất và bề mặt thứ hai được bố trí đối diện nhau; lớp phụ dẫn thứ ba nhô từ bề mặt thứ hai dọc theo chiều rộng của chi tiết dẫn; và chiều rộng giao với hướng kéo dài của chi tiết dẫn.

Theo tấm hiển thị theo một hoặc nhiều phương án thực hiện sáng chế, hai chi tiết dẫn được bố trí được cách ly với nhau, hai chi tiết dẫn bao gồm chi tiết dẫn thứ nhất và chi tiết dẫn thứ hai, chi tiết dẫn thứ nhất gần hơn với vùng gập được

than chi tiết dẫn thứ hai, và lớp phụ dẫn thứ ba trong chi tiết dẫn thứ nhất nhỏ từ bề mặt thứ hai bởi kích thước lớn hơn kích thước của lớp phụ dẫn thứ ba trong chi tiết dẫn thứ hai.

Ít nhất một phương án thực hiện sáng chế còn đề cập đến thiết bị hiển thị, bao gồm tấm bất kỳ trong các tấm hiển thị nêu trên.

Mô tả vắn tắt các hình vẽ

Để minh họa rõ ràng các giải pháp kỹ thuật của các phương án thực hiện sáng chế, các hình vẽ của các phương án thực hiện sẽ được mô tả vắn tắt dưới đây; rõ ràng là các hình vẽ được mô tả dưới đây chỉ liên quan đến một số phương án thực hiện sáng chế mà không giới hạn bất kỳ ở đó.

Fig.1 là sơ đồ của các chi tiết dẫn trong tấm hiển thị;

Fig.2 là hình vẽ mặt cắt dọc theo đường A-B trên Fig.1;

Fig.3 là hình chiếu bằng của tấm hiển thị theo phương án thực hiện sáng chế;

Fig.4 là hình vẽ mặt cắt dọc theo đường A1-A2 trên Fig.3;

Fig.5A là hình vẽ mặt cắt khác dọc theo đường A1-A2 trên Fig.3;

Fig.5B là hình vẽ mặt cắt khác dọc theo đường A1-A2 trên Fig.3;

Fig.6A là hình vẽ mặt cắt khác dọc theo đường A1-A2 trên Fig.3;

Fig.6B là hình vẽ mặt cắt một phần của chi tiết dẫn trên tấm hiển thị theo phương án thực hiện sáng chế;

Fig.7 là hình vẽ mặt cắt một phần của chi tiết dẫn trên tấm hiển thị theo phương án thực hiện sáng chế;

Fig.8 là hình vẽ mặt cắt khác dọc theo đường A1-A2 trên Fig.3;

Fig.9 là hình vẽ mặt cắt của tấm hiển thị theo phương án thực hiện sáng chế;

Fig.10 là hình chiếu bằng của chi tiết dẫn thứ nhất và chi tiết dẫn thứ ba trong tấm hiển thị được thể hiện trên Fig.9;

Fig.11 là hình vẽ mặt cắt của chi tiết dẫn thứ nhất và chi tiết dẫn thứ ba trong tấm hiển thị được thể hiện trên Fig.9;

Fig.12 là hình vẽ mặt cắt của các chi tiết dẫn liền kề trong tấm hiển thị theo phương án thực hiện sáng chế;

Fig.13 là hình vẽ mặt cắt của tấm hiển thị theo phương án thực hiện sáng chế;
Fig.14 là hình chiếu bằng của tấm hiển thị theo phương án thực hiện sáng chế;
Fig.15A là hình chiếu bằng của tấm hiển thị theo phương án thực hiện sáng chế;

Fig.15B là hình chiếu bằng của tấm hiển thị theo phương án thực hiện khác của sáng chế;

Fig.16A là hình chiếu bằng của tấm hiển thị theo phương án thực hiện sáng chế;

Fig.16B là hình chiếu bằng của tấm hiển thị theo phương án thực hiện khác của sáng chế;

Fig.17A là hình chiếu bằng của tấm hiển thị theo phương án thực hiện sáng chế;

Fig.17B là hình chiếu bằng của tấm hiển thị theo phương án thực hiện sáng chế;

Fig.17C là hình chiếu bằng một phần của tấm hiển thị theo phương án thực hiện sáng chế;

Fig.18 là hình phối cảnh của thiết bị hiển thị bao gồm tấm hiển thị theo phương án thực hiện sáng chế;

Fig.19 là hình chiếu bằng của thiết bị hiển thị được thể hiện trên Fig.18;

Fig.20 là hình chiếu bằng của thiết bị hiển thị gập được bao gồm tấm hiển thị theo phương án thực hiện sáng chế;

Fig.21 là sơ đồ của một số mạch GOA trong thiết bị hiển thị gập được được thể hiện trên Fig.20;

Fig.22A là hình chiếu trên của đường nối được bố trí theo chiều ngang trên Fig.21;

Fig.22B là hình chiếu trên của hai đường nối liền kề được bố trí theo chiều ngang trên Fig.21;

Fig.23 là hình chiếu bằng của thiết bị hiển thị gập được bao gồm tấm hiển thị theo phương án thực hiện khác của sáng chế;

Fig.24 là hình chiếu bằng của tấm hiển thị theo phương án thực hiện sáng chế;

Fig.25 là sơ đồ mạch của mạch điều khiển pixel trong pixel của tấm hiển thị theo phương án thực hiện sáng chế;

Fig.26 là sơ đồ trình tự làm việc của mạch điều khiển pixel được thể hiện trên Fig.25;

Fig.27 là sơ đồ của lớp kim loại cực nguồn - cực máng thứ hai trong tấm hiển thị theo phương án thực hiện sáng chế;

Fig.28 là sơ đồ bố trí của tấm hiển thị theo phương án thực hiện sáng chế;

Fig.29 là sơ đồ bố trí của tấm hiển thị theo phương án thực hiện sáng chế;

Fig.30 là hình vẽ mặt cắt của tấm hiển thị theo phương án thực hiện sáng chế;

Fig.31 là hình vẽ mặt cắt của tấm hiển thị theo phương án thực hiện khác của sáng chế;

Fig.32 là hình chiếu bằng một phần của tấm hiển thị theo phương án thực hiện sáng chế;

Fig.33 là sơ đồ phóng to của bộ chọn dữ liệu trên Fig.32;

Fig.34A là hình vẽ mặt cắt một phần của tấm hiển thị theo phương án thực hiện sáng chế;

Fig.34B là hình vẽ mặt cắt một phần của tấm hiển thị theo phương án thực hiện sáng chế; và

Fig.35 là hình chiếu trên một phần của tấm hiển thị theo phương án thực hiện sáng chế.

Mô tả chi tiết sáng chế

Để làm rõ các đối tượng, chi tiết kỹ thuật và các ưu điểm của các phương án thực hiện sáng chế, các giải pháp kỹ thuật của các phương án thực hiện sẽ được mô tả theo cách rõ ràng và dễ hiểu cùng với các hình vẽ liên quan đến các phương án thực hiện sáng chế. Rõ ràng là, các phương án thực hiện được mô tả chỉ là một phần mà không phải tất cả các phương án thực hiện sáng chế. Dựa vào các phương án thực hiện được mô tả ở đây, người có hiểu biết trung bình trong lĩnh vực có thể thu được (các) phương án thực hiện khác, mà không cần nỗ lực sáng tạo, phải nằm trong phạm vi của sáng chế.

Trừ khi có định nghĩa khác, tất cả các cụm từ kỹ thuật và khoa học được sử dụng ở đây có cùng ý nghĩa như người có hiểu biết trung bình trong lĩnh vực của sáng chế thường hiểu. Các cụm từ “thứ nhất,” “thứ hai,” v.v., được sử dụng theo sáng chế, sẽ không chỉ báo trình tự bất kỳ, số lượng hoặc tầm quan trọng, nhưng phân biệt các thành phần khác nhau. Các cụm từ “bao gồm,” “gồm,” v.v. cũng sẽ xác định rằng các phần tử hoặc các đối tượng được nêu trước các cụm từ này bao gồm các phần tử hoặc các đối tượng và các tương đương của chúng được liệt kê sau các cụm từ này, nhưng không loại trừ các phần tử hoặc các đối tượng khác. Các cụm từ “kết nối,” “được kết nối,” v.v., sẽ không định nghĩa kết nối vật lý hoặc kết nối cơ học, nhưng có thể bao gồm kết nối điện, trực tiếp hoặc gián tiếp. “Trên,” “dưới,” “bên phải,” “bên trái” và tương tự chỉ được sử dụng để chỉ báo mối quan hệ vị trí tương quan, và khi vị trí của đối tượng được mô tả được thay đổi, mối quan hệ vị trí tương quan có thể được thay đổi theo đó.

Với sự phát triển của độ phân giải hiển thị của các thiết bị hiển thị, tải được tăng lên và độ trễ tín hiệu bị nặng hơn. Việc đưa vào các cấu trúc dẫn điện trở thấp là một trong các giải pháp để giải quyết vấn đề độ trễ tín hiệu, nhưng khoảng cách giữa các cấu trúc dẫn điện trở thấp sẽ giảm với việc tăng độ phân giải, dễ dẫn đến các lỗi chẳng hạn xả tĩnh điện và đánh thủng tĩnh điện do kỹ thuật xử lý và các nguyên nhân khác hoặc bởi quá trình sử dụng tiếp theo.

Fig.1 là sơ đồ của các chi tiết dẫn trong tám hiển thị. Như được thể hiện trên Fig.1, khoảng cách giữa các chi tiết dẫn liền kề 11 là nhỏ, dễ gây xả tĩnh điện và đánh thủng tĩnh điện. Fig.1 chỉ thể hiện dưới dạng sơ đồ bốn chi tiết dẫn, và số lượng và cách bố trí của các chi tiết dẫn không bị giới hạn ở số lượng và cách bố trí được thể hiện trên hình vẽ. Chi tiết dẫn 11 được đặt ở tám nền đế mà không được thể hiện trên Fig.1 mà có thể được thấy trên Fig.2.

Fig.2 là hình vẽ mặt cắt dọc theo đường A-B trên Fig.1. Như được thể hiện trên Fig.2, các chi tiết dẫn 11 được đặt ở tám nền đế 10, và mỗi chi tiết dẫn 11 bao gồm lớp phụ dẫn thứ nhất 11a, lớp phụ dẫn thứ hai 11b, và lớp phụ dẫn thứ ba 11c. Mặt cắt ngang của mỗi chi tiết dẫn 11 có thể là hình thang đều, mà không bị giới hạn ở đó. Khi tạo chi tiết dẫn 11, màng dẫn thứ nhất, màng dẫn thứ hai và

màng dẫn thứ ba có thể được tạo tuần tự trên tấm nền đế 10; và sau đó màng dẫn thứ nhất, màng dẫn thứ hai và màng dẫn thứ ba được khắc để tạo chi tiết dẫn 11 được thể hiện trên Fig.2. Chi tiết dẫn 11 có thể được tạo bằng cách khắc khô hoặc khắc ướt. Như được thể hiện trên Fig.2, khoảng cách giữa các lớp phụ dẫn thứ ba liền kề 11c lớn hơn khoảng cách giữa các lớp phụ dẫn thứ hai liền kề 11b.

Như được thể hiện trên Fig.2, khoảng cách giữa hai chi tiết dẫn liền kề 11 là nhỏ, có thể gây ra lỗi, chẳng hạn, đánh thủng tĩnh điện ở hai chi tiết dẫn liền kề 11 được thể hiện trên Fig.2.

Fig.3 là hình chiếu bằng của tấm hiển thị theo phương án thực hiện sáng chế. Như được thể hiện trên Fig.3, tấm hiển thị bao gồm tấm nền đế 100 (không được thể hiện trên Fig.3, tham khảo Fig.4) và chi tiết dẫn CL.

Fig.4 là hình vẽ mặt cắt dọc theo đường A1-A2 trên Fig.3. Tham khảo Fig.3 và Fig.4, chiều dài của chi tiết dẫn CL theo hướng kéo dài lớn hơn chiều rộng của chi tiết dẫn CL theo hướng giao với hướng kéo dài. Hướng giao với hướng kéo dài có thể là chiều rộng của chi tiết dẫn CL. Tham khảo Fig.3 và Fig.4, chi tiết dẫn CL bao gồm lớp phụ dẫn thứ nhất 101, lớp phụ dẫn thứ hai 102, và lớp phụ dẫn thứ ba 103 được xếp chồng lần lượt, và lớp phụ dẫn thứ nhất 101 gần hơn với tấm nền đế 100 so với lớp phụ dẫn thứ ba 103. Chẳng hạn, độ dẫn của lớp phụ dẫn thứ nhất 101 nhỏ hơn độ dẫn của lớp phụ dẫn thứ hai 102, và điểm nóng chảy của lớp phụ dẫn thứ ba 103 lớn hơn điểm nóng chảy của lớp phụ dẫn thứ hai 102. Chẳng hạn, độ dẫn của lớp phụ dẫn thứ ba 103 nhỏ hơn độ dẫn của lớp phụ dẫn thứ hai 102, và điểm nóng chảy của lớp phụ dẫn thứ nhất 101 lớn hơn điểm nóng chảy của lớp phụ dẫn thứ hai 102. Fig.3 thể hiện hai chi tiết dẫn liền kề CL. Tấm nền đế 100 có thể là nền đế cứng hoặc nền đế dẻo. Nền đế cứng bao gồm tấm nền kính, và chất liệu của tấm nền dẻo bao gồm polyimit, mà không bị giới hạn ở đó.

Chẳng hạn, tấm nền đế có thể là tấm nền dẻo hoặc tấm nền kính, và tấm nền dẻo có thể là lớp được xếp chồng được làm từ một hoặc nhiều chất được chọn từ nhóm gồm polyimit (PI), polysilan, polysiloxan, polysilazan, polycarbosilan và polyacrylat.

Chẳng hạn, lớp phụ dẫn thứ nhất 101, lớp phụ dẫn thứ hai 102 và lớp phụ dẫn thứ ba 103 có thể đều được làm từ kim loại hoặc hợp kim. Chẳng hạn, ít nhất một chất được chọn từ nhóm gồm molipđen (Mo), titan (Ti), neodymi (Nd), chrom (Cr) và niken (Ni) có thể được sử dụng làm chất liệu của lớp phụ dẫn thứ nhất 101, ít nhất một chất được chọn từ nhóm gồm nhôm (Al), đồng (Cu) và bạc (Ag) có thể được sử dụng làm chất liệu của lớp phụ dẫn thứ hai 102, và ít nhất một chất được chọn từ nhóm gồm Mo, Ti, Nd, Cr, Ni và vonfram (W) có thể được sử dụng làm chất liệu của lớp phụ dẫn thứ ba 103, mà không bị giới hạn ở đó. Chẳng hạn, lớp phụ dẫn thứ nhất 101 và lớp phụ dẫn thứ ba 10 có thể được làm từ cùng chất liệu, mà không bị giới hạn ở đó. Chẳng hạn, chi tiết dẫn CL có thể sử dụng cấu trúc trong đó ba lớp dẫn phụ chẳng hạn Mo/Al/Mo, Ti/Al/Ti, Mo/Cu/Mo và Ti/Cu/Ti được xếp chồng.

Chẳng hạn, như được thể hiện trên Fig.4, tấm hiển thị còn bao gồm lớp chặn BRL được đặt ở tấm nền đế. Lớp chặn BRL được bố trí giữa chi tiết dẫn CL và tấm nền đế 100. Lớp chặn BRL có thể được làm từ màng cách ly vô cơ, chẳng hạn, một lớp silic nitrua (SiNx), một lớp silic ôxit (SiOx) hoặc các lớp bao gồm silic nitrua (SiNx) và silic oxit (SiOx) được xếp chồng lên nhau. Lớp chặn BRL có thể bao phủ hiệu quả các tạp chất hoặc các hạt trên tấm nền đế và bảo vệ các chi tiết dẫn. Chẳng hạn, lớp chặn BRL có thể sử dụng silic oxit, mà không bị giới hạn ở đó.

Chẳng hạn, tham khảo Fig.14 và Fig.32, tấm hiển thị theo phương án thực hiện sáng chế bao gồm vùng hiển thị R1 và vùng ngoại vi R2; vùng hiển thị R1 có các đơn vị pixel SP; vùng ngoại vi R2 được đặt ở ít nhất một phía của vùng hiển thị R1. Tấm hiển thị cũng bao gồm phần dẫn thứ nhất 61 trên tấm nền đế; phần dẫn thứ nhất được đặt trong vùng hiển thị R1; phần dẫn thứ nhất 61 và chi tiết dẫn CL được bố trí trong cùng lớp và được làm từ cùng vật liệu.

Như được thể hiện trên Fig.4, chi tiết dẫn CL được đặt ở tấm nền đế 100; lớp phụ dẫn thứ hai 102 bao gồm bề mặt thứ nhất S1 gần với lớp phụ dẫn thứ nhất 101 và bề mặt thứ hai S2 gần với lớp phụ dẫn thứ ba 103; bề mặt thứ nhất S1 và bề mặt thứ hai S2 được bố trí đối diện nhau. Tham khảo Fig.3 và Fig.4, lớp phụ

dẫn thứ ba 103 nhô từ bề mặt thứ hai S2 dọc theo chiều rộng (hướng thứ nhất) DR1 của chi tiết dẫn CL, và chiều rộng DR1 giao với hướng kéo dài (hướng thứ hai) DR2 của chi tiết dẫn CL. Trên Fig.3, đường biên của lớp phụ dẫn thứ hai 102 được thể hiện bằng bề mặt thứ hai S2. Như được thể hiện trên Fig.4, lớp phụ dẫn thứ ba 103 bao phủ cạnh của lớp phụ dẫn thứ hai 102.

Chẳng hạn, như được thể hiện trên Fig.4, độ dày của lớp phụ dẫn thứ hai 102 lớn hơn độ dày của lớp phụ dẫn thứ nhất 101. Do độ dày và độ dẫn lớn hơn của lớp phụ dẫn thứ hai 102, rủi ro xử lý kém, chẳng hạn, phần cặn khắc trong lớp phụ dẫn thứ hai 102 cao. Nếu cặn khắc xuất hiện, rủi ro dẫn truyền ngang hoặc đánh thủng tĩnh điện sẽ được tăng lên. Lớp phụ dẫn thứ hai 102 và lớp phụ dẫn thứ ba 103 có thể được điều chỉnh sao cho lớp phụ dẫn thứ ba nhô từ bề mặt thứ hai trong chiều rộng của chi tiết dẫn để giảm rủi ro truyền dẫn ngang và đánh thủng tĩnh điện. Các nguồn điện tĩnh thường bao gồm điện tĩnh được tạo trong quá trình sản xuất tấm hiển thị và điện tĩnh được tạo trong khi sử dụng thiết bị bao gồm tấm hiển thị.

Chẳng hạn, độ dày của lớp phụ dẫn thứ hai 102 nằm trong khoảng từ 3000Å đến 12000 Å, độ dày của lớp phụ dẫn thứ nhất 101 nằm trong khoảng từ 50Å đến 2000Å, và độ dày của lớp phụ dẫn thứ ba 103 nằm trong khoảng từ 50Å đến 2000Å, mà không giới hạn các phương án thực hiện sáng chế ở đó. Chẳng hạn, độ dày của lớp phụ dẫn thứ hai 102 lớn hơn độ dày của lớp phụ dẫn thứ nhất 101, và độ dày của lớp phụ dẫn thứ hai 102 lớn hơn độ dày của lớp phụ dẫn thứ ba 103.

Chẳng hạn, như được thể hiện trên Fig.4, diện tích của phần nhô vuông góc của lớp phụ dẫn thứ ba 103 trên tấm nền đế 100 lớn hơn diện tích của bề mặt thứ nhất S1 của lớp phụ dẫn thứ hai 102 trên tấm nền đế 100, mà không giới hạn các phương án thực hiện sáng chế ở đó. Theo các phương án thực hiện khác, diện tích của phần nhô vuông góc của lớp phụ dẫn thứ ba 103 trên tấm nền đế 100 có thể bằng hoặc nhỏ hơn diện tích của phần nhô vuông góc của bề mặt thứ nhất S1 của lớp phụ dẫn thứ hai 102 trên tấm nền đế 100.

Chẳng hạn, như được thể hiện trên Fig.4, lớp phụ dẫn thứ hai 102 còn bao

gồm bề mặt bên S3 mà nối bề mặt thứ nhất S1 và bề mặt thứ hai S2 và được đặt ở cùng phía với lớp phụ dẫn thứ hai 102. Như được thể hiện trên Fig.4, trong chi tiết dẫn thứ hai CL2, bề mặt bên trái S3 nối bên trái của bề mặt thứ nhất S1 với bên trái của bề mặt thứ hai S2; và bề mặt bên phải S3 nối bên phải của bề mặt thứ nhất S1 với bên phải của bề mặt thứ hai S2. Như được thể hiện trên Fig.4, bề mặt bên S3 là bề mặt nghiêng. Lớp phụ dẫn thứ hai 102 có kết cấu hình thang, mà không bị giới hạn ở đó. Bề mặt bên S3 nghiêng với lớp phụ dẫn thứ nhất 101.

Dựa vào Fig.3 và Fig.4, chiều rộng DR1 của chi tiết dẫn CL là chiều ngang, như được thể hiện trên Fig.3, hướng kéo dài DR2 của chi tiết dẫn CL là chiều dọc, và chiều dày (chiều thứ ba) DR3 của chi tiết dẫn CL vuông góc với chiều rộng DR1 của chi tiết dẫn CL và vuông góc với hướng kéo dài DR2 của chi tiết dẫn CL. Trên Fig.3, chi tiết dẫn CL được minh họa như là đường thẳng thông qua ví dụ; Theo các phương án thực hiện khác, chi tiết dẫn CL có thể không phải là đường thẳng, chẳng hạn, chi tiết dẫn CL có thể có các dạng khác, chẳng hạn, đường đứt hoặc đường cong.

Chẳng hạn, hướng kéo dài DR2 của chi tiết dẫn CL có thể là hướng kéo dài của đường nối giữa hai điểm đầu của chi tiết dẫn CL; và chiều rộng DR1 của chi tiết dẫn CL có thể là hướng vuông góc với hướng kéo dài DR2 của chi tiết dẫn CL.

Chẳng hạn, theo phương án thực hiện sáng chế, khoảng cách giữa các lớp phụ dẫn và chiều rộng của các lớp phụ dẫn có thể được xác định dựa trên các chiều hình học giữa các vị trí gần như giống nhau của các lớp phụ dẫn khác nhau; và đối với lớp phụ dẫn thứ hai, có thể được xác định dựa trên vị trí trên (Chẳng hạn, bề mặt thứ hai S2), vị trí dưới (Chẳng hạn, bề mặt thứ nhất S1), hoặc vị trí giữa của lớp phụ dẫn thứ hai.

Chẳng hạn, tham khảo Fig.3 và Fig.4, hai chi tiết dẫn liền kề CL được cách ly với nhau, được đặt trong cùng lớp, và bao gồm chi tiết dẫn thứ nhất CL1 và chi tiết dẫn thứ hai CL2. Khoảng cách spc1 giữa các lớp phụ dẫn thứ ba 103 của chi tiết dẫn thứ nhất CL1 và của chi tiết dẫn thứ hai CL2 nhỏ hơn khoảng cách spc2 giữa các bề mặt thứ hai S2 của các lớp phụ dẫn thứ hai 102 của chi tiết dẫn

thứ nhất CL1 và của chi tiết dẫn thứ hai CL2, để giảm rủi ro đánh thủng tĩnh điện của các chi tiết dẫn liền kề. Chi tiết dẫn thứ nhất CL1 và chi tiết dẫn thứ hai CL2 có thể có kết cấu tương tự, mà không bị giới hạn ở đó. Chẳng hạn, theo phương án thực hiện sáng chế, thực tế là hai phần tử được đặt trong cùng lớp nghĩa là, hai phần tử được tạo bởi cùng lớp màng qua cùng quá trình tạo mẫu hình. Hoặc, thực tế rằng hai phần tử được đặt trong cùng lớp nghĩa là, các chất gốc của hai phần tử tiếp xúc trực tiếp với nhau là giống nhau. Chẳng hạn, các phần tử được tạo bởi cùng lớp màng có cùng chất. Chẳng hạn, như được thể hiện trên Fig.4, lớp phụ dẫn thứ ba 103 không tiếp xúc với lớp phụ dẫn thứ nhất 101. Chiều rộng của lớp phụ dẫn thứ ba 103 lớn hơn chiều rộng của bề mặt thứ hai S2. Chẳng hạn, tham khảo Fig.3 và Fig.4, diện tích của phần nhô vuông góc của lớp phụ dẫn thứ ba 103 trên tấm nền để 100 lớn hơn diện tích của bề mặt thứ hai S2 trên tấm nền để 100. Tham khảo Fig.3 và Fig.4, do chiều rộng của lớp phụ dẫn thứ ba 103 lớn hơn chiều rộng của bề mặt thứ hai S2, nếu khoảng cách giữa các lớp phụ dẫn thứ hai liền kề 102 được tăng lên, rủi ro đánh thủng tĩnh điện giữa các lớp phụ dẫn thứ hai liền kề được giảm đi, có lợi trong việc cải thiện độ ổn định và hiệu suất của thiết bị bao gồm tấm hiển thị.

(Các) tác giả sáng chế tìm ra rằng, nếu chiều rộng của một phần lớp phụ dẫn thứ ba kéo dài vượt quá lớp phụ dẫn thứ hai là quá lớn, chiều rộng của lớp phụ dẫn thứ hai trở nên thậm chí nhỏ hơn, dẫn đến tăng điện trở của chi tiết dẫn, chống lại hiển thị có độ phân giải cao; nếu chiều rộng của một phần lớp phụ dẫn thứ ba kéo dài vượt quá lớp phụ dẫn thứ hai là quá nhỏ, rủi ro xả tĩnh điện giữa các lớp phụ dẫn thứ hai liền kề sẽ được tăng lên. Một cách tương ứng, khi chiều rộng của phần lớp phụ dẫn thứ ba kéo dài vượt quá lớp phụ dẫn thứ hai thoả mãn các điều kiện cụ thể, có thể thu được kết cấu chi tiết dẫn có cả điện trở lẫn độ ổn định.

Chẳng hạn, như được thể hiện trên Fig.4, tấm hiển thị thoả mãn biểu thức quan hệ sao xem xét cả điện trở lẫn độ ổn định:

$$\frac{\Delta w_{11}}{w_1} + \frac{\Delta w_{12}}{w_2} < \frac{\Delta w_{11} + \Delta w_{12}}{d_{\min}},$$

trong đó w_1 là chiều rộng lớn nhất của chi tiết dẫn thứ nhất CL1 trong mặt cắt ngang theo chiều rộng, w_2 là chiều rộng lớn nhất của chi tiết dẫn thứ hai CL2 trong mặt cắt ngang theo chiều rộng, Δw_{11} là khoảng cách mà lớp phụ dẫn thứ ba 103 kéo dài quá bề mặt thứ hai S2 trong chi tiết dẫn thứ nhất CL1, Δw_{12} là khoảng cách mà lớp phụ dẫn thứ ba 103 kéo dài quá bề mặt thứ hai S2 trong chi tiết dẫn thứ hai CL2, và d_{min} là khoảng cách nhỏ nhất giữa chi tiết dẫn thứ nhất CL1 và chi tiết dẫn thứ hai CL2. Theo tấm hiển thị thoả mãn biểu thức quan hệ nêu trên, ảnh hưởng đến điện trở bởi chiều rộng của phần lớp phụ dẫn thứ ba kéo dài vượt quá lớp phụ dẫn thứ hai được giảm tối đa, và rủi ro đánh thủng tĩnh điện được giảm đi cùng lúc.

Chẳng hạn, phương pháp sản xuất tấm hiển thị được thể hiện trên Fig.4 có thể bao gồm: tạo màng dẫn thứ nhất, tạo mẫu hình màng dẫn thứ nhất để tạo lớp phụ dẫn thứ nhất 101; tạo màng dẫn thứ hai, và tạo mẫu hình màng dẫn thứ hai để tạo lớp phụ dẫn thứ hai 102; tạo lớp cách ly giữa các lớp phụ dẫn thứ hai liền kề 102; tạo màng dẫn thứ ba trên lớp cách ly và lớp phụ dẫn thứ hai 102 để tiếp xúc với lớp phụ dẫn thứ hai 102, và tạo mẫu hình màng dẫn thứ ba để tạo lớp phụ dẫn thứ ba 103. Cần lưu ý rằng, phương pháp sản xuất của tấm hiển thị được thể hiện trên Fig.4 không bị giới hạn ở các phương pháp nêu trên, và người có hiểu biết trung bình trong lĩnh vực có thể chọn phương pháp thích hợp để sản xuất tấm hiển thị theo phần mô tả cấu trúc theo phương án thực hiện sáng chế.

Fig.5A là sơ đồ của các chi tiết dẫn theo phương án thực hiện sáng chế. Như được thể hiện trên Fig.5A, tấm hiển thị bao gồm các chi tiết dẫn CL được đặt trong cùng lớp, bao gồm chi tiết dẫn thứ nhất CL1, chi tiết dẫn thứ hai CL2, chi tiết dẫn thứ ba CL3 và chi tiết dẫn thứ tư CL4; khoảng SPC01 giữa các chi tiết dẫn thứ nhất và thứ hai CL1 và CL2 khác với khoảng SPC02 giữa các chi tiết dẫn thứ ba và thứ tư CL3 và CL4. Kích thước của các bề mặt thứ hai S2 của các lớp phụ dẫn thứ ba 103 ở hai chi tiết dẫn bên trái CL nhô từ các lớp phụ dẫn thứ hai 102 khác với kích thước của các bề mặt thứ hai S2 của các lớp phụ dẫn thứ ba 103 trong hai chi tiết dẫn bên phải CL nhô từ các lớp phụ dẫn thứ hai 102.

Như được thể hiện trên Fig.5A, khoảng SPC01 giữa chi tiết dẫn thứ nhất CL1

và chi tiết dẫn thứ hai CL2 nhỏ hơn khoảng SPC02 giữa chi tiết dẫn thứ ba CL3 và chi tiết dẫn thứ tư CL4.

Như được thể hiện trên Fig.5A, lớp phụ dẫn thứ ba 103 trong chi tiết dẫn thứ nhất CL1 nhô từ bề mặt thứ hai S2 của lớp phụ dẫn thứ hai 102 dọc theo chiều rộng của chi tiết dẫn thứ nhất CL1 bởi kích thước D01; lớp phụ dẫn thứ ba 103 trong chi tiết dẫn thứ hai CL2 nhô từ bề mặt thứ hai S2 của lớp phụ dẫn thứ hai 102 dọc theo chiều rộng của chi tiết dẫn thứ hai CL2 bởi kích thước D02; lớp phụ dẫn thứ ba 103 trong chi tiết dẫn thứ ba CL3 nhô từ bề mặt thứ hai S2 của lớp phụ dẫn thứ hai 102 dọc theo chiều rộng của chi tiết dẫn thứ ba CL3 bởi kích thước D03; và lớp phụ dẫn thứ ba 103 trong chi tiết dẫn thứ tư CL4 nhô từ bề mặt thứ hai S2 của lớp phụ dẫn thứ hai 102 dọc theo chiều rộng của chi tiết dẫn thứ tư CL4 bởi kích thước D04. D01 lớn hơn D03 và lớn hơn D04; D02 lớn hơn D03 và lớn hơn D04. Chẳng hạn, theo một số phương án thực hiện, D01 bằng D02, và D03 bằng D04, mà không giới hạn các phương án thực hiện sáng chế ở đó.

Như được thể hiện trên Fig.5A, chi tiết dẫn thứ nhất CL1, chi tiết dẫn thứ hai CL2, chi tiết dẫn thứ ba CL3, và chi tiết dẫn thứ tư CL4 song song với nhau; Theo các phương án thực hiện khác, các chi tiết dẫn liền kề có thể không song song với nhau.

Fig.5B là sơ đồ của các chi tiết dẫn theo phương án thực hiện sáng chế. Chi tiết dẫn thứ nhất CL1 không song song với chi tiết dẫn thứ hai CL2, và khoảng cách SPC01 giữa chi tiết dẫn thứ nhất CL1 và chi tiết dẫn thứ hai CL2 tăng dần từ đầu thứ nhất đến đầu thứ hai, sao cho đối với cùng chi tiết dẫn CL, kích thước của lớp phụ dẫn thứ ba 103 nhô từ bề mặt thứ hai S2 của lớp phụ dẫn thứ hai 102 là khác nhau ở các vị trí khác nhau.

Chẳng hạn, như được thể hiện trên Fig.5B, đối với cùng chi tiết dẫn, kích thước của lớp phụ dẫn thứ ba 103 nhô từ bề mặt thứ hai S2 của lớp phụ dẫn thứ hai 102 ở vị trí trong đó khoảng SPC01 là nhỏ, nhỏ hơn ở vị trí trong đó khoảng SPC01 là lớn, mà không giới hạn các phương án thực hiện sáng chế ở đó.

Fig.6A là hình vẽ mặt cắt khác dọc theo đường A1-A2 trên Fig.3. Chẳng hạn,

như được thể hiện trên Fig.6A, bề mặt bên S3 bao gồm ít nhất hai bề mặt phụ bên S3 bao gồm bề mặt phụ bên thứ nhất S31 gần với lớp phụ dẫn thứ nhất 101 và bề mặt phụ bên thứ hai S32 gần với lớp phụ dẫn thứ ba 103, và góc θ_1 được tạo bởi bề mặt phụ bên thứ nhất S31 và lớp phụ dẫn thứ nhất 101 nhỏ hơn góc θ_2 được tạo bởi bề mặt phụ bên thứ hai S32 và lớp phụ dẫn thứ nhất 101.

Nói chung, các lớp phụ dẫn thứ hai 102 có bề mặt bên có góc nghiêng cụ thể, thể hiện xu hướng tăng kích thước từ dưới lên trên, dẫn đến khoảng giữa các lớp phụ dẫn thứ hai liên kế tăng tự nhiên từ dưới lên trên. Phương án thực hiện sáng chế chủ yếu tập trung vào việc giảm rủi ro xả tĩnh điện bằng cách tăng chiều rộng của lớp phụ dẫn thứ hai, dựa vào đó khoảng giữa các lớp phụ dẫn thứ hai liên kế có thể luôn không tăng và góc θ_2 làm chậm xu hướng tăng kích thước, sao cho có thể tạo độ dốc thoải có góc nhỏ hơn và chiều rộng của lớp phụ dẫn thứ hai ở dưới được tăng về mặt kết cấu, nhờ đó giảm điện trở của chi tiết dẫn.

Fig.6B là hình vẽ mặt cắt một phần của chi tiết dẫn trên tấm hiển thị theo phương án thực hiện sáng chế. Như được thể hiện trên Fig.6B, trong mặt cắt ngang dọc theo hướng vuông góc với hướng kéo dài DR2 của chi tiết dẫn CL, điểm giao giữa bề mặt bên S3 và lớp phụ dẫn thứ nhất 101 là điểm giao thứ nhất P1, và điểm giao giữa bề mặt bên S3 và lớp phụ dẫn thứ ba 103 là điểm giao thứ hai P2, và ít nhất một phần của bề mặt bên S3 được đặt ở một phía của đường nối LN0 giữa điểm giao thứ nhất P1 và điểm giao thứ hai P2 gần với lớp phụ dẫn thứ hai 102. Mặt cắt ngang dọc theo hướng vuông góc với hướng kéo dài DR2 của chi tiết dẫn CL là mặt phẳng được tạo bởi chiều dày DR3 của chi tiết dẫn CL và chiều rộng DR1 của chi tiết dẫn CL.

Chẳng hạn, như được thể hiện trên Fig.6B, ở mặt cắt ngang dọc theo hướng vuông góc với hướng kéo dài DR2 của chi tiết dẫn CL, khoảng cách giữa điểm giao P1 của bề mặt phụ bên thứ nhất S31 và lớp phụ dẫn thứ nhất 101 và điểm giao P3 là d_1 , và khoảng cách của lớp phụ dẫn thứ nhất 101 kéo dài vượt quá bề mặt thứ nhất S1 là Δw_1 , trong đó điểm giao P3 là điểm giao giữa lớp phụ dẫn thứ nhất 101 và đường kéo dài của bề mặt phụ bên thứ hai S32.

Chẳng hạn, như được thể hiện trên Fig.6B, ở mặt cắt ngang dọc theo hướng

vuông góc với hướng kéo dài DR2 của chi tiết dẫn CL, khoảng cách giữa điểm giao P2 của bề mặt phụ bên thứ hai S32 và lớp phụ dẫn thứ ba 103 và điểm giao P4 là d_2 , và khoảng cách của lớp phụ dẫn thứ ba 103 kéo dài vượt quá bề mặt thứ hai S2 là Δw_2 , trong đó điểm giao P4 là điểm giao giữa lớp phụ dẫn thứ ba 103 và đường kéo dài LN2 của bề mặt phụ bên thứ nhất S31. Chẳng hạn, theo phương án thực hiện sáng chế, khoảng cách của lớp phụ dẫn thứ ba 103 kéo dài vượt quá bề mặt thứ hai S2 là kích thước của phần lớp phụ dẫn thứ ba 103 kéo dài vượt quá bề mặt thứ hai S2 trong chiều rộng của chi tiết dẫn. Chiều rộng của chi tiết dẫn giao với chiều dài của chi tiết dẫn. Chẳng hạn, chiều rộng của chi tiết dẫn vuông góc với chiều dài của chi tiết dẫn.

Chẳng hạn, như được thể hiện trên Fig.6B, để giảm rủi ro đánh thủng tĩnh điện và cũng giảm điện trở của chi tiết dẫn cùng lúc, $d_1 < \Delta w_1$; ngoài ra, chẳng hạn, $d_1 < \Delta w_2$.

Chẳng hạn, như được thể hiện trên Fig.6B, để giảm rủi ro đánh thủng tĩnh điện và cũng giảm điện trở của chi tiết dẫn cùng lúc, $d_2 < \Delta w_1$; ngoài ra, chẳng hạn, $d_2 < \Delta w_2$.

Chẳng hạn, như được thể hiện trên Fig.6B, để giảm rủi ro đánh thủng tĩnh điện và cũng giảm điện trở của chi tiết dẫn cùng lúc, $\Delta w_2 < \Delta w_1$.

Chẳng hạn, như được thể hiện trên Fig.6B, cả bề mặt phụ bên thứ nhất S31 và bề mặt phụ bên thứ hai S32 là các bề mặt nghiêng. Tham khảo Fig.6A và Fig.6B, bề mặt phụ bên thứ nhất S31 và bề mặt phụ bên thứ hai S32 có thể lần lượt là các bề mặt nghiêng với tấm nền để 100.

Fig.7 là hình vẽ mặt cắt một phần của chi tiết dẫn trên tấm hiển thị theo phương án thực hiện sáng chế. Chẳng hạn, như được thể hiện trên Fig.7, để giảm rủi ro đánh thủng tĩnh điện và cũng giảm điện trở của chi tiết dẫn cùng lúc, góc θ_2 được tạo bởi bề mặt phụ bên thứ hai S32 và lớp phụ dẫn thứ nhất 101 lớn hơn 90° .

Fig.8 là hình vẽ mặt cắt khác dọc theo đường A1-A2 trên Fig.3. Chẳng hạn, như được thể hiện trên Fig.8, bề mặt bên S3 bao gồm ba bề mặt phụ S3 được bố trí tuần tự, bao gồm bề mặt phụ thứ nhất S31, bề mặt phụ thứ hai S32 và bề mặt

phụ thứ ba S33; bề mặt phụ thứ nhất S31 gần hơn với lớp phụ dẫn thứ nhất 101 so với bề mặt phụ thứ ba S33; góc được tạo bởi bề mặt phụ thứ nhất S31 và lớp phụ dẫn thứ nhất 101 là góc thứ nhất θ_1 , góc được tạo bởi bề mặt phụ bên thứ hai S32 và lớp phụ dẫn thứ nhất 101 là góc thứ hai θ_2 , và góc được tạo bởi bề mặt phụ bên thứ ba S33 và lớp phụ dẫn thứ nhất 101 là góc thứ ba θ_3 . Để giảm rủi ro đánh thủng tĩnh điện và cũng giảm điện trở của các chi tiết dẫn cùng lúc, góc thứ ba θ_3 lớn hơn góc thứ hai θ_2 , và góc thứ hai θ_2 lớn hơn góc thứ nhất θ_1 .

Chẳng hạn, tham khảo Fig.4, Fig.6A và Fig.8, lớp phụ dẫn thứ hai 102 bao gồm hai bề mặt bên S3 được bố trí đối diện nhau và được bố trí đối xứng dọc theo chiều dày của chi tiết dẫn CL. Chỉ một bề mặt bên S3 của chi tiết dẫn CL được thể hiện trên Fig.6B và Fig.7, và bề mặt bên S3 còn lại của chi tiết dẫn CL cũng có thể cũng được bố trí đối xứng với bề mặt bên S3 như được thể hiện dọc theo chiều dày của chi tiết dẫn CL. Cần lưu ý rằng hai bề mặt bên đối diện của cùng chi tiết dẫn cũng có thể được bố trí bất đối xứng, mà không bị giới hạn theo các phương án thực hiện sáng chế.

Dựa vào Fig.6A và Fig.8, hai chi tiết dẫn liền kề CL được cách ly với nhau, và được đặt trong cùng lớp và có cùng kết cấu; hai chi tiết dẫn liền kề CL bao gồm chi tiết dẫn thứ nhất CL1 và chi tiết dẫn thứ hai CL2; khoảng $spc1$ giữa lớp phụ dẫn thứ ba 103 của chi tiết dẫn thứ nhất CL1 và lớp phụ dẫn thứ ba 103 của chi tiết dẫn thứ hai CL2 nhỏ hơn khoảng $spc2$ giữa bề mặt thứ hai S2 của lớp phụ dẫn thứ hai 102 của chi tiết dẫn thứ nhất CL1 và bề mặt thứ hai S2 của lớp phụ dẫn thứ hai 102 của chi tiết dẫn thứ hai CL2.

Tham khảo các hình vẽ từ Fig.3 đến Fig.6A và Fig.8, khoảng giữa chi tiết dẫn thứ nhất CL1 và chi tiết dẫn thứ hai CL2 là nhỏ. Chẳng hạn, khoảng giữa chi tiết dẫn thứ nhất CL1 và chi tiết dẫn thứ hai CL2 có thể nằm trong khoảng từ $5\mu m$ đến $19\mu m$, mà không bị giới hạn ở đây. Phương án thực hiện sáng chế không giới hạn cụ thể giá trị của khoảng giữa chi tiết dẫn thứ nhất CL1 và chi tiết dẫn thứ hai CL2.

Tham khảo Fig.4, Fig.6A và Fig.8, khoảng cách từ chi tiết dẫn thứ nhất CL1 đến tám nền đế 100 có thể giống như khoảng cách từ chi tiết dẫn thứ hai CL2

đền tấm nền đế 100, mà không giới hạn các phương án thực hiện sáng chế ở đó.

Fig.9 là hình vẽ mặt cắt của tấm hiển thị theo phương án thực hiện sáng chế. Như được thể hiện trên Fig.9, tấm hiển thị bao gồm tấm nền đế 100, và chi tiết dẫn thứ nhất layer 21, lớp cách ly 22 và lớp chi tiết dẫn thứ hai 23 được đặt ở tấm nền đế 100; lớp chi tiết dẫn thứ nhất 21 bao gồm chi tiết dẫn thứ nhất CL1 và chi tiết dẫn thứ hai CL2; lớp chi tiết dẫn thứ hai 23 bao gồm chi tiết dẫn thứ ba CL3 và chi tiết dẫn thứ tư CL4; các chi tiết dẫn thứ nhất và thứ hai CL1 và CL2 có thể sử dụng các chi tiết dẫn thứ nhất và thứ hai CL1 và CL2 như nêu trên, và các chi tiết dẫn thứ ba và thứ tư CL3 và CL4 có thể sử dụng các chi tiết dẫn thứ nhất và thứ hai CL1 và CL2 như nêu trên, một cách lần lượt.

Chẳng hạn, lớp chi tiết dẫn thứ nhất 21 và lớp chi tiết dẫn thứ hai 23 được đặt trong các lớp khác nhau; khoảng cách từ lớp chi tiết dẫn thứ nhất 21 đến tấm nền đế 100 khác với khoảng cách từ lớp chi tiết dẫn thứ hai 23 đến tấm nền đế 100; và các khoảng cách từ chi tiết dẫn thứ nhất CL1 và chi tiết dẫn thứ ba CL3 đến tấm nền đế 100 là khác nhau.

Fig.10 là hình chiếu bằng của chi tiết dẫn thứ nhất và chi tiết dẫn thứ ba trong tấm hiển thị được thể hiện trên Fig.9. Mỗi chi tiết trong chi tiết dẫn thứ nhất CL1 và chi tiết dẫn thứ ba CL3 sử dụng cấu trúc trong đó lớp phụ dẫn thứ ba nhô từ bề mặt thứ hai trong chiều rộng của chi tiết dẫn.

Fig.11 là hình vẽ mặt cắt của chi tiết dẫn thứ nhất và chi tiết dẫn thứ ba trong tấm hiển thị được thể hiện trên Fig.9. Độ dày của lớp phụ dẫn thứ hai 102 của chi tiết dẫn thứ nhất CL1 là T3, độ dày của lớp phụ dẫn thứ hai 102 của chi tiết dẫn thứ ba CL3 là T4, và T4 lớn hơn T3; khoảng cách của lớp phụ dẫn thứ ba 103 kéo dài vượt quá bề mặt thứ hai S2 trong chi tiết dẫn thứ nhất CL1 là $\Delta w3$, và khoảng cách của lớp phụ dẫn thứ ba 103 kéo dài vượt quá bề mặt thứ hai S2 trong chi tiết dẫn thứ ba CL3 là $\Delta w4$, thoả mãn biểu thức quan hệ sau:

$$\frac{\Delta w3}{T3} > \frac{\Delta w4}{T4}.$$

Do vậy, ở trường hợp trong đó tấm hiển thị được bố trí với các chi tiết dẫn và mỗi chi tiết dẫn phải có cấu trúc sao cho lớp phụ dẫn thứ ba nhô từ bề mặt thứ

hai trong chiều rộng của chi tiết dẫn, khoảng cách của lớp phụ dẫn thứ ba 103 kéo dài vượt quá bề mặt thứ hai S2 trong số các chi tiết dẫn có các khoảng cách khác nhau từ tấm nền để có thể được xác định theo độ dày của lớp phụ dẫn thứ hai.

Cần lưu ý rằng phương án thực hiện sáng chế được mô tả dựa vào trường hợp trong đó chi tiết dẫn gần hơn với tấm nền để có độ dày nhỏ và chi tiết dẫn xa hơn từ tấm nền để có độ dày lớn, thông qua ví dụ. Theo các phương án thực hiện khác, chi tiết dẫn gần hơn với tấm nền để có thể có độ dày lớn, trong khi chi tiết dẫn cách xa hơn tấm nền để có thể có độ dày nhỏ.

Fig.12 là hình vẽ mặt cắt của các chi tiết dẫn liền kề trong tấm hiển thị theo phương án thực hiện sáng chế. Như được thể hiện trên Fig.12, khoảng spc1 giữa lớp phụ dẫn thứ ba 103 của chi tiết dẫn thứ nhất CL1 và lớp phụ dẫn thứ ba 103 của chi tiết dẫn thứ hai CL2 nhỏ hơn khoảng spc2 giữa bề mặt thứ hai S2 của lớp phụ dẫn thứ hai 102 của chi tiết dẫn thứ nhất CL1 và bề mặt thứ hai S2 của lớp phụ dẫn thứ hai 102 của chi tiết dẫn thứ hai CL2, để giảm rủi ro đánh thủng tĩnh điện.

Chẳng hạn, như được thể hiện trên Fig.12, lớp phụ dẫn thứ ba 103 bao phủ lớp phụ dẫn thứ hai 102 và tiếp xúc với lớp phụ dẫn thứ nhất 101. Do bề mặt bên S33 của lớp phụ dẫn thứ ba 103 bao phủ lớp phụ dẫn thứ hai 102, rủi ro đánh thủng tĩnh điện của lớp phụ dẫn thứ hai 102 được giảm đi.

Chẳng hạn, để giảm tiếp ảnh hưởng xả tĩnh điện và giảm đáng kể tần số xuất hiện của các rủi ro, ít nhất một trong các phần tử N, S, P và Cl được pha tạp vào ít nhất một trong bề mặt thứ nhất S1, bề mặt thứ hai S2 và bề mặt bên S3 của lớp phụ dẫn thứ hai 102. Chẳng hạn, bước pha tạp nêu trên có thể được thực hiện trên lớp phụ dẫn thứ hai 102 của chi tiết dẫn CL trong tấm hiển thị được thể hiện trên các hình vẽ từ Fig.3 đến Fig.12 theo phương án thực hiện sáng chế.

Fig.13 là hình vẽ mặt cắt của tấm hiển thị theo phương án thực hiện sáng chế. Như được thể hiện trên Fig.13, tấm hiển thị bao gồm tấm nền đế 100, lớp chặn 42, và lớp chi tiết dẫn 43 bao gồm chi tiết dẫn CL được đặt ở màng cách ly vô cơ 42. Chẳng hạn, chi tiết dẫn CL tiếp xúc với lớp chặn 42, mà không bị giới hạn

ở đó. Chẳng hạn, lớp chi tiết dẫn 43 bao gồm chi tiết dẫn thứ nhất CL1 và chi tiết dẫn thứ hai CL2 như nêu trên.

Chẳng hạn, lớp chặn 42 bao gồm màng cách ly vô cơ có ít nhất một trong phần tử F và phần tử Cl. Lớp chặn 42 có ít nhất một trong phần tử F và phần tử Cl, có thể hấp thu hiệu quả các ion kim loại trong chi tiết dẫn và giảm rủi ro xả tĩnh điện.

Chẳng hạn, để giảm đáng kể tần suất xuất hiện xả tĩnh điện, hàm lượng của ít nhất một trong phần tử F và phần tử Cl trong lớp chặn 42 từ 1×10^{18} đến 5×10^{20} nguyên tử trên centimet khối.

Chẳng hạn, tham khảo Fig.4, Fig.6A đến Fig.8, Fig.11 và Fig.12, bề mặt thứ nhất S1 tiếp xúc với lớp phụ dẫn thứ nhất 101, và bề mặt thứ hai S2 tiếp xúc với lớp phụ dẫn thứ ba 103.

Chẳng hạn, tham khảo Fig.4, Fig.6A đến Fig.8, Fig.11 và Fig.12, chiều rộng của bề mặt thứ nhất S1 nhỏ hơn chiều rộng của lớp phụ dẫn thứ nhất 101, và chiều rộng của bề mặt thứ hai S2 nhỏ hơn chiều rộng của lớp phụ dẫn thứ ba 103. Để xem xét cả điện trở lẫn độ ổn định, chênh lệch chiều rộng giữa lớp phụ dẫn thứ ba 103 và bề mặt thứ hai S2 lớn hơn độ dày của lớp phụ dẫn thứ ba 103.

Theo phương án thực hiện sáng chế, liệu lớp phụ dẫn thứ ba 103 kéo dài quá bề mặt thứ nhất S1 không bị giới hạn. Chẳng hạn, lớp phụ dẫn thứ ba 103 có thể kéo dài vượt quá bề mặt thứ nhất S1, tức là, diện tích của phần nhô vuông góc của lớp phụ dẫn thứ ba 103 trên tấm nền để lớn hơn diện tích của phần nhô vuông góc của bề mặt thứ nhất S1 trên tấm nền đế. Dĩ nhiên, theo các phương án thực hiện khác, lớp phụ dẫn thứ ba 103 có thể không kéo dài vượt quá bề mặt thứ nhất S1, tức là, phần nhô vuông góc của lớp phụ dẫn thứ ba 103 trên tấm nền đế nằm trong phần nhô vuông góc của bề mặt thứ nhất S1 trên tấm nền đế. Theo một số phương án thực hiện, phần nhô vuông góc của lớp phụ dẫn thứ ba 103 trên tấm nền đế có thể cũng trùng với phần nhô vuông góc của bề mặt thứ nhất S1 trên tấm nền đế.

Việc áp dụng các chi tiết dẫn trong tấm hiển thị được thể hiện trên Fig.3 đến Fig.13 theo các phương án thực hiện sáng chế sẽ được mô tả dưới đây. Cần lưu

ý rằng việc áp dụng các chi tiết dẫn trong tấm hiển thị theo các phương án thực hiện sáng chế không bị giới hạn ở phần mô tả sau.

Fig.14 là hình chiếu bằng của tấm hiển thị theo phương án thực hiện sáng chế. Như được thể hiện trên Fig.14, tấm hiển thị bao gồm vùng hiển thị R1 và vùng ngoại vi R2 được đặt ở ít nhất một bên của vùng hiển thị R1. Các pixel con SP được đặt trong vùng hiển thị R1. Các đường cực cổng GL và các đường dữ liệu DL được đặt trong vùng hiển thị R1. Các đường cực cổng GL giao với và được cách ly với các đường dữ liệu DL. Như được thể hiện trên Fig.14, mỗi đường dữ liệu DL được nối với tấm đệm PD được đặt trong vùng ngoại vi R2. Như được thể hiện trên Fig.14, các tấm đệm PD được đặt trong vùng ngoại vi R2, và các tấm đệm PD có thể được tạo kết cấu để được nối với các phần tử khác hoặc các mạch ngoài, chẳng hạn, bảng mạch in dẻo. Hai tấm đệm liền kề PD trên Fig.14 có thể là chi tiết dẫn thứ nhất CL1 và chi tiết dẫn thứ hai CL2 như nêu trên. Fig.14 cũng thể hiện các đơn vị pixel SP. Các đơn vị pixel SP có thể được bố trí trong mảng, mà không bị giới hạn ở đây. Fig.14 minh họa các đơn vị pixel SP được bố trí trong ma trận làm ví dụ, mà không bị giới hạn ở đây. Trên Fig.14, mỗi đường dữ liệu DL được nối với một tấm đệm PD làm ví dụ, theo các phương án thực hiện khác, các đường dữ liệu DL có thể được nối với một tấm đệm PD, chẳng hạn, hai hoặc nhiều đường dữ liệu DL được nối với một tấm đệm PD. Chẳng hạn, hai hoặc nhiều đường dữ liệu DL có thể được nối với một tấm đệm PD bằng cách bố trí khối chọn dữ liệu chẳng hạn, khối mux.

Fig.15A là hình chiếu bằng của tấm hiển thị theo phương án thực hiện sáng chế. Như được thể hiện trên Fig.15A, chi tiết dẫn thứ nhất CL1 và chi tiết dẫn thứ hai CL2 một cách lần lượt được nối với chân cắm PN của mạch ngoài CC qua chất dính dẫn không đẳng hướng ADH dẫn điện theo hướng thứ ba DR3 (chiều dọc), để nối điện chân cắm thứ nhất PN1 của mạch ngoài CC và chi tiết dẫn thứ nhất CL1 và để nối điện chân cắm thứ hai PN2 của mạch ngoài CC và chi tiết dẫn thứ hai CL2. Lớp phụ dẫn thứ ba 103 trong chi tiết dẫn CL nhô từ bề mặt thứ hai S2, giúp dễ gắn chi tiết dẫn CL với các mạch ngoài. Fig.15A minh họa dưới dạng sơ đồ rằng lớp phụ dẫn thứ hai 102 có hai mặt phẳng nghiêng, mà

không bị giới hạn ở đây. Chi tiết dẫn CL trên Fig.15A có thể sử dụng chi tiết bất kỳ trong các chi tiết dẫn CL được mô tả theo các phương án thực hiện sáng chế.

Fig.15A thể hiện phần dẫn ADH1 của chất dính dẫn đẳng hướng ADH. Một phần của chất dính dẫn đẳng hướng ADH ngoại trừ phần dẫn ADH1 là phần cách ly. Tức là, phần của chất dính dẫn đẳng hướng ADH được đặt giữa hai phần dính liền kề ADH1 là phần cách ly để thực hiện nối dọc và cách ly ngang của các chi tiết dẫn.

Fig.15B là hình chiếu bằng của tấm hiển thị theo phương án thực hiện khác của sáng chế. So với tấm hiển thị được thể hiện trên Fig.15A, chi tiết dẫn CL của tấm hiển thị được thể hiện trên Fig.15A được xếp chồng với chi tiết được xếp chồng thứ nhất ST1 và chi tiết được xếp chồng thứ hai ST2, các chi tiết được xếp chồng thứ nhất và thứ hai ST1 và ST2 được bố trí lần lượt trên cả hai phía của chi tiết dẫn CL, và chi tiết được xếp chồng thứ nhất ST1 gần hơn với tấm nền đế so với chi tiết được xếp chồng thứ hai ST2. Chi tiết được xếp chồng thứ hai ST2 được nối với chân cắm PN qua phần dẫn của chất dính dẫn đẳng hướng ADH. Fig.15B minh họa việc chi tiết dẫn CL tiếp xúc với chi tiết được xếp chồng thứ nhất ST1 và tiếp xúc với chi tiết được xếp chồng thứ hai ST2, làm ví dụ, mà không bị giới hạn ở đó; Theo các phương án thực hiện khác, chi tiết dẫn CL và chi tiết được xếp chồng thứ nhất ST1 có thể được nối qua lỗ xuyên đâm xuyên lớp cách ly, và chi tiết dẫn CL và chi tiết được xếp chồng thứ hai ST2 cũng có thể được nối qua lỗ xuyên đâm xuyên lớp cách ly. Trên Fig.15A và Fig.15B, lớp chặn giữa tấm nền đế 100 và chi tiết dẫn CL bị bỏ qua.

Fig.16A là hình chiếu bằng của tấm hiển thị theo phương án thực hiện sáng chế. Như được thể hiện trên Fig.16A, tấm hiển thị có vùng trong suốt HL. Do tấm nền đế bị đào lõm ở vùng trong suốt HL, khoảng cách d21 giữa hai đường công liền kề GT gần với vùng trong suốt HL nhỏ hơn khoảng cách d22 giữa hai đường công liền kề GT cách xa vùng trong suốt HL. Trên Fig.16A, đường công GT gần với vùng trong suốt HL và có phần uốn/cong phù hợp có thể là chi tiết dẫn CL có lớp phụ dẫn thứ ba nhô từ kết cấu bề mặt thứ hai trong chiều rộng của chi tiết dẫn theo phương án thực hiện sáng chế. Như được thể hiện trên Fig.16A,

chi tiết dẫn thứ nhất CL1 gần hơn với vùng trong suốt HL so với chi tiết dẫn thứ hai CL2. Để giảm rủi ro đánh thủng tĩnh điện, khoảng cách của lớp phụ dẫn thứ ba 103 kéo dài vượt quá bề mặt thứ hai S2 trong chi tiết dẫn thứ nhất CL1 lớn hơn khoảng cách của lớp phụ dẫn thứ ba 103 kéo dài vượt quá bề mặt thứ hai S2 trong chi tiết dẫn thứ hai CL2. Dĩ nhiên, chi tiết dẫn CL cũng có thể là các đường tín hiệu khác trong tấm hiển thị.

Fig.16B là hình chiếu bằng của tấm hiển thị theo phương án thực hiện khác của sáng chế. So với tấm hiển thị được thể hiện trên Fig.16A, tấm hiển thị được thể hiện trên Fig.16B có vùng trong suốt HL được đặt ở mép của tấm nền để dễ tạo khe. Vùng trong suốt HL có thể được sử dụng để đặt các camera và các bộ phận khác để dễ thực hiện nhiều chức năng của thiết bị hiển thị. Hình dạng của vùng trong suốt HL không bị giới hạn ở hình dạng được thể hiện trên Fig.16A và 16B, nhưng có thể được xác định theo yêu cầu.

Fig.17A là hình chiếu bằng của tấm hiển thị theo phương án thực hiện sáng chế. Fig.17A thể hiện các đường dữ liệu DL và các đường điện thứ nhất PL1; đường dữ liệu DL và đường điện thứ nhất PL1 liền kề với nhau, và các phần của đường dữ liệu DL và đường điện thứ nhất PL1 gần với vùng trong suốt HL có thể là chi tiết dẫn thứ nhất CL1 và chi tiết dẫn thứ hai CL2 như nêu trên, một cách lần lượt. Trong vùng gần với vùng trong suốt HL, khoảng cách d21 giữa đường dữ liệu DL và đường điện thứ nhất PL1 liền kề với nhau và gần với vùng trong suốt HL nhỏ hơn khoảng cách d22 giữa đường dữ liệu DL và đường điện thứ nhất PL1 liền kề với nhau và cách xa vùng trong suốt HL. Như được thể hiện trên Fig.17A, trong vùng gần với vùng trong suốt HL, khoảng cách d21 giữa đường dữ liệu DL1 và đường điện thứ nhất PL11 liền kề với nhau và gần với vùng trong suốt HL nhỏ hơn khoảng cách d22 giữa đường dữ liệu DL2 và đường điện thứ nhất PL12 liền kề với nhau và cách xa vùng trong suốt HL.

Fig.17B là hình chiếu bằng của tấm hiển thị theo phương án thực hiện sáng chế. So với tấm hiển thị được thể hiện trên Fig.17A, tấm hiển thị được thể hiện trên Fig.17B bao gồm trụ cách SEP. Việc bố trí trụ cách SEP có lợi trong việc ngăn chặn sự xâm nhập của nước và oxy vào lớp phát sáng của LED. Trụ cách

SEP có thể sử dụng kết cấu của chi tiết dẫn CL như nêu trên. Trụ cách SEP được đặt quanh vùng trong suốt HL; và trụ cách SEP và đường điện thứ nhất PL1 liền kề với chúng có thể là chi tiết dẫn thứ nhất CL1 và chi tiết dẫn thứ hai CL2 như nêu trên, một cách lần lượt. Dĩ nhiên, theo các phương án thực hiện khác, đường dữ liệu DL có thể liền kề với trụ cách SEP, tức là, trụ cách SEP và đường dữ liệu DL liền kề với chúng có thể lần lượt là chi tiết dẫn thứ nhất CL1 và chi tiết dẫn thứ hai CL2 như nêu trên. Chẳng hạn, đường dữ liệu DL và đường điện thứ nhất PL1 được bố trí trong cùng lớp. Cần lưu ý rằng, không có đường dữ liệu giữa trụ cách SEP và đường điện thứ nhất PL1 liền kề với chúng, và không có đường điện thứ nhất PL1 giữa trụ cách SEP và đường dữ liệu DL liền kề với chúng.

Fig.17C là hình chiếu bằng một phần của tấm hiển thị theo phương án thực hiện sáng chế. Như được thể hiện trên Fig.17, trụ cách SEP bao gồm các trụ cách thành phần SEP0, và khoảng cách d32 giữa trụ cách thành phần SEP0 gần với đường tín hiệu SL và trụ cách thành phần liền kề SEP0 lớn hơn khoảng cách d31 giữa các trụ cách thành phần liền kề SEP0. Đường tín hiệu SL có thể là đường dữ liệu DL hoặc đường điện thứ nhất PL1 được thể hiện trên Fig.17B. Có khoảng giữa các trụ cách thành phần liền kề SEP0. Trụ cách thành phần liền kề SEP0 có thể là chi tiết dẫn thứ nhất CL1 và chi tiết dẫn thứ hai CL2 như nêu trên.

Fig.18 là hình phối cảnh của thiết bị hiển thị bao gồm tấm hiển thị theo phương án thực hiện sáng chế. Như được thể hiện trên Fig.18, thiết bị hiển thị là thiết bị hiển thị gấp được. Thiết bị hiển thị có thể là thiết bị hiển thị OLED. Thiết bị hiển thị bao gồm vùng gấp được R13, và vùng hiển thị thứ nhất R11 và vùng hiển thị thứ hai R12 một cách lần lượt được bố trí trên cả hai phía của vùng gấp được R13. Fig.18 thể hiện đường gấp FL. Vùng gấp được R13, vùng hiển thị thứ nhất R11 và vùng hiển thị thứ hai R12 tạo thành vùng hiển thị R1.

Fig.19 là hình chiếu bằng của thiết bị hiển thị được thể hiện trên Fig.18. Như được thể hiện trên Fig.19, vùng ngoại vi thứ nhất R21 được bố trí ở một bên của vùng hiển thị thứ nhất R11; vùng đệm thứ nhất PDR1 được bố trí trong vùng ngoại vi thứ nhất R21; các tấm đệm thứ nhất PD1 được đặt trong vùng đệm thứ nhất PDR1, và các tấm đệm thứ nhất PD1 bao gồm hai tấm đệm thứ nhất liền kề

PD1, vốn là tấm đệm thứ nhất PD11 gần với đường gấp FL và tấm đệm thứ nhất PD12 cách xa đường gấp FL. Tấm đệm thứ nhất PD11 và tấm đệm thứ nhất PD12 có thể là lần lượt chi tiết dẫn thứ nhất CL1 và chi tiết dẫn thứ hai CL2 như nêu trên. Để giảm rủi ro đánh thủng tĩnh điện, khoảng cách của lớp phụ dẫn thứ ba 103 kéo dài vượt quá bề mặt thứ hai S2 trong chi tiết dẫn thứ nhất CL1 lớn hơn khoảng cách của lớp phụ dẫn thứ ba 103 kéo dài vượt quá bề mặt thứ hai S2 trong chi tiết dẫn thứ hai CL2. Tức là, chi tiết dẫn thứ nhất CL1 gần hơn với đường gấp FL so với chi tiết dẫn thứ hai CL2, và khoảng cách của lớp phụ dẫn thứ ba 103 kéo dài vượt quá bề mặt thứ hai S2 trong chi tiết dẫn thứ nhất CL1 lớn hơn khoảng cách trong chi tiết dẫn thứ hai CL2. Fig.19 mô tả trường hợp trong đó tấm đệm thứ nhất PD11 là tấm đệm thứ nhất gần nhất với đường gấp FL, thông qua ví dụ, mà không giới hạn các phương án thực hiện sáng chế ở đó. Tấm đệm thứ nhất PD11 có thể không phải là tấm đệm thứ nhất gần nhất với đường gấp FL.

Chẳng hạn, khoảng cách giữa các lớp phụ dẫn thứ hai liền kề của hai chi tiết dẫn liền kề gần với đường gấp FL lớn hơn khoảng cách giữa các lớp phụ dẫn thứ hai liền kề của hai chi tiết dẫn liền kề cách xa đường gấp FL.

Như được thể hiện trên Fig.19, vùng ngoại vi thứ hai R22 được bố trí trên một phía của vùng hiển thị thứ hai R12, và vùng đệm thứ hai PDR2 được bố trí trong vùng ngoại vi thứ hai R22; các tấm đệm thứ hai PD2 được đặt trong vùng đệm thứ hai PDR2 và bao gồm hai tấm đệm thứ hai liền kề PD2 vốn là tấm đệm thứ hai PD21 gần với đường gấp FL và tấm đệm thứ hai PD22 cách xa đường gấp FL. Tấm đệm thứ hai PD21 và tấm đệm thứ hai PD22 có thể lần lượt là chi tiết dẫn thứ nhất CL1 và chi tiết dẫn thứ hai CL2 như nêu trên. Để giảm rủi ro đánh thủng tĩnh điện, khoảng cách của lớp phụ dẫn thứ ba 103 kéo dài vượt quá bề mặt thứ hai S2 trong chi tiết dẫn thứ nhất CL1 lớn hơn khoảng cách của lớp phụ dẫn thứ ba 103 kéo dài vượt quá bề mặt thứ hai S2 trong chi tiết dẫn thứ hai CL2. Tức là, càng gần với đường gấp FL, kích thước của lớp phụ dẫn thứ ba trong chi tiết dẫn nhô từ bề mặt thứ hai trong chiều rộng của chi tiết dẫn càng lớn.

Chỉ bốn tấm đệm thứ nhất PD1 và bốn tấm đệm thứ hai PD2 được thể hiện trên Fig.19, và các số lượng của các tấm đệm thứ nhất PD1 và các tấm đệm thứ hai PD2 có thể được xác định theo yêu cầu và không bị giới hạn ở số lượng được thể hiện trên hình vẽ.

Fig.19 minh họa trường hợp trong đó khoảng giữa các chi tiết dẫn liền kề CL là bằng nhau ở mọi nơi thông qua ví dụ, nhưng phương án thực hiện sáng chế không bị giới hạn ở đây. Theo các phương án thực hiện khác, khoảng giữa các chi tiết dẫn liền kề CL có thể cũng được thay đổi dần dần. Chẳng hạn, theo hướng từ gần đến xa với vùng hiển thị R1, khoảng cách giữa các chi tiết dẫn liền kề CL tăng dần. Fig.19 minh họa trường hợp trong đó các chi tiết dẫn liền kề CL song song với nhau thông qua ví dụ, nhưng theo các phương án thực hiện khác, các chi tiết dẫn liền kề CL có thể không song song với nhau.

Fig.20 là hình chiếu bằng của thiết bị hiển thị gấp được bao gồm tám hiển thị theo phương án thực hiện sáng chế. Như được thể hiện trên Fig.20, thiết bị hiển thị gấp được là thiết bị hiển thị OLED. Chẳng hạn, thiết bị hiển thị gấp được bao gồm vùng gấp được R13, và các vùng hiển thị thứ nhất và thứ hai R11 và R12 lần lượt được đặt ở hai bên vùng gấp được R13; vùng gấp được R13, các vùng hiển thị thứ nhất và thứ hai R11 và R12 tạo thành vùng hiển thị R1, và vùng ngoại vi R2 được đặt bên ngoài vùng hiển thị R1; vùng ngoại vi R2 bao gồm vùng ngoại vi thứ nhất R21 được đặt ở ít nhất một bên của vùng hiển thị thứ nhất R11 và vùng ngoại vi thứ hai R21 được đặt ở ít nhất một bên của vùng hiển thị thứ hai R21. Vùng hiển thị bao gồm các hàng đơn vị pixel. Vùng hiển thị thứ nhất R11 và vùng hiển thị thứ hai R12 là các vùng không được gấp.

Fig.21 là sơ đồ của một số mạch GOA trong thiết bị hiển thị gấp được được thể hiện trên Fig.20.

Dựa vào Fig.20 và Fig.21, vùng ngoại vi thứ nhất R21 bao gồm các đường tín hiệu 46 và nhiều tầng của các mạch đơn vị GOA 45, mạch đơn vị GOA 45 của mỗi tầng được nối điện với các đơn vị pixel của hàng tương ứng qua các đường tín hiệu 46, và mạch đơn vị GOA 45 của mỗi tầng được sử dụng để điều khiển các đơn vị pixel của hàng tương ứng.

Như được thể hiện trên Fig.20 và Fig.21, mạch đơn vị GOA 45 của mỗi tầng được nối với các đường tín hiệu 46 bao gồm đường tín hiệu GOA, đường tín hiệu đơn vị pixel và đường tín hiệu điện qua đường dữ liệu quét (không được thể hiện trên hình vẽ). Các đường tín hiệu GOA bao gồm đường tín hiệu đồng hồ thứ nhất CK1, đường tín hiệu đồng hồ thứ hai CK2, đường tín hiệu mức thấp VGL, và đường tín hiệu mức cao VGH để mạch đơn vị GOA 45 hoạt động bình thường.

Chẳng hạn, như được thể hiện trên Fig.21, tín hiệu đầu vào IN ở tầng thứ N của mạch đơn vị GOA 45 được bố trí bởi tín hiệu đầu ra OUT của tầng thứ N-1 của mạch đơn vị GOA, và tín hiệu đầu ra OUT của tầng thứ N của mạch đơn vị GOA cấp tín hiệu chuyển mạch của hàng đơn vị pixel thứ N và tín hiệu đầu vào của tầng thứ N+1 của mạch đơn vị GOA.

Chẳng hạn, đường tín hiệu xung đồng hồ thứ nhất CK1 được tạo cấu hình để cấp tín hiệu đồng hồ thứ nhất, đường tín hiệu đồng hồ thứ hai CK2 được tạo cấu hình để cấp tín hiệu đồng hồ thứ hai, đường tín hiệu mức thấp VGL được tạo cấu hình để cấp tín hiệu mức thấp, và đường tín hiệu mức cao VGH được tạo cấu hình để cấp tín hiệu mức cao.

Chẳng hạn, các chi tiết dẫn CL trong tấm hiển thị theo phương án thực hiện sáng chế có thể là hai đường liền kề trong đường tín hiệu xung đồng hồ thứ nhất CK1, đường tín hiệu đồng hồ thứ hai CK2, đường tín hiệu mức thấp VGL và đường tín hiệu mức cao VGH được thể hiện trên Fig.21. Tức là, chi tiết dẫn thứ nhất CL1 và chi tiết dẫn thứ hai CL2 có thể là hai đường liền kề bất kỳ trong đường tín hiệu xung đồng hồ thứ nhất CK1, đường tín hiệu đồng hồ thứ hai CK2, đường tín hiệu mức thấp VGL, và đường tín hiệu mức cao VGH được thể hiện trên Fig.21. Với tính hướng mà chi tiết dẫn thứ nhất CL1 gần hơn với đường gập FL than chi tiết dẫn thứ hai CL2, để giảm rủi ro đánh thủng tĩnh điện, khoảng cách của lớp phụ dẫn thứ ba 103 kéo dài vượt quá bề mặt thứ hai S2 trong chi tiết dẫn thứ nhất CL1 lớn hơn khoảng cách của lớp phụ dẫn thứ ba 103 kéo dài vượt quá bề mặt thứ hai S2 in chi tiết dẫn thứ hai CL2. Fig.21 minh họa trường hợp trong đó chi tiết dẫn thứ nhất CL1 là đường tín hiệu mức cao VGH, và chi tiết dẫn thứ hai CL2 là đường tín hiệu mức thấp VGL, thông qua ví dụ.

Fig.21 cũng thể hiện đường nối thứ nhất CNL1, đường nối thứ hai CNL2, đường nối thứ ba CNL3 và đường nối thứ tư CNL4. Đường tín hiệu mức cao VGH, đường tín hiệu mức thấp VGL, đường tín hiệu xung đồng hồ thứ nhất CK1, và đường tín hiệu đồng hồ thứ hai CK2 được nối lần lượt với tầng thứ N của mạch đơn vị GOA 45 qua đường nối thứ nhất CNL1, đường nối thứ hai CNL2, đường nối thứ ba CNL3, và đường nối thứ tư CNL4. Trong tấm hiển thị được thể hiện trên Fig.21, đường nối thứ nhất CNL1, đường nối thứ hai CNL2, đường nối thứ ba CNL3 và đường nối thứ tư CNL4 được bố trí theo chiều ngang, trong khi đường tín hiệu mức cao VGH, đường tín hiệu mức thấp VGL, đường tín hiệu xung đồng hồ thứ nhất CK1 và đường tín hiệu đồng hồ thứ hai CK2 được bố trí theo chiều dọc, thông qua ví dụ.

Chẳng hạn, chi tiết dẫn thứ nhất CL1 và chi tiết dẫn thứ hai CL2 có thể là hai đường liền kề bất kỳ của đường nối thứ nhất CNL1, đường nối thứ hai CNL2, đường nối thứ ba CNL3 và đường nối thứ tư CNL4 được thể hiện trên Fig.21.

Fig.22A là hình chiếu trên của đường nối được bố trí theo chiều ngang trên Fig.21. Chi tiết dẫn được thể hiện trên Fig.22A có thể là đường nối bất kỳ trong đường nối thứ nhất CNL1, đường nối thứ hai CNL2, đường nối thứ ba CNL3 và đường nối thứ tư CNL4 được thể hiện trên Fig.21. Chẳng hạn, để giảm rủi ro đánh thủng tĩnh điện, khoảng cách d_1 của một phần của lớp phụ dẫn thứ ba 103 của chi tiết dẫn CL gần với đường gập FL vượt quá bề mặt thứ hai S2 lớn hơn khoảng cách d_2 của một phần của lớp phụ dẫn thứ ba 103 của chi tiết dẫn CL cách xa đường gập FL vượt quá bề mặt thứ hai S2. Tức là, lớp phụ dẫn thứ ba 103 ở các vị trí khác nhau của cùng chi tiết dẫn kéo dài quá bề mặt thứ hai S2 bởi các khoảng cách khác nhau.

Fig.22B là hình chiếu trên của hai đường nối liền kề được bố trí theo chiều ngang trên Fig.21. Như được thể hiện trên Fig.22B, khoảng cách d_0 giữa các bề mặt thứ hai S2 của chi tiết dẫn thứ nhất CL1 và của chi tiết dẫn thứ hai CL2 giảm dần theo hướng từ vị trí gần với đường gập FL đến vị trí cách xa đường gập FL.

Fig.23 là hình chiếu bằng của thiết bị hiển thị gập được bao gồm tấm hiển thị

theo phương án thực hiện khác của sáng chế. Trong thiết bị hiển thị gấp được được thể hiện trên Fig.20, các đường tín hiệu 46 và các mạch đơn vị GOA 45 được đặt ở bên trái và bên phải của thiết bị hiển thị, một cách lần lượt. Như so với thiết bị hiển thị gấp được được thể hiện trên Fig.20, các đường tín hiệu 46 và các mạch đơn vị GOA 45 trên Fig.23 lần lượt được đặt ở bên trên và bên dưới của thiết bị hiển thị.

Fig.24 là hình chiếu bằng của tấm hiển thị theo phương án thực hiện sáng chế. Như được thể hiện trên Fig.24, tấm hiển thị bao gồm tấm nền để 100 được phân chia thành hai vùng. Chẳng hạn, tấm nền để 100 bao gồm vùng hiển thị R1 và vùng ngoại vi R2 được đặt ở ít nhất một bên của vùng hiển thị R1. Chẳng hạn, vùng ngoại vi R2 có thể được đặt ít nhất một trong bên trên, bên dưới, bên trái và bên phải của vùng hiển thị R1. Fig.24 thể hiện rằng vùng ngoại vi R2 được đặt ở bên trên, bên dưới, bên trái và bên phải của vùng hiển thị R1, tức là, vùng ngoại vi R2 bao quanh vùng hiển thị R1. Chẳng hạn, vùng ngoại vi R2 có thể được đặt chỉ ở một bên của vùng hiển thị R1, chẳng hạn, chỉ ở bên trên, bên dưới, bên trái hoặc bên phải của vùng hiển thị R1. Trên Fig.24, vùng có màu xám là vùng hiển thị R1, và phần còn lại của tấm nền để 100 là vùng ngoại vi R2. Chẳng hạn, theo phương án thực hiện sáng chế, vùng hiển thị R1 là vùng hiển thị ảnh, tức là, vùng phát sáng. Chẳng hạn, vùng ngoại vi R2 là vùng trong đó không hiển thị ảnh, tức là, vùng không phát sáng.

Như được thể hiện trên Fig.24, trong vùng ngoại vi R2, đường chặn nứt 51 được bố trí để chặn nứt cạnh lan sang vùng hiển thị R1. Đường chặn nứt 51 bao gồm đường chặn nứt thứ nhất 511 và đường chặn nứt thứ hai 512. Đường dò nứt 52 được tạo cấu hình để dò nứt cũng được bố trí trong vùng ngoại vi R2. Đường dò nứt 52 bao gồm đường dò nứt thứ nhất 521 và đường dò nứt thứ hai 522. Đường dò nứt 52 gần hơn với vùng hiển thị R1 so với đường chặn nứt 51. Nếu phát hiện thấy nứt bởi đường dò nứt 52, có thể ngăn không cho sản phẩm có các vết nứt cạnh đi vào thị trường. Chẳng hạn, trong quá trình cắt bảng mạch chính của tấm hiển thị thành các tấm hiển thị chính, trong khi vận chuyển, hoặc khi các tấm hiển thị chịu sốc cơ học hoặc sốc nhiệt, các vết nứt có thể được xuất hiện ở

các cạnh của các lớp, chẳng hạn, các lớp vô cơ trên tấm nền để 100.

Chi tiết dẫn thứ nhất CL1 và chi tiết dẫn thứ hai CL2 trong tấm hiển thị theo phương án thực hiện sáng chế có thể lần lượt là đường chặn nút thứ nhất 511 và đường chặn nút thứ hai 512; hoặc, chi tiết dẫn thứ nhất CL1 và chi tiết dẫn thứ hai CL2 có thể lần lượt là đường dò nút thứ nhất 521 và đường dò nút thứ hai 522.

Như được thể hiện trên Fig.24, để giảm rủi ro đánh thủng tĩnh điện, khoảng cách của lớp phụ dẫn thứ ba 103 kéo dài vượt quá bề mặt thứ hai S2 trong chi tiết dẫn thứ nhất CL1 gần với vùng hiển thị R1 nhỏ hơn khoảng cách của lớp phụ dẫn thứ ba 103 kéo dài vượt quá bề mặt thứ hai S2 trong chi tiết dẫn thứ hai CL2 cách xa vùng hiển thị R1.

Chẳng hạn, tấm hiển thị có vùng đặc trưng, và hai chi tiết dẫn CL cách ly với nhau được bố trí. Hai chi tiết dẫn CL bao gồm chi tiết dẫn thứ nhất CL1 và chi tiết dẫn thứ hai CL2. Chi tiết dẫn thứ nhất CL1 gần hơn với vùng đặc trưng than chi tiết dẫn thứ hai CL2. Kích thước của lớp phụ dẫn thứ ba 103 nhô từ bề mặt thứ hai S2 trong chi tiết dẫn thứ nhất CL1 lớn hơn kích thước của lớp phụ dẫn thứ ba 103 nhô từ bề mặt thứ hai S2 trong chi tiết dẫn thứ hai CL2. Chẳng hạn, vùng đặc trưng bao gồm ít nhất một trong vùng trong suốt, vùng gập được và vùng hiển thị.

Sau đây sẽ mô tả dựa vào trường hợp trong đó chi tiết dẫn thứ nhất CL1 và chi tiết dẫn thứ hai CL2 lần lượt là đường điện thứ nhất (power supply voltage line) ELVDD và đường dữ liệu, thông qua ví dụ, cùng với các hình vẽ từ Fig.25 đến Fig.28.

Các tranzito được sử dụng trên Fig.25 và Fig.28 có thể là các đèn điện tử chân không ba cực, các tranzito màng mỏng, các tranzito hiệu ứng trường hoặc các linh kiện khác có cùng đặc tính. Theo phương án thực hiện sáng chế, để phân biệt hai điện cực của tranzito ngoại trừ điện cực điều khiển, một trong hai điện cực được gọi là điện cực thứ nhất và điện cực còn lại được gọi là điện cực thứ hai.

Chẳng hạn, khi tranzito là đèn điện tử chân không ba cực, điện cực điều khiển

có thể là điện cực gốc, điện cực thứ nhất có thể là điện cực góp, và điện cực thứ hai có thể là điện cực phát. Theo cách khác, điện cực điều khiển có thể là điện cực gốc, điện cực thứ nhất có thể là điện cực phát, và điện cực thứ hai có thể là điện cực góp.

Chẳng hạn, khi tranzito là tranzito màng mỏng hoặc tranzito hiệu ứng trường, điện cực điều khiển có thể là điện cực cổng, điện cực thứ nhất có thể là điện cực máng, và điện cực thứ hai có thể là điện cực nguồn. Theo cách khác, điện cực điều khiển có thể là điện cực cổng, điện cực thứ nhất có thể là điện cực nguồn, và điện cực thứ hai có thể là điện cực máng.

Tấm hiển thị được thể hiện trên Fig.28 bao gồm lớp màng được đặt ở tấm nền đế và lớp chắn sáng ở phía của lớp màng cách xa tấm nền đế; các lỗ tạo ảnh được tạo ở lớp chắn sáng, và phần nhô vuông góc thứ nhất của lỗ tạo ảnh trên tấm nền đế không chồng lán với phần nhô vuông góc thứ hai của mẫu hình lớp hoạt tính của tranzito chuyển mạch trong lớp màng trên tấm nền đế. Tranzito chuyển mạch là tranzito được nối với điện cực cổng của tranzito điều khiển trong lớp màng.

Theo tấm hiển thị theo phương án thực hiện sáng chế, các lỗ tạo ảnh được tạo trong lớp chắn sáng được tạo cấu hình không tương ứng với mẫu hình lớp hoạt tính của tranzito chuyển mạch trong lớp màng, sao cho các tia sáng đi qua các lỗ tạo ảnh không ảnh hưởng đến mẫu hình lớp hoạt tính của tranzito chuyển mạch, nhờ đó tránh dòng điện rò rỉ cảm quang của tranzito chuyển mạch ở trạng thái off (tắt) do bức xạ các tia sáng, và còn tránh ảnh hưởng thế năng của điện cực cổng của tranzito điều khiển và tránh vấn đề các thang xám hiển thị không chính xác.

Chẳng hạn, phần nhô vuông góc thứ nhất không có chồng lán với phần nhô vuông góc thứ hai nghĩa là, không có phần bị chồng lán giữa phần nhô vuông góc thứ nhất và phần nhô vuông góc thứ hai, mà không giới hạn phương án thực hiện sáng chế ở đó.

Chẳng hạn, lớp màng có thể là lớp màng tranzito màng mỏng, mà không bị giới hạn ở đó.

Chẳng hạn, lớp màng tranzito màng mỏng có thể bao gồm lớp màng và lớp kim loại cực nguồn - cực máng thứ hai, và lớp kim loại cực nguồn - cực máng thứ hai được sử dụng lại làm lớp chắn sáng, mà không giới hạn phương án thực hiện sáng chế ở đó.

Chẳng hạn, phần nhô vuông góc của vùng kênh trong mẫu hình lớp hoạt tính của tranzito điều khiển trong lớp màng trên tám nền đế là phần nhô vuông góc thứ ba, và phần nhô vuông góc của vùng kênh trong mẫu hình lớp hoạt tính của tranzito điều khiển trên tám nền đế là phần nhô vuông góc thứ tư.

Phần nhô vuông góc của vùng kênh trong mẫu hình lớp hoạt tính của tranzito chuyển mạch trên tám nền đế là phần nhô vuông góc thứ năm.

Chẳng hạn, khoảng cách ngắn nhất giữa mép của phần nhô vuông góc thứ nhất và phần nhô vuông góc thứ năm lớn hơn khoảng cách giữa mép của phần nhô vuông góc thứ nhất và phần nhô vuông góc thứ ba.

Chẳng hạn, khoảng cách ngắn nhất giữa mép của phần nhô vuông góc thứ nhất và phần nhô vuông góc thứ năm lớn hơn khoảng cách giữa mép của phần nhô vuông góc thứ nhất và phần nhô vuông góc thứ tư.

Chẳng hạn, tranzito điều khiển là tranzito trong lớp màng khác ngoài tranzito chuyển mạch và tranzito điều khiển.

Chẳng hạn, khoảng cách ngắn nhất giữa mép của phần nhô vuông góc thứ nhất và phần nhô vuông góc thứ năm lớn hơn khoảng cách giữa mép của phần nhô vuông góc thứ nhất và phần nhô vuông góc thứ ba; khoảng cách ngắn nhất giữa mép của phần nhô vuông góc thứ nhất và phần nhô vuông góc thứ năm lớn hơn khoảng cách giữa mép của phần nhô vuông góc thứ nhất và phần nhô vuông góc thứ tư; và lỗ ngấm chụp ảnh cách xa vùng kênh của mẫu hình lớp hoạt tính của tranzito chuyển mạch; theo cách này, ngăn không cho vùng kênh của mẫu hình lớp hoạt tính của tranzito chuyển mạch được bức xạ bởi ánh sáng đi qua lỗ ngấm chụp ảnh.

Chẳng hạn, tám hiển thị có thể bao gồm vùng pixel thứ nhất có lỗ ngấm chụp ảnh, và vùng pixel thứ hai không có lỗ ngấm chụp ảnh. Chẳng hạn, diện tích của vùng pixel thứ nhất lớn hơn diện tích của vùng pixel thứ hai.

Chẳng hạn, tỷ lệ chiều rộng trên chiều dài của tranzito chuyển mạch trong vùng pixel thứ nhất có thể nhỏ hơn tỷ lệ của tranzito chuyển mạch trong vùng pixel thứ hai, để giảm giá trị dòng điện của dòng điện rò cảm quang và còn cải thiện độ chính xác hiển thị thang xám, mà không giới hạn the phương án thực hiện sáng chế ở đó.

Chẳng hạn, phần nhô vuông góc thứ nhất không chồng lấn với phần nhô vuông góc của mẫu hình kim loại được bao gồm trong lớp mỏng trên tấm nền đế.

Ngoài ra, lỗ ngắm chụp ảnh không bị chặn bởi mẫu hình kim loại, để cải thiện độ chính xác nhận dạng vân tay dựa trên chụp ảnh qua lỗ ngắm.

Chẳng hạn, đường kính của lỗ ngắm chụp ảnh có thể lớn hơn hoặc bằng 2 μm và nhỏ hơn hoặc bằng 20 μm , mà không giới hạn phương án thực hiện sáng chế ở đó.

Chẳng hạn, đường kính của lỗ ngắm chụp ảnh có thể lớn hơn hoặc bằng 4 μm nhưng nhỏ hơn hoặc bằng 7 μm , mà không giới hạn phương án thực hiện sáng chế ở đó.

Chẳng hạn, mật độ của các lỗ tạo ảnh có thể được điều chỉnh linh hoạt theo các tình huống thực, và một lỗ tạo ảnh có thể được bố trí trong N vùng pixel, trong đó N là số nguyên dương.

Chẳng hạn, N có thể lớn hơn hoặc bằng 3 và nhỏ hơn hoặc bằng 10, mà không giới hạn phương án thực hiện sáng chế ở đó.

Chẳng hạn, lớp mỏng có thể bao gồm lớp hoạt tính, lớp cách ly cực công, lớp kim loại cực công thứ nhất, lớp cách ly thứ nhất, lớp kim loại cực công thứ hai, lớp điện môi liên lớp, lớp kim loại cực nguồn - cực máng thứ nhất và lớp cách ly thứ hai, được bố trí tuần tự giữa tấm nền đế và lớp chắn sáng. Tấm hiển thị cũng bao gồm lớp phẳng hoá và lớp anốt tuần tự được bố trí trên một mặt của lớp chắn sáng cách xa lớp cách ly thứ hai.

Chẳng hạn, lớp chắn sáng bao gồm mẫu hình chắn sáng và mẫu hình kết nối; mẫu hình chắn sáng có lỗ ngắm chụp ảnh.

Chẳng hạn, lớp kim loại cực nguồn - cực máng thứ nhất được nối điện với lớp anốt qua lỗ xuyên thứ nhất đâm xuyên lớp cách ly thứ hai, qua mẫu hình nối

và qua lỗ xuyên thứ hai đâm xuyên lớp phẳng hoá. Có khe rò sáng được bố trí giữa mẫu hình nổi và mẫu hình chắn sáng.

Phần nhô vuông góc của khe rò sáng trên tấm nền để được bao phủ bởi phần nhô vuông góc của điện cực kim loại được bao gồm trong lớp màng tranzito màng mỏng trên tấm nền đế.

Chẳng hạn, mẫu hình chắn sáng và mẫu hình nổi được tách riêng với nhau, và mẫu hình chắn sáng và mẫu hình nổi được cách ly với nhau.

Chẳng hạn, tấm hiển thị có thể có tấm nền đế, lớp màng, lớp chắn sáng, lớp phẳng hoá và lớp anốt, từ dưới lên trên.

Chẳng hạn, lớp màng có thể bao gồm lớp hoạt tính, lớp cách ly cực cổng, lớp kim loại cực cổng thứ nhất, lớp cách ly thứ nhất, lớp kim loại cực cổng thứ hai, lớp điện môi liên lớp, lớp kim loại cực nguồn - cực máng thứ nhất và lớp cách ly thứ hai được bố trí từ dưới lên trên.

Chẳng hạn, lớp anốt cần được nối điện với lớp kim loại cực nguồn - cực máng thứ nhất, sao cho lớp kim loại cực nguồn - cực máng thứ nhất được nối điện với lớp anốt qua lỗ xuyên thứ nhất đâm xuyên lớp cách ly thứ hai, qua mẫu hình nổi và qua lỗ xuyên thứ hai đâm xuyên lớp phẳng hoá, bằng cách bố trí mẫu hình nổi tách khỏi mẫu hình chắn sáng trong lớp chắn sáng.

Do mẫu hình chắn sáng được cách ly khỏi mẫu hình nổi, khe rò sáng mà qua đó ánh sáng có thể được thoát tồn tại giữa mẫu hình chắn sáng và mẫu hình nổi. Do vậy, có thể được tạo cấu hình sao cho phần nhô vuông góc của khe rò sáng trên tấm nền để được bao phủ bởi phần nhô vuông góc của điện cực kim loại được bao gồm trong lớp màng trên tấm nền đế, để ngăn không cho ánh sáng được thoát qua khe rò sáng ảnh hưởng việc nhận dạng vân tay dựa trên chụp ảnh qua lỗ ngắm.

Điện cực kim loại có thể là, chẳng hạn, tấm trên của tụ chứa, mà không bị giới hạn ở đó.

Fig.25 là sơ đồ mạch của mạch điều khiển pixel trong pixel của tấm hiển thị theo phương án thực hiện sáng chế.

Như được thể hiện trên Fig.25, mạch điều khiển pixel có thể bao gồm tranzito

điều khiển T1, tranzito chuyển mạch thứ nhất T3, tranzito chuyển mạch thứ hai T6, tranzito điều khiển thứ nhất T2, tranzito điều khiển thứ hai T4, tranzito điều khiển thứ ba T5, tranzito điều khiển thứ tư T7 và tụ chứa Cst.

Điện cực nguồn T3s của tranzito chuyển mạch thứ nhất T3 được nối điện với điện cực cổng T1g của tranzito điều khiển T1, và điện cực máng T3d của tranzito chuyển mạch thứ nhất T3 được nối điện với điện cực máng T1d của tranzito điều khiển T1.

Điện cực cổng T3g của tranzito chuyển mạch thứ nhất T3 được nối điện với hàng thứ n của đường cổng G(n).

Điện cực cổng T6g của tranzito chuyển mạch thứ hai T6 được nối điện với hàng thứ n của đường thiết lập lại Reset(n), điện cực máng T6d của tranzito chuyển mạch thứ hai T6 được nối điện với điện cực cổng T1g của tranzito điều khiển T1, và điện cực nguồn T6s của tranzito chuyển mạch thứ hai T6 được nối điện với đường điện áp ban đầu Vint.

Điện cực cổng T2g của tranzito điều khiển thứ nhất T2 được nối điện với hàng thứ n của đường cổng G(n), điện cực nguồn T2s của tranzito điều khiển thứ nhất T2 được nối điện với hàng thứ m của đường dữ liệu D(m), và điện cực máng T2d của tranzito điều khiển thứ nhất T2 được nối điện với điện cực nguồn T1s của tranzito điều khiển T1.

Điện cực cổng T4g của tranzito điều khiển thứ hai T4 được nối điện với hàng thứ n của đường điều khiển phát sáng EM(n), điện cực nguồn T4s của tranzito điều khiển thứ hai T4 được nối điện với đường điện thứ nhất ELVDD, và điện cực máng T4d của tranzito điều khiển thứ hai T4 được nối điện với điện cực nguồn T1s của tranzito điều khiển T1.

Điện cực cổng T5g của tranzito điều khiển thứ ba T5 được nối điện với hàng thứ n của đường điều khiển phát sáng EM(n), điện cực nguồn T5s của tranzito điều khiển thứ ba T5 được nối điện với điện cực máng T1d của tranzito điều khiển T1, điện cực máng T5d của tranzito điều khiển thứ ba T5 được nối điện với anốt của điốt phát quang hữu cơ OLED, và catốt của điốt phát quang hữu cơ OLED được nối điện với đường điện thứ hai ELVSS.

Điện cực cổng T7g của tranzito điều khiển thứ tư T7 được nối điện với hàng thứ $n+1$ của đường thiết lập lại Reset ($n+1$), điện cực máng T7d của tranzito điều khiển thứ tư T7 được nối điện với anốt của điốt phát quang hữu cơ OLED, và điện cực nguồn T7s của tranzito điều khiển thứ tư T7 được nối điện với đường điện áp ban đầu Vint.

Tám thứ nhất Csa của tụ chứa Cst được nối điện với đường điện thứ nhất ELVDD, và điện cực cổng T1g của tranzito điều khiển T1 có thể được sử dụng lại làm tám thứ hai Csb của tụ chứa Cst.

Chẳng hạn, n là số nguyên dương và m là số nguyên dương.

Mạch điều khiển pixel được thể hiện trên Fig.25 có thể là mạch điều khiển pixel trong vùng pixel của hàng thứ n và cột thứ m , mà không bị giới hạn ở đó.

Trong mạch điều khiển pixel được thể hiện trên Fig.25, tất cả các tranzito là các tranzito màng mỏng loại p, nhưng không bị giới hạn ở đây.

Trên Fig.25, nút thứ nhất N1 là nút được nối điện với điện cực cổng của tranzito điều khiển T1.

Mạch điều khiển pixel được thể hiện trên Fig.25 là một phương án thực hiện duy nhất của mạch điều khiển pixel trong pixel, mà không giới hạn cấu trúc của mạch điều khiển pixel ở đó.

Chẳng hạn, tranzito chuyển mạch thứ hai T6 có thể là tranzito cổng kép để giảm dòng điện rò rỉ và duy trì tốt thế năng của điện cực cổng của tranzito điều khiển T1, mà không giới hạn phương án thực hiện sáng chế ở đó.

Fig.26 là sơ đồ trình tự làm việc của mạch điều khiển pixel được thể hiện trên Fig.25. Trên hình vẽ, t1 là tầng thứ nhất, t2 là tầng thứ hai, t3 là tầng thứ ba, và điện áp dữ liệu được cấp cho đường dữ liệu $D(n)$ được gắn nhãn là Vdata.

Như được thể hiện trên Fig.26, phần mô tả mạch điều khiển pixel được thể hiện trên Fig.26 đang hoạt động như sau.

Trong tầng thứ nhất t1 (tức là, tầng thiết lập lại), Reset(n) được đưa vào với mức thấp, G(n) được đưa vào với mức cao, EM(n) được đưa vào với mức cao, tranzito chuyển mạch thứ hai T6 được bật, và thế năng của điện cực cổng của tranzito điều khiển T1 được đặt lại về điện áp ban đầu.

Trong tầng thứ hai t2 (tức là, tầng ghi dữ liệu và bù điện áp ngưỡng), Reset(n) được đưa vào với mức cao, G(n) được đưa vào với mức thấp, Data(m) được đưa vào với điện áp dữ liệu Vdata, EM(n) được đưa vào với mức cao; tranzito chuyển mạch thứ hai T6 được tắt; tranzito điều khiển thứ hai T4 và tranzito điều khiển thứ ba T5 được tắt; tranzito điều khiển thứ nhất T2, tranzito chuyển mạch thứ nhất T3, tranzito điều khiển T1 và tranzito điều khiển thứ tư T7 được bật; Cst được tích điện bằng Vdata qua tranzito điều khiển thứ nhất T2, tranzito điều khiển T1 và tranzito chuyển mạch thứ nhất T3 để tăng thể năng của điện cực cổng của tranzito điều khiển T1 cho đến khi thể năng của điện cực cổng của tranzito điều khiển T1 trở thành $V_{data} + V_{th}$ (V_{th} là điện áp ngưỡng của tranzito điều khiển T1); tranzito chuyển mạch thứ nhất T3 được tắt; thể năng của N1 được chứa bởi Cst; và tranzito điều khiển thứ tư T7 được bật, để đặt lại thể năng của anôt của OLED về điện áp ban đầu.

Trong tầng thứ ba t3 (tức là, tầng phát sáng), Reset(n) được đưa vào với mức cao, G(n) được đưa vào với mức cao, EM(n) được đưa vào với mức thấp; tranzito điều khiển T1, tranzito điều khiển thứ nhất T2, tranzito chuyển mạch thứ nhất T3, tranzito chuyển mạch thứ hai T6 và tranzito điều khiển thứ tư T7 được tắt; tranzito điều khiển thứ hai T4 và tranzito điều khiển thứ ba T5 được bật; OLED phát sáng, và tranzito điều khiển T1 điều khiển OLED phát sáng với dòng điện điều khiển $I = (1/2) K (V_{data} - V_{dd})^2$, trong đó k là hệ số dòng điện, và Vdd là giá trị điện áp nguồn điện được đưa vào bởi ELVDD.

Trong mạch điều khiển pixel được thể hiện trên Fig.25, điện cực nguồn T3s của tranzito chuyển mạch thứ nhất T3 được nối điện với điện cực cổng T1g của tranzito điều khiển T1, và điện cực máng T6d của tranzito chuyển mạch thứ hai T6 được nối điện với điện cực cổng T1g của tranzito điều khiển T1. Nếu ánh sáng được bức xạ trên tranzito chuyển mạch thứ nhất T3 và tranzito chuyển mạch thứ hai T6, có thể có dòng điện rò cảm quang trong tranzito chuyển mạch thứ nhất T3 và tranzito chuyển mạch thứ hai T6 thậm chí khi chúng được tắt, do vậy ảnh hưởng thể năng của điện cực cổng T1g của tranzito điều khiển t1 và gây ra các thang xám hiển thị không chính xác. Theo tấm hiển thị có chức năng chụp

ảnh qua lỗ ngấm được tích hợp theo phương án thực hiện sáng chế, vị trí thiết lập và chế độ của lỗ ngấm chụp ảnh được điều chỉnh, sao cho độ chính xác nhận dạng vân tay dựa trên chụp ảnh qua lỗ ngấm được đảm bảo, và ảnh hưởng chất lượng hiển thị và độ chính xác hiển thị gây ra bởi lỗ ngấm chụp ảnh được giảm đi.

Chẳng hạn, vùng nhận dạng vân tay cụ thể có thể được bố trí riêng rẽ trên tấm hiển thị, hoặc toàn bộ màn hình có thể là vùng nhận dạng vân tay.

Theo phương án thực hiện sáng chế, tấm hiển thị có thể bao gồm tám nền đế, lớp đệm, lớp mỏng, lớp kim loại cực nguồn - cực máng thứ hai, lớp phẳng hoá, lớp anốt, lớp xác định pixel, lớp phát sáng và lớp catôt được bố trí từ dưới lên trên. Lớp mỏng bao gồm lớp hoạt tính, lớp cách ly cực cổng, lớp kim loại cực cổng thứ nhất, lớp cách ly thứ nhất, lớp kim loại cực cổng thứ hai, lớp điện môi liên lớp, lớp kim loại cực nguồn - cực máng thứ nhất và lớp cách ly thứ hai được bố trí tuần tự từ dưới lên trên.

Lớp kim loại cổng thứ nhất được tạo cấu hình để tạo đường cổng, đường điều khiển phát sáng, và điện cực cổng của tranzito trong mạch điều khiển pixel.

Lớp kim loại cổng thứ hai được tạo cấu hình để tạo tám điện cực của tụ chứa và đường điện áp ban đầu.

Lớp kim loại cực nguồn - cực máng thứ nhất được tạo cấu hình để tạo đường dữ liệu, đường điện thứ nhất, điện cực nguồn của tranzito trong mạch điều khiển pixel, điện cực máng của tranzito trong mạch điều khiển pixel, và tương tự.

Lớp kim loại cực nguồn - cực máng thứ hai được sử dụng lại làm lớp chắn sáng, và lỗ ngấm chụp ảnh được tạo trong lớp chắn sáng.

Chẳng hạn, do lớp anốt cần được nối điện với lớp kim loại cực nguồn - cực máng thứ nhất để hoàn thành kết cấu mạch, cần tạo cấu hình việc, lớp kim loại cực nguồn - cực máng thứ hai (tức là, lớp chắn sáng) còn bao gồm mẫu hình kết nối, và lớp kim loại cực nguồn - cực máng thứ nhất được nối điện với lớp anốt qua lỗ xuyên thứ nhất đâm xuyên lớp cách ly thứ hai, qua mẫu hình nối và qua lỗ xuyên thứ hai đâm xuyên lớp phẳng hoá.

Chẳng hạn, mẫu hình lớp hoạt tính có thể bao gồm vùng kênh, vùng nguồn,

và vùng máng. Vùng kênh có thể không bị pha tạp chất, và do vậy có các đặc tính bán dẫn. Vùng nguồn được đặt ở mặt thứ nhất vùng kênh, và vùng máng được đặt ở mặt thứ hai của vùng kênh. Mặt thứ nhất và mặt thứ hai là các mặt đối diện, và được pha tạp chất và do vậy có các đặc tính dẫn. Các tạp chất có thể thay đổi tùy thuộc liệu tranzito này là tranzito loại n hoặc tranzito loại p.

Chẳng hạn, vùng nguồn bị pha tạp có thể tương ứng với điện cực nguồn của tranzito, và vùng máng bị pha tạp có thể tương ứng với điện cực máng của tranzito.

Fig.27 là sơ đồ của lớp kim loại cực nguồn - cực máng thứ hai trong tấm hiển thị theo phương án thực hiện sáng chế. Trên Fig.27, dấu chỉ dẫn L0 chỉ báo mẫu hình nối được bao gồm trong lớp kim loại cực nguồn - cực máng thứ hai; dấu chỉ dẫn SE chỉ báo mẫu hình chắn sáng được bao gồm trong lớp kim loại cực nguồn - cực máng thứ hai; dấu chỉ dẫn H0 chỉ báo lỗ ngấm chụp ảnh; và dấu chỉ dẫn F1 chỉ báo khe rò sáng. Mẫu hình kết nối L1 được bao gồm trong lớp kim loại cực nguồn - cực máng thứ nhất được sử dụng để nối điện giữa điện cực máng của tranzito điều khiển thứ ba T5 và mẫu hình nối L0 được bao gồm trong lớp kim loại cực nguồn - cực máng thứ hai. Mẫu hình nối L0 được bao gồm trong lớp kim loại cực nguồn - cực máng thứ hai được sử dụng để nối điện giữa mẫu hình nối L1 được bao gồm trong lớp kim loại cực nguồn - cực máng thứ nhất và lớp anốt.

Fig.28 là sơ đồ bố trí của tấm hiển thị theo phương án thực hiện sáng chế. Trên Fig.28, dấu chỉ dẫn Data(m) chỉ báo cột thứ m của đường dữ liệu, dấu chỉ dẫn Data(m+1) chỉ báo cột thứ m+1 của đường dữ liệu, dấu chỉ dẫn ELVDD chỉ báo đường điện thứ nhất, dấu chỉ dẫn Vint chỉ báo đường điện áp ban đầu, dấu chỉ dẫn Reset(n) chỉ báo hàng thứ n của đường thiết lập lại, dấu chỉ dẫn Reset(n+1) chỉ báo hàng thứ n+1 của đường thiết lập lại, dấu chỉ dẫn EM(n) chỉ báo hàng thứ n của đường điều khiển phát sáng, dấu chỉ dẫn EM(n+1) chỉ báo hàng thứ n+1 của đường điều khiển phát sáng, dấu chỉ dẫn G(n) chỉ báo hàng thứ n của đường công, và dấu chỉ dẫn G(n+1) chỉ báo hàng thứ n+1 của đường công.

Trên Fig.28, dấu chỉ dẫn 16g chỉ báo vùng kênh của mẫu hình lớp hoạt tính

của tranzito chuyển mạch thứ hai T6; dấu chỉ dẫn 16s chỉ báo vùng nguồn của mẫu hình lớp hoạt tính của tranzito chuyển mạch thứ hai T6; dấu chỉ dẫn 16d chỉ báo vùng máng của mẫu hình lớp hoạt tính của tranzito chuyển mạch thứ hai T6; dấu chỉ dẫn 13g chỉ báo vùng kênh của mẫu hình lớp hoạt tính của tranzito chuyển mạch thứ nhất T3; dấu chỉ dẫn 11g chỉ báo vùng kênh của mẫu hình lớp hoạt tính của tranzito điều khiển T1, dấu chỉ dẫn 11d chỉ báo vùng máng của mẫu hình lớp hoạt tính của tranzito điều khiển T1, dấu chỉ dẫn 11s chỉ báo vùng nguồn của mẫu hình lớp hoạt tính của tranzito điều khiển T1; dấu chỉ dẫn 12g chỉ báo vùng kênh của mẫu hình lớp hoạt tính của tranzito điều khiển thứ nhất T2, dấu chỉ dẫn 12s chỉ báo vùng nguồn của mẫu hình lớp hoạt tính của tranzito điều khiển thứ nhất T2; dấu chỉ dẫn 14g chỉ báo vùng kênh của mẫu hình lớp hoạt tính của tranzito điều khiển thứ hai T4, dấu chỉ dẫn 14s chỉ báo vùng nguồn của mẫu hình lớp hoạt tính của tranzito điều khiển thứ hai T4; dấu chỉ dẫn 15g chỉ báo vùng kênh của mẫu hình lớp hoạt tính của tranzito điều khiển thứ ba T4, dấu chỉ dẫn 15d chỉ báo vùng máng của mẫu hình lớp hoạt tính của tranzito điều khiển thứ ba T5; dấu chỉ dẫn 17g chỉ báo vùng kênh của mẫu hình lớp hoạt tính của tranzito điều khiển thứ tư T7, dấu chỉ dẫn 17s chỉ báo vùng nguồn của mẫu hình lớp hoạt tính của tranzito điều khiển thứ tư T7; dấu chỉ dẫn Csa chỉ báo tấm thứ nhất của tụ chứa Cst; dấu chỉ dẫn 16g' chỉ báo vùng kênh của mẫu hình lớp hoạt tính của tranzito chuyển mạch thứ hai trong vùng pixel của hàng thứ $n+1$ và cột thứ m , và dấu chỉ dẫn 16d' chỉ báo vùng máng của mẫu hình lớp hoạt tính của tranzito chuyển mạch thứ hai trong vùng pixel của hàng thứ $n+1$ và cột thứ m .

Trên Fig.28, dấu chỉ dẫn H0 chỉ báo lỗ ngấm chụp ảnh, phần nhô vuông góc của H0 trên tấm nền để không chồng lấn với phần nhô vuông góc của mẫu hình lớp hoạt tính của tranzito chuyển mạch thứ nhất T3, không chồng lấn với phần nhô vuông góc của mẫu hình lớp hoạt tính của tranzito chuyển mạch thứ hai T6, và không chồng lấn với phần nhô vuông góc của mẫu hình lớp hoạt tính của tranzito chuyển mạch thứ hai trong vùng pixel của hàng thứ $(n+1)$ và cột thứ m . Do vậy, các mẫu hình lớp hoạt tính của tranzito chuyển mạch thứ nhất T3, của

tranzito chuyển mạch thứ hai T6 và của tranzito chuyển mạch thứ hai trong vùng pixel của hàng thứ $(n+1)$ và cột thứ m không bị bức xạ bởi ánh sáng đi qua lỗ ngấm chụp ảnh H0, để tránh dòng điện rò cảm quang của mỗi tranzito chuyển mạch ở trạng thái off gây ra bởi bức xạ của ánh sáng, nhờ đó tránh ảnh hưởng thể năng của điện cực cổng của tranzito điều khiển T1 và tránh vấn đề thang xám hiển thị không chính xác.

Trên Fig.28, khoảng cách $d1$ giữa mép của phần nhô vuông góc của H0 trên tấm nền đế và 16g' lớn hơn khoảng cách $d2$ giữa mép của phần nhô vuông góc của H0 trên tấm nền đế và 15g.

Trên Fig.28, khoảng cách ngắn nhất giữa mép của phần nhô vuông góc của H0 trên tấm nền đế và lớp hoạt tính của tranzito chuyển mạch thứ nhất T3 lớn hơn khoảng cách giữa mép của phần nhô vuông góc H0 trên tấm nền đế và lớp hoạt tính của bất kỳ tranzito ngoại trừ tranzito chuyển mạch thứ nhất T3 và tranzito chuyển mạch thứ hai T6; khoảng cách ngắn nhất giữa mép của phần nhô vuông góc H0 trên tấm nền đế và lớp hoạt tính của tranzito chuyển mạch thứ hai T6 lớn hơn khoảng cách giữa mép của phần nhô vuông góc H0 trên tấm nền đế và lớp hoạt tính của bất kỳ tranzito ngoại trừ tranzito chuyển mạch thứ nhất T3 và tranzito chuyển mạch thứ hai T6.

Ngoài ra, trong tấm hiển thị được thể hiện trên Fig.28, 11d được nối với vùng nguồn của mẫu hình lớp hoạt tính của tranzito điều khiển thứ ba T5; 15d được nối với vùng máng của mẫu hình lớp hoạt tính của tranzito điều khiển thứ tư T7; 16d được nối với vùng nguồn của mẫu hình lớp hoạt tính của tranzito chuyển mạch thứ nhất T3; 11s được nối với vùng máng của mẫu hình lớp hoạt tính của tranzito điều khiển thứ hai T4; 11d được nối với vùng máng của mẫu hình lớp hoạt tính của tranzito điều khiển thứ ba T5; và 11s được nối với vùng máng của mẫu hình lớp hoạt tính của tranzito điều khiển thứ nhất T2.

Chẳng hạn, dấu chỉ dẫn T6g' chỉ báo điện cực cổng của tranzito chuyển mạch thứ hai trong vùng pixel của hàng thứ $(n+1)$ và cột thứ (m) .

Trên Fig.25 và fig.28, dấu chỉ dẫn T1g chỉ báo điện cực cổng của tranzito điều khiển T1, dấu chỉ dẫn T2g chỉ báo điện cực cổng của tranzito điều khiển thứ

nhất T2, dấu chỉ dẫn T3g chỉ báo điện cực cổng của tranzito chuyển mạch thứ nhất T3, dấu chỉ dẫn T4g chỉ báo điện cực cổng của tranzito điều khiển thứ hai T4, dấu chỉ dẫn T5g chỉ báo điện cực cổng của tranzito điều khiển thứ ba T5, dấu chỉ dẫn T6g chỉ báo điện cực cổng của tranzito chuyển mạch thứ hai T6, và dấu chỉ dẫn T7g chỉ báo điện cực cổng của tranzito điều khiển thứ tư T7.

Trên Fig.25 và Fig.28, dấu thập được bao quanh bởi hộp vuông chỉ báo lỗ xuyên.

Trên Fig.28, đường thẳng đứng theo chiều dọc, ngoại trừ đường dữ liệu và đường điện thứ nhất, là đường nối.

Tấm hiển thị theo phương án thực hiện sáng chế được thể hiện trên Fig.28 thiết kế vị trí của lỗ ngắm chụp ảnh, giảm ảnh hưởng của hệ thống chụp ảnh qua lỗ ngắm lên chất lượng hiển thị, đặc biệt là độ chính xác hiển thị, và cải thiện chất lượng hiển thị trong khi duy trì độ chính xác nhận dạng chụp ảnh qua lỗ ngắm.

Như được thể hiện trên Fig.28, dấu chỉ dẫn An1 chỉ báo anốt thứ nhất được bao gồm trong lớp anốt, dấu chỉ dẫn An2 chỉ báo anốt thứ hai được bao gồm trong lớp anốt, dấu chỉ dẫn An3 chỉ báo anốt thứ ba được bao gồm trong lớp anốt, và dấu chỉ dẫn An4 chỉ báo anốt thứ tư được bao gồm trong lớp anốt.

Anốt thứ nhất An1 được bao gồm trong lớp anốt được nối điện với điện cực máng của tranzito điều khiển thứ ba T5 qua mẫu hình nối L0 được bao gồm trong lớp kim loại cực nguồn - cực máng thứ hai và qua mẫu hình nối L1 được bao gồm trong lớp kim loại cực nguồn - cực máng thứ nhất.

Fig.28 thể hiện cột thứ m+2 của đường dữ liệu Date (m+2), cột thứ m+3 của đường dữ liệu Date (m+3), và hai cột đường điện thứ nhất, và cũng thể hiện anốt thứ năm An5, anốt thứ sáu An6 và anốt thứ bảy An7 được bao gồm trong lớp anốt.

Trên Fig.28, An1 có thể là anốt của OLED màu lam, An5 có thể là anốt của OLED màu đỏ, và An7 có thể là anốt của OLED màu lục, mà không giới hạn phương án thực hiện sáng chế ở đó.

Trên Fig.28, lỗ ngắm chụp ảnh H0 được bố trí trong vùng pixel được bao

quanh bởi $\text{Reset}(n)$, $\text{Reset}(n+1)$, $D(m)$ và $D(m+1)$, mà không bị giới hạn ở đó.

Chẳng hạn, cần có khoảng cách cụ thể giữa lỗ ngấm chụp ảnh $H0$ và mẫu hình nổi $L0$, và phần nhô vuông góc của khe rò sáng $F1$ giữa mẫu hình nổi $L0$ và mẫu hình chắn sáng SE trên tấm nền để cần được bao phủ bởi phần nhô vuông góc của điện cực kim loại (chẳng hạn tấm điện cực của tụ chứa) được bao gồm trong lớp màng trên tấm nền đế. Tuy nhiên, do hạn chế độ chính xác sản xuất, chiều rộng của khe rò sáng $F1$ không thể trở nên cực hẹp. Bán kính của lỗ ngấm chụp ảnh $H0$, kích thước của mẫu hình nổi $L0$ và khoảng cách giữa lỗ ngấm chụp ảnh $H0$ và mẫu hình nổi $L0$ cũng bị giới hạn bởi độ chính xác sản xuất và không thể trở nên cực nhỏ. Do vậy, diện tích của mỗi mẫu hình trong vùng pixel có lỗ ngấm chụp ảnh có thể được phóng to phù hợp so với diện tích của mỗi mẫu hình trong vùng pixel không có lỗ ngấm chụp ảnh, để đảm bảo rằng phần nhô vuông góc của khe rò sáng $F1$ giữa mẫu hình nổi $L0$ và mẫu hình chắn sáng SE trên tấm nền để được bao phủ bởi phần nhô vuông góc của điện cực kim loại (chẳng hạn, tấm điện cực của tụ chứa) được bao gồm trong lớp màng trên tấm nền đế.

Phương pháp sản xuất của tấm hiển thị theo phương án thực hiện sáng chế được thể hiện trên Fig.28 có thể bao gồm: tạo lớp màng trên tấm nền đế; tạo lớp chắn sáng trên một mặt của lớp màng cách xa tấm nền đế; và tạo các lỗ tạo ảnh trong lớp chắn sáng. Phần nhô vuông góc thứ nhất của lỗ ngấm chụp ảnh trên tấm nền đế không chồng lấn với phần nhô vuông góc thứ hai của mẫu hình lớp hoạt tính của tranzito chuyển mạch trong lớp màng trên tấm nền đế. Tranzito chuyển mạch là tranzito được nối với điện cực cổng của tranzito điều khiển trong lớp màng.

Trong tấm hiển thị theo phương án thực hiện khác của sáng chế, cả lớp chắn sáng và lỗ ngấm chụp ảnh trong lớp chắn sáng không thể được bố trí. Cấu trúc của tấm hiển thị theo phương án thực hiện sáng chế không bị giới hạn ở cấu trúc được thể hiện trên Fig.28.

Fig.29 là sơ đồ bố trí của tấm hiển thị theo phương án thực hiện khác của sáng chế. So với tấm hiển thị được thể hiện trên Fig.28, tấm hiển thị được thể hiện trên Fig.29 không có lỗ ngấm chụp ảnh. Anốt thứ nhất $An1$ được nối điện

với điện cực máng của tranzito điều khiển thứ ba T5 qua mẫu hình nổi L01 được bao gồm trong lớp kim loại cực nguồn - cực máng thứ hai và qua mẫu hình nổi L11 được bao gồm trong lớp kim loại cực nguồn - cực máng thứ nhất. Hoặc, lớp kim loại cực nguồn - cực máng thứ hai có thể không được bố trí, và anốt thứ nhất An1 được nối điện với điện cực máng của tranzito điều khiển thứ ba T5 qua mẫu hình nổi L11 được bao gồm trong lớp kim loại cực nguồn - cực máng thứ nhất. Dĩ nhiên, cũng có thể sử dụng các thiết lập thích hợp khác.

Fig.30 là hình vẽ mặt cắt của tấm hiển thị theo phương án thực hiện sáng chế. Như được thể hiện trên Fig.30, tấm hiển thị bao gồm nền đế thứ nhất BS1, lớp chặn thứ nhất BR1, và nền đế thứ hai BS2. Tranzito thứ nhất 01 và tranzito thứ hai 02 được bố trí trên tấm nền thứ hai BS2. Tranzito thứ nhất 01 được nối với anốt AN.

Như được thể hiện trên Fig.30, tranzito thứ nhất 01 bao gồm lớp hoạt tính ACT1, lớp cách ly cực cổng thứ nhất GI1, điện cực cổng thứ nhất GT1, điện cực nguồn thứ nhất SE1 và điện cực máng thứ nhất DE1. Điện cực nguồn thứ nhất SE1 bao gồm hai lớp: điện cực nguồn SE11 và điện cực nguồn SE12. Điện cực máng thứ nhất DE1 bao gồm hai lớp: điện cực máng DE11 và điện cực máng DE12.

Như được thể hiện trên Fig.30, tranzito thứ hai 02 bao gồm lớp hoạt tính ACT2, lớp cách ly cực cổng thứ hai GI2, điện cực cổng thứ hai GT2, điện cực nguồn thứ hai SE2 và điện cực máng thứ hai DE2. Điện cực nguồn thứ hai SE2 bao gồm hai lớp: điện cực nguồn SE21 và điện cực nguồn SE22. Điện cực máng thứ hai DE2 bao gồm hai lớp: điện cực máng DE21 và điện cực máng DE22.

Như được thể hiện trên Fig.30, tấm hiển thị còn bao gồm lớp điện môi liên lớp thứ nhất ILD1, lớp bộ đệm thứ hai BF2, lớp điện môi liên lớp thứ hai ILD2, lớp thụ động PVX, lớp phẳng hoá thứ nhất PLN1, lớp phẳng hoá thứ hai PLN2, lớp xác định pixel PDL và lớp hỗ trợ PS. Lớp xác định pixel PDL và lớp hỗ trợ PS có thể được tạo từ cùng lớp màng bằng quá trình tạo mẫu hình tương tự, mà không giới hạn phương án thực hiện sáng chế ở đó.

Chẳng hạn, tham khảo Fig.30 và Fig.29, điện cực máng DE11 và điện cực

máng DE12 trên Fig.30 có thể lần lượt là mẫu hình nổi L11 và mẫu hình nổi L01 trên Fig.29.

Chẳng hạn, lớp hoạt tính thứ nhất ACT1 là lớp bán dẫn silic đa tinh thể, lớp hoạt tính thứ hai ACT2 là lớp bán dẫn ôxit, và lớp bán dẫn silic đa tinh thể gần hơn với tấm nền đế. Chẳng hạn, tấm nền đế sử dụng nền dẻo, và cả nền đế thứ nhất BS1 lẫn nền đế thứ hai BS2 là các nền đế dẻo, chẳng hạn, polyimit có thể được sử dụng, mà không giới hạn phương án thực hiện sáng chế ở đó. Chẳng hạn, chất liệu của lớp chặn thứ nhất BR1 có thể là SiOx, SiNx hoặc lớp dát mỏng của chúng, và độ dày của lớp chặn thứ nhất BR1 giữa 400 nm và 800 nm. Chẳng hạn, các tấm nền nhựa dẻo khác cũng có thể được sử dụng làm tấm nền đế. Chẳng hạn, tấm nền đế cũng có thể được làm từ thủy tinh hoặc thạch anh.

Chẳng hạn, lớp chặn thứ hai BR2 và lớp đệm thứ nhất BF1 còn được đặt giữa nền đế thứ hai BS2 và tranzito thứ nhất 01. Lớp chặn thứ hai BR2 có thể sử dụng oxit silic, mà không bị giới hạn ở đó. Lớp đệm thứ nhất BF1 có thể bao gồm lớp đệm BF11 và lớp đệm BF12. Lớp đệm BF11 có thể sử dụng SiNx, và lớp đệm BF12 có thể sử dụng SiOx. Lớp đệm thứ nhất BF1 có độ dày từ 600nm đến 1000 nm. Độ dày của lớp đệm BF11 nằm giữa 400 nm 600 nm. Lớp đệm thứ nhất BF1 có thể also sử dụng lớp đơn thay vì lớp mỏng. Chức năng của lớp đệm BF11 (SiNx) là để ngăn ngừa các hạt tạp chất trong tấm nền đế đi vào vùng bán dẫn và ảnh hưởng các đặc tính của tranzito. Ít nhất một trong lớp đệm BF11, lớp đệm BF12, lớp chặn thứ nhất BR1 và lớp chặn thứ hai BR2 có thể là lớp chặn nêu trên.

Chẳng hạn, độ dày của lớp hoạt tính thứ nhất ACT1 từ 30nm đến 70nm, và lớp bán dẫn silic đa tinh thể có thể được sử dụng làm kênh của tranzito điều khiển. Chẳng hạn, lớp chắn sáng có thể được tạo trước khi silic đa tinh thể được tạo, và silic đa tinh thể được tạo sau khi SiOx được tạo trên lớp chắn sáng.

Chẳng hạn, lớp cách ly cực cổng thứ nhất GI có thể sử dụng SiOx và có thể có độ dày từ 80 nm đến 180 nm.

Chẳng hạn, điện cực cổng thứ nhất GT1 có thể sử dụng Mo, Ti, Cu hoặc các hợp kim của nó, và có thể có độ dày từ 15 nm đến 350 nm.

Chẳng hạn, cùng lúc khi điện cực cổng thứ nhất được tạo, mẫu hình dẫn được tạo trong cùng lớp như là vùng bán dẫn ôxit, và mẫu hình dẫn có thể được sử dụng làm lấp chắn cho các ôxit tiếp theo để ngăn ngừa suy giảm đặc tính do bức xạ ánh sáng trên lớp bán dẫn ôxit.

Chẳng hạn, lớp cách ly liên lớp thứ nhất ILD1 có thể sử dụng cấu trúc ba lớp SiOx, SiNx và SiOx. Chẳng hạn, độ dày của lớp cách ly liên lớp thứ nhất ILD1 từ 100 nm đến 350 nm, SiOx gần với lớp bán dẫn ôxit và có độ dày lớn hơn độ dày của SiNx để đảm bảo các đặc tính ôxit.

Chẳng hạn, lớp bộ đệm thứ hai BF2 có thể sử dụng SiOx.

Chẳng hạn, lớp hoạt tính thứ hai ACT2 có độ dày từ 30 nm đến 60 nm và có thể sử dụng IGZO, mà không bị giới hạn ở đây.

Chẳng hạn, lớp cách ly cực cổng thứ hai GI2 có thể sử dụng SiOx và có thể có độ dày từ 100 nm đến 300 nm.

Chẳng hạn, điện cực cổng thứ hai GT2 có thể sử dụng Mo, Ti, Cu hoặc các hợp kim của nó, và có thể có độ dày từ 15 nm đến 350 nm.

Chẳng hạn, lớp điện môi liên lớp thứ nhất ILD1 và lớp điện môi liên lớp thứ hai ILD2 có thể sử dụng ít nhất một trong SiOx và SiNx. Chẳng hạn, lớp điện môi liên lớp thứ nhất ILD1 có thể sử dụng lớp mỏng trong hai lớp SiNx/SiOx, và lớp điện môi liên lớp thứ hai ILD2 có thể sử dụng SiOx.

Chẳng hạn, lớp cách ly cực cổng thứ nhất GI1 và lớp cách ly cực cổng thứ hai GI2 có thể sử dụng ít nhất một trong SiOx và SiNx.

Chẳng hạn, lớp thụ động PVX có thể sử dụng SiOx, và có thể có độ dày từ 200 nm đến 500 nm.

Chẳng hạn, lớp phẳng hoá thứ nhất PLN1, lớp phẳng hoá thứ hai PLN2, lớp xác định pixel PDL, và lớp hỗ trợ PS có thể đều sử dụng polyimide, mà không bị giới hạn ở đây.

Như được thể hiện trên Fig.30, việc bố trí điện cực nguồn SE21 và điện cực nguồn SE22 có thể bảo vệ lớp hoạt tính thứ hai ACT2, nhờ đó cải thiện độ ổn định của tranzito thứ hai 02.

Các lớp chức năng hữu cơ và các catôt được tạo trên cấu trúc được thể hiện

trên Fig.30, và sau đó được đóng gói để tạo thiết bị hiển thị OLED. Cấu trúc tiếp xúc cũng có thể được tạo trên lớp đóng gói, và cấu trúc tiếp xúc có thể sử dụng lưới kim loại, mà không giới hạn phương án thực hiện sáng chế ở đó.

Fig.30 cũng thể hiện chi tiết dẫn 03 và chi tiết dẫn 04. Chi tiết dẫn 03 và chi tiết dẫn 04 có thể là các chi tiết dẫn CL theo phương án thực hiện sáng chế, một cách lần lượt. Như được thể hiện trên Fig.30, chi tiết dẫn 03, điện cực nguồn SE21, điện cực máng DE22, điện cực nguồn SE11 và điện cực máng DE12 được tạo từ cùng lớp màng bằng quá trình tạo mẫu hình tương tự. Như được thể hiện trên Fig.30, chi tiết dẫn 04, điện cực nguồn SE12 và điện cực máng DE12 được tạo từ cùng lớp màng bởi cùng quá trình tạo mẫu hình. Chẳng hạn, cả điện cực nguồn lẫn điện cực máng được tạo từ kim loại hoặc vật liệu hợp kim.

Fig.31 là hình vẽ mặt cắt của tấm hiển thị theo phương án thực hiện khác của sáng chế. So với tấm hiển thị được thể hiện trên Fig.30, tấm hiển thị được thể hiện trên Fig.31 không có điện cực nguồn SE21 và điện cực nguồn SE22.

Chi tiết dẫn thứ nhất CL1 và chi tiết dẫn thứ hai CL2 trong tấm hiển thị theo phương án thực hiện sáng chế có thể được đặt trong vùng trong đó tĩnh điện được tạo ra đáng kể, chẳng hạn, vùng đệm. Để đảm bảo giảm điện trở, lớp phụ dẫn thứ ba có thể không nhô từ bề mặt thứ hai, tức là, chi tiết dẫn chung được bố trí, trong vùng không có tĩnh điện, chẳng hạn, vùng pixel. Chẳng hạn, chi tiết dẫn có lớp phụ dẫn thứ ba nhô từ bề mặt thứ hai có đường biên với chi tiết dẫn chung, và đường biên được đặt ngoài vùng hiển thị để ngăn không cho tĩnh điện ảnh hưởng vùng pixel. Vùng đệm bao gồm ít nhất một trong vùng đệm để nối ngoài với mạch ngoài, vùng đệm để kiểm tra mảng và vùng đệm để nối với mạch tiếp xúc, mà không giới hạn phương án thực hiện sáng chế ở đó.

Cần lưu ý rằng, mặc dù lớp phụ dẫn thứ nhất 101, lớp phụ dẫn thứ hai 102, và lớp phụ dẫn thứ ba 103 trong hình minh họa tạo cấu trúc phẳng song song với tấm nền đế 100, các phương án thực hiện sáng chế không bị giới hạn ở đó. Theo đặc tính hình dạng của màng dưới chi tiết dẫn, có thể được tạo tự nhiên trên bề mặt không đều và do vậy cũng có bề mặt mà không hoàn toàn phẳng. Trong ví dụ này, góc nêu trên cũng có thể được hiểu là tuân theo góc tương ứng được tạo

bởi bề mặt của các lớp phụ dẫn, mà không giới hạn phương án thực hiện sáng chế ở đó.

Fig.32 là hình chiếu bằng một phần của tấm hiển thị theo phương án thực hiện sáng chế. Fig.33 là sơ đồ phóng to của bộ chọn dữ liệu trên Fig.32. Tấm hiển thị sẽ được mô tả dưới đây dựa vào các hình vẽ Fig.32 và Fig.33.

Chẳng hạn, như được thể hiện trên Fig.32, chi tiết dẫn CL được nối điện với phần dẫn thứ nhất 61; và tấm hiển thị được thể hiện trên Fig.32 được giải thích dựa vào trường hợp trong đó phần dẫn thứ nhất 61 là đường dữ liệu DL, và chi tiết dẫn CL là tấm đệm PD, thông qua ví dụ. Đường dữ liệu DL cấp điện áp dữ liệu cho mỗi đơn vị pixel SP. Tấm đệm PD được tạo cấu hình được nối với mạch ngoài. Mạch ngoài bao gồm, mà không bị giới hạn ở, mạch tích hợp (IC). Chi tiết dẫn CL và phần dẫn thứ nhất 61 được tạo từ cùng lớp màng bởi cùng quá trình tạo mẫu hình. Chẳng hạn, chi tiết dẫn CL và phần dẫn thứ nhất 61 được đặt trong lớp kim loại cực nguồn - cực máng thứ nhất LY3.

Chẳng hạn, lớp cách ly giữa các chi tiết dẫn liền kề bao gồm vật liệu hữu cơ thứ nhất (chẳng hạn, nhựa epoxy); và lớp cách ly giữa các phần dẫn thứ nhất liền kề bao gồm vật liệu hữu cơ thứ hai (chẳng hạn, polyimide) hoặc vật liệu vô cơ (chẳng hạn, SiO_x hoặc oxit silic hoặc lớp mỏng của nó) khác với vật liệu hữu cơ thứ nhất. Chẳng hạn, hằng số điện môi của vật liệu hữu cơ thứ nhất nhỏ hơn hằng số của vật liệu hữu cơ hoặc vật liệu vô cơ thứ hai.

Chẳng hạn, như được thể hiện trên Fig.32 và Fig.33, tấm hiển thị còn bao gồm phần dẫn thứ hai 62; phần dẫn thứ hai 62 và chi tiết dẫn CL được bố trí trong các lớp khác nhau. Chẳng hạn, phần dẫn thứ hai 62 và chi tiết dẫn CL được đặt trong cùng lớp, nhưng phương án thực hiện sáng chế không bị giới hạn ở đó.

Chẳng hạn, như được thể hiện trên Fig.32 và Fig.33, các phần dẫn thứ nhất 61 và các phần dẫn thứ hai 62 được bố trí, với khoảng thứ nhất IN1 giữa các chi tiết dẫn liền kề CL và khoảng thứ hai IN2 giữa các phần dẫn thứ nhất liền kề 61; khoảng thứ nhất IN1 khác với khoảng thứ hai IN2. Chẳng hạn, khoảng thứ nhất IN1 nhỏ hơn khoảng thứ hai IN2.

Chẳng hạn, như được thể hiện trên Fig.33, chiều dài của chi tiết dẫn CL nhỏ

hơn chiều dài của phần dẫn thứ nhất 61. Theo phương án thực hiện sáng chế, chiều dài của phần tử đề cập đến kích thước dọc theo hướng kéo dài của phần tử.

Như được thể hiện trên Fig.32, chi tiết dẫn CL được nối với đường mở rộng FL, và đường mở rộng FL được nối với đường dữ liệu DL. Đường mở rộng FL được nối với đường dữ liệu DL qua lỗ xuyên đâm xuyên qua lớp cách ly. Đường mở rộng FL bao gồm đường mở rộng FL1 và đường mở rộng FL2, Chẳng hạn, một trong các đường mở rộng FL1 và FL2 được đặt trong lớp kim loại công thứ nhất LY1, và một trong các đường mở rộng FL1 và FL2 được đặt trong lớp kim loại công thứ hai LY2.

Fig.32 cũng thể hiện đường điện thứ nhất PL1 và đường điện thứ hai PL2; các đường điện thứ hai PL2 được nối với buýt 311; và đường điện thứ nhất PL1 và đường điện thứ hai PL2 cũng được đặt trong lớp kim loại cực nguồn - cực máng thứ nhất LY3.

Fig.32 cũng thể hiện các đường cực cổng GL và các đơn vị pixel SP. Các đường cổng GL kéo dài dọc theo hướng thứ nhất DR1, và các đường dữ liệu DL kéo dài dọc theo hướng thứ hai DR2. Các đường cực cổng GL và các đường dữ liệu DL được cách ly với nhau và giao nhau để xác định các đơn vị pixel SP. Đường điện thứ nhất PL1 được tạo cấu hình để cấp điện áp nguồn thứ nhất cho đơn vị pixel SP, và đường điện thứ hai PL2 được tạo cấu hình để cấp điện áp nguồn thứ hai cho đơn vị pixel SP. Chẳng hạn, đường điện thứ nhất PL1 là đường VDD, và đường điện thứ hai PL2 là đường VSS. Chẳng hạn, đường điện thứ hai PL2 được nối với catôt của LED.

Như được thể hiện trên Fig.32, mỗi tám đệm PD được nối lần lượt với hai đường mở rộng FL1 qua bộ chọn dữ liệu MUX, và sau đó được nối điện với hai đường dữ liệu DL. Chẳng hạn, sau khi tín hiệu dữ liệu tới bộ chọn dữ liệu MUX, đường tín hiệu thứ nhất L1 và đường tín hiệu thứ hai L2 được điều khiển lần lượt để mở trong các chu kỳ khác nhau, sao cho tín hiệu dữ liệu được truyền đến hai đường dữ liệu DL một cách lần lượt được nối với bộ chọn dữ liệu MUX. Chế độ thiết lập của bộ chọn dữ liệu MUX có thể đề cập đến thiết kế thông thường. Bộ chọn dữ liệu MUX không bị giới hạn được kết nối với hai đường dữ liệu DL, và

số lượng đường dữ liệu DL được nối với bộ chọn dữ liệu MUX có thể được xác định theo yêu cầu.

Tham khảo Fig.32 và Fig.33, mỗi bộ chọn dữ liệu MUX bao gồm lớp hoạt tính ACTL, một phần của lớp hoạt tính ACTL được bao phủ bởi đường tín hiệu thứ nhất L1 và đường tín hiệu thứ hai L2 là vùng kênh, và một phần của lớp hoạt tính ACTL không được bao phủ bởi đường tín hiệu thứ nhất L1 và đường tín hiệu thứ hai L2 là chất dẫn. Đầu thứ nhất của lớp hoạt tính ACTL được nối với một đường dữ liệu DL, đầu thứ hai của lớp hoạt tính ACTL được nối với đường dữ liệu DL khác, và đầu thứ ba của lớp hoạt tính ACTL được nối với tấm đệm PD qua phần dẫn thứ hai 62. Đầu thứ nhất, đầu thứ hai và đầu thứ ba của lớp hoạt tính ACTL đều được đặt ở phần chất dẫn của lớp hoạt tính ACTL, và có thể được nối với lớp hoạt tính ACTL qua bộ điều hợp (có thể được đặt ở lớp kim loại cực nguồn - cực máng thứ nhất).

Phần dẫn thứ nhất 61 không bị giới hạn ở đường dữ liệu. Chẳng hạn, mỗi đơn vị pixel bao gồm lớp mạch pixel được đặt ở lớp chặn, phần tử điện phát quang hữu cơ được nối điện với lớp mạch pixel, và điện cực tiếp xúc được đặt ở phía thoát sáng của phần tử điện phát quang hữu cơ. Phần dẫn thứ nhất 61 là một trong lớp mạch pixel, phần tử điện phát quang hữu cơ và điện cực tiếp xúc.

Fig.34A là hình vẽ mặt cắt một phần của tấm hiển thị theo phương án thực hiện sáng chế. Fig.34A là hình vẽ mặt cắt một phần ở đường tròn nét đứt B1 trên Fig.32. Như được thể hiện trên Fig.34A, tấm nền đế 100 có lớp chặn BR và lớp cách ly ISL1, và phần dẫn thứ hai 62 được đặt ở lớp cách ly ISL1. Chi tiết dẫn CL có đầu thứ nhất E1, phần dẫn thứ hai 62 có đầu thứ hai E2, lớp cách ly ISL2 được bố trí giữa đầu thứ nhất E1 và đầu thứ hai E2, lớp cách ly ISL2 có lỗ xuyên thứ nhất V1 làm lộ đầu thứ hai E2, và chi tiết dẫn CL được nối với phần dẫn thứ hai 62 qua lỗ xuyên thứ nhất V1. Khi chi tiết dẫn CL được đặt dưới phần dẫn thứ hai 62, lớp cách ly ISL2 có lỗ xuyên thứ nhất làm lộ đầu thứ nhất E1. Theo các phương án thực hiện khác, phần dẫn thứ hai 62 có thể được đặt giữa lớp chặn BR và lớp cách ly ISL1, sao cho lỗ xuyên thứ nhất V1 đâm xuyên lớp cách ly ISL1 và lớp cách ly ISL2.

Fig.34B là hình vẽ mặt cắt một phần của tấm hiển thị theo phương án thực hiện sáng chế. Fig.34B là hình vẽ mặt cắt một phần ở đường tròn nét đứt B2 trên Fig.32. Như được thể hiện trên Fig.32 và Fig.34B, tấm hiển thị còn bao gồm phần dẫn thứ ba 63, chi tiết dẫn CL được nối điện với phần dẫn thứ ba 63, phần dẫn thứ ba 63 có đầu thứ ba E3, phần dẫn thứ nhất 61 có đầu thứ hai E4, lớp cách ly ISL2 được bố trí giữa đầu thứ ba E3 và đầu thứ tư E4, lớp cách ly ISL2 có lỗ xuyên thứ hai V2 làm lộ đầu thứ ba E3, phần dẫn thứ nhất 61 được nối điện với phần dẫn thứ ba 63 qua lỗ xuyên thứ hai V2. Khi chi tiết dẫn CL được đặt dưới phần dẫn thứ ba 63, lớp cách ly ISL2 có lỗ xuyên thứ hai V2 làm lộ đầu thứ tư. Theo các phương án thực hiện khác, phần dẫn thứ ba 63 có thể được đặt giữa lớp chặn BR và lớp cách ly ISL1, sao cho lỗ xuyên thứ nhất V1 đâm xuyên lớp cách ly ISL1 và lớp cách ly ISL2.

Fig.35 là hình chiếu trên một phần của tấm hiển thị theo phương án thực hiện sáng chế. Chẳng hạn, như được thể hiện trên Fig.35, chi tiết dẫn CL bao gồm phần thứ nhất PT1 và phần thứ hai PT2, phần thứ nhất PT1 có chiều rộng lớn hơn chiều rộng của phần thứ hai PT2; lớp phụ dẫn thứ ba 103 của phần thứ nhất PT1 nhô từ bề mặt thứ hai S2 dọc theo chiều rộng của chi tiết dẫn CL; và lớp phụ dẫn thứ ba 103 của phần thứ hai PT2 ngang bằng với bề mặt thứ hai S2 dọc theo chiều rộng của chi tiết dẫn CL. Dĩ nhiên, theo các phương án thực hiện khác, các lớp phụ dẫn thứ ba 103 của phần thứ nhất PT1 và của phần thứ hai PT2 có thể đều nhô ra từ bề mặt thứ hai S2 dọc theo chiều rộng của chi tiết dẫn CL; và chiều rộng của lớp phụ dẫn thứ ba 103 của phần thứ nhất PT1 nhô từ bề mặt thứ hai S2 dọc theo chiều rộng của chi tiết dẫn CL lớn hơn chiều rộng của lớp phụ dẫn thứ ba 103 của phần thứ hai PT2 nhô từ bề mặt thứ hai S2 dọc theo chiều rộng của chi tiết dẫn CL.

Chẳng hạn, theo phương án thực hiện sáng chế, chi tiết dẫn có kết cấu trong đó lớp phụ dẫn thứ ba nhô từ bề mặt thứ hai của lớp phụ dẫn thứ hai trong chiều rộng của chi tiết dẫn không được bao phủ bởi lớp phẳng hoá. Chẳng hạn, như được thể hiện trên Fig.32, phần dẫn thứ nhất 61 được đặt cùng lớp với chi tiết dẫn CL được bao phủ bởi lớp phẳng hoá, nhưng chi tiết dẫn CL không

được bao phủ bởi lớp phẳng hoá.

Ít nhất một phương án thực hiện sáng chế đề cập đến thiết bị hiển thị bao gồm tấm bất kỳ trong các tấm hiển thị nêu trên.

Chẳng hạn, thiết bị hiển thị có thể là màn hình tinh thể lỏng, giấy điện tử, màn hình OLED và các thiết bị hiển thị khác, cũng như sản phẩm hoặc linh kiện bất kỳ có các chức năng hiển thị bao gồm các thiết bị hiển thị này, chẳng hạn, TV, camera số, điện thoại di động, đồng hồ, máy tính bảng, máy tính notebook và các bộ điều hướng.

Chẳng hạn, theo phương án thực hiện sáng chế, chi tiết dẫn có thể là một phần của kết cấu dẫn hoặc có thể là toàn bộ kết cấu dẫn; và chi tiết dẫn có thể là mẫu hình được tạo bởi kết cấu kim loại liên tục hoặc có thể là kết cấu xếp chồng của các mẫu hình dẫn kim loại.

Cần lưu ý rằng, để minh hoạ rõ ràng, các độ dày của các lớp hoặc các vùng được phóng đại trong các hình vẽ để mô tả các phương án thực hiện sáng chế. Có thể hiểu rằng, khi phần tử chẳng hạn lớp, màng, vùng hoặc tấm nền được viện dẫn là được đặt “trên” hoặc “dưới” phần tử khác, phần tử này có thể được đặt “trực tiếp” “trên” hoặc “dưới” phần tử khác, hoặc có thể có các phần tử trung gian.

Theo các phương án thực hiện sáng chế, các hình dạng của các phần tử khác nhau chỉ được mô tả dạng sơ đồ và không bị giới hạn ở các hình dạng khác được thể hiện trên các hình vẽ, nhưng có thể được xác định theo yêu cầu.

Các dấu hiệu theo cùng phương án thực hiện và các phương án thực hiện khác nhau của sáng chế có thể được kết hợp với nhau mà không xung đột.

Phần trên chỉ là các phương án thực hiện cụ thể của sáng chế, và phạm vi bảo hộ của sáng chế không bị giới hạn ở đó. Chính sửa hoặc thay thế bất kỳ có thể dễ dàng được thực hiện bởi người có hiểu biết trung bình trong lĩnh vực mà không xa rời phạm vi kỹ thuật được bộc lộ theo sáng chế thuộc phạm vi bảo hộ phải được bảo hộ bởi sáng chế. Do vậy, phạm vi bảo hộ của sáng chế cần được định nghĩa bởi các điểm yêu cầu bảo hộ đi kèm.

YÊU CẦU BẢO HỘ

1. Tấm hiển thị bao gồm:

vùng hiển thị có các đơn vị pixel;

vùng ngoại vi được đặt ở ít nhất một phía của vùng hiển thị;

lớp chặn được đặt ở tấm nền đế;

chi tiết dẫn được bố trí ở một bên của lớp chặn quay mặt cách xa tấm nền đế; chiều dài của chi tiết dẫn theo hướng kéo dài của chi tiết dẫn lớn hơn chiều rộng của chi tiết dẫn theo hướng giao với hướng kéo dài; chi tiết dẫn bao gồm lớp phụ dẫn thứ nhất, lớp phụ dẫn thứ hai và lớp phụ dẫn thứ ba được xếp chồng lần lượt; lớp phụ dẫn thứ nhất gần hơn với tấm nền đế so với lớp phụ dẫn thứ ba; và

phần dẫn thứ nhất được đặt trong vùng hiển thị, phần dẫn thứ nhất và chi tiết dẫn được bố trí trong cùng lớp và được làm từ cùng vật liệu,

trong đó độ dẫn của lớp phụ dẫn thứ nhất nhỏ hơn độ dẫn của lớp phụ dẫn thứ hai, độ dày của lớp phụ dẫn thứ nhất nhỏ hơn độ dày của lớp phụ dẫn thứ hai, và điểm nóng chảy của lớp phụ dẫn thứ ba lớn hơn điểm nóng chảy của lớp phụ dẫn thứ hai,

trong đó lớp phụ dẫn thứ hai bao gồm bề mặt thứ nhất gần với lớp phụ dẫn thứ nhất và bề mặt thứ hai gần với lớp phụ dẫn thứ ba; bề mặt thứ nhất và bề mặt thứ hai được bố trí đối diện nhau; lớp phụ dẫn thứ ba nhô từ bề mặt thứ hai dọc theo chiều rộng của chi tiết dẫn; và chiều rộng giao với hướng kéo dài của chi tiết dẫn, và

trong đó chiều rộng của bề mặt thứ nhất nhỏ hơn chiều rộng của lớp phụ dẫn thứ nhất, chiều rộng của bề mặt thứ hai nhỏ hơn chiều rộng của lớp phụ dẫn thứ ba, và chênh lệch chiều rộng giữa lớp phụ dẫn thứ ba và bề mặt thứ hai lớn hơn độ dày của lớp phụ dẫn thứ ba.

2. Tấm hiển thị theo điểm 1, trong đó lớp phụ dẫn thứ ba không tiếp xúc với lớp phụ dẫn thứ nhất.

3. Tấm hiển thị theo điểm 1, trong đó lớp phụ dẫn thứ hai còn bao gồm bề mặt bên nổi cạnh bên của bề mặt thứ nhất và cạnh bên của bề mặt thứ hai được đặt ở cùng phía của lớp phụ dẫn thứ hai; trong mặt cắt ngang dọc theo hướng vuông

góc với hướng kéo dài của chi tiết dẫn, điểm giao giữa bề mặt bên và lớp phụ dẫn thứ nhất là điểm giao thứ nhất, điểm giao giữa bề mặt bên và lớp phụ dẫn thứ ba là điểm giao thứ hai, và ít nhất một phần của bề mặt bên được đặt ở một phía của đường nối giữa điểm giao thứ nhất và điểm giao thứ hai gần với lớp phụ dẫn thứ hai.

4. Tấm hiển thị theo điểm 3, trong đó bề mặt bên bao gồm ít nhất hai bề mặt phụ bên, bao gồm bề mặt phụ bên thứ nhất gần với lớp phụ dẫn thứ nhất và bề mặt phụ bên thứ hai gần với lớp phụ dẫn thứ ba, và góc được tạo bởi bề mặt phụ bên thứ nhất và lớp phụ dẫn thứ nhất nhỏ hơn góc được tạo bởi bề mặt phụ bên thứ hai và lớp phụ dẫn thứ nhất.

5. Tấm hiển thị theo điểm 4, trong đó ở mặt cắt ngang dọc theo hướng vuông góc với hướng kéo dài của chi tiết dẫn, khoảng cách từ, điểm giao giữa đường kéo dài của bề mặt phụ bên thứ hai và lớp phụ dẫn thứ nhất, đến, điểm giao giữa bề mặt phụ bên thứ nhất và lớp phụ dẫn thứ nhất, là d_1 ; và khoảng cách của lớp phụ dẫn thứ nhất kéo dài vượt quá bề mặt thứ nhất là Δw_1 , trong đó $d_1 < \Delta w_1$.

6. Tấm hiển thị theo điểm 5, trong đó khoảng cách của lớp phụ dẫn thứ ba kéo dài vượt quá bề mặt thứ hai là Δw_2 , trong đó $d_1 < \Delta w_2$.

7. Tấm hiển thị theo điểm 4, trong đó góc được tạo bởi bề mặt phụ bên thứ hai và lớp phụ dẫn thứ nhất lớn hơn 90° .

8. Tấm hiển thị theo điểm 3, trong đó bề mặt bên bao gồm ba bề mặt phụ bên được bố trí tuần tự, bao gồm bề mặt phụ bên thứ nhất, bề mặt phụ bên thứ hai và bề mặt phụ bên thứ ba; bề mặt phụ bên thứ nhất gần hơn với lớp phụ dẫn thứ nhất so với bề mặt phụ bên thứ ba; góc được tạo bởi bề mặt phụ bên thứ nhất và lớp phụ dẫn thứ nhất là góc thứ nhất; góc được tạo bởi bề mặt phụ bên thứ hai và lớp phụ dẫn thứ nhất là góc thứ hai; góc được tạo bởi bề mặt phụ bên thứ ba và lớp phụ dẫn thứ nhất là góc thứ ba; góc thứ ba lớn hơn góc thứ hai, và góc thứ hai lớn hơn góc thứ nhất.

9. Tấm hiển thị theo điểm 3, trong đó lớp phụ dẫn thứ hai bao gồm hai bề mặt bên, được bố trí đối diện nhau và được bố trí đối xứng dọc theo chiều dày của chi tiết dẫn.

10. Tấm hiển thị theo điểm 3, trong đó ít nhất một trong bề mặt thứ nhất, bề mặt

thứ hai và bề mặt bên của lớp phụ dẫn thứ hai chứa ít nhất một trong phần tử N, phần tử S, phần tử P và phần tử Cl.

11. Tấm hiển thị theo điểm 1, trong đó lớp chặn có ít nhất một trong phần tử F và phần tử Cl.

12. Tấm hiển thị theo điểm 11, trong đó hàm lượng của ít nhất một trong phần tử F và phần tử Cl trong lớp chặn bằng 1×10^{18} nguyên tử đến 5×10^{20} nguyên tử trên centimet khối.

13. Tấm hiển thị theo điểm 1, trong đó bề mặt thứ nhất tiếp xúc với lớp phụ dẫn thứ nhất, và bề mặt thứ hai tiếp xúc với lớp phụ dẫn thứ ba.

14. Tấm hiển thị theo điểm 1, trong đó lớp phụ dẫn thứ ba bao phủ lớp phụ dẫn thứ hai và tiếp xúc với lớp phụ dẫn thứ nhất.

15. Tấm hiển thị theo điểm bất kỳ trong số các điểm từ 1 đến 14, trong đó hai chi tiết dẫn liền kề được bố trí, hai chi tiết dẫn liền kề được cách ly với nhau và được đặt trong cùng lớp; hai chi tiết dẫn liền kề bao gồm chi tiết dẫn thứ nhất và chi tiết dẫn thứ hai; và khoảng cách giữa lớp phụ dẫn thứ ba của chi tiết dẫn thứ nhất và lớp phụ dẫn thứ ba của chi tiết dẫn thứ hai nhỏ hơn khoảng cách giữa bề mặt thứ hai của lớp phụ dẫn thứ hai của chi tiết dẫn thứ nhất và bề mặt thứ hai của lớp phụ dẫn thứ hai của chi tiết dẫn thứ hai.

16. Tấm hiển thị theo điểm 15, trong đó bề mặt thứ hai của chi tiết dẫn thứ nhất và bề mặt thứ hai của chi tiết dẫn thứ hai có các khoảng cách khác nhau ở các vị trí khác nhau.

17. Tấm hiển thị theo điểm 15, trong đó w_1 là chiều rộng lớn nhất của chi tiết dẫn thứ nhất ở mặt cắt ngang của nó dọc theo chiều rộng của nó, w_2 là chiều rộng lớn nhất của chi tiết dẫn thứ hai ở mặt cắt ngang của nó dọc theo chiều rộng của nó, Δw_{11} là khoảng cách của lớp phụ dẫn thứ ba kéo dài vượt quá bề mặt thứ hai trong chi tiết dẫn thứ nhất, Δw_{12} là khoảng cách của lớp phụ dẫn thứ ba kéo dài vượt quá bề mặt thứ hai trong chi tiết dẫn thứ hai, d_{min} là khoảng cách nhỏ nhất giữa chi tiết dẫn thứ nhất và chi tiết dẫn thứ hai; và biểu diễn quan hệ dưới đây được thoả mãn:

$$\frac{\Delta w_{11}}{w_1} + \frac{\Delta w_{12}}{w_2} < \frac{\Delta w_{11} + \Delta w_{12}}{d_{min}} .$$

18. Tấm hiển thị theo điểm bất kỳ trong số các điểm từ 1 đến 14, trong đó hai chi

tiết dẫn được bố trí, hai chi tiết dẫn được cách ly với nhau và có các khoảng cách khác nhau từ tấm nền đế; hai chi tiết dẫn bao gồm chi tiết dẫn thứ nhất có độ dày của T3 và chi tiết dẫn thứ hai có độ dày của T4, trong đó T4 lớn hơn T3; khoảng cách của lớp phụ dẫn thứ ba kéo dài vượt quá bề mặt thứ hai trong chi tiết dẫn thứ nhất là Δw_3 , khoảng cách của lớp phụ dẫn thứ ba kéo dài vượt quá bề mặt thứ hai trong chi tiết dẫn thứ hai là Δw_4 ; và biểu diễn quan hệ dưới đây được thoả mãn:

$$\frac{\Delta w_3}{T_3} > \frac{\Delta w_4}{T_4} .$$

19. Tấm hiển thị theo điểm bất kỳ trong số các điểm từ 1 đến 14, trong đó hai chi tiết dẫn được bố trí và cách ly với nhau; hai chi tiết dẫn bao gồm chi tiết dẫn thứ nhất và chi tiết dẫn thứ hai, chi tiết dẫn thứ nhất gần hơn với vùng hiển thị so với chi tiết dẫn thứ hai, và lớp phụ dẫn thứ ba trong chi tiết dẫn thứ nhất nhô từ bề mặt thứ hai bởi kích thước lớn hơn kích thước của lớp phụ dẫn thứ ba trong chi tiết dẫn thứ hai.

20. Tấm hiển thị theo điểm bất kỳ trong số các điểm từ 1 đến 14, còn bao gồm phần dẫn thứ hai, trong đó phần dẫn thứ hai và chi tiết dẫn được bố trí trong các lớp khác nhau, chi tiết dẫn có đầu thứ nhất, phần dẫn thứ hai có đầu thứ hai, lớp cách ly được bố trí giữa đầu thứ nhất và đầu thứ hai, lớp cách ly có lỗ xuyên thứ nhất làm lộ đầu thứ nhất hoặc đầu thứ hai, và chi tiết dẫn được nối với phần dẫn thứ hai qua lỗ xuyên thứ nhất.

21. Tấm hiển thị theo điểm bất kỳ trong số các điểm từ 1 đến 14, trong đó tấm còn bao gồm phần dẫn thứ hai, trong đó phần dẫn thứ hai và chi tiết dẫn được đặt trong cùng lớp.

22. Tấm hiển thị theo điểm bất kỳ trong số các điểm từ 1 đến 14, trong đó tấm còn bao gồm phần dẫn thứ ba, trong đó phần dẫn thứ nhất được nối điện với phần dẫn thứ ba, phần dẫn thứ ba có đầu thứ ba, phần dẫn thứ nhất có đầu thứ hai, lớp cách ly được bố trí giữa đầu thứ ba và đầu thứ tư, lớp cách ly có lỗ xuyên thứ hai làm lộ đầu thứ ba hoặc đầu thứ tư, và phần dẫn thứ nhất được nối với phần dẫn thứ ba qua lỗ xuyên thứ hai.

23. Tấm hiển thị theo điểm bất kỳ trong số các điểm từ 1 đến 14, trong đó chi tiết dẫn bao gồm phần thứ nhất và phần thứ hai, chiều rộng của phần thứ nhất

lớn hơn chiều rộng của phần thứ hai, lớp phụ dẫn thứ ba của phần thứ nhất nhô từ bề mặt thứ hai dọc theo chiều rộng của chi tiết dẫn, lớp phụ dẫn thứ ba của phần thứ hai ngang bằng với bề mặt thứ hai dọc theo chiều rộng của chi tiết dẫn, hoặc các lớp phụ dẫn thứ ba của phần thứ nhất và của phần thứ hai đều nhô ra từ bề mặt thứ hai dọc theo chiều rộng của chi tiết dẫn, và phần được nhô của phần thứ nhất có chiều rộng lớn hơn chiều rộng của phần thứ hai.

24. Tấm hiển thị theo điểm bất kỳ trong số các điểm từ 1 đến 14, trong đó chi tiết dẫn được nối điện với phần dẫn thứ nhất, các phần dẫn thứ nhất được bố trí, khoảng thứ nhất được bố trí giữa các chi tiết dẫn liền kề và khoảng thứ hai được bố trí giữa các phần dẫn thứ nhất liền kề, khoảng thứ nhất khác với khoảng thứ hai.

25. Tấm hiển thị theo điểm 24, trong đó khoảng thứ nhất nhỏ hơn khoảng thứ hai.

26. Tấm hiển thị theo điểm 24, trong đó chiều dài của chi tiết dẫn nhỏ hơn chiều dài của phần dẫn thứ nhất, và phần dẫn thứ nhất bao gồm đường dẫn liệu cấp điện áp dẫn liệu cho đơn vị pixel được nối với nó.

27. Tấm hiển thị theo điểm 24, trong đó mỗi đơn vị pixel bao gồm lớp mạch pixel được bố trí trên lớp chặn, phần tử điện phát quang hữu cơ được nối điện với lớp mạch pixel, và điện cực tiếp xúc được bố trí ở phía thoát sáng của phần tử điện phát quang hữu cơ; và phần dẫn thứ nhất là một trong lớp mạch pixel, phần tử điện phát quang hữu cơ và điện cực tiếp xúc.

28. Tấm hiển thị bao gồm:

vùng hiển thị có các đơn vị pixel, bao gồm vùng gấp được cũng như vùng hiển thị thứ nhất và vùng hiển thị thứ hai được đặt ở các bên đối diện của vùng gấp được;

vùng ngoại vi được đặt ở ít nhất một phía của vùng hiển thị;

lớp chặn được đặt ở tấm nền đế;

chi tiết dẫn được bố trí ở một bên của lớp chặn quay mặt cách xa tấm nền đế, chiều dài của chi tiết dẫn theo hướng kéo dài của chi tiết dẫn lớn hơn chiều rộng của chi tiết dẫn theo hướng giao với hướng kéo dài; chi tiết dẫn bao gồm lớp phụ dẫn thứ nhất, lớp phụ dẫn thứ hai và lớp phụ dẫn thứ ba được xếp chồng

lần lượt; lớp phụ dẫn thứ nhất gần hơn với tấm nền đế so với lớp phụ dẫn thứ ba; và

phần dẫn thứ nhất được đặt trong vùng hiển thị, phần dẫn thứ nhất và chi tiết dẫn được bố trí trong cùng lớp và được làm từ cùng vật liệu,

trong đó độ dẫn của lớp phụ dẫn thứ nhất nhỏ hơn độ dẫn của lớp phụ dẫn thứ hai, độ dày của lớp phụ dẫn thứ nhất nhỏ hơn độ dày của lớp phụ dẫn thứ hai, và điểm nóng chảy của lớp phụ dẫn thứ ba lớn hơn điểm nóng chảy của lớp phụ dẫn thứ hai,

trong đó lớp phụ dẫn thứ hai bao gồm bề mặt thứ nhất gần với lớp phụ dẫn thứ nhất và bề mặt thứ hai gần với lớp phụ dẫn thứ ba, bề mặt thứ nhất và bề mặt thứ hai được bố trí đối diện nhau, lớp phụ dẫn thứ ba nhô từ bề mặt thứ hai dọc theo chiều rộng của chi tiết dẫn, và chiều rộng giao với hướng kéo dài của chi tiết dẫn, và

trong đó chiều rộng của bề mặt thứ nhất nhỏ hơn chiều rộng của lớp phụ dẫn thứ nhất, chiều rộng của bề mặt thứ hai nhỏ hơn chiều rộng của lớp phụ dẫn thứ ba, và chênh lệch chiều rộng giữa lớp phụ dẫn thứ ba và bề mặt thứ hai lớn hơn độ dày của lớp phụ dẫn thứ ba.

29. Tấm hiển thị theo điểm 28, trong đó hai chi tiết dẫn được bố trí được cách ly với nhau, hai chi tiết dẫn bao gồm chi tiết dẫn thứ nhất và chi tiết dẫn thứ hai, chi tiết dẫn thứ nhất gần hơn với vùng gập được so với chi tiết dẫn thứ hai, và lớp phụ dẫn thứ ba trong chi tiết dẫn thứ nhất nhô từ bề mặt thứ hai bởi kích thước lớn hơn kích thước của lớp phụ dẫn thứ ba trong chi tiết dẫn thứ hai.

30. Tấm hiển thị theo điểm 28, trong đó hai chi tiết dẫn liền kề được bố trí, hai chi tiết dẫn liền kề được cách ly với nhau và được đặt trong cùng lớp; hai chi tiết dẫn liền kề bao gồm chi tiết dẫn thứ nhất và chi tiết dẫn thứ hai, và khoảng cách giữa lớp phụ dẫn thứ ba của chi tiết dẫn thứ nhất và lớp phụ dẫn thứ ba của chi tiết dẫn thứ hai nhỏ hơn khoảng cách giữa bề mặt thứ hai của lớp phụ dẫn thứ hai của chi tiết dẫn thứ nhất và bề mặt thứ hai của lớp phụ dẫn thứ hai của chi tiết dẫn thứ hai.

31. Tấm hiển thị theo điểm 30, trong đó bề mặt thứ hai của chi tiết dẫn thứ nhất và bề mặt thứ hai của chi tiết dẫn thứ hai có các khoảng cách khác nhau ở các vị

trí khác nhau.

32. Tấm hiển thị theo điểm 30, trong đó w_1 là chiều rộng lớn nhất của chi tiết dẫn thứ nhất ở mặt cắt ngang của nó dọc theo chiều rộng của nó, w_2 là chiều rộng lớn nhất của chi tiết dẫn thứ hai ở mặt cắt ngang của nó dọc theo chiều rộng của nó, Δw_{11} là khoảng cách của lớp phụ dẫn thứ ba kéo dài vượt quá bề mặt thứ hai trong chi tiết dẫn thứ nhất, Δw_{12} là khoảng cách của lớp phụ dẫn thứ ba kéo dài vượt quá bề mặt thứ hai trong chi tiết dẫn thứ hai, d_{min} là khoảng cách nhỏ nhất giữa chi tiết dẫn thứ nhất và chi tiết dẫn thứ hai; và biểu diễn quan hệ dưới đây được thoả mãn:

$$\frac{\Delta w_{11}}{w_1} + \frac{\Delta w_{12}}{w_2} < \frac{\Delta w_{11} + \Delta w_{12}}{d_{min}} .$$

33. Tấm hiển thị theo điểm bất kỳ trong số các điểm từ 28 đến 32, trong đó hai chi tiết dẫn được bố trí, hai chi tiết dẫn được cách ly với nhau và có các khoảng cách khác nhau từ tấm nền đế; hai chi tiết dẫn bao gồm chi tiết dẫn thứ nhất có độ dày của T3 và chi tiết dẫn thứ hai có độ dày của T4, trong đó T4 lớn hơn T3; khoảng cách của lớp phụ dẫn thứ ba kéo dài vượt quá bề mặt thứ hai trong chi tiết dẫn thứ nhất là Δw_3 , khoảng cách của lớp phụ dẫn thứ ba kéo dài vượt quá bề mặt thứ hai trong chi tiết dẫn thứ hai là Δw_4 ; và biểu diễn quan hệ dưới đây được thoả mãn:

$$\frac{\Delta w_3}{T_3} > \frac{\Delta w_4}{T_4} .$$

34. Tấm hiển thị theo điểm bất kỳ trong số các điểm từ 28 đến 32, còn bao gồm phần dẫn thứ hai, trong đó phần dẫn thứ hai và chi tiết dẫn được bố trí trong cùng lớp; hoặc phần dẫn thứ hai và chi tiết dẫn được bố trí trong các lớp khác nhau, chi tiết dẫn có đầu thứ nhất, phần dẫn thứ hai có đầu thứ hai, lớp cách ly được bố trí giữa đầu thứ nhất và đầu thứ hai, lớp cách ly có lỗ xuyên thứ nhất làm lộ đầu thứ nhất hoặc đầu thứ hai, và chi tiết dẫn được nối với phần dẫn thứ hai qua lỗ xuyên thứ nhất.

35. Tấm hiển thị theo điểm bất kỳ trong số các điểm từ 28 đến 32, trong đó tấm còn bao gồm phần dẫn thứ ba, trong đó phần dẫn thứ nhất được nối điện với phần dẫn thứ ba, phần dẫn thứ ba có đầu thứ ba, phần dẫn thứ nhất có đầu thứ hai, lớp cách ly được bố trí giữa đầu thứ ba và đầu thứ tư, lớp cách ly có lỗ xuyên thứ hai

làm lộ đầu thứ ba hoặc đầu thứ tư, và phân dẫn thứ nhất được nối với phân dẫn thứ ba qua lỗ xuyên thứ hai.

36. Tấm hiển thị theo điểm bất kỳ trong số các điểm từ 28 đến 32, trong đó chi tiết dẫn bao gồm phần thứ nhất và phần thứ hai, chiều rộng của phần thứ nhất lớn hơn của phần thứ hai, lớp phụ dẫn thứ ba của phần thứ nhất nhô từ bề mặt thứ hai dọc theo chiều rộng của chi tiết dẫn, lớp phụ dẫn thứ ba của phần thứ hai ngang bằng với bề mặt thứ hai dọc theo chiều rộng của chi tiết dẫn, hoặc các lớp phụ dẫn thứ ba của phần thứ nhất và của phần thứ hai đều nhô ra từ bề mặt thứ hai dọc theo chiều rộng của chi tiết dẫn, và phần được nhô của phần thứ nhất có chiều rộng lớn hơn chiều rộng của phần thứ hai.

37. Tấm hiển thị theo điểm bất kỳ trong số các điểm từ 28 đến 32, trong đó chi tiết dẫn được nối điện với phân dẫn thứ nhất, các phân dẫn thứ nhất được bố trí, khoảng thứ nhất được bố trí giữa các chi tiết dẫn liền kề và khoảng thứ hai được bố trí giữa các phân dẫn thứ nhất liền kề, khoảng thứ nhất khác với khoảng thứ hai.

38. Tấm hiển thị theo điểm 37, trong đó khoảng thứ nhất nhỏ hơn khoảng thứ hai.

39. Tấm hiển thị theo điểm 37, trong đó chiều dài của chi tiết dẫn nhỏ hơn chiều dài của phân dẫn thứ nhất, và phân dẫn thứ nhất bao gồm đường dữ liệu cấp điện áp dữ liệu cho đơn vị pixel được nối với nó.

40. Tấm hiển thị bao gồm:

vùng hiển thị có các đơn vị pixel;

vùng ngoại vi được đặt ở ít nhất một phía của vùng hiển thị;

vùng trong suốt, được đặt ở một mặt của vùng ngoại vi cách xa vùng hiển thị hoặc được bao quanh bởi vùng hiển thị;

lớp chặn được đặt ở tấm nền đế;

chi tiết dẫn được bố trí ở một bên của lớp chặn quay mặt cách xa tấm nền đế, chiều dài của chi tiết dẫn theo hướng kéo dài lớn hơn chiều rộng của chi tiết dẫn theo hướng giao với hướng kéo dài, và chi tiết dẫn bao gồm lớp phụ dẫn thứ nhất, lớp phụ dẫn thứ hai và lớp phụ dẫn thứ ba được xếp chồng lần lượt, trong đó lớp phụ dẫn thứ nhất gần hơn với tấm nền đế so với lớp phụ dẫn thứ ba; và

phần dẫn thứ nhất được đặt trong vùng hiển thị, phần dẫn thứ nhất và chi tiết dẫn được bố trí trong cùng lớp và được làm từ cùng vật liệu,

trong đó độ dẫn của lớp phụ dẫn thứ nhất nhỏ hơn độ dẫn của lớp phụ dẫn thứ hai, độ dày của lớp phụ dẫn thứ nhất nhỏ hơn độ dày của lớp phụ dẫn thứ hai, và điểm nóng chảy của lớp phụ dẫn thứ ba lớn hơn điểm nóng chảy của lớp phụ dẫn thứ hai,

trong đó lớp phụ dẫn thứ hai bao gồm bề mặt thứ nhất gần với lớp phụ dẫn thứ nhất và bề mặt thứ hai gần với lớp phụ dẫn thứ ba; bề mặt thứ nhất và bề mặt thứ hai được bố trí đối diện nhau; lớp phụ dẫn thứ ba nhô từ bề mặt thứ hai dọc theo chiều rộng của chi tiết dẫn; và chiều rộng giao với hướng kéo dài của chi tiết dẫn, và

trong đó chiều rộng của bề mặt thứ nhất nhỏ hơn chiều rộng của lớp phụ dẫn thứ nhất, chiều rộng của bề mặt thứ hai nhỏ hơn chiều rộng của lớp phụ dẫn thứ ba, và chênh lệch chiều rộng giữa lớp phụ dẫn thứ ba và bề mặt thứ hai lớn hơn độ dày của lớp phụ dẫn thứ ba.

41. Tấm hiển thị theo điểm 40, trong đó hai chi tiết dẫn được bố trí được cách ly với nhau, hai chi tiết dẫn bao gồm chi tiết dẫn thứ nhất và chi tiết dẫn thứ hai, chi tiết dẫn thứ nhất gần hơn với vùng gập được so với chi tiết dẫn thứ hai, và lớp phụ dẫn thứ ba trong chi tiết dẫn thứ nhất nhô từ bề mặt thứ hai bởi kích thước lớn hơn kích thước của lớp phụ dẫn thứ ba trong chi tiết dẫn thứ hai.

42. Tấm hiển thị theo điểm 40, trong đó hai chi tiết dẫn liền kề được bố trí, hai chi tiết dẫn liền kề được cách ly với nhau và được đặt trong cùng lớp; hai chi tiết dẫn liền kề bao gồm chi tiết dẫn thứ nhất và chi tiết dẫn thứ hai, và khoảng cách giữa lớp phụ dẫn thứ ba của chi tiết dẫn thứ nhất và lớp phụ dẫn thứ ba của chi tiết dẫn thứ hai nhỏ hơn khoảng cách giữa bề mặt thứ hai của lớp phụ dẫn thứ hai của chi tiết dẫn thứ nhất và bề mặt thứ hai của lớp phụ dẫn thứ hai của chi tiết dẫn thứ hai.

43. Tấm hiển thị theo điểm 42, trong đó bề mặt thứ hai của chi tiết dẫn thứ nhất và bề mặt thứ hai của chi tiết dẫn thứ hai có các khoảng cách khác nhau ở các vị trí khác nhau.

44. Tấm hiển thị theo điểm 40, trong đó w_1 là chiều rộng lớn nhất của chi tiết

dẫn thứ nhất ở mặt cắt ngang của nó dọc theo chiều rộng của nó, w_2 là chiều rộng lớn nhất của chi tiết dẫn thứ hai ở mặt cắt ngang của nó dọc theo chiều rộng của nó, Δw_{11} là khoảng cách của lớp phụ dẫn thứ ba kéo dài vượt quá bề mặt thứ hai trong chi tiết dẫn thứ nhất, Δw_{12} là khoảng cách của lớp phụ dẫn thứ ba kéo dài vượt quá bề mặt thứ hai trong chi tiết dẫn thứ hai, $d_{\min}$ là khoảng cách nhỏ nhất giữa chi tiết dẫn thứ nhất và chi tiết dẫn thứ hai; và biểu diễn quan hệ dưới đây được thoả mãn:

$$\frac{\Delta w_{11}}{w_1} + \frac{\Delta w_{12}}{w_2} < \frac{\Delta w_{11} + \Delta w_{12}}{d_{\min}} .$$

45. Tấm hiển thị theo điểm bất kỳ trong số các điểm từ 40 đến 44, trong đó hai chi tiết dẫn được bố trí, hai chi tiết dẫn được cách ly với nhau và có các khoảng cách khác nhau từ tám nền đế; hai chi tiết dẫn bao gồm chi tiết dẫn thứ nhất có độ dày của T3 và chi tiết dẫn thứ hai có độ dày của T4, trong đó T4 lớn hơn T3; khoảng cách của lớp phụ dẫn thứ ba kéo dài vượt quá bề mặt thứ hai trong chi tiết dẫn thứ nhất là Δw_3 , khoảng cách của lớp phụ dẫn thứ ba kéo dài vượt quá bề mặt thứ hai trong chi tiết dẫn thứ hai là Δw_4 ; và biểu diễn quan hệ dưới đây được thoả mãn:

$$\frac{\Delta w_3}{T_3} > \frac{\Delta w_4}{T_4} .$$

46. Tấm hiển thị theo điểm bất kỳ trong số các điểm từ 40 đến 44, trong đó tấm còn bao gồm phần dẫn thứ hai, trong đó phần dẫn thứ hai và chi tiết dẫn được bố trí trong cùng lớp; hoặc phần dẫn thứ hai và chi tiết dẫn được bố trí trong các lớp khác nhau, chi tiết dẫn có đầu thứ nhất, phần dẫn thứ hai có đầu thứ hai, lớp cách ly được bố trí giữa đầu thứ nhất và đầu thứ hai, lớp cách ly có lỗ xuyên thứ nhất làm lộ đầu thứ nhất hoặc đầu thứ hai, và chi tiết dẫn được nối với phần dẫn thứ hai qua lỗ xuyên thứ nhất.

47. Tấm hiển thị theo điểm bất kỳ trong số các điểm từ 40 đến 44, trong đó tấm còn bao gồm phần dẫn thứ ba, trong đó phần dẫn thứ nhất được nối điện với phần dẫn thứ ba, phần dẫn thứ ba có đầu thứ ba, phần dẫn thứ nhất có đầu thứ hai, lớp cách ly được bố trí giữa đầu thứ ba và đầu thứ tư, lớp cách ly có lỗ xuyên thứ hai làm lộ đầu thứ ba hoặc đầu thứ tư, và phần dẫn thứ nhất được nối với phần dẫn thứ ba qua lỗ xuyên thứ hai.

48. Tấm hiển thị theo điểm bất kỳ trong số các điểm từ 40 đến 44, trong đó chi tiết dẫn bao gồm phần thứ nhất và phần thứ hai, chiều rộng của phần thứ nhất lớn hơn của phần thứ hai, lớp phụ dẫn thứ ba của phần thứ nhất nhô từ bề mặt thứ hai dọc theo chiều rộng của chi tiết dẫn, lớp phụ dẫn thứ ba của phần thứ hai ngang bằng với bề mặt thứ hai dọc theo chiều rộng của chi tiết dẫn, hoặc các lớp phụ dẫn thứ ba của phần thứ nhất và của phần thứ hai đều nhô ra từ bề mặt thứ hai dọc theo chiều rộng của chi tiết dẫn, và phần được nhô của phần thứ nhất có chiều rộng lớn hơn chiều rộng của phần thứ hai.

49. Tấm hiển thị theo điểm bất kỳ trong số các điểm từ 40 đến 44, trong đó chi tiết dẫn được nối điện với phần dẫn thứ nhất, các phần dẫn thứ nhất được bố trí, khoảng thứ nhất được bố trí giữa các chi tiết dẫn liền kề và khoảng thứ hai được bố trí giữa các phần dẫn thứ nhất liền kề, khoảng thứ nhất khác với khoảng thứ hai.

50. Tấm hiển thị theo điểm 49, trong đó khoảng thứ nhất nhỏ hơn khoảng thứ hai.

51. Tấm hiển thị theo điểm 49, trong đó chiều dài của chi tiết dẫn nhỏ hơn chiều dài của phần dẫn thứ nhất, và phần dẫn thứ nhất bao gồm đường dẫn liệu cấp điện áp dẫn liệu cho đơn vị pixel được nối với nó.

52. Thiết bị hiển thị bao gồm tấm hiển thị theo điểm bất kỳ trong số các điểm từ 1 đến 51.

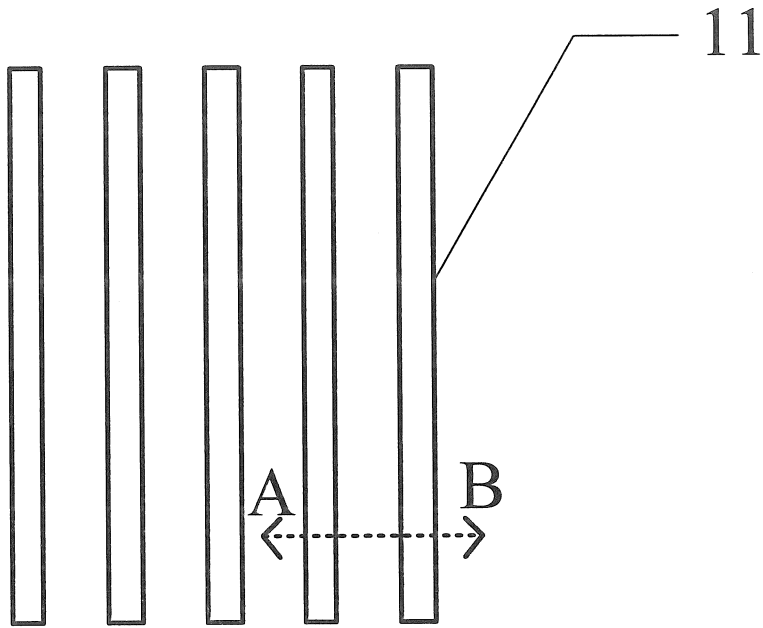


Fig.1

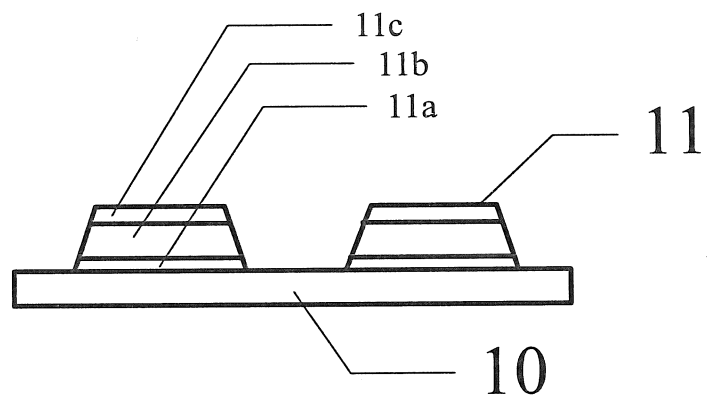


Fig.2

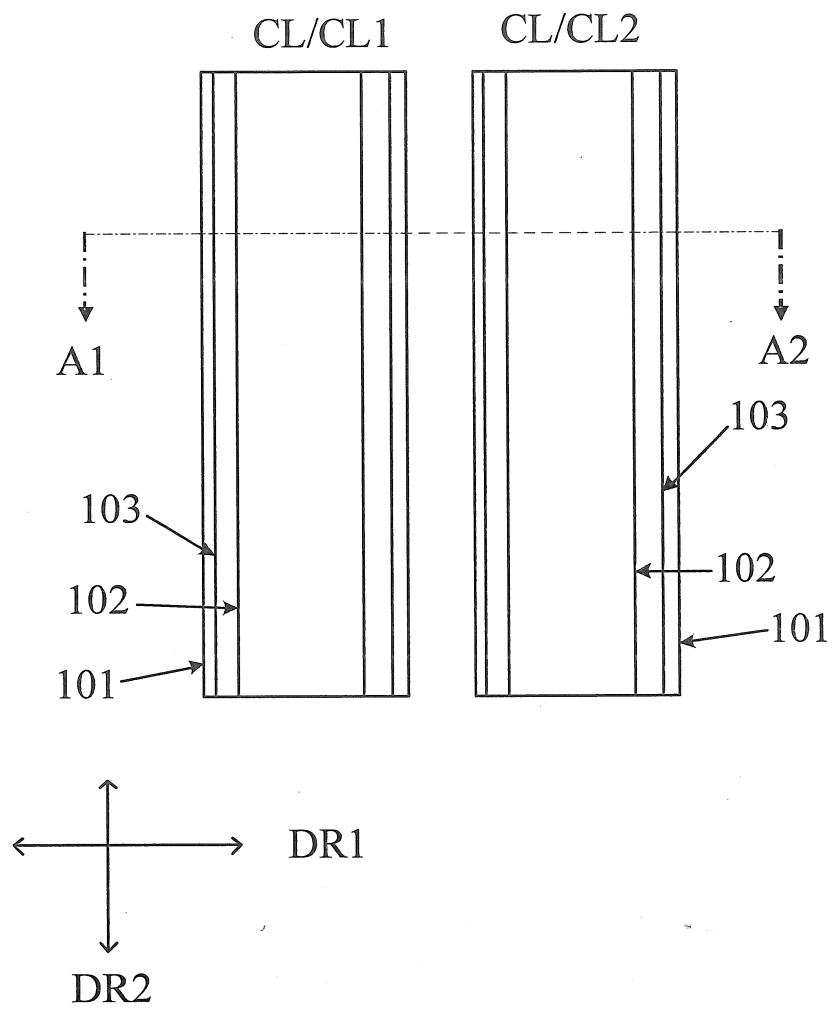


Fig.3

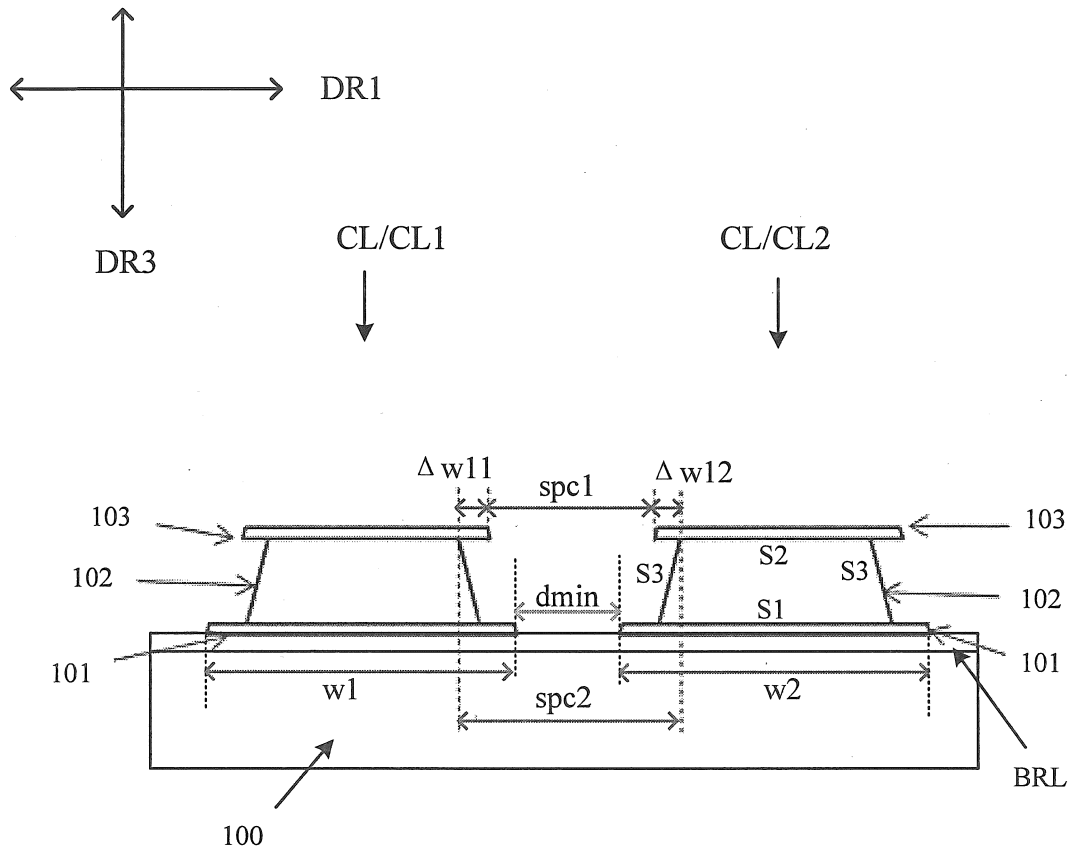


Fig. 4

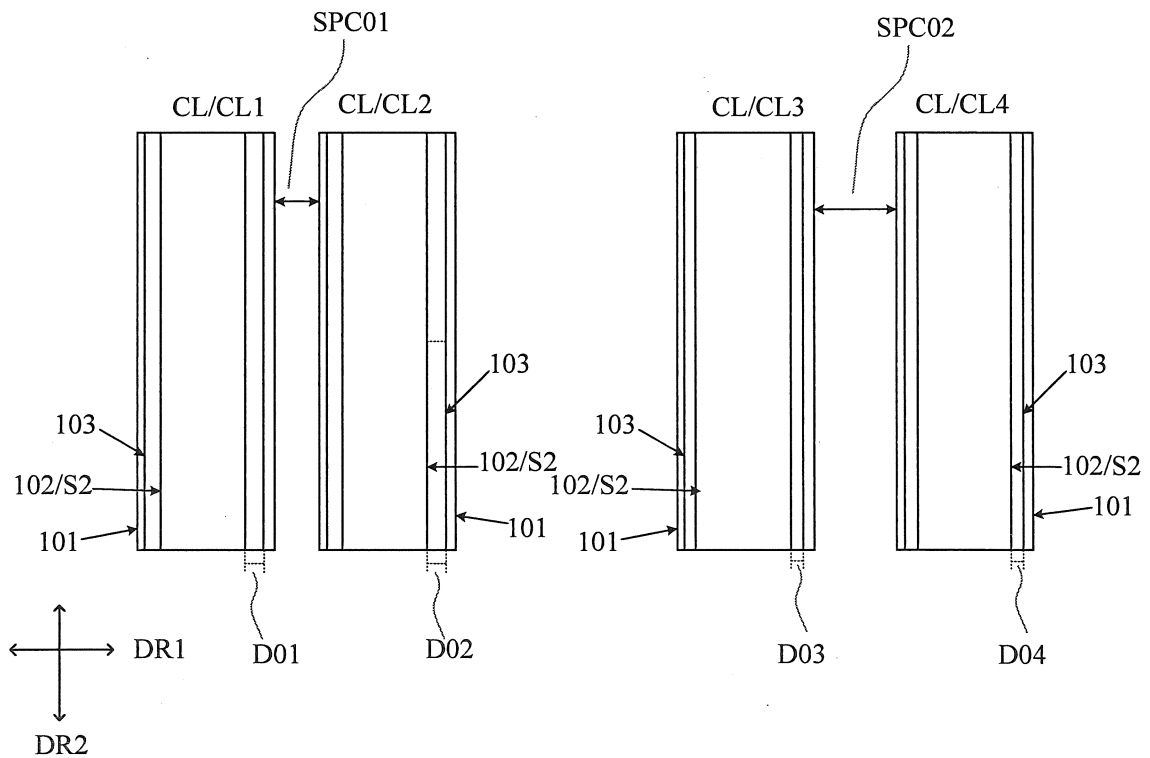


Fig. 5A

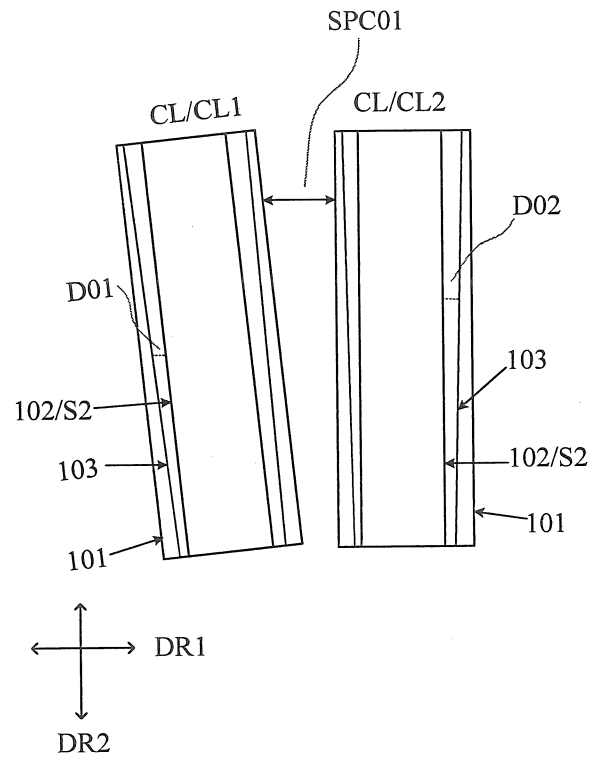


Fig.5B

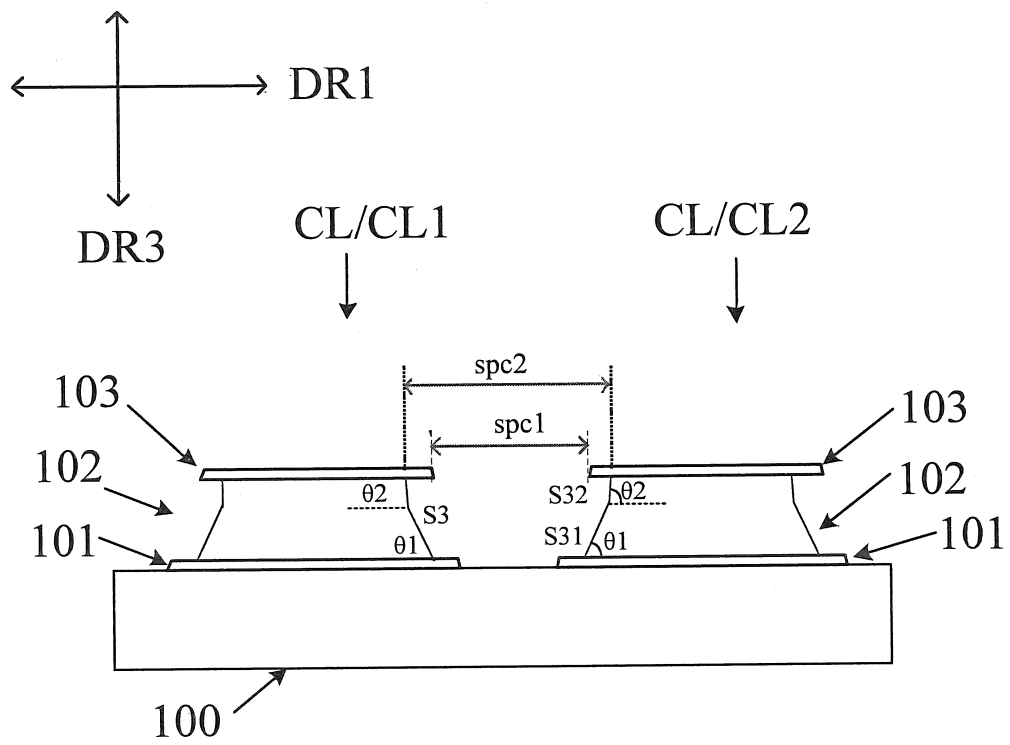


Fig.6A

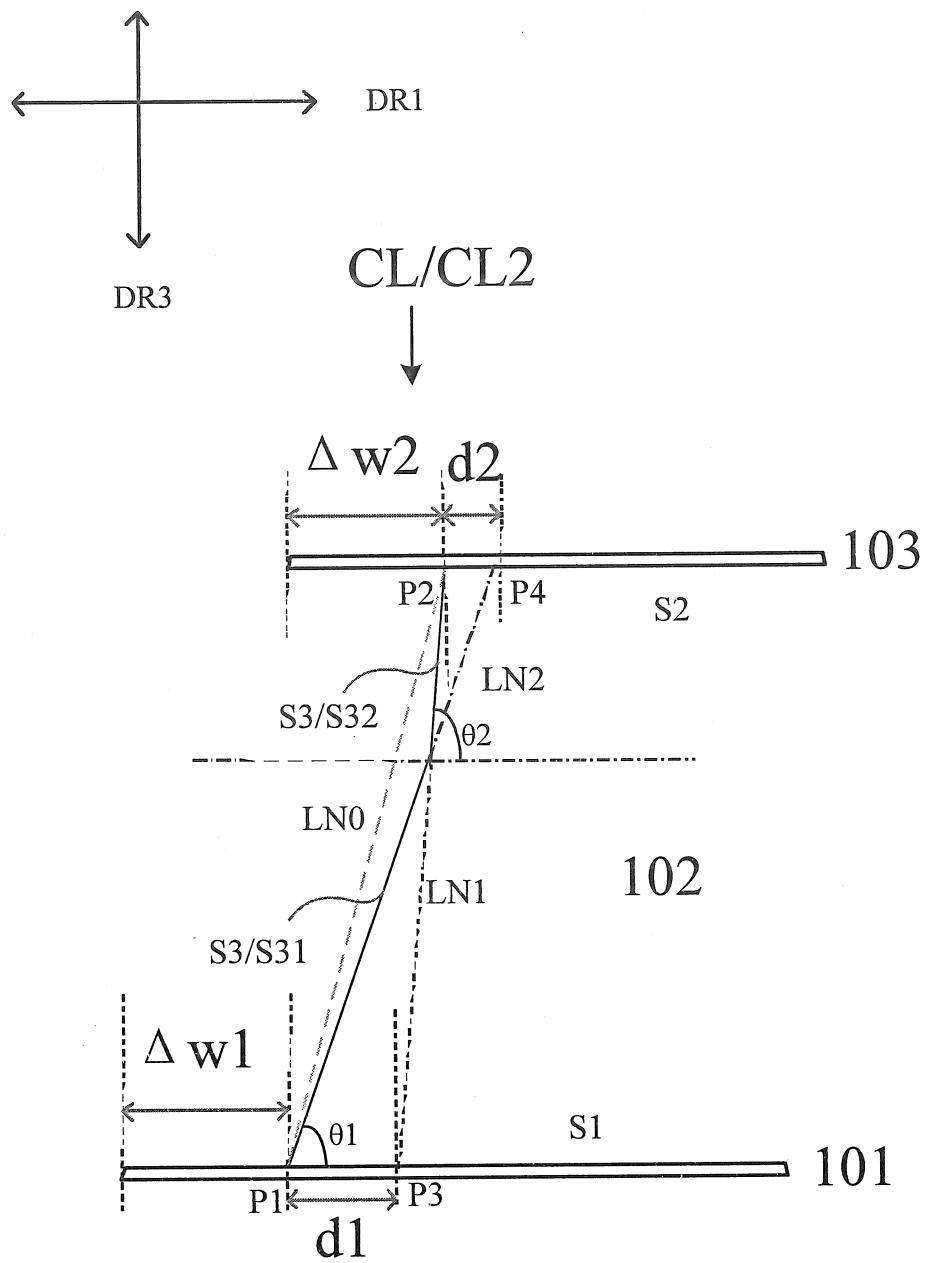


Fig.6B

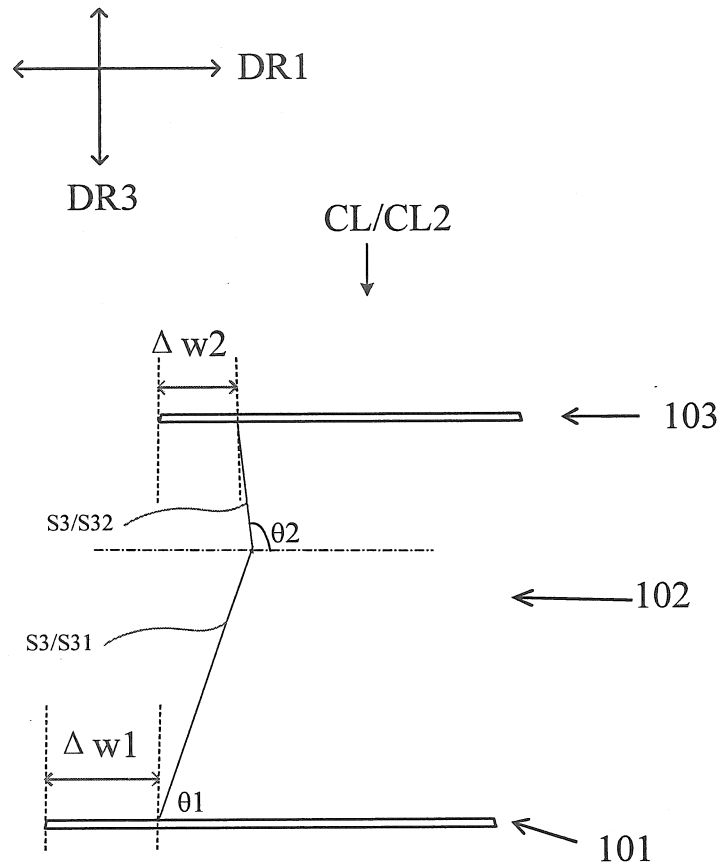


Fig. 7

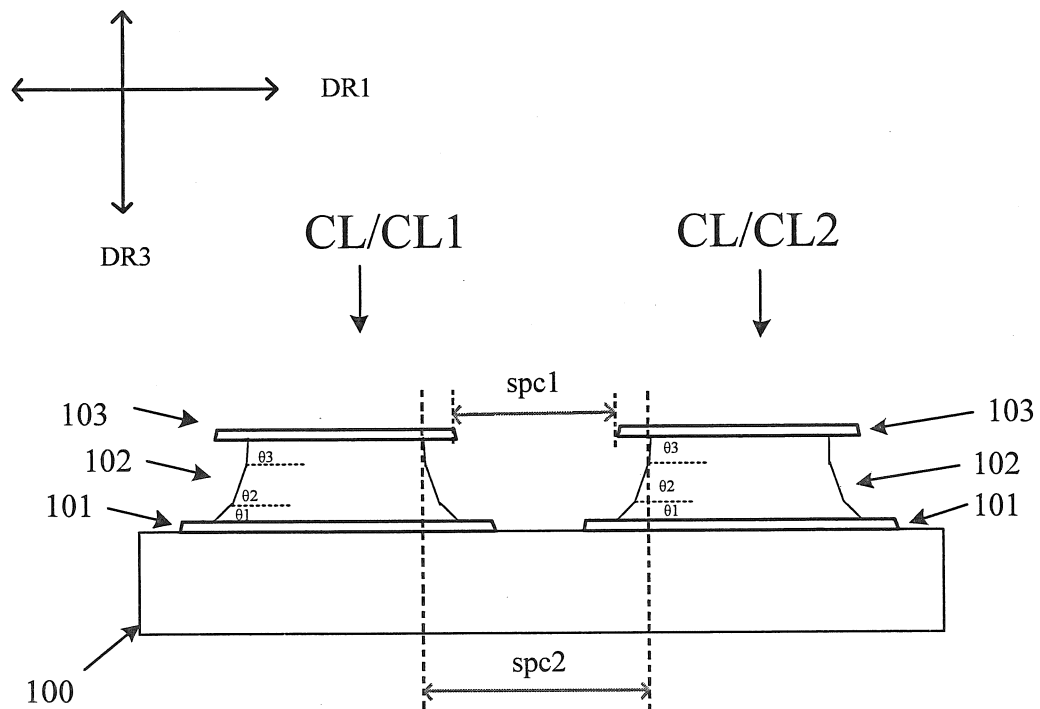


Fig. 8

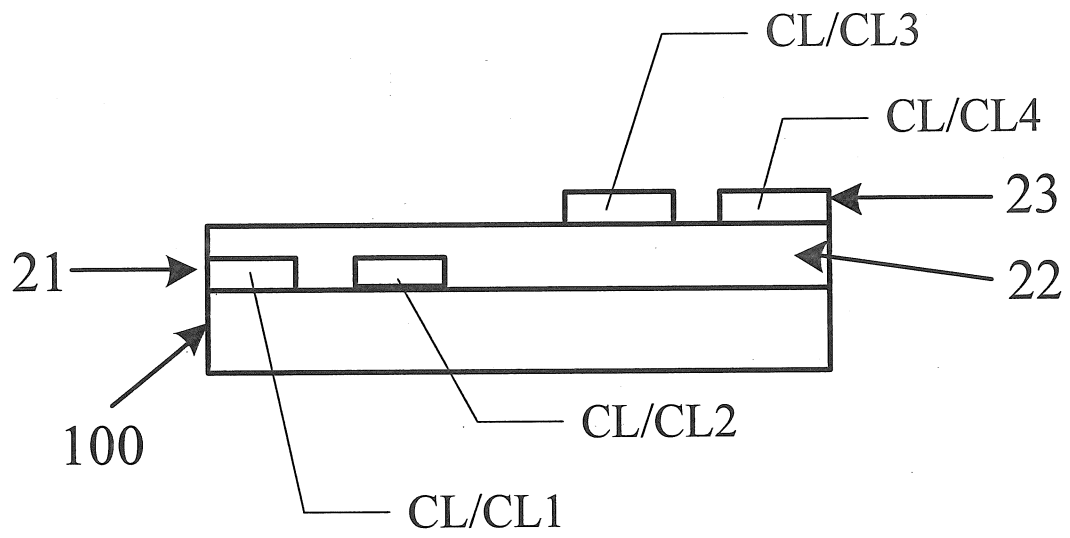


Fig.9

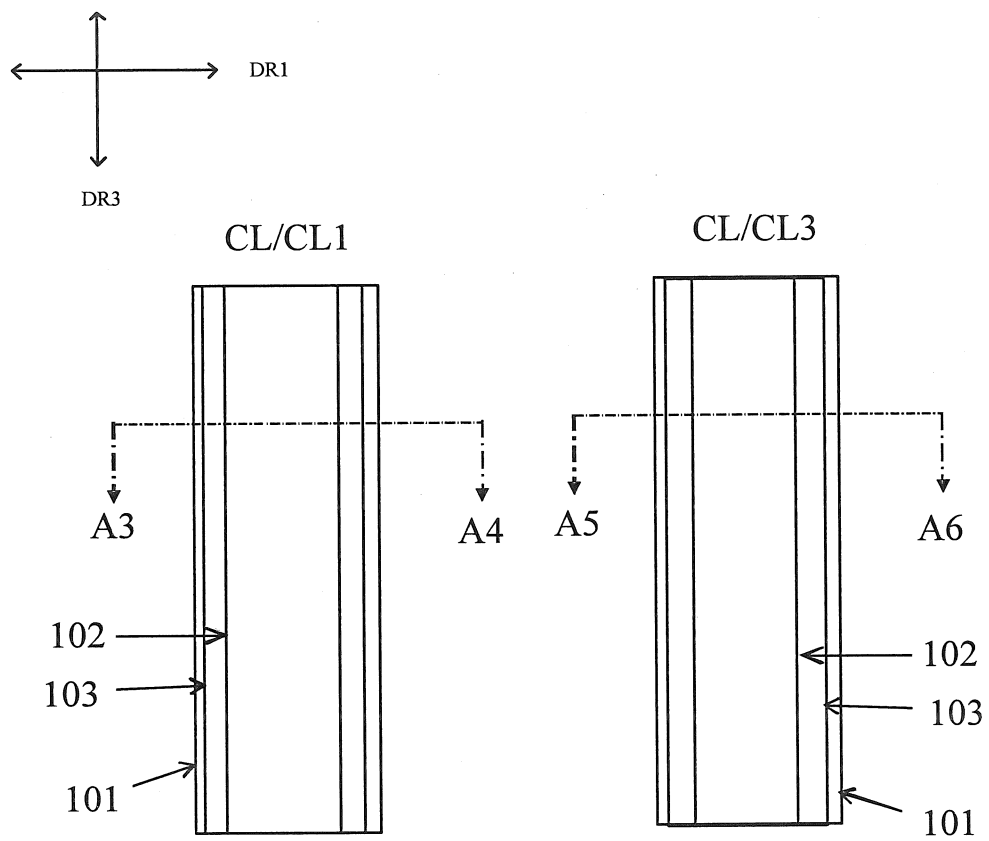


Fig.10

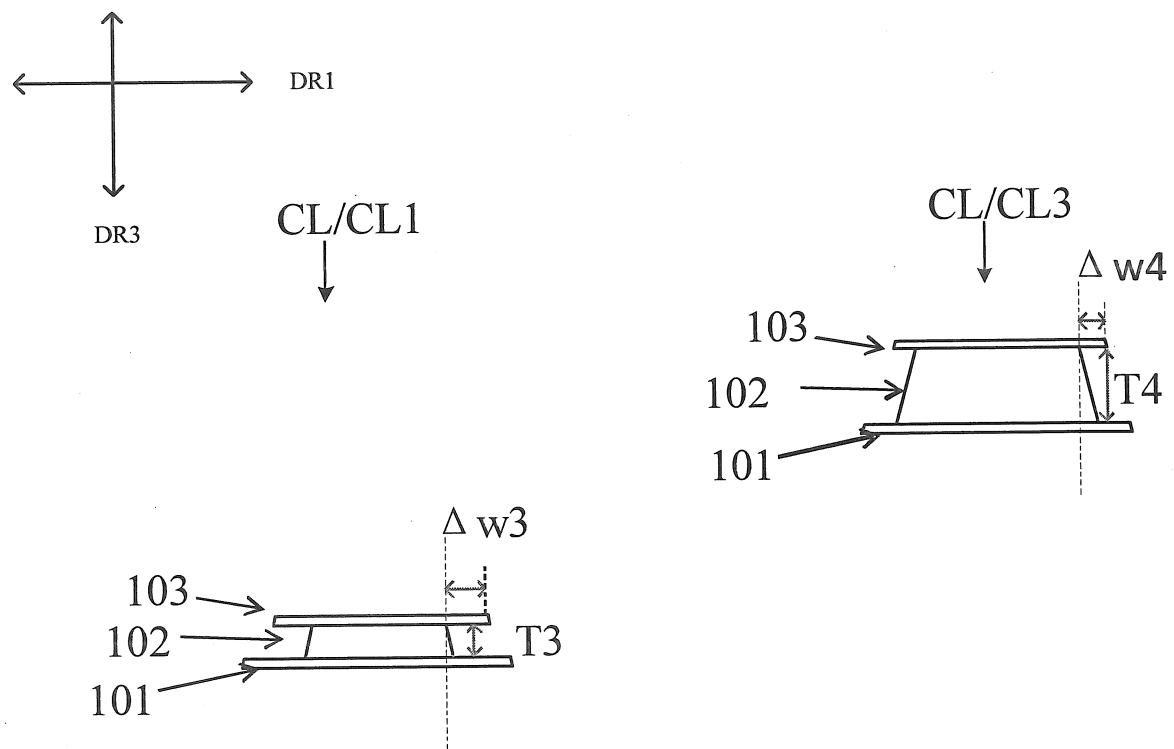


Fig.11

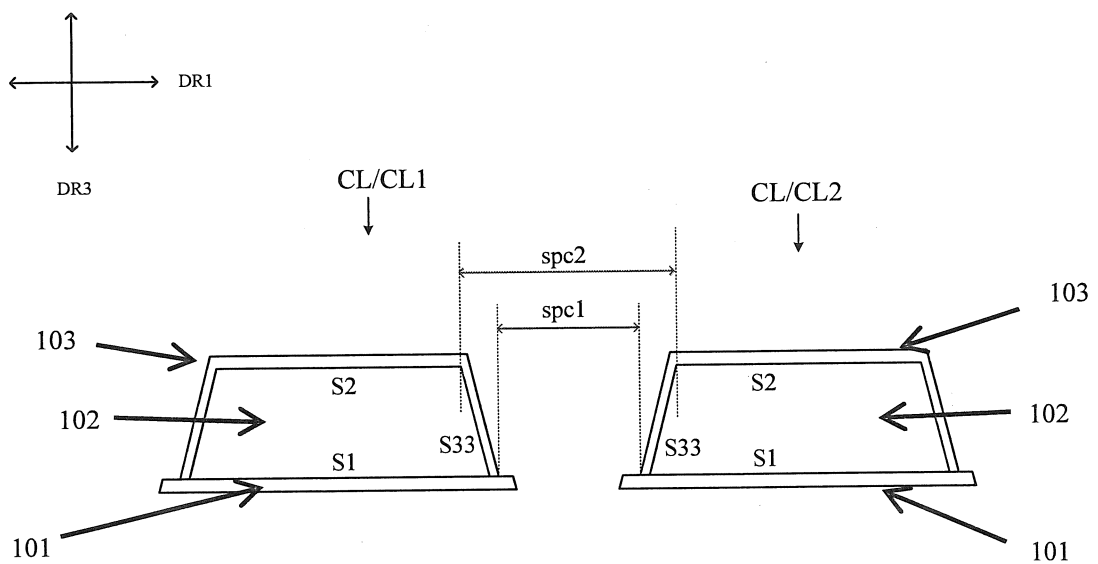


Fig.12

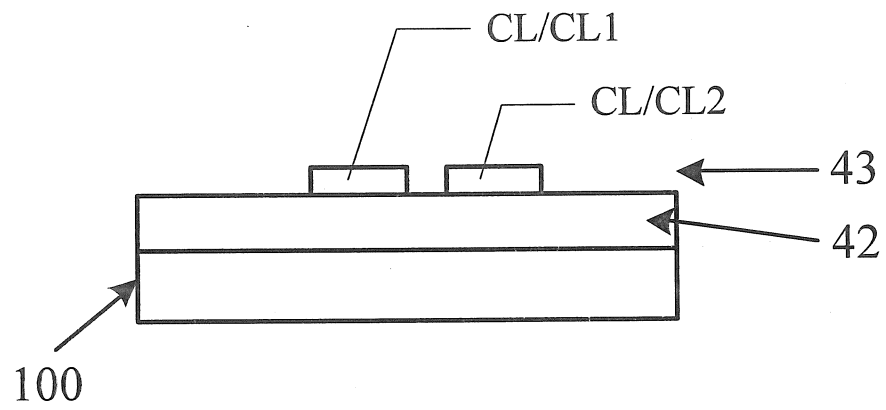


Fig.13

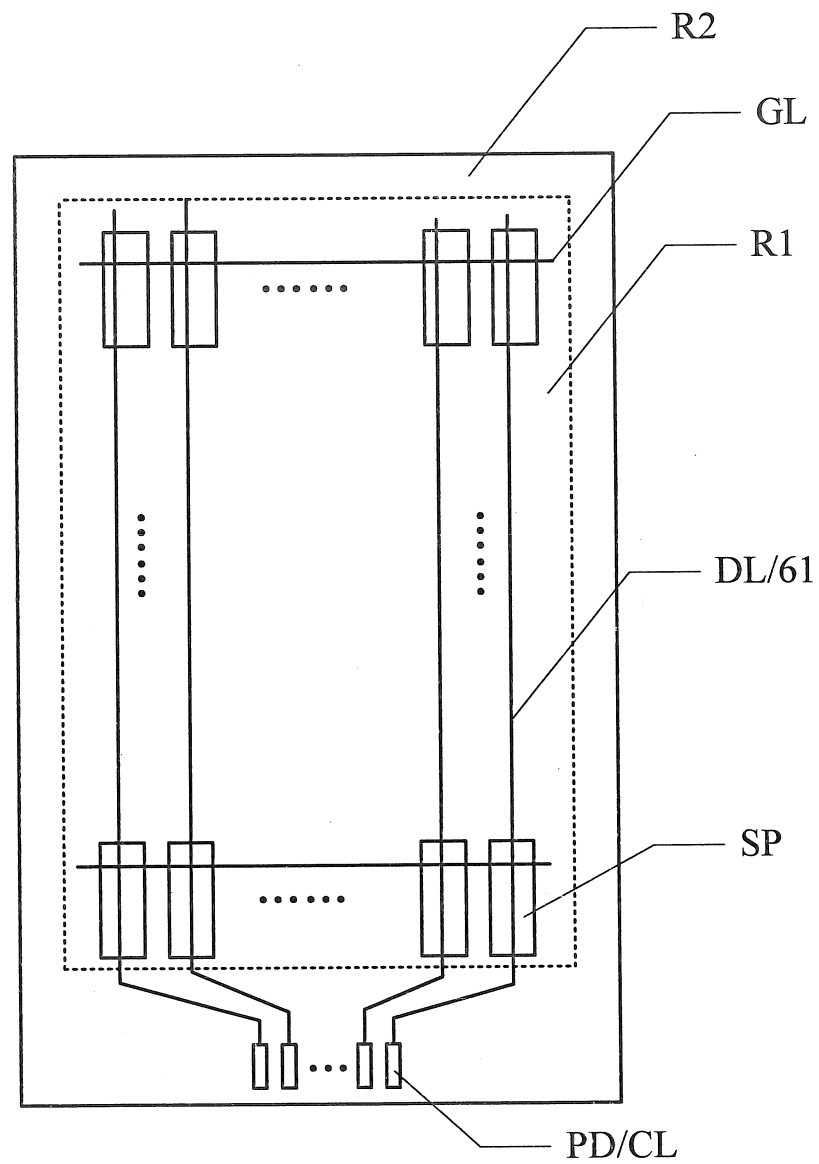


Fig.14

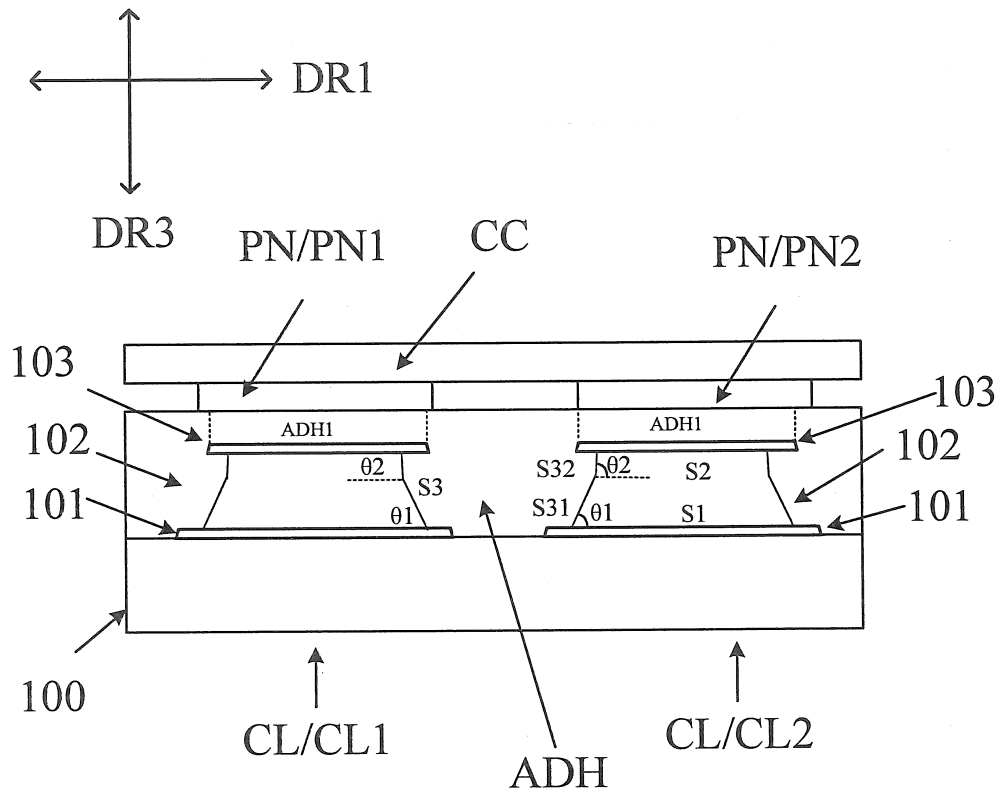


Fig.15A

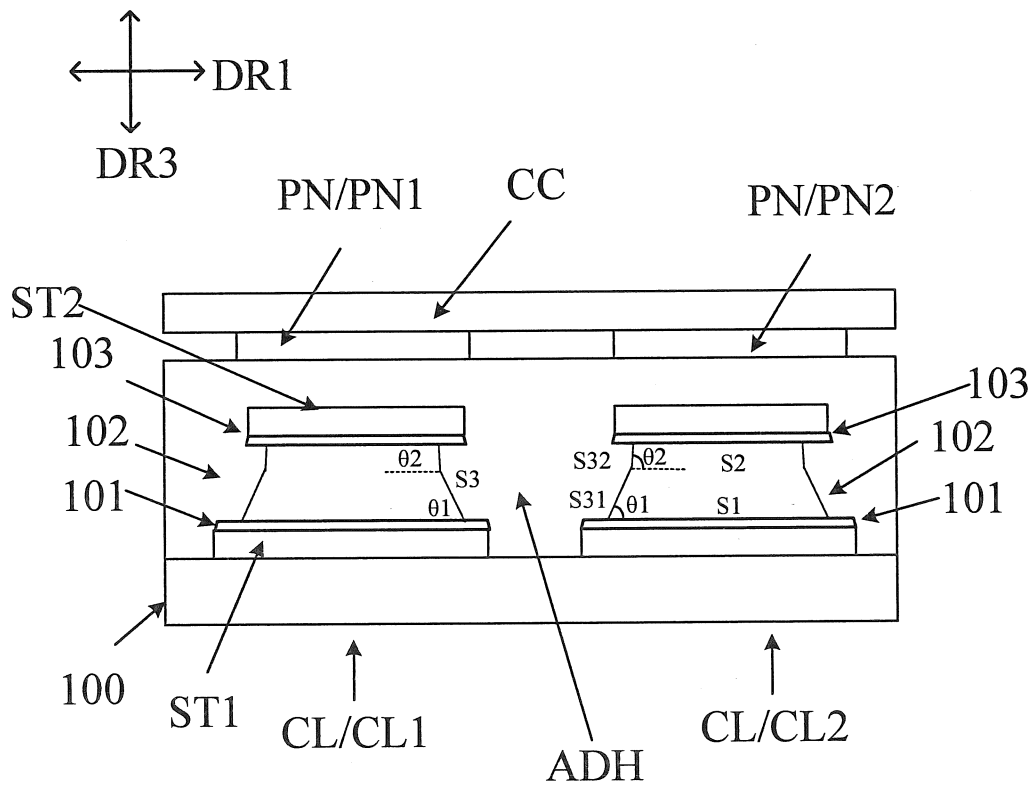


Fig.15B

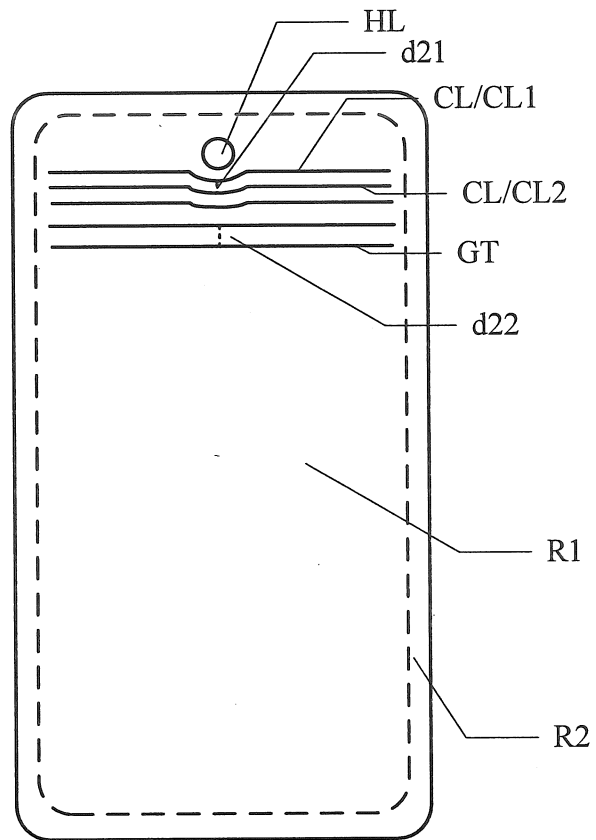


Fig.16A

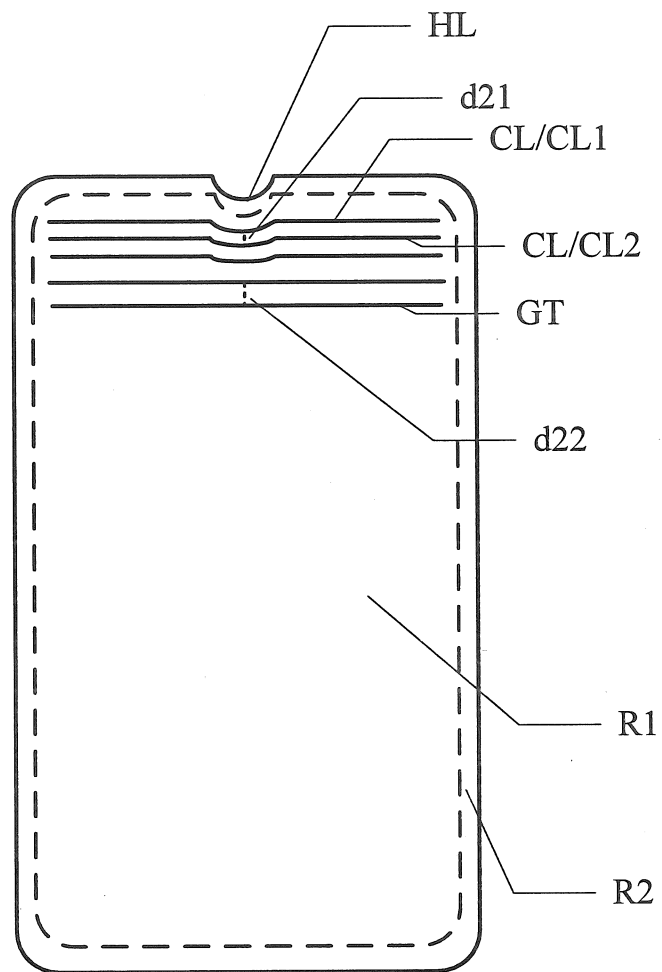


Fig.16B

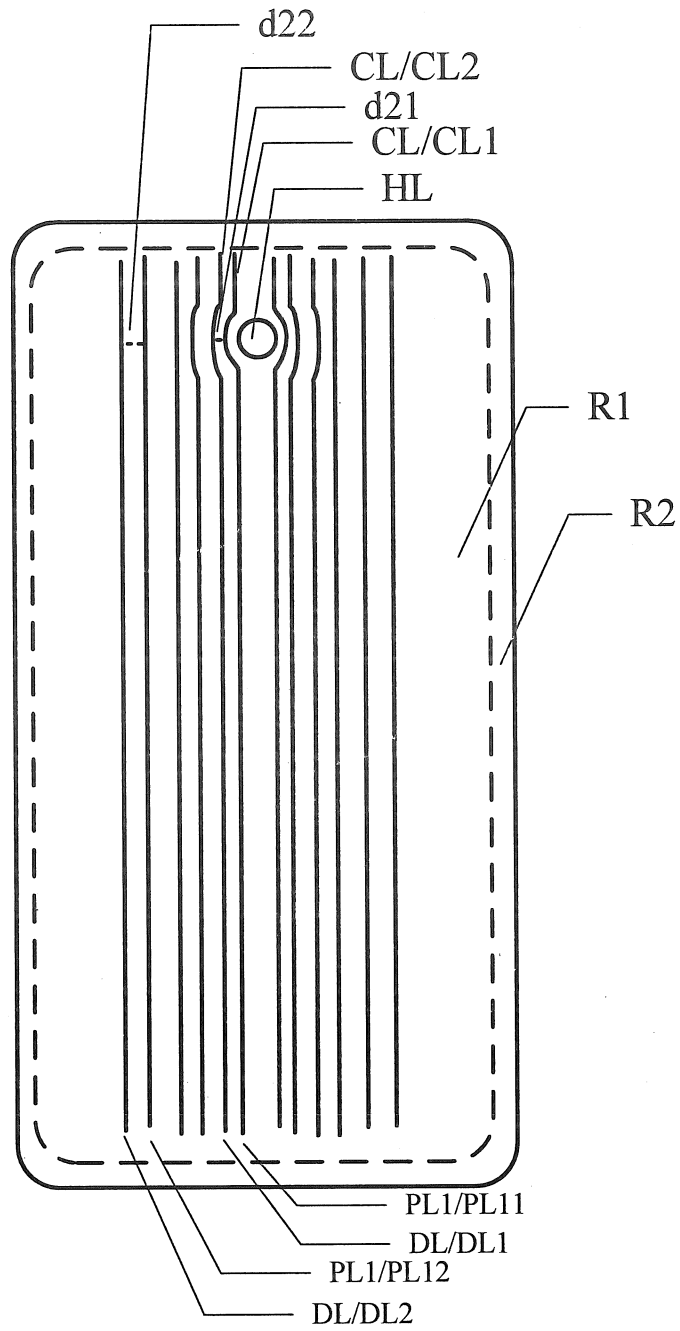


Fig.17A

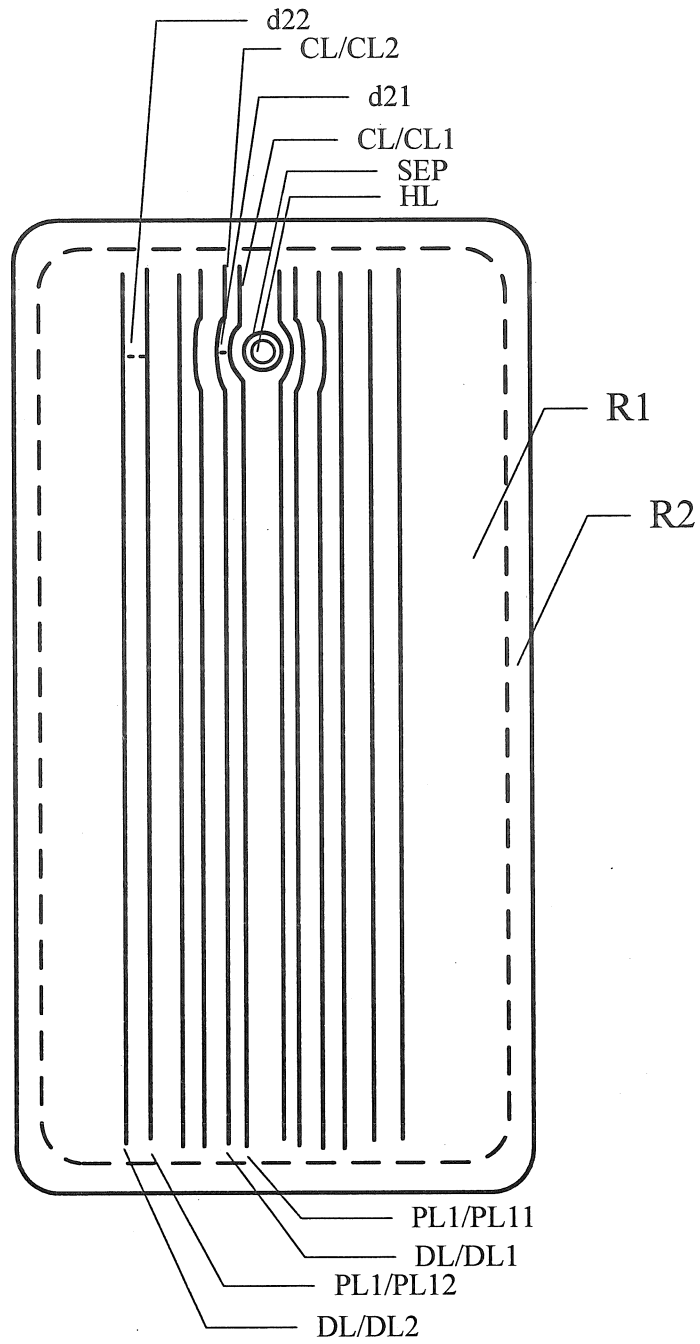


Fig.17B

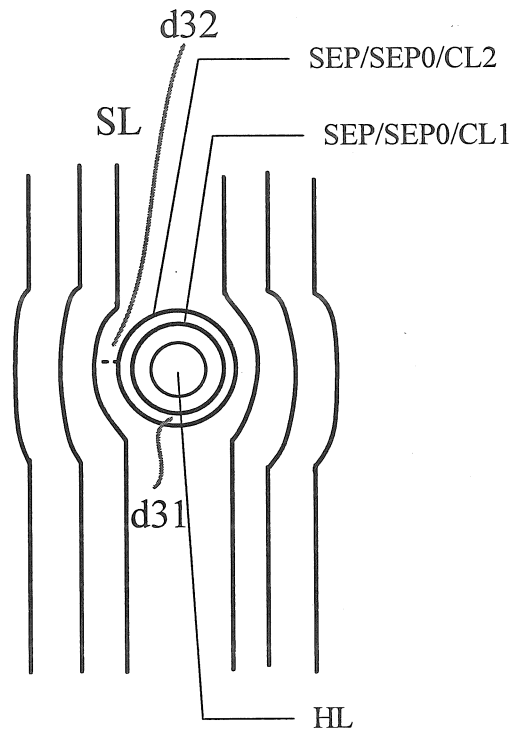


Fig.17C

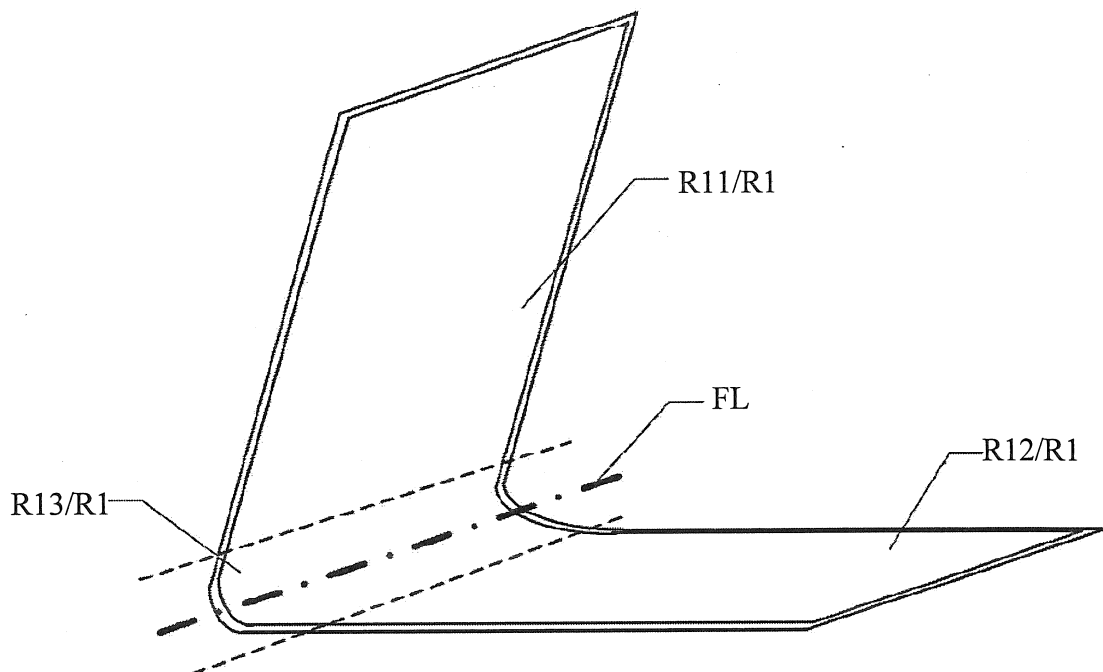


Fig.18

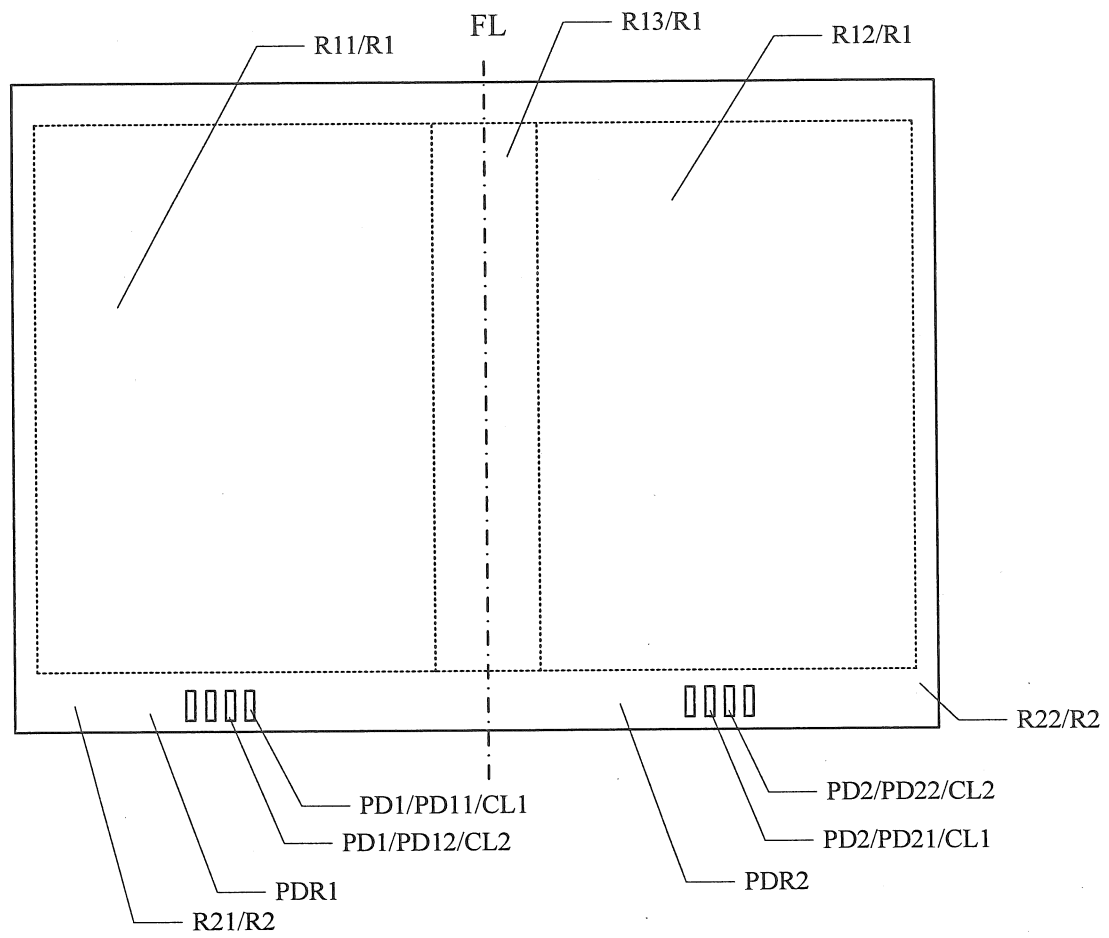


Fig.19

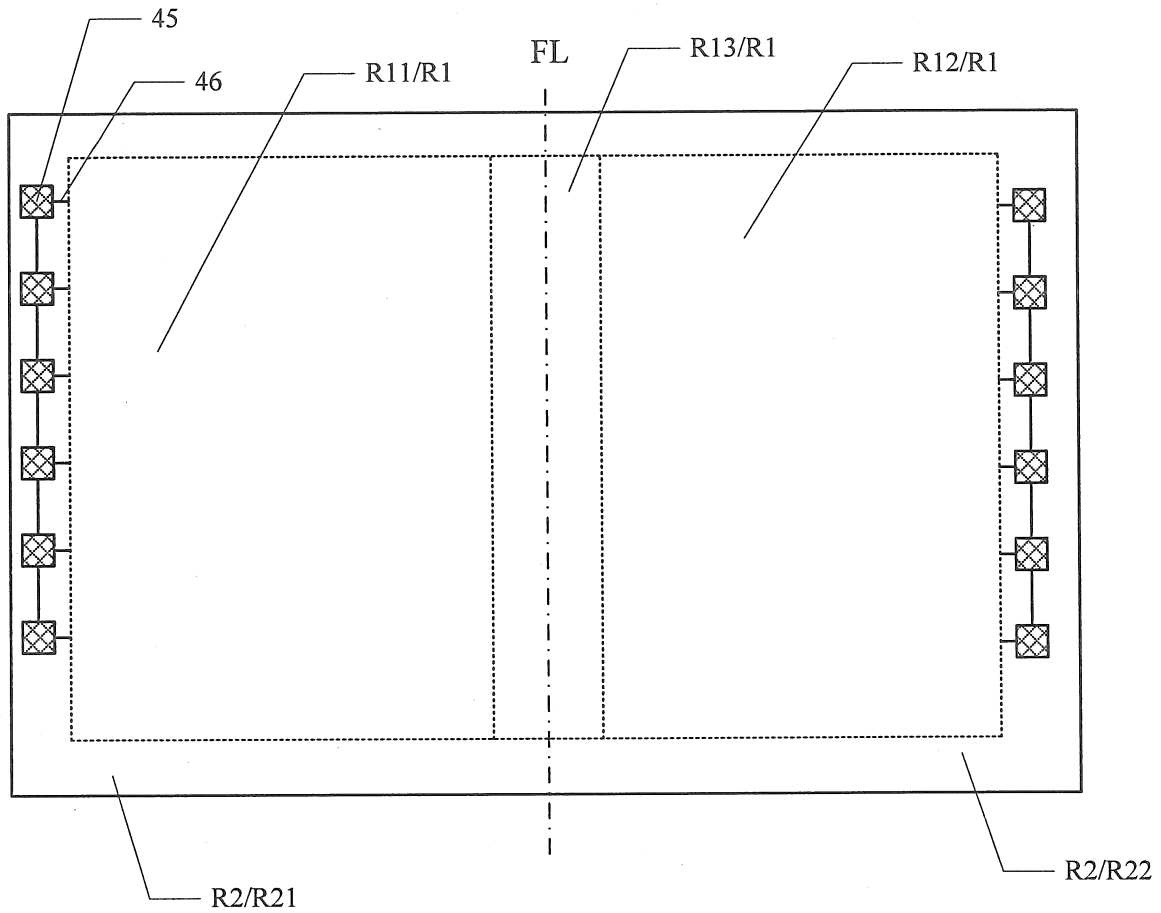


Fig.20

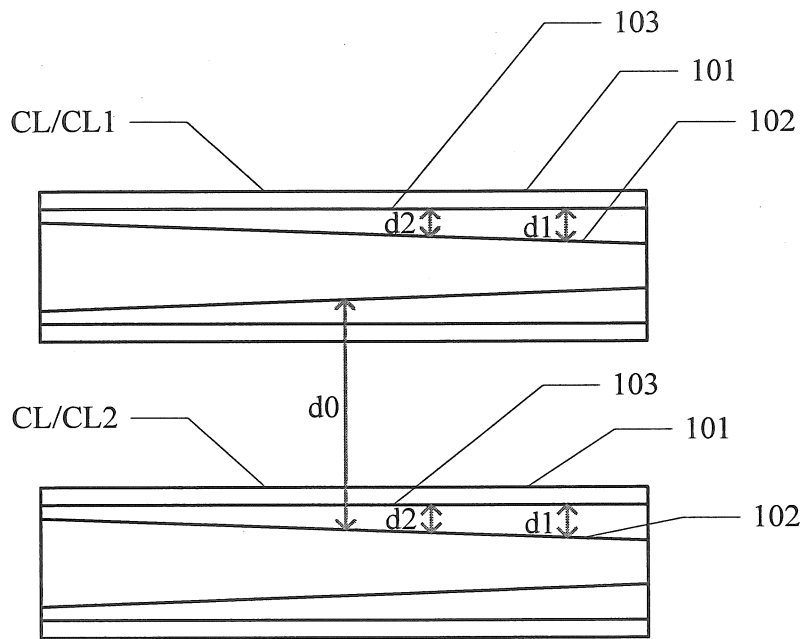


Fig.22B

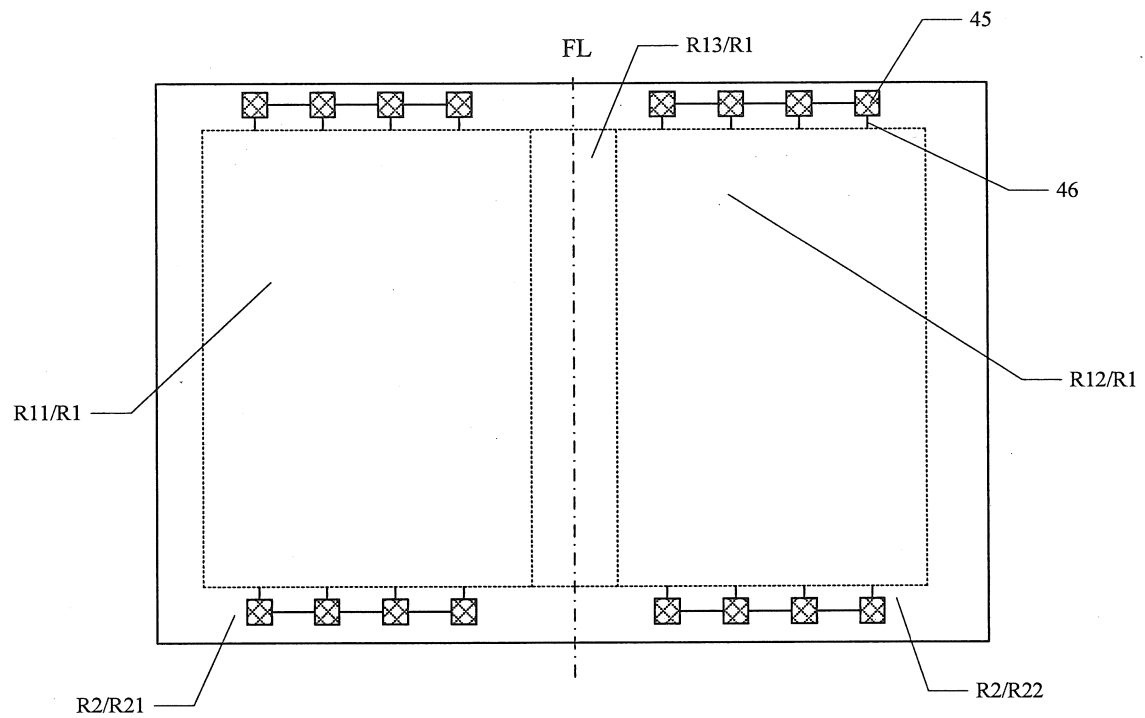


Fig.23

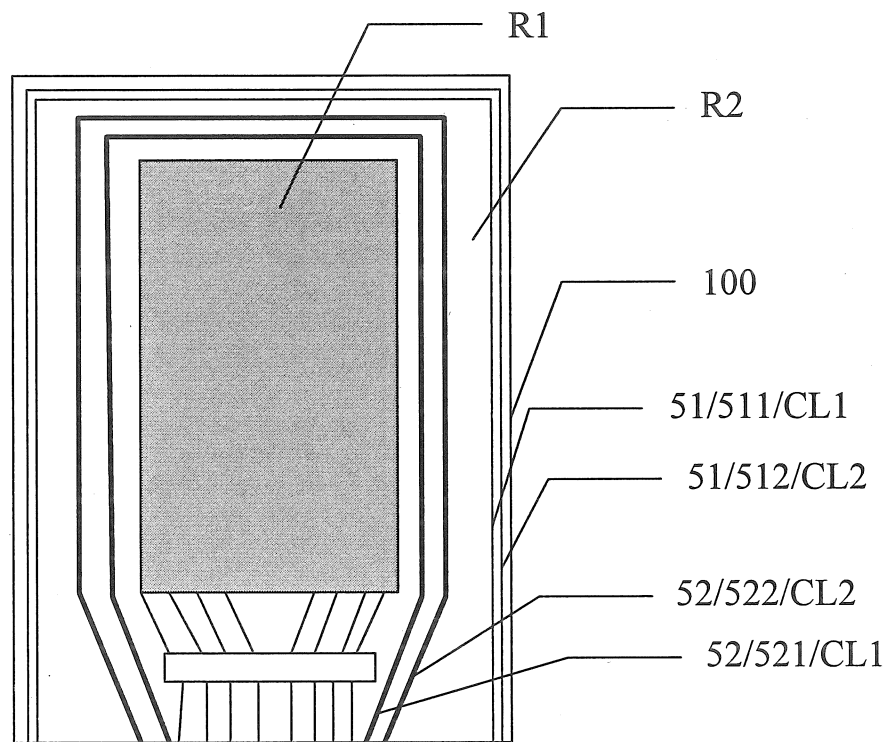


Fig. 24

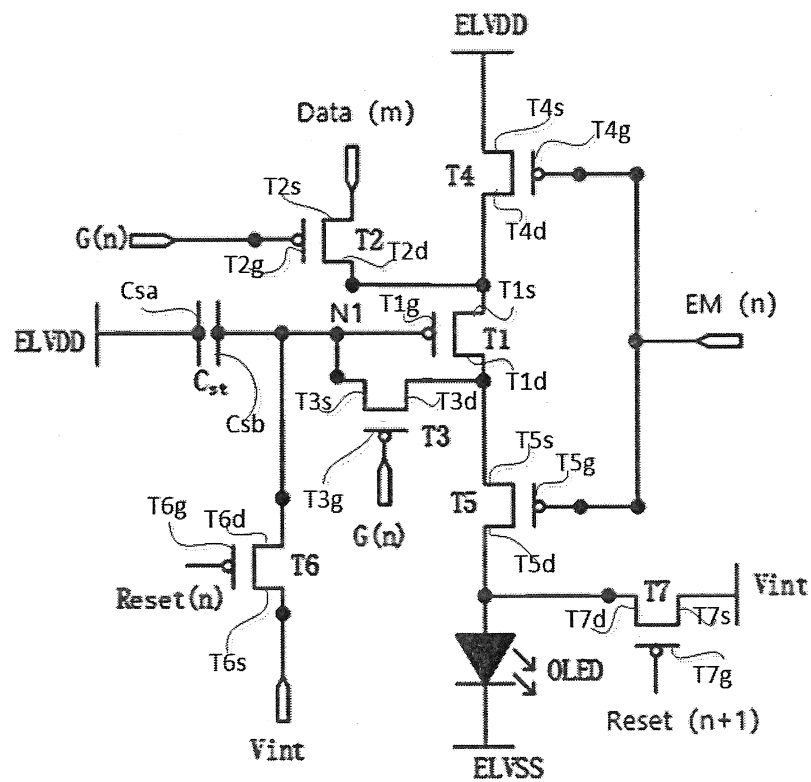


Fig. 25

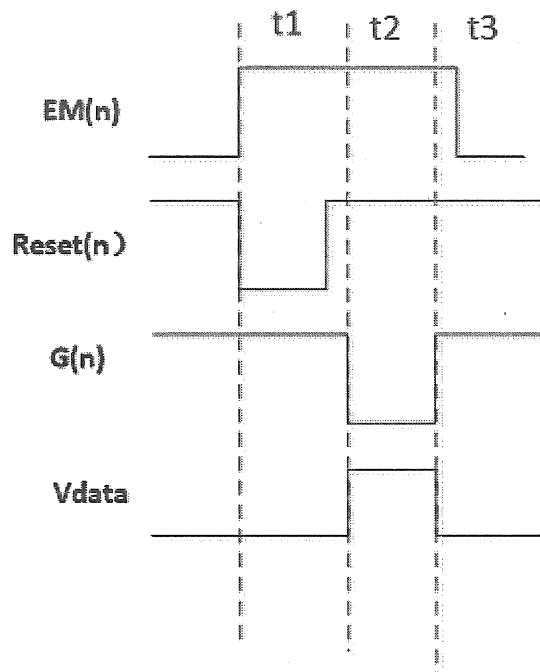


Fig.26

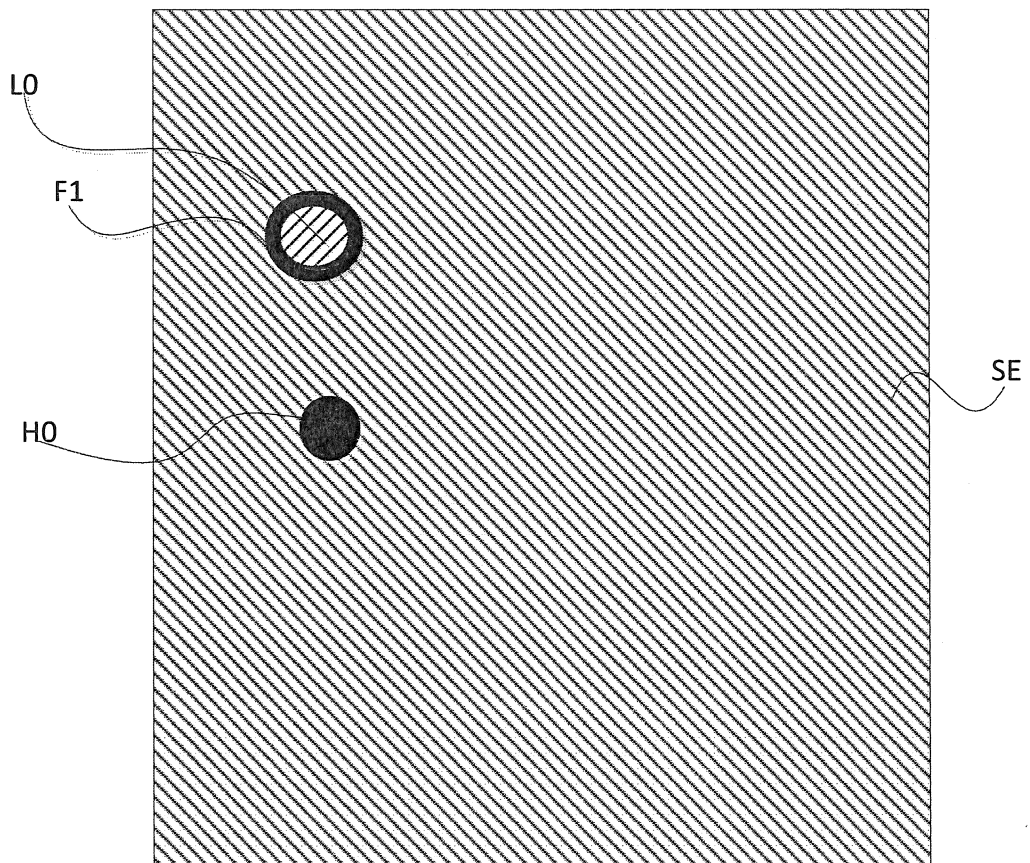


Fig.27

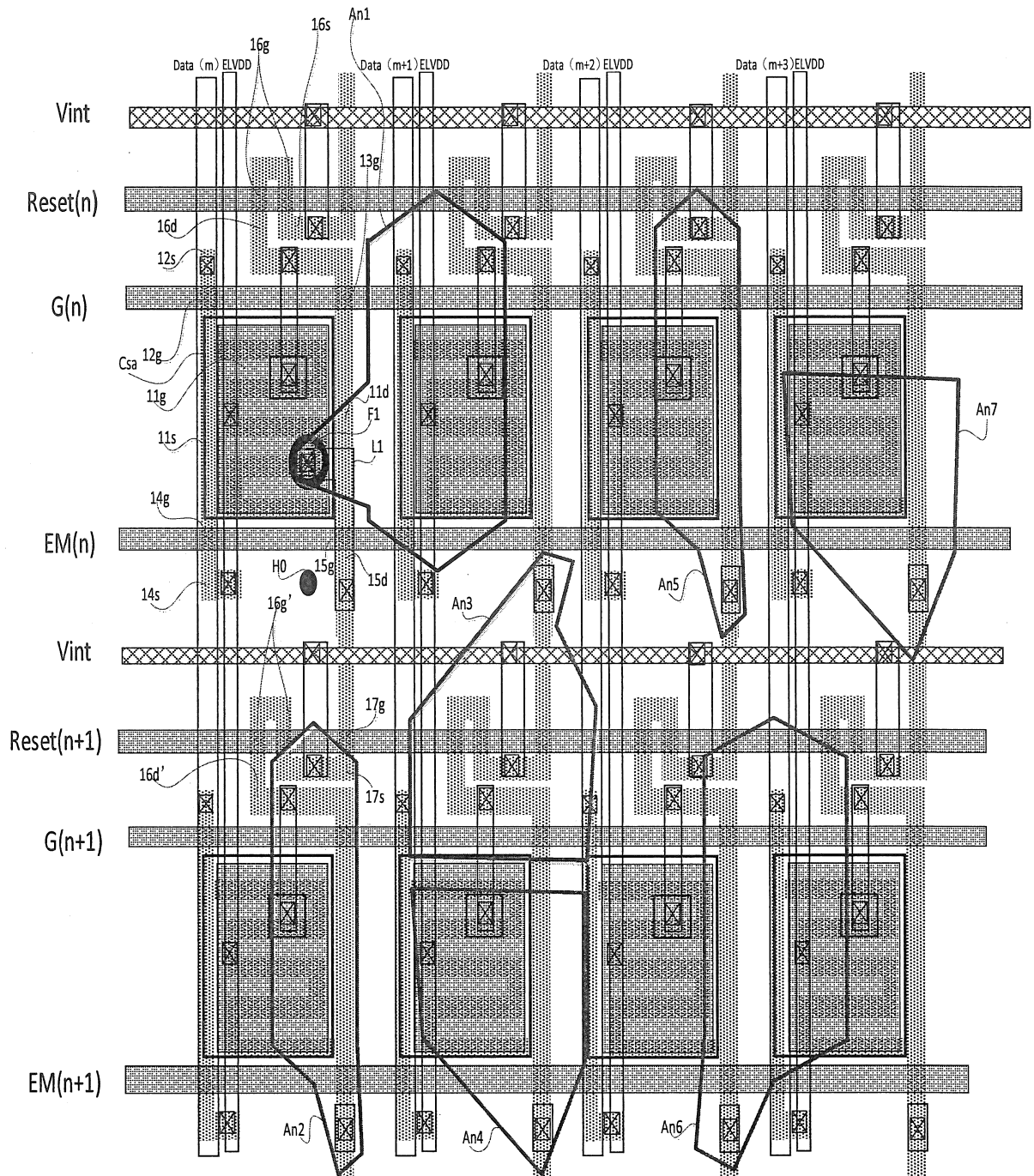


Fig.28

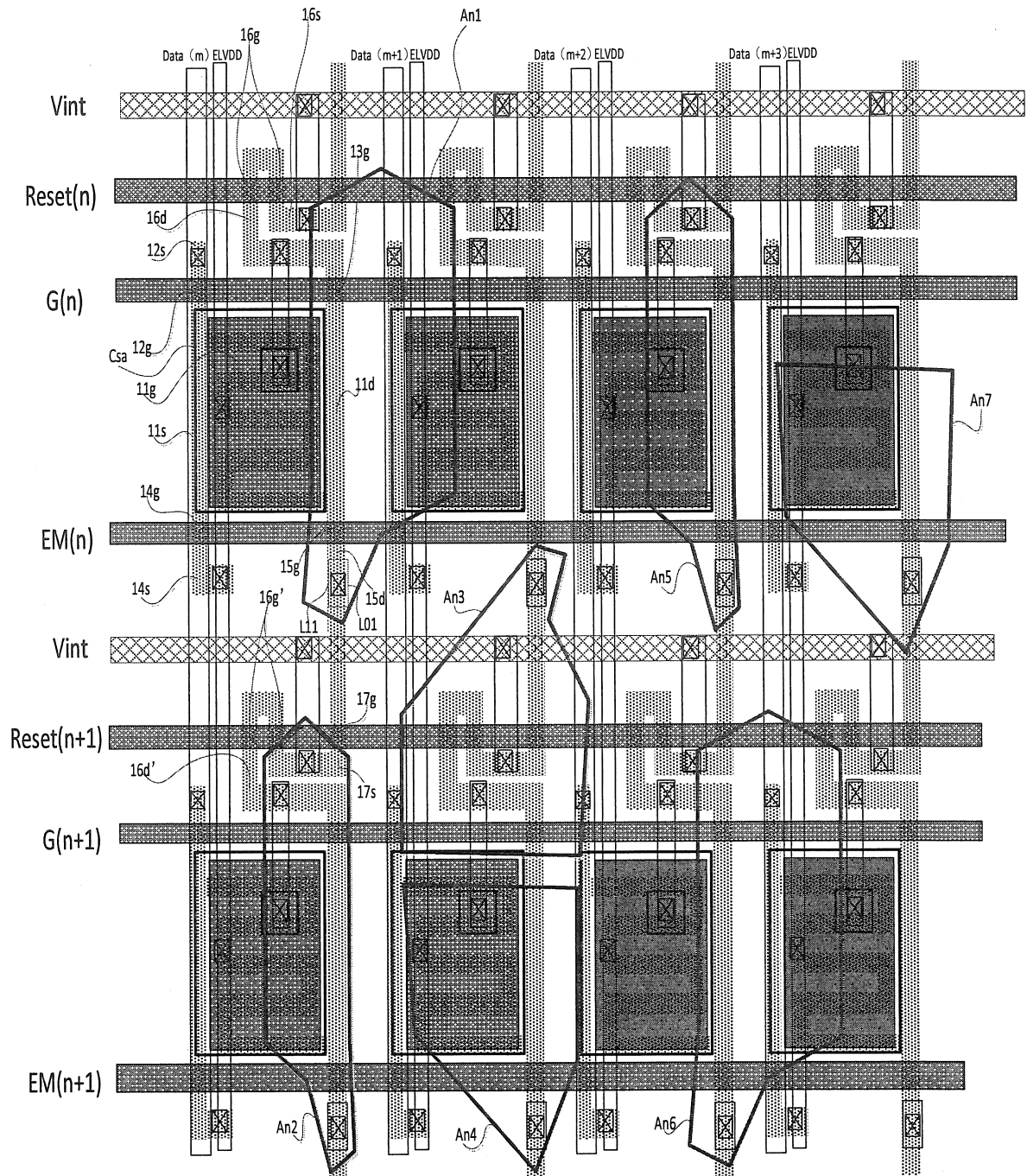


Fig.29

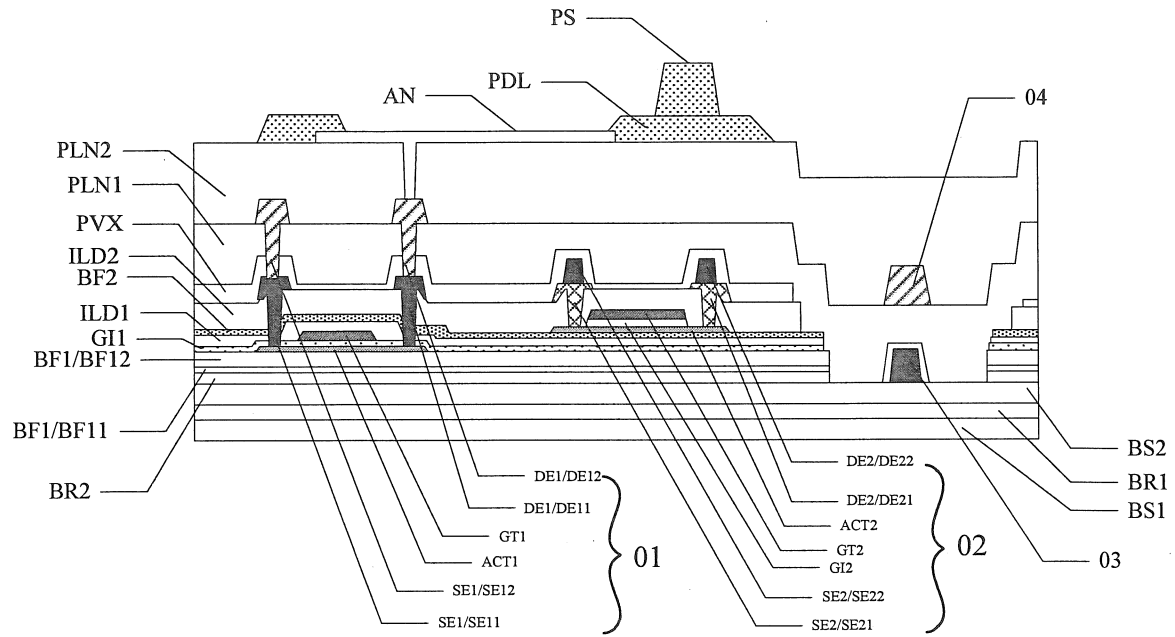


Fig.30

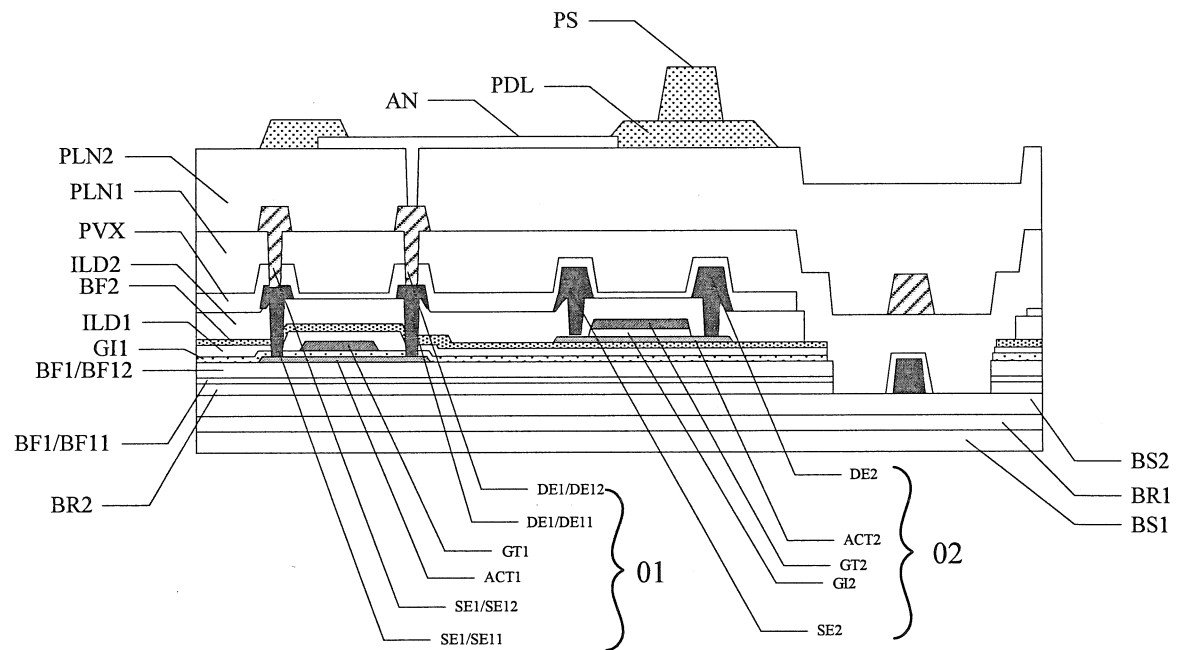


Fig.31

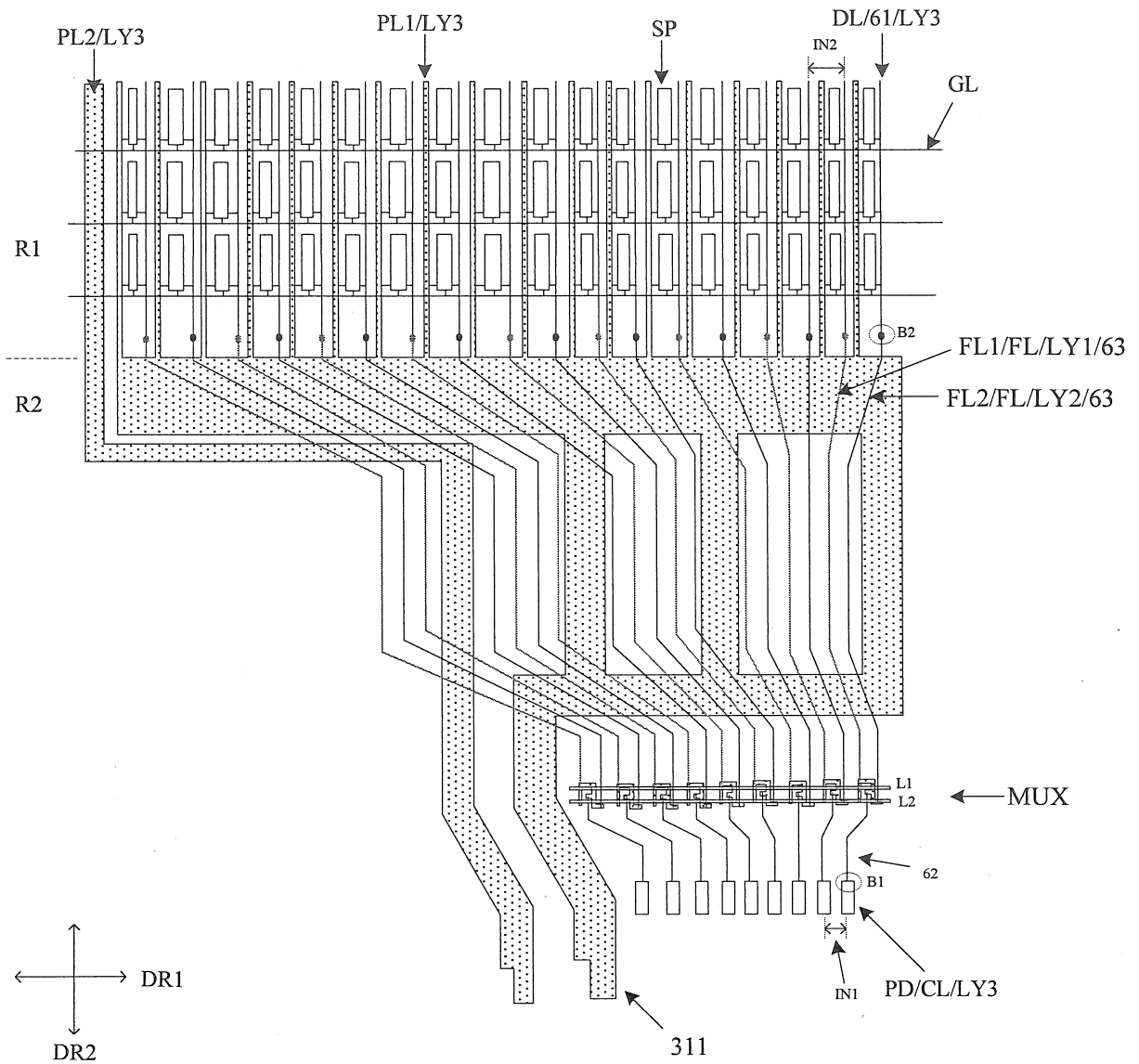


Fig.32

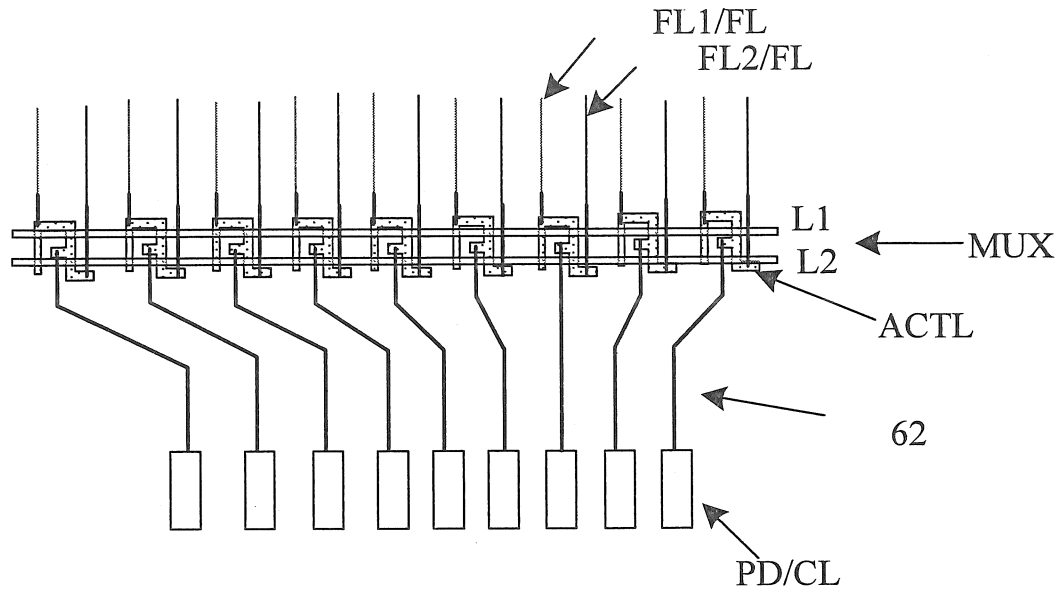


Fig.33

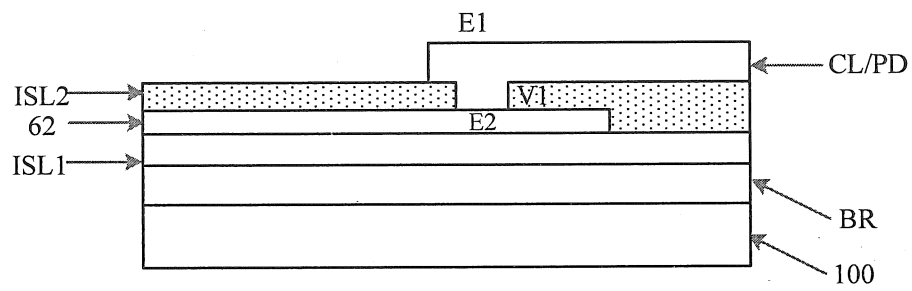


Fig.34A

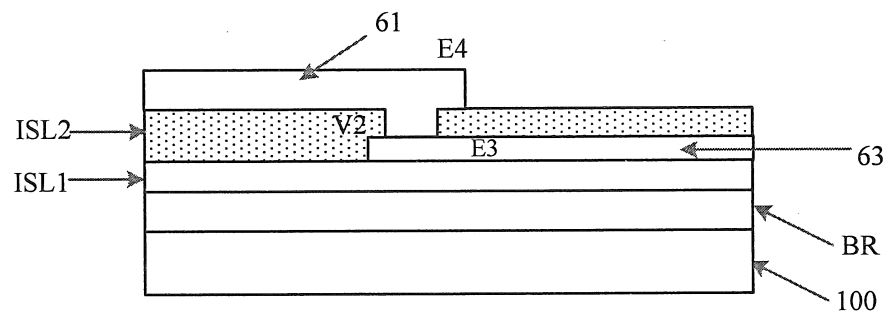


Fig.34B

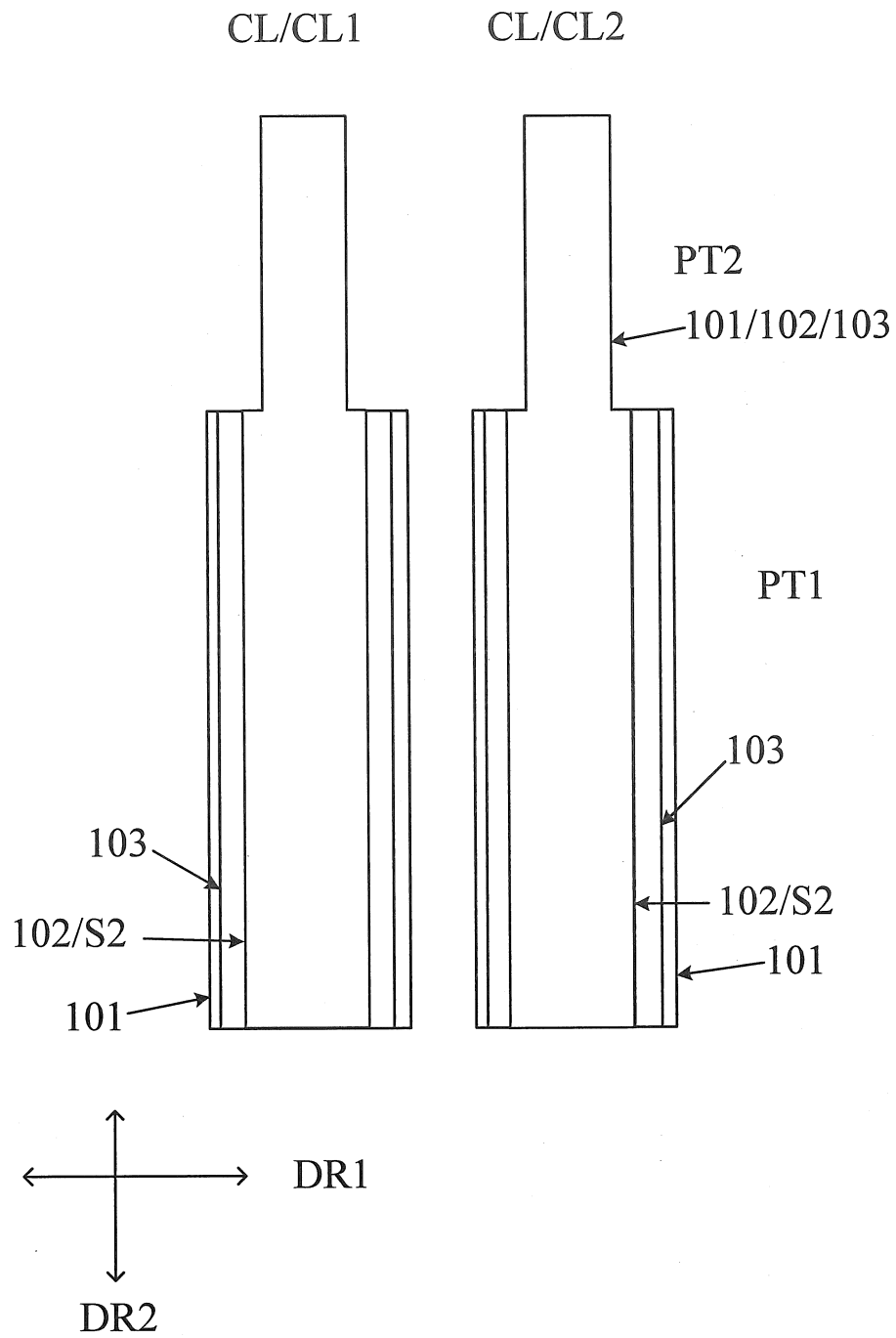


Fig.35