



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0051580

(51)^{2021.01} H01L 51/00

(13) B

(21) 1-2022-06973

(22) 26/10/2022

(30) 10-2021-0194663 31/12/2021 KR

(45) 25/09/2025 450

(43) 25/07/2023 424A

(73) LG Display Co., Ltd. (KR)

LG Twin Towers, 128, Yeouidaero, Yeungdeungpo-gu, Seoul 07336, Korea

(72) LEE, Jae Young (KR); JUNG, Dae Sung (KR); LEE, Sung Woo (KR).

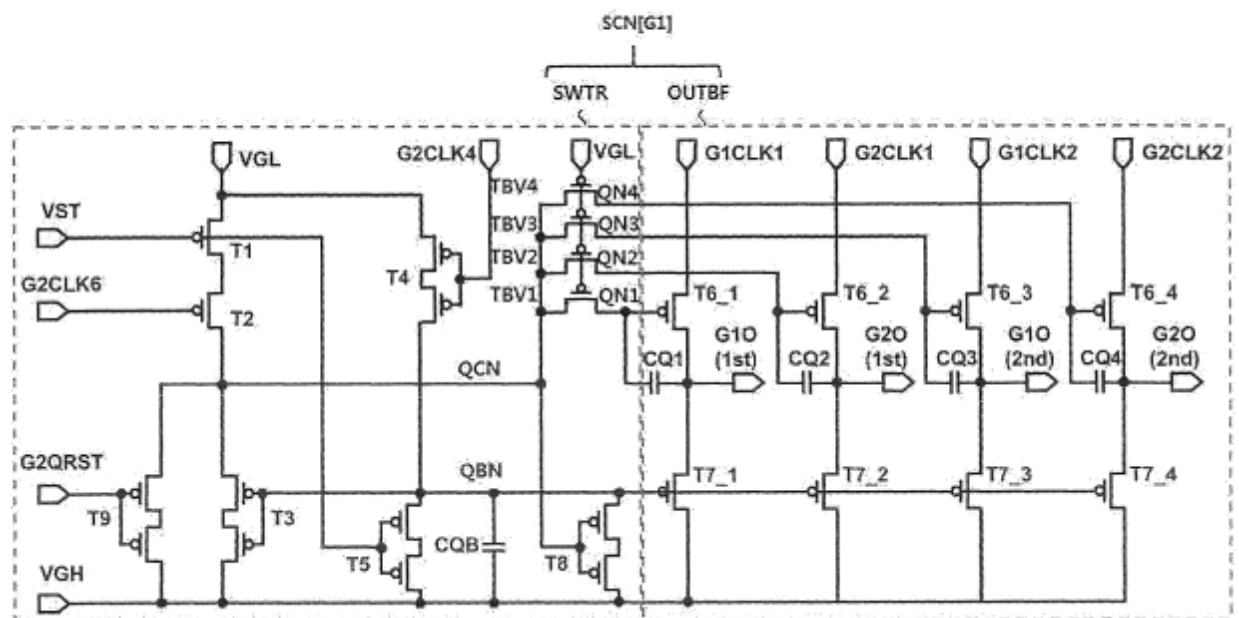
(74) Công ty Luật TNHH T&G (TGVN)

(54) MẠCH SINH RA TÍN HIỆU QUÉT VÀ THIẾT BỊ HIỂN THỊ CHỨA MẠCH SINH RA TÍN HIỆU QUÉT NÀY

(21) 1-2022-06973

(57) Sáng chế đề xuất thiết bị hiển thị chứa panen hiển thị và bộ sinh ra tín hiệu quét được tạo cấu hình để sinh ra tín hiệu quét thứ (1-1) và tín hiệu quét thứ (1-2) để được cấp đến đường nằm ngang thứ nhất của panen hiển thị và tín hiệu quét thứ (2-1) và tín hiệu quét thứ (2-2) để được cấp đến đường nằm ngang thứ hai của panen hiển thị, trong đó bộ sinh ra tín hiệu quét chứa mạch chuyển mạch, và mạch đầu ra. Sáng chế còn đề xuất mạch sinh ra tín hiệu quét.

FIG.22



Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập đến mạch sinh ra tín hiệu quét và thiết bị hiển thị chứa mạch sinh ra tín hiệu quét này.

Tình trạng kỹ thuật của sáng chế

Với sự phát triển của công nghệ thông tin, thị trường cho các thiết bị hiển thị, vốn là các phương tiện kết nối giữa những người dùng và thông tin, đang tăng trưởng. Theo đó, các thiết bị hiển thị như thiết bị hiển thị phát sáng (light emitting display - LED), thiết bị hiển thị chấm lượng tử (quantum dot display - QDD), và thiết bị hiển thị tinh thể lỏng (liquid crystal display - LCD) được sử dụng ngày càng tăng.

Các thiết bị hiển thị được mô tả ở trên chứa panen hiển thị chứa các điểm ảnh phụ, bộ điều vận xuất ra các tín hiệu điều vận để điều vận panen hiển thị, bộ cấp công suất đang sinh ra công suất cần được cấp đến panen hiển thị hoặc bộ điều vận, và dạng tương tự.

Trong các thiết bị hiển thị được đề cập ở trước, khi các tín hiệu điều vận, ví dụ, tín hiệu quét và tín hiệu dữ liệu, được cấp đến các điểm ảnh phụ được tạo thành trong panen hiển thị, thì các điểm ảnh phụ được chọn truyền ánh sáng hoặc phát ánh sáng một cách trực tiếp, nhờ đó hiển thị hình ảnh.

Bản chất kỹ thuật của sáng chế

Mục tiêu của sáng chế là để làm giảm diện tích mạch của thanh ghi dịch để xuất ra tín hiệu quét bằng cách nhóm và tích hợp tổng cộng bốn bộ sinh ra tín hiệu quét được chứa trong hai tầng để xây dựng một mạch sinh ra tín hiệu quét được tích hợp, và làm

giảm kích cỡ của mép của panen hiển thị theo việc giảm về diện tích mạch của thanh ghi dịch.

Để đạt được các mục tiêu này và các ưu điểm khác và phù hợp với mục đích của sáng chế, như được thực hiện và được mô tả theo cách rộng ở đây, thiết bị hiển thị chứa panen hiển thị, và bộ sinh ra tín hiệu quét được tạo cấu hình để sinh ra tín hiệu quét thứ (1-1) và tín hiệu quét thứ (1-2) để được cấp đến đường nằm ngang thứ nhất của panen hiển thị và tín hiệu quét thứ (2-1) và tín hiệu quét thứ (2-2) để được cấp đến đường nằm ngang thứ hai của panen hiển thị, trong đó bộ sinh ra tín hiệu quét chứa mạch chuyển mạch chứa nút chung được nạp với điện áp thấp được áp dụng nhờ các hoạt động bật của tranzito thứ nhất và tranzito thứ hai, nút đảo ngược hoạt động ngược với nút chung, và các tranzito làm ổn định thứ nhất đến thứ tư có các điện cực thứ nhất được kết nối với nút chung, và các điện cực cổng được kết nối với đường điện áp thấp cổng, và mạch đầu ra chứa tranzito kéo lên thứ (1-1) và tranzito kéo lên thứ (1-2) xuất ra tín hiệu quét thứ (1-1) và tín hiệu quét thứ (1-2) đáp lại điện áp của nút thứ nhất tương ứng với điện cực thứ hai của tranzito làm ổn định thứ nhất và điện áp của nút thứ hai tương ứng với điện cực thứ hai của tranzito làm ổn định thứ hai, và tranzito kéo lên thứ (2-1) và tranzito kéo lên thứ (2-2) xuất ra tín hiệu quét thứ (2-1) và tín hiệu quét thứ (2-2) đáp lại điện áp của nút thứ ba tương ứng với điện cực thứ hai của tranzito làm ổn định thứ ba và điện áp của nút thứ tư tương ứng với điện cực thứ hai của tranzito làm ổn định thứ tư.

Tranzito kéo lên thứ (1-1) có thể có điện cực cổng được kết nối với nút thứ nhất, điện cực thứ nhất được kết nối với đường tín hiệu nhịp đồng hồ thứ (1-1), và điện cực thứ hai được kết nối với cực đầu ra thứ (1-1), các tranzito kéo lên thứ (1-2) có thể có điện cực cổng được kết nối với nút thứ hai, điện cực thứ nhất được kết nối với đường tín hiệu nhịp đồng hồ thứ (1-2), và điện cực thứ hai được kết nối với cực đầu ra thứ (1-2), tranzito kéo lên thứ (2-1) có thể có điện cực cổng được kết nối với nút thứ ba, điện

cực thứ nhất được kết nối với đường tín hiệu nhịp đồng hồ thứ (2-1), và điện cực thứ hai được kết nối với cực đầu ra thứ (2-1), và tranzito kéo lên thứ (2-2) có thể có điện cực cổng được kết nối với nút thứ tư, điện cực thứ nhất được kết nối với đường tín hiệu nhịp đồng hồ thứ (2-2), và điện cực thứ hai được kết nối với cực đầu ra (2-2).

Mạch đầu ra có thể chứa tranzito kéo xuống thứ (1-1) có điện cực cổng được kết nối với nút đảo ngược, điện cực thứ nhất được kết nối với đường điện áp cao cổng, và điện cực thứ hai được kết nối với cực đầu ra thứ (1-1), tranzito kéo xuống thứ (1-2) có điện cực cổng được kết nối với nút đảo ngược, điện cực thứ nhất được kết nối với đường điện áp cao cổng, và điện cực thứ hai được kết nối với cực đầu ra thứ (1-2), tranzito kéo xuống thứ (2-1) có điện cực cổng được kết nối với nút đảo ngược, điện cực thứ nhất được kết nối với đường điện áp cao cổng, và điện cực thứ hai được kết nối với cực đầu ra thứ (2-1), và tranzito kéo xuống thứ (2-2) có điện cực cổng được kết nối với nút đảo ngược, điện cực thứ nhất được kết nối với đường điện áp cao cổng, và điện cực thứ hai được kết nối với cực đầu ra thứ (2-2).

Mạch đầu ra có thể chứa tụ điện thứ (1-1) có điện cực thứ nhất được kết nối với điện cực cổng của tranzito kéo lên thứ (1-1) và điện cực thứ hai được kết nối với cực đầu ra thứ (1-1), tụ điện thứ (1-2) có điện cực thứ nhất được kết nối với điện cực cổng của tranzito kéo lên thứ (1-2) và điện cực thứ hai được kết nối với cực đầu ra thứ (1-2), tụ điện thứ (2-1) có điện cực thứ nhất được kết nối với điện cực cổng của tranzito kéo lên thứ (2-1) và điện cực thứ hai được kết nối với cực đầu ra thứ (2-1), và tụ điện thứ (2-2) có điện cực thứ nhất được kết nối với điện cực cổng của tranzito kéo lên thứ (2-2) và điện cực thứ hai được kết nối với cực đầu ra thứ (2-2).

Tranzito thứ nhất có thể có điện cực cổng được kết nối với đường tín hiệu bắt đầu và điện cực thứ nhất được kết nối với đường điện áp thấp cổng, và tranzito thứ hai có thể có điện cực cổng được kết nối với đường tín hiệu nhịp đồng hồ nút chung, điện cực

thứ nhất được kết nối với điện cực thứ hai của tranzito thứ nhất, và điện cực thứ hai được kết nối với nút chung.

Mạch chuyển mạch có thể chứa tranzito thứ ba có điện cực cổng được kết nối với nút đảo ngược, điện cực thứ nhất được kết nối với đường điện áp cao cổng, và điện cực thứ hai được kết nối với nút chung, tranzito thứ tư có điện cực cổng được kết nối với đường tín hiệu nhịp đồng hồ nút đảo ngược, điện cực thứ nhất được kết nối với đường điện áp thấp cổng, và điện cực thứ hai được kết nối với nút đảo ngược, tranzito thứ năm có điện cực cổng được kết nối với đường tín hiệu bắt đầu, điện cực thứ nhất được kết nối với đường điện áp cao cổng, và điện cực thứ hai được kết nối với nút đảo ngược, tranzito thứ tám có điện cực cổng được kết nối với nút chung, điện cực thứ nhất được kết nối với đường điện áp cao cổng, và điện cực thứ hai được kết nối với nút chung, tranzito thứ chín có điện cực cổng được kết nối với đường tín hiệu đặt lại, điện cực thứ nhất được kết nối với đường điện áp cao cổng, và điện cực thứ hai được kết nối với nút chung, và tụ điện nút có điện cực thứ nhất được kết nối với đường điện áp cao cổng và điện cực thứ hai được kết nối với nút đảo ngược.

Chu kỳ trong đó tín hiệu quét thứ (1-1) duy trì điện áp thấp và chu kỳ trong đó tín hiệu quét thứ (2-1) duy trì điện áp thấp có thể không chồng lấn, và chu kỳ trong đó tín hiệu quét thứ (1-2) duy trì điện áp thấp và chu kỳ trong đó tín hiệu quét thứ (2-2) duy trì điện áp thấp, có thể chồng lấn một phần.

Theo khía cạnh khác của sáng chế, mạch sinh ra tín hiệu quét chứa mạch chuyển mạch chứa nút chung được nạp với điện áp thấp được áp dụng nhờ các hoạt động bật của tranzito thứ nhất và tranzito thứ hai, nút đảo ngược hoạt động ngược với nút chung, và các tranzito làm ổn định thứ nhất đến thứ tư có các điện cực thứ nhất được kết nối với nút chung, và các điện cực cổng được kết nối với đường điện áp thấp cổng, và mạch đầu ra chứa tranzito kéo lên thứ (1-1) và tranzito kéo lên thứ (1-2) xuất ra tín hiệu quét

thứ (1-1) và tín hiệu quét thứ (1-2) đáp lại điện áp của nút thứ nhất tương ứng với điện cực thứ hai của tranzito làm ổn định thứ nhất và điện áp của nút thứ hai tương ứng với điện cực thứ hai của tranzito làm ổn định thứ hai, và tranzito kéo lên thứ (2-1) và tranzito kéo lên thứ (2-2) xuất ra tín hiệu quét thứ (2-1) và tín hiệu quét thứ (2-2) đáp lại điện áp của nút thứ ba tương ứng với điện cực thứ hai của tranzito làm ổn định thứ ba và điện áp của nút thứ tư tương ứng với điện cực thứ hai của tranzito làm ổn định thứ tư.

Tranzito kéo lên thứ (1-1) có thể có điện cực cổng được kết nối với nút thứ nhất, điện cực thứ nhất được kết nối với đường tín hiệu nhịp đồng hồ thứ (1-1), và điện cực thứ hai được kết nối với cực đầu ra thứ (1-1), tranzito kéo lên thứ (1-2) có thể có điện cực cổng được kết nối với nút thứ hai, điện cực thứ nhất được kết nối với đường tín hiệu nhịp đồng hồ thứ (1-2), và điện cực thứ hai được kết nối với cực đầu ra thứ (1-2), tranzito kéo lên thứ (2-1) có thể có điện cực cổng được kết nối với nút thứ ba, điện cực thứ nhất được kết nối với đường tín hiệu nhịp đồng hồ thứ (2-1), và điện cực thứ hai được kết nối với cực đầu ra thứ (2-1), và tranzito kéo lên thứ (2-2) có thể có điện cực cổng được kết nối với nút thứ tư, điện cực thứ nhất được kết nối với đường tín hiệu nhịp đồng hồ thứ (2-2), và điện cực thứ hai được kết nối với cực đầu ra thứ (2-2).

Mạch đầu ra có thể chứa tranzito kéo xuống thứ (1-1) có điện cực cổng được kết nối với nút đảo ngược, điện cực thứ nhất được kết nối với đường điện áp cao cổng, và điện cực thứ hai được kết nối với cực đầu ra thứ (1-1), tranzito kéo xuống thứ (1-2) có điện cực cổng được kết nối với nút đảo ngược, điện cực thứ nhất được kết nối với đường điện áp cao cổng, và điện cực thứ hai được kết nối với cực đầu ra thứ (1-2), tranzito kéo xuống thứ (2-1) có điện cực cổng được kết nối với nút đảo ngược, điện cực thứ nhất được kết nối với đường điện áp cao cổng, và điện cực thứ hai được kết nối với cực đầu ra thứ (2-1), tranzito kéo xuống thứ (2-2) có điện cực cổng được kết nối với nút đảo ngược, điện cực thứ nhất được kết nối với đường điện áp cao cổng, và điện cực thứ hai

được kết nối với cực đầu ra thứ (2-2), tụ điện thứ (1-1) có điện cực thứ nhất được kết nối với điện cực cổng của tranzito kéo lên thứ (1-1) và điện cực thứ hai được kết nối với cực đầu ra thứ (1-1), tụ điện thứ (1-2) có điện cực thứ nhất được kết nối với điện cực cổng của tranzito kéo lên thứ (1-2) và điện cực thứ hai được kết nối với cực đầu ra thứ (1-2), tụ điện thứ (2-1) có điện cực thứ nhất được kết nối với điện cực cổng của tranzito kéo lên thứ (2-1) và điện cực thứ hai được kết nối với cực đầu ra thứ (2-1), và tụ điện thứ (2-2) có điện cực thứ nhất được kết nối với điện cực cổng của tranzito kéo lên thứ (2-2) và điện cực thứ hai được kết nối với cực đầu ra thứ (2-2).

Mô tả vắn tắt các hình vẽ

Fig.1 là sơ đồ khối thể hiện một cách sơ lược thiết bị hiển thị phát sáng, và Fig.2 là sơ đồ cấu hình thể hiện một cách sơ lược điểm ảnh phụ được thể hiện trên Fig.1.

Fig.3 và Fig.4 là các sơ đồ minh họa cấu hình của bộ điều vận cổng loại cổng trong panen, và Fig.5 là sơ đồ minh họa ví dụ sắp xếp của bộ điều vận cổng loại cổng trong panen.

Fig.6 là sơ đồ cấu hình mạch của điểm ảnh phụ áp dụng được cho phương án của sáng chế, Fig.7 là sơ đồ dạng sóng điều vận của điểm ảnh phụ được thể hiện trên Fig.6, và các hình vẽ từ Fig.8 đến Fig.11 được thể hiện các trạng thái hoạt động của thiết bị trong từng chu kỳ theo các dạng sóng điều vận được thể hiện trên Fig.7.

Fig.12 là sơ đồ khối của thanh ghi dịch thứ nhất theo ví dụ thử nghiệm, và Fig.13 là sơ đồ khối của thanh ghi dịch thứ nhất theo phương án.

Fig.14 là sơ đồ cấu hình mạch của bộ sinh ra tín hiệu quét áp dụng được cho phương án của sáng chế, Fig.15 là sơ đồ dạng sóng điều vận của bộ sinh ra tín hiệu quét được thể hiện trên Fig.14, và các hình vẽ từ Fig.16 đến Fig.20 thể hiện các trạng thái hoạt động của bộ sinh ra tín hiệu quét trong từng chu kỳ trên Fig.15.

Fig.21 là sơ đồ minh họa khái niệm của khối được tích hợp của thanh ghi dịch theo phương án của sáng chế, Fig.22 là sơ đồ cấu hình mạch bên trong của mạch sinh ra tín hiệu quét được tích hợp được thể hiện trên Fig.21, và Fig.23 là sơ đồ dạng sóng điều vận của mạch được thể hiện trên Fig.22.

Mô tả chi tiết sáng chế

Thiết bị hiển thị theo sáng chế có thể được thi hành dưới dạng tivi, máy phát video, máy tính cá nhân (personal computer - PC), hệ thống rạp hát gia đình, thiết bị điện ô tô, điện thoại thông minh, và dạng tương tự, nhưng không bị giới hạn ở đó. Thiết bị hiển thị theo sáng chế có thể được thi hành dưới dạng thiết bị hiển thị phát sáng (light emitting display - LED), thiết bị hiển thị chấm lượng tử (quantum dot display - QDD), thiết bị hiển thị tinh thể lỏng (liquid crystal display - LCD), hoặc dạng tương tự. Tuy nhiên, để thuận tiện cho việc mô tả, ví dụ trong đó thiết bị hiển thị phát sáng mà phát trực tiếp ánh sáng dựa trên các điốt phát sáng vô cơ hoặc các điốt phát sáng hữu cơ, sẽ được mô tả.

Ngoài ra, mặc dù tranzito màng mỏng loại p sẽ được mô tả ở dưới, nhưng tranzito màng mỏng loại n hoặc cấu trúc trong đó các tranzito màng mỏng loại n và loại p có mặt cùng nhau, có thể được sử dụng. Tranzito màng mỏng là thành phần ba điện cực chứa cổng, nguồn, và máng. Nguồn là điện cực cấp các bộ mang đến tranzito. Trong tranzito màng mỏng, các bộ mang bắt đầu chảy từ nguồn. Máng là điện cực mà các bộ mang đi ra tranzito màng mỏng qua đó. Tức là, trong tranzito màng mỏng, các bộ mang chảy từ nguồn đến máng.

Trong trường hợp của tranzito màng mỏng loại p, các bộ mang là các lỗ trống và do đó, điện áp nguồn là cao hơn điện áp máng sao cho các lỗ trống có thể chảy từ nguồn đến máng. Trong tranzito màng mỏng loại p, vì các lỗ chảy từ nguồn đến máng, dòng chảy từ nguồn đến máng. Ngược lại, trong trường hợp của tranzito màng mỏng loại n, điện áp nguồn là thấp hơn điện áp máng sao cho các điện tử có thể chảy từ nguồn đến

máng vì các bộ mang là các điện tử. Trong tranzito màng mỏng loại n, vì các điện tử chảy từ nguồn đến máng, nên dòng chảy từ máng đến nguồn. Tuy nhiên, nguồn và máng của tranzito màng mỏng có thể được thay đổi theo điện áp được áp dụng. Theo đó, trong phần mô tả sau, thành phần bất kỳ trong số nguồn và máng sẽ được mô tả như là điện cực thứ nhất, và thành phần còn lại trong số nguồn và máng sẽ được mô tả như là điện cực thứ hai.

Fig.1 là sơ đồ khối thể hiện một cách sơ lược thiết bị hiển thị phát sáng, và Fig.2 là sơ đồ cấu hình thể hiện một cách sơ lược điểm ảnh phụ được thể hiện trên Fig.1.

Như được thể hiện trên Fig.1 và Fig.2, thiết bị hiển thị phát sáng chứa bộ cung cấp hình ảnh 110, bộ điều khiển định thời 120, bộ điều vận công 130, bộ điều vận dữ liệu 140, panen hiển thị 150, bộ cấp công suất 180, và dạng tương tự.

Bộ cung cấp hình ảnh (tập hợp hoặc hệ thống chủ) 110 có thể xuất ra các tín hiệu điều vận khác nhau cùng với tín hiệu dữ liệu hình ảnh được cấp từ phần bên ngoài hoặc tín hiệu dữ liệu hình ảnh được lưu trữ trong bộ nhớ trong. Bộ cung cấp hình ảnh 110 có thể cấp tín hiệu dữ liệu và các tín hiệu điều vận khác nhau đến bộ điều khiển định thời 120.

Bộ điều khiển định thời 120 có thể xuất ra tín hiệu điều khiển định thời công GDC để điều khiển việc định thời hoạt động của bộ điều vận công 130, tín hiệu điều khiển định thời dữ liệu DDC để điều khiển việc định thời hoạt động của bộ điều vận dữ liệu 140, và các tín hiệu đồng bộ hóa khác nhau (tín hiệu đồng bộ hóa thẳng đứng Vsync và tín hiệu đồng bộ hóa nằm ngang Hsync). Bộ điều khiển định thời 120 có thể cấp tín hiệu dữ liệu DATA được cấp từ bộ cung cấp hình ảnh 110 cùng với tín hiệu điều khiển định thời dữ liệu DDC đến bộ điều vận dữ liệu 140. Bộ điều khiển định thời 120 có thể lấy dạng của mạch tích hợp (integrated circuit - IC) và được gắn trên bảng mạch in, nhưng không bị giới hạn ở đó.

Bộ điều vận công 130 có thể xuất ra tín hiệu công (hoặc điện áp công) đáp lại tín hiệu điều khiển định thời công GDC được cấp từ bộ điều khiển định thời 120. Bộ điều vận công 130 có thể cấp các tín hiệu công đến các điểm ảnh phụ được chứa trong panen hiển thị 150 qua các đường công GL1 đến GLm. Bộ điều vận công 130 có thể lấy dạng của IC hoặc có thể được tạo thành một cách trực tiếp trên panen hiển thị 150 trong cấu trúc công song song, nhưng không bị giới hạn ở đó.

Bộ điều vận dữ liệu 140 có thể lấy mẫu và khóa tín hiệu dữ liệu DATA đáp lại tín hiệu điều khiển định thời dữ liệu DDC được cấp từ bộ điều khiển định thời 120, chuyển đổi tín hiệu dữ liệu số thành điện áp dữ liệu tương tự dựa trên điện áp tham chiếu gamma, và xuất ra điện áp dữ liệu tương tự. Bộ điều vận dữ liệu 140 có thể cấp điện áp dữ liệu đến các điểm ảnh phụ được chứa trong panen hiển thị 150 qua các đường dữ liệu DL1 đến DLn. Bộ điều vận dữ liệu 140 có thể lấy dạng của IC và được gắn trên panen hiển thị 150 hoặc được gắn trên bảng mạch in, nhưng không bị giới hạn ở đó.

Bộ cấp công suất 180 có thể sinh ra điện áp mức cao và điện áp mức thấp dựa trên điện áp đầu vào bên ngoài được cấp từ phần bên ngoài, và xuất ra điện áp mức cao và điện áp mức thấp qua đường công suất thứ nhất EVDD và đường công suất thứ hai EVSS. Bộ cấp công suất 180 có thể sinh ra và xuất ra các điện áp (ví dụ, các điện áp công chứa điện áp cao công và điện áp thấp công) cần thiết để điều vận bộ điều vận công 130 và các điện áp (các điện áp máng chứa điện áp máng và nửa điện áp máng) cần thiết để điều vận bộ điều vận dữ liệu 140 cũng như điện áp mức cao và điện áp mức thấp.

Panen hiển thị 150 có thể hiển thị hình ảnh đáp lại các tín hiệu điều vận chứa tín hiệu công và điện áp dữ liệu, các điện áp điều vận chứa điện áp mức cao và điện áp mức thấp, và dạng tương tự. Các điểm ảnh phụ của panen hiển thị 150 phát ánh sáng một cách trực tiếp. Panen hiển thị 150 có thể được sản xuất dựa trên đế có độ cứng hoặc độ linh hoạt, như thủy tinh, silic, polyimit, hoặc dạng tương tự. Ngoài ra, các điểm ảnh phụ

phát ánh sáng có thể chứa các điểm ảnh đỏ, xanh lá cây, và xanh dương hoặc chứa các điểm ảnh đỏ, xanh lá cây, xanh dương, và trắng.

Ví dụ, một điểm ảnh phụ SP có thể được kết nối với đường dữ liệu thứ nhất DL1, đường công thứ nhất GL1, đường công suất thứ nhất EVDD, và đường công suất thứ hai EVSS và có thể chứa mạch điểm ảnh chứa tranzito chuyển mạch, tranzito điều vận, tụ điện, điốt phát sáng hữu cơ, và dạng tương tự. Vì điểm ảnh phụ SP được sử dụng trong thiết bị hiển thị phát sáng phát ánh sáng một cách trực tiếp, nên cấu hình mạch là phức tạp. Ngoài ra, có các mạch bù khác nhau để bù cho sự suy giảm của tranzito điều vận để cấp dòng điều vận cần thiết để điều vận các điốt phát sáng hữu cơ phát ánh sáng cũng như các điốt phát sáng hữu cơ. Theo đó, lưu ý rằng điểm ảnh phụ SP được minh họa một cách đơn giản ở dạng khối

Trong khi đó, trong phần mô tả ở trên, bộ điều khiển định thời 120, bộ điều vận công 130, bộ điều vận dữ liệu 140, và dạng tương tự được mô tả như là các chi tiết riêng lẻ. Tuy nhiên, tùy thuộc vào phương pháp thi hành của thiết bị hiển thị phát sáng, một hoặc nhiều thành phần trong số bộ điều khiển định thời 120, bộ điều vận công 130, và bộ điều vận dữ liệu 140 có thể được tích hợp vào trong một IC.

Fig.3 và Fig.4 là các sơ đồ minh họa cấu hình của bộ điều vận công loại công trong panen, và Fig.5 là sơ đồ được thể hiện ví dụ sắp xếp của bộ điều vận công loại công trong panen.

Như được thể hiện trên Fig.3, bộ điều vận công loại công trong panen 130 có thể chứa thanh ghi dịch 131 và bộ dịch mức 135. Bộ dịch mức 135 có thể sinh ra các tín hiệu (nhịp) đồng hồ Clk và tín hiệu bắt đầu Vst dựa trên các tín hiệu và các điện áp được xuất ra từ bộ điều khiển định thời 120 và bộ cấp công suất 180. Các tín hiệu nhịp đồng hồ Clk có thể được sinh ra ở dạng của j pha khác nhau (j là số nguyên bằng hoặc lớn hơn 2).

Như được thể hiện trên Fig.3 và Fig.4, không giống như thanh ghi dịch 131, bộ dịch mức 135 có thể được tạo cấu hình một cách độc lập như là IC hoặc có thể được chứa trong bộ cấp công suất 180. Tuy nhiên, điều này chỉ là ví dụ và sáng chế không bị giới hạn ở đó.

Như được thể hiện trên Fig.5, các thanh ghi dịch thứ nhất và thứ hai 131a và 131b xuất ra các tín hiệu cổng trong bộ điều vận cổng loại cổng trong panen có thể được bố trí trong diện tích không hiển thị NA của panen hiển thị 150. Các thanh ghi dịch thứ nhất và thứ hai 131a và 131b có thể được tạo thành như là màng mỏng trên panen hiển thị 150 trong cấu trúc cổng song song. Mặc dù ví dụ trong đó các thanh ghi dịch thứ nhất và thứ hai 131a và 131b được bố trí trong các diện tích không hiển thị bên trái và bên phải NA của panen hiển thị 150 được minh họa, nhưng sáng chế không bị giới hạn ở đó.

Fig.6 là sơ đồ cấu hình mạch của điểm ảnh phụ áp dụng được cho phương án của sáng chế, Fig.7 là sơ đồ dạng sóng điều vận của điểm ảnh phụ được thể hiện trên Fig.6, và các hình vẽ từ Fig.8 đến Fig.11 được thể hiện các trạng thái hoạt động của thiết bị trong từng chu kỳ theo các dạng sóng điều vận được thể hiện trên Fig.7.

Như được thể hiện trên Fig.6 và Fig.7, điểm ảnh phụ áp dụng được cho phương án của sáng chế có thể chứa tranzito thứ nhất T1, tranzito thứ hai T2, tranzito thứ ba T3, tranzito thứ tư T4, tranzito thứ năm T5, tranzito điều vận DT, tụ điện CST, và điôt phát sáng hữu cơ OLED. Tranzito thứ nhất T1, tranzito thứ hai T2, tranzito thứ ba T3, tranzito thứ tư T4, tranzito thứ năm T5, và tranzito điều vận DT có thể là các tranzito loại p.

Tranzito thứ nhất T1 có thể có điện cực cổng được kết nối với đường tín hiệu quét thứ nhất SCN1, điện cực thứ nhất được kết nối với đường dữ liệu thứ nhất DL1, và điện cực thứ hai được kết nối với điện cực thứ nhất của tụ điện CST. Tranzito thứ nhất T1 có thể được bật trong suốt chu kỳ thứ hai P2 đáp lại tín hiệu quét thứ nhất Scan1[n] được áp dụng qua đường tín hiệu quét thứ nhất SCN1. Khi tranzito thứ nhất T1 được bật, thì

điện áp dữ liệu được áp dụng qua đường dữ liệu thứ nhất DL1 có thể được truyền đến điện cực thứ nhất của tụ điện CST.

Tranzito thứ hai T2 có thể có điện cực cổng được kết nối với đường tín hiệu quét thứ hai SCN2, điện cực thứ nhất được kết nối với điện cực cổng của tranzito điều vận DT và điện cực thứ hai của tụ điện CST, và điện cực thứ hai được kết nối với điện cực thứ hai của tranzito điều vận DT và điện cực thứ nhất của tranzito thứ tư T4. Tranzito thứ hai T2 có thể được bật trong suốt chu kỳ thứ nhất P1 và chu kỳ thứ hai P2 đáp lại tín hiệu quét thứ hai Scan2[n] được áp dụng qua đường tín hiệu quét thứ hai SCN2. Khi tranzito thứ hai T2 được bật, thì điện cực cổng và điện cực thứ hai của tranzito điều vận DT được kết nối, và do đó, điện áp ngưỡng của tranzito điều vận DT có thể được lấy mẫu (sự bù điện áp ngưỡng). Mặc dù tranzito thứ hai T2 có thể được tạo thành từ hai tranzito (tranzito cổng kép) như được minh họa để giảm thiểu dòng rò, nhưng không bị giới hạn ở đó.

Tranzito thứ ba T3 có thể có điện cực cổng được kết nối với đường tín hiệu phát sáng thứ nhất EM1, điện cực thứ nhất được kết nối với đường điện áp tham chiếu VREF, và điện cực thứ hai được kết nối với điện cực thứ hai của tranzito thứ nhất T1 và điện cực thứ nhất của tụ điện CST. Tranzito thứ ba T3 có thể được bật trong suốt chu kỳ thứ nhất P1 và chu kỳ thứ tư P4 đáp lại tín hiệu phát sáng thứ nhất Em1[n] được áp dụng qua đường tín hiệu phát sáng thứ nhất EM1. Khi tranzito thứ ba T3 được bật, thì điện áp (như điện áp khởi tạo) được áp dụng qua đường điện áp tham chiếu VREF, có thể được truyền đến điện cực thứ nhất của tụ điện CST.

Tranzito thứ tư T4 có thể có điện cực cổng được kết nối với đường tín hiệu phát sáng thứ nhất EM1, điện cực thứ nhất được kết nối với điện cực thứ hai của tranzito điều vận DT, và điện cực thứ hai được kết nối với anốt của điốt phát sáng hữu cơ OLED. Tranzito thứ tư T4 có thể được bật trong suốt chu kỳ thứ nhất P1 và chu kỳ thứ tư P4

đáp lại tín hiệu phát sáng thứ nhất $Em1[n]$ được áp dụng qua đường tín hiệu phát sáng thứ nhất EM1. Khi tranzito thứ tư T4 được bật, thì dòng điều vận được sinh ra từ tranzito điều vận DT, có thể được chuyển đến anôt của điôt phát sáng hữu cơ OLED.

Tranzito thứ năm T5 có thể có điện cực cổng được kết nối với đường tín hiệu quét thứ hai SCN2, điện cực thứ nhất được kết nối với đường điện áp tham chiếu VREF, và điện cực thứ hai được kết nối với điện cực thứ hai của tranzito thứ tư T4 và anôt của điôt phát sáng hữu cơ OLED. Tranzito thứ năm T5 có thể được bật trong suốt chu kỳ thứ nhất P1 và chu kỳ thứ hai P2 đáp lại tín hiệu quét thứ hai Scan2[n] được áp dụng qua đường tín hiệu quét thứ hai SCN2. Khi tranzito thứ năm T5 được bật, thì điện áp (như điện áp khởi tạo) được áp dụng qua đường điện áp tham chiếu VREF, có thể được truyền đến anôt của điôt phát sáng hữu cơ OLED.

Tranzito điều vận DT có thể chứa điện cực cổng được kết nối với điện cực thứ hai của tụ điện CST, điện cực thứ nhất được kết nối với đường công suất thứ nhất EVDD, và điện cực thứ hai được kết nối với điện cực thứ hai của tranzito thứ hai T2 và điện cực thứ nhất của tranzito thứ tư T4. Tranzito điều vận DT có thể sinh ra dòng điều vận trong suốt chu kỳ thứ tư P4 đáp lại điện áp dữ liệu được lưu trữ trong tụ điện CST.

Điôt phát sáng hữu cơ OLED chứa anôt được kết nối với điện cực thứ hai của tranzito thứ tư T4 và điện cực thứ hai của tranzito thứ năm T5, và catôt được kết nối với đường công suất thứ hai EVSS. Điôt phát sáng hữu cơ OLED có thể phát ánh sáng trong suốt chu kỳ thứ tư P4 đáp lại dòng điều vận được truyền qua tranzito thứ tư được bật T4.

Chu kỳ thứ nhất P1 được thể hiện trên Fig.8 có thể được định ra là chu kỳ khởi tạo. Chu kỳ thứ hai P2 được thể hiện trên Fig.9 có thể được định ra là chu kỳ viết và lấy mẫu dữ liệu. Chu kỳ thứ ba P3 được thể hiện trên Fig.10 có thể được định ra là chu kỳ giữ. Chu kỳ thứ tư P4 được thể hiện trên Fig.11 có thể được định ra là chu kỳ phát. Dòng chảy tổng thể trong điểm ảnh phụ theo trạng thái hoạt động của thiết bị trong từng chu

kỳ theo các dạng sóng điều vận có thể là như được minh họa trên Fig.6 và Fig.7, nhưng đây chỉ là ví dụ.

Fig.12 là sơ đồ khối của thanh ghi dịch thứ nhất theo ví dụ thử nghiệm, và Fig.13 là sơ đồ khối của thanh ghi dịch thứ nhất theo phương án.

Như được thể hiện trên Fig.12, thanh ghi dịch thứ nhất 131a theo ví dụ thử nghiệm có thể chứa các bộ sinh ra tín hiệu quét thứ nhất SCN1[1] đến SCN1[m], các bộ sinh ra tín hiệu quét thứ hai SCN2[1] đến SCN2[m], và các bộ sinh ra tín hiệu phát sáng EM[1] đến EM[m]. Thanh ghi dịch thứ nhất theo ví dụ thử nghiệm có thể sinh ra các tín hiệu cổng GL1 đến GLm chứa các tín hiệu quét và tín hiệu phát sáng như được thể hiện trên Fig.7 để điều vận điểm ảnh phụ được thể hiện trên Fig.6.

Các bộ sinh ra tín hiệu quét thứ nhất SCN1[1] đến SCN1[m] và các bộ sinh ra tín hiệu quét thứ hai SCN2[1] đến SCN2[m] có thể hoạt động dựa trên các tín hiệu và các điện áp được áp dụng qua các đường tín hiệu nhịp đồng hồ thứ nhất GCLKS, đường tín hiệu bắt đầu thứ nhất GVST, đường điện áp cao cổng thứ nhất VGH, và đường điện áp thấp cổng thứ nhất VGL. Các tín hiệu nhịp đồng hồ được áp dụng qua các đường tín hiệu nhịp đồng hồ thứ nhất GCLKS có thể có ít nhất 10 pha.

Các bộ sinh ra tín hiệu phát sáng EM[1] đến EM[m] có thể hoạt động dựa trên các tín hiệu và các điện áp được áp dụng qua các đường tín hiệu nhịp đồng hồ thứ hai ECLKS, đường tín hiệu bắt đầu thứ hai EVST, đường điện áp cao cổng thứ hai VEH, và đường điện áp thấp cổng thứ hai VEL. Các tín hiệu nhịp đồng hồ được áp dụng qua các đường tín hiệu nhịp đồng hồ thứ hai ECLKS có thể có ít nhất hai pha.

Như được thể hiện trên Fig.13, thanh ghi dịch thứ nhất 131a theo phương án có thể chứa các bộ sinh ra tín hiệu quét thứ nhất SCN1[1] đến SCN1[m], các bộ sinh ra tín hiệu quét thứ hai SCN2[1] đến SCN2[m], và các bộ sinh ra tín hiệu phát sáng EM[1] đến EM[m]. Thanh ghi dịch thứ nhất theo phương án có thể sinh ra các tín hiệu cổng GL1

đến GLm chứa các tín hiệu quét và tín hiệu phát sáng như được thể hiện trên Fig.7 để điều vận điểm ảnh phụ được thể hiện trên Fig.6.

Các bộ sinh ra tín hiệu quét thứ nhất SCN1[1] đến SCN1[m] và các bộ sinh ra tín hiệu quét thứ hai SCN2[1] đến SCN2[m] có thể hoạt động dựa trên các tín hiệu và các điện áp được áp dụng qua các đường tín hiệu nhịp đồng hồ thứ nhất GCLKS, đường tín hiệu bắt đầu thứ nhất GVST, đường điện áp cao cổng thứ nhất VGH, và đường điện áp thấp cổng thứ nhất VGL.

Các bộ sinh ra tín hiệu phát sáng EM[1] đến EM[m] có thể hoạt động dựa trên các tín hiệu và các điện áp được áp dụng qua các đường tín hiệu nhịp đồng hồ thứ hai ECLKS, đường tín hiệu bắt đầu thứ hai EVST, đường điện áp cao cổng thứ hai VEH, và đường điện áp thấp cổng thứ hai VEL.

Như được thể hiện trên Fig.12 và Fig.13, bộ sinh ra tín hiệu quét thứ nhất SCN1[1], bộ sinh ra tín hiệu quét thứ hai SCN2[1], và bộ sinh ra tín hiệu phát sáng thứ nhất EM[1] có thể được chứa trong tầng thứ nhất STG1. Các tín hiệu cổng thứ nhất chứa tín hiệu quét thứ nhất, tín hiệu quét thứ hai, và tín hiệu phát sáng thứ nhất được xuất ra từ tầng thứ nhất STG1 có thể được truyền qua đường tín hiệu quét thứ nhất, đường tín hiệu quét thứ hai, và đường tín hiệu phát sáng thứ nhất được chứa trong đường cổng thứ nhất GL1 được định vị trên đường nằm ngang thứ nhất 1st. Điều này có thể được làm sáng tỏ từ Fig.6 và Fig.7.

Sau đây, các mạch được chứa các tầng thứ hai đến thứ M STG2 đến STGm có thể được tạo cấu hình theo cùng cách như tầng thứ nhất STG1, ngoại trừ chúng được kết nối theo cách tương ứng với đường nằm ngang thứ hai 2nd đến đường nằm ngang thứ M mth và xuất ra các tín hiệu đến đó.

Theo phương án, không giống như ví dụ thử nghiệm, tổng cộng bốn bộ sinh ra tín hiệu quét được chứa trong hai tầng (ví dụ, STG1 và STG2), ví dụ, các bộ sinh ra tín hiệu

quét thứ nhất lân cận (ví dụ, SCN1[1] và SCN1[2]) và các bộ sinh ra tín hiệu quét thứ hai lân cận (ví dụ, SCN2[1] và SCN2[2]) có thể được nhóm và được tích hợp để tạo thành mạch sinh ra tín hiệu quét được tích hợp đơn.

Phương pháp được đề cập ở trước về việc nhóm và tích hợp tổng cộng bốn bộ sinh ra tín hiệu quét liên kế theo các hướng thẳng đứng và nằm ngang để tạo thành mạch sinh ra tín hiệu quét được tích hợp đơn có thể được áp dụng theo cách bằng nhau cho các tầng (không được thể hiện) của thanh ghi dịch thứ hai cũng như các tầng STG1 đến STGm của thanh ghi dịch thứ nhất 131a, và phần mô tả của chúng sẽ được cung cấp ở dưới.

Fig.14 là sơ đồ cấu hình mạch của bộ sinh ra tín hiệu quét áp dụng được cho phương án của sáng chế, Fig.15 là sơ đồ dạng sóng điều vận của bộ sinh ra tín hiệu quét được thể hiện trên Fig.14, và các hình vẽ từ Fig.16 đến Fig.20 thể hiện các trạng thái hoạt động của bộ sinh ra tín hiệu quét trong từng chu kỳ trên Fig.15.

Như được thể hiện trên Fig.14, bộ sinh ra tín hiệu quét áp dụng được cho phương án có thể được kết nối với đường tín hiệu bắt đầu VST, đường điện áp thấp cổng VGL, đường điện áp cao cổng VGH, đường tín hiệu nhịp đồng hồ thứ nhất CLK1, đường tín hiệu nhịp đồng hồ thứ ba CLK3, đường tín hiệu nhịp đồng hồ thứ tư CLK4, và đường tín hiệu đặt lại QRST.

Bộ sinh ra tín hiệu quét áp dụng được cho phương án có thể chứa tranzito thứ nhất T1, tranzito thứ hai T2, tranzito thứ ba T3, tranzito thứ tư T4, tranzito thứ năm T5, tranzito làm ổn định TBV, tranzito thứ sáu T6_1, tranzito thứ bảy T7_1, tranzito thứ tám T8, tranzito thứ chín T9, tụ điện đầu ra CQ1, và tụ điện nút CQB.

Ví dụ, tranzito thứ nhất T1, tranzito thứ hai T2, tranzito thứ ba T3, tranzito thứ tư T4, tranzito thứ năm T5, tranzito làm ổn định TBV, tranzito thứ sáu T6_1, tranzito thứ bảy T7_1, tranzito thứ tám T8, và tranzito thứ chín T9 có thể là các tranzito loại p.

Ngoài ra, tranzito thứ ba T3, tranzito thứ tư T4, tranzito thứ năm T5, tranzito thứ tám T8, và tranzito thứ chín T9 có thể được tạo thành từ hai tranzito (tranzito công kép) để giảm thiểu việc sinh ra dòng rò, nhưng sáng chế không bị giới hạn ở đó.

Tranzito thứ nhất T1 có thể có điện cực cổng được kết nối với đường tín hiệu bắt đầu VST và điện cực thứ nhất được kết nối với đường điện áp thấp cổng VGL. Tranzito thứ hai T2 có thể có điện cực cổng được kết nối với đường tín hiệu nhịp đồng hồ thứ tư CLK4, điện cực thứ nhất được kết nối với điện cực thứ hai của tranzito thứ nhất T1, và điện cực thứ hai được kết nối với nút QN QN. Tranzito thứ ba T3 có thể có điện cực cổng được kết nối với nút QB QBN (nút đảo ngược hoạt động ngược với nút QN), điện cực thứ nhất được kết nối với đường điện áp cao cổng VGH, và điện cực thứ hai được kết nối với nút QN QN.

Tranzito thứ tư T4 có thể có điện cực cổng được kết nối với đường tín hiệu nhịp đồng hồ thứ ba CLK3, điện cực thứ nhất được kết nối với đường điện áp thấp cổng VGL, và điện cực thứ hai được kết nối với nút QB QBN. Tranzito thứ năm T5 có thể có điện cực cổng được kết nối với đường tín hiệu bắt đầu VST, điện cực thứ nhất được kết nối với đường điện áp cao cổng VGH, và điện cực thứ hai được kết nối với nút QB QBN. Tranzito làm ổn định TBV có thể có điện cực cổng được kết nối với đường điện áp thấp cổng VGL, điện cực thứ nhất được kết nối với nút QN QN, và điện cực thứ hai được kết nối với điện cực cổng của tranzito thứ sáu T6_1.

Tranzito thứ sáu T6_1 có thể có điện cực cổng được kết nối với điện cực thứ hai của tranzito làm ổn định TBV, điện cực thứ nhất được kết nối với đường tín hiệu nhịp đồng hồ thứ nhất CLK1, và điện cực thứ hai được kết nối với cực đầu ra G1O. Tranzito thứ bảy T7_1 có thể có điện cực cổng được kết nối với nút QB QBN, điện cực thứ nhất được kết nối với đường điện áp cao cổng VGH, và điện cực thứ hai được kết nối với cực đầu ra G1O. Tranzito thứ tám T8 có thể có điện cực cổng được kết nối với nút QN QN,

điện cực thứ nhất được kết nối với đường điện áp cao cổng VGH, và điện cực thứ hai được kết nối với nút QB QBN.

Tranzito thứ chín T9 có thể có điện cực cổng được kết nối với đường tín hiệu đặt lại QRST, điện cực thứ nhất được kết nối với đường điện áp cao cổng VGH, và điện cực thứ hai được kết nối với nút QN QN. Tụ điện đầu ra CQ1 có thể có điện cực thứ nhất được kết nối với điện cực cổng của tranzito thứ sáu T6_1 và điện cực thứ hai của tranzito làm ổn định TBV, và điện cực thứ hai được kết nối với cực đầu ra GIO. Tụ điện nút CQB có thể có điện cực thứ nhất được kết nối với đường điện áp cao cổng VGH và điện cực thứ hai được kết nối với nút QB QBN.

Trong chu kỳ thứ nhất P1 được thể hiện trên Fig.15 và Fig.16, tranzito thứ nhất T1 có thể được bật đáp lại tín hiệu bắt đầu Vst tại điện áp thấp được áp dụng qua đường tín hiệu bắt đầu VST. Tranzito thứ năm T5 có thể được bật đáp lại tín hiệu bắt đầu Vst tại điện áp thấp được áp dụng qua đường tín hiệu bắt đầu VST. Tranzito thứ hai T2 có thể được bật đáp lại tín hiệu nhịp đồng hồ thứ tư tại điện áp thấp được áp dụng qua đường tín hiệu nhịp đồng hồ thứ tư CLK4. Tranzito làm ổn định TBV có thể được bật đáp lại điện áp thấp cổng tại điện áp thấp được áp dụng qua đường điện áp thấp cổng VGL.

Trong chu kỳ thứ nhất P1 được thể hiện trên Fig.15 và Fig.17, nút QN QN có thể được nạp với điện áp thấp cổng theo hoạt động bật của tranzito thứ nhất T1 và tranzito thứ hai T2, và tranzito thứ sáu T6_1 có thể được bật nhờ điện áp thấp cổng được truyền qua tranzito làm ổn định TBV. Nút QB QBN có thể được nạp với điện áp cao cổng theo hoạt động bật của tranzito thứ năm T5 và tranzito thứ tám T8, và tranzito thứ bảy T7_1 có thể được tắt nhờ điện áp cao cổng. Trong suốt chu kỳ thứ nhất P1, nút QN QN có thể được nạp với điện áp tương ứng với tổng của điện áp thấp cổng và điện áp ngưỡng của các tranzito.

Trong chu kỳ thứ hai P2 được thể hiện trên Fig.15 và Fig.18, khi tranzito thứ nhất T1, tranzito thứ hai T2, và tranzito thứ năm T1 được bật, thì nút QN QN có thể đi vào trạng thái trôi. Tuy nhiên, khi tín hiệu nhịp đồng hồ thứ nhất Clk1 được áp dụng qua đường tín hiệu nhịp đồng hồ thứ nhất CLK1 thay đổi thành điện áp thấp, thì việc tự khởi động bị gây ra bởi tụ điện đầu ra CQ1 có thể xảy ra trong nút QN QN. Theo đó, điện áp Qn của nút QN QN có thể được hạ thấp đến mức của điện áp thấp công. Ngoài ra, điện áp thấp của tín hiệu nhịp đồng hồ thứ nhất Clk1 có thể được xuất ra qua cực đầu ra G1O thông qua tranzito thứ sáu được bật T6_1. Trong trường hợp này, điện áp thấp của tín hiệu nhịp đồng hồ thứ nhất Clk1 xuất ra qua cực đầu ra G1O có thể được sử dụng làm tín hiệu quét thứ nhất G1 có khả năng bật các tranzito được chứa trong điểm ảnh phụ.

Trong chu kỳ thứ ba P3 được thể hiện trên Fig.15 và Fig.19, tranzito thứ sáu T6_1 có thể vẫn được bật nhờ điện áp thấp được nạp trong nút QN QN. Tuy nhiên, tín hiệu nhịp đồng hồ thứ nhất Clk1 được áp dụng qua đường tín hiệu nhịp đồng hồ thứ nhất CLK1 có thể là trong trạng thái đang được thay đổi từ điện áp thấp đến điện áp cao. Theo đó, điện áp cao của tín hiệu nhịp đồng hồ thứ nhất Clk1 có thể được xuất ra qua cực đầu ra G1O thông qua tranzito thứ sáu được bật T6_1.

Trong chu kỳ thứ tư P4 được thể hiện trên Fig.15 và Fig.20, tranzito thứ tư T4 có thể được bật bởi tín hiệu nhịp đồng hồ thứ ba Clk3 tại điện áp logic được áp dụng qua đường tín hiệu nhịp đồng hồ thứ ba CLK3. Nút QB QBN có thể được nạp với điện áp thấp công nhờ điện áp thấp công được chuyển qua tranzito thứ tư T4. Tranzito thứ ba T3 có thể được bật nhờ điện áp thấp công được nạp trong nút QB QBN, và nút QN QN có thể được nạp với điện áp cao công được áp dụng qua đường điện áp cao công VGH qua tranzito thứ ba được bật T3. Theo đó, tranzito thứ sáu T6_1 có thể được tắt. Ngược lại, tranzito thứ bảy T7_1 có thể được bật nhờ điện áp thấp công được nạp trong nút QB

QBN, và điện áp cao công được áp dụng qua đường điện áp cao công VGH có thể được xuất ra qua cực đầu ra GIO thông qua tranzito thứ bảy được bật T7_1.

Fig.21 là sơ đồ minh họa khái niệm của khối được tích hợp của thanh ghi dịch theo phương án của sáng chế, Fig.22 là sơ đồ cấu hình mạch bên trong của mạch sinh ra tín hiệu quét được tích hợp được thể hiện trên Fig.21, và Fig.23 là sơ đồ dạng sóng điều vận của mạch được thể hiện trên Fig.22.

Như được thể hiện trên Fig.21, theo phương án của sáng chế, các bộ sinh ra tín hiệu quét thứ nhất (ví dụ, SCN1[1] và SCN1[2]) và các bộ sinh ra tín hiệu quét thứ hai (ví dụ, SCN2[1] và SCN2[2]) sinh ra các tín hiệu quét để được cấp đến đường công thứ nhất GL1 được định vị trên đường nằm ngang thứ nhất 1st và đường công thứ hai GL2 được định vị trên đường nằm ngang thứ hai 2nd có thể được nhóm và được tích hợp để tạo thành mạch sinh ra tín hiệu quét được tích hợp đơn SCN[G1].

Mạch sinh ra tín hiệu quét được tích hợp SCN[G1] có thể sinh ra các tín hiệu quét để được cấp đến đường công thứ nhất GL1 được định vị trên đường thứ nhất 1st và đường công thứ hai GL2 được định vị trên đường thứ hai 2nd, như trước khi việc tích hợp. Tuy nhiên, vì tổng cộng bốn bộ sinh ra tín hiệu được tích hợp, nên cấu hình mạch được chia thành mạch chuyển mạch SWTR để điều khiển các nút và mạch đầu ra OUTBF để xuất ra tín hiệu. Điều này sẽ được mô tả ở dưới. Ở đây, phần mô tả sau là dựa trên các bộ sinh ra tín hiệu quét được thể hiện trên Fig.14 để hỗ trợ việc hiểu phân mô tả.

Như được thể hiện trên Fig.22, mạch sinh ra tín hiệu quét được tích hợp SCN[G1] theo phương án có thể chứa mạch chuyển mạch SWTR để điều khiển các nút và mạch đầu ra OUTBF để xuất ra tín hiệu.

Mạch chuyển mạch SWTR có thể chứa tranzito thứ nhất T1, tranzito thứ hai T2, tranzito thứ ba T3, tranzito thứ tư T4, tranzito thứ năm T5, tranzito làm ổn định thứ nhất

TBV1, tranzito làm ổn định thứ hai TBV2, tranzito làm ổn định thứ ba TBV3, tranzito làm ổn định thứ tư TBV4, tranzito thứ tám T8, tranzito thứ chín T9, và tụ điện nút CQB.

Tranzito thứ ba T3, tranzito thứ tư T4, tranzito thứ năm T5, tranzito thứ tám T8, và tranzito thứ chín T9 có thể gồm hai tranzito (tranzito công kép) để giảm thiểu việc sinh ra dòng rò, nhưng sáng chế không bị giới hạn ở đó.

Tranzito thứ nhất T1 có thể có điện cực cổng được kết nối với đường tín hiệu bắt đầu VST và điện cực thứ nhất được kết nối với đường điện áp thấp cổng VGL. Tranzito thứ hai T2 có thể có điện cực cổng được kết nối với đường tín hiệu nhịp đồng hồ thứ (2-6) G2CLK6, điện cực thứ nhất được kết nối với điện cực thứ hai của tranzito thứ nhất T1, và điện cực thứ hai được kết nối với nút QN chung QCN. Tranzito thứ ba T3 có thể có điện cực cổng được kết nối với nút QB QBN, điện cực thứ nhất được kết nối với đường điện áp cao cổng VGH, và điện cực thứ hai được kết nối với nút QN chung QCN. Đường tín hiệu nhịp đồng hồ thứ (2-6) G2CLK6 có thể được định ra như là đường tín hiệu nhịp đồng hồ nút chung vì tín hiệu nhịp đồng hồ để điều khiển nút QN chung QCN được áp dụng đến đó.

Tranzito thứ tư T4 có thể có điện cực cổng được kết nối với đường tín hiệu nhịp đồng hồ thứ (2-4) G2CLK4, điện cực thứ nhất được kết nối với đường điện áp thấp cổng VGL, và điện cực thứ hai được kết nối với nút QB QBN. Tranzito thứ năm T5 có thể có điện cực cổng được kết nối với đường tín hiệu bắt đầu VST, điện cực thứ nhất được kết nối với đường điện áp cao cổng VGH, và điện cực thứ hai được kết nối với nút QB QBN. Đường tín hiệu nhịp đồng hồ thứ (2-4) G2CLK4 có thể được định ra như là đường tín hiệu nhịp đồng hồ nút được đảo ngược vì tín hiệu nhịp đồng hồ để điều khiển nút QB QBN được áp dụng đến đó.

Tranzito làm ổn định thứ nhất TBV1 có thể có điện cực cổng được kết nối với đường điện áp thấp cổng VGL, điện cực thứ nhất được kết nối với nút QN chung QCN,

và điện cực thứ hai được kết nối với nút QN thứ nhất QN1. Tranzito làm ổn định thứ hai TBV2 có thể có điện cực cổng được kết nối với đường điện áp thấp cổng VGL, điện cực thứ nhất được kết nối với nút QN chung QCN, và điện cực thứ hai được kết nối với nút QN thứ hai QN2. Tranzito làm ổn định thứ ba TBV3 có thể có điện cực cổng được kết nối với đường điện áp thấp cổng VGL, điện cực thứ nhất được kết nối với nút QN chung QCN, và điện cực thứ hai được kết nối với nút QN thứ ba QN3. Tranzito làm ổn định thứ tư TBV4 có thể có điện cực cổng được kết nối với đường điện áp thấp cổng VGL, điện cực thứ nhất được kết nối với nút QN chung QCN, và điện cực thứ hai được kết nối với nút QN thứ tư QN4.

Tranzito thứ tám T8 có thể có điện cực cổng được kết nối với nút QN chung QCN, điện cực thứ nhất được kết nối với đường điện áp cao cổng VGH, và điện cực thứ hai được kết nối với nút QB QBN. Tranzito thứ chín T9 có thể có điện cực cổng được kết nối với đường tín hiệu đặt lại thứ hai G2QRST, điện cực thứ nhất được kết nối với đường điện áp cao cổng VGH, và điện cực thứ hai được kết nối với nút QN chung QCN. Tụ điện nút CQB có thể có điện cực thứ nhất được kết nối với đường điện áp cao cổng VGH và điện cực thứ hai được kết nối với nút QB QBN.

Mạch đầu ra OUTBF có thể chứa tranzito thứ (6-1) T6_1, tranzito thứ (6-2) T6_2, tranzito thứ (6-3) T6_3, tranzito thứ (6-4) T6_4, tranzito thứ (7-1) T7_1, tranzito thứ (7-2) T7_2, tranzito thứ (7-3) T7_3, tranzito thứ (7-4) T7_4, tụ điện đầu ra thứ (1-1) CQ1, tụ điện đầu ra thứ (1-2) CQ2, tụ điện đầu ra thứ (2-1) CQ3, và tụ điện đầu ra thứ (2-2) CQ4. Tranzito thứ (6-1) T6_1, tranzito thứ (6-2) T6_2, tranzito thứ (6-3) T6_3, và tranzito thứ (6-4) T6_4 có thể được định ra một cách tương ứng là tranzito kéo lên thứ (1-1), tranzito kéo lên thứ (1-2), tranzito kéo lên thứ (2-1), và tranzito kéo lên thứ (2-2). Ngoài ra, tranzito thứ (7-1) T7_1, tranzito thứ (7-2) T7_2, tranzito thứ (7-3) T7_3, và tranzito thứ (7-4) T7_4 có thể được định ra một cách tương ứng là tranzito kéo xuống

thứ (1-1), tranzito kéo xuống thứ (1-2), tranzito kéo xuống thứ (2-1), và tranzito kéo xuống thứ (2-2).

Tranzito thứ (6-1) T6_1 có thể có điện cực cổng được kết nối với nút QN thứ nhất QN1 là điện cực thứ hai của tranzito làm ổn định thứ nhất TBV1, điện cực thứ nhất được kết nối với đường tín hiệu nhịp đồng hồ thứ (1-1) G1CLK1, và điện cực thứ hai được kết nối với cực đầu ra thứ (1-1) G1O(1st). Tranzito thứ (7-1) T7_1 có thể có điện cực cổng được kết nối với nút QB QBN, điện cực thứ nhất được kết nối với đường điện áp cao cổng VGH, và điện cực thứ hai được kết nối với cực đầu ra thứ (1-1) G1O (1st). Tự điện đầu ra thứ nhất CQ1 có thể có điện cực thứ nhất được kết nối với điện cực cổng của tranzito thứ (6-1) T6_1 và nút QN thứ nhất QN1 là điện cực thứ hai của tranzito làm ổn định thứ nhất TBV1, và điện cực thứ hai được kết nối với cực đầu ra thứ (1-1) G1O(1st).

Tranzito thứ (6-2) T6_2 có thể có điện cực cổng được kết nối với nút QN thứ hai QN2, vốn là điện cực thứ hai của tranzito làm ổn định thứ hai TBV2, điện cực thứ nhất được kết nối với đường tín hiệu nhịp đồng hồ thứ (1-2) G2CLK1, và điện cực thứ hai được kết nối với cực đầu ra thứ (1-2) G2O(1st). Tranzito thứ (7-2) T7_2 có thể có điện cực cổng được kết nối với nút QB QBN, điện cực thứ nhất được kết nối với đường điện áp cao cổng VGH, và điện cực thứ hai được kết nối với cực đầu ra thứ (1-2) G2O (1st). Tự điện đầu ra thứ hai CQ2 có thể có điện cực thứ nhất được kết nối với điện cực cổng của tranzito thứ (6-2) T6_2 và nút QN thứ hai QN2 là điện cực thứ hai của tranzito làm ổn định thứ hai TBV2, và điện cực thứ hai được kết nối với cực đầu ra thứ (1-2) G2O(1st).

Tranzito thứ (6-3) T6_3 có thể có điện cực cổng được kết nối với nút thứ ba QN QN3 là điện cực thứ hai của tranzito làm ổn định thứ ba TBV3, điện cực thứ nhất được kết nối với đường tín hiệu nhịp đồng hồ thứ (2-1) G1CLK2, và điện cực thứ hai được kết nối với cực đầu ra thứ (2-1) G1O(2nd). Tranzito thứ (7-3) T7_3 có thể có điện cực

cổng được kết nối với nút QB QBN, điện cực thứ nhất được kết nối với đường điện áp cao cổng VGH, và điện cực thứ hai được kết nối với cực đầu ra thứ (2-1) G1O(2nd). Tự điện đầu ra thứ ba CQ3 có thể có điện cực thứ nhất được kết nối với điện cực cổng của tranzito thứ (6-3) T6_3 và nút QN thứ ba QN3 là điện cực thứ hai của tranzito làm ổn định thứ ba TBV3, và điện cực thứ hai được kết nối với cực đầu ra thứ (2-1) G1O(2nd).

Tranzito thứ (6-4) T6_4 có thể có điện cực cổng được kết nối với nút QN thứ tư QN4 là điện cực thứ hai của tranzito làm ổn định thứ tư TBV4, điện cực thứ nhất được kết nối với đường tín hiệu nhịp đồng hồ thứ (2-2) G2CLK2, và điện cực thứ hai được kết nối với cực đầu ra thứ (2-2) G2O(2nd). Tranzito thứ (7-4) T7_4 có thể có điện cực cổng được kết nối với nút QB QBN, điện cực thứ nhất được kết nối với đường điện áp cao cổng VGH, và điện cực thứ hai được kết nối với cực đầu ra thứ (2-2) G2O(2nd). Tự điện đầu ra thứ tư CQ4 có thể có điện cực thứ nhất được kết nối với điện cực cổng của tranzito thứ (6-4) T6_4 và nút QN thứ tư QN4 là điện cực thứ hai của tranzito làm ổn định thứ tư TBV4, và điện cực thứ hai được kết nối với cực đầu ra thứ (2-2) G2O(2nd).

Như được thể hiện trên Fig.22 và Fig.23, mạch sinh ra tín hiệu quét được tích hợp SCN[G1] theo phương án có thể hoạt động dựa trên tín hiệu nhịp đồng hồ thứ (1-1) G1 Clk1, tín hiệu nhịp đồng hồ thứ (2-1) G1 Clk2, tín hiệu nhịp đồng hồ thứ (3-1) G1 Clk3, tín hiệu nhịp đồng hồ thứ (4-1) G1 Clk4, tín hiệu nhịp đồng hồ thứ (1-2) G2 Clk1, tín hiệu nhịp đồng hồ thứ (2-2) G2 Clk2, tín hiệu nhịp đồng hồ thứ (3-2) G2 Clk3, tín hiệu nhịp đồng hồ thứ (4-2) G2 Clk4, tín hiệu nhịp đồng hồ thứ (5-2) G2 Clk5, và tín hiệu nhịp đồng hồ thứ (6-2) G2 Clk6.

Mối quan hệ giữa các tín hiệu nhịp đồng hồ để điều vận mạch sinh ra tín hiệu quét được tích hợp SCN[G1] theo phương án sẽ được mô tả như sau.

Tín hiệu nhịp đồng hồ thứ (1-1) G1 Clk1, tín hiệu nhịp đồng hồ thứ (2-1) G1 Clk2, tín hiệu nhịp đồng hồ thứ (3-1) G1 Clk3, và tín hiệu nhịp đồng hồ thứ (4-1) G1 Clk4 có

thể sinh ra điện áp thấp trong thời gian gần với một chu kỳ nằm ngang (1H). Tín hiệu nhịp đồng hồ thứ (1-2) G2 Clk1, tín hiệu nhịp đồng hồ thứ (2-2) G2 Clk2, tín hiệu nhịp đồng hồ thứ (3-2) G2 Clk3, tín hiệu nhịp đồng hồ thứ (4-2) G2 Clk4, tín hiệu nhịp đồng hồ thứ (5-2) G2 Clk5, và tín hiệu nhịp đồng hồ thứ (6-2) G2 Clk6 có thể sinh ra điện áp thấp trong thời gian gần với 2 chu kỳ nằm ngang (2H).

Tín hiệu nhịp đồng hồ thứ (4-1) G1 Clk4 có thể được thay đổi từ điện áp cao đến điện áp thấp sau khi tín hiệu nhịp đồng hồ thứ (6-2) G2 Clk6 được thay đổi từ điện áp cao đến điện áp thấp. Tín hiệu nhịp đồng hồ thứ (1-1) G1 Clk1 có thể được thay đổi từ điện áp cao đến điện áp thấp sau khi tín hiệu nhịp đồng hồ thứ (1-2) G2 Clk1 được thay đổi từ điện áp cao đến điện áp thấp. Tín hiệu nhịp đồng hồ thứ (2-1) G1 Clk2 có thể được thay đổi từ điện áp cao đến điện áp thấp sau khi tín hiệu nhịp đồng hồ thứ (2-2) G2 Clk2 được thay đổi từ điện áp cao đến điện áp thấp. Tín hiệu nhịp đồng hồ thứ (3-1) G1 Clk3 có thể được thay đổi từ điện áp cao đến điện áp thấp sau khi tín hiệu nhịp đồng hồ thứ (3-2) G2 Clk3 được thay đổi từ điện áp cao đến điện áp thấp.

Các chu kỳ trong suốt các chu kỳ đó tín hiệu nhịp đồng hồ thứ (4-1) G1 Clk4, tín hiệu nhịp đồng hồ thứ (1-1) G1 Clk1, tín hiệu nhịp đồng hồ thứ (2-1) G1 Clk2, và tín hiệu nhịp đồng hồ thứ (3-1) G1 Clk3 duy trì điện áp thấp, có thể không chông lẩn. Ngược lại, các chu kỳ mà trong suốt các chu kỳ đó tín hiệu nhịp đồng hồ thứ (6-2) G2 Clk6 và tín hiệu nhịp đồng hồ thứ (1-2) G2 Clk1 duy trì điện áp thấp, có thể chông lẩn, các chu kỳ mà trong suốt các chu kỳ đó tín hiệu nhịp đồng hồ thứ (1-2) G2 Clk1 và tín hiệu nhịp đồng hồ thứ (2-2) G2 Clk1 duy trì điện áp thấp, có thể chông lẩn, các chu kỳ mà trong suốt các chu kỳ đó tín hiệu nhịp đồng hồ thứ (2-2) G2 Clk2 và tín hiệu nhịp đồng hồ thứ (3-2) G2 Clk3 duy trì điện áp thấp, có thể chông lẩn, các chu kỳ mà trong suốt các chu kỳ đó tín hiệu nhịp đồng hồ thứ (3-2) G2 Clk3 và tín hiệu nhịp đồng hồ thứ (4-2) G2 Clk4 duy trì điện áp thấp, có thể chông lẩn, và các chu kỳ mà trong suốt các chu kỳ đó

tín hiệu nhịp đồng hồ thứ (4-2) G2 Clk4 và tín hiệu nhịp đồng hồ thứ (5-2) G2 Clk5 duy trì điện áp thấp, có thể chống lẩn.

Phương pháp điều vận mạch sinh ra tín hiệu quét được tích hợp SCN[G1] theo phương án sẽ được mô tả ở dưới, dựa trên các tín hiệu nhịp đồng hồ được mô tả ở trên. Tuy nhiên, vì hoạt động của mạch chuyển mạch SWTR đã được mô tả ở trên với tham chiếu đến các hình vẽ từ Fig.16 đến Fig.20, nên hoạt động của mạch đầu ra OUTBF và các tín hiệu quét được xuất ra từ đó sẽ được mô tả chủ yếu. Ngoài ra, mạch chuyển mạch SWTR sẽ được mô tả trên việc giả sử rằng nút QN chung đã được nạp với điện áp thấp bởi tín hiệu bắt đầu được áp dụng qua đường tín hiệu bắt đầu VST và tín hiệu nhịp đồng hồ thứ (6-2) G2 Clk6 được áp dụng qua đường tín hiệu nhịp đồng hồ thứ (6-2) G2CLK6.

Như được thể hiện trên Fig.22 và Fig.23, khi nút QB QBN đã được nạp với điện áp cao (tham chiếu đến QBn trên Fig.23), nút QN chung QCN có thể là trong trạng thái mà trong đó nó đã được nạp với điện áp thấp (chu kỳ QCN Low). Điều này có thể được làm sáng tỏ bằng cách tham chiếu đến các trạng thái được nạp (Qn1 đến Qn4 trên Fig.23) của nút QN thứ nhất QN1 đến nút QN thứ tư QN4.

Tranzito thứ (6-1) T6_1 có thể được bật đáp lại điện áp Qn1 được nạp trong nút QN thứ nhất QN1 là điện cực thứ hai của tranzito làm ổn định thứ nhất TBV1. Khi tín hiệu nhịp đồng hồ thứ (1-1) G1 Clk1 được áp dụng qua đường tín hiệu nhịp đồng hồ thứ (1-1) G1CLK1 được thay đổi từ điện áp cao đến điện áp thấp trong trạng thái mà trong đó tranzito thứ (6-1) T6_1 được bật, thì việc tự khởi động do tụ điện đầu ra thứ nhất CQ1 có thể xảy ra trong nút QN thứ nhất QN1.

Theo đó, điện áp Qn1 của nút QN thứ nhất QN1 có thể được hạ thấp đến mức của điện áp thấp công. Ngoài ra, điện áp thấp của tín hiệu nhịp đồng hồ thứ (1-1) G1 Clk1 có thể được xuất ra qua cực đầu ra thứ (1-1) G1O (1st) thông qua tranzito thứ (6-1) được bật T6_1. Vì điện áp thấp được xuất ra qua cực đầu ra thứ (1-1) G1O(1st) tương ứng với

tín hiệu quét thứ nhất Scan1[n] trên Fig.7, nên nó có thể được sử dụng như là tín hiệu quét thứ nhất G1(1st) để được áp dụng đến đường nằm ngang thứ nhất 1st. Vì tín hiệu quét thứ nhất G1(1st) để được áp dụng đến đường nằm ngang thứ nhất 1st được xuất ra qua cực đầu ra thứ (1-1) G1O(1st), nên nó có thể được định ra là tín hiệu quét thứ (1-1) G1(1st).

Tranzito thứ (6-2) T6_2 có thể được bật đáp lại điện áp Qn2 được nạp trong nút QN thứ hai QN2 là điện cực thứ hai của tranzito làm ổn định thứ hai TBV2. Khi tín hiệu nhịp đồng hồ thứ (1-2) G2 Clk1 được áp dụng qua đường tín hiệu nhịp đồng hồ thứ (1-2) G2CLK1 được thay đổi từ điện áp cao đến điện áp thấp trong trạng thái mà trong đó tranzito thứ (6-2) T6_2 được bật, thì việc tự khởi động do tụ điện đầu ra thứ hai CQ2 có thể xảy ra trong nút QN thứ hai QN2.

Theo đó, điện áp Qn2 của nút QN thứ hai QN2 có thể được hạ thấp đến mức của điện áp thấp công. Ngoài ra, điện áp thấp của tín hiệu nhịp đồng hồ thứ (1-2) G2 Clk1 có thể được xuất ra qua cực đầu ra thứ (1-2) G2O(1st) thông qua tranzito thứ (6-2) được bật T6_2. Vì điện áp thấp được xuất ra qua cực đầu ra thứ (1-2) G2O(1st) tương ứng với tín hiệu quét thứ hai Scan2[n] trên Fig.7, nên nó có thể được sử dụng là tín hiệu quét thứ hai G2(1st) để được áp dụng đến đường nằm ngang thứ nhất 1st. Vì tín hiệu quét thứ hai G2(1st) để được áp dụng đến đường nằm ngang thứ nhất 1st được xuất ra qua cực đầu ra thứ (1-2) G2O(1st), nên nó có thể được định ra là tín hiệu quét thứ (1-2) G2(1st).

Tranzito thứ (6-3) T6_3 có thể được bật đáp lại điện áp Qn3 được nạp trong nút QN thứ ba QN3 là điện cực thứ hai của tranzito làm ổn định thứ ba TBV3. Khi tín hiệu nhịp đồng hồ thứ (2-1) G1 Clk2 được áp dụng qua đường tín hiệu nhịp đồng hồ thứ (2-1) G1CLK2 được thay đổi từ điện áp cao đến điện áp thấp trong trạng thái mà trong đó tranzito thứ (6-3) T6_3 được bật, nên việc tự khởi động do tụ điện đầu ra thứ ba CQ3 có thể xảy ra trong nút QN thứ ba QN3.

Theo đó, điện áp Qn3 của nút QN thứ ba QN3 có thể được hạ thấp đến mức của điện áp thấp công. Ngoài ra, điện áp thấp của tín hiệu nhịp đồng hồ thứ (2-1) G1 Clk2 có thể được xuất ra qua cực đầu ra thứ (2-1) G1O(2nd) thông qua tranzito thứ (6-3) được bật T6_3. Vì điện áp thấp được xuất ra qua cực đầu ra thứ (2-1) G1O(2nd) là tương tự với tín hiệu quét thứ nhất Scan1[n] trên Fig.7, nên nó có thể được sử dụng là tín hiệu quét thứ nhất G1(2nd) để được áp dụng đến đường nằm ngang thứ hai 2nd. Vì tín hiệu quét thứ nhất G1(2nd) để được áp dụng đến đường nằm ngang thứ hai 2nd được xuất ra qua cực đầu ra thứ (2-1) G1O(2nd), nên nó có thể được định ra là tín hiệu quét thứ (2-1) G1(2nd).

Tranzito thứ (6-4) T6_4 có thể được bật đáp lại điện áp Qn4 được nạp trong nút QN thứ tư QN4 là điện cực thứ hai của tranzito làm ổn định thứ tư TBV4. Khi tín hiệu nhịp đồng hồ thứ (2-2) G2 Clk2 được áp dụng qua đường tín hiệu nhịp đồng hồ thứ (2-2) G2CLK2 được thay đổi từ điện áp cao đến điện áp thấp trong trạng thái mà trong đó tranzito thứ (6-4) T6_4 được bật, thì việc tự khởi động do tụ điện đầu ra thứ tư CQ4 có thể xảy ra trong nút QN thứ tư QN4.

Theo đó, điện áp Qn4 của nút QN thứ tư QN4 có thể được hạ thấp đến mức của điện áp thấp công. Ngoài ra, điện áp thấp của tín hiệu nhịp đồng hồ thứ (2-2) G2 Clk2 có thể được xuất ra qua cực đầu ra thứ (2-2) G2O(2nd) thông qua tranzito thứ (6-4) được bật T6_4. Vì điện áp thấp được xuất ra qua cực đầu ra thứ (2-2) G2O(2nd) là tương tự với tín hiệu quét thứ hai Scan2[n] trên Fig.7, nên nó có thể được sử dụng là tín hiệu quét thứ hai G2(2nd) để được áp dụng đến đường nằm ngang thứ hai 2nd. Vì tín hiệu quét thứ hai G2(2nd) để được áp dụng đến đường nằm ngang thứ hai 2nd được xuất ra qua cực đầu ra thứ (2-2) G2O(2nd), nên nó có thể được định ra như là tín hiệu quét thứ (2-2) G2(2nd).

Chu kỳ trong đó điện áp thấp của tín hiệu quét thứ (1-1) G1(1st) được duy trì và chu kỳ trong đó điện áp thấp của tín hiệu quét thứ (2-1) G1(2nd) được duy trì, có thể không chồng lấn. Ngược lại, chu kỳ trong đó điện áp thấp của tín hiệu quét thứ (1-2) G2(1st) được duy trì và chu kỳ trong đó điện áp thấp của tín hiệu quét thứ (2-2) G2(2nd) được duy trì, có thể chồng lấn một phần.

Trạng thái mà trong đó nút QN chung QCN được nạp với điện áp thấp có thể được duy trì cho đến khi chu kỳ trong đó tín hiệu nhịp đồng hồ thứ (2-4) G2 Clk4 được áp dụng qua đường tín hiệu nhịp đồng hồ thứ (2-4) G2CLK4 được thay đổi từ điện áp cao đến điện áp thấp.

Sau đó, khi tín hiệu nhịp đồng hồ thứ (2-4) G2 Clk4 được áp dụng qua đường tín hiệu nhịp đồng hồ thứ (2-4) G2CLK4 được thay đổi từ điện áp cao đến điện áp thấp, thì nút QB QBN được nạp với điện áp thấp cổng và tranzito thứ ba T3 có thể được bật. Khi tranzito thứ ba T3 được bật, thì nút QN chung QCN có thể được nạp với điện áp cao cổng và các tranzito thứ (6-1) T6_1 đến các tranzito thứ (6-4) T6_4 có thể được tắt. Ngược lại, tranzito thứ (7-1) T7_1 đến tranzito thứ (7-4) T7_4 được bật, và do đó, điện áp cao cổng có thể được xuất ra đến cực đầu ra thứ (1-1) G1O(1st), cực đầu ra thứ (2-1) G2O(1st), cực đầu ra thứ (1-2) G1O(2nd) và cực đầu ra thứ (2-2) G2O(2nd).

Như được mô tả ở trên, sáng chế có hiệu quả làm giảm diện tích mạch của thanh ghi dịch để xuất ra các tín hiệu quét bằng cách nhóm và tích hợp tổng cộng bốn bộ sinh ra tín hiệu quét được chứa trong hai tầng để tạo thành mạch sinh ra tín hiệu quét được tích hợp đơn. Ngoài ra, sáng chế có hiệu quả làm giảm kích cỡ của mép của panen hiển thị dựa trên việc giảm diện tích mạch của thanh ghi dịch để xuất ra các tín hiệu quét.

YÊU CẦU BẢO HỘ

1. Thiết bị hiển thị bao gồm:

panen hiển thị; và

bộ sinh ra tín hiệu quét được tạo cấu hình để sinh ra tín hiệu quét thứ (1-1) và tín hiệu quét thứ (1-2) để được cấp đến đường nằm ngang thứ nhất của panen hiển thị và tín hiệu quét thứ (2-1) và tín hiệu quét thứ (2-2) để được cấp đến đường nằm ngang thứ hai của panen hiển thị,

trong đó bộ sinh ra tín hiệu quét chứa:

mạch chuyển mạch chứa nút chung được nạp với điện áp thấp được áp dụng nhờ các hoạt động bật của tranzito thứ nhất và tranzito thứ hai, nút đảo ngược hoạt động ngược với nút chung, và các tranzito làm ổn định thứ nhất đến thứ tư có các điện cực thứ nhất được kết nối với nút chung, và các điện cực cổng được kết nối với đường điện áp thấp cổng; và

mạch đầu ra chứa tranzito kéo lên thứ (1-1) và tranzito kéo lên thứ (1-2) xuất ra tín hiệu quét thứ (1-1) và tín hiệu quét thứ (1-2) đáp lại điện áp của nút thứ nhất tương ứng với điện cực thứ hai của tranzito làm ổn định thứ nhất và điện áp của nút thứ hai tương ứng với điện cực thứ hai của tranzito làm ổn định thứ hai, và tranzito kéo lên thứ (2-1) và tranzito kéo lên thứ (2-2) xuất ra tín hiệu quét thứ (2-1) và tín hiệu quét thứ (2-2) đáp lại điện áp của nút thứ ba tương ứng với điện cực thứ hai của tranzito làm ổn định thứ ba và điện áp của nút thứ tư tương ứng với điện cực thứ hai của tranzito làm ổn định thứ tư.

2. Thiết bị hiển thị theo điểm 1, trong đó tranzito kéo lên thứ (1-1) bao gồm điện cực cổng được kết nối với nút thứ nhất, điện cực thứ nhất được kết nối với đường tín hiệu nhịp đồng hồ thứ (1-1), và điện cực thứ hai được kết nối với cực đầu ra thứ (1-1),

các tranzito kéo lên thứ (1-2) bao gồm điện cực cổng được kết nối với nút thứ hai, điện cực thứ nhất được kết nối với đường tín hiệu nhịp đồng hồ thứ (1-2), và điện cực thứ hai được kết nối với cực đầu ra thứ (1-2),

tranzito kéo lên thứ (2-1) bao gồm điện cực cổng được kết nối với nút thứ ba, điện cực thứ nhất được kết nối với đường tín hiệu nhịp đồng hồ thứ (2-1), và điện cực thứ hai được kết nối với cực đầu ra thứ (2-1), và

tranzito kéo lên thứ (2-2) bao gồm điện cực cổng được kết nối với nút thứ tư, điện cực thứ nhất được kết nối với đường tín hiệu nhịp đồng hồ thứ (2-2), và điện cực thứ hai được kết nối với cực đầu ra (2-2).

3. Thiết bị hiển thị theo điểm 2, trong đó mạch đầu ra chứa:

tranzito kéo xuống thứ (1-1) bao gồm điện cực cổng được kết nối với nút đảo ngược, điện cực thứ nhất được kết nối với đường điện áp cao cổng, và điện cực thứ hai được kết nối với cực đầu ra thứ (1-1);

tranzito kéo xuống thứ (1-2) bao gồm điện cực cổng được kết nối với nút đảo ngược, điện cực thứ nhất được kết nối với đường điện áp cao cổng, và điện cực thứ hai được kết nối với cực đầu ra thứ (1-2);

tranzito kéo xuống thứ (2-1) bao gồm điện cực cổng được kết nối với nút đảo ngược, điện cực thứ nhất được kết nối với đường điện áp cao cổng, và điện cực thứ hai được kết nối với cực đầu ra thứ (2-1); và

tranzito kéo xuống thứ (2-2) bao gồm điện cực cổng được kết nối với nút đảo ngược, điện cực thứ nhất được kết nối với đường điện áp cao cổng, và điện cực thứ hai được kết nối với cực đầu ra thứ (2-2).

4. Thiết bị hiển thị theo điểm 3, trong đó mạch đầu ra chứa:

tụ điện thứ (1-1) bao gồm điện cực thứ nhất được kết nối với điện cực cổng của tranzito kéo lên thứ (1-1) và điện cực thứ hai được kết nối với cực đầu ra thứ (1-1);

tụ điện thứ (1-2) bao gồm điện cực thứ nhất được kết nối với điện cực cổng của tranzito kéo lên thứ (1-2) và điện cực thứ hai được kết nối với cực đầu ra thứ (1-2);

tụ điện thứ (2-1) bao gồm điện cực thứ nhất được kết nối với điện cực cổng của tranzito kéo lên thứ (2-1) và điện cực thứ hai được kết nối với cực đầu ra thứ (2-1); và

tụ điện thứ (2-2) bao gồm điện cực thứ nhất được kết nối với điện cực cổng của tranzito kéo lên thứ (2-2) và điện cực thứ hai được kết nối với cực đầu ra thứ (2-2).

5. Thiết bị hiển thị theo điểm 1, trong đó tranzito thứ nhất bao gồm điện cực cổng được kết nối với đường tín hiệu bắt đầu và điện cực thứ nhất được kết nối với đường điện áp thấp cổng, và tranzito thứ hai bao gồm điện cực cổng được kết nối với đường tín hiệu nhịp đồng hồ nút chung, điện cực thứ nhất được kết nối với điện cực thứ hai của tranzito thứ nhất, và điện cực thứ hai được kết nối với nút chung.

6. Thiết bị hiển thị theo điểm 5, trong đó mạch chuyển mạch chứa:

tranzito thứ ba bao gồm điện cực cổng được kết nối với nút đảo ngược, điện cực thứ nhất được kết nối với đường điện áp cao cổng, và điện cực thứ hai được kết nối với nút chung;

tranzito thứ tư bao gồm điện cực cổng được kết nối với đường tín hiệu nhịp đồng hồ nút đảo ngược, điện cực thứ nhất được kết nối với đường điện áp thấp cổng, và điện cực thứ hai được kết nối với nút đảo ngược;

tranzito thứ năm bao gồm điện cực cổng được kết nối với đường tín hiệu bắt đầu, điện cực thứ nhất được kết nối với đường điện áp cao cổng, và điện cực thứ hai được kết nối với nút đảo ngược;

tranzito thứ tám bao gồm điện cực cổng được kết nối với nút chung, điện cực thứ nhất được kết nối với đường điện áp cao cổng, và điện cực thứ hai được kết nối với nút chung;

tranzito thứ chín bao gồm điện cực cổng được kết nối với đường tín hiệu đặt lại, điện cực thứ nhất được kết nối với đường điện áp cao cổng, và điện cực thứ hai được kết nối với nút chung; và

tụ điện nút bao gồm điện cực thứ nhất được kết nối với đường điện áp cao cổng và điện cực thứ hai được kết nối với nút đảo ngược.

7. Thiết bị hiển thị theo điểm 1, trong đó chu kỳ trong đó tín hiệu quét thứ (1-1) duy trì điện áp thấp và chu kỳ trong đó tín hiệu quét thứ (2-1) duy trì điện áp thấp không chồng lấn, và chu kỳ trong đó tín hiệu quét thứ (1-2) duy trì điện áp thấp và chu kỳ trong đó tín hiệu quét thứ (2-2) duy trì điện áp thấp chồng lấn một phần.

8. Mạch sinh ra tín hiệu quét bao gồm:

mạch chuyển mạch chứa nút chung được nạp với điện áp thấp được áp dụng nhờ các hoạt động bật của tranzito thứ nhất và tranzito thứ hai, nút đảo ngược hoạt động ngược với nút chung, và các tranzito làm ổn định thứ nhất đến thứ tư chứa các điện cực thứ nhất được kết nối với nút chung, và các điện cực cổng được kết nối với đường điện áp thấp cổng; và

mạch đầu ra chứa tranzito kéo lên thứ (1-1) và tranzito kéo lên thứ (1-2) xuất ra tín hiệu quét thứ (1-1) và tín hiệu quét thứ (1-2) đáp lại điện áp của nút thứ nhất tương ứng với điện cực thứ hai của tranzito làm ổn định thứ nhất và điện áp của nút thứ hai tương ứng với điện cực thứ hai của tranzito làm ổn định thứ hai, và tranzito kéo lên thứ (2-1) và tranzito kéo lên thứ (2-2) xuất ra tín hiệu quét thứ (2-1) và tín hiệu quét thứ (2-2) đáp lại điện áp của nút thứ ba tương ứng với điện cực thứ hai của tranzito làm ổn định thứ ba và điện áp của nút thứ tư tương ứng với điện cực thứ hai của tranzito làm ổn định thứ tư.

9. Mạch sinh ra tín hiệu quét theo điểm 8, trong đó tranzito kéo lên thứ (1-1) bao gồm điện cực cổng được kết nối với nút thứ nhất, điện cực thứ nhất được kết nối với đường

tín hiệu nhịp đồng hồ thứ (1-1), và điện cực thứ hai được kết nối với cực đầu ra thứ (1-1),

tranzito kéo lên thứ (1-2) bao gồm điện cực cổng được kết nối với nút thứ hai, điện cực thứ nhất được kết nối với đường tín hiệu nhịp đồng hồ thứ (1-2), và điện cực thứ hai được kết nối với cực đầu ra thứ (1-2),

tranzito kéo lên thứ (2-1) bao gồm điện cực cổng được kết nối với nút thứ ba, điện cực thứ nhất được kết nối với đường tín hiệu nhịp đồng hồ thứ (2-1), và điện cực thứ hai được kết nối với cực đầu ra thứ (2-1), và

tranzito kéo lên thứ (2-2) bao gồm điện cực cổng được kết nối với nút thứ tư, điện cực thứ nhất được kết nối với đường tín hiệu nhịp đồng hồ thứ (2-2), và điện cực thứ hai được kết nối với cực đầu ra thứ (2-2).

10. Mạch sinh ra tín hiệu quét theo điểm 9, trong đó mạch đầu ra chứa:

tranzito kéo xuống thứ (1-1) bao gồm điện cực cổng được kết nối với nút đảo ngược, điện cực thứ nhất được kết nối với đường điện áp cao cổng, và điện cực thứ hai được kết nối với cực đầu ra thứ (1-1);

tranzito kéo xuống thứ (1-2) bao gồm điện cực cổng được kết nối với nút đảo ngược, điện cực thứ nhất được kết nối với đường điện áp cao cổng, và điện cực thứ hai được kết nối với cực đầu ra thứ (1-2);

tranzito kéo xuống thứ (2-1) bao gồm điện cực cổng được kết nối với nút đảo ngược, điện cực thứ nhất được kết nối với đường điện áp cao cổng, và điện cực thứ hai được kết nối với cực đầu ra thứ (2-1);

tranzito kéo xuống thứ (2-2) bao gồm điện cực cổng được kết nối với nút đảo ngược, điện cực thứ nhất được kết nối với đường điện áp cao cổng, và điện cực thứ hai được kết nối với cực đầu ra thứ (2-2);

tụ điện thứ (1-1) bao gồm điện cực thứ nhất được kết nối với điện cực cổng của tranzito kéo lên thứ (1-1) và điện cực thứ hai được kết nối với cực đầu ra thứ (1-1);

tụ điện thứ (1-2) bao gồm điện cực thứ nhất được kết nối với điện cực cổng của tranzito kéo lên thứ (1-2) và điện cực thứ hai được kết nối với cực đầu ra thứ (1-2);

tụ điện thứ (2-1) bao gồm điện cực thứ nhất được kết nối với điện cực cổng của tranzito kéo lên thứ (2-1) và điện cực thứ hai được kết nối với cực đầu ra thứ (2-1); và

tụ điện thứ (2-2) bao gồm điện cực thứ nhất được kết nối với điện cực cổng của tranzito kéo lên thứ (2-2) và điện cực thứ hai được kết nối với cực đầu ra thứ (2-2).

1/17

FIG.1

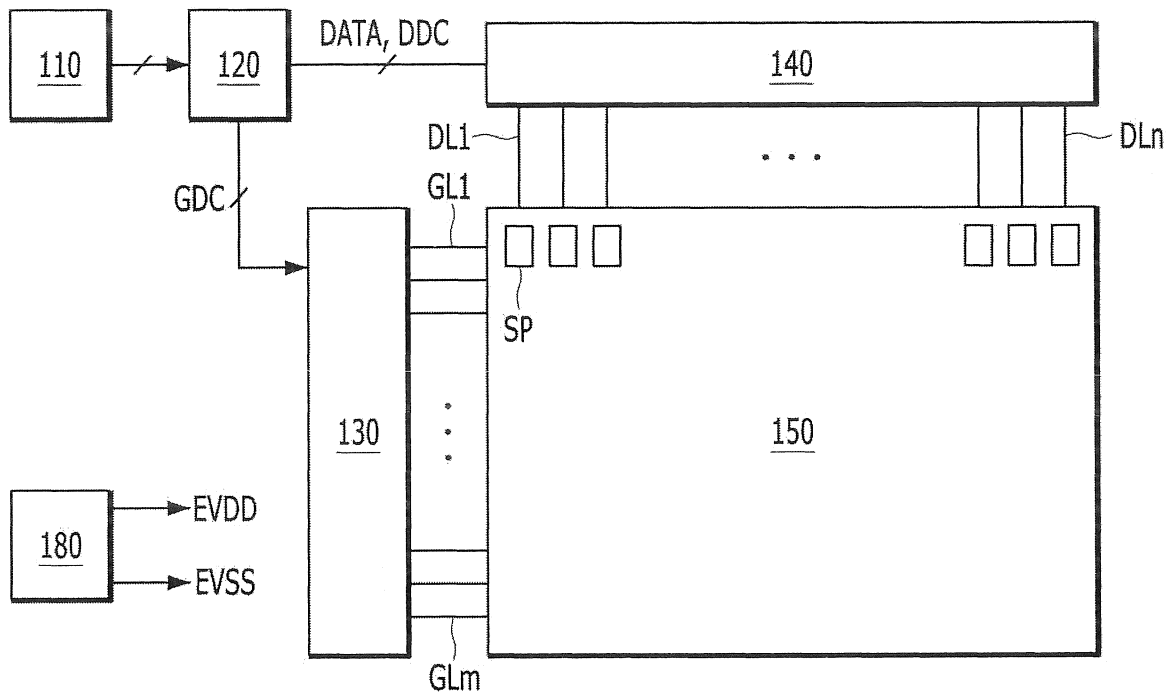
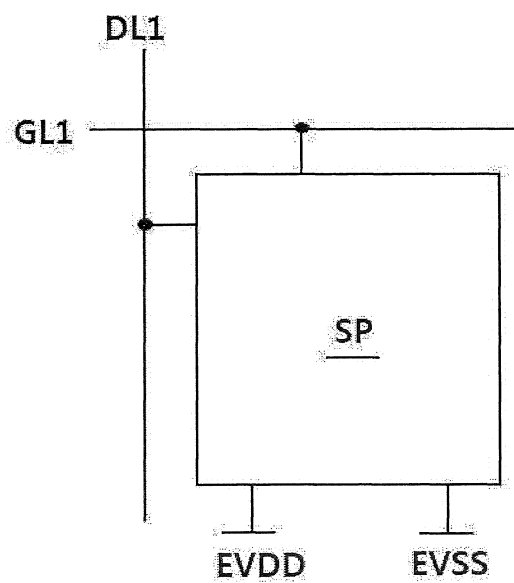
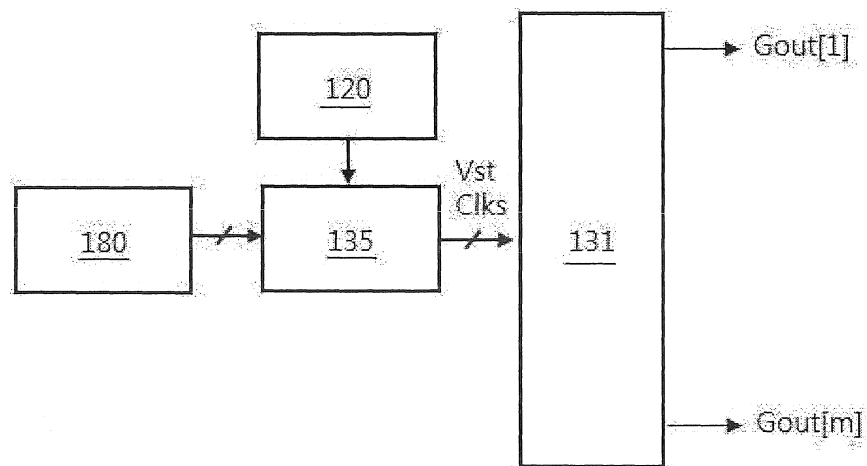
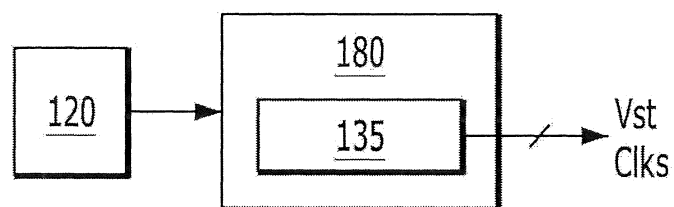


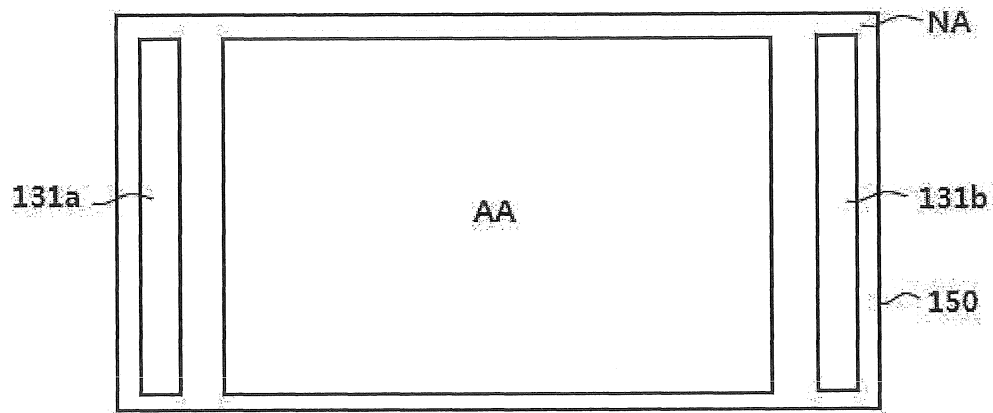
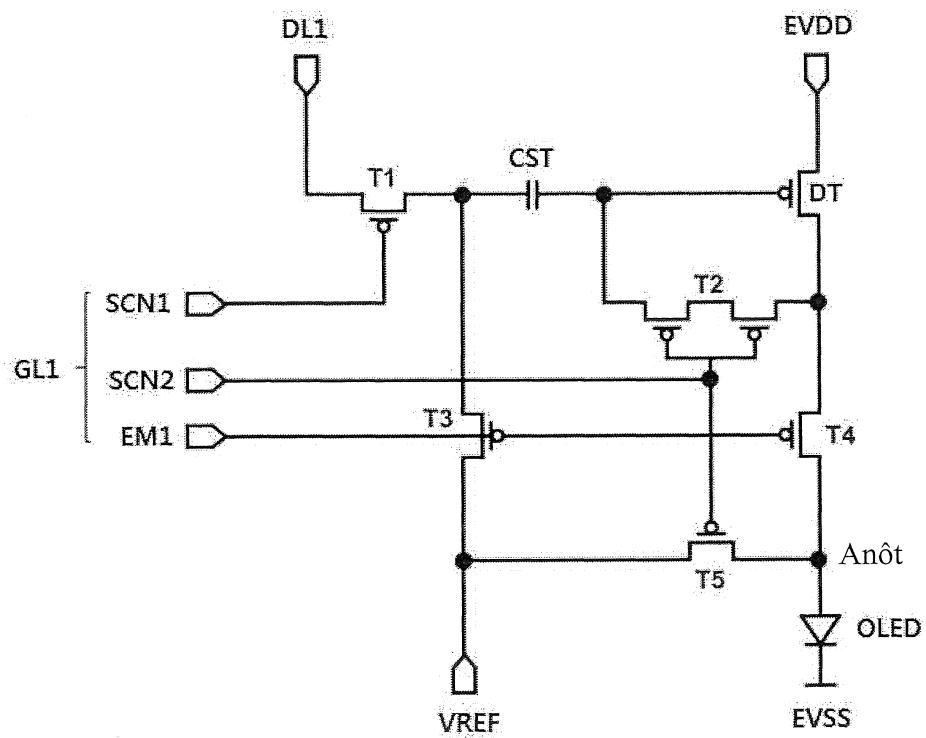
FIG.2



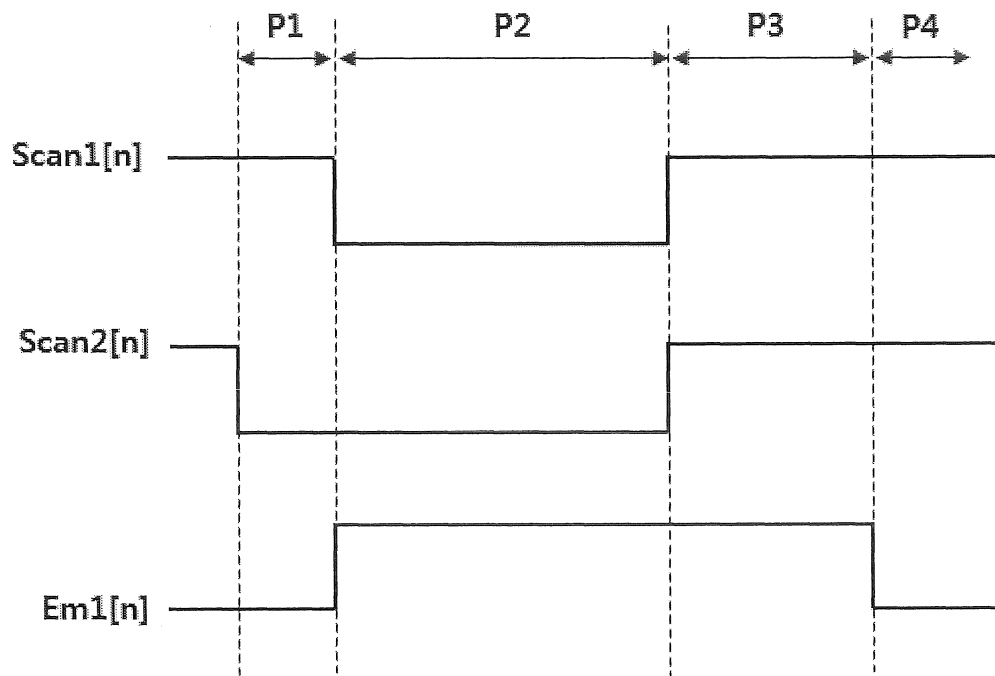
2/17

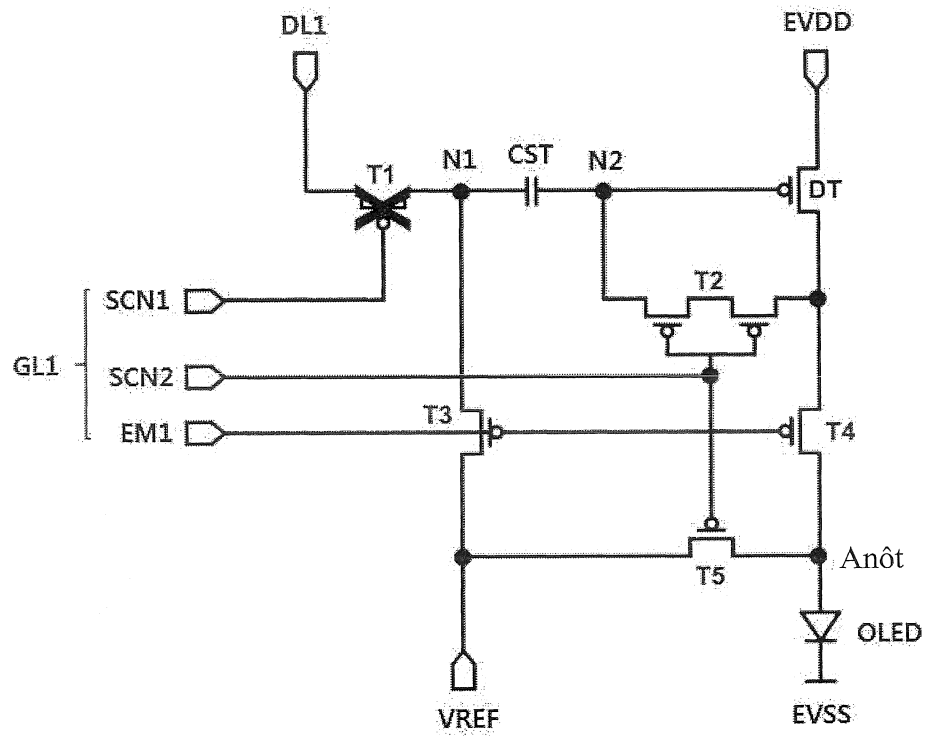
FIG.3**FIG.4**

3/17

FIG.5**FIG.6**

4/17

FIG.7



6/17

FIG.9

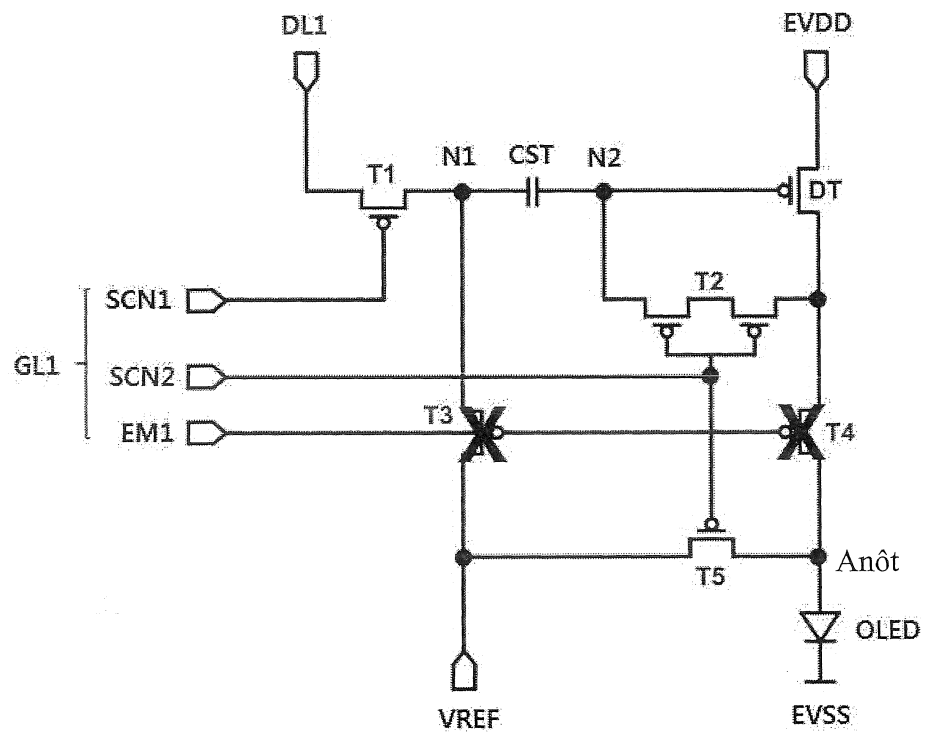
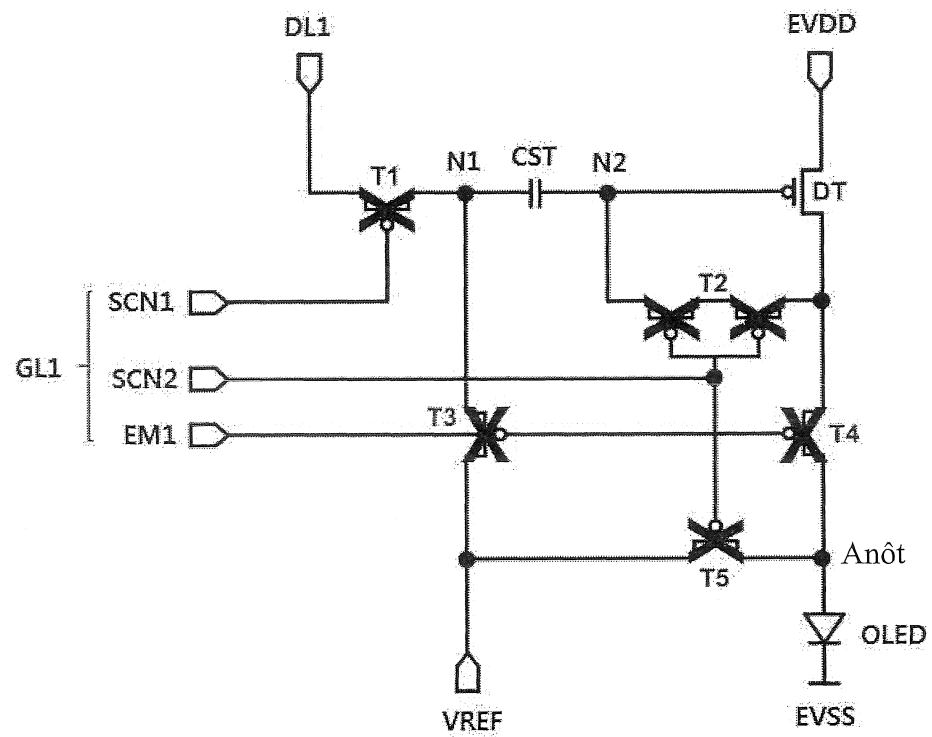
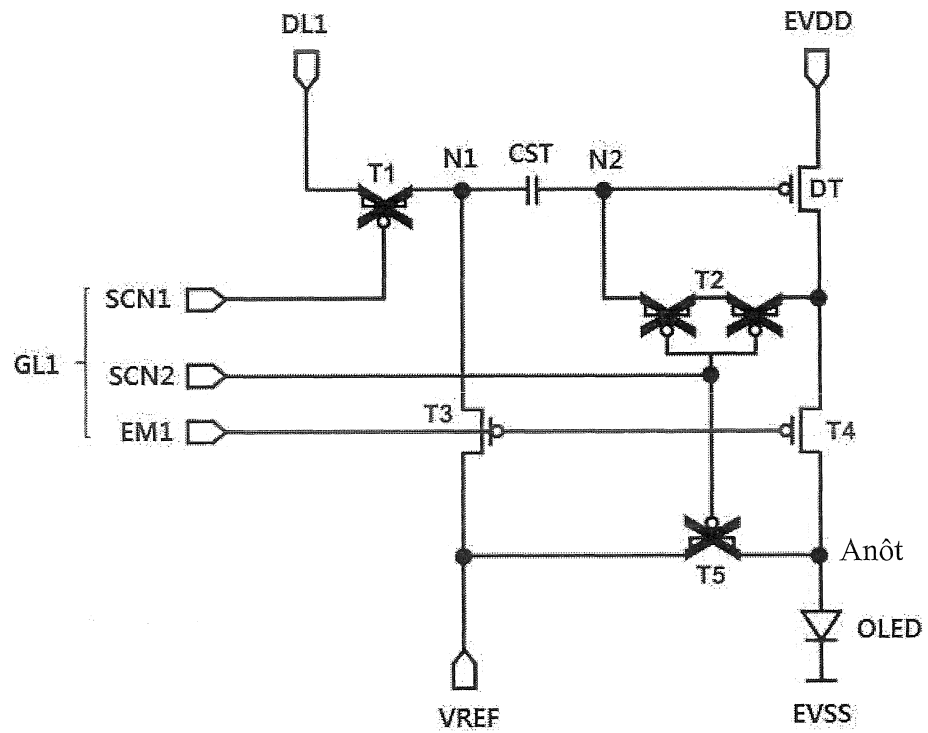


FIG.10



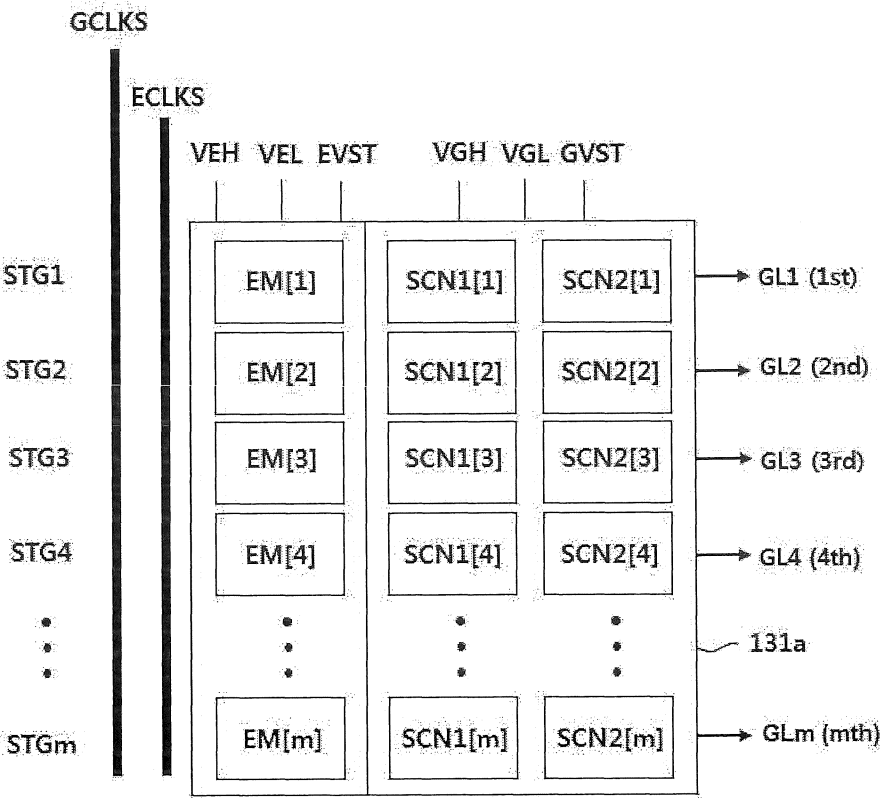
8/17

FIG.11



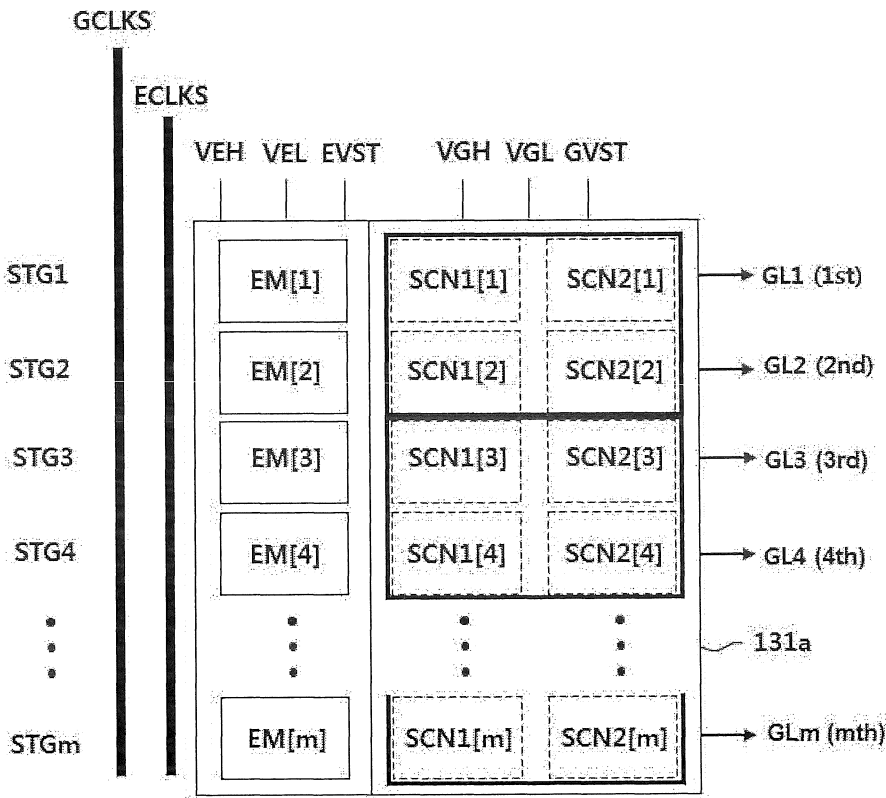
9/17

FIG.12



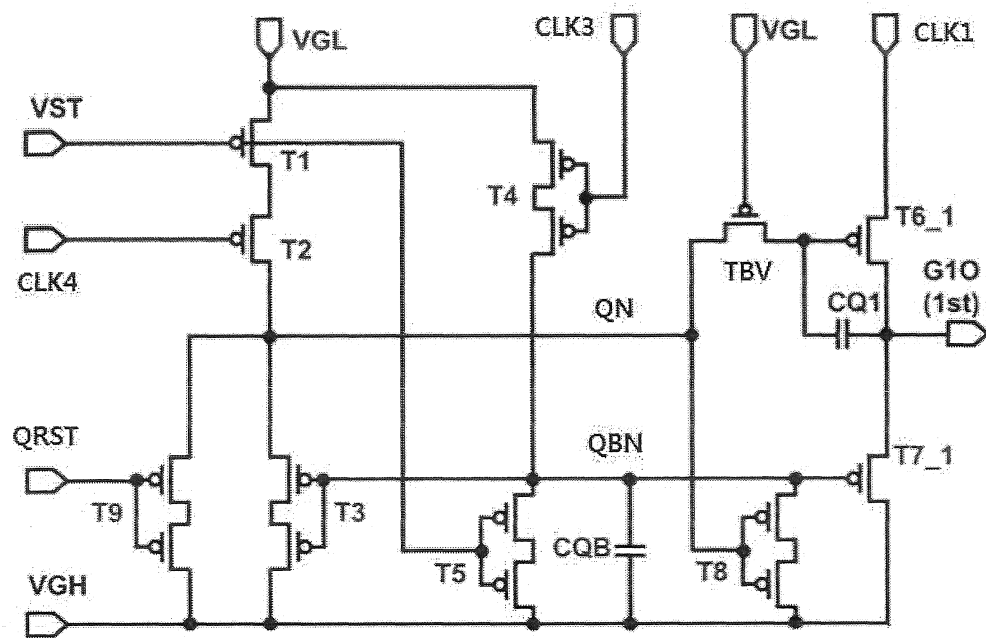
10/17

FIG.13



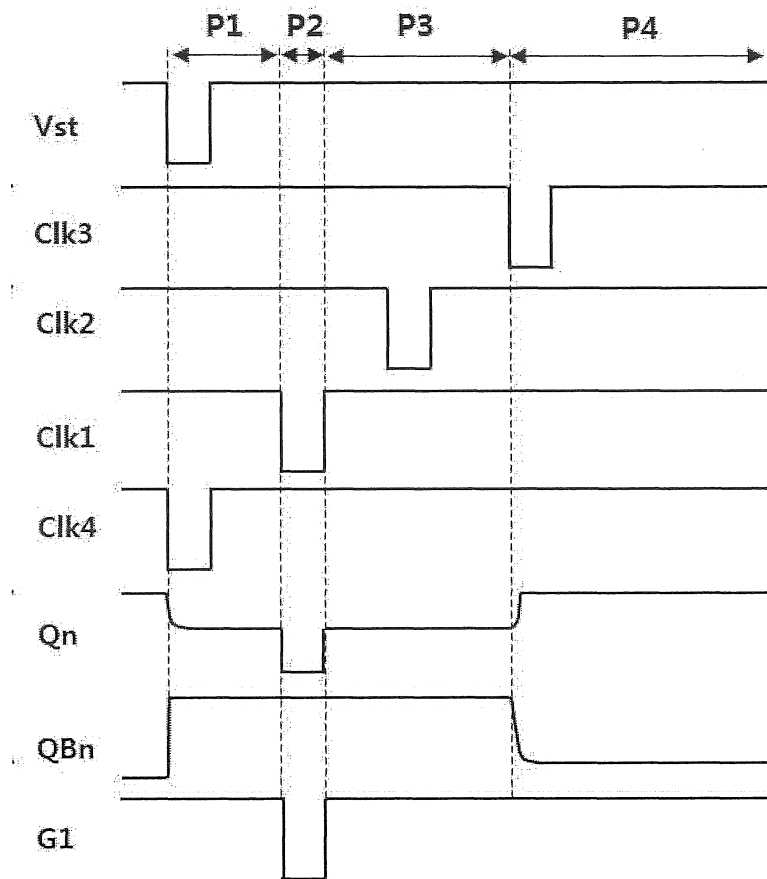
11/17

FIG.14



12/17

FIG.15



13/17

FIG.16

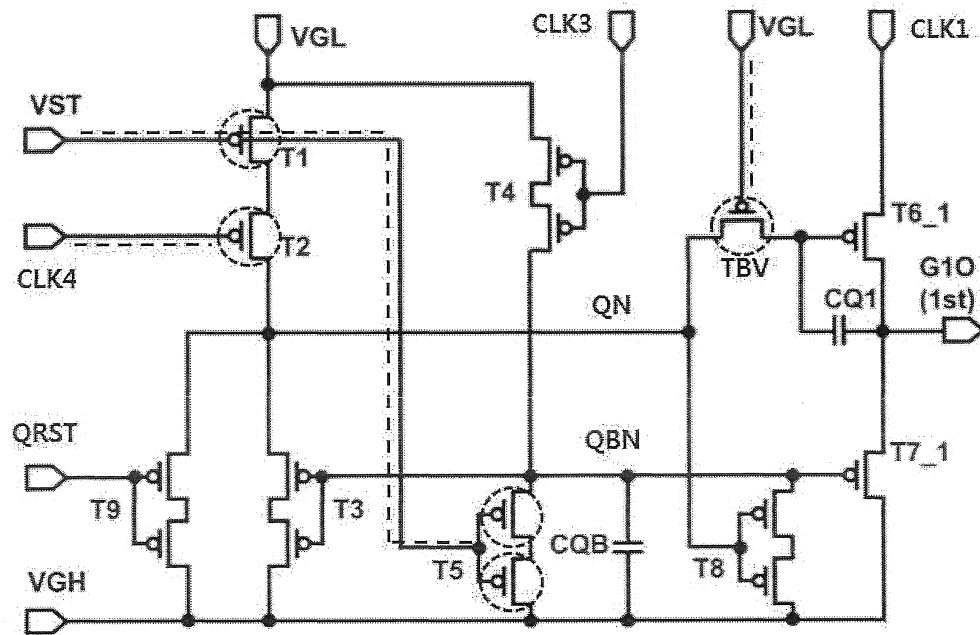
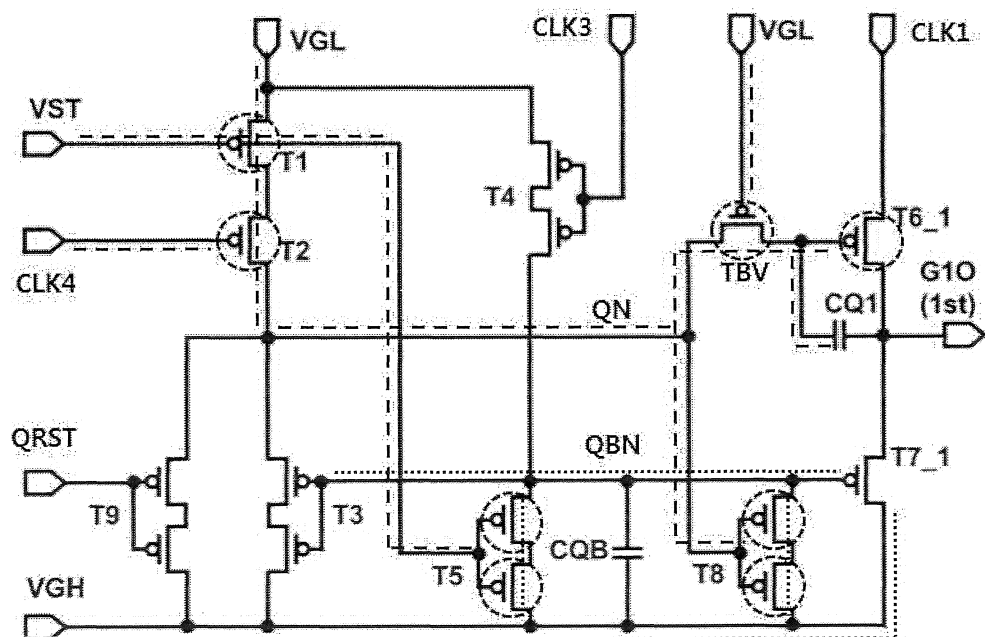


FIG.17



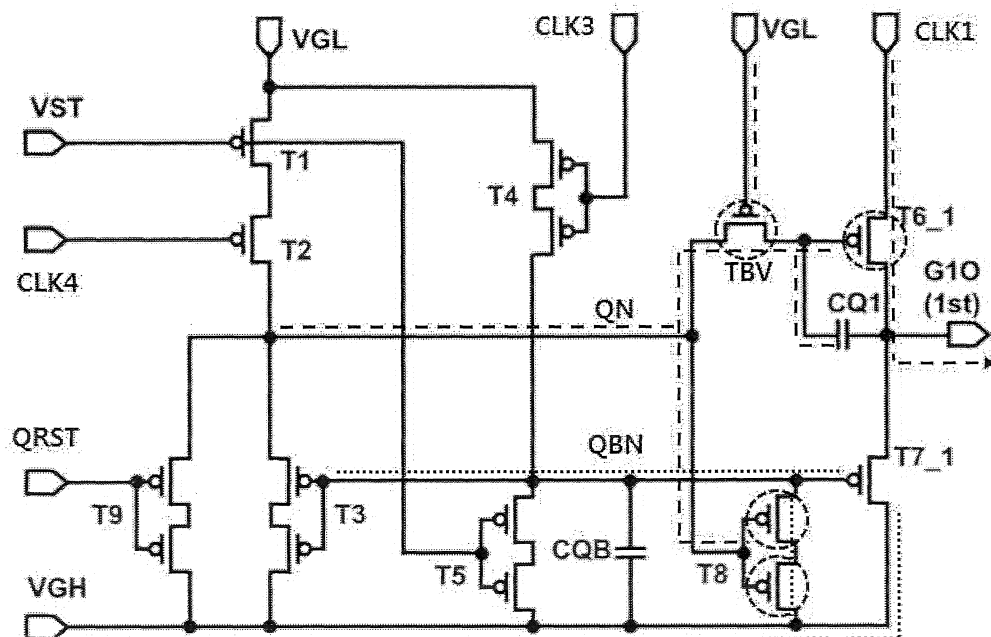


FIG.20

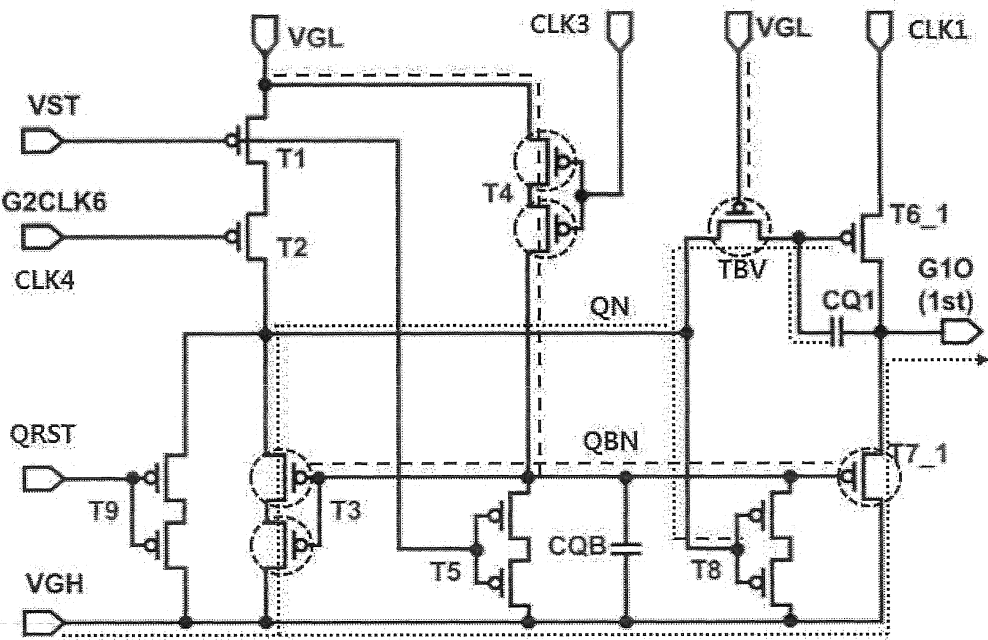
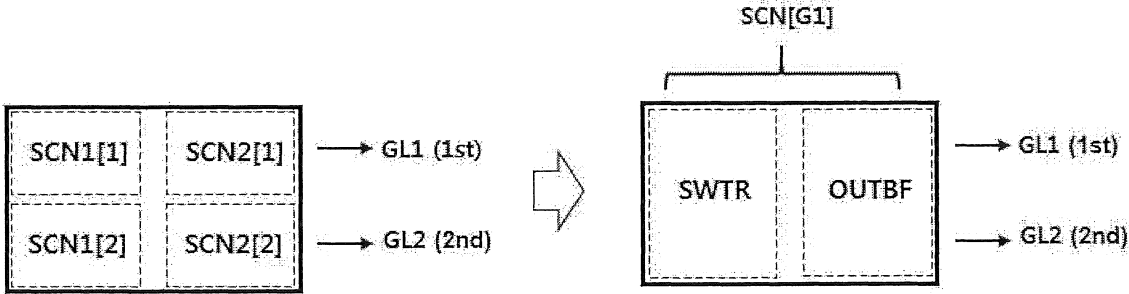
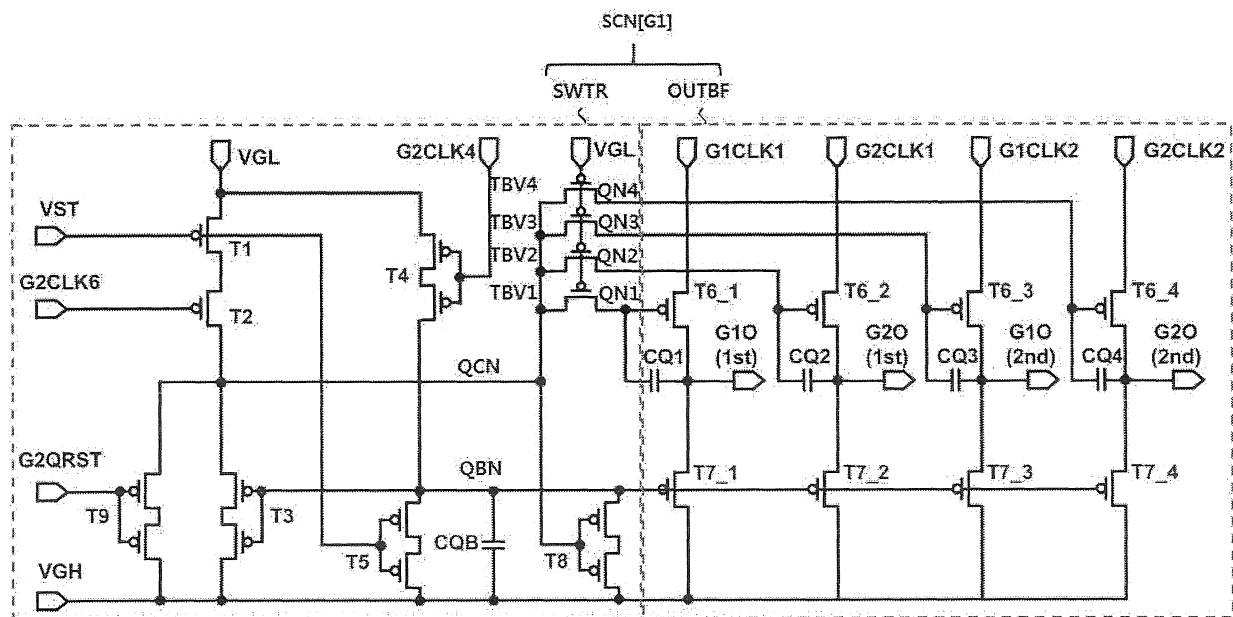


FIG.21



16/17

FIG.22



17/17

FIG.23

