



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0051182

(51)^{2021.01} H04L 1/16

(13) B

(21) 1-2022-05064

(22) 06/01/2021

(86) PCT/CN2021/070471 06/01/2021

(87) WO2021/139681 15/07/2021

(30) 202010028842.3 11/01/2020 CN

(45) 25/09/2025 450

(43) 25/10/2022 415A

(73) HUAWEI TECHNOLOGIES CO., LTD. (CN)

Huawei Administration Building, Bantian, Longgang District, Shenzhen, Guangdong
518129, China

(72) GUO, Yuchen (CN); LI, Yunbo (CN); HUANG, Guogang (CN); GAN, Ming (CN);
YANG, Mao (CN); LI, Bo (CN).

(74) Công ty Luật TNHH T&G (TGVN)

(54) PHƯƠNG PHÁP XÁC ĐỊNH TRẠNG THÁI NHẬN CỦA KHUNG DỮ LIỆU,
THIẾT BỊ ĐA LIÊN KẾT THỨ NHẤT, HỆ THỐNG CHIP VÀ PHƯƠNG TIỆN
LƯU TRỮ ĐỌC ĐƯỢC BẰNG MÁY TÍNH

(21) 1-2022-05064

(57) Sáng chế bộc lộ phương pháp xác định trạng thái nhận của khung dữ liệu, thiết bị đa liên kết thứ nhất, hệ thống chip, và phương tiện lưu trữ đọc được bằng máy tính. Phương pháp này bao gồm các bước: gửi các khung dữ liệu đến thiết bị đa liên kết thứ hai qua nhiều liên kết; nhận, qua liên kết thứ nhất trong nhiều liên kết, khung báo nhận khối (BA) được gửi bởi thiết bị đa liên kết thứ hai, trong đó ánh xạ bit trong khung BA chỉ ra trạng thái nhận của khung dữ liệu được truyền qua liên kết thứ nhất và chỉ ra trạng thái nhận của khung dữ liệu được truyền qua liên kết thứ hai trong nhiều liên kết; và xác định, dựa trên thời điểm thứ nhất và thời điểm thứ hai, trạng thái nhận của khung dữ liệu tương ứng với bit thứ nhất, trong đó thời điểm thứ nhất là thời điểm truyền của khung dữ liệu tương ứng với bit thứ nhất, và thời điểm thứ hai là thời điểm nhận của khung BA. Bit thứ nhất là bit trong ánh xạ bit và tương ứng với khung dữ liệu được truyền qua liên kết thứ hai, và giá trị của bit thứ nhất là giá trị thứ nhất. Các giải pháp kỹ thuật được cung cấp trong sáng chế có thể được áp dụng cho các mạng cục bộ không dây (WLAN) tuân thủ tiêu chuẩn 802.11ax và 802.11be và tương tự, để giúp cải thiện độ chính xác của việc xác định trạng thái nhận của khung dữ liệu.

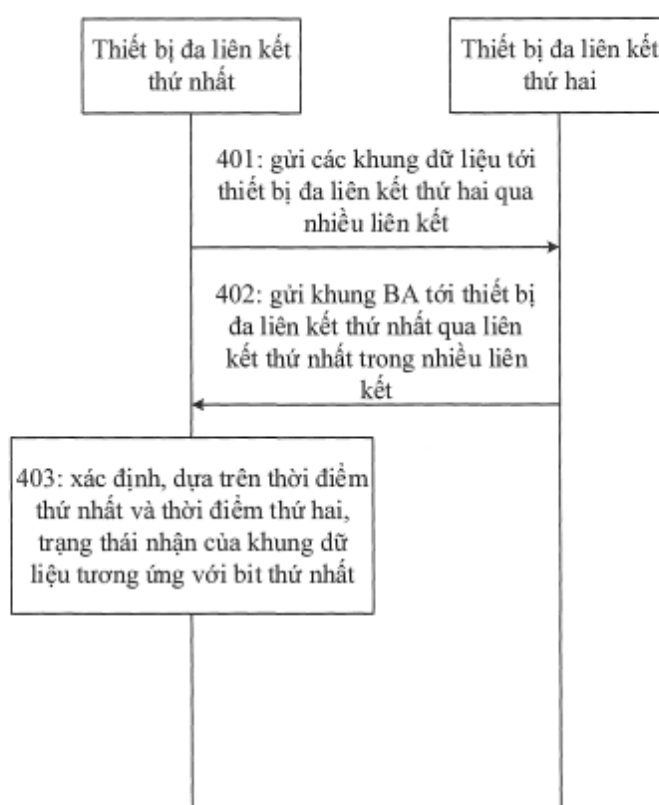


FIG.4

Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập đến lĩnh vực truyền thông, và đặc biệt, đến phương pháp xác định trạng thái nhận của khung dữ liệu và máy truyền thông.

Tình trạng kỹ thuật của sáng chế

Cùng với sự phát triển của công nghệ không dây, ngày càng có nhiều thiết bị không dây hỗ trợ truyền thông đa băng tần. Ví dụ, truyền thông được thực hiện trên các băng tần 2,4 GHz, 5 GHz, và 60 GHz cùng một lúc, hoặc truyền thông được thực hiện trên các kênh khác nhau của cùng một băng tần (hoặc các băng tần khác nhau) cùng một lúc, để tăng tỷ lệ truyền thông giữa các thiết bị. Các thiết bị như vậy thường được tham chiếu là thiết bị đa băng tần, hoặc thiết bị đa liên kết, và đôi khi được tham chiếu cách khác là các thực thể đa liên kết hoặc thực thể đa băng tần. Sau đây sử dụng thiết bị đa liên kết làm ví dụ cho mô tả.

Thiết bị đa liên kết thường bao gồm nhiều trạm (station, STA), và mỗi trạm hoạt động trên một băng tần hoặc kênh cụ thể. Thiết bị đa liên kết có thể là thiết bị điểm truy cập, hoặc thiết bị trạm. Nếu thiết bị đa liên kết là thiết bị điểm truy cập, thiết bị đa liên kết bao gồm một hoặc nhiều điểm truy cập (access point, AP). Nếu thiết bị đa liên kết là thiết bị trạm, thiết bị đa liên kết bao gồm một hoặc nhiều trạm không phải là điểm truy cập (non-access point station, non-AP STA). Ví dụ, như thể hiện trên FIG.1, thiết bị điểm truy cập đa liên kết bao gồm AP 1 đến AP n, và thiết bị trạm đa liên kết bao gồm STA 1 đến STA n. AP 1 và STA 1 tương ứng với liên kết 1, AP 1 và STA 1 tương ứng với liên kết 2, AP n và STA 1 tương ứng với liên kết n. Thiết bị điểm truy cập đa liên kết có thể gửi các khung dữ liệu đến thiết bị trạm đa liên kết qua liên kết 1 đến liên kết n. Sau khi nhận các khung dữ liệu, thiết bị trạm đa liên kết có thể gửi, qua một liên kết tới thiết bị điểm truy cập đa liên kết, khung báo nhận khối (block ACK, BA) mà bao gồm trạng thái nhận của khung dữ liệu trên một liên kết khác. Tuy nhiên, sau khi nhận được

khung BA, thiết bị điểm truy cập đa liên kết có thể xác định, dựa trên khung BA, chỉ trạng thái nhận của khung dữ liệu được truyền qua liên kết, và có thể không xác định chính xác trạng thái nhận của khung dữ liệu được truyền qua một liên kết khác.

Bản chất kỹ thuật của sáng chế

Các phương án của sáng chế đề xuất phương pháp xác định trạng thái nhận của khung dữ liệu và máy truyền thông, để giúp cải thiện độ chính xác của việc xác định trạng thái nhận của khung dữ liệu.

Theo khía cạnh thứ nhất, sáng chế đề xuất phương pháp để xác định trạng thái nhận của khung dữ liệu. Phương pháp này bao gồm: Thiết bị đa liên kết thứ nhất gửi các khung dữ liệu đến thiết bị đa liên kết thứ hai qua nhiều liên kết. Thiết bị đa liên kết thứ nhất nhận, qua liên kết thứ nhất trong nhiều liên kết, khung báo nhận khối BA được gửi bởi thiết bị đa liên kết thứ hai, trong đó khung BA mang ánh xạ bit và ánh xạ bit chỉ ra trạng thái nhận của khung dữ liệu được truyền qua liên kết thứ nhất và chỉ ra trạng thái nhận của khung dữ liệu được truyền qua liên kết thứ hai trong nhiều liên kết. Thiết bị đa liên kết thứ nhất xác định, dựa trên thời điểm thứ nhất và thời điểm thứ hai, trạng thái nhận của khung dữ liệu tương ứng với bit thứ nhất, trong đó thời điểm thứ nhất là thời điểm truyền của khung dữ liệu tương ứng với bit thứ nhất, và thời điểm thứ hai là thời điểm nhận của khung BA. Bit thứ nhất là bit trong ánh xạ bit và tương ứng với khung dữ liệu được truyền qua liên kết thứ hai, và giá trị của bit thứ nhất là giá trị thứ nhất. Theo tùy chọn, giá trị thứ nhất có thể bằng 0. Dựa trên phương pháp được mô tả trong khía cạnh thứ nhất, độ chính xác của việc xác định trạng thái nhận của khung dữ liệu được cải thiện. Điều này tránh việc thiết bị đa liên kết thứ nhất xác định trạng thái nhận của khung dữ liệu đã được thiết bị đa liên kết thứ hai nhận thành công là lỗi nhận, và truyền lại khung dữ liệu một cách không cần thiết.

Trong triển khai khả thi, một triển khai cụ thể trong đó thiết bị đa liên kết thứ nhất xác định, dựa trên thời điểm thứ nhất và thời điểm thứ hai, trạng thái nhận của khung dữ liệu tương ứng với bit thứ nhất là: Nếu độ trễ giữa thời điểm thứ hai và thời điểm thứ nhất lớn hơn hoặc bằng ngưỡng thứ nhất, thiết bị đa liên kết thứ nhất xác định rằng trạng thái nhận của khung dữ liệu tương ứng với bit thứ nhất là lỗi nhận. Nếu độ trễ giữa thời

điểm thứ hai và thời điểm thứ nhất lớn hơn hoặc bằng ngưỡng thứ nhất, điều đó chỉ ra rằng trước khi thiết bị đa liên kết thứ hai tạo ra khung BA, trạm trên liên kết thứ hai trong thiết bị đa liên kết thứ hai có đủ thời gian để chuyển trạng thái nhận của khung dữ liệu tương ứng với bit thứ nhất đến trạm trên liên kết thứ nhất trong thiết bị đa liên kết thứ hai. Do đó, nếu độ trễ giữa thời điểm thứ hai và thời điểm thứ nhất lớn hơn hoặc bằng ngưỡng thứ nhất, trạng thái nhận của khung dữ liệu tương ứng với bit thứ nhất là lỗi nhận. Có thể biết được rằng, dựa trên triển khai khả thi này, trạng thái lỗi nhận của khung dữ liệu tương ứng với bit thứ nhất có thể được xác định chính xác.

Trong triển khai khả thi, nếu độ trễ giữa thời điểm thứ hai và thời điểm thứ nhất nhỏ hơn ngưỡng thứ hai, thiết bị đa liên kết thứ nhất xác định rằng trạm tương ứng với liên kết thứ nhất trong thiết bị đa liên kết thứ hai không thu nhận được trạng thái nhận của khung dữ liệu tương ứng với bit thứ nhất, trong đó ngưỡng thứ hai nhỏ hơn ngưỡng thứ nhất. Nếu độ trễ giữa thời điểm thứ hai và thời điểm thứ nhất nhỏ hơn ngưỡng thứ hai, điều đó chỉ ra rằng trước khi thiết bị đa liên kết thứ hai tạo ra khung BA, trạm trên liên kết thứ hai trong thiết bị đa liên kết thứ hai không có đủ thời gian để chuyển trạng thái nhận của khung dữ liệu tương ứng với bit thứ nhất đến trạm trên liên kết thứ nhất trong thiết bị đa liên kết thứ hai. Do đó, nếu độ trễ giữa thời điểm thứ hai và thời điểm thứ nhất nhỏ hơn ngưỡng thứ hai, trạng thái nhận của khung dữ liệu tương ứng với bit thứ nhất là trạm tương ứng với liên kết thứ nhất trong thiết bị đa liên kết thứ hai không thu nhận được trạng thái nhận của khung dữ liệu tương ứng với bit thứ nhất. Có thể biết được rằng, dựa trên triển khai khả thi này, có thể xác định chính xác rằng trạm tương ứng với liên kết thứ nhất trong thiết bị đa liên kết thứ hai không thu nhận được trạng thái nhận của khung dữ liệu tương ứng với bit thứ nhất.

Trong triển khai khả thi, $T = t_2 - t_1$, hoặc $T = f(t_2 - t_1)$. T là độ trễ giữa thời điểm thứ hai và thời điểm thứ nhất, t_2 là thời điểm thứ hai và t_1 là thời điểm thứ nhất. $f()$ chỉ ra rằng T là hàm của $(t_2 - t_1)$. Cụ thể, khi $T = t_2 - t_1$, độ trễ giữa thời điểm thứ hai và thời điểm thứ nhất là khoảng thời gian giữa thời điểm truyền của khung dữ liệu tương ứng với bit thứ nhất và thời điểm nhận của khung BA. $(t_2 - t_1)$ hoặc $f(t_2 - t_1)$ được sử dụng làm độ trễ giữa thời điểm thứ hai và thời điểm thứ nhất, để giúp cải thiện độ chính xác của việc xác định trạng thái nhận của khung dữ liệu.

Trong triển khai khả thi, $T = t_2 - t_1 - t_3$, hoặc $T = f(t_2 - t_1 - t_3)$. T là độ trễ giữa thời điểm thứ hai và thời điểm thứ nhất, t_2 là thời điểm thứ hai và t_1 là thời điểm thứ nhất. $f()$ chỉ ra rằng T là hàm của $(t_2 - t_1 - t_3)$. Cụ thể, khi $T = t_2 - t_1 - t_3$, độ trễ giữa thời điểm thứ hai và thời điểm thứ nhất là khoảng thời gian giữa thời điểm truyền của khung dữ liệu tương ứng với bit thứ nhất và thời điểm truyền của khung BA, hoặc khoảng thời gian giữa thời điểm nhận của khung dữ liệu tương ứng với bit thứ nhất và thời điểm nhận của khung BA. $(t_2 - t_1 - t_3)$ hoặc $f(t_2 - t_1 - t_3)$ được sử dụng làm độ trễ giữa thời điểm thứ hai và thời điểm thứ nhất, để giúp cải thiện độ chính xác của việc xác định trạng thái nhận của khung dữ liệu.

Trong triển khai khả thi, $T = t_2 - t_1 - 2 * t_3$, hoặc $T = f(t_2 - t_1 - 2 * t_3)$. $f()$ chỉ ra rằng T là hàm của $(t_2 - t_1 - 2 * t_3)$. T là độ trễ giữa thời điểm thứ hai và thời điểm thứ nhất, t_2 là thời điểm thứ hai, t_1 là thời điểm thứ nhất, và t_3 là độ trễ lan truyền giữa thiết bị đa liên kết thứ nhất và thiết bị đa liên kết thứ hai. Cụ thể, khi $T = t_2 - t_1 - 2 * t_3$, độ trễ giữa thời điểm thứ hai và thời điểm thứ nhất là khoảng thời gian giữa thời điểm nhận của khung dữ liệu tương ứng với bit thứ nhất và thời điểm truyền của khung BA. $(t_2 - t_1 - 2 * t_3)$ hoặc $f(t_2 - t_1 - 2 * t_3)$ được sử dụng làm độ trễ giữa thời điểm thứ hai và thời điểm thứ nhất, để giúp cải thiện độ chính xác của việc xác định trạng thái nhận của khung dữ liệu.

Trong triển khai khả thi, trước khi thiết bị đa liên kết thứ nhất gửi các khung dữ liệu đến thiết bị đa liên kết thứ hai qua nhiều liên kết, thiết bị đa liên kết thứ nhất có thể còn nhận thông tin thứ nhất được gửi bởi thiết bị đa liên kết thứ hai, trong đó thông tin thứ nhất mang ngưỡng thứ nhất. Dựa trên triển khai khả thi này, thiết bị đa liên kết thứ nhất và thiết bị đa liên kết thứ hai có thể thỏa thuận trước ngưỡng thứ nhất, và do đó, ngưỡng thứ nhất có thể được đặt cho liên kết thứ hai linh hoạt hơn.

Trong triển khai khả thi, thông tin thứ nhất bao gồm nhiều ngưỡng thứ nhất, và mỗi ngưỡng trong số nhiều ngưỡng thứ nhất tương ứng với một liên kết. Dựa trên triển khai khả thi này, mỗi liên kết thứ hai có thể tương ứng với một ngưỡng thứ nhất. Điều này giúp đáp ứng các yêu cầu về ngưỡng của các liên kết khác nhau.

Trong triển khai khả thi, trước khi thiết bị đa liên kết thứ nhất gửi các khung dữ liệu

đến thiết bị đa liên kết thứ hai qua nhiều liên kết, thiết bị đa liên kết thứ nhất có thể còn nhận thông tin chỉ báo được gửi bởi thiết bị đa liên kết thứ hai, trong đó thông tin chỉ báo chỉ ra liệu trạm trên liên kết thứ nhất trong thiết bị đa liên kết thứ hai có thể xác định, trong một khoảng thời gian của ngưỡng thứ nhất sau khi thiết bị đa liên kết thứ hai nhận được khung dữ liệu qua liên kết thứ hai hay không, trạng thái nhận khung dữ liệu nhận được qua liên kết thứ hai. Nó cũng có thể được hiểu là: Nếu thông tin chỉ báo chỉ ra rằng sau khi thiết bị đa liên kết thứ hai nhận được khung dữ liệu qua liên kết thứ hai, thì trạm trên liên kết thứ nhất trong thiết bị đa liên kết thứ hai có thể xác định, trong khoảng thời gian ngưỡng thứ nhất, trạng thái nhận của khung dữ liệu nhận được qua liên kết thứ hai, nó chỉ ra rằng liên kết thứ hai hỗ trợ ngưỡng thứ nhất; nếu không, nó chỉ ra rằng liên kết thứ hai không hỗ trợ ngưỡng thứ nhất. Theo tùy chọn, trong triển khai khả thi có này, ngưỡng thứ nhất có thể là giá trị cố định, ví dụ, có thể là một giá trị cố định được chỉ định trước trong giao thức. Ngưỡng thứ nhất không nhất thiết phải được liên kết thứ hai hỗ trợ. Dựa trên triển khai khả thi này, thiết bị đa liên kết thứ nhất có thể biết trước xem liệu liên kết thứ hai có hỗ trợ ngưỡng thứ nhất hay không, để xác định xem liệu xác định, dựa trên ngưỡng thứ nhất và độ trễ giữa thời điểm thứ hai và thời điểm thứ nhất, trạng thái nhận của khung dữ liệu tương ứng với bit thứ nhất.

Trong triển khai khả thi, thời điểm truyền của khung dữ liệu tương ứng với bit thứ nhất là thời điểm kết thúc gửi của đơn vị dữ liệu giao thức liên kết xuống PPDU mà khung dữ liệu nằm trong đó, hoặc thời điểm truyền của khung dữ liệu tương ứng với bit thứ nhất là thời điểm kết thúc gửi của ký hiệu mà bit cuối cùng của khung dữ liệu nằm trong đó. Thời điểm kết thúc gửi của đơn vị dữ liệu giao thức liên kết xuống PPDU mà khung dữ liệu tương ứng với bit thứ nhất nằm trong đó hoặc thời điểm kết thúc gửi của ký hiệu mà bit cuối cùng của khung dữ liệu tương ứng với bit thứ nhất nằm trong đó được sử dụng làm thời điểm thứ nhất, để giúp cải thiện độ chính xác của việc xác định trạng thái nhận của khung dữ liệu.

Trong triển khai khả thi, nếu độ trễ giữa thời điểm thứ hai và thời điểm thứ nhất lớn hơn ngưỡng thứ hai, và độ trễ giữa thời điểm thứ hai và thời điểm thứ nhất nhỏ hơn ngưỡng thứ nhất, thì thiết bị đa liên kết thứ nhất sẽ gửi khối yêu cầu báo nhận khung BAR hoặc khung dữ liệu tới thiết bị đa liên kết thứ hai trước khi truyền lại khung dữ

liệu tương ứng với bit thứ nhất. Nếu độ trễ giữa thời điểm thứ hai và thời điểm thứ nhất lớn hơn ngưỡng thứ hai, và độ trễ giữa thời điểm thứ hai và thời điểm thứ nhất nhỏ hơn ngưỡng thứ nhất, điều đó chỉ ra rằng trạng thái nhận của khung dữ liệu tương ứng với bit thứ nhất không thể xác định được. Nói cách khác, bit thứ nhất có sự không rõ ràng. Dựa trên triển khai khả thi này, trước khi thiết bị đa liên kết thứ nhất truyền lại khung dữ liệu tương ứng với bit thứ nhất, trước tiên có thể loại bỏ sự không rõ ràng của bit thứ nhất. Khung dữ liệu tương ứng với bit thứ nhất được truyền lại khi xác định rằng khung dữ liệu tương ứng với bit thứ nhất bị lỗi nhận. Điều này giúp tránh lãng phí tài nguyên truyền do việc truyền lại khung dữ liệu đã nhận thành công.

Trong triển khai khả thi, khung BA bao gồm số trình tự bắt đầu của khung dữ liệu mà có trạng thái nhận được phản hồi, số trình tự bắt đầu nhỏ hơn hoặc bằng số trình tự thứ nhất, và số trình tự thứ nhất là giá trị nhỏ nhất của các số trình tự của các khung dữ liệu mà không được báo nhận là đã nhận. Dựa trên triển khai khả thi này, ánh xạ bit có thể chỉ ra trạng thái nhận của khung dữ liệu mà không được báo nhận là đã nhận.

Trong triển khai khả thi, thiết bị đa liên kết thứ hai có thể gửi, tới thiết bị đa liên kết thứ nhất, thông tin về khả năng của thiết bị đa liên kết thứ hai để truyền khung BA đa liên kết. Thông tin khả năng có thể bao gồm một hoặc nhiều mức khả năng. Khung BA đa liên kết chỉ ra rằng khung BA bao gồm các trạng thái nhận của các khung dữ liệu được truyền qua nhiều liên kết. Theo tùy chọn, thông tin khả năng có thể được mang trong khung phản hồi ADDBA (add block acknowledgment, báo nhận khối bổ sung) hoặc phần tử thông tin khả năng EHT của khung yêu cầu liên kết (association request)/yêu cầu liên kết lại (re-association request)/xác thực (authentication)/ yêu cầu thăm dò (probe request), được gửi đến thiết bị đa liên kết thứ nhất. Dựa trên triển khai khả thi này, thiết bị đa liên kết thứ nhất có thể biết được khả năng của thiết bị đa liên kết thứ hai để truyền khung BA đa liên kết. Bằng cách này, thiết bị đa liên kết thứ nhất phân tích cú pháp, theo cách phân tích cú pháp chính xác, trạng thái nhận của khung dữ liệu được chỉ ra bởi ánh xạ bit trong khung BA.

Trong triển khai khả thi, thông tin khả năng có thể bao gồm một hoặc nhiều trong ba mức khả năng sau đây. Một ví dụ trong đó khung dữ liệu là MPDU được sử dụng.

Mức khả năng 1: Thiết bị đa liên kết thứ hai không hỗ trợ truyền khung BA đa liên kết. Ở mức này, khung BA chỉ mang trạng thái nhận của MPDU được gửi qua cùng một liên kết, và không mang trạng thái nhận của MPDU được gửi qua liên kết khác.

Mức khả năng 2: Thiết bị đa liên kết thứ hai hỗ trợ truyền khung BA đa liên kết dựa trên PPDU.

Ở mức này, khung BA mang trạng thái nhận của MPDU được gửi qua cùng một liên kết. Ngoài ra, khung BA còn mang trạng thái nhận của MPDU được gửi qua liên kết khác đáp ứng điều kiện sau: Khoảng thời gian giữa thời điểm kết thúc của PPDU mà MPDU nằm trong đó vào và thời điểm truyền của khung BA lớn hơn ngưỡng thứ nhất. Ngưỡng thứ nhất có thể được chỉ định trước trong giao thức. Ví dụ, ngưỡng thứ nhất có thể là khoảng cách liên khung đa liên kết (multi-link inter frame space, MLIFS). MLIFS có thể là khoảng cách liên khung ngắn PCF inter frame Space, SIFS), khoảng cách liên khung chức năng điều phối điểm (PCF inter frame Space, PIFS), hoặc khoảng cách liên khung phân tán (distributed inter-frame spacing, DIFS). Ngoài ra, ngưỡng thứ nhất có thể là ngưỡng thời gian M được thương lượng trước bởi thiết bị đa liên kết thứ nhất và thiết bị đa liên kết thứ hai. Ví dụ, ở mức này, khung BA mang trạng thái nhận của MPDU được gửi qua liên kết thứ nhất. Ngoài ra, khung BA còn mang trạng thái nhận của MPDU được gửi qua liên kết thứ hai mà đáp ứng điều kiện sau: Khoảng thời gian giữa thời điểm kết thúc của PPDU mà MPDU nằm trong đó vào và thời điểm truyền của khung BA là lớn hơn ngưỡng thứ nhất.

Mức khả năng 3: Thiết bị đa liên kết thứ hai hỗ trợ truyền khung BA đa liên kết dựa trên MPDU.

Ở mức này, khung BA mang trạng thái nhận của MPDU được gửi qua cùng một liên kết. Ngoài ra, khung BA còn mang trạng thái nhận của MPDU được gửi qua một liên kết khác đáp ứng điều kiện sau: Khoảng thời gian giữa thời điểm kết thúc của ký hiệu OFDM cuối cùng trong một hoặc nhiều ký hiệu OFDM mà MPDU nằm trong đó vào và thời điểm truyền của khung BA lớn hơn ngưỡng thứ nhất. Đối với ngưỡng thứ nhất ở mức khả năng 3, hãy tham khảo mô tả về ngưỡng thứ nhất ở mức khả năng 2. Chi tiết không được mô tả lại ở đây. Ở mức này, khung BA mang trạng thái nhận của MPDU

được gửi qua liên kết thứ nhất. Ngoài ra, khung BA còn mang trạng thái nhận của MPDU được gửi qua liên kết thứ hai đáp ứng điều kiện sau: Khoảng thời gian giữa thời điểm kết thúc của ký hiệu OFDM cuối cùng trong một hoặc nhiều ký hiệu OFDM mà MPDU nằm trong đó và thời điểm truyền của khung BA lớn hơn ngưỡng thứ nhất. Theo tùy chọn, thời điểm truyền của khung BA ở mức khả năng 2 và mức khả năng 3 có thể được thay thế bằng thời điểm nhận của khung BA.

Theo khía cạnh thứ hai, sáng chế đề xuất phương pháp xác định trạng thái nhận của khung dữ liệu. Phương pháp này bao gồm: Thiết bị đa liên kết thứ nhất gửi các khung dữ liệu đến thiết bị đa liên kết thứ hai qua nhiều liên kết. Thiết bị đa liên kết thứ nhất nhận, qua liên kết thứ nhất trong nhiều liên kết, khung báo nhận khối BA được gửi bởi thiết bị đa liên kết thứ hai, trong đó khung BA mang ánh xạ bit, và ánh xạ bit chỉ ra trạng thái nhận của một khung dữ liệu được truyền qua liên kết thứ nhất và trạng thái nhận của khung dữ liệu được truyền qua liên kết thứ hai trong nhiều liên kết. Thiết bị đa liên kết thứ nhất xác định khung dữ liệu thứ nhất được gửi qua liên kết thứ hai, trong đó khung dữ liệu thứ nhất là khung dữ liệu mà có thời điểm truyền là cuối cùng trong tập khung dữ liệu, và tập khung dữ liệu bao gồm khung dữ liệu được gửi qua liên kết thứ hai và nó đã được nhận chính xác. Thiết bị đa liên kết thứ nhất xác định rằng trạng thái nhận của khung dữ liệu thứ hai là lỗi nhận, trong đó khung dữ liệu thứ hai là khung dữ liệu được gửi qua liên kết thứ hai trước khung dữ liệu thứ nhất, và giá trị bit tương ứng với khung dữ liệu thứ hai trong ánh xạ bit là giá trị thứ nhất. Dựa trên phương pháp được mô tả trong khía cạnh thứ hai, độ chính xác của việc xác định trạng thái nhận của khung dữ liệu được cải thiện.

Trong triển khai khả thi, trước khi truyền lại khung dữ liệu thứ ba, khung yêu cầu báo nhận khối BAR hoặc khung dữ liệu được gửi đến thiết bị đa liên kết thứ hai, trong đó giá trị bit tương ứng với khung dữ liệu thứ ba trong ánh xạ bit là giá trị thứ nhất, và khung dữ liệu thứ ba là khung dữ liệu được gửi qua liên kết thứ hai sau khung dữ liệu thứ nhất. Dựa trên triển khai khả thi này, trước khi thiết bị đa liên kết thứ nhất truyền lại khung dữ liệu thứ ba, trước tiên có thể loại bỏ sự không rõ ràng của bit tương ứng với khung dữ liệu thứ ba trong ánh xạ bit. Khung dữ liệu thứ ba được truyền lại khi được xác định rằng khung dữ liệu thứ ba bị lỗi nhận. Điều này giúp tránh lãng phí tài nguyên

truyền do việc truyền lại khung dữ liệu đã nhận thành công.

Trong triển khai khả thi, khung BA bao gồm số trình tự bắt đầu của khung dữ liệu mà có trạng thái nhận được phản hồi, số trình tự bắt đầu nhỏ hơn hoặc bằng số trình tự thứ nhất, và số trình tự thứ nhất là giá trị nhỏ nhất của các số trình tự của các khung dữ liệu mà không được báo nhận là đã nhận. Dựa trên triển khai khả thi này, ánh xạ bit có thể chỉ ra trạng thái nhận của khung dữ liệu không được báo nhận là đã nhận.

Trong triển khai khả thi, tập khung dữ liệu bao gồm các khung dữ liệu được gửi qua nhiều liên kết thứ hai và đã được thiết bị liên kết thứ hai nhận chính xác. Dựa trên triển khai khả thi này, khung dữ liệu thứ nhất có thể được xác định từ các khung dữ liệu được gửi qua nhiều liên kết thứ hai, và không cần xác định một khung dữ liệu thứ nhất cho mỗi liên kết thứ hai. Điều này giúp giảm tải nguyên máy tính.

Theo khía cạnh thứ ba, sáng chế đề xuất phương pháp truyền khung báo nhận khối. Phương pháp này bao gồm: Thiết bị đa liên kết thứ nhất gửi các khung dữ liệu đến thiết bị đa liên kết thứ hai qua nhiều liên kết. Thiết bị đa liên kết thứ nhất gửi khung yêu cầu báo nhận khối BAR đến thiết bị đa liên kết thứ hai, trong đó khung BAR mang thông tin chỉ báo thứ nhất, và thông tin chỉ báo thứ nhất chỉ ra loại khung báo nhận khối BA được yêu cầu. Thiết bị đa liên kết thứ nhất nhận khung BA thứ nhất được gửi bởi thiết bị đa liên kết thứ hai, trong đó khung BA thứ nhất là khung BA loại được chỉ ra bởi thông tin chỉ báo thứ nhất. Dựa trên phương pháp được mô tả trong khía cạnh thứ ba, thiết bị đa liên kết thứ nhất có thể linh hoạt thu nhận các loại khung BA khác nhau dựa trên các yêu cầu khác nhau.

Trong triển khai khả thi, thông tin chỉ báo thứ nhất nằm trong trường loại BAR trong khung BAR. Dựa trên triển khai khả thi này, thông tin chỉ báo thứ nhất có thể được mang theo bằng cách sử dụng trường hiện có. Điều này giúp giảm các bit của khung BAR.

Trong triển khai khả thi, khung BAR còn bao gồm thông tin chỉ báo thứ hai, thông tin chỉ báo thứ hai chỉ ra một hoặc nhiều liên kết trong nhiều liên kết, và khung BA thứ nhất chỉ ra trạng thái nhận của khung dữ liệu được gửi qua một hoặc nhiều liên kết. Dựa trên triển khai khả thi có này, thiết bị đa liên kết thứ nhất có thể chỉ ra, với thiết bị đa

liên kết thứ hai, rằng thiết bị đa liên kết thứ hai cần phản hồi các trạng thái nhận của các khung dữ liệu được gửi qua các liên kết đó.

Trong triển khai khả thi, thông tin chỉ báo thứ nhất chỉ ra rằng loại khung BA được yêu cầu là khung BA đa liên kết, và khoảng thời gian giữa thời điểm kết thúc truyền của các khung dữ liệu và thời điểm bắt đầu truyền của khung BAR lớn hơn hoặc bằng khoảng thời gian đặt trước. Khung BA đa liên kết chỉ ra rằng một khung BA bao gồm các trạng thái nhận của các khung dữ liệu được gửi qua nhiều liên kết. Dựa trên triển khai khả thi này, sự không rõ ràng của bit trong ánh xạ bit của khung BA được loại bỏ.

Trong triển khai khả thi, trước khi thiết bị đa liên kết thứ nhất gửi các khung dữ liệu đến thiết bị đa liên kết thứ hai qua nhiều liên kết, thiết bị đa liên kết thứ nhất có thể còn nhận cách đáp lại của khung BA do thiết bị đa liên kết thứ hai gửi, trong đó cách đáp lại của khung BA là đáp lại trễ hoặc đáp lại ngay lập tức. Dựa trên triển khai khả thi này, thiết bị đa liên kết thứ nhất có thể xác định cách đáp lại của khung BA được gửi bởi thiết bị đa liên kết thứ hai.

Trong triển khai khả thi, khoảng thời gian giữa thời điểm kết thúc truyền của khung BAR và thời điểm bắt đầu truyền của khung BA thứ nhất lớn hơn ngưỡng đặt trước. Dựa trên triển khai khả thi này, thiết bị đa liên kết thứ hai có đủ thời gian để tạo khung BA.

Trong triển khai khả thi, có bit đệm phía sau khung BAR, và bit đệm cho phép khoảng thời gian giữa thời điểm kết thúc truyền của khung BAR và thời điểm bắt đầu truyền của khung BA thứ nhất lớn hơn ngưỡng đặt trước. Dựa trên triển khai khả thi này, khoảng thời gian giữa thời điểm kết thúc truyền của khung BAR và thời điểm bắt đầu truyền của khung BA thứ nhất có thể lớn hơn ngưỡng đặt trước.

Phương pháp và các triển khai khả thi được mô tả trong khía cạnh thứ ba có thể được triển khai riêng biệt, hoặc phương pháp và các triển khai khả thi được mô tả trong khía cạnh thứ ba có thể được kết hợp với phương pháp được mô tả ở khía cạnh thứ nhất hoặc khía cạnh thứ hai. Ví dụ, trong phương pháp được mô tả ở khía cạnh thứ nhất hoặc khía cạnh thứ hai, sau khi thiết bị đa liên kết thứ nhất gửi các khung dữ liệu đến thiết bị đa liên kết thứ hai qua nhiều liên kết, và trước khi thiết bị đa liên kết thứ nhất nhận, qua

liên kết thứ nhất trong nhiều liên kết, khung báo nhận khối BA được gửi bởi thiết bị đa liên kết thứ hai, thiết bị đa liên kết thứ nhất gửi khung yêu cầu báo nhận khối BAR tới thiết bị đa liên kết thứ hai. Khung BAR mang thông tin chỉ báo thứ nhất, và thông tin chỉ báo thứ nhất chỉ ra rằng loại khung báo nhận khối BA được yêu cầu là khung BA đa liên kết. Theo tùy chọn, thông tin chỉ báo thứ nhất nằm trong trường loại BAR trong khung BAR. Theo tùy chọn, giá trị của thông tin chỉ báo thứ nhất có thể là giá trị dành riêng của trường loại BAR trong tiêu chuẩn hiện có. Theo tùy chọn, trường mới có thể được thêm vào khung BAR, và thông tin chỉ báo thứ nhất có thể nằm trong trường mới trong khung BAR. Theo tùy chọn, khung BAR còn bao gồm thông tin chỉ báo thứ hai, thông tin chỉ báo thứ hai chỉ ra một hoặc nhiều liên kết thứ hai trong nhiều liên kết, và ánh xạ bit trong khung BA được gửi qua liên kết thứ nhất chỉ ra các trạng thái nhận của các khung dữ liệu được gửi qua liên kết thứ nhất và một hoặc nhiều liên kết thứ hai. Theo tùy chọn, trước khi thiết bị đa liên kết thứ nhất gửi các khung dữ liệu đến thiết bị đa liên kết thứ hai qua nhiều liên kết, thiết bị đa liên kết thứ nhất có thể còn nhận cách đáp lại của khung BA được gửi bởi thiết bị đa liên kết thứ hai, trong đó cách đáp lại của khung BA là đáp lại trễ hoặc đáp lại ngay lập tức. Theo tùy chọn, khoảng thời gian giữa thời điểm kết thúc truyền của khung BAR và thời điểm bắt đầu truyền của khung BA lớn hơn ngưỡng đặt trước. Theo tùy chọn, có bit đệm phía sau khung BAR, và bit đệm cho phép khoảng thời gian giữa thời điểm kết thúc truyền của khung BAR và thời điểm bắt đầu truyền của khung BA lớn hơn ngưỡng đặt trước.

Theo khía cạnh thứ tư, sáng chế đề xuất phương pháp truyền khung báo nhận khối. Phương pháp này bao gồm: Thiết bị đa liên kết thứ hai nhận, qua nhiều liên kết, các khung dữ liệu được gửi bởi thiết bị đa liên kết thứ nhất. Thiết bị đa liên kết thứ hai nhận khung yêu cầu báo nhận khối BAR được gửi bởi thiết bị đa liên kết thứ nhất, trong đó khung BAR mang thông tin chỉ báo thứ nhất, và thông tin chỉ báo thứ nhất chỉ ra loại khung báo nhận khối BA được yêu cầu. Thiết bị đa liên kết thứ hai gửi khung BA thứ nhất đến thiết bị đa liên kết thứ nhất, trong đó khung BA thứ nhất là khung BA loại được chỉ ra bởi thông tin chỉ báo thứ nhất.

Trong triển khai khả thi, thông tin chỉ báo thứ nhất nằm trong trường loại BAR trong khung BAR.

Trong triển khai khả thi, khung BAR còn bao gồm thông tin chỉ báo thứ hai, thông tin chỉ báo thứ hai chỉ ra một hoặc nhiều liên kết trong nhiều liên kết, và khung BA thứ nhất chỉ ra trạng thái nhận của khung dữ liệu được gửi qua một hoặc nhiều liên kết.

Trong triển khai khả thi, thông tin chỉ báo thứ nhất chỉ ra rằng loại khung báo nhận khỏi BA được yêu cầu là khung BA đa liên kết, và khoảng thời gian giữa thời điểm kết thúc truyền của các khung dữ liệu và thời điểm bắt đầu truyền của khung BAR là lớn hơn hoặc bằng khoảng thời gian đặt trước.

Trong triển khai khả thi, trước khi thiết bị đa liên kết thứ hai nhận, qua nhiều liên kết, các khung dữ liệu được gửi bởi thiết bị đa liên kết thứ nhất, thiết bị đa liên kết thứ hai có thể còn gửi cách đáp lại của khung BA tới thiết bị đa liên kết thứ nhất, trong đó cách đáp lại của khung BA là đáp lại trễ hoặc đáp lại ngay lập tức.

Trong triển khai khả thi, khoảng thời gian giữa thời điểm kết thúc truyền của khung BAR và thời điểm bắt đầu truyền của khung BA thứ nhất lớn hơn ngưỡng đặt trước.

Trong triển khai khả thi, có bit đệm phía sau khung BAR, và bit đệm cho phép khoảng thời gian giữa thời điểm kết thúc truyền của khung BAR và thời điểm bắt đầu truyền của khung BA thứ nhất lớn hơn ngưỡng đặt trước.

Để biết những hiệu quả có lợi của khía cạnh thứ tư, hãy tham khảo những hiệu quả có lợi của khía cạnh thứ ba. Chi tiết không được mô tả ở đây.

Theo khía cạnh thứ năm, sáng chế đề xuất phương pháp truyền khung dữ liệu. Phương pháp bao gồm: Thiết bị đa liên kết thứ nhất gửi các khung dữ liệu đến thiết bị đa liên kết thứ hai qua liên kết thứ nhất và liên kết thứ hai, trong đó thời điểm kết thúc truyền của PPDU mà khung dữ liệu được truyền qua liên kết thứ nhất nằm trong đó là giống như thời điểm kết thúc truyền của PPDU mà khung dữ liệu được truyền qua liên kết thứ hai nằm trong đó. Thiết bị đa liên kết thứ nhất gửi khung yêu cầu báo nhận khỏi BAR tới thiết bị đa liên kết thứ hai qua liên kết thứ nhất và/hoặc liên kết thứ hai, và thiết bị đa liên kết thứ nhất nhận khung BA qua liên kết thứ nhất và/hoặc liên kết thứ hai. Dựa trên phương pháp được mô tả trong khía cạnh thứ năm, thời điểm kết thúc truyền của khung dữ liệu được truyền qua liên kết thứ nhất giống với thời điểm kết thúc truyền của

khung dữ liệu được truyền qua liên kết thứ hai. Điều này giúp tránh gián đoạn TXOP.

Trong triển khai khả thi, có bit đệm phía sau khung dữ liệu được truyền qua liên kết thứ nhất và bit đệm cho phép thời điểm kết thúc truyền của PPDU mà khung dữ liệu được truyền qua liên kết thứ nhất nằm trong đó giống với thời điểm kết thúc truyền của PPDU mà khung dữ liệu được truyền qua liên kết thứ hai nằm trong đó. Dựa trên triển khai khả thi này, thời điểm kết thúc truyền của khung dữ liệu được truyền qua liên kết thứ nhất và thời điểm kết thúc truyền của khung dữ liệu được truyền qua liên kết thứ hai có thể giống nhau.

Phương pháp và các triển khai khả thi được mô tả trong khía cạnh thứ năm có thể được triển khai riêng biệt, hoặc phương pháp và các triển khai khả thi được mô tả trong khía cạnh thứ năm có thể được kết hợp với phương pháp được mô tả ở khía cạnh thứ nhất, khía cạnh thứ hai hoặc khía cạnh thứ ba. Ví dụ, trong phương pháp được mô tả ở khía cạnh thứ nhất hoặc khía cạnh thứ hai, thiết bị đa liên kết thứ nhất gửi các khung dữ liệu đến thiết bị đa liên kết thứ hai trên nhiều liên kết, trong đó thời điểm kết thúc của PPDU mà khung dữ liệu được gửi qua mỗi liên kết nằm trong đó là giống nhau. Sau khi thiết bị đa liên kết thứ nhất gửi các khung dữ liệu đến thiết bị đa liên kết thứ hai qua nhiều liên kết, và trước khi thiết bị đa liên kết thứ nhất nhận, qua liên kết thứ nhất trong nhiều liên kết, khung báo nhận khối BA được gửi bởi thiết bị đa liên kết thứ hai, thiết bị đa liên kết thứ nhất gửi khung BAR đến thiết bị đa liên kết thứ hai. Theo tùy chọn, có bit đệm phía sau khung dữ liệu được gửi qua ít nhất một liên kết, và bit đệm cho phép thời điểm kết thúc của PPDU mà khung dữ liệu được gửi qua mỗi liên kết nằm trong đó là giống nhau. Ví dụ khác, trong phương pháp được mô tả ở khía cạnh thứ ba, thiết bị đa liên kết thứ nhất gửi các khung dữ liệu đến thiết bị đa liên kết thứ hai trên nhiều liên kết, trong đó thời điểm kết thúc của PPDU mà khung dữ liệu được gửi qua mỗi liên kết nằm trong đó là giống nhau. Khung BAR do thiết bị đa liên kết thứ nhất gửi đến thiết bị đa liên kết thứ hai chỉ ra rằng loại khung BA là khung BA đa liên kết. Theo tùy chọn, có bit đệm phía sau khung dữ liệu được gửi qua ít nhất một liên kết, và bit đệm cho phép thời điểm kết thúc của PPDU mà khung dữ liệu được gửi qua mỗi liên kết nằm trong đó là giống nhau.

Theo khía cạnh thứ sáu, sáng chế đề xuất phương pháp truyền khung dữ liệu. Phương pháp bao gồm: Thiết bị đa liên kết thứ hai nhận, qua liên kết thứ nhất và liên kết thứ hai, các khung dữ liệu được gửi bởi thiết bị đa liên kết thứ nhất, trong đó thời điểm kết thúc truyền của PPDU mà khung dữ liệu được truyền qua liên kết thứ nhất nằm trong đó giống như thời điểm kết thúc truyền của PPDU mà khung dữ liệu được truyền qua liên kết thứ hai nằm trong đó. Thiết bị đa liên kết thứ hai nhận, qua liên kết thứ nhất và/hoặc liên kết thứ hai, khung yêu cầu báo nhận khối BAR được gửi bởi thiết bị đa liên kết thứ nhất. Thiết bị đa liên kết thứ hai gửi khung BA đến thiết bị đa liên kết thứ nhất qua liên kết thứ nhất và/hoặc liên kết thứ hai.

Trong triển khai khả thi, có bit đệm phía sau khung dữ liệu được truyền qua liên kết thứ nhất, và bit đệm cho phép thời điểm kết thúc truyền của PPDU mà khung dữ liệu được truyền qua liên kết thứ nhất nằm trong đó giống với thời điểm kết thúc truyền của PPDU mà khung dữ liệu được truyền qua liên kết thứ hai nằm trong đó.

Để biết những hiệu quả có lợi của khía cạnh thứ sáu, hãy tham khảo những hiệu quả có lợi của khía cạnh thứ năm. Chi tiết không được mô tả ở đây.

Theo khía cạnh thứ bảy, máy truyền thông được đề xuất. Máy có thể là thiết bị đa liên kết thứ nhất, hoặc máy trong thiết bị đa liên kết thứ nhất, hoặc máy có thể được sử dụng cùng với thiết bị đa liên kết thứ nhất. Cách khác, máy truyền thông có thể là hệ thống chip. Máy truyền thông có thể thực hiện phương pháp theo khía cạnh thứ nhất, khía cạnh thứ hai, khía cạnh thứ ba, hoặc khía cạnh thứ năm. Chức năng của máy truyền thông có thể được triển khai bằng phần cứng, hoặc có thể được triển khai bằng phần cứng bằng cách thực thi phần mềm tương ứng. Phần cứng hoặc phần mềm bao gồm một hoặc nhiều đơn vị tương ứng với chức năng đã nói ở trên. Đơn vị có thể là phần mềm và/hoặc phần cứng. Đối với các hoạt động được thực hiện bởi máy truyền thông và các hiệu quả có lợi, hãy tham khảo phương pháp và các hiệu quả có lợi được mô tả trong khía cạnh thứ nhất, khía cạnh thứ hai, khía cạnh thứ ba, hoặc khía cạnh thứ năm. Không có mô tả lặp lại nào được đề xuất.

Theo khía cạnh thứ tám, máy truyền thông được đề xuất. Máy có thể là thiết bị đa liên kết thứ hai, hoặc máy trong thiết bị đa liên kết thứ hai, hoặc máy có thể được sử

dụng cùng với thiết bị đa liên kết thứ hai. Cách khác, máy truyền thông có thể là hệ thống chip. Máy truyền thông có thể thực hiện phương pháp theo khía cạnh thứ tư hoặc khía cạnh thứ sáu. Chức năng của máy truyền thông có thể được triển khai bằng phần cứng, hoặc có thể được triển khai bằng phần cứng bằng cách thực thi phần mềm tương ứng. Phần cứng hoặc phần mềm bao gồm một hoặc nhiều đơn vị tương ứng với chức năng đã nói ở trên. Đơn vị có thể là phần mềm và/hoặc phần cứng. Đối với các hoạt động được thực hiện bởi máy truyền thông và các hiệu quả có lợi của chúng, hãy tham khảo phương pháp theo khía cạnh thứ tư hoặc khía cạnh thứ sáu, và các hiệu quả có lợi của chúng. Không có mô tả lặp lại nào được đề xuất.

Theo khía cạnh thứ chín, sáng chế đề xuất máy truyền thông. Máy truyền thông có thể là thiết bị đa liên kết thứ nhất hoặc hệ thống chip. Máy truyền thông bao gồm ít nhất một bộ xử lý. Khi bộ xử lý gọi chương trình máy tính trong bộ nhớ, thì phương pháp được thực hiện bởi thiết bị đa liên kết thứ nhất trong phương pháp theo khía cạnh thứ nhất, khía cạnh thứ hai, khía cạnh thứ ba, hoặc khía cạnh thứ năm được thực hiện.

Theo khía cạnh thứ mười, sáng chế đề xuất máy truyền thông. Máy truyền thông có thể là thiết bị đa liên kết thứ hai hoặc hệ thống chip. Máy truyền thông bao gồm ít nhất một bộ xử lý. Khi bộ xử lý gọi chương trình máy tính trong bộ nhớ, thì phương pháp được thực hiện bởi thiết bị đa liên kết thứ hai trong phương pháp theo khía cạnh thứ tư hoặc khía cạnh thứ sáu được thực hiện.

Theo khía cạnh thứ mười một, sáng chế đề xuất máy truyền thông. Máy truyền thông có thể là thiết bị đa liên kết thứ nhất hoặc hệ thống chip. Máy truyền thông bao gồm bộ xử lý và bộ nhớ. Bộ nhớ được tạo cấu hình để lưu trữ chương trình máy tính. Bộ xử lý được tạo cấu hình để thực thi chương trình máy tính được lưu trong bộ nhớ, để thiết bị truyền thông thực hiện phương pháp được thực hiện bởi thiết bị đa liên kết thứ nhất trong phương pháp theo khía cạnh thứ nhất, khía cạnh thứ hai, khía cạnh thứ ba, hoặc khía cạnh thứ năm.

Theo khía cạnh thứ mười hai, sáng chế đề xuất máy truyền thông. Máy truyền thông có thể là thiết bị đa liên kết thứ hai hoặc hệ thống chip. Máy truyền thông bao gồm bộ xử lý và bộ nhớ. Bộ nhớ được tạo cấu hình để lưu trữ chương trình máy tính. Bộ xử lý

được tạo cấu hình để thực thi chương trình máy tính được lưu trong bộ nhớ, để thiết bị truyền thông thực hiện phương pháp được thực hiện bởi thiết bị đa liên kết thứ hai trong phương pháp theo khía cạnh thứ tư hoặc khía cạnh thứ sáu được thực hiện.

Theo khía cạnh thứ mười ba, sáng chế đề xuất máy truyền thông. Máy truyền thông có thể là thiết bị đa liên kết thứ nhất. Máy truyền thông bao gồm bộ xử lý, bộ nhớ, và bộ truyền nhận. Bộ truyền nhận được tạo cấu hình để nhận tín hiệu hoặc gửi tín hiệu. Bộ nhớ được tạo cấu hình để lưu trữ chương trình máy tính. Bộ xử lý được tạo cấu hình để gọi chương trình máy tính từ bộ nhớ, để thực hiện phương pháp được thực hiện bởi thiết bị đa liên kết thứ nhất trong phương pháp theo khía cạnh thứ nhất, khía cạnh thứ hai, khía cạnh thứ ba, hoặc khía cạnh thứ năm.

Theo khía cạnh thứ mười bốn, sáng chế đề xuất máy truyền thông. Máy truyền thông có thể là thiết bị đa liên kết thứ nhất. Máy truyền thông bao gồm bộ xử lý, bộ nhớ, và bộ truyền nhận. Bộ truyền nhận được tạo cấu hình để nhận tín hiệu hoặc gửi tín hiệu. Bộ nhớ được tạo cấu hình để lưu trữ chương trình máy tính. Bộ xử lý được tạo cấu hình để gọi chương trình máy tính từ bộ nhớ, để thực hiện phương pháp được thực hiện bởi thiết bị đa liên kết thứ hai trong phương pháp theo khía cạnh thứ tư hoặc khía cạnh thứ sáu được thực hiện.

Theo khía cạnh thứ mười lăm, sáng chế đề xuất máy truyền thông. Máy truyền thông có thể là thiết bị đa liên kết thứ nhất hoặc hệ thống chip. Thiết bị truyền thông bao gồm ít nhất một bộ xử lý và giao diện truyền thông. Bộ xử lý chạy chương trình máy tính, để thực hiện phương pháp được thực hiện bởi thiết bị đa liên kết thứ nhất trong phương pháp theo khía cạnh thứ nhất, khía cạnh thứ hai, khía cạnh thứ ba, hoặc khía cạnh thứ năm.

Theo khía cạnh thứ mười sáu, sáng chế đề xuất máy truyền thông. Máy truyền thông có thể là thiết bị đa liên kết thứ hai hoặc hệ thống chip. Thiết bị truyền thông bao gồm ít nhất một bộ xử lý và giao diện truyền thông, và giao diện truyền thông được tạo cấu hình để nhận chương trình máy tính và truyền chương trình máy tính tới bộ xử lý. Bộ xử lý chạy chương trình máy tính để thực hiện phương pháp được thực hiện bởi thiết bị đa liên kết thứ hai trong phương pháp theo khía cạnh thứ tư hoặc khía cạnh thứ sáu.

Theo khía cạnh thứ mười bảy, sáng chế đề xuất một phương tiện lưu trữ đọc được bằng máy tính. Phương tiện lưu trữ đọc được bằng máy tính được tạo cấu hình để lưu trữ các lệnh. Khi các lệnh được thực thi, thì phương pháp được thực hiện bởi thiết bị đa liên kết thứ nhất trong phương pháp theo khía cạnh thứ nhất, khía cạnh thứ hai, khía cạnh thứ ba, hoặc khía cạnh thứ năm được thực hiện.

Theo khía cạnh thứ mười tám, sáng chế đề xuất một phương tiện lưu trữ đọc được bằng máy tính. Phương tiện lưu trữ đọc được bằng máy tính được tạo cấu hình để lưu trữ các lệnh. Khi các lệnh được thực thi, thì phương pháp được thực hiện bởi thiết bị đa liên kết thứ hai trong phương pháp theo khía cạnh thứ tư hoặc khía cạnh thứ sáu được thực hiện.

Theo khía cạnh thứ mười chín, sáng chế đề xuất sản phẩm chương trình máy tính bao gồm các lệnh. Khi các lệnh được thực thi, thì phương pháp được thực hiện bởi thiết bị đa liên kết thứ nhất trong phương pháp theo khía cạnh thứ nhất, khía cạnh thứ hai, khía cạnh thứ ba, hoặc khía cạnh thứ năm được thực hiện.

Theo khía cạnh thứ hai mươi, sáng chế đề xuất sản phẩm chương trình máy tính bao gồm các lệnh. Khi các lệnh được thực thi, thì phương pháp được thực hiện bởi thiết bị đa liên kết thứ hai trong phương pháp theo khía cạnh thứ tư hoặc khía cạnh thứ sáu được thực hiện.

Mô tả vắn tắt các hình vẽ

Để mô tả rõ ràng hơn các giải pháp kỹ thuật theo các phương án của sáng chế hoặc trong công nghệ hiện tại, phần sau mô tả vắn tắt các hình vẽ kèm theo được sử dụng để mô tả các phương án hoặc công nghệ hiện tại. Rõ ràng là các hình vẽ kèm theo trong phần mô tả sau đây chỉ thể hiện một số phương án của sáng chế, và người có hiểu biết trung bình trong lĩnh vực có thể suy ra các hình vẽ khác từ các hình vẽ kèm theo này mà không cần nỗ lực sáng tạo.

FIG.1 là sơ đồ giản lược của thiết bị đa liên kết theo một phương án của sáng chế;

FIG.2 là sơ đồ giản lược của kiến trúc hệ thống theo một phương án của sáng chế;

FIG.3 là sơ đồ giản lược của việc truyền khung dữ liệu và khung BA theo một phương án của sáng chế;

FIG.4 là lưu đồ giản lược của việc xác định trạng thái nhận của khung dữ liệu theo một phương án của sáng chế;

FIG.5 là sơ đồ giản lược khác của việc truyền khung dữ liệu và khung BA theo một phương án của sáng chế;

FIG.6 là sơ đồ giản lược của cấu trúc của khung phản hồi ADDBA theo một phương án của sáng chế;

FIG.7 là sơ đồ giản lược của cấu trúc của khung phản hồi ADDBA khác theo một phương án của sáng chế;

FIG.8 là lưu đồ giản lược khác của việc xác định trạng thái nhận của khung dữ liệu theo một phương án của sáng chế;

FIG.9 là lưu đồ giản lược khác nữa của việc truyền của khung BA theo một phương án của sáng chế;

FIG.10 là sơ đồ giản lược của cấu trúc của khung BAR theo một phương án của sáng chế;

FIG.11 là sơ đồ giản lược của cấu trúc của khung BAR khác theo một phương án của sáng chế;

FIG.12 là sơ đồ giản lược của cấu trúc của khung BAR khác nữa theo một phương án của sáng chế;

Fig.13 là sơ đồ giản lược của cấu trúc của khung phản hồi ADDBA khác nữa theo một phương án của sáng chế;

Fig.14 là lưu đồ giản lược của việc truyền khung dữ liệu theo một phương án của sáng chế;

FIG.15 là sơ đồ giản lược của việc truyền khung dữ liệu theo một phương án của

sáng chế;

FIG.16 là sơ đồ giản lược khác về việc truyền khung dữ liệu theo một phương án của sáng chế;

FIG.17 là sơ đồ giản lược của bảng điểm theo một phương án của sáng chế;

Fig.18 là sơ đồ giản lược của một bảng điểm khác theo một phương án của sáng chế;

FIG.19 là sơ đồ giản lược khác nữa của việc truyền khung dữ liệu và khung BA theo một phương án của sáng chế;

FIG.20 là sơ đồ giản lược khác nữa về truyền khung dữ liệu và khung BA theo một phương án của sáng chế;

FIG.21 là sơ đồ giản lược khác nữa của việc truyền khung dữ liệu và khung BA theo một phương án của sáng chế;

FIG.22 là sơ đồ giản lược khác nữa của việc truyền khung dữ liệu và khung BA theo một phương án của sáng chế;

FIG.23 là sơ đồ giản lược của cấu trúc của khung phản hồi ADDBA khác nữa theo một phương án của sáng chế;

FIG.24 là sơ đồ giản lược của cấu trúc của máy truyền thông theo một phương án của sáng chế;

FIG.25a là sơ đồ giản lược của cấu trúc của máy truyền thông khác theo một phương án của sáng chế; và

FIG.25b là sơ đồ giản lược của cấu trúc của máy truyền thông khác nữa theo một phương án của sáng chế.

Mô tả chi tiết sáng chế

Mô tả chi tiết được cung cấp riêng dưới đây.

Trong bản mô tả, yêu cầu bảo hộ, và các hình vẽ kèm theo của sáng chế, các thuật

ngữ "thứ nhất", "thứ hai", "thứ ba", "thứ tư", v.v. nhằm phân biệt giữa các đối tượng khác nhau nhưng không chỉ ra một thứ tự cụ thể. Ngoài ra, các thuật ngữ "bao gồm", "có", và bất kỳ biến thể nào khác của chúng đều nhằm bao hàm sự bao gồm không loại trừ. Ví dụ, quy trình, phương pháp, hệ thống, sản phẩm, hoặc thiết bị bao gồm một loạt các bước hoặc các đơn vị không bị giới hạn ở các bước hoặc các đơn vị được liệt kê, nhưng theo tùy chọn có thể còn bao gồm bước hoặc đơn vị không được liệt kê, hoặc theo tùy chọn có thể còn bao gồm bước ẩn chứa khác hoặc đơn vị của quá trình, phương pháp, sản phẩm, hoặc thiết bị.

"Phương án" được đề cập trong sáng chế có nghĩa là một dấu hiệu, cấu trúc, hoặc đặc tính cụ thể được mô tả có dựa vào phương án có thể được bao gồm trong ít nhất một phương án của sáng chế. Cụm từ xuất hiện ở các vị trí khác nhau trong sáng chế không nhất thiết đề cập đến cùng một phương án, hoặc phương án độc lập hoặc thay thế loại trừ phương án khác. Người có hiểu biết trung bình trong lĩnh vực hiểu rằng, theo cách rõ ràng và hàm chứa, phương án được mô tả trong sáng chế có thể được kết hợp với phương án khác.

"Nhiều" có nghĩa là hai hoặc nhiều hơn hai. "Và/hoặc" mô tả mối quan hệ kết hợp để mô tả các đối tượng được kết hợp và biểu thị rằng ba mối quan hệ có thể tồn tại. Ví dụ, A và/hoặc B có thể biểu thị cho ba trường hợp sau: Chỉ có A tồn tại, cả A và B đều tồn tại, và chỉ B tồn tại. Ký tự "/" thường chỉ ra mối quan hệ "hoặc" giữa các đối tượng kết hợp.

Phần sau đây trước tiên mô tả kiến trúc hệ thống mà các phương án của sáng chế có thể được áp dụng.

FIG.2 là giản đồ của kiến trúc hệ thống theo một phương án của sáng chế. Như thể hiện trên FIG.2, kiến trúc hệ thống bao gồm thiết bị đa liên kết thứ nhất và thiết bị đa liên kết thứ hai. Thiết bị đa liên kết thứ nhất là điểm truy cập (access points, APs), và thiết bị đa liên kết thứ hai là trạm không phải là điểm truy cập (non-access point station, non-AP STA). Ngoài ra, thiết bị đa liên kết thứ nhất là STA không phải AP, và thiết bị đa liên kết thứ hai là AP. Ngoài ra, cả thiết bị đa liên kết thứ nhất và thiết bị đa liên kết thứ hai đều là các STA không phải AP. Thiết bị đa liên kết thứ nhất bao gồm nhiều trạm,

và thiết bị đa liên kết thứ hai bao gồm nhiều trạm. Mỗi trạm trong thiết bị đa liên kết thứ nhất hoặc thiết bị đa liên kết thứ hai hoạt động trên băng tần hoặc kênh cụ thể. Nhiều trạm trong thiết bị đa liên kết thứ nhất có thể nằm ở các vị trí địa lý khác nhau hoặc nhiều trạm nằm trong cùng một thiết bị vật lý. Nhiều trạm trong thiết bị đa liên kết thứ hai có thể được đặt ở các vị trí địa lý khác nhau, hoặc nhiều trạm nằm trong cùng một thiết bị vật lý. Có nhiều liên kết giữa thiết bị đa liên kết thứ nhất và thiết bị đa liên kết thứ hai. Như thể hiện trên FIG.2, liên kết giữa trạm 1 trong thiết bị đa liên kết thứ nhất và trạm 1 trong thiết bị đa liên kết thứ hai là liên kết 1. Liên kết giữa trạm 2 trong thiết bị đa liên kết thứ nhất và trạm 2 trong thiết bị đa liên kết thứ hai là liên kết 2. Liên kết giữa trạm 3 trong thiết bị đa liên kết thứ nhất và trạm 3 trong thiết bị đa liên kết thứ hai là liên kết 3. Ví dụ trong đó có ba liên kết giữa thiết bị đa liên kết thứ nhất và thiết bị đa liên kết thứ hai trên FIG.2 được sử dụng để mô tả. Chắc chắn, có thể có hai hoặc nhiều hơn ba liên kết giữa thiết bị đa liên kết thứ nhất và thiết bị đa liên kết thứ hai.

AP có thể là AP được sử dụng bởi thiết bị đầu cuối (ví dụ, điện thoại di động) để truy cập vào mạng có dây (hoặc không dây), và chủ yếu được triển khai tại nhà, trong tòa nhà, và trong công viên. Bán kính phủ sóng điển hình là hàng chục mét đến một trăm mét. Chắc chắn, điểm truy cập cũng có thể được triển khai ngoài trời. AP tương đương với cầu kết nối mạng có dây và mạng không dây. AP chủ yếu được sử dụng để kết nối các máy khách mạng không dây với nhau, sau đó kết nối mạng không dây với Ethernet. Cụ thể, AP có thể là thiết bị đầu cuối (chẳng hạn như điện thoại di động) hoặc thiết bị mạng (chẳng hạn như bộ định tuyến) có chip trung thực không dây (wireless fidelity, Wi-Fi). AP có thể là thiết bị hỗ trợ chuẩn 802.11be. Ngoài ra, AP có thể là thiết bị hỗ trợ nhiều tiêu chuẩn họ 802.11 của mạng cục bộ không dây (wireless local area network, WLAN) hiện tại và tương lai, chẳng hạn như 802.11ax, 802.11ac, 802.11n, 802.11g, 802.11b, và 802.11a.

STA không phải AP có thể là chip truyền thông không dây, cảm biến không dây, thiết bị đầu cuối truyền thông không dây, hoặc tương tự. Ví dụ, STA không phải AP có thể là điện thoại di động hỗ trợ chức năng truyền thông Wi-Fi, máy tính bảng hỗ trợ chức năng truyền thông Wi-Fi, hộp đổi tín hiệu hỗ trợ chức năng truyền thông Wi-Fi, TV thông minh hỗ trợ chức năng truyền thông Wi-Fi, thiết bị đeo thông minh hỗ trợ

chức năng truyền thông Wi-Fi, thiết bị truyền thông gắn trên xe hỗ trợ chức năng truyền thông Wi-Fi, hoặc máy tính hỗ trợ chức năng truyền thông Wi-Fi. Tùy chọn, STA không phải AP có thể hỗ trợ chuẩn 802.11be. STA không phải AP cũng có thể hỗ trợ nhiều chuẩn mạng cục bộ không dây (wireless local area network, WLAN) hiện tại và tương lai của các tiêu chuẩn họ 802.11, chẳng hạn như 802.11ax, 802.11ac, 802.11n, 802.11g, 802.11b, và 802.11a.

Ví dụ, STA AP và không phải AP có thể là các thiết bị được áp dụng cho xe kết nối internet, các nút vạn vật kết nối internet, cảm biến, hoặc tương tự trong vạn vật kết nối internet (Internet of Things, IoT), camera thông minh, điều khiển từ xa thông minh, đồng hồ đo điện hoặc nước thông minh, hoặc các thiết bị tương tự trong nhà thông minh, hoặc các cảm biến trong thành phố thông minh.

Thiết bị đa liên kết thứ nhất có thể gửi khung dữ liệu đến thiết bị đa liên kết thứ hai qua nhiều liên kết. Khung dữ liệu có thể là đơn vị dữ liệu giao thức kiểm soát truy cập phương tiện (Media Access Control, MAC) (MAC protocol data unit, MPDU). Sau khi nhận được khung dữ liệu, thiết bị đa liên kết thứ hai cần phản hồi trạng thái nhận của khung dữ liệu cho thiết bị đa liên kết thứ nhất bằng cách sử dụng khung BA. Trạng thái nhận có thể là nhận thành công hoặc lỗi nhận. Trạng thái nhận cũng có thể được tham chiếu là trạng thái báo nhận. Thiết bị đa liên kết thứ nhất xác định, dựa trên trạng thái nhận của khung dữ liệu, liệu có truyền lại khung dữ liệu đến thiết bị đa liên kết thứ hai hay không. Nói chung, thiết bị đa liên kết thứ hai có thể bao gồm, trong khung BA được gửi qua một liên kết, nhận các trạng thái của các khung dữ liệu được truyền qua liên kết và liên kết khác. Khung BA có thể được tham chiếu là khung BA đa liên kết. Hiện tại, thiết bị đa liên kết thứ nhất có thể không xác định chính xác, dựa trên khung BA đa liên kết, các trạng thái nhận của các khung dữ liệu mà được truyền qua một số liên kết. Thiết bị đa liên kết thứ nhất có thể xác định trạng thái nhận của khung dữ liệu mà đã được nhận thành công bởi thiết bị đa liên kết thứ hai là lỗi nhận. Điều này gây ra việc truyền lại khung dữ liệu không cần thiết.

Phần sau sử dụng ví dụ cụ thể để mô tả lý do tại sao thiết bị đa liên kết thứ nhất không thể xác định chính xác, dựa trên khung BA đa liên kết, các trạng thái nhận của

các khung dữ liệu được truyền qua một số liên kết.

Ví dụ, khung dữ liệu là MPDU. Như được minh họa trên FIG.3, thiết bị đa liên kết thứ nhất gửi MPDU 1 đến MPDU 3 tới thiết bị đa liên kết thứ hai qua liên kết 1, gửi MPDU 4 đến MPDU 6 tới thiết bị đa liên kết thứ hai qua liên kết 2, và gửi MPDU 7 đến MPDU 9 tới thiết bị đa liên kết thứ hai qua liên kết 3. Trạm 1 của thiết bị đa liên kết thứ nhất có thể tổng hợp MPDU 1 đến MPDU 3 thành A-MPDU, bao gồm A-MPDU trong PPDU, và gửi PPDU đến trạm 1 của thiết bị đa liên kết thứ hai. Trạm 2 của thiết bị đa liên kết thứ nhất có thể tổng hợp MPDU 4 đến MPDU 6 thành A-MPDU, bao gồm A-MPDU trong PPDU, và gửi PPDU đến trạm 2 của thiết bị đa liên kết thứ hai. Trạm 3 của thiết bị đa liên kết thứ nhất có thể tổng hợp MPDU 7 đến MPDU 9 thành A-MPDU, bao gồm A-MPDU trong PPDU, và gửi PPDU đến trạm 3 của thiết bị đa liên kết thứ hai. Thiết bị đa liên kết thứ hai gửi khung BA đến thiết bị đa liên kết thứ nhất qua liên kết 1, trong đó khung BA mang ánh xạ bit. Ánh xạ bit bao gồm chín bit, và các giá trị bit của chín bit là 111111110. Bit thứ 1 tương ứng với MPDU 1, bit thứ 2 tương ứng với MPDU 2, ... và bằng tương tự, bit thứ 9 tương ứng với MPDU 9. Trạm 1 tương ứng với liên kết 1 trong thiết bị đa liên kết thứ hai đặt giá trị bit tương ứng với MPDU đã nhận chính xác thành 1, và đặt các giá trị bit tương ứng với các MPDU còn lại thành 0. Sau khi nhận khung BA, thiết bị đa liên kết thứ nhất xác định rằng MPDU tương ứng với giá trị bit 1 được nhận thành công, nhưng không thể xác định chính xác trạng thái nhận của MPDU 9 tương ứng với giá trị bit 0. Bit có giá trị 0 có sự không rõ ràng. Lý do như sau: Trạm 1 trong thiết bị đa liên kết thứ hai cần tạo khung BA bao gồm các trạng thái nhận MPDU của nhiều liên kết. Sau khi nhận các MPDU, trạm 2 và trạm 3 trong thiết bị đa liên kết thứ hai cần chuyển trạng thái nhận của các MPDU sang trạm 1 trong thiết bị đa liên kết thứ hai, để trạm 1 trong thiết bị đa liên kết thứ hai tạo khung BA bao gồm các trạng thái nhận của các MPDU được truyền qua liên kết 1 đến liên kết 3. Do trễ truyền, khi trạm 1 trong thiết bị đa liên kết thứ hai tạo ra khung BA, mặc dù trạm 2 trong thiết bị đa liên kết thứ hai đã nhận thành công MPDU 9, trạm 2 có thể chưa chuyển trạng thái nhận của MPDU 9 sang trạm 1 trong thiết bị đa liên kết thứ hai. Bởi vì trạng thái nhận của MPDU 9 không được nhận, trạm 1 trong thiết bị đa liên kết thứ hai đặt giá trị bit tương ứng với MPDU 9 thành 0. Vấn đề trễ đặc biệt rõ ràng trong kịch bản không sắp xếp. Trong kịch bản không sắp xếp, thiết bị đa liên kết thứ hai là thiết bị logic, và trạm 1 và trạm 2 trong

thiết bị đa liên kết thứ hai nằm trong các vị trí địa lý khác nhau và các thiết bị vật lý khác nhau. Trạm 1 và trạm 2 trong thiết bị đa liên kết thứ hai có thể được kết nối qua cáp có dây hoặc theo cách khác (công nghệ không dây cụ thể). Nói cách khác, khi xảy ra một trong hai trường hợp sau, thiết bị đa liên kết thứ hai sẽ đặt bit tương ứng với MPDU 9 thành 0. Trong một trường hợp, MPDU 9 lỗi nhận. Trong trường hợp khác, trạm 2 của thiết bị đa liên kết thứ hai không gửi kịp thời trạng thái nhận của MPDU 9 đến trạm 1 của thiết bị đa liên kết thứ hai. Do đó, khi giá trị bit tương ứng với MPDU 9 là 0, sự không rõ ràng tồn tại. Trong một trường hợp, nó chỉ ra rằng trạng thái nhận của MPDU 9 là lỗi nhận. Trong trường hợp khác, nó chỉ ra rằng trạng thái nhận của MPDU 9 không được mang. Thiết bị đa liên kết thứ nhất không thể xác định chính xác trạng thái nhận của MPDU 9 là lỗi nhận hay trạm 2 của thiết bị đa liên kết thứ hai không gửi kịp thời trạng thái nhận của MPDU 9 đến trạm 1 của thiết bị đa liên kết thứ hai.

Để cải thiện độ chính xác của trạng thái nhận đã xác định của khung dữ liệu và tránh việc truyền lại khung dữ liệu không cần thiết bởi thiết bị đa liên kết thứ nhất, các phương án của sáng chế đề xuất phương pháp xác định trạng thái nhận của khung dữ liệu và thiết bị đa liên kết thứ nhất. Phần sau còn mô tả phương pháp xác định trạng thái nhận của khung dữ liệu và thiết bị đa liên kết thứ nhất được đề xuất trong sáng chế.

FIG.4 là sơ đồ của phương pháp xác định trạng thái nhận của khung dữ liệu theo một phương án của sáng chế. Như thể hiện trên FIG.4, phương pháp xác định trạng thái nhận của khung dữ liệu bao gồm từ bước 401 đến bước 403 như sau. Phương pháp thể hiện trên FIG.4 có thể được thực hiện bởi thiết bị đa liên kết thứ nhất và thiết bị đa liên kết thứ hai. Ngoài ra, phương pháp được thể hiện trên FIG.4 có thể được thực hiện bởi chip trong thiết bị đa liên kết thứ nhất và chip trong thiết bị đa liên kết thứ hai. FIG.4 được mô tả bằng cách sử dụng một ví dụ trong đó thiết bị đa liên kết thứ nhất và thiết bị đa liên kết thứ hai được sử dụng làm các vật thực thi.

401: Thiết bị đa liên kết thứ nhất gửi các khung dữ liệu đến thiết bị đa liên kết thứ hai qua nhiều liên kết.

Theo phương án này của sáng chế, ít nhất hai trạm trong thiết bị đa liên kết thứ nhất gửi riêng các khung dữ liệu đến ít nhất hai trạm trong thiết bị đa liên kết thứ hai qua các

liên kết mà trên đó ít nhất hai trạm hoạt động. Các khung dữ liệu có thể được gửi đồng bộ hoặc không đồng bộ qua các liên kết khác nhau.

Ví dụ, các khung dữ liệu là các MPDU. Như được thể hiện trên FIG.5, thiết bị đa liên kết thứ nhất gửi MPDU 4 đến MPDU 6 tới thiết bị đa liên kết thứ hai qua liên kết 1, gửi MPDU 7 đến MPDU 9 tới thiết bị đa liên kết thứ hai qua liên kết liên kết 2, và gửi MPDU 10 đến MPDU 12 tới thiết bị đa liên kết thứ hai qua liên kết 3. Trạm 1 của thiết bị đa liên kết thứ nhất có thể tổng hợp MPDU 4 đến MPDU 6 thành A-MPDU, bao gồm A-MPDU trong PPDU, và gửi PPDU đến trạm 1 của thiết bị đa liên kết thứ hai. Trạm 2 của thiết bị đa liên kết thứ nhất có thể tổng hợp MPDU 7 đến MPDU 9 thành A-MPDU, bao gồm A-MPDU trong PPDU, và gửi PPDU đến trạm 2 của thiết bị đa liên kết thứ hai. Trạm 3 của thiết bị đa liên kết thứ nhất có thể tổng hợp MPDU 10 đến MPDU 12 thành A-MPDU, thêm các A-MPDU vào PPDU, và gửi PPDU đến trạm 3 của thiết bị đa liên kết thứ hai. Các số trình tự (số trình tự) của các MPDU được gửi qua các liên kết có thể liên tiếp, hoặc có thể không liên tiếp.

402: Thiết bị đa liên kết thứ hai gửi khung báo nhận khối (block ACK, BA) đến thiết bị đa liên kết thứ nhất qua liên kết thứ nhất trong nhiều liên kết.

Theo phương án của sáng chế, sau khi nhận, qua nhiều liên kết, các khung dữ liệu được gửi bởi thiết bị đa liên kết thứ nhất, thiết bị đa liên kết thứ hai có thể đáp lại với khung BA tới thiết bị đa liên kết thứ nhất trên một hoặc nhiều của nhiều liên kết. Trong sáng chế này, liên kết thứ nhất là bất kỳ liên kết nào mà khung BA được phản hồi. Khung BA đáp lại qua liên kết thứ nhất mang ánh xạ bit, và ánh xạ bit chỉ ra trạng thái nhận của khung dữ liệu được truyền qua liên kết thứ nhất và chỉ ra trạng thái nhận của khung dữ liệu được truyền qua liên kết thứ hai trong nhiều liên kết. Nói cách khác, khung BA đáp lại qua liên kết thứ nhất là khung BA đa liên kết. Liên kết thứ hai là liên kết trong nhiều liên kết khác với liên kết thứ nhất. Ánh xạ bit có thể được sử dụng cụ thể để chỉ ra trạng thái nhận của khung dữ liệu được truyền qua một hoặc nhiều liên kết thứ hai. Các bit trong ánh xạ bit tương ứng 1-1 với các khung dữ liệu. Bit tương ứng với khung dữ liệu chỉ ra trạng thái nhận của khung dữ liệu.

Trong triển khai khả thi, khung BA bao gồm số trình tự bắt đầu của khung dữ liệu

có trạng thái nhận được phản hồi, số trình tự bắt đầu nhỏ hơn hoặc bằng số trình tự thứ nhất, và số trình tự thứ nhất là giá trị nhỏ nhất của các số trình tự của các khung dữ liệu mà không được báo nhận là đã nhận. Theo tùy chọn, số trình tự thứ nhất có thể được đặt thành giá trị nhỏ hơn giá trị nhỏ nhất của số trình tự của khung dữ liệu không được báo nhận là được nhận. Theo tùy chọn, các khung dữ liệu không được báo nhận là đã nhận bao gồm khung dữ liệu đã gửi mà trạng thái nhận chưa được phản hồi, khung dữ liệu đã gửi mà lỗi nhận, và khung dữ liệu đã gửi mà không thể xác định chính xác trạng thái nhận. Các bit trong ánh xạ bit tương ứng 1-1 với các khung dữ liệu. Khung dữ liệu có số trình tự là X tương ứng với bit thứ $(X - \text{số trình tự thứ nhất} + 1)$. Ví dụ, nếu số trình tự thứ nhất là K , bit thứ 1 trong ánh xạ bit tương ứng với khung dữ liệu K , bit thứ 2 tương ứng với khung dữ liệu $K + 1$, bit thứ 3 tương ứng với khung dữ liệu $K + 2$, và phần còn lại có thể được suy ra bằng tương tự. Theo tùy chọn, khung BA có thể còn mang độ dài của ánh xạ bit. Ngoài ra, ánh xạ bit không mang độ dài của ánh xạ bit, và độ dài của ánh xạ bit có thể được cố định. Ví dụ, độ dài cố định của ánh xạ bit là 64 hoặc 256.

Ví dụ, như được hiển thị trên FIG.5, sau khi nhận các MPDU qua nhiều liên kết, thiết bị đa liên kết thứ hai sẽ gửi khung BA 1 qua liên kết 1. Ánh xạ bit của khung BA 1 chỉ ra trạng thái nhận của MPDU được truyền qua liên kết 1 và trạng thái nhận của các MPDU được truyền qua liên kết 2 và liên kết 3. Thiết bị đa liên kết thứ hai báo nhận rằng MPDU 1 đến MPDU 3 đều được nhận thành công. Do đó, số trình tự bắt đầu của MPDU được mang trong khung BA 1 là 4, và độ dài của ánh xạ bit được mang trong khung BA 1 là 9. Số trình tự của MPDU tương ứng với bit thứ 1 trong ánh xạ bit là 4, số trình tự của MPDU tương ứng với bit thứ 2 trong ánh xạ bit là 5, ..., và số trình tự của MPDU tương ứng với bit thứ 9 trong ánh xạ bit là 12. Nếu trạm 1 của thiết bị đa liên kết thứ hai xác định rằng MPDU được nhận thành công, giá trị của bit tương ứng với MPDU có thể được đặt thành 1. Nếu trạm 1 của thiết bị đa liên kết thứ hai xác định rằng MPDU lỗi nhận hoặc trạm 1 của thiết bị đa liên kết thứ hai chưa xác định trạng thái nhận của MPDU, giá trị của bit tương ứng với MPDU có thể được đặt thành 0. Ngoài ra, nếu trạm 1 của thiết bị đa liên kết thứ hai xác định rằng MPDU là nhận thành công, giá trị của bit tương ứng với MPDU có thể được đặt thành 0. Nếu trạm 1 của thiết bị đa liên kết thứ hai xác định rằng MPDU lỗi được hoặc trạm 1 của thiết bị đa liên kết thứ hai chưa xác

định trạng thái nhận của MPDU, giá trị của bit tương ứng với MPDU có thể được đặt thành 1. Trên FIG.5, ví dụ, nếu trạm 1 của thiết bị đa liên kết thứ hai xác định rằng MPDU được nhận thành công, giá trị của bit tương ứng với MPDU là 1; nếu không, giá trị của bit tương ứng với MPDU là 0.

Để nâng cao hơn nữa độ tin cậy của trạng thái nhận của khung dữ liệu, thiết bị đa liên kết thứ hai sẽ còn gửi khung BA 2 qua liên kết 2, và gửi khung BA 3 qua liên kết 3. Ánh xạ bit của khung BA 2 chỉ ra trạng thái nhận của MPDU được truyền qua liên kết 2 và các trạng thái nhận của các MPDU được truyền qua liên kết 1 và liên kết 3. Ánh xạ bit của khung BA 3 chỉ ra trạng thái nhận của MPDU được truyền qua liên kết 3 và các trạng thái nhận của các MPDU được truyền qua liên kết 1 và liên kết 2. Các nguyên tắc tạo của khung BA 2 và khung BA 3 giống như nguyên tắc tạo của khung BA 1. Thiết bị đa liên kết thứ nhất xác định trạng thái nhận của khung dữ liệu bằng cách phân tích cú pháp một hoặc nhiều khung BA 1, khung BA 2 và khung BA 3. Nguyên tắc của chúng tương tự như nguyên tắc trên là xác định trạng thái nhận của khung dữ liệu bằng cách sử dụng khung BA 1, và chi tiết không được mô tả lại ở đây.

Trong triển khai khả thi, thiết bị đa liên kết thứ hai bao gồm một hoặc nhiều bảng điểm (scoreboards). Bảng điểm được sử dụng để ghi thông tin về trạng thái nhận của khung dữ liệu. Ví dụ, thiết bị đa liên kết thứ hai bao gồm nhiều bảng điểm, mỗi liên kết tương ứng với một bảng điểm, và bảng điểm được sử dụng để ghi lại trạng thái nhận của khung dữ liệu được truyền qua liên kết tương ứng. Ngoài ra, thiết bị đa liên kết thứ hai bao gồm bảng điểm, và bảng điểm được sử dụng để ghi lại các trạng thái nhận của các khung dữ liệu được truyền qua tất cả các liên kết.

Ví dụ, mỗi liên kết của thiết bị liên kết thứ hai tương ứng với một bảng điểm. Như được thể hiện trên FIG.17, liên kết 1 của thiết bị liên kết thứ hai tương ứng với bảng điểm 1, liên kết 2 tương ứng với bảng điểm 2, và liên kết 3 tương ứng với bảng điểm 3. Bảng điểm 1 đến bảng điểm 3 mỗi bảng có chín bit. Bit thứ 1 tương ứng với MPDU 4, bit thứ 2 tương ứng với MPDU 5, ... và bảng tương tự, bit thứ 9 tương ứng với MPDU 12. Ba bit thứ nhất của bảng điểm 1 là được sử dụng để ghi các trạng thái nhận của MPDU 4 đến MPDU 6 được truyền qua liên kết 1. Nếu MPDU được nhận thành công,

bit tương ứng được đặt thành 1; nếu không, bit tương ứng được đặt thành 0. Giá trị của bit thứ 4 đến bit thứ 9 của bảng điểm 1 là 0. Bit thứ 4 đến bit thứ 6 của bảng điểm 2 được sử dụng để ghi các trạng thái nhận của MPDU 7 đến MPDU 9 được truyền qua liên kết 2, và các giá trị của các bit khác bằng 0. Bit thứ 7 đến bit thứ 9 của bảng điểm 3 được sử dụng để ghi các trạng thái nhận của MPDU 10 đến MPDU 12 được truyền qua liên kết 3, và các giá trị của các bit khác bằng 0. Khi trạm 1 của thiết bị liên kết thứ hai tạo khung BA 1, trạm 1 của thiết bị liên kết thứ hai nhận được các trạng thái nhận của MPDU 7 đến MPDU 9 từ bảng điểm 2, và thu nhận các trạng thái nhận của MPDU 10 đến MPDU 12 từ bảng điểm 3. Trạm 1 tạo khung BA 1 dựa trên các trạng thái nhận của MPDU 4 đến MPDU 6 và các trạng thái nhận của MPDU 7 tới MPDU 12 được ghi bởi bảng điểm 1.

Ví dụ khác, thiết bị liên kết thứ hai chỉ có một bảng điểm. Như được thể hiện trên FIG.18, thiết bị liên kết thứ hai có bảng điểm, và bảng điểm có chín bit. Bit thứ 1 tương ứng với MPDU 4, bit thứ 2 tương ứng với MPDU 5, ... và theo cách tương tự, bit thứ 9 tương ứng với MPDU 12. Ba bit thứ nhất của bảng điểm được sử dụng để ghi các trạng thái nhận của MPDU 4 đến MPDU 6 được truyền qua liên kết 1. Nếu MPDU được nhận thành công, bit tương ứng được đặt thành 1; nếu không, bit tương ứng được đặt thành 0. Bit thứ 4 đến bit thứ 6 của bảng điểm được sử dụng để ghi các trạng thái nhận của MPDU 7 đến MPDU 9 được truyền qua liên kết 2. Bit thứ 7 đến bit thứ 9 của bảng điểm được sử dụng để ghi các trạng thái nhận của MPDU 10 đến MPDU 12 được truyền qua liên kết 3. Khi trạm 1 của thiết bị liên kết thứ hai tạo khung BA 1, trạm 1 của thiết bị liên kết thứ hai thu nhận các trạng thái nhận được ghi của MPDU 4 đến MPDU 6 từ bảng điểm, để tạo khung BA 1 dựa trên các trạng thái nhận của MPDU 4 đến MPDU 12.

Thiết bị đa liên kết thứ hai có thể đáp lại với khung BA theo một trong hai cách sau. Chắc chắn, thiết bị đa liên kết thứ hai có thể đáp lại với khung BA theo cách khác. Điều này không bị giới hạn trong phương án này của sáng chế.

Cách 1: Sau khi nhận được khung dữ liệu qua liên kết thứ nhất, thiết bị đa liên kết thứ hai có thể gửi khung BA tới thiết bị đa liên kết thứ nhất qua liên kết thứ nhất tại một khoảng thời gian cố định. Khoảng thời gian cố định có thể là khoảng cách liên khung

ngắn (short interframe space, SIFS).

Cách 2: Sau khi thiết bị đa liên kết thứ nhất gửi các khung dữ liệu đến thiết bị đa liên kết thứ hai qua nhiều liên kết, thiết bị đa liên kết thứ nhất sẽ gửi khung BAR đến thiết bị đa liên kết thứ hai qua liên kết thứ nhất. Sau khi nhận được khung BAR qua liên kết thứ nhất, thiết bị đa liên kết thứ hai sẽ gửi khung BA đến thiết bị đa liên kết thứ nhất qua liên kết thứ nhất.

403: Thiết bị đa liên kết thứ nhất xác định, dựa trên thời điểm thứ nhất và thời điểm thứ hai, trạng thái nhận của khung dữ liệu tương ứng với bit thứ nhất.

Theo phương án của sáng chế, sau khi nhận được khung báo nhận khối BA được gửi bởi thiết bị đa liên kết thứ hai qua liên kết thứ nhất trong nhiều liên kết, thiết bị đa liên kết thứ nhất xác định, dựa trên thời điểm thứ nhất và thời điểm thứ hai, trạng thái nhận của khung dữ liệu tương ứng với bit thứ nhất, trong đó thời điểm thứ nhất là thời điểm truyền của khung dữ liệu tương ứng với bit thứ nhất, và thời điểm thứ hai là thời điểm nhận của khung BA. Khung dữ liệu tương ứng với bit thứ nhất được gửi qua liên kết thứ hai, và giá trị bit tương ứng với bit thứ nhất là giá trị thứ hai.

Bit tương ứng với khung dữ liệu trong ánh xạ bit có thể có bốn trường hợp sau.

Trường hợp 1: khung dữ liệu tương ứng với bit được gửi qua liên kết thứ nhất. Trong trường hợp này, nếu giá trị của bit là 1, nó chỉ ra rằng khung dữ liệu tương ứng với bit được nhận thành công. Nếu giá trị của bit là 0, nó chỉ ra rằng khung dữ liệu tương ứng với bit bị lỗi nhận. Ngoài ra, nếu giá trị của bit là 0, nó chỉ ra rằng khung dữ liệu tương ứng với bit được nhận thành công. Nếu giá trị của bit là 1, nó chỉ ra rằng khung dữ liệu tương ứng với bit bị lỗi nhận.

Trường hợp 2: khung dữ liệu tương ứng với bit chưa được gửi đi. Trong trường hợp này, giá trị của bit chỉ ra rằng khung dữ liệu tương ứng với bit chưa được gửi đi. Vì khung dữ liệu được gửi bởi thiết bị đa liên kết thứ nhất, thiết bị đa liên kết thứ nhất có thể xác định khung dữ liệu nào đã được gửi. Ví dụ, nếu khung dữ liệu tương ứng với bit chưa được gửi đi, giá trị của bit là 0.

Trường hợp 3: khung dữ liệu tương ứng với bit được gửi qua liên kết thứ hai, và giá trị bit tương ứng với bit là giá trị thứ hai. Giá trị thứ hai là giá trị do thiết bị đa liên kết thứ hai đặt cho bit tương ứng với khung dữ liệu khi xác định rằng khung dữ liệu được nhận thành công. Trong trường hợp này, thiết bị đa liên kết thứ nhất xác định rằng khung dữ liệu tương ứng với bit được nhận thành công. Giá trị thứ nhất khác với giá trị thứ hai. Ví dụ, giá trị thứ hai là 1 và giá trị thứ nhất là 0. Ngoài ra, giá trị thứ hai là 0 và giá trị thứ nhất là 1.

Trường hợp 4: Khung dữ liệu tương ứng với bit được gửi qua liên kết thứ hai, và giá trị bit tương ứng với bit là giá trị thứ nhất. Trong trường hợp này, bit là bit thứ nhất. Thiết bị đa liên kết thứ hai có thể sử dụng giá trị bit tương ứng với bit làm giá trị thứ nhất vì khung dữ liệu tương ứng với bit bị lỗi nhận, hoặc có thể sử dụng giá trị bit tương ứng với bit làm giá trị thứ nhất vì trạm trên liên kết thứ nhất trong thiết bị đa liên kết thứ hai không thu nhận trạng thái nhận của khung dữ liệu tương ứng với bit. Trong trường hợp này, thiết bị đa liên kết thứ nhất xác định, dựa trên thời điểm thứ nhất và thời điểm thứ hai, trạng thái nhận của khung dữ liệu tương ứng với bit. Theo phương án này của sáng chế, cách thiết bị đa liên kết thứ nhất xác định trạng thái nhận của khung dữ liệu tương ứng với bit thứ nhất trong trường hợp 4 được mô tả chủ yếu.

Trong triển khai khả thi, thời điểm truyền của khung dữ liệu tương ứng với bit thứ nhất là thời điểm kết thúc gửi của đơn vị dữ liệu giao thức liên kết xuống (PHY protocol data unit, PPDU) mà khung dữ liệu nằm trong đó, hoặc thời điểm truyền của khung dữ liệu tương ứng với bit thứ nhất là thời điểm kết thúc gửi của ký hiệu mà bit cuối cùng của khung dữ liệu nằm trong đó. Thời điểm kết thúc gửi của đơn vị dữ liệu giao thức liên kết xuống PPDU mà khung dữ liệu tương ứng với bit thứ nhất nằm trong đó hoặc thời điểm kết thúc gửi của ký hiệu mà bit cuối cùng của khung dữ liệu tương ứng với bit thứ nhất nằm trong đó được sử dụng làm thời điểm thứ nhất, để giúp cải thiện độ chính xác của việc xác định trạng thái nhận của khung dữ liệu.

Trong triển khai khả thi, triển khai cụ thể trong đó thiết bị đa liên kết thứ nhất xác định, dựa trên thời điểm thứ nhất và thời điểm thứ hai, trạng thái nhận của khung dữ liệu tương ứng với bit thứ nhất là: Nếu một độ trễ giữa thời điểm thứ hai và thời điểm thứ

nhất lớn hơn hoặc bằng ngưỡng thứ nhất, thiết bị đa liên kết thứ nhất xác định rằng trạng thái nhận của khung dữ liệu tương ứng với bit thứ nhất là lỗi nhận.

Trước khi thiết bị đa liên kết thứ hai tạo khung BA, trạm trên liên kết thứ hai trong thiết bị đa liên kết thứ hai có đủ thời gian để chuyển trạng thái nhận của khung dữ liệu tương ứng với bit thứ nhất đến trạm trên liên kết thứ nhất trong thiết bị đa liên kết thứ hai. Do đó, nếu độ trễ giữa thời điểm thứ hai và thời điểm thứ nhất lớn hơn hoặc bằng ngưỡng thứ nhất, ngoài thời gian đủ, nếu trạng thái nhận của khung dữ liệu được truyền bởi trạm trên liên kết thứ hai đến trạm trên liên kết thứ nhất trong thiết bị đa liên kết thứ nhất là không thành công, thì có thể xác định rằng trạng thái nhận của khung dữ liệu tương ứng với bit thứ nhất là lỗi nhận. Có thể hiểu được rằng, dựa trên triển khai khả thi này, trạng thái lỗi nhận của khung dữ liệu tương ứng với bit thứ nhất có thể được xác định chính xác.

Phần sau còn mô tả về độ trễ giữa thời điểm thứ hai và thời điểm thứ nhất.

Trong triển khai khả thi, $T = t_2 - t_1 - 2 * t_3$. T là độ trễ giữa thời điểm thứ hai và thời điểm thứ nhất, t_2 là thời điểm thứ hai (cụ thể là, thời điểm nhận của khung BA), t_1 là thời điểm thứ nhất (cụ thể là, thời điểm truyền của khung dữ liệu tương ứng với bit thứ nhất), và t_3 là độ trễ lan truyền giữa thiết bị đa liên kết thứ nhất và thiết bị đa liên kết thứ hai. Cụ thể, khi $T = t_2 - t_1 - 2 * t_3$, thì độ trễ giữa thời điểm thứ hai và thời điểm thứ nhất là khoảng thời gian giữa thời điểm nhận của khung dữ liệu tương ứng với bit thứ nhất và thời điểm truyền của khung BA. Ngoài ra, T có thể bằng $f(t_2 - t_1 - 2 * t_3)$, và $f()$ chỉ ra rằng T là hàm của $(t_2 - t_1 - 2 * t_3)$. Nếu $(t_2 - t_1 - 2 * t_3)$ hoặc $f(t_2 - t_1 - 2 * t_3)$ lớn hơn ngưỡng thứ nhất, nó chỉ ra rằng trước khi thiết bị đa liên kết thứ hai tạo ra khung BA, trạm trên liên kết thứ hai trong thiết bị đa liên kết thứ hai có đủ thời gian để chuyển trạng thái nhận của khung dữ liệu tương ứng với bit thứ nhất đến trạm trên liên kết thứ nhất trong thiết bị đa liên kết thứ hai. Do đó, nếu $(t_2 - t_1 - 2 * t_3)$ hoặc $f(t_2 - t_1 - 2 * t_3)$ lớn hơn hoặc bằng ngưỡng thứ nhất, thì thiết bị đa liên kết thứ nhất xác định rằng trạng thái nhận của khung dữ liệu tương ứng với bit thứ nhất là lỗi nhận. $(t_2 - t_1 - 2 * t_3)$ hoặc $f(t_2 - t_1 - 2 * t_3)$ được sử dụng làm độ trễ giữa thời điểm thứ hai và thời điểm thứ nhất, để giúp cải thiện độ chính xác của việc xác định trạng thái nhận của

khung dữ liệu.

Theo tùy chọn, thời điểm nhận của khung dữ liệu tương ứng với bit thứ nhất có thể là thời điểm kết thúc nhận của PPDU mà khung dữ liệu nằm trong đó, hoặc thời điểm nhận của khung dữ liệu tương ứng với bit thứ nhất là thời điểm kết thúc nhận của ký hiệu mà bit cuối cùng của khung dữ liệu nằm trong đó.

Trong triển khai khả thi, $T = t_2 - t_1 - t_3$. T là độ trễ giữa thời điểm thứ hai và thời điểm thứ nhất, t_2 là thời điểm thứ hai, t_1 là thời điểm thứ nhất, và t_3 là độ trễ lan truyền giữa thiết bị đa liên kết thứ nhất và thiết bị đa liên kết thứ hai. Cụ thể, khi $T = t_2 - t_1 - t_3$, độ trễ giữa thời điểm thứ hai và thời điểm thứ nhất là khoảng thời gian giữa thời điểm truyền của khung dữ liệu tương ứng với bit thứ nhất và thời điểm truyền của khung BA, hoặc khoảng thời gian giữa thời điểm nhận của khung dữ liệu tương ứng với bit thứ nhất và thời điểm nhận của khung BA. Ngoài ra, $T = f(t_2 - t_1 - t_3)$, và $f()$ chỉ ra rằng T là hàm của $(t_2 - t_1 - t_3)$. Nếu $(t_2 - t_1 - t_3)$ hoặc $f(t_2 - t_1 - t_3)$ lớn hơn ngưỡng thứ nhất, nó chỉ ra rằng trước khi thiết bị đa liên kết thứ hai tạo ra khung BA, trạm trên liên kết thứ hai trong thiết bị đa liên kết thứ hai có đủ thời gian để chuyển trạng thái nhận của khung dữ liệu tương ứng với bit thứ nhất đến trạm trên liên kết thứ nhất trong thiết bị đa liên kết thứ hai. Do đó, $(t_2 - t_1 - t_3)$ hoặc $f(t_2 - t_1 - t_3)$ được sử dụng làm độ trễ giữa thời điểm thứ hai và thời điểm thứ nhất, để giúp cải thiện độ chính xác của việc xác định trạng thái nhận của khung dữ liệu.

Trong triển khai khả thi, $T = t_2 - t_1$ hoặc $T = f(t_2 - t_1)$. T là độ trễ giữa thời điểm thứ hai và thời điểm thứ nhất, t_2 là thời điểm thứ hai, t_1 là thời điểm thứ nhất, và $f()$ chỉ ra rằng T là hàm của $(t_2 - t_1)$. Cụ thể, khi $T = t_2 - t_1$, độ trễ giữa thời điểm thứ hai và thời điểm thứ nhất là khoảng thời gian giữa thời điểm truyền của khung dữ liệu tương ứng với bit thứ nhất và thời điểm nhận của khung BA. Nếu $(t_2 - t_1)$ hoặc $f(t_2 - t_1)$ lớn hơn ngưỡng thứ nhất, nó chỉ ra rằng trước khi thiết bị đa liên kết thứ hai tạo ra khung BA, trạm trên liên kết thứ hai trong thiết bị đa liên kết thứ hai đã đủ thời gian để chuyển trạng thái nhận của khung dữ liệu tương ứng với bit thứ nhất đến trạm trên liên kết thứ nhất trong thiết bị đa liên kết thứ hai. Do đó, $(t_2 - t_1)$ hoặc $f(t_2 - t_1)$ được sử dụng làm độ trễ giữa thời điểm thứ hai và thời điểm thứ nhất, để giúp cải thiện độ chính xác của

việc xác định trạng thái nhận của khung dữ liệu.

Sau đây còn mô tả về ngưỡng thứ nhất.

Thiết bị đa liên kết thứ nhất có thể thu nhận ngưỡng thứ nhất theo một trong hai cách sau. Ngoài ra, thiết bị đa liên kết thứ nhất có thể thu nhận ngưỡng thứ nhất theo cách khác. Điều này không bị giới hạn trong phương án này của sáng chế.

Cách 1: Ngưỡng thứ nhất được thương lượng trước giữa thiết bị đa liên kết thứ nhất và thiết bị đa liên kết thứ hai. Theo cách 1, trước khi gửi khung dữ liệu đến thiết bị đa liên kết thứ hai qua nhiều liên kết, thiết bị đa liên kết thứ nhất có thể nhận thông tin thứ nhất được gửi bởi thiết bị đa liên kết thứ hai, trong đó thông tin thứ nhất mang ngưỡng thứ nhất. Theo tùy chọn, thông tin thứ nhất có thể là khung phản hồi ADDBA (add block acknowledgment) hoặc phần tử thông tin khả năng EHT của khung yêu cầu liên kết (association request)/yêu cầu liên kết lại (re-association request)/xác thực (authentication)/yêu cầu thăm dò (probe request).

Ví dụ, trước khi gửi khung dữ liệu đến thiết bị đa liên kết thứ hai qua nhiều liên kết, thiết bị đa liên kết thứ nhất có thể gửi khung yêu cầu ADDBA đến thiết bị đa liên kết thứ hai. Sau khi nhận được khung yêu cầu ADDBA, thiết bị đa liên kết thứ hai sẽ gửi khung phản hồi ADDBA đến thiết bị đa liên kết thứ nhất. Thông tin thứ nhất có thể là khung phản hồi ADDBA, và khung phản hồi ADDBA mang ngưỡng thứ nhất. Ví dụ, như được hiển thị trên FIG.6, thiết bị đa liên kết thứ hai có thể thêm trường vào trường phần thân khung (frame body) trong khung phản hồi ADDBA để mang ngưỡng thứ nhất. Ngoài ra, thiết bị đa liên kết thứ hai có thể bao gồm ngưỡng thứ nhất trong trường khác trong khung phản hồi ADDBA.

Trong triển khai khả thi, nhiều liên kết tương ứng với cùng một ngưỡng thứ nhất. Nói cách khác, thông tin thứ nhất chỉ bao gồm một ngưỡng thứ nhất. Cùng một ngưỡng thứ nhất được sử dụng khi trạng thái nhận của khung dữ liệu trên mỗi liên kết được xác định.

Trong triển khai khả thi, thông tin thứ nhất bao gồm nhiều ngưỡng thứ nhất, và một ngưỡng thứ nhất tương ứng với một liên kết. Thiết bị đa liên kết thứ nhất xác định, dựa

trên thời điểm thứ nhất, thời điểm thứ hai, và ngưỡng thứ nhất tương ứng với liên kết thứ hai, trạng thái nhận của khung dữ liệu tương ứng với bit thứ nhất. Dựa trên triển khai khả thi này, mỗi liên kết thứ hai có thể tương ứng với ngưỡng thứ nhất. Điều này giúp đáp ứng các yêu cầu về ngưỡng của các liên kết khác nhau. Ví dụ, như được hiển thị trên FIG.7, một hoặc nhiều trường thông tin liên kết có thể được thêm vào trường thân khung (frame body) trong khung phản hồi ADDBA, và mỗi trường thông tin liên kết tương ứng với một liên kết. Ngưỡng thứ nhất có thể nằm trong trường thông tin liên kết của liên kết tương ứng. Ví dụ, trường thông tin liên kết 1 tương ứng với liên kết 1, và ngưỡng thứ nhất tương ứng với liên kết 1 nằm trong trường thông tin liên kết 1. Trường thông tin liên kết 2 tương ứng với liên kết 2, và ngưỡng thứ nhất tương ứng với liên kết 2 nằm trong trường thông tin liên kết 2. Trường thông tin liên kết 3 tương ứng với liên kết 3, và ngưỡng thứ nhất tương ứng với liên kết 3 nằm trong trường thông tin liên kết 3. Theo tùy chọn, trường thông tin liên kết có thể còn bao gồm mã định danh của liên kết tương ứng. Sau khi thiết bị đa liên kết thứ nhất nhận được khung BA, nếu khung dữ liệu tương ứng với bit thứ nhất là khung dữ liệu được gửi qua liên kết 1, thì thiết bị đa liên kết thứ nhất sẽ xác định, dựa trên thời điểm thứ nhất, thời điểm thứ hai, và ngưỡng thứ nhất tương ứng với liên kết 1, trạng thái nhận của khung dữ liệu tương ứng với bit thứ nhất. Nếu khung dữ liệu tương ứng với bit thứ nhất là khung dữ liệu được gửi qua liên kết 2, thì thiết bị đa liên kết thứ nhất xác định, dựa trên thời điểm thứ nhất, thời điểm thứ hai, và ngưỡng thứ nhất tương ứng với liên kết 2, trạng thái nhận của khung dữ liệu tương ứng với bit thứ nhất. Nếu khung dữ liệu tương ứng với bit thứ nhất là khung dữ liệu được gửi qua liên kết 3, thì thiết bị đa liên kết thứ nhất xác định, dựa trên thời điểm thứ nhất, thời điểm thứ hai, và ngưỡng thứ nhất tương ứng với liên kết 3, trạng thái nhận của khung dữ liệu tương ứng với bit thứ nhất.

Cách 2: Ngưỡng thứ nhất có thể được chỉ định trước trong giao thức. Giao thức có thể quy định rằng nhiều liên kết tương ứng với cùng một ngưỡng thứ nhất. Ngoài ra, các liên kết khác nhau có thể tương ứng với các ngưỡng thứ nhất khác nhau, và giao thức có thể chỉ định ngưỡng thứ nhất tương ứng với mỗi liên kết. Theo tùy chọn, ngưỡng thứ nhất có thể là khoảng cách liên khung đa liên kết (multi-link inter frame space, MLIFS). MLIFS có thể là khoảng cách liên khung ngắn (short inter-frame space, SIFS), khoảng cách liên khung chức năng điều phối điểm (PCF inter frame Space, PIFS), hoặc khoảng

cách liên khung phân tán (distributed inter-frame spacing, DIFS). Ngưỡng thứ nhất có thể được xác định bởi điểm truy cập và phát rộng bằng cách sử dụng khung dẫn đường (Beacon frame).

Trong triển khai khả thi, theo cách 2, trước khi thiết bị đa liên kết thứ nhất gửi các khung dữ liệu đến thiết bị đa liên kết thứ hai qua nhiều liên kết, thiết bị đa liên kết thứ nhất có thể còn nhận thông tin chỉ báo do thiết bị đa liên kết thứ hai gửi, trong đó thông tin chỉ báo chỉ ra liệu trạm trên liên kết thứ nhất trong thiết bị đa liên kết thứ hai có thể xác định hay không, trong khoảng thời gian của ngưỡng thứ nhất sau khi thiết bị đa liên kết thứ hai nhận được khung dữ liệu qua liên kết thứ hai, trạng thái nhận của khung dữ liệu nhận được qua liên kết thứ hai. Nó cũng có thể được hiểu là: Nếu thông tin chỉ báo chỉ ra rằng sau khi thiết bị đa liên kết thứ hai nhận được khung dữ liệu qua liên kết thứ hai, thì trạm trên liên kết thứ nhất trong thiết bị đa liên kết thứ hai có thể xác định, trong khoảng thời gian ngưỡng thứ nhất, trạng thái nhận của khung dữ liệu nhận được qua liên kết thứ hai, nó chỉ ra rằng liên kết thứ hai hỗ trợ ngưỡng thứ nhất; nếu không, nó chỉ ra rằng liên kết thứ hai không hỗ trợ ngưỡng thứ nhất. Vì ngưỡng thứ nhất là giá trị cố định được chỉ định trước trong giao thức, nên ngưỡng thứ nhất không nhất thiết phải được liên kết thứ hai hỗ trợ. Khi liên kết thứ hai hỗ trợ ngưỡng thứ nhất, thì thiết bị đa liên kết thứ nhất có thể xác định chính xác, dựa trên ngưỡng thứ nhất và độ trễ giữa thời điểm thứ hai và thời điểm thứ nhất, trạng thái lỗi nhận của khung dữ liệu tương ứng với bit thứ nhất. Nếu không, thiết bị đa liên kết thứ nhất không thể xác định chính xác, dựa trên ngưỡng thứ nhất và độ trễ giữa thời điểm thứ hai và thời điểm thứ nhất, trạng thái lỗi nhận của khung dữ liệu tương ứng với bit thứ nhất. Do đó, dựa trên triển khai khả thi có này, thiết bị đa liên kết thứ nhất có thể biết trước xem liệu liên kết thứ hai có hỗ trợ ngưỡng thứ nhất hay không, để xác định xem liệu có xác định, dựa trên ngưỡng thứ nhất và độ trễ giữa thời điểm thứ hai và thời điểm thứ nhất hay không, trạng thái nhận của khung dữ liệu tương ứng với bit thứ nhất.

Trong triển khai khả thi, thông tin chỉ báo có thể nằm trong khung phản hồi ADDBA. Trước khi gửi khung dữ liệu đến thiết bị đa liên kết thứ hai qua nhiều liên kết, thiết bị đa liên kết thứ nhất có thể gửi khung yêu cầu ADDBA (add block acknowledgment) tới thiết bị đa liên kết thứ hai. Sau khi nhận được khung yêu cầu ADDBA, thiết bị đa liên

kết thứ hai sẽ gửi khung phản hồi ADDBA đến thiết bị đa liên kết thứ nhất. Khung phản hồi ADDBA mang thông tin chỉ báo.

Phần sau còn mô tả, dựa trên bốn cách trong đó khung BA mang trạng thái nhận của khung dữ liệu, triển khai cụ thể trong đó nếu độ trễ giữa thời điểm thứ hai và thời điểm thứ nhất lớn hơn hoặc bằng ngưỡng thứ nhất, thì thiết bị đa liên kết thứ nhất xác định rằng trạng thái nhận của khung dữ liệu tương ứng với bit thứ nhất là lỗi nhận. Ví dụ, khung dữ liệu là MPDU.

Cách 1: Nếu MPDU được mang trong PPDU, và khoảng thời gian giữa thời điểm kết thúc của PPDU và thời điểm truyền của khung BA vượt quá MLIFS, trạng thái báo nhận (hoặc trạng thái nhận) của MPDU được mang trong khung BA (nếu MPDU được mang trong PPDU, và thời gian từ khi kết thúc PPDU đến thời điểm truyền BA đã vượt quá MLIFS (multi-link inter frame space), thì trạng thái ACK của MPDU đó sẽ được mang trong khung BA). Thời điểm kết thúc của PPDU có thể là thời điểm kết thúc gửi của PPDU hoặc thời điểm kết thúc nhận của PPDU.

Tương ứng, nếu khoảng thời gian giữa thời điểm kết thúc của PPDU mà MPDU tương ứng với bit thứ nhất nằm trong đó và thời điểm truyền của khung BA vượt quá MLIFS, thiết bị đa liên kết thứ nhất xác định rằng trạng thái nhận khung dữ liệu tương ứng với bit thứ nhất là lỗi nhận. Có nghĩa là, độ trễ giữa thời điểm thứ nhất và thời điểm thứ hai là khoảng thời gian giữa thời điểm kết thúc của PPDU mà MPDU tương ứng với bit thứ nhất nằm trong đó và thời điểm truyền của khung BA. Ngưỡng thứ nhất là MLIFS. MLIFS có thể là SIFS, PIFS, hoặc DIFS. Đối với cách thu nhận ngưỡng thứ nhất, hãy tham khảo cách 2 ở trên để thu nhận ngưỡng thứ nhất.

Ví dụ, như được hiển thị trên FIG.19, một PPDU được truyền qua liên kết 2 mang MPDU 7 đến MPDU 9. Khoảng thời gian giữa thời điểm kết thúc của PPDU được truyền qua liên kết 2 và thời điểm truyền của khung BA 1 vượt quá MLIFS. Do đó, khung BA 1 mang các trạng thái nhận của MPDU 7 đến MPDU 9. Nếu MPDU được nhận thành công, thì giá trị bit tương ứng với MPDU trong khung BA 1 là 1. Nếu MPDU bị lỗi nhận, thì giá trị bit tương ứng với MPDU trong khung BA 1 là 0. Sau khi nhận được khung BA 1, thiết bị đa liên kết thứ nhất xác định rằng khoảng thời gian giữa thời điểm truyền

của khung BA 1 và thời điểm kết thúc của PPDU mà MPDU 8 với giá trị bit là 0 nằm trong đó là lớn hơn MLIFS. Do đó, thiết bị đa liên kết thứ nhất xác định rằng khung BA 1 mang trạng thái nhận của MPDU 8. Vì giá trị bit tương ứng với MPDU 8 là 0, thiết bị đa liên kết thứ nhất xác định rằng trạng thái nhận của MPDU 8 là lỗi nhận.

Khoảng thời gian giữa thời điểm kết thúc của PPDU được truyền qua liên kết 3 và thời điểm truyền của khung BA 1 không vượt quá MLIFS. Do đó, khung BA 1 không mang các trạng thái nhận của MPDU 10 đến MPDU 12. Sau khi nhận khung BA 1, thiết bị đa liên kết thứ nhất xác định rằng khoảng thời gian giữa thời điểm nhận của khung BA 1 và thời điểm kết thúc của PPDU mà MPDU 10 đến MPDU 12 với giá trị bit là 0 nằm trong đó là nhỏ hơn MLIFS. Do đó, thiết bị đa liên kết thứ nhất xác định rằng khung BA 1 không mang các trạng thái nhận của MPDU 10 đến MPDU 12.

Cách 2: Nếu MPDU được mang trong một hoặc nhiều ký hiệu OFDM của PPDU, và khoảng thời gian giữa thời điểm kết thúc của ký hiệu OFDM cuối cùng mang MPDU và thời điểm truyền của khung BA vượt quá MLIFS, trạng thái báo nhận (hoặc trạng thái nhận) của MPDU được mang trong khung BA (nếu MPDU được mang trong một hoặc nhiều ký hiệu OFDM của PPDU, và khoảng thời gian từ khi kết thúc ký hiệu OFDM cuối cùng mang MPDU đến thời điểm truyền của BA đã vượt quá MLIFS, thì trạng thái ACK của MPDU đó được mang trong khung BA). Thời điểm kết thúc của ký hiệu OFDM cuối cùng mang MPDU cũng có thể được hiểu là thời điểm kết thúc của ký hiệu OFDM mà bit cuối cùng của khung dữ liệu nằm trong đó. Thời điểm kết thúc của ký hiệu OFDM có thể là thời điểm kết thúc gửi của ký hiệu OFDM hoặc thời điểm kết thúc nhận của ký hiệu OFDM.

Tương ứng, nếu khoảng thời gian giữa thời điểm kết thúc của ký hiệu OFDM cuối cùng mang MPDU tương ứng với bit thứ nhất và thời điểm truyền của khung BA vượt quá MLIFS, thiết bị đa liên kết thứ nhất xác định rằng trạng thái nhận khung dữ liệu tương ứng với bit thứ nhất là lỗi nhận. Tức là, độ trễ giữa thời điểm thứ nhất và thời điểm thứ hai là khoảng thời gian giữa thời điểm kết thúc của ký hiệu OFDM cuối cùng mang MPDU tương ứng với bit thứ nhất và thời điểm truyền của khung BA. Ngưỡng thứ nhất là MLIFS. MLIFS có thể là SIFS, PIFS, hoặc DIFS. Đối với cách thu nhận

ngưỡng thứ nhất, hãy tham khảo cách 2 ở trên để thu nhận ngưỡng thứ nhất.

Ví dụ, như được hiển thị trên FIG.20, PPDU được truyền qua liên kết 2 bao gồm ký hiệu (Symbol) 1 đến một ký hiệu (Symbol) 3. Ký hiệu 1 mang MPDU 7 và MPDU 8, ký hiệu 2 mang MPDU 9 và MPDU 10, và ký hiệu 3 mang MPDU 11 và MPDU 12. Khoảng thời gian giữa thời điểm kết thúc của ký hiệu 1 được truyền qua liên kết 2 và thời điểm truyền của khung BA 1 vượt quá MLIFS. Do đó, khung BA 1 mang các trạng thái nhận của MPDU 7 và MPDU 8. Khoảng thời gian giữa thời điểm kết thúc của ký hiệu 2 được truyền qua liên kết 2 và thời điểm truyền của khung BA 1 vượt quá MLIFS. Do đó, khung BA 1 mang các trạng thái nhận của MPDU 9 và MPDU 10. Khoảng thời gian giữa thời điểm kết thúc của ký hiệu 3 được truyền qua liên kết 2 và thời điểm truyền của khung BA 1 không vượt quá MLIFS. Do đó, khung BA 1 không mang các trạng thái nhận của MPDU 11 và MPDU 12.

Nếu MPDU được nhận thành công, giá trị bit tương ứng với MPDU trong khung BA 1 là 1. Nếu MPDU lỗi nhận, giá trị bit tương ứng với MPDU trong khung BA 1 là 0. Sau khi nhận được khung BA 1, thiết bị đa liên kết thứ nhất xác định rằng khoảng thời gian giữa thời điểm kết thúc của ký hiệu 1 mà MPDU 8 với giá trị bit là 0 nằm trong đó và thời điểm nhận của khung BA 1 lớn hơn MLIFS. Do đó, thiết bị đa liên kết thứ nhất xác định rằng khung BA 1 mang trạng thái nhận của MPDU 8. Giá trị bit tương ứng với MPDU 8 là 0. Do đó, thiết bị đa liên kết thứ nhất xác định rằng trạng thái nhận của MPDU 8 là lỗi nhận. Tương tự, thiết bị đa liên kết thứ nhất xác định rằng khoảng thời gian giữa thời điểm kết thúc của ký hiệu 2 mà MPDU 10 với giá trị bit 0 nằm trong đó và thời điểm nhận của khung BA 1 lớn hơn MLIFS. Do đó, thiết bị đa liên kết thứ nhất xác định rằng trạng thái nhận của MPDU 10 được mang trong khung BA 1 là lỗi nhận. Thiết bị đa liên kết thứ nhất xác định rằng khoảng thời gian giữa thời điểm kết thúc của ký hiệu 3 mà MPDU 11 và MPDU 12 với giá trị bit là 0 nằm trong đó và thời điểm nhận của khung BA 1 nhỏ hơn MLIFS. Do đó, thiết bị đa liên kết thứ nhất xác định rằng khung BA 1 không mang trạng thái nhận của MPDU 11 và MPDU 12.

Cách 3: Nếu MPDU được mang trong PPDU, và khoảng thời gian giữa thời điểm kết thúc của PPDU và thời điểm truyền của khung BA vượt quá ngưỡng thời gian M,

trạng thái báo nhận (hoặc trạng thái nhận) của MPDU là được mang trong khung BA (nếu MPDU được mang trong PPDU, và khoảng thời gian từ khi kết thúc PPDU đến thời điểm truyền BA đã vượt quá ngưỡng thời gian M, thì trạng thái ACK của MPDU đó được mang trong khung BA). Thời điểm kết thúc của PPDU có thể là thời điểm kết thúc gửi của PPDU hoặc thời điểm kết thúc nhận của ký hiệu OFDM.

Tương ứng, nếu khoảng thời gian giữa thời điểm kết thúc của PPDU mà MPDU tương ứng với bit thứ nhất nằm trong đó và thời điểm truyền của khung BA vượt quá ngưỡng thời gian M, thiết bị đa liên kết thứ nhất xác định rằng trạng thái nhận của khung dữ liệu tương ứng với bit thứ nhất là lỗi nhận. Có nghĩa là, độ trễ giữa thời điểm thứ nhất và thời điểm thứ hai là khoảng thời gian giữa thời điểm kết thúc của PPDU mà MPDU tương ứng với bit thứ nhất nằm trong đó và thời điểm truyền của khung BA. Ngưỡng thứ nhất là ngưỡng thời gian M. Đối với cách thu nhận ngưỡng thứ nhất, hãy tham khảo cách 1 ở trên để thu nhận ngưỡng thứ nhất. Ví dụ, như được thể hiện trên FIG.21, nguyên tắc triển khai cụ thể của FIG.21 giống với nguyên tắc của FIG.19, và MLIFS trên FIG.19 được thay thế bằng ngưỡng thời gian M. Chi tiết không được mô tả lại ở đây.

Cách 4: Nếu MPDU được mang trong một hoặc nhiều ký hiệu OFDM của PPDU, và khoảng thời gian giữa thời điểm kết thúc của ký hiệu OFDM cuối cùng mang MPDU và thời điểm truyền của khung BA vượt quá ngưỡng thời gian M, trạng thái báo nhận (hoặc trạng thái nhận) của MPDU được mang trong khung BA (nếu MPDU được mang trong một hoặc nhiều ký hiệu OFDM của PPDU, và khoảng thời gian từ khi kết thúc ký hiệu OFDM cuối cùng mang MPDU đến thời điểm truyền của BA đã vượt quá ngưỡng thời gian M, khi đó trạng thái ACK của MPDU đó được mang trong khung BA). Trạng thái báo nhận của MPDU là trạng thái nhận của MPDU. Thời điểm kết thúc của ký hiệu OFDM cuối cùng mang MPDU cũng có thể được hiểu là thời điểm kết thúc của ký hiệu OFDM mà bit cuối cùng của khung dữ liệu nằm trong đó. Thời điểm kết thúc của ký hiệu OFDM có thể là thời điểm kết thúc gửi của ký hiệu OFDM hoặc thời điểm kết thúc nhận của ký hiệu OFDM.

Tương ứng, nếu khoảng thời gian giữa thời điểm kết thúc của ký hiệu OFDM cuối

cùng mang MPDU tương ứng với bit thứ nhất và thời điểm truyền của khung BA vượt quá ngưỡng thời gian M, thì thiết bị đa liên kết thứ nhất xác định rằng trạng thái nhận của khung dữ liệu tương ứng với bit thứ nhất là lỗi nhận. Tức là, độ trễ giữa thời điểm thứ nhất và thời điểm thứ hai là khoảng thời gian giữa thời điểm kết thúc của ký hiệu OFDM cuối cùng mang MPDU tương ứng với bit thứ nhất và thời điểm truyền của khung BA. Ngưỡng thứ nhất là ngưỡng thời gian M. Đối với cách thu nhận ngưỡng thứ nhất, hãy tham khảo cách 1 ở trên để thu nhận ngưỡng thứ nhất. Ví dụ, như được thể hiện trên FIG.22, nguyên tắc thực hiện cụ thể của FIG.22 giống với nguyên tắc của FIG.20, và MLIFS trên FIG.20 được thay thế bằng ngưỡng thời gian M. Chi tiết không được mô tả lại ở đây.

Theo tùy chọn, thời điểm truyền của khung BA trong bốn cách trong đó khung BA mang trạng thái nhận của khung dữ liệu có thể được thay thế bằng thời điểm nhận của khung BA. Nguyên tắc thực hiện cụ thể sau khi thay thế là giống nhau, và chi tiết không được mô tả lại ở đây.

Trong triển khai khả thi, thiết bị đa liên kết thứ hai có thể gửi, tới thiết bị đa liên kết thứ nhất, thông tin về khả năng của thiết bị đa liên kết thứ hai để truyền khung BA đa liên kết. Thông tin khả năng có thể bao gồm một hoặc nhiều mức khả năng. Khung BA đa liên kết chỉ ra rằng khung BA bao gồm các trạng thái nhận của các khung dữ liệu được truyền qua nhiều liên kết. Theo tùy chọn, thông tin khả năng có thể được mang trong khung phản hồi ADDBA (add block acknowledgment) hoặc phần tử thông tin khả năng EHT của khung yêu cầu liên kết (association request)/yêu cầu liên kết lại (re-association request)/xác thực (authentication)/yêu cầu thăm dò (probe request), được gửi đến thiết bị đa liên kết thứ nhất. Dựa trên triển khai khả thi này, thiết bị đa liên kết thứ nhất có thể biết được khả năng của thiết bị đa liên kết thứ hai để truyền khung BA đa liên kết. Bằng cách này, thiết bị đa liên kết thứ nhất phân tích cú pháp, theo cách phân tích cú pháp chính xác, trạng thái nhận của khung dữ liệu được chỉ ra bởi ánh xạ bit trong khung BA.

Trong triển khai khả thi, thông tin khả năng có thể bao gồm một hoặc nhiều trong ba mức khả năng sau đây. Ví dụ trong đó khung dữ liệu là MPDU được sử dụng.

Mức khả năng 1: Thiết bị đa liên kết thứ hai không hỗ trợ truyền khung BA đa liên kết. Ở mức này, khung BA chỉ mang trạng thái nhận của MPDU được gửi qua cùng một liên kết, và không mang trạng thái nhận của MPDU được gửi qua liên kết khác.

Mức khả năng 2: Thiết bị đa liên kết thứ hai hỗ trợ truyền khung BA đa liên kết dựa trên PPDU.

Ở mức này, khung BA mang trạng thái nhận của MPDU được gửi qua cùng một liên kết. Ngoài ra, khung BA còn mang trạng thái nhận của MPDU được gửi qua liên kết khác đáp ứng điều kiện sau: Khoảng thời gian giữa thời điểm kết thúc của PPDU mà MPDU nằm trong đó và thời điểm truyền của khung BA lớn hơn ngưỡng thứ nhất. Ví dụ, ở mức này, khung BA mang trạng thái nhận của MPDU được gửi qua liên kết thứ nhất. Ngoài ra, khung BA còn mang trạng thái nhận của MPDU được gửi qua liên kết thứ hai đáp ứng điều kiện sau: Khoảng thời gian giữa thời điểm kết thúc của PPDU mà MPDU nằm trong đó và thời điểm truyền của khung BA là lớn hơn ngưỡng thứ nhất.

Ví dụ, ngưỡng thứ nhất là MLFS. Ở mức khả năng 2, như được thể hiện trên FIG.19, khung BA 1 được gửi bởi thiết bị đa liên kết thứ hai mang các trạng thái nhận của MPDU 4 đến MPDU 6 được gửi qua liên kết 1. Ngoài ra, do khoảng thời gian giữa thời điểm kết thúc của PPDU trong đó MPDU 7 đến MPDU 9 được gửi qua liên kết 2 và thời điểm truyền của khung BA lớn hơn MLFS, khung BA 1 còn mang các trạng thái nhận của MPDU 7 đến MPDU 9 được gửi qua liên kết 2.

Ví dụ khác, ngưỡng thứ nhất là ngưỡng thời gian M. Ở mức khả năng 2, như được thể hiện trên FIG.21, khung BA 1 được gửi bởi thiết bị đa liên kết thứ hai mang các trạng thái nhận của MPDU 4 đến MPDU 6 được gửi qua liên kết 1. Ngoài ra, do khoảng thời gian giữa thời điểm kết thúc của PPDU mà MPDU 7 đến MPDU 9 được gửi qua liên kết 2 nằm trong đó và thời điểm truyền của khung BA lớn hơn ngưỡng thời gian M, khung BA 1 còn mang các trạng thái nhận của MPDU 7 đến MPDU 9 được gửi qua liên kết 2.

Mức khả năng 3: Thiết bị đa liên kết thứ hai hỗ trợ truyền khung BA đa liên kết dựa trên MPDU.

Ở mức này, khung BA mang trạng thái nhận của MPDU được gửi qua cùng một liên kết. Ngoài ra, khung BA còn mang trạng thái nhận của MPDU được gửi qua liên kết khác đáp ứng điều kiện sau: Khoảng thời gian giữa thời điểm kết thúc của ký hiệu OFDM cuối cùng trong một hoặc nhiều ký hiệu OFDM mà MPDU nằm trong đó và thời điểm truyền của khung BA lớn hơn ngưỡng thứ nhất. Ở mức này, khung BA mang trạng thái nhận của MPDU được gửi qua liên kết thứ nhất. Ngoài ra, khung BA còn mang trạng thái nhận của MPDU được gửi qua liên kết thứ hai đáp ứng điều kiện sau: Khoảng thời gian giữa thời điểm kết thúc của ký hiệu OFDM cuối cùng trong một hoặc nhiều ký hiệu OFDM mà MPDU nằm trong đó và thời điểm truyền của khung BA lớn hơn ngưỡng thứ nhất.

Ví dụ, ngưỡng thứ nhất là MLFS. Ở mức khả năng 3, như thể hiện trên FIG.20, khung BA 1 được gửi bởi thiết bị đa liên kết thứ hai mang các trạng thái nhận của MPDU 4 đến MPDU 6 được gửi qua liên kết 1. Ngoài ra, khoảng thời gian giữa thời điểm kết thúc của ký hiệu OFDM cuối cùng trong một hoặc nhiều ký hiệu OFDM mà MPDU 7 đến MPDU 10 được gửi qua liên kết 2 nằm trong đó và thời điểm truyền của khung BA lớn hơn MLFS, khung BA 1 còn mang các trạng thái nhận của MPDU 7 đến MPDU 10 được gửi qua liên kết 2.

Ví dụ khác, ngưỡng thứ nhất là ngưỡng thời gian M. Ở mức khả năng 3, như thể hiện trên FIG.22, khung BA 1 được gửi bởi thiết bị đa liên kết thứ hai mang các trạng thái nhận của MPDU 4 đến MPDU 6 được gửi qua liên kết 1. Ngoài ra, khoảng thời gian giữa thời điểm kết thúc của ký hiệu OFDM cuối cùng trong một hoặc nhiều ký hiệu OFDM trong đó MPDU 7 đến MPDU 10 được gửi qua liên kết 2 và thời điểm truyền BA lớn hơn ngưỡng thời gian M, khung BA 1 còn mang các trạng thái nhận của MPDU 7 đến MPDU 10 được gửi qua liên kết 2.

Theo tùy chọn, thời điểm truyền của khung BA ở mức khả năng 2 và mức khả năng 3 có thể được thay thế bằng thời điểm nhận của khung BA.

Trong triển khai khả thi, nếu độ trễ giữa thời điểm thứ hai và thời điểm thứ nhất nhỏ hơn ngưỡng thứ hai, thiết bị đa liên kết thứ nhất xác định rằng trạm tương ứng với liên kết thứ nhất trong thiết bị đa liên kết thứ hai không thu nhận được trạng thái của khung

dữ liệu tương ứng với bit thứ nhất, trong đó ngưỡng thứ hai nhỏ hơn ngưỡng thứ nhất. Nếu độ trễ giữa thời điểm thứ hai và thời điểm thứ nhất nhỏ hơn ngưỡng thứ hai, điều đó chỉ ra rằng trước khi thiết bị đa liên kết thứ hai tạo ra khung BA, trạm trên liên kết thứ hai trong thiết bị đa liên kết thứ hai không có đủ thời gian để chuyển trạng thái nhận của khung dữ liệu tương ứng với bit thứ nhất đến trạm trên liên kết thứ nhất trong thiết bị đa liên kết thứ hai. Do đó, nếu độ trễ giữa thời điểm thứ hai và thời điểm thứ nhất nhỏ hơn ngưỡng thứ hai, thiết bị đa liên kết thứ nhất xác định rằng trạm tương ứng với liên kết thứ nhất trong thiết bị đa liên kết thứ hai không thu nhận được trạng thái nhận của khung dữ liệu tương ứng với bit thứ nhất. Có thể biết được rằng, dựa trên triển khai khả thi này, có thể xác định chính xác rằng trạm tương ứng với liên kết thứ nhất trong thiết bị đa liên kết thứ hai không thu nhận được trạng thái nhận của khung dữ liệu tương ứng với bit thứ nhất.

Trong triển khai khả thi, nếu độ trễ giữa thời điểm thứ hai và thời điểm thứ nhất lớn hơn ngưỡng thứ hai, và độ trễ giữa thời điểm thứ hai và thời điểm thứ nhất nhỏ hơn ngưỡng thứ nhất, thì thiết bị đa liên kết thứ nhất sẽ gửi khối yêu cầu báo nhận khung BAR hoặc khung dữ liệu tới thiết bị đa liên kết thứ hai trước khi truyền lại khung dữ liệu tương ứng với bit thứ nhất. Nếu độ trễ giữa thời điểm thứ hai và thời điểm thứ nhất lớn hơn ngưỡng thứ hai, và độ trễ giữa thời điểm thứ hai và thời điểm thứ nhất nhỏ hơn ngưỡng thứ nhất, điều đó chỉ ra rằng trạng thái nhận của khung dữ liệu tương ứng với bit thứ nhất không thể xác định được. Nói cách khác, bit thứ nhất có sự không rõ ràng. Dựa trên triển khai khả thi này, trước khi thiết bị đa liên kết thứ nhất truyền lại khung dữ liệu tương ứng với bit thứ nhất, trước tiên có thể loại bỏ sự không rõ ràng của bit thứ nhất. Khung dữ liệu tương ứng với bit thứ nhất được truyền lại khi xác định rõ ràng rằng khung dữ liệu tương ứng với bit thứ nhất bị lỗi nhận. Điều này giúp tránh lãng phí tài nguyên truyền do việc truyền lại khung dữ liệu đã nhận thành công.

Có thể biết được rằng, dựa trên phương pháp được mô tả trên FIG.4, độ chính xác của việc xác định trạng thái nhận của khung dữ liệu được cải thiện.

FIG.8 là sơ đồ của phương pháp xác định trạng thái nhận của khung dữ liệu theo một phương án của sáng chế. Như thể hiện trên FIG.8, phương pháp xác định trạng thái

nhận của khung dữ liệu bao gồm bước từ 801 đến bước 804 sau đây. Phương pháp được thể hiện trên FIG.8 có thể được thực hiện bởi thiết bị đa liên kết thứ nhất và thiết bị đa liên kết thứ hai. thiết bị. Ngoài ra, phương pháp được thể hiện trên FIG.8 có thể được thực thi bởi chip trong thiết bị đa liên kết thứ nhất và chip trong thiết bị đa liên kết thứ hai. FIG.8 được mô tả bằng cách sử dụng ví dụ trong đó thiết bị đa liên kết thứ nhất và thiết bị đa liên kết thứ hai được sử dụng làm vật thực thi.

801: Thiết bị đa liên kết thứ nhất gửi các khung dữ liệu đến thiết bị đa liên kết thứ hai qua nhiều liên kết.

802: Thiết bị đa liên kết thứ hai gửi khung báo nhận khối (block ACK, BA) tới thiết bị đa liên kết thứ nhất qua liên kết thứ nhất trong nhiều liên kết. Khung BA mang ánh xạ bit, và ánh xạ bit chỉ ra trạng thái nhận của khung dữ liệu được truyền qua liên kết thứ nhất và trạng thái nhận của khung dữ liệu được truyền qua liên kết thứ hai trong nhiều liên kết.

Trong triển khai khả thi, khung BA bao gồm số trình tự bắt đầu của khung dữ liệu có trạng thái nhận được phản hồi, số trình tự bắt đầu nhỏ hơn hoặc bằng số trình tự thứ nhất, và số trình tự thứ nhất là giá trị nhỏ nhất của các số trình tự của các khung dữ liệu mà không được báo nhận là đã nhận.

Để biết triển khai cụ thể của bước 801 và bước 802, hãy tham khảo triển khai cụ thể của bước 401 và bước 402. Chi tiết không được mô tả ở đây.

803: Thiết bị đa liên kết thứ nhất xác định khung dữ liệu thứ nhất được gửi qua liên kết thứ hai.

Sau khi nhận được khung BA, thiết bị đa liên kết thứ nhất xác định khung dữ liệu thứ nhất được gửi qua liên kết thứ hai. Khung dữ liệu thứ nhất là khung dữ liệu có thời điểm truyền là cuối cùng trong tập khung dữ liệu, và tập khung dữ liệu bao gồm khung dữ liệu được gửi qua liên kết thứ hai và đã được nhận chính xác. Giá trị bit tương ứng với khung dữ liệu được gửi qua liên kết thứ hai và giá trị đã được nhận chính xác là giá trị thứ hai.

804: Thiết bị đa liên kết thứ nhất xác định rằng trạng thái nhận của khung dữ liệu thứ hai là lỗi nhận.

Theo phương án của sáng chế, sau khi xác định trạng thái nhận của khung dữ liệu thứ nhất được gửi qua liên kết thứ hai, thiết bị đa liên kết thứ nhất xác định rằng trạng thái nhận của khung dữ liệu thứ hai là lỗi nhận. Khung dữ liệu thứ hai là khung dữ liệu được gửi qua liên kết thứ hai trước khung dữ liệu thứ nhất, và giá trị bit tương ứng với khung dữ liệu thứ hai trong ánh xạ bit là giá trị thứ nhất. Giá trị thứ nhất khác với giá trị thứ hai. Giá trị thứ hai chỉ ra rằng khung dữ liệu được nhận thành công. Ví dụ, giá trị thứ nhất là 0, và giá trị thứ hai là 1. Ngoài ra, giá trị thứ nhất là 1, và giá trị thứ hai là 0.

Trong triển khai khả thi, trước khi thực hiện bước 801 đến bước 804, thiết bị đa liên kết thứ hai có thể gửi thông tin chỉ báo đến thiết bị đa liên kết thứ nhất. Giá trị thứ nhất của thông tin chỉ báo chỉ ra trạng thái nhận của khung dữ liệu được truyền qua liên kết thứ hai và được mang trong khung BA được gửi bởi thiết bị đa liên kết thứ hai trong bước 802. Tùy chọn, thông tin chỉ báo có thể được mang trong khung phản hồi ADDBA (add block acknowledgment) hoặc phần tử thông tin khả năng EHT của khung yêu cầu liên kết (association request)/yêu cầu liên kết lại (re-association request)/xác thực (authentication)/yêu cầu thăm dò (probe request), để được gửi đến thiết bị đa liên kết thứ nhất. Theo tùy chọn, thông tin chỉ báo có thể là thông tin 1 bit, và được mang trong bit thứ 6 (B5) trong trường tập tham số báo nhận khối (block ack parameter set) trong khung phản hồi ADDBA (add block acknowledgment), ví dụ, như trên FIG.23.

Trong triển khai khả thi, trước khi truyền lại khung dữ liệu thứ ba, khung yêu cầu báo nhận khối BAR hoặc khung dữ liệu được gửi đến thiết bị đa liên kết thứ hai, trong đó giá trị bit tương ứng với khung dữ liệu thứ ba trong ánh xạ bit là giá trị thứ nhất, và khung dữ liệu thứ ba là khung dữ liệu được gửi qua liên kết thứ hai sau khung dữ liệu thứ nhất.

Ví dụ, giá trị thứ nhất là 0 và giá trị thứ hai là 1. Như được minh họa trên FIG.5, ví dụ trong đó khung BA là khung BA 1 được sử dụng. Nếu một giá trị bit trong ánh xạ bit của khung BA 1 là 1, thì MPDU được nhận thành công. Có hai liên kết thứ hai, liên kết 2 và liên kết 3. Bit thứ 4 đến bit thứ 6 tương ứng với MPDU 7 đến MPDU 9 được truyền

qua liên kết 2. Bit thứ 7 đến bit thứ 9 tương ứng với tới MPDU 10 đến MPDU 12 được truyền qua liên kết 3.

Đối với liên kết 2, thiết bị đa liên kết thứ nhất xác định, từ MPDU 7 đến MPDU 9, các MPDU đã được nhận thành công là MPDU 7 và MPDU 9. MPDU 9 là MPDU đã nhận thành công mà được gửi cuối cùng trong MPDU 7 và MPDU 9. Do đó, MPDU 9 là khung dữ liệu thứ nhất. Vì MPDU 8 được gửi trước khung dữ liệu thứ nhất, và giá trị bit tương ứng với MPDU 8 là 0, nên MPDU 8 là khung dữ liệu thứ hai. Thiết bị đa liên kết thứ nhất xác định rằng trạng thái nhận của MPDU 8 là lỗi nhận.

Đối với liên kết 3, thiết bị đa liên kết thứ nhất xác định, từ MPDU 10 đến MPDU 12, MPDU đã được nhận thành công là MPDU 11. Do đó, MPDU 11 là khung dữ liệu thứ nhất. Vì MPDU 10 được gửi trước khung dữ liệu thứ nhất, và giá trị bit tương ứng với MPDU 10 là 0, nên MPDU 10 là khung dữ liệu thứ hai. Thiết bị đa liên kết thứ nhất xác định rằng trạng thái nhận của MPDU 10 là lỗi nhận. Giá trị bit tương ứng với MPDU 12 là 0, và MPDU 12 được gửi sau MPDU 11. Do đó, MPDU 12 là khung dữ liệu thứ ba. Thiết bị đa liên kết thứ nhất tạm thời không thể xác định trạng thái nhận của MPDU 12. Do đó, sự không rõ ràng của bit tương ứng với MPDU 12 cần được loại bỏ trước tiên, sau đó xác định liệu có truyền lại MPDU 12 hay không. Phương pháp để loại bỏ sự không rõ ràng của bit tương ứng với MPDU 12 có thể là: gửi khung yêu cầu báo nhận khối BAR tới thiết bị đa liên kết thứ hai hoặc tiếp tục gửi MPDU tiếp theo.

Trong triển khai khả thi, khung dữ liệu thứ nhất là khung dữ liệu có thời điểm truyền là cuối cùng trong tập khung dữ liệu, và tập khung dữ liệu bao gồm các khung dữ liệu đã nhận chính xác mà được gửi qua nhiều liên kết thứ hai. Theo tùy chọn, khoảng thời gian giữa thời điểm t4 và thời điểm t5 tương ứng với mỗi liên kết là giống nhau hoặc tương tự. Thời điểm t4 là thời điểm tại đó trạm trên liên kết thứ hai trong thiết bị đa liên kết thứ hai nhận được khung dữ liệu tương ứng với bit thứ nhất. Thời điểm t5 là thời điểm mà trạm trên liên kết thứ hai trong thiết bị đa liên kết thứ hai chuyển thành công trạng thái nhận của khung dữ liệu tương ứng với bit thứ nhất đến trạm trên liên kết thứ nhất trong thiết bị đa liên kết thứ hai. Dựa trên triển khai khả thi này, khung dữ liệu thứ nhất có thể được xác định từ các khung dữ liệu được gửi qua nhiều liên kết thứ hai, và

không cần xác định một khung dữ liệu thứ nhất cho mỗi liên kết thứ hai. Điều này giúp giảm tài nguyên máy tính.

Ví dụ, như trên FIG.5, ví dụ trong đó khung BA là khung BA 1 được sử dụng. Nếu giá trị bit trong ánh xạ bit của khung BA 1 là 1, thì MPDU được nhận thành công. Có hai liên kết thứ hai, liên kết 2 và liên kết 3. Bit thứ 4 đến bit thứ 6 tương ứng với MPDU 7 đến MPDU 9 được truyền qua liên kết 2. Bit thứ 7 đến bit thứ 9 tương ứng với MPDU 10 đến MPDU 12 được truyền qua liên kết 3. Vì MPDU đã nhận thành công được gửi cuối cùng qua liên kết 2 và liên kết 3 là MPDU 11, nên MPDU 11 là khung dữ liệu thứ nhất. MPDU 8 và MPDU 10 là các khung dữ liệu thứ hai. MPDU 12 là khung dữ liệu thứ ba. Do đó, thiết bị đa liên kết thứ nhất xác định rằng trạng thái nhận của MPDU 8 và MPDU 10 là lỗi nhận.

Có thể biết được rằng, dựa trên phương pháp được mô tả trên FIG.8, độ chính xác của việc xác định trạng thái nhận của một khung dữ liệu được cải thiện. Điều này tránh việc thiết bị đa liên kết thứ nhất xác định trạng thái nhận của khung dữ liệu đã được thiết bị đa liên kết thứ hai nhận thành công là lỗi nhận, và truyền lại khung dữ liệu một cách không cần thiết.

FIG.9 là sơ đồ của phương pháp truyền khung báo nhận khối theo một phương án của sáng chế. Như được thể hiện trên FIG.9, phương pháp truyền khung báo nhận khối bao gồm bước từ 901 đến bước 903 sau đây. Phương pháp được thể hiện trên FIG.9 có thể được thực hiện bởi thiết bị đa liên kết thứ nhất và thiết bị đa liên kết thứ hai. Ngoài ra, phương pháp được thể hiện trên FIG.9 có thể được thực thi bởi chip trong thiết bị đa liên kết thứ nhất và chip trong thiết bị đa liên kết thứ hai. FIG.9 được mô tả bằng cách sử dụng ví dụ trong đó thiết bị đa liên kết thứ nhất và thiết bị đa liên kết thứ hai được sử dụng làm vật thực thi.

901: Thiết bị đa liên kết thứ nhất gửi các khung dữ liệu đến thiết bị đa liên kết thứ hai qua nhiều liên kết.

Để biết triển khai cụ thể của bước 901, hãy tham khảo triển khai cụ thể của bước 401. Chi tiết không được mô tả ở đây.

902: Thiết bị đa liên kết thứ nhất gửi khung yêu cầu báo nhận khối BAR đến thiết bị đa liên kết thứ hai.

Theo phương án của sáng chế, sau khi gửi các khung dữ liệu đến thiết bị đa liên kết thứ hai qua nhiều liên kết, thiết bị đa liên kết thứ nhất sẽ gửi khung yêu cầu báo nhận khối BAR tới thiết bị đa liên kết thứ hai. Khung BAR mang thông tin chỉ báo thứ nhất, và thông tin chỉ báo thứ nhất chỉ ra loại khung báo nhận khối BA được yêu cầu.

Loại khung BA có thể là loại khung BA đơn liên kết hoặc loại khung BA đa liên kết. Loại khung BA đơn liên kết chỉ ra rằng khung BA chỉ bao gồm trạng thái nhận của khung dữ liệu được truyền qua một liên kết. Loại khung BA đa liên kết chỉ ra rằng khung BA chỉ bao gồm các trạng thái nhận của khung dữ liệu được truyền qua nhiều liên kết.

Trong triển khai khả thi, thông tin chỉ báo thứ nhất nằm trong trường loại BAR trong khung BAR. Ví dụ, trường loại BAR trong khung BAR có thể được hiển thị trên FIG.10. Dựa trên triển khai khả thi này, thông tin chỉ báo thứ nhất có thể được mang bằng cách sử dụng trường hiện có. Điều này giúp giảm các bit của khung BAR.

Trong triển khai khả thi, khi thông tin chỉ báo thứ nhất chỉ ra rằng loại khung BA được yêu cầu là khung BA đa liên kết, giá trị của thông tin chỉ báo thứ nhất có thể là giá trị dành riêng của trường loại BAR trong tiêu chuẩn hiện có. Ví dụ, giá trị của thông tin chỉ báo thứ nhất có thể là bất kỳ giá trị nào trong 4, 5, hoặc 11 đến 15.

Ví dụ, như được hiển thị trong bảng 1 sau đây, khi giá trị của trường loại BAR là 4, nó chỉ ra rằng loại khung BA được yêu cầu là khung BA đa liên kết. Khi giá trị của loại BAR là 0, nó chỉ ra rằng loại BAR là loại cơ bản. Khi giá trị của loại BAR là 1, nó chỉ ra rằng loại BAR là loại nén mở rộng. Khi giá trị của loại BAR là 2, loại BAR là loại nén. Khi giá trị của loại BAR là 3, nó chỉ ra rằng loại BAR là loại đa dịch vụ. Giá trị 5 của loại BAR là giá trị dành riêng. Khi giá trị của loại BAR là 6, nó chỉ ra rằng loại BAR là loại phát nhóm (groupcast) có thử lại. Các giá trị từ 7 đến 9 của loại BAR là các giá trị dành riêng. Khi giá trị của loại BAR là 10, nó chỉ ra rằng loại BAR là loại phát nhóm liên kết chung có thử lại. Các giá trị từ 11 đến 15 của loại BAR là các giá trị dành riêng.

Bảng 1

Trường loại BAR (BAR Type)	Biến thể khung BAR (BlockAckReq frame variant)
0	Cơ bản (Basic)
1	Nén mở rộng (Extended Compression)
2	Nén (Compressed)
3	Loại đa dịch vụ (Multi-TID)
4	Đa liên kết (Multi-link)
5	Dành riêng (Reserved)
6	Phát nhóm có thử lại (groupcast with retries, GCR)
7 đến 9	Dành riêng (Dành riêng)
10	Phát nhóm liên kết chung có thử lại (general link groupcast with retries, GLK-GCR)
11 đến 15	Dành riêng (Reserved)

Ví dụ khác, như được hiển thị trong bảng 2 sau đây, khi giá trị của trường loại BAR là bất kỳ từ 11 đến 14, nó chỉ ra rằng loại khung BA được yêu cầu là khung BA đa liên kết. Khi giá trị của loại BAR là 11, nó chỉ ra rằng loại BAR là loại cơ bản, và BAR được sử dụng để yêu cầu khung BA đa liên kết. Khi giá trị của loại BAR là 12, nó chỉ ra rằng loại BAR là loại nén mở rộng, và BAR được sử dụng để yêu cầu khung BA đa liên kết. Khi giá trị của loại BAR là 13, nó chỉ ra rằng loại BAR là loại nén, và RAR được sử dụng để yêu cầu khung BA đa liên kết. Khi giá trị của loại BAR là 14, nó chỉ ra rằng loại BAR là loại đa dịch vụ, và BAR được sử dụng để yêu cầu khung BA đa liên kết.

Bảng 2

Trường loại BAR (BAR Type)	Biến thể khung BAR (BlockAckReq frame variant)
0	Cơ bản (Basic)
1	Nén mở rộng (Extended Compression)
2	Nén (Compressed)
3	Loại đa dịch vụ (Multi-TID)
4 và 5	Dành riêng (Reserved)
6	Phát nhóm có thử lại (groupcast with retries, GCR)
7 đến 9	Dành riêng (Reserved)
10	Phát nhóm liên kết chung có thử lại general link groupcast with retries, GLK-GCR)
11	Cơ bản đa liên kết (Multi-link Basic)
12	Nén mở rộng đa liên kết (Multi-link Extended Compression)
13	Nén đa liên kết (Multi-link Compression)
14	Đa dịch vụ đa liên kết (Multi-link Multi-TID)
15	Dành riêng (Reserved)

Trong triển khai khả thi, trường mới có thể được thêm vào khung BAR, và thông tin chỉ báo thứ nhất có thể theo cách thay đổi nằm trong trường mới trong khung BAR. Ví dụ, như thể hiện trên FIG.11, trường có thể được thêm vào trường điều khiển BAR trong khung BAR để mang thông tin chỉ báo thứ nhất.

Trong triển khai khả thi, khung BAR còn bao gồm thông tin chỉ báo thứ hai, thông tin chỉ báo thứ hai chỉ ra một hoặc nhiều liên kết trong nhiều liên kết, và khung BA thứ

nhất chỉ ra trạng thái nhận của khung dữ liệu được gửi qua một hoặc nhiều liên kết. Theo tùy chọn, như được hiển thị trên FIG.12, thông tin chỉ báo thứ hai nằm trong trường điều khiển BAR trong khung BAR. Thông tin chỉ báo thứ hai có thể cụ thể là ánh xạ bit liên kết. Dựa trên triển khai khả thi này, thiết bị đa liên kết thứ nhất có thể chỉ ra, với thiết bị đa liên kết thứ hai, rằng thiết bị đa liên kết thứ hai cần phản hồi trạng thái nhận của các khung dữ liệu được gửi qua các liên kết đó.

Trong triển khai khả thi, thông tin chỉ báo thứ nhất chỉ ra loại khung BA được yêu cầu là khung BA đa liên kết, và khoảng thời gian giữa thời điểm kết thúc truyền của các khung dữ liệu và thời điểm bắt đầu truyền của khung BAR lớn hơn hoặc bằng khoảng thời gian đặt trước. Khung BA đa liên kết chỉ ra rằng một khung BA bao gồm các trạng thái nhận của các khung dữ liệu được gửi qua nhiều liên kết. Trong trường hợp này, nếu khoảng thời gian giữa thời điểm kết thúc truyền của khung dữ liệu và thời điểm bắt đầu truyền của khung BAR lớn hơn hoặc bằng khoảng thời gian đặt trước, trạm sẽ phản hồi khung BA trong thiết bị đa liên kết thứ hai có đủ thời gian để nhận trạng thái nhận của khung dữ liệu được truyền qua liên kết khác. Điều này tránh trường hợp bit tương ứng với khung dữ liệu được đặt thành 0 vì thiết bị đa liên kết thứ hai không nhận được trạng thái nhận của khung dữ liệu được truyền qua liên kết khác, và tránh sự không rõ ràng của bit tương ứng với khung dữ liệu. Điều này giúp thiết bị đa liên kết thứ nhất cải thiện độ chính xác của việc xác định trạng thái nhận của khung dữ liệu, để tránh thiết bị đa liên kết thứ nhất xác định trạng thái nhận của khung dữ liệu đã được thiết bị đa liên kết thứ hai nhận thành công như là lỗi nhận, và truyền lại khung dữ liệu một cách không cần thiết.

Trong triển khai khả thi, thiết bị đa liên kết thứ hai bao gồm nhiều bảng điểm, mỗi liên kết tương ứng với một bảng điểm, và bảng điểm được sử dụng để ghi lại trạng thái nhận của khung dữ liệu được truyền qua liên kết tương ứng. Bằng cách này, thiết bị đa liên kết thứ hai có thể phân biệt giữa các trạng thái nhận của các khung dữ liệu được truyền qua các liên kết khác nhau, để phản hồi các loại khung BA khác nhau.

Trong triển khai khả thi, trước khi thiết bị đa liên kết thứ nhất gửi các khung dữ liệu đến thiết bị đa liên kết thứ hai qua nhiều liên kết, thiết bị đa liên kết thứ nhất có thể còn

nhận cách đáp lại của khung BA do thiết bị đa liên kết thứ hai gửi, trong đó cách đáp lại của khung BA là đáp lại trễ hoặc đáp lại ngay lập tức. Ví dụ, Như được thể hiện trên FIG.13, cách đáp lại của khung BA có thể được thực hiện trong trường thân khung trong khung phản hồi ADDBA. Theo tùy chọn, cách đáp lại của khung BA có thể được thực hiện trong tập tham số báo nhận khối (Block Ack Parameter Set) của trường thân khung trong khung phản hồi ADDBA. Dựa trên triển khai khả thi này, thiết bị đa liên kết thứ nhất có thể xác định cách đáp lại của khung BA được gửi bởi thiết bị đa liên kết thứ hai.

903: Thiết bị đa liên kết thứ hai gửi khung BA thứ nhất đến thiết bị đa liên kết thứ nhất, trong đó khung BA thứ nhất là khung BA thuộc loại được chỉ ra bởi thông tin chỉ báo thứ nhất.

Trong triển khai khả thi, khoảng thời gian giữa thời điểm kết thúc truyền của khung BAR và thời điểm bắt đầu truyền của khung BA thứ nhất lớn hơn hoặc bằng ngưỡng đặt trước. Dựa trên triển khai khả thi này, thiết bị đa liên kết thứ hai có đủ thời gian để tạo khung BA.

Trong triển khai khả thi, có bit đệm phía sau khung BAR, và bit đệm cho phép khoảng thời gian giữa thời điểm kết thúc truyền của khung BAR và thời điểm bắt đầu truyền của khung BA thứ nhất lớn hơn hoặc bằng ngưỡng đặt trước. Dựa trên triển khai khả thi này, khoảng thời gian giữa thời điểm kết thúc truyền của khung BAR và thời điểm bắt đầu truyền của khung BA thứ nhất có thể lớn hơn ngưỡng đặt trước.

Có thể biết được rằng, dựa trên phương pháp được mô tả trên FIG.9, thiết bị đa liên kết thứ nhất có thể thu nhận các loại khung BA khác nhau một cách linh hoạt dựa trên các yêu cầu khác nhau. Phương pháp truyền khung báo nhận khối được mô tả trên FIG.9 có thể được triển khai độc lập. Ngoài ra, phương pháp truyền khung báo nhận khối được mô tả trên FIG.9 có thể được kết hợp với phương án tương ứng với phương pháp nêu trên để xác định trạng thái nhận của khung dữ liệu. Ví dụ, trong phương pháp xác định trạng thái nhận của khung dữ liệu trên FIG.4 hoặc FIG.8, sau khi thiết bị đa liên kết thứ nhất gửi các khung dữ liệu đến thiết bị đa liên kết thứ hai qua nhiều liên kết, và trước thiết bị đa liên kết thứ nhất nhận, qua liên kết thứ nhất trong nhiều liên kết, khung báo nhận khối BA được gửi bởi thiết bị đa liên kết thứ hai, thiết bị đa liên kết thứ nhất gửi

khung yêu cầu báo nhận khối BAR tới thiết bị đa liên kết thứ hai. Khung BAR mang thông tin chỉ báo thứ nhất, và thông tin chỉ báo thứ nhất chỉ ra rằng loại khung báo nhận khối BA được yêu cầu là khung BA đa liên kết. Theo tùy chọn, thông tin chỉ báo thứ nhất nằm trong trường loại BAR trong khung BAR. Theo tùy chọn, giá trị của thông tin chỉ báo thứ nhất có thể là giá trị dành riêng của trường loại BAR trong tiêu chuẩn hiện có. Theo tùy chọn, trường mới có thể được thêm vào khung BAR, và thông tin chỉ báo thứ nhất có thể nằm trong trường mới trong khung BAR. Theo tùy chọn, khung BAR còn bao gồm thông tin chỉ báo thứ hai, thông tin chỉ báo thứ hai chỉ ra một hoặc nhiều liên kết thứ hai trong nhiều liên kết, và khung BA chỉ ra trạng thái nhận của khung dữ liệu được gửi qua một hoặc nhiều liên kết thứ hai. Theo tùy chọn, trước khi thiết bị đa liên kết thứ nhất gửi các khung dữ liệu đến thiết bị đa liên kết thứ hai qua nhiều liên kết, thiết bị đa liên kết thứ nhất có thể còn nhận cách đáp lại của khung BA được gửi bởi thiết bị đa liên kết thứ hai, trong đó cách đáp lại của khung BA là đáp lại trễ hoặc đáp lại ngay lập tức. Theo tùy chọn, khoảng thời gian giữa thời điểm kết thúc truyền của khung BAR và thời điểm bắt đầu truyền của khung BA lớn hơn ngưỡng đặt trước. Theo tùy chọn, có bit đệm phía sau khung BAR, và bit đệm cho phép khoảng thời gian giữa thời điểm kết thúc truyền của khung BAR và thời điểm bắt đầu truyền của khung BA lớn hơn ngưỡng đặt trước.

FIG.14 là sơ đồ của phương pháp truyền khung dữ liệu theo một phương án của sáng chế. Như được thể hiện trên FIG.14, phương pháp truyền khung dữ liệu bao gồm bước từ 1401 đến bước 1403 sau đây. Phương pháp được thể hiện trên FIG.14 có thể được thực hiện bởi thiết bị đa liên kết thứ nhất và thiết bị đa liên kết thứ hai. Ngoài ra, phương pháp được thể hiện trên FIG.14 có thể được thực thi bởi chip trong thiết bị đa liên kết thứ nhất và chip trong thiết bị đa liên kết thứ hai. FIG.14 được mô tả bằng cách sử dụng ví dụ trong đó thiết bị đa liên kết thứ nhất và thiết bị đa liên kết thứ hai được sử dụng làm vật thực thi.

1401: Thiết bị đa liên kết thứ nhất gửi khung dữ liệu đến thiết bị đa liên kết thứ hai qua liên kết thứ nhất và liên kết thứ hai, trong đó thời điểm kết thúc truyền của PPDU mà khung dữ liệu được truyền qua liên kết thứ nhất nằm trong đó là giống với thời điểm kết thúc truyền của PPDU mà khung dữ liệu được truyền qua liên kết thứ hai nằm trong

đó.

Ví dụ, như thể hiện trên FIG.15, thời điểm kết thúc của PPDU mà khung dữ liệu được truyền qua liên kết thứ nhất nằm trong đó là t_1 . Thời điểm kết thúc của PPDU mà khung dữ liệu được truyền qua liên kết thứ hai nằm trong đó là t_2 . t_1 giống với t_2 .

1402: Thiết bị đa liên kết thứ nhất gửi khung yêu cầu báo nhận khối BAR tới thiết bị đa liên kết thứ hai qua liên kết thứ nhất và/hoặc liên kết thứ hai.

Trong phương án này của sáng chế, sau khi gửi các khung dữ liệu đến thiết bị đa liên kết thứ hai qua liên kết thứ nhất và liên kết thứ hai, thiết bị đa liên kết thứ nhất sẽ gửi khung yêu cầu báo nhận khối BAR tới thiết bị đa liên kết thứ hai qua liên kết thứ nhất và/hoặc liên kết thứ hai.

1403: Thiết bị đa liên kết thứ hai gửi khung BA đến thiết bị đa liên kết thứ nhất qua liên kết thứ nhất và/hoặc liên kết thứ hai.

Trong phương án này của sáng chế, sau khi nhận, qua liên kết thứ nhất và/hoặc liên kết thứ hai, khung BAR được gửi bởi thiết bị đa liên kết thứ nhất, thiết bị đa liên kết thứ hai sẽ gửi khung BA tới thiết bị đa liên kết thứ nhất qua liên kết thứ nhất và/hoặc liên kết thứ hai. Khung BA bao gồm các trạng thái nhận của các khung dữ liệu được truyền qua nhiều liên kết.

Trong phương án này của sáng chế, sau khi gửi khung yêu cầu báo nhận khối BAR tới thiết bị đa liên kết thứ hai qua liên kết thứ nhất và/hoặc liên kết thứ hai, thiết bị đa liên kết thứ nhất có thể nhận khung BA qua liên kết thứ nhất và/hoặc liên kết thứ hai.

Trong triển khai khả thi, có bit đệm phía sau khung dữ liệu được gửi qua liên kết thứ nhất, và bit đệm cho phép thời điểm kết thúc truyền của PPDU mà khung dữ liệu được truyền qua liên kết thứ nhất nằm trong đó giống với thời điểm kết thúc truyền của PPDU mà khung dữ liệu được truyền qua liên kết thứ hai nằm trong đó, ví dụ, như thể hiện trên FIG.16.

Dựa trên phương pháp được mô tả trên FIG.14, thời điểm kết thúc truyền của PPDU mà khung dữ liệu được truyền qua liên kết thứ nhất nằm trong đó giống với thời điểm

kết thúc truyền của PPDU mà khung dữ liệu được truyền qua liên kết thứ hai nằm trong đó. Điều này giúp tránh gián đoạn cơ hội truyền (transmit opportunity, TXOP). Phương pháp truyền khung dữ liệu được mô tả trên FIG.14 có thể được triển khai độc lập. Ngoài ra, phương pháp truyền khung dữ liệu được mô tả trên FIG.14 có thể được kết hợp với phương án tương ứng với phương pháp nêu trên để xác định trạng thái nhận của khung dữ liệu. Ví dụ, trong phương pháp xác định trạng thái nhận của khung dữ liệu trên FIG.4 hoặc FIG.8, thiết bị đa liên kết thứ nhất gửi các khung dữ liệu đến thiết bị đa liên kết thứ hai qua nhiều liên kết, trong đó thời điểm kết thúc của một PPDU mà khung dữ liệu được gửi qua mỗi liên kết nằm trong đó là giống nhau. Sau khi thiết bị đa liên kết thứ nhất gửi các khung dữ liệu đến thiết bị đa liên kết thứ hai qua nhiều liên kết, và trước khi thiết bị đa liên kết thứ nhất nhận, qua liên kết thứ nhất trong nhiều liên kết, khung báo nhận khối BA được gửi bởi thiết bị đa liên kết thứ hai, thiết bị đa liên kết thứ nhất gửi khung BAR đến thiết bị đa liên kết thứ hai. Theo tùy chọn, có bit đệm phía sau khung dữ liệu được gửi qua ít nhất một liên kết, và bit đệm cho phép thời điểm kết thúc của PPDU mà khung dữ liệu được gửi qua mỗi liên kết nằm trong đó là giống nhau.

Ngoài ra, phương pháp truyền khung dữ liệu được mô tả trên FIG.14 có thể được kết hợp với phương pháp truyền khung báo nhận khối được mô tả trên FIG.9. Ví dụ, trong phương pháp truyền khung báo nhận khối được mô tả trên FIG.9, thiết bị đa liên kết thứ nhất gửi các khung dữ liệu đến thiết bị đa liên kết thứ hai trên nhiều liên kết, trong đó thời điểm kết thúc của PPDU mà khung dữ liệu được gửi qua mỗi liên kết nằm trong đó là giống nhau. Khung BAR do thiết bị đa liên kết thứ nhất gửi đến thiết bị đa liên kết thứ hai chỉ ra rằng loại khung BA là khung BA đa liên kết. Theo tùy chọn, có bit đệm phía sau khung dữ liệu được gửi qua ít nhất một liên kết, và bit đệm cho phép thời điểm kết thúc của PPDU mà khung dữ liệu được gửi qua mỗi liên kết nằm trong đó là giống nhau.

FIG.24 là sơ đồ cấu trúc của máy truyền thông theo một phương án của sáng chế. Máy truyền thông được thể hiện trên FIG.24 có thể được tạo cấu hình để thực hiện một số hoặc tất cả các chức năng của thiết bị đa liên kết thứ nhất trong phương án phương pháp được mô tả trên FIG.4. Máy có thể là thiết bị đa liên kết thứ nhất, hoặc máy trong thiết bị đa liên kết thứ nhất, hoặc máy có thể được sử dụng cùng với thiết bị đa liên kết

thứ nhất. Cách khác, máy truyền thông có thể là hệ thống chip. Máy truyền thông được thể hiện trên FIG.24 có thể bao gồm đơn vị truyền thông 2401 và đơn vị xử lý 2402. Cách khác, đơn vị truyền thông có thể được tham chiếu là đơn vị truyền nhận, hoặc đơn vị truyền thông bao gồm đơn vị nhận và đơn vị gửi. Đơn vị xử lý 2402 được tạo cấu hình để thực hiện xử lý dữ liệu.

Đơn vị truyền thông 2401 được tạo cấu hình để gửi các khung dữ liệu đến thiết bị đa liên kết thứ hai qua nhiều liên kết. Đơn vị truyền thông 2401 còn được tạo cấu hình để nhận khung báo nhận khối BA do thiết bị đa liên kết thứ hai gửi qua liên kết thứ nhất trong nhiều liên kết, trong đó khung BA mang ánh xạ bit, ánh xạ bit chỉ ra trạng thái nhận của khung dữ liệu được truyền qua liên kết thứ nhất và chỉ ra trạng thái nhận của khung dữ liệu được truyền qua liên kết thứ hai trong nhiều liên kết. Đơn vị xử lý 2402 được tạo cấu hình để xác định, dựa trên thời điểm thứ nhất và thời điểm thứ hai, trạng thái nhận của khung dữ liệu tương ứng với bit thứ nhất, trong đó thời điểm thứ nhất là thời điểm truyền của khung dữ liệu tương ứng với bit thứ nhất, và thời điểm thứ hai là thời điểm nhận của khung BA. Bit thứ nhất là bit trong ánh xạ bit và tương ứng với khung dữ liệu được truyền qua liên kết thứ hai, và giá trị của bit thứ nhất là giá trị thứ nhất.

Trong triển khai khả thi, cách mà đơn vị xử lý 2402 xác định, dựa trên thời điểm thứ nhất và thời điểm thứ hai, trạng thái nhận của khung dữ liệu tương ứng với bit thứ nhất cụ thể là: nếu có trễ giữa thời điểm thứ hai và thời điểm thứ nhất thời gian lớn hơn hoặc bằng ngưỡng thứ nhất, thì xác định rằng trạng thái nhận của khung dữ liệu tương ứng với bit thứ nhất là lỗi nhận.

Trong triển khai khả thi, $T = t_2 - t_1$, $T = t_2 - t_1 - t_3$, hoặc $T = t_2 - t_1 - 2 * t_3$. T là độ trễ giữa thời điểm thứ hai và thời điểm thứ nhất, t_2 là thời điểm thứ hai, t_1 là thời điểm thứ nhất, và t_3 là độ trễ lan truyền giữa thiết bị đa liên kết thứ nhất và thiết bị đa liên kết thứ hai.

Trong triển khai khả thi, đơn vị truyền thông 2401 còn được tạo cấu hình để: trước khi gửi các khung dữ liệu đến thiết bị đa liên kết thứ hai qua nhiều liên kết, nhận thông tin thứ nhất được gửi bởi thiết bị đa liên kết thứ hai, trong đó thông tin thứ nhất mang

ngưỡng thứ nhất.

Trong triển khai khả thi, thông tin thứ nhất bao gồm nhiều ngưỡng thứ nhất, và mỗi ngưỡng trong số nhiều ngưỡng thứ nhất tương ứng với một liên kết.

Trong triển khai khả thi, đơn vị truyền thông 2401 còn được tạo cấu hình để: trước khi gửi các khung dữ liệu đến thiết bị đa liên kết thứ hai qua nhiều liên kết, nhận thông tin chỉ báo được gửi bởi thiết bị đa liên kết thứ hai, trong đó thông tin chỉ báo chỉ ra liệu thiết bị đa liên kết thứ hai có thể xác định được, trong khoảng thời gian của ngưỡng thứ nhất, trạng thái nhận của khung dữ liệu nhận được qua liên kết thứ hai.

Trong triển khai khả thi, thời điểm truyền của khung dữ liệu tương ứng với bit thứ nhất là thời điểm kết thúc gửi của đơn vị dữ liệu giao thức liên kết xuống PPDU mà khung dữ liệu nằm trong đó, hoặc thời điểm truyền của khung dữ liệu tương ứng với bit thứ nhất là thời điểm kết thúc gửi của ký hiệu mà bit cuối cùng của khung dữ liệu nằm trong đó.

Trong triển khai khả thi, đơn vị truyền thông 2401 còn được tạo cấu hình để: nếu độ trễ giữa thời điểm thứ hai và thời điểm thứ nhất lớn hơn ngưỡng thứ hai, và độ trễ giữa thời điểm thứ hai và thời điểm thứ nhất nhỏ hơn ngưỡng thứ nhất, gửi khung yêu cầu báo nhận khối BAR hoặc khung dữ liệu tới thiết bị đa liên kết thứ hai trước khi truyền lại khung dữ liệu tương ứng với bit thứ nhất.

Trong triển khai khả thi, khung BA bao gồm số trình tự bắt đầu của khung dữ liệu có trạng thái nhận được phản hồi, số trình tự bắt đầu nhỏ hơn hoặc bằng số trình tự thứ nhất, và số trình tự thứ nhất là giá trị nhỏ nhất của các số trình tự của các khung dữ liệu mà không được báo nhận là đã nhận.

FIG.24 là sơ đồ cấu trúc của máy truyền thông theo một phương án của sáng chế. Máy truyền thông được thể hiện trên FIG.24 có thể được tạo cấu hình để thực hiện một số hoặc tất cả các chức năng của thiết bị đa liên kết thứ nhất trong phương án phương pháp được mô tả trên FIG.8. Máy có thể là thiết bị đa liên kết thứ nhất, hoặc máy trong thiết bị đa liên kết thứ nhất, hoặc máy có thể được sử dụng phù hợp với thiết bị đa liên kết thứ nhất. Cách khác, máy truyền thông có thể là hệ thống chip. Máy truyền thông

được thể hiện trên FIG.24 có thể bao gồm đơn vị truyền thông 2401 và đơn vị xử lý 2402. Cách khác, đơn vị truyền thông có thể được tham chiếu là đơn vị truyền nhận, hoặc đơn vị truyền thông bao gồm đơn vị nhận và đơn vị gửi. Đơn vị xử lý 2402 được tạo cấu hình để thực hiện xử lý dữ liệu.

Đơn vị truyền thông 2401 được tạo cấu hình để gửi khung dữ liệu đến thiết bị đa liên kết thứ hai qua nhiều liên kết. Đơn vị truyền thông 2401 còn được tạo cấu hình để nhận khung báo nhận khối BA do thiết bị đa liên kết thứ hai gửi qua liên kết thứ nhất trong nhiều liên kết, trong đó khung BA mang ánh xạ bit, ánh xạ bit chỉ ra trạng thái nhận của khung dữ liệu được truyền qua liên kết thứ nhất và trạng thái nhận của khung dữ liệu được truyền qua liên kết thứ hai trong nhiều liên kết. Đơn vị xử lý 2402 được tạo cấu hình để xác định khung dữ liệu thứ nhất được gửi qua liên kết thứ hai, trong đó khung dữ liệu thứ nhất là khung dữ liệu có thời điểm truyền là cuối cùng trong tập khung dữ liệu, và tập khung dữ liệu bao gồm khung dữ liệu được gửi qua liên kết thứ hai và điều nó đã được nhận chính xác.

Đơn vị xử lý 2402 còn được tạo cấu hình để xác định rằng trạng thái nhận của khung dữ liệu thứ hai là lỗi nhận, trong đó khung dữ liệu thứ hai là khung dữ liệu được gửi qua liên kết thứ hai trước khung dữ liệu thứ nhất, và giá trị bit tương ứng với khung khung dữ liệu thứ hai dữ liệu trong ánh xạ bit là giá trị thứ nhất.

Trong triển khai khả thi, đơn vị truyền thông 2401 còn được tạo cấu hình để: trước khi truyền lại khung dữ liệu thứ ba, hãy gửi khung yêu cầu báo nhận khối BAR hoặc khung dữ liệu tới thiết bị đa liên kết thứ hai, trong đó giá trị bit tương ứng với khung dữ liệu thứ ba trong ánh xạ bit là giá trị thứ nhất, và khung dữ liệu thứ ba là khung dữ liệu được gửi qua liên kết thứ hai sau khung dữ liệu thứ nhất.

Trong triển khai khả thi, khung BA bao gồm số trình tự bắt đầu của khung dữ liệu có trạng thái nhận được phản hồi, số trình tự bắt đầu nhỏ hơn hoặc bằng số trình tự thứ nhất, và số trình tự thứ nhất là giá trị nhỏ nhất của các số trình tự của các khung dữ liệu mà không được báo nhận là đã nhận.

Trong triển khai khả thi, tập khung dữ liệu bao gồm các khung dữ liệu được gửi qua

nhiều liên kết thứ hai và đã được thiết bị liên kết thứ hai nhận chính xác.

FIG.24 là sơ đồ cấu trúc của máy truyền thông theo một phương án của sáng chế. Máy truyền thông được thể hiện trên FIG.24 có thể được tạo cấu hình để thực hiện một số hoặc tất cả các chức năng của thiết bị đa liên kết thứ nhất trong phương án phương pháp được mô tả trên FIG.9. Máy có thể là thiết bị đa liên kết thứ nhất, hoặc máy trong thiết bị đa liên kết thứ nhất, hoặc máy có thể được sử dụng phù hợp với thiết bị đa liên kết thứ nhất. Cách khác, máy truyền thông có thể là hệ thống chip. Máy truyền thông được thể hiện trên FIG.24 có thể bao gồm đơn vị truyền thông 2401 và đơn vị xử lý 2402. Cách khác, đơn vị truyền thông có thể được tham chiếu là đơn vị truyền nhận, hoặc đơn vị truyền thông bao gồm đơn vị nhận và đơn vị gửi. Đơn vị xử lý 2402 được tạo cấu hình để thực hiện xử lý dữ liệu.

Đơn vị truyền thông 2401 được tạo cấu hình để gửi các khung dữ liệu đến thiết bị đa liên kết thứ hai qua nhiều liên kết. Đơn vị truyền thông 2401 còn được tạo cấu hình để gửi khung yêu cầu báo nhận khối BAR tới thiết bị đa liên kết thứ hai, trong đó khung BAR mang thông tin chỉ báo thứ nhất, và thông tin chỉ báo thứ nhất chỉ ra loại khung BA báo nhận khối được yêu cầu. Đơn vị truyền thông 240 còn được tạo cấu hình để nhận khung BA thứ nhất được gửi bởi thiết bị đa liên kết thứ hai, trong đó khung BA thứ nhất là khung BA thuộc loại được chỉ ra bởi thông tin chỉ báo thứ nhất.

Trong triển khai khả thi, thông tin chỉ báo thứ nhất nằm trong trường loại BAR trong khung BAR.

Trong triển khai khả thi, khung BAR còn bao gồm thông tin chỉ báo thứ hai, thông tin chỉ báo thứ hai chỉ ra một hoặc nhiều liên kết trong nhiều liên kết, và khung BA thứ nhất chỉ ra trạng thái nhận của khung dữ liệu được gửi qua một hoặc nhiều liên kết.

Trong triển khai khả thi, thông tin chỉ báo thứ nhất chỉ ra loại khung BA được yêu cầu là khung BA đa liên kết, và khoảng thời gian giữa thời điểm kết thúc truyền của các khung dữ liệu và thời điểm bắt đầu truyền của khung BAR lớn hơn hoặc bằng một khoảng thời gian đặt trước.

Trong triển khai khả thi, trước khi thiết bị đa liên kết thứ nhất gửi các khung dữ liệu

đến thiết bị đa liên kết thứ hai qua nhiều liên kết, đơn vị truyền thông 2401 còn được tạo cấu hình để nhận cách đáp lại của khung BA được gửi bởi thiết bị đa liên kết thứ hai, trong đó cách đáp lại của khung BA là đáp lại trễ hoặc đáp lại ngay lập tức.

Trong triển khai khả thi, khoảng thời gian giữa thời điểm kết thúc truyền của khung BAR và thời điểm bắt đầu truyền của khung BA thứ nhất lớn hơn ngưỡng đặt trước.

Trong triển khai khả thi, có bit đệm phía sau khung BAR, và bit đệm cho phép khoảng thời gian giữa thời điểm kết thúc truyền của khung BAR và thời điểm bắt đầu truyền của khung BA thứ nhất lớn hơn ngưỡng đặt trước.

FIG.24 là sơ đồ cấu trúc của máy truyền thông theo một phương án của sáng chế. Máy truyền thông được thể hiện trên FIG.24 có thể được tạo cấu hình để thực hiện một số hoặc tất cả các chức năng của thiết bị đa liên kết thứ hai trong phương án phương pháp được mô tả trên FIG.9. Máy có thể là thiết bị đa liên kết thứ hai, hoặc máy trong thiết bị đa liên kết thứ hai, hoặc máy có thể được sử dụng với thiết bị đa liên kết thứ hai. Cách khác, máy truyền thông có thể là hệ thống chip. Máy truyền thông được thể hiện trên FIG.24 có thể bao gồm đơn vị truyền thông 2401 và đơn vị xử lý 2402. Cách khác, đơn vị truyền thông có thể được tham chiếu là đơn vị truyền nhận, hoặc đơn vị truyền thông bao gồm đơn vị nhận và đơn vị gửi. Đơn vị xử lý 2402 được tạo cấu hình để thực hiện xử lý dữ liệu.

Đơn vị truyền thông 2401 được tạo cấu hình để nhận, qua nhiều liên kết, khung dữ liệu được gửi bởi thiết bị đa liên kết thứ nhất. Đơn vị truyền thông 2401 còn được tạo cấu hình để nhận khung yêu cầu báo nhận khối BAR được gửi bởi thiết bị đa liên kết thứ nhất, trong đó khung BAR mang thông tin chỉ báo thứ nhất và thông tin chỉ báo thứ nhất chỉ ra loại khung BA báo nhận khối được yêu cầu. Đơn vị truyền thông 2401 còn được tạo cấu hình để gửi khung BA thứ nhất đến thiết bị đa liên kết thứ nhất, trong đó khung BA thứ nhất là khung BA thuộc loại được chỉ ra bởi thông tin chỉ báo thứ nhất.

Trong triển khai khả thi, thông tin chỉ báo thứ nhất nằm trong trường loại BAR trong khung BAR.

Trong triển khai khả thi, khung BAR còn bao gồm thông tin chỉ báo thứ hai, thông

tin chỉ báo thứ hai chỉ ra một hoặc nhiều liên kết trong nhiều liên kết, và khung BA thứ nhất chỉ ra trạng thái nhận của khung dữ liệu được gửi qua một hoặc nhiều liên kết.

Trong triển khai khả thi, thông tin chỉ báo thứ nhất chỉ ra rằng loại khung báo nhận khỏi BA được yêu cầu là khung BA đa liên kết, và khoảng thời gian giữa thời điểm kết thúc truyền của các khung dữ liệu và thời điểm bắt đầu truyền của khung BAR là lớn hơn hoặc bằng khoảng thời gian đặt trước.

Trong triển khai khả thi, trước khi thiết bị đa liên kết thứ hai nhận, qua nhiều liên kết, khung dữ liệu được gửi bởi thiết bị đa liên kết thứ nhất, thiết bị đa liên kết thứ hai có thể còn gửi cách đáp lại của khung BA tới thiết bị đa liên kết thứ nhất, trong đó cách đáp lại của khung BA là đáp lại trễ hoặc đáp lại ngay lập tức.

Trong triển khai khả thi, khoảng thời gian giữa thời điểm kết thúc truyền của khung BAR và thời điểm bắt đầu truyền của khung BA thứ nhất lớn hơn ngưỡng đặt trước.

Trong triển khai khả thi, có bit đệm phía sau khung BAR, và bit đệm cho phép khoảng thời gian giữa thời điểm kết thúc truyền của khung BAR và thời điểm bắt đầu truyền của khung BA thứ nhất lớn hơn ngưỡng đặt trước.

FIG.24 là sơ đồ cấu trúc của thiết máy thông theo một phương án của sáng chế. Máy truyền thông được thể hiện trên FIG.24 có thể được tạo cấu hình để thực hiện một số hoặc tất cả các chức năng của thiết bị đa liên kết thứ nhất trong phương án phương pháp được mô tả trên FIG.14. Máy có thể là thiết bị đa liên kết thứ nhất, hoặc máy trong thiết bị đa liên kết thứ nhất, hoặc máy có thể được sử dụng phù hợp với thiết bị đa liên kết thứ nhất. Cách khác, máy truyền thông có thể là hệ thống chip. Máy truyền thông được thể hiện trên FIG.24 có thể bao gồm đơn vị truyền thông 2401 và đơn vị xử lý 2402. Cách khác, đơn vị truyền thông có thể được tham chiếu là đơn vị truyền nhận, hoặc đơn vị truyền thông bao gồm đơn vị nhận và đơn vị gửi. Đơn vị xử lý 2402 được tạo cấu hình để thực hiện xử lý dữ liệu.

Đơn vị truyền thông 2401 được tạo cấu hình để gửi các khung dữ liệu đến thiết bị đa liên kết thứ hai qua liên kết thứ nhất và liên kết thứ hai, trong đó thời điểm kết thúc truyền của PPDU mà khung dữ liệu được truyền qua liên kết thứ nhất nằm trong đó

giống như thời điểm kết thúc truyền của PPDU mà khung dữ liệu được truyền qua liên kết thứ hai nằm trong đó. Đơn vị truyền thông 2401 còn được tạo cấu hình để gửi khung yêu cầu báo nhận khối BAR tới thiết bị đa liên kết thứ hai qua liên kết thứ nhất và/hoặc liên kết thứ hai. Đơn vị truyền thông 2401 còn được tạo cấu hình để nhận khung BA qua liên kết thứ nhất và/hoặc liên kết thứ hai.

Trong triển khai khả thi, có bit đệm phía sau khung dữ liệu được truyền qua liên kết thứ nhất, và bit đệm cho phép thời điểm kết thúc truyền của PPDU mà khung dữ liệu được truyền qua liên kết thứ nhất nằm trong đó giống với thời điểm kết thúc truyền của PPDU mà khung dữ liệu được truyền qua liên kết thứ hai nằm trong đó.

FIG.24 là sơ đồ cấu trúc của máy truyền thông theo một phương án của sáng chế. Máy truyền thông được thể hiện trên FIG.24 có thể được tạo cấu hình để thực hiện một số hoặc tất cả các chức năng của thiết bị đa liên kết thứ hai theo phương án phương pháp được mô tả trên FIG.14. Máy có thể là thiết bị đa liên kết thứ hai, hoặc máy trong thiết bị đa liên kết thứ hai, hoặc máy có thể được sử dụng với thiết bị đa liên kết thứ hai. Cách khác, máy truyền thông có thể là hệ thống chip. Máy truyền thông được thể hiện trên FIG.24 có thể bao gồm đơn vị truyền thông 2401 và đơn vị xử lý 2402. Cách khác, đơn vị truyền thông có thể được tham chiếu là đơn vị truyền nhận, hoặc đơn vị truyền thông bao gồm đơn vị nhận và đơn vị gửi. Đơn vị xử lý 2402 được tạo cấu hình để thực hiện xử lý dữ liệu.

Đơn vị truyền thông 2401 được tạo cấu hình để nhận, qua liên kết thứ nhất và liên kết thứ hai, các khung dữ liệu được gửi bởi thiết bị đa liên kết thứ nhất, trong đó thời điểm kết thúc truyền của PPDU mà khung dữ liệu được truyền qua liên kết thứ nhất nằm trong đó là giống như thời điểm kết thúc truyền của PPDU mà khung dữ liệu được truyền qua liên kết thứ hai nằm trong đó. Đơn vị truyền thông 2401 được tạo cấu hình để nhận, qua liên kết thứ nhất và/hoặc liên kết thứ hai, khung yêu cầu báo nhận khối BAR được gửi bởi thiết bị đa liên kết thứ nhất. Đơn vị truyền thông 2401 được tạo cấu hình để gửi khung BA đến thiết bị đa liên kết thứ nhất qua liên kết thứ nhất và/hoặc liên kết thứ hai.

Trong triển khai khả thi, có bit đệm phía sau khung dữ liệu được truyền qua liên kết thứ nhất, và bit đệm cho phép thời điểm kết thúc truyền của PPDU mà khung dữ liệu

được truyền qua liên kết thứ nhất nằm trong đó giống với thời điểm kết thúc truyền của PPDU mà khung dữ liệu được truyền qua liên kết thứ hai nằm trong đó.

FIG.25a chỉ ra máy truyền thông 250 theo một phương án của sáng chế. Máy truyền thông 250 được tạo cấu hình để triển khai các chức năng của thiết bị đa liên kết thứ nhất theo các phương án phương pháp được mô tả trên FIG.4, FIG.8, FIG.9, hoặc FIG.14; hoặc được tạo cấu hình để triển khai các chức năng của thiết bị đa liên kết thứ hai theo các phương án phương pháp được mô tả trên FIG.4, FIG.8, FIG.9 hoặc FIG.14. Máy có thể là thiết bị đa liên kết thứ nhất hoặc thiết bị đa liên kết thứ hai, hoặc máy có thể là máy được sử dụng trong thiết bị đa liên kết thứ nhất hoặc máy được sử dụng trong thiết bị đa liên kết thứ hai. Máy được sử dụng trong thiết bị đa liên kết thứ nhất hoặc thiết bị đa liên kết thứ hai có thể là hệ thống chip hoặc chip trong thiết bị đa liên kết thứ nhất hoặc thiết bị đa liên kết thứ hai. Hệ thống chip có thể bao gồm chip, hoặc có thể bao gồm chip và thành phần rời rạc khác.

Máy truyền thông 250 bao gồm ít nhất một bộ xử lý 2525, được tạo cấu hình để triển khai chức năng xử lý dữ liệu của thiết bị đa liên kết thứ nhất hoặc thiết bị đa liên kết thứ hai của sáng chế.

Máy 250 có thể còn bao gồm giao diện truyền thông 2510, được tạo cấu hình để triển khai các hoạt động gửi và nhận của thiết bị đa liên kết thứ nhất hoặc thiết bị đa liên kết thứ hai trong sáng chế. Theo phương án của sáng chế, giao diện truyền thông có thể là bộ truyền nhận, mạch điện, bus, mô-đun, hoặc giao diện truyền thông thuộc loại khác, và được tạo cấu hình để truyền thông với thiết bị khác thông qua phương tiện truyền. Ví dụ, giao diện truyền thông 2510 được sử dụng bởi máy trong máy 250 để truyền thông với thiết bị khác. Bộ xử lý 2525 nhận và gửi dữ liệu qua giao diện truyền thông 2510, và được tạo cấu hình để triển khai các phương pháp trong các phương án ở trên.

Máy 250 còn có thể bao gồm ít nhất một bộ nhớ 2530, được tạo cấu hình để lưu trữ các lệnh chương trình và/hoặc dữ liệu. Bộ nhớ 2530 được ghép nối với bộ xử lý 2525. Ghép nối trong phương án này của sáng chế là ghép nối gián tiếp hoặc kết nối truyền thông giữa các máy, đơn vị, hoặc mô-đun, và có thể ở dạng điện, cơ, hoặc dạng khác, và được sử dụng để cung cấp thông tin trao đổi giữa các máy, đơn vị, hoặc mô-đun. Bộ xử

lý 2525 có thể hoạt động cộng tác với bộ nhớ 2530. Bộ xử lý 2525 có thể thực hiện các lệnh chương trình được lưu trong bộ nhớ 2530. Ít nhất một trong số ít nhất một bộ nhớ có thể được bao gồm trong bộ xử lý.

Phương tiện kết nối cụ thể giữa giao diện truyền thông 2510, bộ xử lý 2525, và bộ nhớ 2530 không bị giới hạn trong phương án của sáng chế. Theo phương án của sáng chế, bộ nhớ 2530, bộ xử lý 2525, và giao diện truyền thông 2510 được kết nối thông qua bus 2540 trên FIG.25a. Bus được biểu diễn bằng cách sử dụng đường in đậm trên FIG.25a. Cách kết nối giữa các thành phần khác chỉ là ví dụ để mô tả, và không bị giới hạn ở đó. Bus có thể được phân loại thành bus địa chỉ, bus dữ liệu, bus điều khiển, hoặc tương tự. Để dễ biểu diễn, chỉ một đường dày được sử dụng để biểu diễn bus trên FIG.25a, nhưng điều này không có nghĩa là chỉ có một bus hoặc chỉ một loại bus.

Khi máy 250 cụ thể là máy được sử dụng cho thiết bị đa liên kết thứ nhất hoặc thiết bị đa liên kết thứ hai, ví dụ, khi máy 250 cụ thể là chip hoặc hệ thống chip, thì giao diện truyền thông 2510 có thể xuất ra hoặc nhận tín hiệu bằng tần cơ sở. Khi máy 250 cụ thể là thiết bị đa liên kết thứ nhất hoặc thiết bị đa liên kết thứ hai, giao diện truyền thông 2510 có thể xuất hoặc nhận tín hiệu tần số vô tuyến. Theo các phương án của sáng chế, bộ xử lý có thể là bộ xử lý đa năng, bộ xử lý tín hiệu kỹ thuật số, mạch tích hợp dành riêng cho ứng dụng, mảng cổng có thể lập trình trường, hoặc thiết bị logic có thể lập trình khác, cổng rời hoặc thiết bị logic tranzito, hoặc thành phần phần cứng rời rạc, và có thể triển khai hoặc thực hiện các phương pháp, các bước, và sơ đồ khối logic được bộc lộ trong các phương án của sáng chế. Bộ xử lý đa năng có thể là bộ vi xử lý, bất kỳ bộ xử lý thông thường nào, hoặc tương tự. Các bước của các phương pháp được bộc lộ có tham chiếu đến các phương án của sáng chế có thể được thực hiện trực tiếp bởi bộ xử lý phần cứng, hoặc có thể được thực hiện bằng cách sử dụng kết hợp phần cứng trong bộ xử lý và mô-đun phần mềm.

Trong một ví dụ, FIG.25b là một sơ đồ cấu trúc của máy truyền thông 2500 khác theo một phương án của sáng chế. Máy có thể là thiết bị đa liên kết thứ nhất hoặc thiết bị đa liên kết thứ hai. Máy truyền thông có thể thực hiện các hoạt động của thiết bị đa liên kết thứ nhất hoặc thiết bị đa liên kết thứ hai theo phương án phương pháp được mô

tả trên FIG.4, FIG.8, FIG.9, hoặc FIG.14.

Để dễ mô tả, FIG.25b chỉ thể hiện các thành phần chính của máy truyền thông. Như được minh họa trên Fig.25b, máy truyền thông 2500 bao gồm bộ xử lý, bộ nhớ, mạch tần số vô tuyến, ăng-ten, và máy đầu vào/đầu ra. Bộ xử lý chủ yếu được tạo cấu hình để: xử lý giao thức truyền thông và dữ liệu truyền thông, và điều khiển toàn bộ trạm, thực thi chương trình phần mềm, và xử lý dữ liệu của chương trình phần mềm. Ví dụ, bộ xử lý được tạo cấu hình để hỗ trợ máy truyền thông trong việc thực hiện các hoạt động được thực hiện bởi thiết bị đa liên kết thứ nhất hoặc thiết bị đa liên kết thứ hai trong luồng được mô tả trên FIG.4, FIG.8, FIG.9 hoặc FIG.14. Bộ nhớ được tạo cấu hình để lưu trữ chương trình phần mềm và dữ liệu. Mạch tần số vô tuyến chủ yếu được tạo cấu hình để thực hiện chuyển đổi giữa tín hiệu băng tần cơ sở và tín hiệu tần số vô tuyến, và xử lý tín hiệu tần số vô tuyến. Ăng-ten chủ yếu được tạo cấu hình để gửi và nhận tín hiệu tần số vô tuyến dưới dạng sóng điện từ. Máy truyền thông 2500 có thể còn bao gồm máy đầu vào/đầu ra, ví dụ, màn hình cảm ứng, màn hình hiển thị, hoặc bàn phím được tạo cấu hình chủ yếu để nhận dữ liệu do người dùng nhập và xuất dữ liệu cho người dùng. Cần lưu ý rằng một số loại trạm có thể không có máy đầu vào/đầu ra.

Sau khi trạm được bật nguồn, bộ xử lý có thể đọc chương trình phần mềm trong bộ lưu trữ, phân tích cú pháp và thực thi các lệnh của chương trình phần mềm, và xử lý dữ liệu của chương trình phần mềm. Khi dữ liệu cần được gửi không dây, sau khi thực hiện xử lý băng tần cơ sở trên dữ liệu cần được gửi, bộ xử lý xuất tín hiệu băng tần cơ sở tới mạch tần số vô tuyến. Sau khi thực hiện xử lý tần số vô tuyến trên tín hiệu băng tần cơ sở, mạch tần số vô tuyến sẽ gửi tín hiệu tần số vô tuyến dưới dạng sóng điện từ qua ăng-ten. Khi dữ liệu được gửi đến trạm, mạch tần số vô tuyến nhận tín hiệu tần số vô tuyến thông qua ăng-ten, chuyển đổi tín hiệu tần số vô tuyến thành tín hiệu băng tần cơ sở, và xuất tín hiệu băng tần cơ sở đến bộ xử lý. Bộ xử lý chuyển đổi tín hiệu băng tần cơ sở thành dữ liệu và xử lý dữ liệu.

Người có hiểu biết trung bình trong lĩnh vực này có thể hiểu rằng để dễ mô tả, FIG.25b chỉ thể hiện bộ nhớ và bộ xử lý. Trạm thực tế có thể bao gồm nhiều bộ xử lý và bộ nhớ. Bộ nhớ cũng có thể được tham chiếu là phương tiện lưu trữ, thiết bị lưu trữ,

hoặc tương tự. Điều này không bị giới hạn trong các phương án của sáng chế.

Trong một triển khai tùy chọn, bộ xử lý có thể bao gồm bộ xử lý băng tần cơ sở và đơn vị xử lý trung tâm (central processing unit, CPU). Bộ xử lý băng tần cơ sở chủ yếu được tạo cấu hình để xử lý giao thức truyền thông và dữ liệu truyền thông. CPU chủ yếu được tạo cấu hình để: điều khiển toàn bộ trạm, thực thi chương trình phần mềm, và xử lý dữ liệu của chương trình phần mềm. Theo tùy chọn, bộ xử lý có thể theo cách khác là bộ xử lý mạng (network processor, NP) hoặc kết hợp giữa CPU và NP. Bộ xử lý có thể còn bao gồm một chip phần cứng. Chip phần cứng có thể là mạch tích hợp dành riêng cho ứng dụng (application-specific integrated circuit, ASIC), thiết bị logic có thể lập trình được (programmable logic device, PLD), hoặc kết hợp của chúng. PLD có thể là thiết bị logic lập trình phức tạp (complex programmable logic device, CPLD), mảng cổng lập trình trường (field-programmable gate array, FPGA), logic mảng chung (generic array logic, GAL), hoặc bất kỳ sự kết hợp nào của chúng. Bộ nhớ có thể bao gồm bộ nhớ khả biến (volatile memory), ví dụ, bộ nhớ truy cập ngẫu nhiên (random access memory, RAM). Cách khác, bộ nhớ có thể bao gồm bộ nhớ không khả biến (non-volatile memory), ví dụ, bộ nhớ flash (flash memory), ổ đĩa cứng (hard disk drive, HDD), hoặc ổ đĩa trạng thái rắn (solid-state drive, SSD). Cách khác, bộ nhớ có thể bao gồm sự kết hợp của các loại bộ nhớ đã nói ở trên.

Ví dụ, trong phương án của sáng chế, như được thể hiện trên FIG.25b, ăng-ten và mạch tần số vô tuyến có chức năng nhận và gửi có thể được coi là đơn vị truyền thông 2501 của trạm 2500, và bộ xử lý có chức năng xử lý có thể được coi là đơn vị xử lý 2502 của trạm 2500.

Máy truyền thông 2501 cũng có thể được tham chiếu là bộ truyền nhận, bộ máy truyền nhận, máy truyền nhận, đơn vị truyền nhận, hoặc tương tự, và được tạo cấu hình để triển khai các chức năng gửi và nhận. Theo tùy chọn, thành phần nằm trong đơn vị truyền thông 2501 và được tạo cấu hình để triển khai chức năng nhận có thể được coi là đơn vị nhận, và thành phần nằm trong đơn vị truyền thông 2501 và được tạo cấu hình để triển khai chức năng gửi có thể được coi là đơn vị gửi. Tức là, đơn vị truyền thông 2501 bao gồm đơn vị nhận và đơn vị gửi. Ví dụ, đơn vị nhận cũng có thể được tham

chiều là bộ máy nhận, bộ nhận, mạch nhận, hoặc tương tự. Đơn vị gửi có thể được tham chiếu là máy truyền, bộ truyền, mạch truyền, hoặc tương tự.

Theo một số phương án, đơn vị truyền thông 2501 và đơn vị xử lý 2502 có thể được tích hợp thành một thành phần, hoặc có thể được tách biệt thành các thành phần khác nhau. Ngoài ra, bộ xử lý và bộ nhớ có thể được tích hợp vào một thành phần, hoặc có thể được tách biệt thành các thành phần khác nhau.

Máy truyền thông 2501 có thể được tạo cấu hình để thực hiện các hoạt động gửi và nhận của thiết bị đa liên kết thứ nhất hoặc thiết bị đa liên kết thứ hai trong các phương án phương pháp nêu trên. Đơn vị xử lý 2502 có thể được tạo cấu hình để thực hiện thao tác xử lý dữ liệu của thiết bị đa liên kết thứ nhất hoặc thiết bị đa liên kết thứ hai theo các phương án phương pháp nêu trên.

Một phương án của sáng chế còn đề xuất phương tiện lưu trữ đọc được bằng máy tính. Phương tiện lưu trữ đọc được bằng máy tính lưu trữ các lệnh. Khi chạy trên bộ xử lý, các lệnh được sử dụng để thực hiện phương pháp được thực hiện bởi thiết bị đa liên kết thứ nhất trong các phương án phương pháp nêu trên.

Một phương án của sáng chế còn đề xuất một phương tiện lưu trữ đọc được bằng máy tính. Phương tiện lưu trữ đọc được bằng máy tính lưu trữ các lệnh. Khi chạy trên bộ xử lý, các lệnh được sử dụng để thực hiện phương pháp được thực hiện bởi thiết bị đa liên kết thứ hai trong các phương án phương pháp nêu trên.

Một phương án của sáng chế còn đề xuất sản phẩm chương trình máy tính. Khi chạy trên bộ xử lý, sản phẩm chương trình máy tính được sử dụng để thực hiện phương pháp được thực hiện bởi thiết bị đa liên kết thứ nhất trong các phương án phương pháp nêu trên.

Một phương án của sáng chế còn đề xuất sản phẩm chương trình máy tính. Khi chạy trên bộ xử lý, sản phẩm chương trình máy tính được sử dụng để thực hiện phương pháp được thực hiện bởi thiết bị đa liên kết thứ hai trong các phương án phương pháp nêu trên.

Dựa trên cùng một ý tưởng sáng tạo, nguyên tắc giải quyết vấn đề của máy được cung cấp trong phương án của sáng chế tương tự như nguyên tắc của các phương án trong sáng chế. Vì vậy, để triển khai máy, hãy tham khảo việc triển khai các phương pháp. Để mô tả vắn tắt, chi tiết không được mô tả lại ở đây.

Cần lưu ý rằng, để mô tả vắn tắt, mỗi phương án phương pháp nêu trên được biểu diễn dưới dạng sự kết hợp của một loạt các hành động. Tuy nhiên, người có hiểu biết trung bình trong lĩnh vực này nên đánh giá cao rằng sáng chế không giới hạn thứ tự được mô tả của các hành động, bởi vì theo sáng chế, một số bước có thể được thực hiện theo thứ tự khác hoặc đồng thời. Người có hiểu biết trung bình trong lĩnh vực còn nên biết rằng các phương án được mô tả trong sáng chế này là tất cả các phương án ví dụ, và các hành động và mô-đun liên quan không nhất thiết phải được sáng chế yêu cầu.

Tham chiếu chéo có thể được thực hiện cho các phần mô tả của các phương án được đề xuất trong sáng chế, và các phần mô tả của các phương án có các trọng tâm khác nhau. Đối với phần không được mô tả chi tiết trong một phương án, hãy tham khảo các mô tả liên quan của một phương án khác. Để mô tả dễ dàng và vắn tắt, ví dụ, đối với các chức năng và các bước đã thực hiện của máy và thiết bị được đề xuất trong các phương án của sáng chế, hãy tham khảo các mô tả liên quan về các phương án phương pháp của sáng chế. Các phương án phương pháp và các phương án máy cũng có thể được tham chiếu, kết hợp, hoặc được trích dẫn cho nhau.

Cuối cùng, cần lưu ý rằng các phương án nêu trên chỉ nhằm mục đích mô tả các giải pháp kỹ thuật của sáng chế mà không phải là giới hạn sáng chế. Mặc dù sáng chế được mô tả chi tiết liên quan đến các phương án nêu trên, nhưng những người có hiểu biết trung bình trong lĩnh vực tương ứng cần hiểu rằng họ vẫn có thể tạo các sửa đổi đối với các giải pháp kỹ thuật được mô tả trong các phương án trên hoặc tạo các thay thế tương đương cho một số hoặc tất cả các dấu hiệu kỹ thuật của chúng, mà không lệch khỏi phạm vi của các giải pháp kỹ thuật theo các phương án của sáng chế.

YÊU CẦU BẢO HỘ

1. Phương pháp xác định trạng thái nhận của khung dữ liệu, trong đó phương pháp này bao gồm các bước:

gửi, bởi thiết bị đa liên kết thứ nhất, các khung dữ liệu đến thiết bị đa liên kết thứ hai qua nhiều liên kết;

nhận, bởi thiết bị đa liên kết thứ nhất qua liên kết thứ nhất trong nhiều liên kết, khung báo nhận khối (block acknowledgment, BA) được gửi bởi thiết bị đa liên kết thứ hai, trong đó khung BA mang ánh xạ bit, và ánh xạ bit chỉ ra trạng thái nhận của khung dữ liệu được truyền qua liên kết thứ nhất và chỉ ra trạng thái nhận của khung dữ liệu được truyền qua liên kết thứ hai trong nhiều liên kết; trong đó khung BA bao gồm số trình tự bắt đầu của khung dữ liệu mà trạng thái nhận của nó được phản hồi, số trình tự bắt đầu nhỏ hơn hoặc bằng số trình tự thứ nhất, và số trình tự thứ nhất là giá trị nhỏ nhất của các số trình tự của các khung dữ liệu mà không được báo nhận là được nhận; và

nếu độ trễ giữa thời điểm thứ hai và thời điểm thứ nhất lớn hơn hoặc bằng ngưỡng thứ nhất, thì xác định, bởi thiết bị đa liên kết thứ nhất, rằng trạng thái nhận của khung dữ liệu tương ứng với bit thứ nhất là lỗi nhận, trong đó thời điểm thứ nhất là thời điểm truyền của khung dữ liệu tương ứng với bit thứ nhất, và thời điểm thứ hai là thời điểm nhận của khung BA; và bit thứ nhất là bit mà ở trong ánh xạ bit và tương ứng với khung dữ liệu được truyền qua liên kết thứ hai, và giá trị của bit thứ nhất là giá trị thứ nhất, giá trị thứ nhất chỉ ra rằng khung dữ liệu tương ứng với bit thứ nhất không được nhận thành công, hoặc chỉ ra rằng trạng thái nhận của khung dữ liệu tương ứng với bit thứ nhất không được thu nhận.

2. Phương pháp theo điểm 1, trong đó $T = t_2 - t_1$, $T = t_2 - t_1 - t_3$, hoặc $T = t_2 - t_1 - 2 * t_3$, trong đó T là độ trễ giữa thời điểm thứ hai và thời điểm thứ nhất, t_2 là thời điểm thứ hai, t_1 là thời điểm thứ nhất, và t_3 là độ trễ lan truyền giữa thiết bị đa liên kết thứ nhất và thiết bị đa liên kết thứ hai.

3. Phương pháp theo điểm 1 hoặc 2, trong đó trước bước gửi, bởi thiết bị đa liên kết thứ nhất, các khung dữ liệu đến thiết bị đa liên kết thứ hai qua nhiều liên kết, phương pháp

này còn bao gồm bước:

nhận, bởi thiết bị đa liên kết thứ nhất, thông tin thứ nhất được gửi bởi thiết bị đa liên kết thứ hai, trong đó thông tin thứ nhất mang ngưỡng thứ nhất.

4. Phương pháp theo điểm 3, trong đó thông tin thứ nhất bao gồm nhiều ngưỡng thứ nhất, và mỗi ngưỡng trong số nhiều ngưỡng thứ nhất này tương ứng với một liên kết.

5. Phương pháp theo điểm 1 hoặc 2, trong đó trước bước gửi, bởi thiết bị đa liên kết thứ nhất, các khung dữ liệu đến thiết bị đa liên kết thứ hai qua nhiều liên kết, phương pháp này còn bao gồm bước:

nhận, bởi thiết bị đa liên kết thứ nhất, thông tin chỉ báo được gửi bởi thiết bị đa liên kết thứ hai, trong đó thông tin chỉ báo chỉ ra liệu trạm trên liên kết thứ nhất trong thiết bị đa liên kết thứ hai có thể xác định, trong khoảng thời gian của ngưỡng thứ nhất sau khi thiết bị đa liên kết thứ hai nhận dữ liệu khung qua liên kết thứ hai, trạng thái nhận của khung dữ liệu được nhận qua liên kết thứ hai hay không.

6. Phương pháp theo điểm 1 hoặc 2, trong đó thời điểm truyền của khung dữ liệu tương ứng với bit thứ nhất là thời điểm kết thúc truyền của đơn vị dữ liệu giao thức liên kết xuống (PPDU) mà khung dữ liệu được định vị trong đó, hoặc thời điểm truyền của khung dữ liệu tương ứng với bit thứ nhất là thời điểm kết thúc truyền của ký hiệu mà bit cuối cùng của khung dữ liệu được định vị trong đó.

7. Phương pháp theo điểm 1 hoặc 2, trong đó phương pháp này còn bao gồm bước:

nếu độ trễ giữa thời điểm thứ hai và thời điểm thứ nhất lớn hơn ngưỡng thứ hai, và độ trễ giữa thời điểm thứ hai và thời điểm thứ nhất nhỏ hơn ngưỡng thứ nhất, thì gửi, bởi thiết bị đa liên kết thứ nhất, khung yêu cầu báo nhận khối (BAR) hoặc khung dữ liệu đến thiết bị đa liên kết thứ hai trước khi truyền lại khung dữ liệu tương ứng với bit thứ nhất.

8. Phương pháp xác định trạng thái nhận của khung dữ liệu, trong đó phương pháp này bao gồm các bước:

gửi, bởi thiết bị đa liên kết thứ nhất, các khung dữ liệu đến thiết bị đa liên kết thứ hai qua nhiều liên kết;

nhận, bởi thiết bị đa liên kết thứ nhất qua liên kết thứ nhất trong nhiều liên kết, khung báo nhận khối (block acknowledgment, BA) được gửi bởi thiết bị đa liên kết thứ hai, trong đó khung BA mang ánh xạ bit, và ánh xạ bit chỉ ra trạng thái nhận của khung dữ liệu được truyền qua liên kết thứ nhất và trạng thái nhận của khung dữ liệu được truyền qua liên kết thứ hai trong nhiều liên kết; trong đó khung BA bao gồm số trình tự bắt đầu của khung dữ liệu mà trạng thái nhận của nó được phản hồi, số trình tự bắt đầu nhỏ hơn hoặc bằng số trình tự thứ nhất, và số trình tự thứ nhất là giá trị nhỏ nhất của các số trình tự của các khung dữ liệu mà không được báo nhận là được nhận;

xác định, bởi thiết bị đa liên kết thứ nhất, khung dữ liệu thứ nhất được gửi qua liên kết thứ hai, trong đó khung dữ liệu thứ nhất là khung dữ liệu mà thời điểm truyền là thời điểm cuối cùng trong tập khung dữ liệu, và tập khung dữ liệu bao gồm khung dữ liệu mà được gửi qua liên kết thứ hai và đã được nhận chính xác; và

xác định, bởi thiết bị đa liên kết thứ nhất, rằng trạng thái nhận của khung dữ liệu thứ hai là lỗi nhận, trong đó khung dữ liệu thứ hai là khung dữ liệu được gửi qua liên kết thứ hai trước khung dữ liệu thứ nhất, và giá trị bit tương ứng với khung dữ liệu thứ hai trong ánh xạ bit là giá trị thứ nhất, giá trị thứ nhất chỉ ra rằng khung dữ liệu tương ứng với bit thứ nhất không được nhận thành công, hoặc chỉ ra rằng trạng thái nhận của khung dữ liệu tương ứng với bit thứ nhất không được thu nhận.

9. Phương pháp theo điểm 8, trong đó phương pháp này còn bao gồm bước:

trước khi truyền lại khung dữ liệu thứ ba, gửi khung yêu cầu báo nhận khối (BAR) hoặc khung dữ liệu đến thiết bị đa liên kết thứ hai, trong đó giá trị bit tương ứng với khung dữ liệu thứ ba trong ánh xạ bit là giá trị thứ nhất, và khung dữ liệu thứ ba là khung dữ liệu được gửi qua liên kết thứ hai sau khung dữ liệu thứ nhất.

10. Phương pháp theo điểm 8 hoặc 9, trong đó tập khung dữ liệu bao gồm các khung dữ liệu mà được gửi qua nhiều liên kết thứ hai và đã được nhận chính xác bởi thiết bị liên kết thứ hai.

11. Thiết bị đa liên kết thứ nhất, trong đó thiết bị đa liên kết thứ nhất bao gồm:

đơn vị truyền thông, được tạo cấu hình để gửi các khung dữ liệu đến thiết bị đa liên kết thứ hai qua nhiều liên kết, trong đó:

đơn vị truyền thông còn được tạo cấu hình để nhận, qua liên kết thứ nhất trong nhiều liên kết, khung báo nhận khối (BA) được gửi bởi thiết bị đa liên kết thứ hai, trong đó khung BA mang ánh xạ bit, và ánh xạ bit chỉ ra trạng thái nhận của khung dữ liệu được truyền qua liên kết thứ nhất và chỉ ra trạng thái nhận của khung dữ liệu được truyền qua liên kết thứ hai trong nhiều liên kết; trong đó khung BA bao gồm số trình tự bắt đầu của khung dữ liệu mà trạng thái nhận của nó được phản hồi, số trình tự bắt đầu nhỏ hơn hoặc bằng số trình tự thứ nhất, và số trình tự thứ nhất là giá trị nhỏ nhất của các số trình tự của các khung dữ liệu mà không được báo nhận là được nhận; và

đơn vị xử lý, nếu độ trễ giữa thời điểm thứ hai và thời điểm thứ nhất lớn hơn hoặc bằng ngưỡng thứ nhất, được tạo cấu hình để xác định rằng trạng thái nhận của khung dữ liệu tương ứng với bit thứ nhất là lỗi nhận, dựa trên thời điểm thứ nhất và thời điểm thứ hai, trạng thái nhận của khung dữ liệu tương ứng với bit thứ nhất, trong đó thời điểm thứ nhất là thời điểm truyền của khung dữ liệu tương ứng với bit thứ nhất, và thời điểm thứ hai là thời điểm nhận của khung BA; và bit thứ nhất là bit mà ở trong ánh xạ bit và tương ứng với khung dữ liệu được truyền qua liên kết thứ hai, và giá trị của bit thứ nhất là giá trị thứ nhất, giá trị thứ nhất chỉ ra rằng khung dữ liệu tương ứng với bit thứ nhất không được nhận thành công, hoặc chỉ ra rằng trạng thái nhận của khung dữ liệu tương ứng với bit thứ nhất không được thu nhận.

12. Thiết bị đa liên kết thứ nhất theo điểm 11, trong đó $T = t_2 - t_1$, $T = t_2 - t_1 - t_3$, hoặc $T = t_2 - t_1 - 2 * t_3$, trong đó T là độ trễ giữa thời điểm thứ hai và thời điểm thứ nhất, t_2 là thời điểm thứ hai, t_1 là thời điểm thứ nhất, và t_3 là độ trễ lan truyền giữa thiết bị đa liên kết thứ nhất và thiết bị đa liên kết thứ hai.

13. Thiết bị đa liên kết thứ nhất theo điểm 11 hoặc 12, trong đó:

đơn vị truyền thông còn được tạo cấu hình để: trước khi gửi các khung dữ liệu đến thiết bị đa liên kết thứ hai qua nhiều liên kết, nhận thông tin thứ nhất được gửi bởi thiết

bị đa liên kết thứ hai, trong đó thông tin thứ nhất mang ngưỡng thứ nhất.

14. Thiết bị đa liên kết thứ nhất theo điểm 13, trong đó thông tin thứ nhất bao gồm nhiều ngưỡng thứ nhất, và mỗi ngưỡng trong số nhiều ngưỡng thứ nhất này tương ứng với một liên kết.

15. Thiết bị đa liên kết thứ nhất theo điểm 11 hoặc 12, trong đó:

đơn vị truyền thông còn được tạo cấu hình để: trước khi gửi các khung dữ liệu đến thiết bị đa liên kết thứ hai qua nhiều liên kết, nhận thông tin chỉ báo được gửi bởi thiết bị đa liên kết thứ hai, trong đó thông tin chỉ báo chỉ ra liệu thiết bị đa liên kết thứ hai có thể xác định, trong khoảng thời gian của ngưỡng thứ nhất, trạng thái nhận của khung dữ liệu được nhận qua liên kết thứ hai hay không.

16. Thiết bị đa liên kết thứ nhất theo điểm 11 hoặc 12, trong đó thời điểm truyền của khung dữ liệu tương ứng với bit thứ nhất là thời điểm kết thúc truyền của đơn vị dữ liệu giao thức liên kết xuống (PPDU) mà khung dữ liệu được định vị trong đó, hoặc thời điểm truyền của khung dữ liệu tương ứng với bit thứ nhất là thời điểm kết thúc truyền của ký hiệu mà bit cuối cùng của khung dữ liệu được định vị trong đó.

17. Thiết bị đa liên kết thứ nhất theo điểm 11 hoặc 12, trong đó:

đơn vị truyền thông còn được tạo cấu hình để: nếu độ trễ giữa thời điểm thứ hai và thời điểm thứ nhất lớn hơn ngưỡng thứ hai, và độ trễ giữa thời điểm thứ hai và thời điểm thứ nhất nhỏ hơn ngưỡng thứ nhất, thì gửi khung yêu cầu báo nhận khối (BAR) hoặc khung dữ liệu đến thiết bị đa liên kết thứ hai trước khi truyền lại khung dữ liệu tương ứng với bit thứ nhất.

18. Thiết bị đa liên kết thứ nhất, trong đó thiết bị đa liên kết thứ nhất bao gồm:

đơn vị truyền thông, được tạo cấu hình để gửi các khung dữ liệu đến thiết bị đa liên kết thứ hai qua nhiều liên kết, trong đó:

đơn vị truyền thông còn được tạo cấu hình để nhận, qua liên kết thứ nhất trong nhiều liên kết, khung báo nhận khối (BA) được gửi bởi thiết bị đa liên kết thứ hai, trong

đó khung BA mang ánh xạ bit, và ánh xạ bit chỉ ra trạng thái nhận của khung dữ liệu được truyền qua liên kết thứ nhất và trạng thái nhận của khung dữ liệu được truyền qua liên kết thứ hai trong nhiều liên kết; trong đó khung BA bao gồm số trình tự bắt đầu của khung dữ liệu mà trạng thái nhận của nó được phản hồi, số trình tự bắt đầu nhỏ hơn hoặc bằng số trình tự thứ nhất, và số trình tự thứ nhất là giá trị nhỏ nhất của các số trình tự của các khung dữ liệu mà không được báo nhận là được nhận; và

đơn vị xử lý, được tạo cấu hình để xác định khung dữ liệu thứ nhất được gửi qua liên kết thứ hai, trong đó khung dữ liệu thứ nhất là khung dữ liệu mà thời điểm truyền là thời điểm cuối cùng trong tập khung dữ liệu, và tập khung dữ liệu bao gồm khung dữ liệu mà được gửi qua liên kết thứ hai và đã được nhận chính xác, trong đó:

đơn vị xử lý còn được tạo cấu hình để xác định rằng trạng thái nhận của khung dữ liệu thứ hai là lỗi nhận, trong đó khung dữ liệu thứ hai là khung dữ liệu được gửi qua liên kết thứ hai trước khung dữ liệu thứ nhất, và giá trị bit tương ứng với khung dữ liệu thứ hai trong ánh xạ bit là giá trị thứ nhất, giá trị thứ nhất chỉ ra rằng khung dữ liệu tương ứng với bit thứ nhất không được nhận thành công, hoặc chỉ ra rằng trạng thái nhận của khung dữ liệu tương ứng với bit thứ nhất không được thu nhận.

19. Thiết bị đa liên kết thứ nhất theo điểm 18, trong đó:

đơn vị truyền thông còn được tạo cấu hình để: trước khi truyền lại khung dữ liệu thứ ba, gửi khung yêu cầu báo nhận khối (BAR) hoặc khung dữ liệu đến thiết bị đa liên kết thứ hai, trong đó giá trị bit tương ứng với khung dữ liệu thứ ba trong ánh xạ bit là giá trị thứ nhất, và khung dữ liệu thứ ba là khung dữ liệu được gửi qua liên kết thứ hai sau khung dữ liệu thứ nhất.

20. Thiết bị đa liên kết thứ nhất theo điểm bất kỳ trong số các điểm từ 18 đến 19, trong đó tập khung dữ liệu bao gồm các khung dữ liệu mà được gửi qua nhiều liên kết thứ hai và đã được nhận chính xác bởi thiết bị liên kết thứ hai.

21. Hệ thống chip, bao gồm ít nhất một bộ xử lý và giao diện truyền thông, trong đó:

bộ xử lý chạy chương trình máy tính để thực hiện phương pháp theo điểm bất kỳ

trong số các điểm từ 1 đến 7.

22. Phương tiện lưu trữ đọc được bằng máy tính, trong đó phương tiện lưu trữ đọc được bằng máy tính được tạo cấu hình để lưu trữ chương trình máy tính; và khi chương trình máy tính được thực thi, phương pháp theo điểm bất kỳ trong số các điểm từ 1 đến 7 được thực hiện.

23. Hệ thống chip, bao gồm ít nhất một bộ xử lý và giao diện truyền thông, trong đó:

bộ xử lý chạy chương trình máy tính để thực hiện phương pháp theo điểm bất kỳ trong số các điểm từ 8 đến 10.

24. Phương tiện lưu trữ đọc được bằng máy tính, trong đó phương tiện lưu trữ đọc được bằng máy tính được tạo cấu hình để lưu trữ chương trình máy tính; và khi chương trình máy tính được thực thi, phương pháp theo điểm bất kỳ trong số các điểm từ 8 đến 10 được thực hiện.

1/19

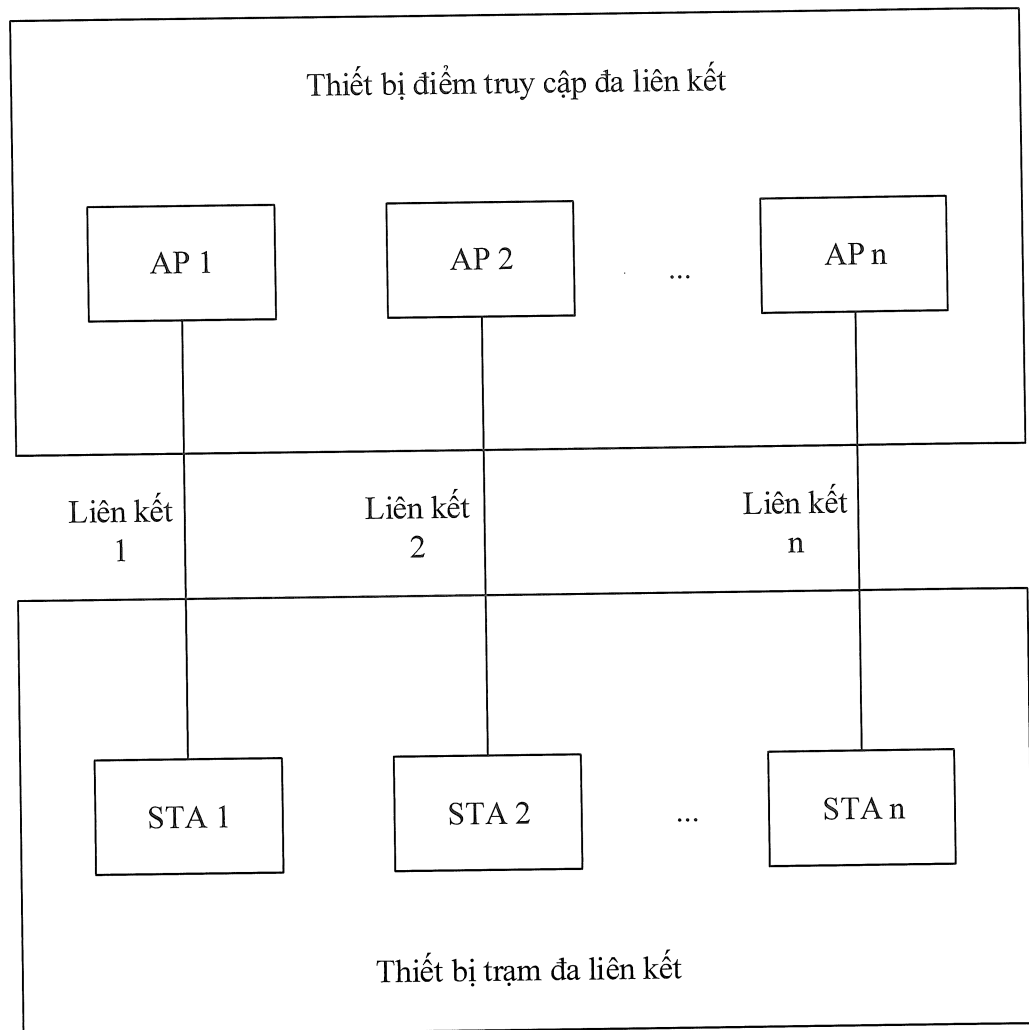


FIG.1

2/19

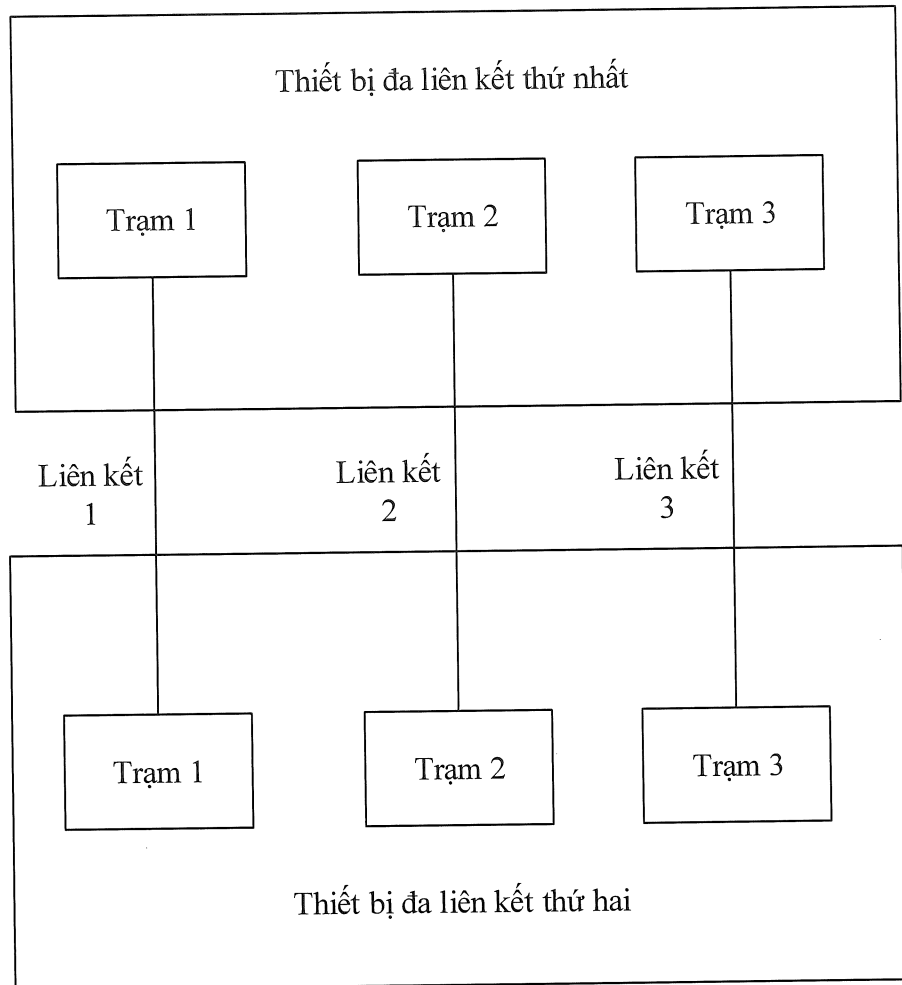


FIG.2

3/19

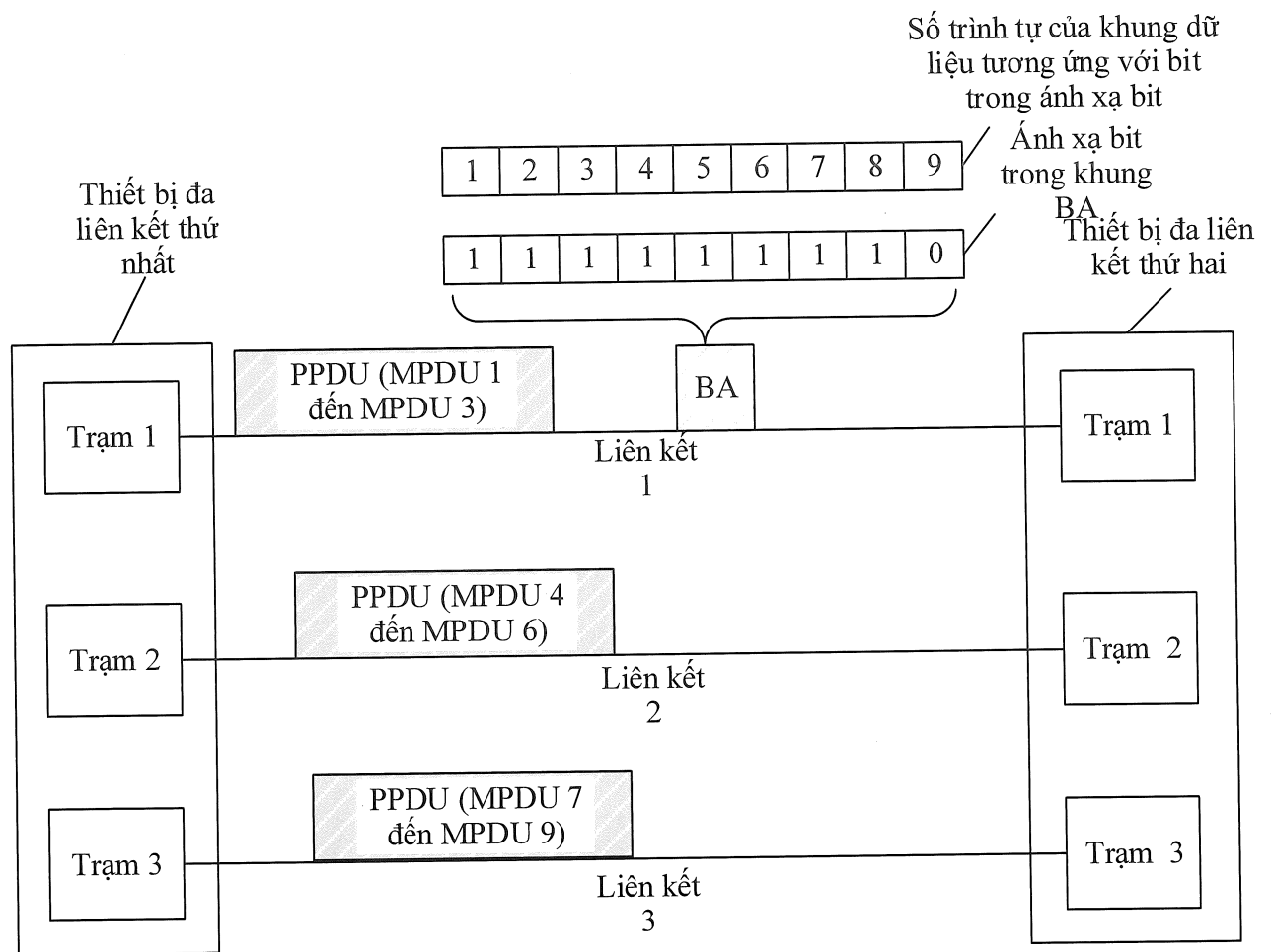


FIG.3

4/19

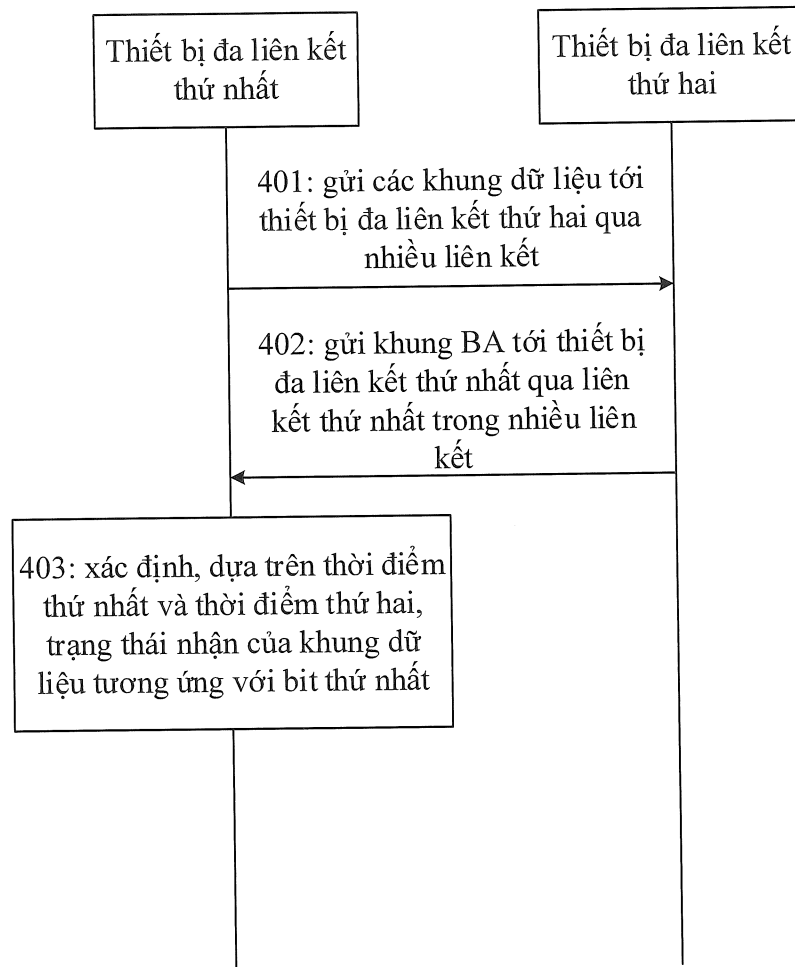


FIG.4

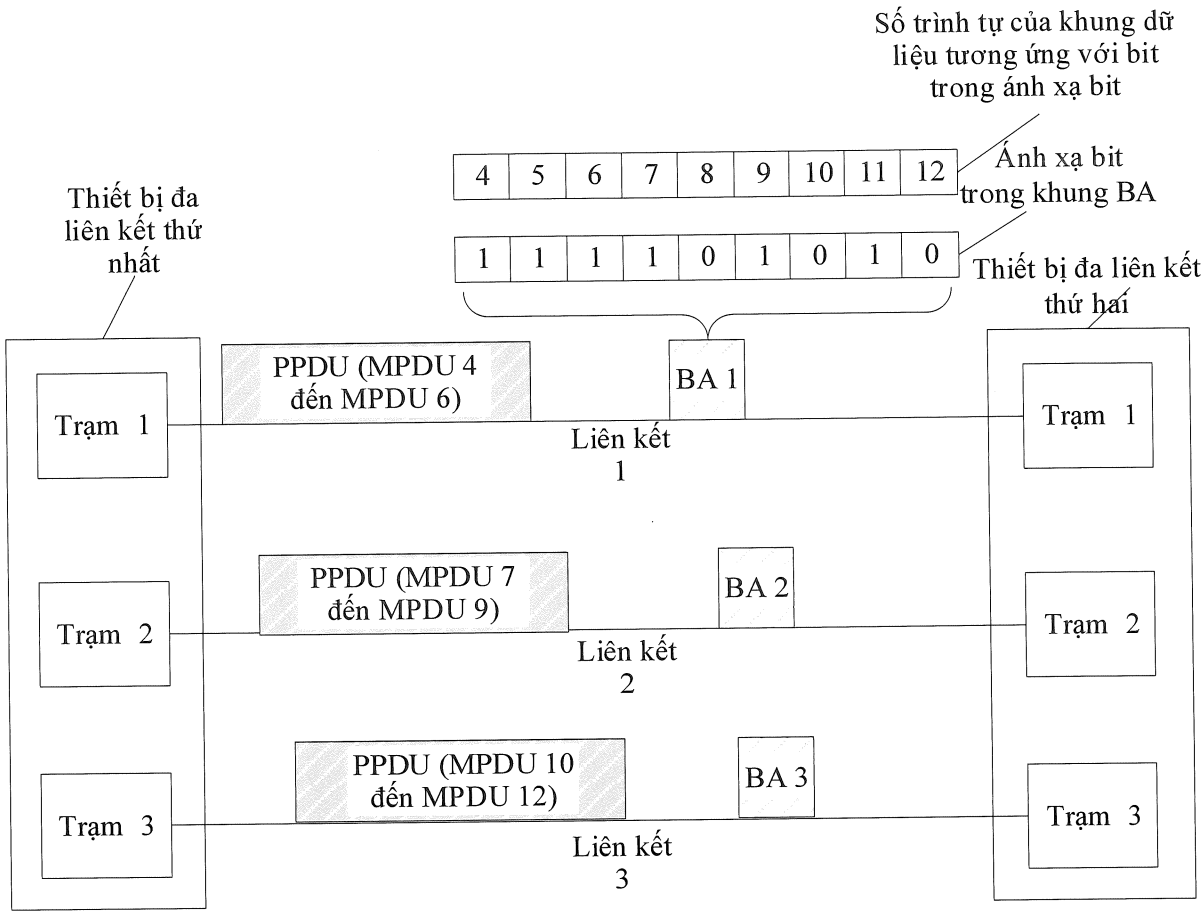


FIG.5

Điều khiển khung (frame control)	Thời lượng (Duration)	Địa chỉ 2 (address2)	Địa chỉ 3 (address2)	Điều khiển trình tự (sequence control)	Điều khiển HT (HT control)	Thân khung (frame body)	Trình tự kiểm tra khung (FCS)
...			Ngưỡng thứ nhất		...		

FIG.6

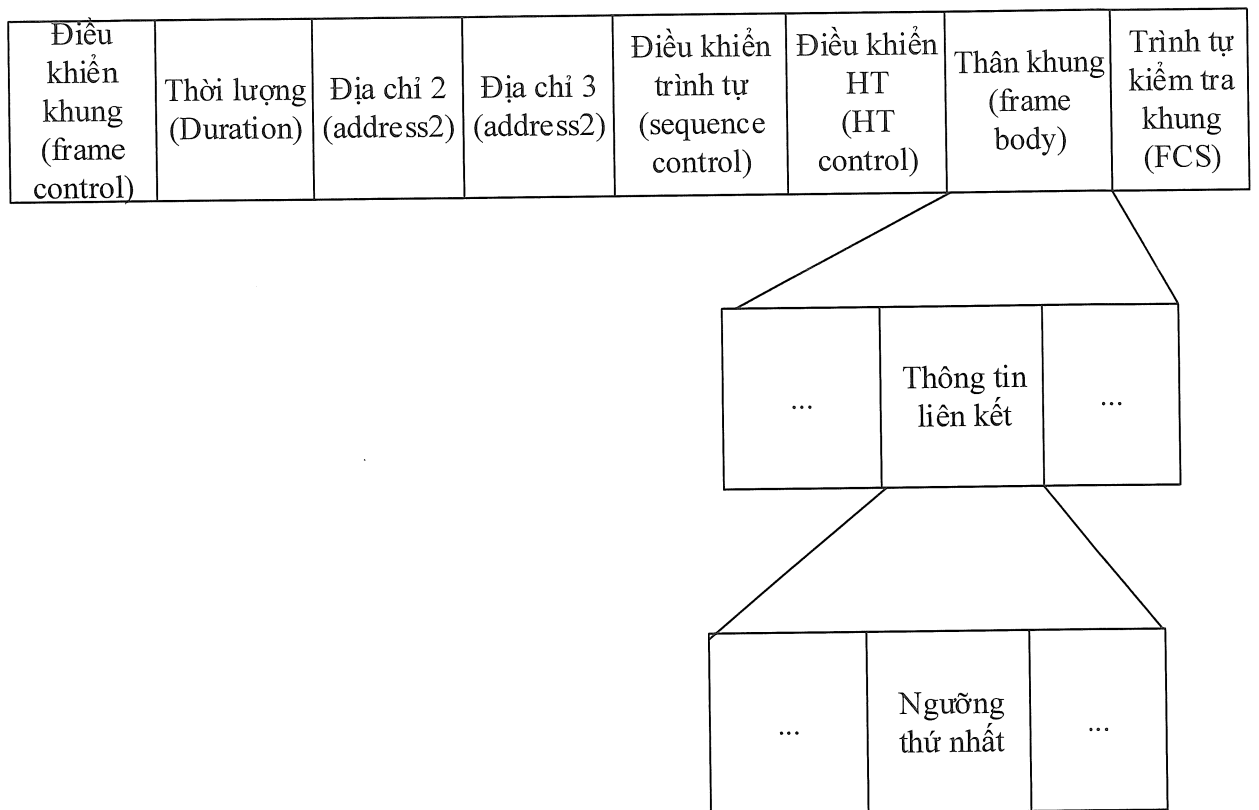


FIG.7

7/19

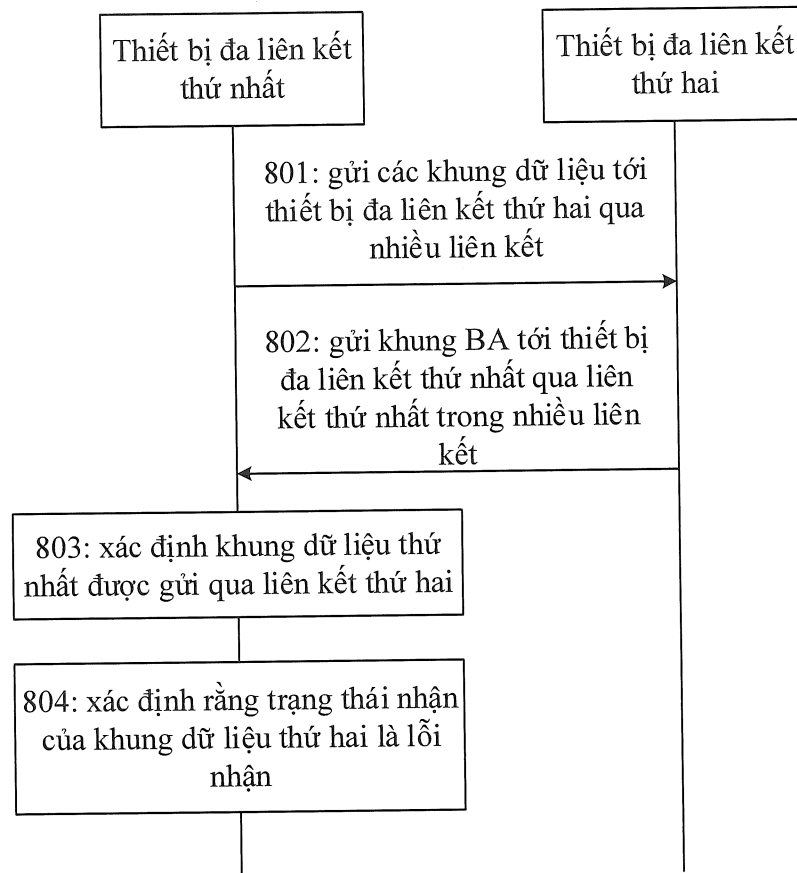


FIG.8

8/19

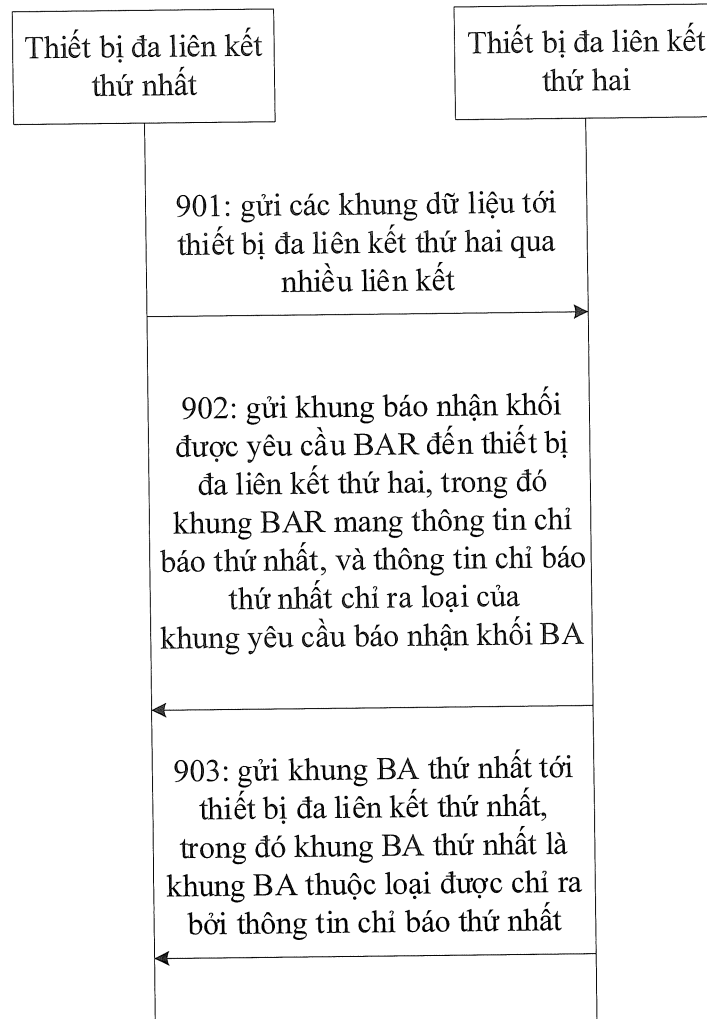


FIG.9

9/19 _

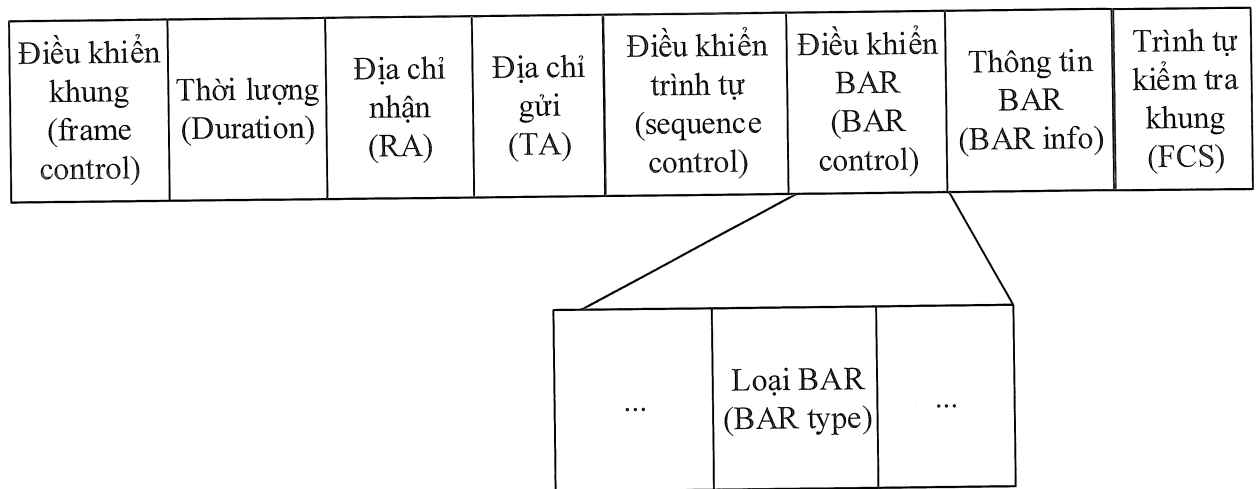


FIG.10

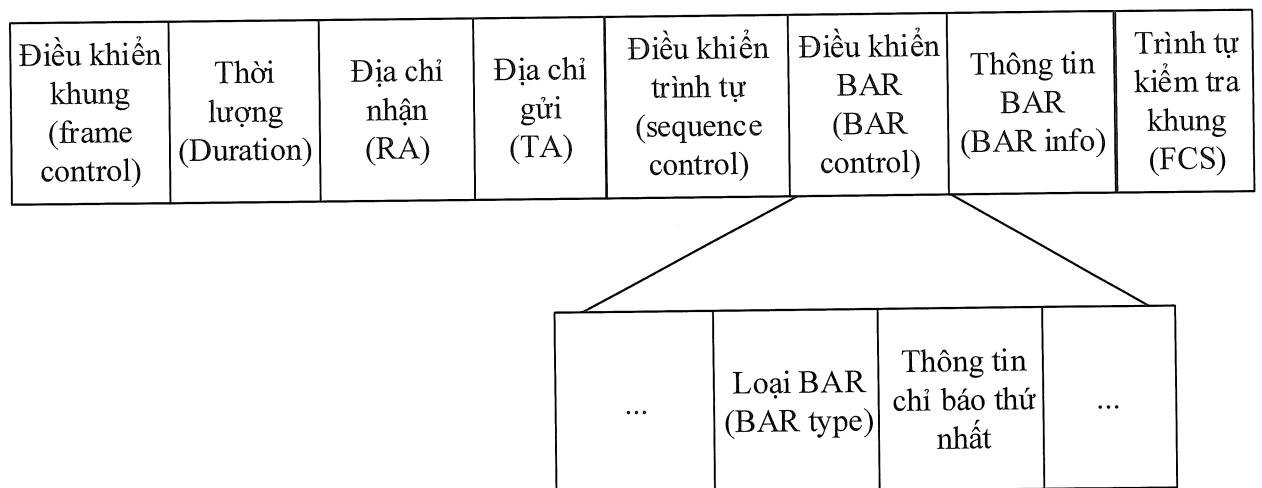


FIG.11

10/19

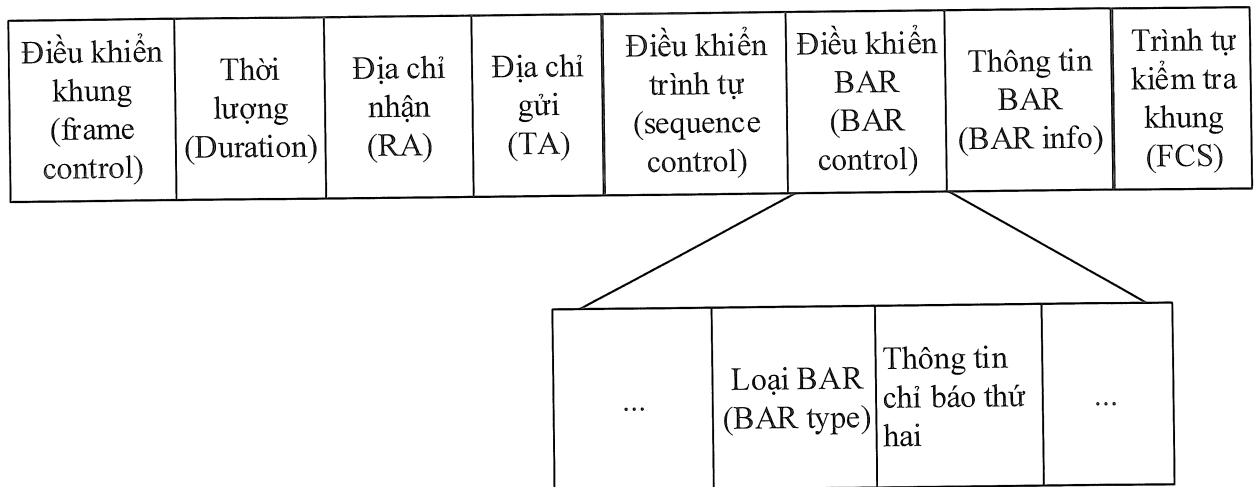


FIG.12

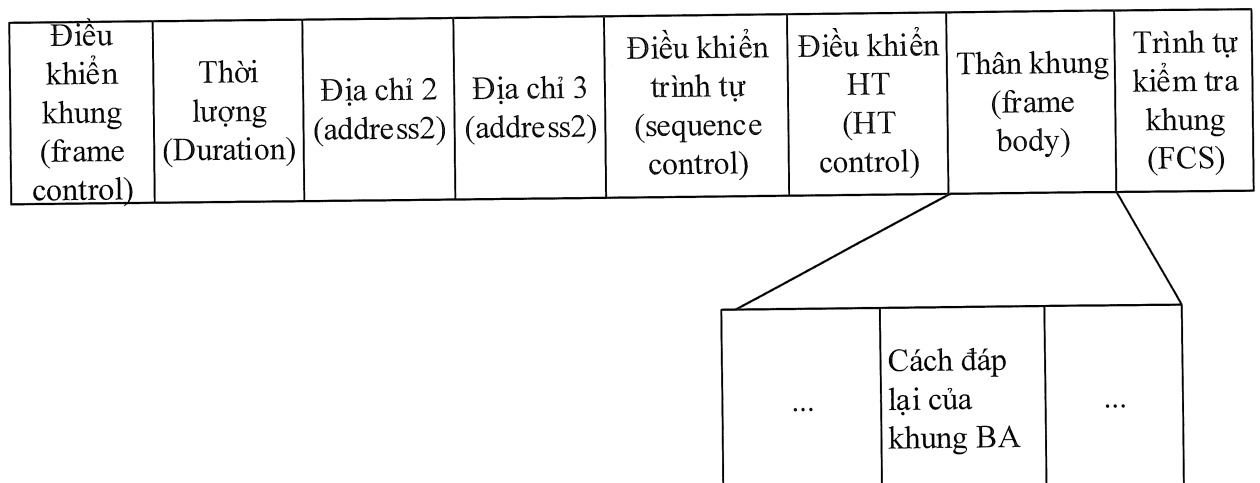


FIG.13

11/19

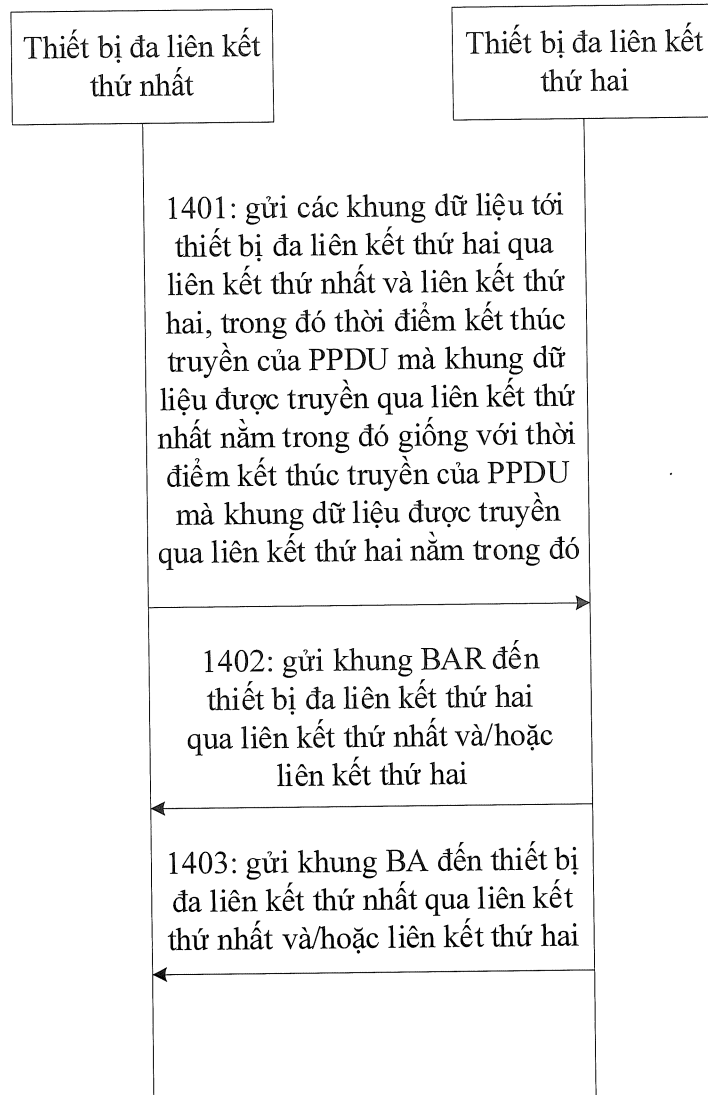


FIG.14

12/19

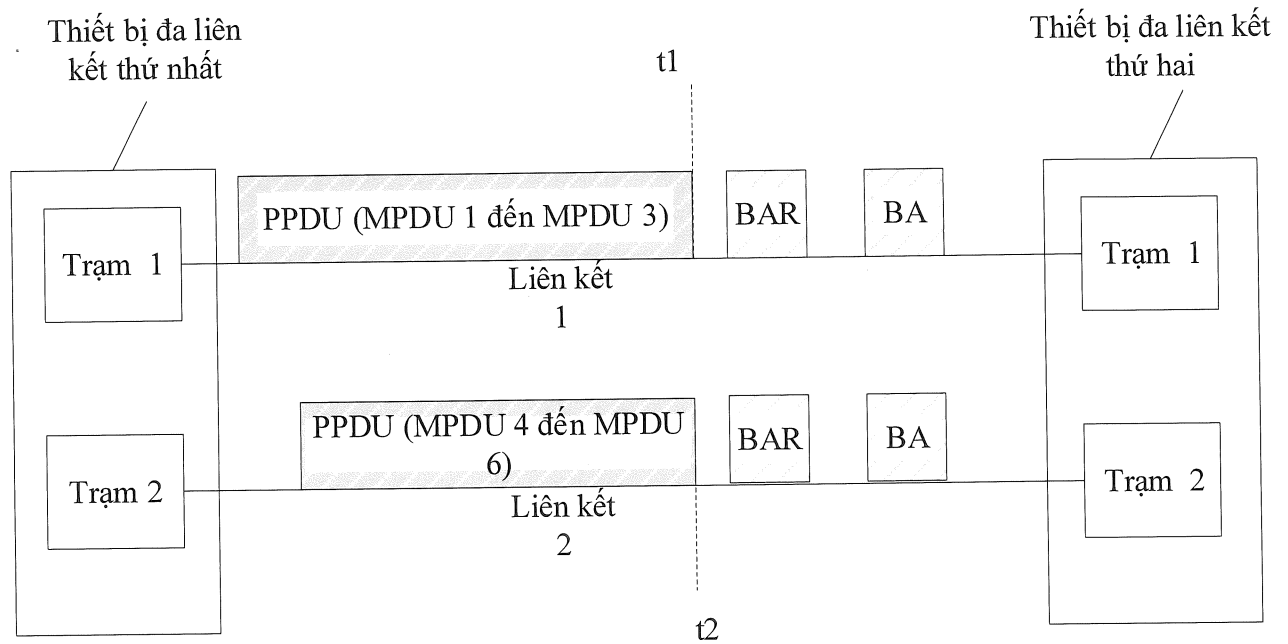


FIG.15

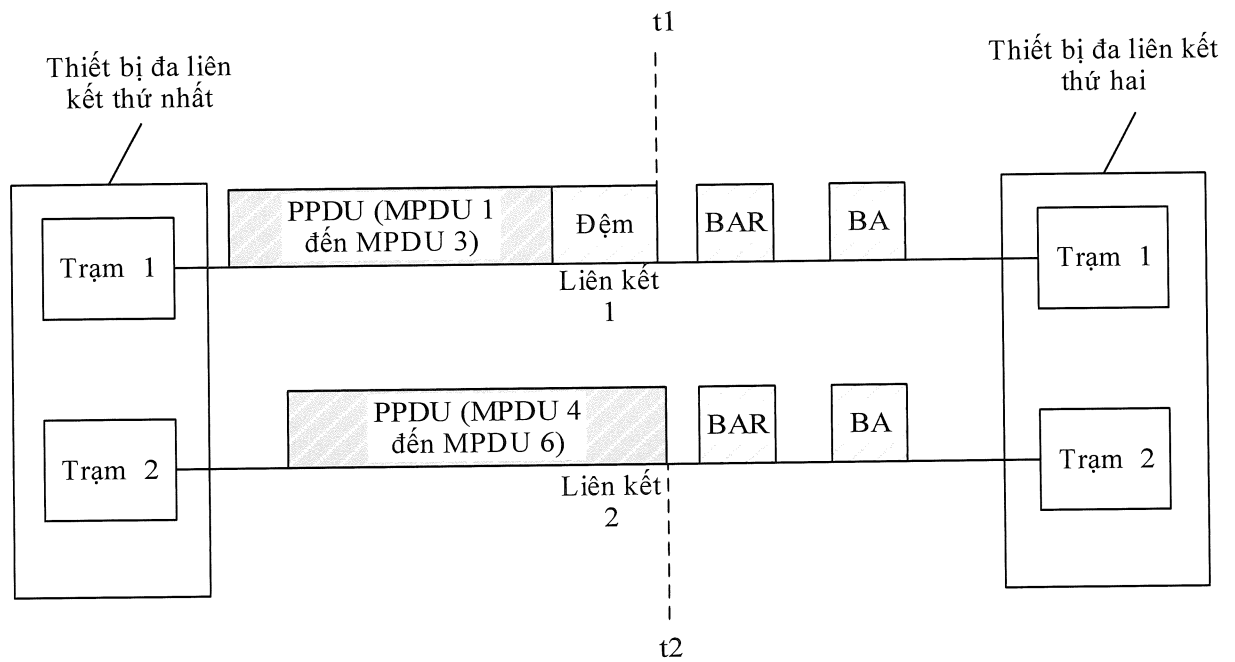


FIG.16

13/19

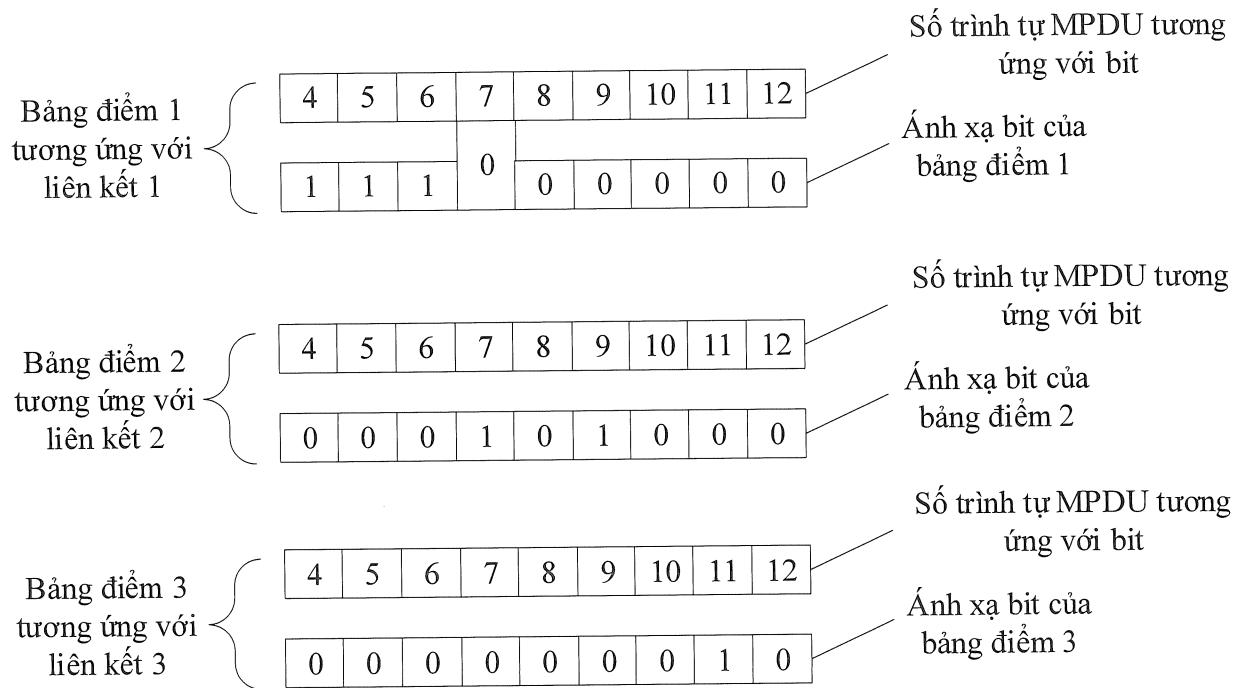


FIG.17

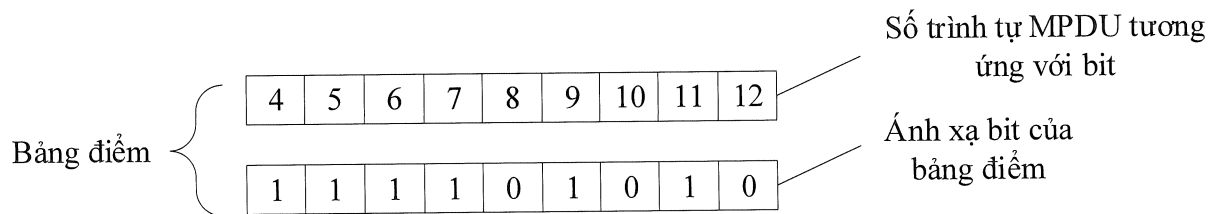


FIG.18

14/19

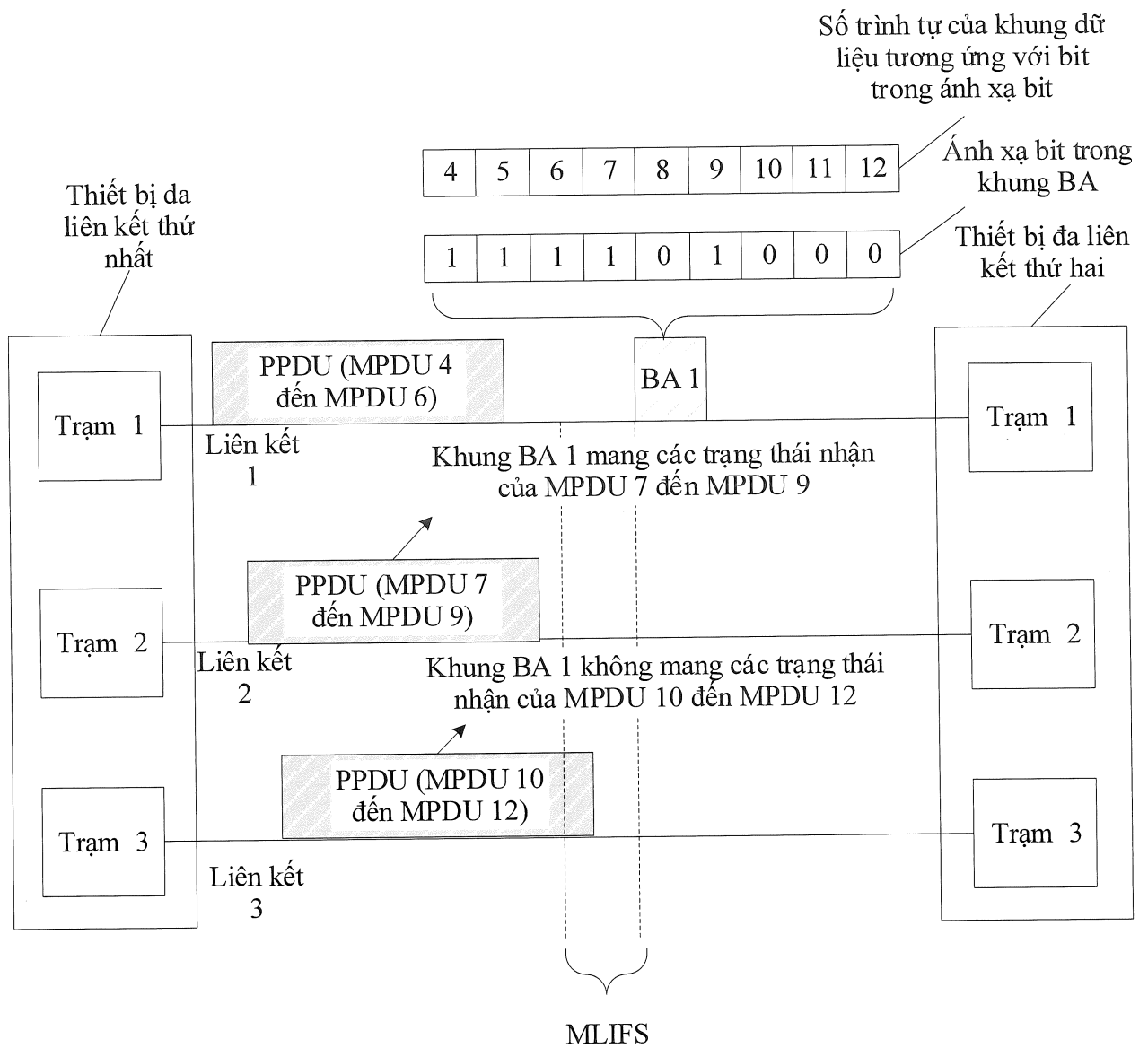


FIG.19

15/19

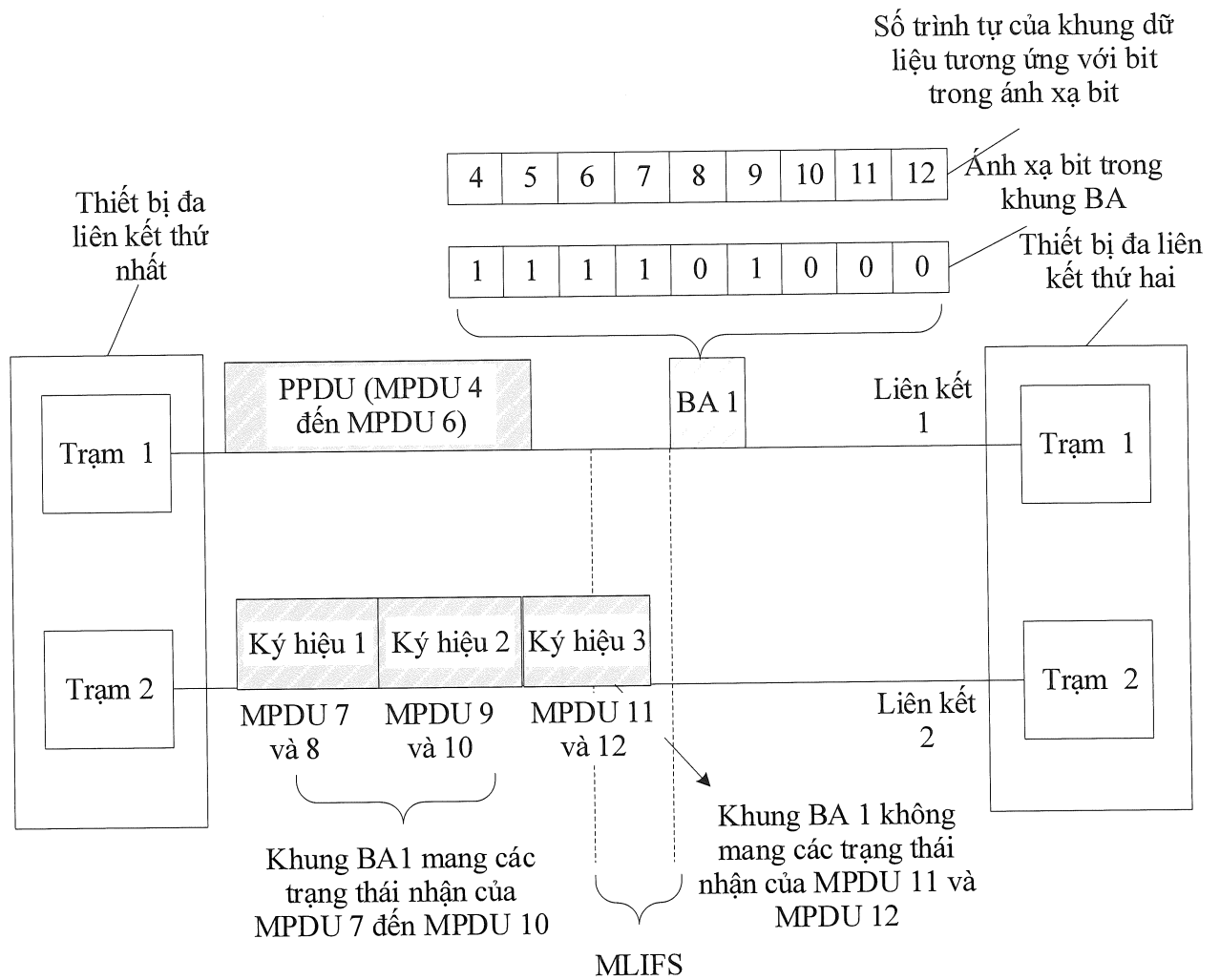


FIG.20

16/19

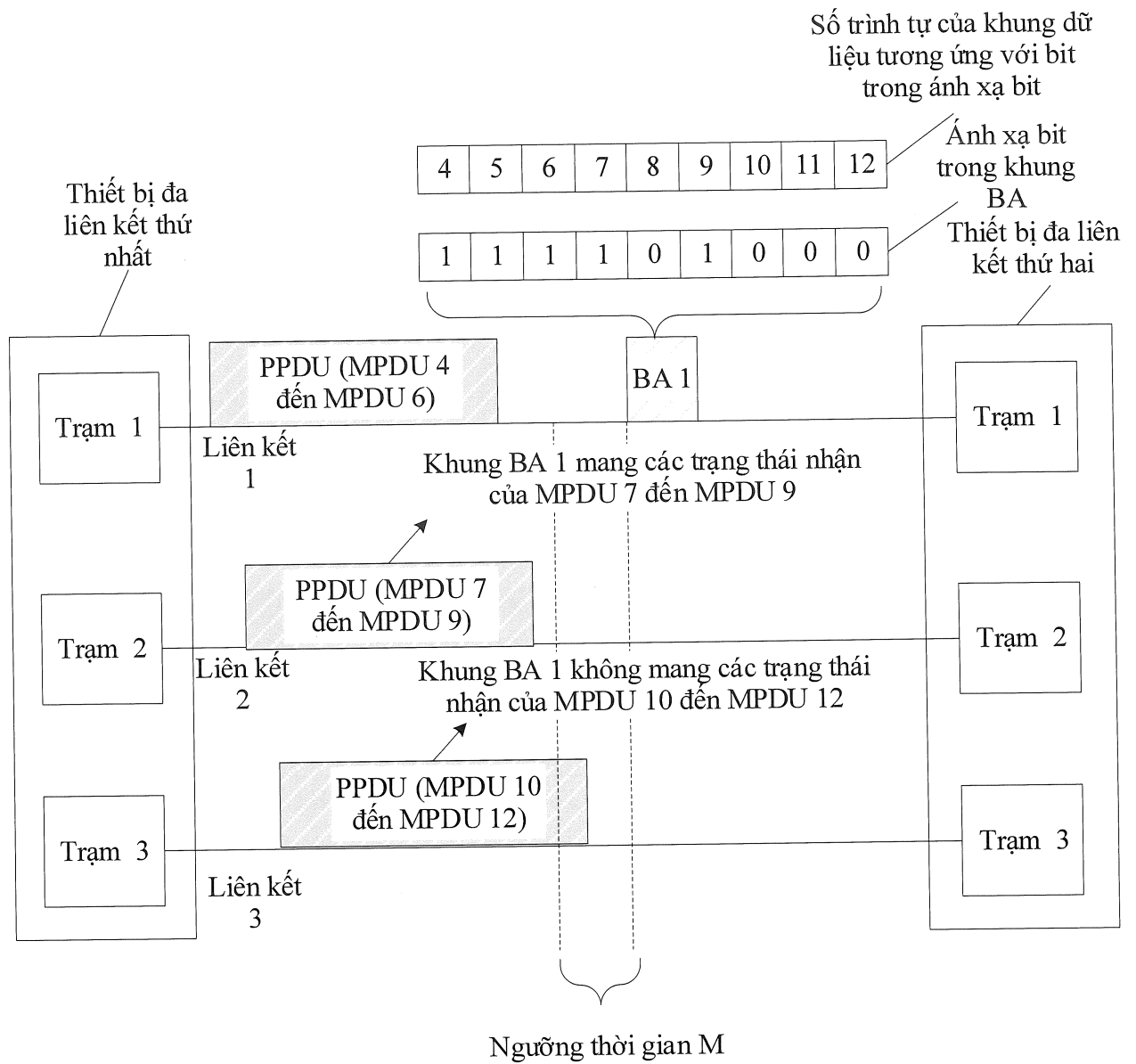


FIG.21

17/19

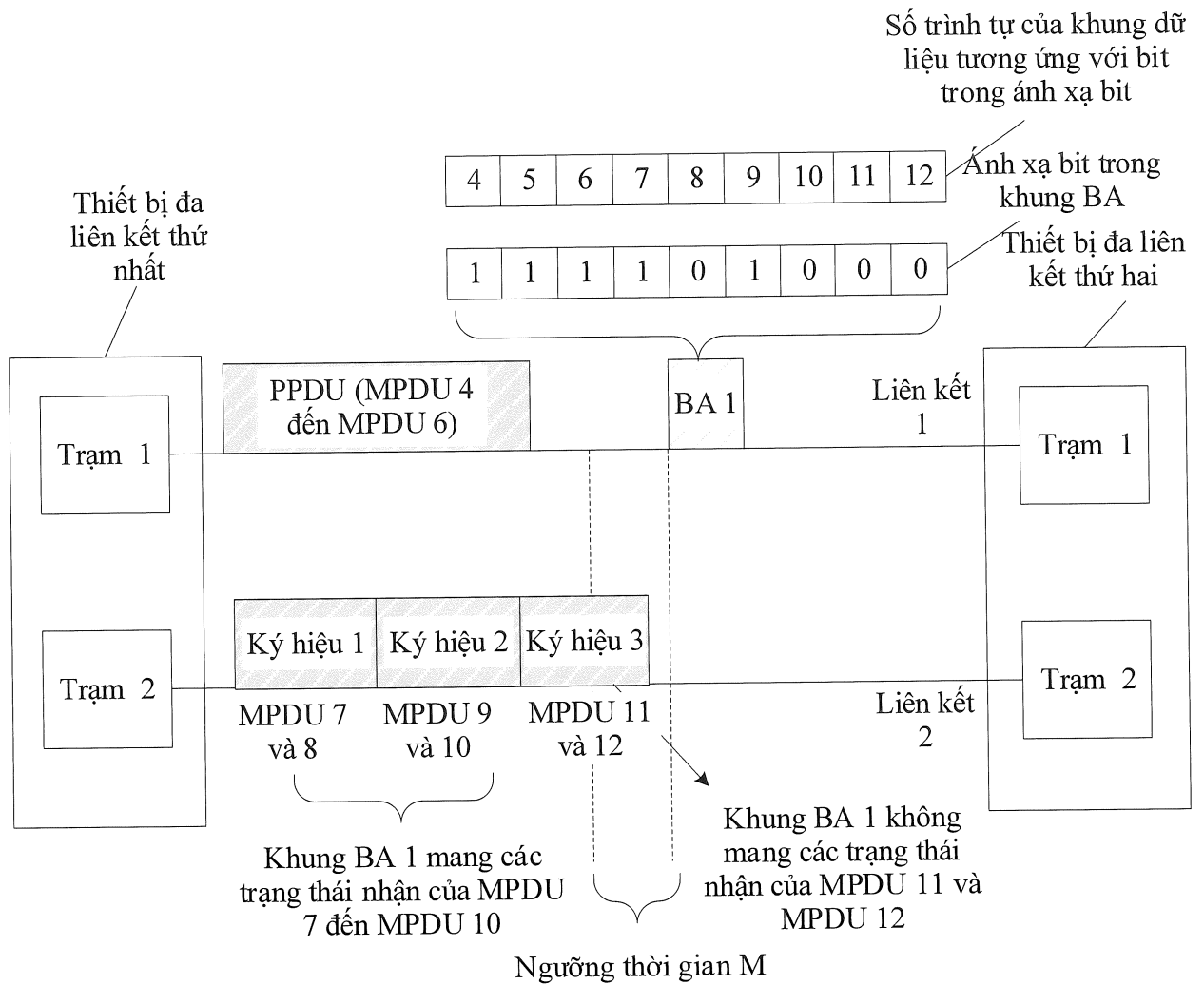


FIG.22

18/19 _

B0	B1	B2	B4	B5	B6	B15
Đơn vị dữ liệu dịch vụ MAC được tổng hợp (A-MSDU)	Quy tắc BA	Mã định danh dịch vụ (TID)	Thông tin chỉ báo	Kích thước đệm		

FIG.23

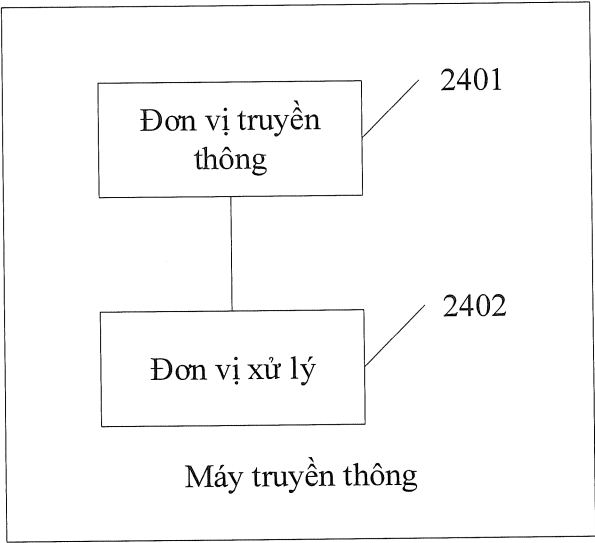


FIG.24

19/19 _

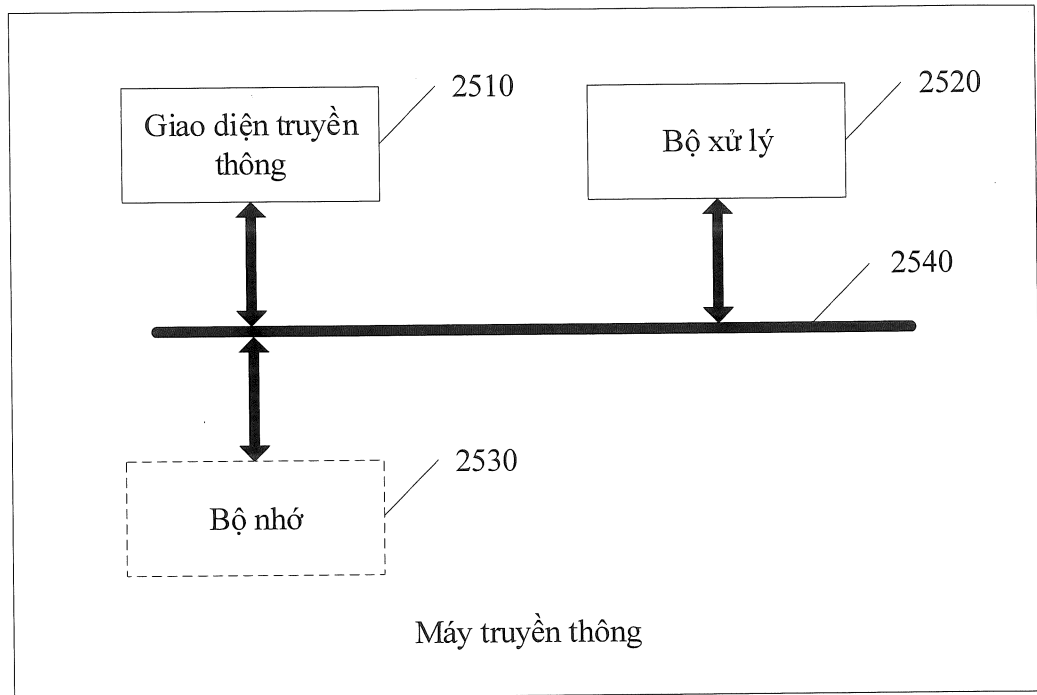


FIG.25a

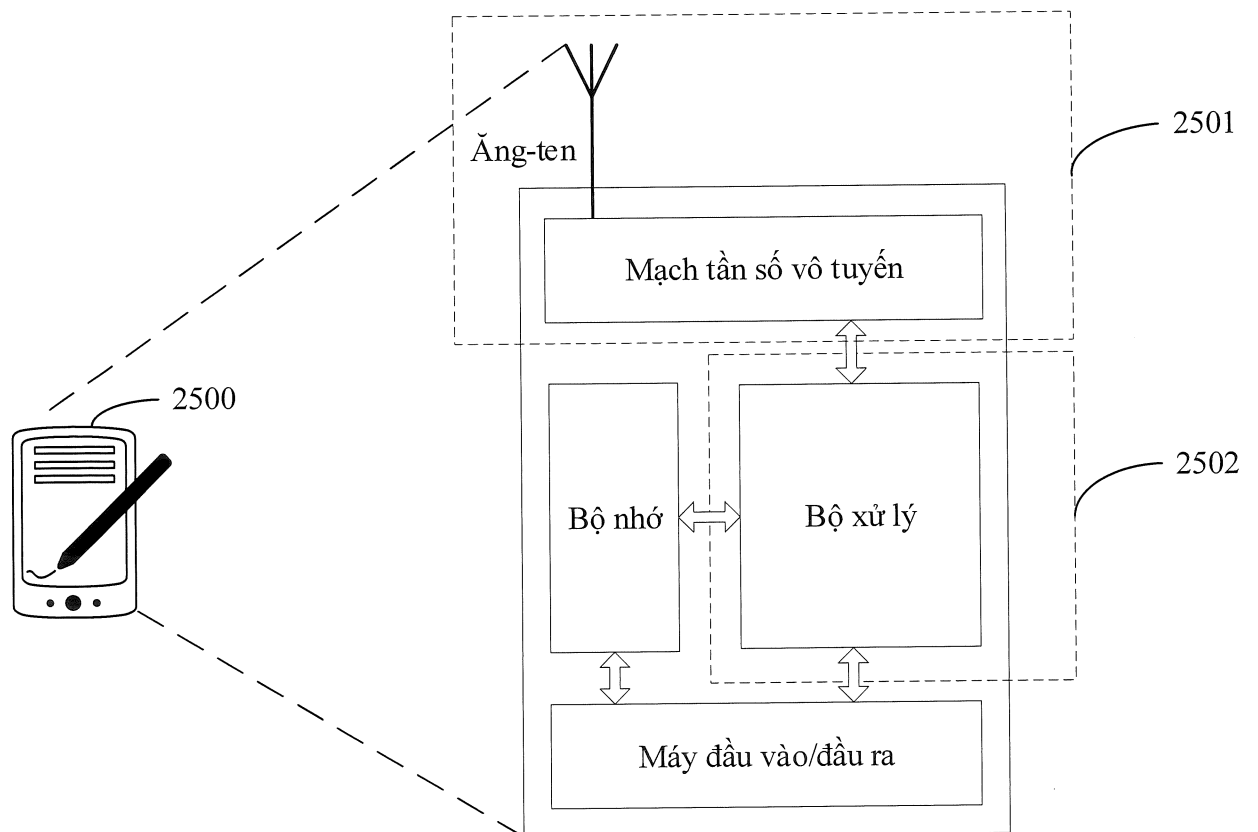


FIG.25b