



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0050262

(51)^{2020.01} G06F 13/40

(13) B

(21) 1-2022-01309

(22) 11/09/2020

(86) PCT/US2020/050349 11/09/2020

(87) WO 2021/050838 18/03/2021

(30) 16/570,021 13/09/2019 US

(45) 25/08/2025 449

(43) 25/07/2022 412A

(73) QUALCOMM INCORPORATED (US)

ATTN: International IP Administration, 5775 Morehouse Drive, San Diego, CA
92121-1714, United States of America

(72) DUAN, Ying (CN); CHOU, Shih-Wei (TW); SHAIK, Mansoor Basha (IN); DANG,
Harry (US); DIXIT, Abhay (IN).

(74) Công ty TNHH Quốc tế D & N (D&N INTERNATIONAL CO.,LTD.)

(54) THIẾT BỊ, PHƯƠNG PHÁP VÀ MÁY ĐỂ TÁCH CÁC BỘ THU ĐẦU TRƯỚC
CÔNG SUẤT THẤP VÀ TỐC ĐỘ CAO

(21) 1-2022-01309

(57) Sáng chế đề cập đến thiết bị, phương pháp và máy để tách các bộ thu đầu trước công suất thấp và tốc độ cao. Sáng chế đề cập đến thiết bị, phương pháp và máy để tách các bộ thu đầu trước công suất thấp và các bộ thu đầu trước tốc độ cao. Theo các khía cạnh nhất định, thiết bị bao gồm một hoặc nhiều đầu vào vào ra (Input-Output - IO); bộ thu thứ nhất được ghép nối với điện áp nguồn thứ nhất và một hoặc nhiều đầu vào IO, trong đó bộ thu thứ nhất bao gồm các bóng bán dẫn ôxit dày; và mạch tốc độ cao bao gồm: khối cách điện được ghép nối với một hoặc nhiều đầu vào IO, trong đó khối cách điện bao gồm các bóng bán dẫn ôxit dày; và bộ thu thứ hai được ghép nối với khối cách điện và điện áp nguồn thứ hai, trong đó bộ thu thứ hai bao gồm các bóng bán dẫn ôxit mỏng.

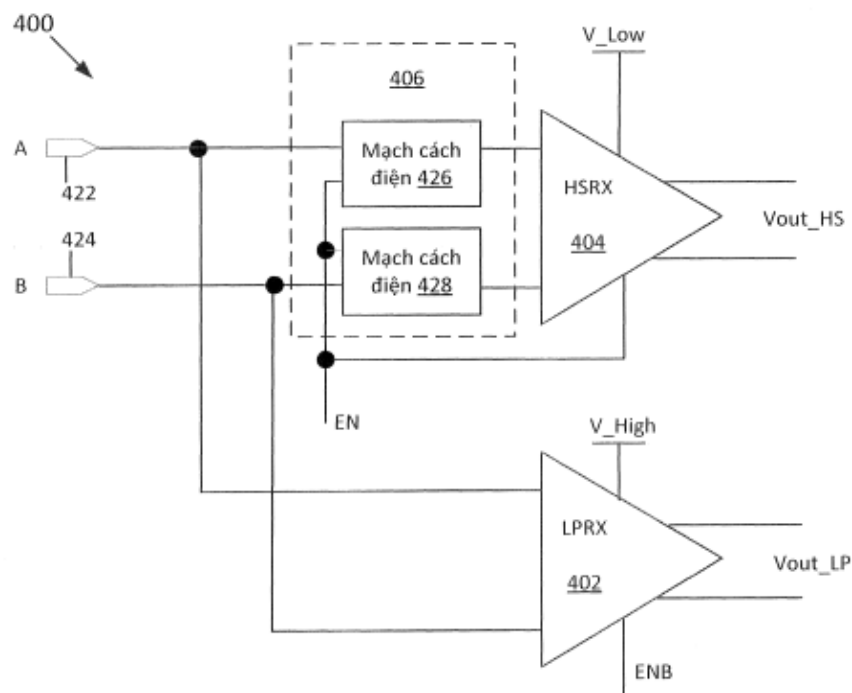


Fig.4

Lĩnh vực kỹ thuật được đề cập

Các khía cạnh của sáng chế liên quan đến các bộ thu đầu trước tương tự, và cụ thể hơn là sơ đồ chuyển mạch động để tách các bộ thu đầu trước công suất thấp và tốc độ cao.

Tình trạng kỹ thuật của sáng chế

Các thiết bị di động và không dây đã trải qua sự phát triển bùng nổ trong một vài năm qua. Sự phát triển này là nhờ có một vài yếu tố như công nghệ truyền thông tiên tiến, khả năng tính toán mạnh mẽ, màn hình lớn, pin bền lâu và camera tuyệt vời. Nhiều điện thoại thông minh ngày nay có camera tốt như máy ảnh chuyên nghiệp. Chất lượng của camera không chỉ được xác định bởi độ phân giải của nó, khẩu độ ống kính, phạm vi thu phóng ống kính, v.v., mà còn bởi tốc độ hình ảnh và video được xử lý bởi bộ xử lý và điện năng mà nó tiêu thụ. Giao diện nối tiếp camera (camera serial interface - CSI) kết nối camera với bộ xử lý ứng dụng hoặc bộ xử lý tín hiệu hình ảnh. Liên minh MIPI là tổ chức toàn cầu hợp tác phục vụ các ngành công nghiệp phát triển các thiết bị di động và các thiết bị chịu ảnh hưởng của thiết bị di động. Việc ứng dụng rộng rãi đặt ra các thông số kỹ thuật của Liên minh MIPI cho hàng trăm triệu chiếc điện thoại, góp phần vào các dịch vụ thoại và dữ liệu mà khách hàng trên toàn thế giới sử dụng hàng ngày. Liên minh MIPI đưa ra camera và giao diện chụp ảnh, cũng như tập lệnh camera được chuẩn hóa. Mỗi quy trình có thể được dùng để mang lại hình ảnh có độ phân giải cao, màu sắc phong phú và khả năng video tiên tiến cho điện thoại thông minh, máy tính bảng, ô tô, thiết bị trò chơi video, máy bay không người lái có camera, thiết bị đeo được và các sản phẩm khác.

Fig.1 minh họa một ví dụ về sơ đồ định thời truyền dữ liệu tốc độ cao CSI cho MIPI D-PHY, PHY thông dụng cho camera và màn hình trong điện thoại thông minh. D-PHY là lớp vật lý đồng bộ nguồn công suất thấp tốc độ cao thích hợp nhất cho các thiết bị hoạt động được bằng pin thiếu điện do thiết kế tiết kiệm năng lượng của nó. D-PHY bao gồm cả các môđun tốc độ cao và công suất thấp mà giúp đạt được hiệu suất sử dụng điện. Dữ liệu hình ảnh tải tin sử dụng các môđun tốc độ cao còn thông tin điều khiển và trạng thái được gửi (giữa camera/thiết bị hiển thị và bộ xử lý ứng dụng) với sự trợ giúp của các môđun công suất thấp (sử dụng tín hiệu tần số thấp). Cấu hình có khả năng đặc biệt đó là gửi dữ liệu tốc độ cao và công suất thấp trong một khối gói trên cùng một đường liên kết

vật lý. Các môđun công suất thấp giúp đạt được tiết kiệm điện năng và các môđun tốc độ cao giúp đạt được yêu cầu băng thông cao hơn cần thiết rất nhiều cho các tín hiệu dữ liệu có chất lượng hình ảnh độ nét cao.

Fig.1B minh họa một ví dụ về sơ đồ định thời truyền dữ liệu tốc độ cao CSI cho MIPI C-PHY. MIPI C-PHY là liên kết đồng hồ nhúng tạo ra tính linh hoạt cực cao để tái phân bổ các làn trong một đường liên kết. MIPI C-PHY cung cấp hiệu suất thông lượng cao qua các kênh giới hạn băng thông để kết nối màn hình và camera với bộ xử lý ứng dụng. MIPI C-PHY có thể được dùng để kết nối các cảm biến hình ảnh chi phí thấp, độ phân giải thấp, các cảm biến cung cấp lên đến 60 megapixel, cũng như các tấm màn hình có độ phân giải 4K và cao hơn. MIPI C-PHY có thể được áp dụng cho nhiều trường hợp sử dụng khác, như hệ thống cảm biến camera ô tô, radar tránh va chạm, tin học giải trí và màn hình bảng điều khiển trong xe. Như được minh họa trên Fig.1B, tương tự MIPI D-PHY, MIPI C-PHY hỗ trợ cả các môđun tốc độ cao và công suất thấp trên cùng một đường liên kết vật lý giúp đạt được hiệu suất sử dụng điện năng.

Để đáp ứng cả yêu cầu công suất thấp và tốc độ cao, mỗi làn dữ liệu bao gồm bộ phát công suất thấp (low-power transmitter - LPTX) và bộ phát tốc độ cao (high-speed transmitter - HSTX) ở phía truyền (ví dụ, camera), và bộ thu công suất thấp (low-power receiver - LPRX) tương ứng và bộ thu tốc độ cao (high-speed receiver - HSRX) tương ứng ở phía nhận (ví dụ, bộ xử lý). Bộ thu tốc độ cao (HSRX) được dùng để nhận luồng dữ liệu có tốc độ dữ liệu cao hơn bộ thu công suất thấp (LPRX). Các môđun công suất thấp thường hoạt động theo cách một đầu và làm việc với điện áp logic 1,2V. Tốc độ dữ liệu của tín hiệu công suất thấp, được dùng để cung cấp thông tin điều khiển và trạng thái, là bằng hoặc thấp hơn 10Mbps. Các môđun tốc độ cao được yêu cầu để hỗ trợ tốc độ cao đến 10Gbps hoặc cao hơn và thường hoạt động theo các cách khác nhau. Các môđun tốc độ cao sử dụng biên điện áp thấp của các tín hiệu dữ liệu tải tin để truyền thông tin. Biên đầu ra chênh lệch điện hình của tín hiệu tốc độ cao là khoảng 200mV. Do đó, cần phải có các bộ thu đầu trước công suất thấp, tốc độ cao và đáng tin cậy.

Bản chất kỹ thuật của sáng chế

Phần sau đây trình bày tóm tắt đơn giản của một hoặc nhiều phương án thực hiện để cung cấp hiểu biết cơ bản về các phương án thực hiện như vậy. Phần bản chất kỹ thuật này không phải là phần tổng quan bao quát tất cả các phương án thực hiện đã dự định, và

không nhằm mục đích xác định các yếu tố chính cũng như quan trọng của tất cả các phương án thực hiện cũng như mô tả phạm vi của bất kỳ hoặc tất cả các phương án thực hiện. Mục đích duy nhất của phần bản chất kỹ thuật là trình bày các khái niệm liên quan đến một hoặc nhiều phương án thực hiện ở dạng đơn giản hóa để làm phần mở đầu cho phần mô tả chi tiết hơn sẽ được trình bày sau.

Theo một khía cạnh, thiết bị bao gồm một hoặc nhiều đầu vào vào ra (Input Output - IO); bộ thu thứ nhất được ghép nối với điện áp nguồn thứ nhất và một hoặc nhiều đầu vào IO, trong đó bộ thu thứ nhất bao gồm các bóng bán dẫn ôxit dày; và mạch tốc độ cao bao gồm: khối cách điện được ghép nối với một hoặc nhiều đầu vào IO, trong đó khối cách điện bao gồm các bóng bán dẫn ôxit dày; và bộ thu thứ hai được ghép nối với khối cách điện và điện áp nguồn thứ hai, trong đó bộ thu thứ hai bao gồm các bóng bán dẫn ôxit mỏng.

Theo một khía cạnh khác, phương pháp bao gồm bước nhận tín hiệu qua một hoặc nhiều đầu vào IO; xác định xem tín hiệu là tín hiệu tốc độ cao hay tín hiệu công suất thấp; và kích hoạt bộ thu thứ nhất nếu tín hiệu là tín hiệu công suất thấp hoặc ghép tín hiệu với bộ thu thứ hai qua khối cách điện được ghép nối với một hoặc nhiều đầu vào IO nếu tín hiệu là tín hiệu tốc độ cao, trong đó bộ thu thứ nhất ghép nối với điện áp nguồn thứ nhất và bao gồm các bóng bán dẫn ôxit dày, bộ thu thứ hai ghép nối với điện áp nguồn thứ hai và bao gồm các bóng bán dẫn ôxit mỏng, và khối cách điện bao gồm các bóng bán dẫn ôxit dày.

Theo một khía cạnh khác, máy bao gồm một hoặc nhiều đầu vào IO; bộ thu thứ nhất được ghép nối với điện áp nguồn thứ nhất và một hoặc nhiều đầu vào IO, trong đó bộ thu thứ nhất bao gồm các bóng bán dẫn ôxit dày; bộ thu thứ hai được ghép nối với điện áp nguồn thứ hai, trong đó bộ thu thứ hai bao gồm các bóng bán dẫn ôxit dày; và phương tiện ghép nối hoặc tách bộ thu thứ hai với một hoặc nhiều đầu vào IO.

Để đạt được các mục đích nêu trên và các mục đích liên quan, một hoặc nhiều phương án thực hiện bao gồm các tính năng sau đây được mô tả đầy đủ và được chỉ ra một cách cụ thể trong phần yêu cầu bảo hộ. Phần mô tả sau đây và các hình vẽ kèm theo mô tả chi tiết các khía cạnh minh họa nhất định của một hoặc nhiều phương án thực hiện. Tuy nhiên, các khía cạnh này chỉ cho biết một số cách khác nhau trong đó các nguyên tắc của

các phương án thực hiện khác nhau có thể được dùng và các phương án thực hiện được mô tả bao gồm tất cả các khía cạnh như vậy và các khía cạnh tương đương của chúng.

Mô tả vắn tắt các hình vẽ

Fig.1 minh họa một ví dụ về sơ đồ định thời truyền dữ liệu tốc độ cao CSI cho MIPI D-PHY.

Fig.1B minh họa một ví dụ về sơ đồ định thời truyền dữ liệu tốc độ cao CSI cho MIPI C-PHY.

Fig.2 minh họa một ví dụ về mạch thu CSI theo một số khía cạnh của sáng chế.

Fig.3 minh họa một ví dụ về bộ thu CSI theo một số khía cạnh của sáng chế.

Fig.4 minh họa mạch thu CSI làm ví dụ theo một số khía cạnh của sáng chế.

Fig.5 minh họa mạch tốc độ cao làm ví dụ theo một số khía cạnh của sáng chế.

Fig.6 minh họa mạch tốc độ cao làm ví dụ khác theo một số khía cạnh của sáng chế.

Fig.7 minh họa mạch tốc độ cao làm ví dụ khác nữa theo một số khía cạnh của sáng chế

Fig.8 minh họa phương pháp làm ví dụ để nhận tín hiệu CSI theo các khía cạnh nhất định của sáng chế.

Mô tả chi tiết sáng chế

Phần mô tả chi tiết được nêu dưới đây, cùng với các hình vẽ kèm theo, có mục đích mô tả các khía cạnh khác nhau và không có ý định chỉ trình bày các khía cạnh trong đó các khái niệm được mô tả ở đây có thể được thực hiện. Phần mô tả chi tiết bao gồm các phần chi tiết cụ thể nhằm mục đích cung cấp sự hiểu biết về các khái niệm khác nhau. Tuy nhiên, những người có hiểu biết trung bình trong lĩnh vực kỹ thuật này sẽ thấy rõ rằng những khái niệm này có thể được thực hiện mà không có phần chi tiết cụ thể này. Trong một số trường hợp, các cấu trúc và thành phần đã biết được thể hiện dưới dạng sơ đồ khối để tránh làm tối nghĩa các khái niệm như vậy.

Một trong những tính năng quan trọng nhất của điện thoại thông minh là camera. Hàng năm, camera của điện thoại thông minh ngày càng có nhiều khả năng hơn và linh hoạt hơn. Khi độ phân giải và tốc độ của camera tăng lên, yêu cầu về bộ phát và bộ thu

CSI cũng tăng lên. Ngày nay, các bộ thu cho CSI cần hỗ trợ cả công suất thấp và tốc độ cao mà không làm ảnh hưởng đến độ tin cậy.

Fig.2 minh họa một ví dụ về mạch thu CSI theo một số khía cạnh của sáng chế. Mạch thu 200 bao gồm hai bộ thu, bộ thu thứ nhất cho tín hiệu công suất thấp LPRX 202 và bộ thu thứ hai cho tín hiệu tốc độ cao HSRX 204. Cả LPRX 202 và HSRX 204 được ghép nối với một hoặc nhiều đầu vào IO, ví dụ, hai đầu vào IO: đầu vào IO thứ nhất A 222 và đầu vào IO thứ hai B 224. Một hoặc nhiều đầu vào IO, ví dụ, đầu vào IO thứ nhất A 222 và đầu vào IO thứ hai B 224, là các chân hoặc chân dán IO mà truyền thông giữa chip và thế giới bên ngoài, thành phần nằm ngoài chip, như môđun camera (không thể hiện trên hình vẽ). Đối với các đầu vào IO như vậy, mạch bảo vệ, mạch phóng tĩnh điện (Electrostatic Discharge - ESD) 232 và 234, thường là cần thiết. Cổng I/O cho phép truyền thông với các linh kiện thiết bị khác (chip, thiết bị kiểm tra, thiết bị sản xuất khác, v.v.). Các cổng I/O cho IC bao gồm các nhóm chân logic cho phép truy cập vào thiết bị bên ngoài hệ thống chứa IC. Các chân này dễ bị phóng điện tĩnh và các lạm dụng khác khi người thao tác kết nối và ngắt kết nối các chân khỏi hệ thống. Mạch ESD có thể là điện trở hạn chế dòng điện và/hoặc mạch ghim dùng điôt ghép nối với đầu vào IO thứ nhất A 222 và đầu vào IO thứ hai B 224. Trong trường hợp xảy ra sự cố ESD, mạch ESD, ví dụ, điôt, sẽ đánh thủng và tạo ra đường trở kháng thấp mà giới hạn điện áp và dòng điện đỉnh bằng cách chuyển hướng dòng điện xuống đất, do đó bảo vệ được IC.

Hơn nữa, cả LPRX 202 và HSRX 204 đều ghép nối với tín hiệu kích hoạt EN (hoặc phần bù của nó ENB). Để dễ giải thích, trong phần mô tả tiếp theo, sáng chế coi tín hiệu kích hoạt EN và phần bù của nó ENB giống nhau do một cái có thể suy ra từ cái còn lại bằng cách đảo ngược. Khi tín hiệu kích hoạt được dùng, có thể có nghĩa là bản thân tín hiệu kích hoạt EN hoặc phần bù của nó ENB, tùy thuộc vào việc mức logic cao của tín hiệu cho phép hay không cho phép hoạt động của mạch. Đáp lại tín hiệu kích hoạt EN, LPRX 202 được kích hoạt hoặc HSRX 204 được kích hoạt nhưng không phải cả hai. Tín hiệu kích hoạt EN có thể được tạo ra dựa trên tín hiệu đến đầu vào IO thứ nhất A 222 và đầu vào IO thứ hai B 224 qua mạch kích hoạt 236 hoặc được suy ra bằng các cách khác. Nếu tín hiệu đầu vào là tín hiệu công suất thấp, thì LPRX 202 được kích hoạt và HSRX 204 bị vô hiệu hóa. Nếu tín hiệu đầu vào là tín hiệu tốc độ cao, thì HSRX 204 được kích hoạt và LPRX 202 bị vô hiệu hóa.

Luồng dữ liệu công suất thấp và luồng dữ liệu tốc độ cao trong cùng một kênh như được xác định trong đặc tả kỹ thuật CSI (ví dụ, *giao diện nối tiếp camera MIPI 2* (MIPI Camera Serial Interface 2 - MIPI CSI-2)). Do đó, LPRX 202 và HSRX 204 cùng dùng chung chân dán IO CSI, như đầu vào IO thứ nhất A 222 và đầu vào IO thứ hai B 224. Luồng dữ liệu tốc độ cao có mức điện áp tương đối thấp và biên điện áp thấp. Tuy nhiên, do chế độ công suất thấp hoạt động ở điện áp cao, HSRX 204 tốc độ cao trên Fig.2 được thiết kế với các bóng bán dẫn ôxit dày (ví dụ, bóng bán dẫn IO), tương tự như các bóng bán dẫn trong bộ thu công suất thấp LPRX 202 để đáp ứng yêu cầu về độ tin cậy và ESD. Để điều khiển các bóng bán dẫn ôxit dày, hoặc các bóng bán dẫn IO, HSRX 204 được cung cấp điện áp nguồn cao, V_High. Tương tự, tín hiệu kích hoạt EN có điện áp nguồn cao. Thiết kế như vậy làm tăng diện tích chip và mức tiêu thụ điện của bộ thu tốc độ cao HSRX 204 và giảm tốc độ của mạch.

Fig.3 minh họa một ví dụ về bộ thu CSI theo một số khía cạnh của sáng chế. Bộ thu CSI 300 có thể được dùng làm bộ thu công suất thấp LPRX 202 hoặc bộ thu tốc độ cao HSRX 204. Bộ thu CSI 300 bao gồm các bóng bán dẫn PMOS cặp vi sai 304 và 306. Mỗi trong số các bóng bán dẫn PMOS 304 và 306 lần lượt ghép nối với đầu vào IO thứ nhất A 322 và đầu vào IO thứ hai B 324. Các điện trở R1 308 và R2 310 lần lượt được dùng làm tải cho các bóng bán dẫn PMOS cặp vi sai 304 và 306. Ngoài ra, bóng bán dẫn PMOS 302 ghép nối với cặp vi sai và phục vụ để tạo ra dòng điện phân cực. Cực cổng của bóng bán dẫn PMOS 302 ghép nối với tín hiệu kích hoạt ENB. Khi ENB cao, bóng bán dẫn PMOS 302 bị tắt, do đó bộ thu CSI 300 bị vô hiệu hóa. Khi ENB thấp, bóng bán dẫn PMOS 302 tạo ra dòng điện phân cực và bộ thu CSI 300 khuếch đại tín hiệu được áp dụng trên đầu vào IO thứ nhất A 322 và đầu vào IO thứ hai B 324.

Do bộ thu CSI 300 ghép nối trực tiếp với các chân dán IO, đầu vào thứ nhất A 322 và đầu vào thứ hai B 324, các bóng bán dẫn 302, 304, 306 là các bóng bán dẫn ôxit dày, trong đó chúng có độ tin cậy tốt hơn để duy trì các sự kiện điện áp cao và/hoặc ESD. Ngoài ra, điện áp nguồn, V_High, cho bộ thu CSI 300 là điện áp nguồn cao hoặc điện áp nguồn IO. Lưu ý, thông thường, cặp vi sai trong bộ thu CSI 300 thường là PMOS vì luồng dữ liệu CSI tốc độ cao thường có mức điện áp thấp (hoặc điện áp chế độ chung thấp). Bộ thu CSI 300 có diện tích lớn hơn và tiêu thụ nhiều điện năng hơn so với bộ thu làm bằng bóng bán dẫn ôxit mỏng hoặc bóng bán dẫn lõi.

Fig.4 minh họa mạch thu CSI làm ví dụ theo một số khía cạnh của sáng chế. Tương tự mạch thu 200, mạch thu 400 bao gồm hai bộ thu, bộ thu thứ nhất cho tín hiệu công suất thấp, LPRX 402 và bộ thu thứ hai cho tín hiệu tốc độ cao, HSRX 404. Bộ thu thứ nhất LPRX 402 ghép nối với một hoặc nhiều đầu vào IO, ví dụ, hai đầu vào IO: đầu vào IO thứ nhất A 422 và đầu vào IO thứ hai B 424. Một hoặc nhiều đầu vào IO, ví dụ, đầu vào IO thứ nhất A 422 và đầu vào IO thứ hai B 424, là các chân hoặc chân dán IO mà truyền thông giữa chip và thế giới bên ngoài, thành phần nằm ngoài chip, như môđun camera (không thể hiện trên hình vẽ). Đối với các đầu vào IO như vậy, thường cần có mạch bảo vệ ESD. Mạch bảo vệ ESD có thể là các điện trở giới hạn dòng điện và/hoặc mạch ghim dùng điôt mà ghép nối với đầu vào IO thứ nhất A 422 và đầu vào IO thứ hai B 424. Để đáp ứng yêu cầu về độ tin cậy và ESD, bộ thu thứ nhất LPRX 402 được thiết kế với các bóng bán dẫn ôxit dày, hoặc các bóng bán dẫn IO, so với bóng bán dẫn ôxit mỏng hoặc bóng bán dẫn lõi.

Trong công nghệ xử lý điện hình, có ít nhất hai loại bóng bán dẫn. Loại bóng bán dẫn thứ nhất là ôxit mỏng, hoặc bóng bán dẫn lõi. Các bóng bán dẫn mỏng hoặc lõi bao gồm phần lớn các bóng bán dẫn trong một chip mạch tích hợp. Các bóng bán dẫn mỏng hoặc lõi thường được chế tạo có chiều dài kênh tối thiểu, ôxit mỏng và điện áp ngưỡng thấp, và thường ghép nối với điện áp nguồn thấp để có tốc độ, mật độ và hiệu suất của công suất. Loại bóng bán dẫn khác, bóng bán dẫn ôxit dày, hoặc bóng bán dẫn IO, có ôxit cổng dày hơn, chiều dài kênh dài hơn các bóng bán dẫn ôxit mỏng điện hình hoặc các bóng bán dẫn lõi. Các bóng bán dẫn ôxit dày, hoặc bóng bán dẫn IO, thường có điện áp ngưỡng cao hơn. Do đó, mạch như vậy thường được ghép nối với điện áp nguồn thứ nhất, hoặc điện áp nguồn IO, V_{High} , tương đối cao hơn điện áp nguồn thứ hai, hoặc điện áp nguồn lõi, V_{Low} . Ví dụ, điện áp nguồn IO, V_{High} , đối với công nghệ cụ thể có thể là 1,2V còn điện áp nguồn lõi, V_{Low} , có thể là 0,9V. Theo một ví dụ khác, điện áp nguồn IO, V_{High} , đối với công nghệ cụ thể có thể là 1,8V còn điện áp nguồn lõi, V_{Low} , có thể là 1,0V. Các bóng bán dẫn IO thường được dùng cho các mạch giao diện ngoài chip.

Khác với mạch bộ thu 200, trong mạch bộ thu 400, bộ thu thứ hai cho tín hiệu tốc độ cao HSRX 404 không ghép trực tiếp với một hoặc nhiều đầu vào IO, như đầu vào IO thứ nhất A 422 và đầu vào IO thứ hai B 424. Thay vào đó, khối cách điện 406 được đưa vào giữa bộ thu thứ hai HSRX 404 và đầu vào IO thứ nhất A 422 và đầu vào IO thứ hai B 424. Khối cách điện 406 và bộ thu thứ hai HSRX 404 cùng tạo ra mạch tốc độ cao. Khối

cách điện 406 bao gồm mạch cách điện thứ nhất 426 được ghép nối với bộ thu thứ hai HSRX 404 và đầu vào IO thứ nhất A 422 và mạch cách điện thứ hai 428 được ghép nối với bộ thu thứ hai HSRX 404 và đầu vào IO thứ hai A 424. Mạch cách điện thứ nhất 426 và mạch cách điện thứ hai 428 ghép nối với tín hiệu kích hoạt EN. Đáp lại tín hiệu kích hoạt EN, khối cách điện 406 hoặc ghép bộ thu thứ hai HSRX 404 với đầu vào IO thứ nhất A 422 và đầu vào IO thứ hai B 424 hoặc tách bộ thu thứ hai HSRX 404 thành đầu vào IO thứ nhất A 422 và đầu vào IO thứ hai B 424.

Vì khối cách điện 406 ghép nối với các chân dán IO, để đáp ứng độ tin cậy và yêu cầu ESD, khối cách điện 406 được thiết kế với các bóng bán dẫn ôxit dày, hoặc bóng bán dẫn IO. Mức logic cao của tín hiệu kích hoạt EN được dùng với điện áp nguồn cao hoặc điện áp IO, V_{High} , để điều khiển các mạch cách điện thứ nhất 426 và các mạch cách điện thứ hai 428.

Đối với khối cách điện 406, bộ thu thứ hai HSRX 404 không ghép trực tiếp với các chân dán IO. Do đó, bộ thu thứ hai HSRX 404 có thể được thiết kế với các bóng bán dẫn ôxit mỏng, hoặc bóng bán dẫn lõi. Các bóng bán dẫn như vậy có ôxit cổng mỏng hơn, chiều dài kênh ngắn hơn, điện áp ngưỡng thấp hơn và dòng kích thích cao hơn so với các bóng bán dẫn ôxit dày hoặc các bóng bán dẫn IO. Ngoài ra, điện áp nguồn cho bộ thu thứ hai HSRX 404 có thể được giảm xuống điện áp nguồn thứ hai hoặc điện áp nguồn lõi, V_{Low} , thấp hơn điện áp nguồn thứ nhất hoặc điện áp IO, V_{High} . Do đó, thiết kế đạt được tốc độ cao và sự tiêu thụ điện năng thấp mà không ảnh hưởng đến độ tin cậy. Bộ thu như vậy cũng tương thích hơn với luồng dữ liệu tốc độ cao được xác định trong CSI.

Hơn nữa, bộ thu thứ nhất LPRX 402 ghép nối với tín hiệu kích hoạt ENB. Tương tự, bộ thu thứ hai HSRX 404 có thể ghép tùy ý với tín hiệu kích hoạt EN. Đáp lại tín hiệu kích hoạt EN, LPRX 402 được kích hoạt hoặc HSRX 404 được kích hoạt, và khi bộ này được kích hoạt, bộ kia sẽ bị vô hiệu hóa. Tín hiệu kích hoạt EN có thể được tạo ra dựa trên tín hiệu đến đầu vào IO thứ nhất A 422 và đầu vào IO thứ hai B 424. Nếu tín hiệu đầu vào là tín hiệu công suất thấp, thì LPRX 402 được kích hoạt và HSRX 404 bị vô hiệu hóa. Nếu tín hiệu đầu vào là tín hiệu tốc độ cao, thì HSRX 404 được kích hoạt và LPRX 402 bị vô hiệu hóa. Quan trọng hơn, nếu tín hiệu đầu vào là tín hiệu công suất thấp, thì LPRX 402 được kích hoạt và HSRX 404 được tách khỏi một hoặc nhiều đầu vào IO, ví dụ, đầu vào IO thứ nhất A 422 và đầu vào IO thứ hai B 424, bằng khối cách điện 406. Nếu tín hiệu đầu

vào là tín hiệu tốc độ cao, thì HSRX 404 được ghép nối với một hoặc nhiều đầu vào IO, ví dụ, đầu vào IO thứ nhất A 422 và đầu vào IO thứ hai B 424, qua khối cách điện 406 và LPRX 402 bị vô hiệu hóa.

Fig.5 minh họa mạch tốc độ cao làm ví dụ theo một số khía cạnh của sáng chế. Mạch 500 bao gồm mạch cách điện thứ nhất 526, mạch cách điện thứ hai 528 và bộ thu tốc độ cao HSRX 530. Mạch 500 có thể được dùng cho khối cách điện 406 và bộ thu thứ hai HSRX 404. Mạch cách điện thứ nhất 526 bao gồm cổng đi qua, ví dụ, bóng bán dẫn NMOS 512 với cực máng/cực nguồn được ghép nối với đầu vào IO thứ nhất A 522 và cực máng/cực nguồn khác được ghép nối với đầu vào vi sai của bộ thu tốc độ cao HSRX 530. Ngoài ra, mạch cách điện thứ nhất 526 cũng có thể bao gồm cổng kéo lên, ví dụ, bóng bán dẫn PMOS 516 có cực nguồn được ghép nối với điện áp nguồn lõi V_Low và cực máng được ghép nối với đầu vào vi sai của bộ thu tốc độ cao HSRX 530. Cả cổng đi qua 512 và cổng kéo lên 516 đều được điều khiển bởi tín hiệu kích hoạt EN. Đáp lại tín hiệu kích hoạt EN, cổng đi qua 512 được kích hoạt và cổng kéo lên 516 bị tắt, ghép đầu vào IO thứ nhất A 522 với đầu vào vi sai của bộ thu tốc độ cao HSRX 530 và tách điện áp nguồn lõi V_Low khỏi đầu vào vi sai, hoặc cổng đi qua 512 bị vô hiệu hóa và cổng kéo lên 516 được kích hoạt, tách đầu vào IO thứ nhất A 522 khỏi đầu vào vi sai của bộ thu tốc độ cao HSRX 530 và ghép điện áp nguồn lõi V_Low với đầu vào vi sai (và kéo đầu vào vi sai đến điện áp nguồn lõi V_Low). Cả cổng đi qua 512 và cổng kéo lên 516 đều được thiết kế với các bóng bán dẫn ôxit dày, hoặc các bóng bán dẫn IO vì nó ghép nối trực tiếp với các chân dán IO, như đầu vào IO thứ nhất A 522 và đầu vào IO thứ hai B 524.

Mạch cách điện thứ hai 528 cùng dùng chung thiết kế với mạch cách điện thứ nhất 526, bao gồm cổng đi qua, ví dụ, bóng bán dẫn NMOS 514 và cổng kéo lên, ví dụ, bóng bán dẫn PMOS 518. Nó hoạt động tương tự như mạch cách điện thứ nhất 526. Mạch cách điện thứ hai 528, đáp lại tín hiệu kích hoạt EN, ghép hoặc tách nút đầu vào vi sai khác của bộ thu tốc độ cao HSRX 530 với đầu vào IO thứ hai B 524.

Bộ thu tốc độ cao HSRX 530 tương tự bộ thu CSI 300 ngoại trừ các bóng bán dẫn được dùng là các bóng bán dẫn ôxit mỏng hoặc các bóng bán dẫn lõi. Nguồn cấp là điện áp nguồn thấp hoặc điện áp nguồn lõi V_Low. Bộ thu tốc độ cao 530 lần lượt bao gồm các bóng bán dẫn PMOS cặp vi sai 504 và 506. Các bóng bán dẫn PMOS 504 và 506 lần lượt được ghép nối với các mạch cách điện thứ nhất và thứ hai 526 và 528. Các điện trở R1 508

và R2 510 được dùng làm tải cho các bóng bán dẫn PMOS cặp vi sai 504 và 506. Ngoài ra, bóng bán dẫn PMOS 502 ghép nối với cặp vi sai và phục vụ để tạo ra dòng điện phân cực. Cực cổng của bóng bán dẫn PMOS 502 ghép nối với điện áp phân cực V_b . Điện áp phân cực có thể là phần nhỏ của điện áp nguồn (ví dụ, $1/3$) hoặc có thể được nối với đất. Điện áp phân cực V_b có thể tùy chọn là tín hiệu kích hoạt EN. Nếu điện áp phân cực V_b là tín hiệu kích hoạt EN, vì bóng bán dẫn PMOS 502 là bóng bán dẫn ôxit mỏng, thì tín hiệu phải ở mức logic của điện áp nguồn thấp V_{Low} , có thể cần mạch chuyển mức để chuyển đổi tín hiệu kích hoạt từ V_{High} sang V_{Low} . Cả sự tối ưu hóa công suất và tốc độ đều đạt được nhờ sử dụng các bóng bán dẫn ôxit mỏng và điện áp nguồn thấp cho bộ thu tốc độ cao 530.

Fig.6 minh họa mạch tốc độ cao làm ví dụ khác theo một số khía cạnh của sáng chế. Trong mạch 600, khác mạch 500, các mạch cách điện 626 và 628 không có các cổng kéo lên. Thay vào đó, khi các cổng đi qua 612 và 614 bị vô hiệu hóa để đáp lại tín hiệu kích hoạt EN, các đầu vào cho bộ thu tốc độ cao HSRX 630 có thể được thả nổi. Do đó cần phải tắt bộ thu tốc độ cao HSRX 630 để tránh tiêu hao điện năng ngoài ý muốn. Để đạt được hiệu quả như vậy, bóng bán dẫn PMOS 602 của bộ tạo thiên áp cũng bị vô hiệu hóa để đáp lại tín hiệu kích hoạt dịch chuyển mức ENB_{Low} , do đó bộ thu tốc độ cao 630 bị vô hiệu hóa. Tương tự bộ thu tốc độ cao 530, bộ thu tốc độ cao 630 được thiết kế với các bóng bán dẫn ôxit mỏng hoặc các bóng bán dẫn lõi và được cung cấp điện áp nguồn thấp hoặc điện áp nguồn lõi V_{Low} để đạt được cả sự tối ưu hóa tốc độ và công suất.

Fig.7 minh họa mạch tốc độ cao làm ví dụ khác nữa theo một số khía cạnh của sáng chế. Mạch 700 bao gồm mạch cách điện thứ nhất 726, mạch cách điện thứ hai 728 và bộ thu tốc độ cao HSRX 730. Mạch 700 có thể được dùng cho khối cách điện 406 và bộ thu thứ hai HSRX 404. Bộ thu tốc độ cao HSRX 730 bao gồm cặp vi sai, tải, và bộ tạo dòng điện phân cực. Cặp vi sai được tạo thành bởi hai bóng bán dẫn NMOS 704 và 706. Tải là hai điện trở R1 708 và R2 710 lần lượt ghép nối với cặp vi sai của các bóng bán dẫn NMOS 704 và 706. Dòng phân cực được tạo ra bởi bóng bán dẫn NMOS 702 ghép nối với cặp vi sai. Bộ tạo dòng điện phân cực 702 cũng đóng vai trò làm công tắc để kích hoạt hoặc vô hiệu hóa bộ thu tốc độ cao HSRX 730 đáp ứng tín hiệu kích hoạt EN_{Low} . Các bóng bán dẫn được dùng cho bộ thu tốc độ cao HSRX 730 là bóng bán dẫn ôxit mỏng hoặc bóng bán dẫn ôxit lõi. Điện áp nguồn cho bộ thu tốc độ cao HSRX 730 là điện áp nguồn thấp hoặc điện áp nguồn lõi V_{Low} . Tương ứng, tín hiệu kích hoạt EN_{Low} có mức điện áp

nguồn thấp V_{Low} . Tín hiệu kích hoạt EN_{Low} có thể được dịch chuyển mức từ tín hiệu kích hoạt EN.

Các mạch cách điện 726 và 728 lần lượt ghép nối với đầu vào IO thứ nhất A 722 và đầu vào IO thứ hai B 724 và mỗi mạch cách điện ghép nối với một trong các đầu vào vi sai của bộ thu tốc độ cao HSRX 730. Các mạch cách điện 726 và 728 là các bộ theo dõi nguồn để dịch chuyển chế độ chung của tín hiệu đầu vào ở đầu vào thứ nhất IO A 722 và đầu vào thứ hai IO B 724 cao hơn để tín hiệu có thể điều khiển cặp vi sai NMOS 704 và 706. Đối với mạch cách điện thứ nhất 726, bộ theo dõi nguồn được tạo thành bởi tải nguồn điện 718, bóng bán dẫn PMOS 712 với cực nguồn được ghép nối với tải nguồn điện 742, cực máng được ghép nối với công tắc 716, và cực máng được ghép nối với đầu vào IO thứ nhất A 722. Công tắc 716 có thể là bóng bán dẫn NMOS hoặc bóng bán dẫn PMOS với công ghép nối với tín hiệu kích hoạt ENB. Mạch cách điện thứ hai 728 cùng dùng chung thiết kế với mạch cách điện thứ nhất 726, bao gồm tải nguồn điện 744, bóng bán dẫn PMOS 714 và công tắc 718.

Đáp lại tín hiệu kích hoạt ENB (và tín hiệu dịch chuyển mức tương ứng của nó hoặc tín hiệu bù EN_{Low}), các mạch cách điện 726 và 728 và bộ thu tốc độ cao HSRX 730 được vô hiệu hóa hoặc kích hoạt.

Tương tự các mạch 500 và 600, các mạch cách điện 726 và 728 được thiết kế với các bóng bán dẫn ôxit dày hoặc các bóng bán dẫn IO còn bộ thu tốc độ cao 730 được thiết kế với các bóng bán dẫn ôxit mỏng hoặc các bóng bán dẫn lõi để đạt được sự tối ưu hóa diện tích, tốc độ và công suất mà không ảnh hưởng đến độ tin cậy.

Fig.8 minh họa phương pháp làm ví dụ để nhận tín hiệu CSI theo một số khía cạnh của sáng chế. Phương pháp 800 bắt đầu tại 802 trong đó tín hiệu được nhận qua một hoặc nhiều đầu vào IO (ví dụ, đầu vào IO thứ nhất 422 và đầu vào IO thứ hai 424). Một hoặc nhiều đầu vào IO là các chân dán IO đóng vai trò làm giao diện với các thành phần ngoài chip (ví dụ, môđun camera). Tại 804, phương pháp xác định xem tín hiệu là tín hiệu tốc độ cao hay tín hiệu công suất thấp. Việc xác định có thể được thực hiện qua môđun điều khiển riêng bằng cách phân tích tín hiệu nhận được. Ngoài ra, có thể được xác định qua tín hiệu khác được gửi qua giao diện CSI. Phương tiện khác cũng có thể được dùng. Tín hiệu kích hoạt (hoặc phần bù của nó) (ví dụ, tín hiệu kích hoạt EN, ENB) có thể được tạo ra. Nếu tín hiệu là tín hiệu công suất thấp, thì ở 808, để đáp lại tín hiệu kích hoạt, bộ thu

thứ nhất (ví dụ, bộ thu thứ nhất 202, 300 hoặc 402) được kích hoạt và nhận tín hiệu từ một hoặc nhiều đầu vào IO. Bộ thu thứ nhất là bộ thu công suất thấp ghép nối với điện áp nguồn thứ nhất (hoặc điện áp nguồn IO) và bao gồm các bóng bán dẫn ôxit dày hoặc bóng bán dẫn IO. Nếu tín hiệu là tín hiệu tốc độ cao, thì tại 810, đáp ứng tín hiệu kích hoạt, bộ thu thứ hai (ví dụ, bộ thu thứ hai 404, 530, 630 hoặc 730) được ghép nối với một hoặc nhiều đầu vào IO qua khối cách điện (ví dụ, khối cách điện 406). Khối cách điện có thể bao gồm mạch cách điện thứ nhất (ví dụ, mạch cách điện thứ nhất 426, 526, 626 hoặc 726) và mạch cách điện thứ hai (ví dụ, mạch cách điện thứ hai 428, 528, 628 hoặc 728). Ngoài ra, ở 808, bộ thu thứ hai được tách khỏi một hoặc nhiều đầu vào IO; và tại 810, bộ thu thứ nhất có thể bị vô hiệu hóa. Bộ thu thứ hai là bộ thu tốc độ cao ghép nối với điện áp nguồn thứ hai (hoặc điện áp nguồn lõi) và bao gồm các bóng bán dẫn ôxit mỏng hoặc các bóng bán dẫn lõi. Khối cách điện bao gồm bóng bán dẫn ôxit dày hoặc bóng bán dẫn IO. Điện áp nguồn thứ hai thấp hơn điện áp nguồn thứ nhất.

Phần mô tả trên đây của sáng chế được trình bày để cho phép người có hiểu biết trung bình về lĩnh vực kỹ thuật này có thể thực hiện hoặc sử dụng sáng chế. Có nhiều dạng cải biến đối với các phương án của sáng chế sẽ được người có hiểu biết trung bình về lĩnh vực kỹ thuật này tìm ra một cách dễ dàng, và các nguyên lý chung đã nêu ra trong sáng chế có thể được áp dụng cho những phương án khác mà không bị coi là vượt ra ngoài phạm vi của sáng chế. Do đó, sáng chế không chỉ giới hạn ở các ví dụ được mô tả ở đây mà sáng chế phải được hiểu theo phạm vi rộng nhất phù hợp với các nguyên lý và dấu hiệu mới được mô tả ở đây.

YÊU CẦU BẢO HỘ

1. Thiết bị để tách các bộ thu đầu trước công suất thấp và tốc độ cao, thiết bị này bao gồm:

một hoặc nhiều đầu vào IO;

bộ thu thứ nhất được ghép nối với điện áp nguồn thứ nhất và một hoặc nhiều đầu vào IO, trong đó bộ thu thứ nhất bao gồm các bóng bán dẫn ôxit dày; và

mạch bao gồm:

khối cách điện được ghép nối với một hoặc nhiều đầu vào IO, trong đó khối cách điện bao gồm các bóng bán dẫn ôxit dày; và

bộ thu thứ hai được ghép nối với khối cách điện và điện áp nguồn thứ hai, trong đó bộ thu thứ hai bao gồm các bóng bán dẫn ôxit mỏng, trong đó bộ thu thứ nhất được tạo cấu hình để được vô hiệu hóa khi khối cách điện được tạo cấu hình để ghép nối một hoặc nhiều đầu vào IO với bộ thu thứ hai, và trong đó bộ thu thứ nhất được tạo cấu hình để được kích hoạt khi khối cách điện được tạo cấu hình để tách một hoặc nhiều đầu vào IO khỏi bộ thu thứ hai.

2. Thiết bị theo điểm 1, trong đó điện áp nguồn thứ nhất cao hơn điện áp nguồn thứ hai.

3. Thiết bị theo điểm 1 còn bao gồm tín hiệu kích hoạt được ghép nối với bộ thu thứ nhất và mạch.

4. Thiết bị theo điểm 3, trong đó khối cách điện được tạo cấu hình để tách một hoặc nhiều đầu vào IO khỏi bộ thu thứ hai để đáp lại tín hiệu kích hoạt.

5. Thiết bị theo điểm 4, trong đó khối cách điện được tạo cấu hình để tách một hoặc nhiều đầu vào IO khỏi bộ thu thứ hai khi bộ thu thứ hai bị vô hiệu hóa.

6. Thiết bị theo điểm 3, trong đó mức logic cao của tín hiệu kích hoạt là mức điện áp nguồn thứ nhất.

7. Thiết bị theo điểm 3, trong đó tín hiệu kích hoạt được tạo cấu hình để ghép nối với bộ thu thứ hai.

8. Thiết bị theo điểm 7, trong đó bộ thu thứ nhất được tạo cấu hình để được vô hiệu hóa khi bộ thu thứ hai được kích hoạt và bộ thu thứ hai được tạo cấu hình để được vô hiệu hóa khi bộ thu thứ nhất được kích hoạt.

9. Thiết bị theo điểm 1, trong đó bộ thu thứ hai được tạo cấu hình để hoạt động với tốc độ dữ liệu cao hơn bộ thu thứ nhất.
10. Thiết bị theo điểm 1 còn bao gồm hệ mạch phóng tĩnh điện (Electrostatic Discharge - ESD) được ghép nối với một hoặc nhiều đầu vào IO.
11. Thiết bị theo điểm 1, trong đó một hoặc nhiều đầu vào IO bao gồm đầu vào IO thứ nhất và đầu vào IO thứ hai, và trong đó khối cách điện bao gồm mạch cách điện thứ nhất được ghép nối với đầu vào IO thứ nhất và mạch cách điện thứ hai được ghép nối với đầu vào IO thứ hai.
12. Thiết bị theo điểm 11, trong đó mạch cách điện thứ nhất bao gồm cổng đi qua có đầu vào cổng đi qua được ghép nối với đầu vào IO thứ nhất và đầu ra cổng đi qua được ghép nối với đầu vào vi sai của bộ thu thứ hai và điều khiển cổng đi qua được ghép nối với tín hiệu kích hoạt.
13. Thiết bị theo điểm 12, trong đó mạch cách điện thứ nhất còn bao gồm cổng kéo lên có cổng được ghép nối với tín hiệu kích hoạt, trong đó cổng kéo lên được tạo cấu hình để kéo đầu vào vi sai đến điện áp nguồn thứ hai để đáp lại tín hiệu kích hoạt.
14. Thiết bị theo điểm 13, trong đó cổng đi qua được tạo cấu hình để được kích hoạt trong khi cổng kéo lên được tạo cấu hình để được vô hiệu hóa để đáp lại tín hiệu kích hoạt, và trong đó cổng đi qua được tạo cấu hình để được vô hiệu hóa trong khi cổng kéo lên được tạo cấu hình để được kích hoạt để đáp lại tín hiệu kích hoạt.
15. Thiết bị theo điểm 11, trong đó bộ thu thứ hai bao gồm cặp vi sai được ghép nối với đầu vào IO thứ nhất và đầu vào IO thứ hai qua mạch cách điện thứ nhất và mạch cách điện thứ hai.
16. Thiết bị theo điểm 15, trong đó cặp vi sai bao gồm hai bóng bán dẫn PMOS.
17. Thiết bị theo điểm 11, trong đó mạch cách điện thứ nhất bao gồm bộ theo dõi nguồn có đầu vào được ghép nối với đầu vào IO thứ nhất và đầu ra được ghép nối với đầu vào vi sai của bộ thu thứ hai.
18. Thiết bị theo điểm 17, trong đó bộ thu thứ hai bao gồm cặp vi sai được ghép nối với đầu vào vi sai và trong đó cặp vi sai bao gồm hai bóng bán dẫn NMOS.
19. Thiết bị theo điểm 1 trong đó bộ thu thứ nhất bao gồm đầu ra một đầu và bộ thu thứ hai bao gồm đầu ra vi sai.

20. Thiết bị theo điểm 1, trong đó một hoặc nhiều đầu vào IO được tạo cấu hình để ghép nối với camera.

21. Phương pháp để tách các bộ thu đầu trước công suất thấp và tốc độ cao, phương pháp này bao gồm các bước:

nhận tín hiệu qua một hoặc nhiều đầu vào IO;

kích hoạt bộ thu thứ nhất nếu tín hiệu là tín hiệu loại thứ nhất hoặc ghép tín hiệu với bộ thu thứ hai qua khối cách điện được ghép nối với một hoặc nhiều đầu vào IO nếu tín hiệu là tín hiệu loại thứ hai, trong đó bộ thu thứ nhất ghép nối với điện áp nguồn thứ nhất và bao gồm các bóng bán dẫn ôxit dày, bộ thu thứ hai ghép nối với điện áp nguồn thứ hai và bao gồm các bóng bán dẫn ôxit mỏng, và khối cách điện bao gồm các bóng bán dẫn ôxit dày; và

vô hiệu hóa bộ thu thứ nhất nếu tín hiệu là tín hiệu loại thứ hai và tách tín hiệu khỏi bộ thu thứ hai nếu tín hiệu là tín hiệu loại thứ nhất.

22. Phương pháp theo điểm 21, trong đó điện áp nguồn thứ nhất cao hơn điện áp nguồn thứ hai.

23. Phương pháp theo điểm 21, trong đó bộ thu thứ hai được tạo cấu hình để hoạt động với tốc độ dữ liệu cao hơn bộ thu thứ nhất.

24. Phương pháp theo điểm 21, trong đó một hoặc nhiều đầu vào IO được ghép nối với hệ mạch ESD.

25. Phương pháp theo điểm 21, trong đó bộ thu thứ hai bao gồm cặp vi sai được ghép nối với một hoặc nhiều đầu vào IO qua khối cách điện.

26. Phương pháp theo điểm 25, trong đó cặp vi sai bao gồm hai bóng bán dẫn PMOS.

27. Phương pháp theo điểm 21, trong đó một hoặc nhiều đầu vào IO bao gồm đầu vào IO thứ nhất và đầu vào IO thứ hai và trong đó khối cách điện bao gồm mạch cách điện thứ nhất được ghép nối với đầu vào IO thứ nhất và mạch cách điện thứ hai được ghép nối với đầu vào IO thứ hai.

28. Phương pháp theo điểm 27, trong đó mạch cách điện thứ nhất bao gồm bộ theo dõi nguồn có đầu vào được ghép nối với đầu vào IO thứ nhất và đầu ra được ghép nối với đầu vào vi sai của bộ thu thứ hai.

29. Phương pháp theo điểm 28, trong đó bộ thu thứ hai bao gồm cặp vi sai được ghép nối với đầu vào vi sai và trong đó cặp vi sai bao gồm hai bóng bán dẫn NMOS.
30. Phương pháp theo điểm 21 trong đó một hoặc nhiều đầu vào IO được tạo cấu hình để ghép nối với camera.
31. Máy để tách các bộ thu đầu trước công suất thấp và tốc độ cao, máy này bao gồm:
- một hoặc nhiều đầu vào IO;
 - bộ thu thứ nhất được ghép nối với điện áp nguồn thứ nhất và một hoặc nhiều đầu vào IO, trong đó bộ thu thứ nhất bao gồm các bóng bán dẫn ôxit dày;
 - bộ thu thứ hai được ghép nối với điện áp nguồn thứ hai, trong đó bộ thu thứ hai bao gồm các bóng bán dẫn ôxit dày;
 - phương tiện để ghép hoặc tách bộ thu thứ hai với một hoặc nhiều đầu vào IO; và
 - phương tiện để vô hiệu hóa bộ thu thứ nhất nếu tín hiệu trong một hoặc nhiều đầu vào IO là tín hiệu tốc độ cao.
32. Máy theo điểm 31, trong đó điện áp nguồn thứ nhất cao hơn điện áp nguồn thứ hai.
33. Máy theo điểm 31, trong đó bộ thu thứ hai được tạo cấu hình để hoạt động với tốc độ dữ liệu cao hơn bộ thu thứ nhất.
34. Máy theo điểm 31, trong đó một hoặc nhiều đầu vào IO ghép nối với hệ mạch ESD.
35. Máy theo điểm 31, trong đó bộ thu thứ hai bao gồm cặp vi sai được ghép nối với một hoặc nhiều đầu vào IO qua phương tiện để ghép hoặc tách bộ thu thứ hai với một hoặc nhiều đầu vào IO.
36. Máy theo điểm 35, trong đó cặp vi sai bao gồm hai bóng bán dẫn PMOS.
37. Máy theo điểm 31, trong đó phương tiện để ghép hoặc tách bộ thu thứ hai với một hoặc nhiều đầu vào IO bao gồm bộ theo dõi nguồn có đầu vào được ghép nối với một hoặc nhiều đầu vào IO và đầu ra được ghép nối với đầu vào vi sai của bộ thu thứ hai.
38. Máy theo điểm 37, trong đó bộ thu thứ hai bao gồm cặp vi sai được ghép nối với đầu vào vi sai và trong đó cặp vi sai bao gồm hai bóng bán dẫn NMOS.
39. Máy theo điểm 31, trong đó một hoặc nhiều đầu vào IO được tạo cấu hình để ghép nối với camera.

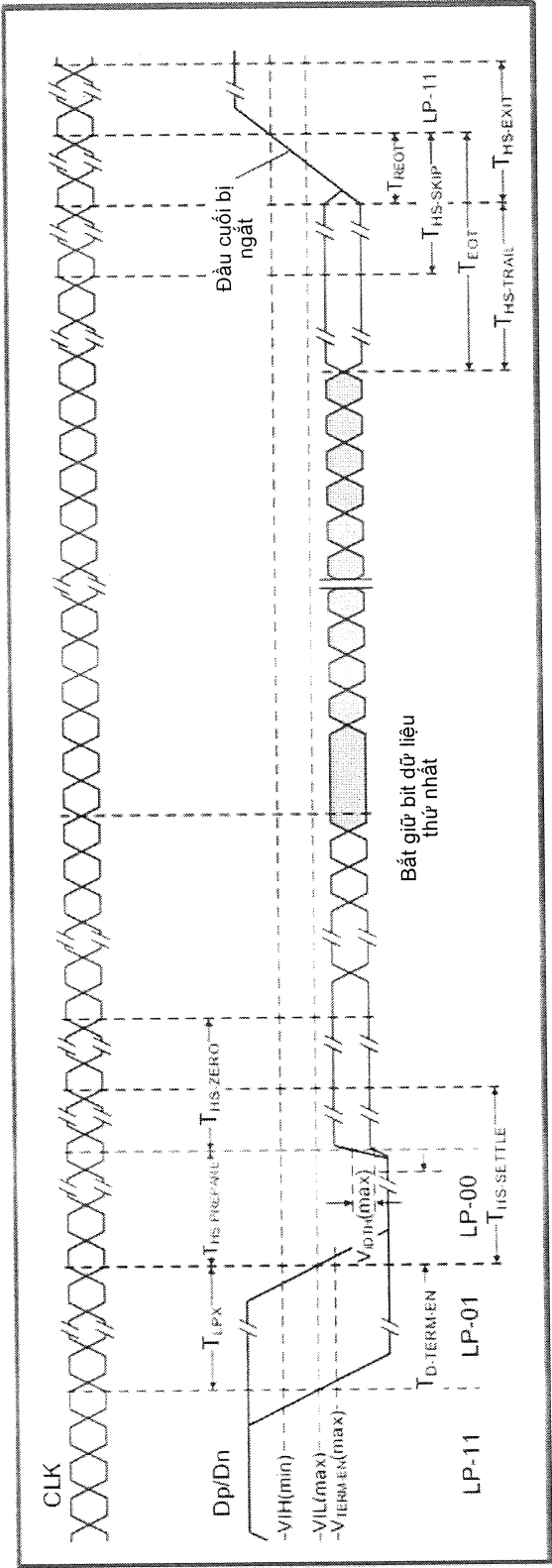


Fig.1A

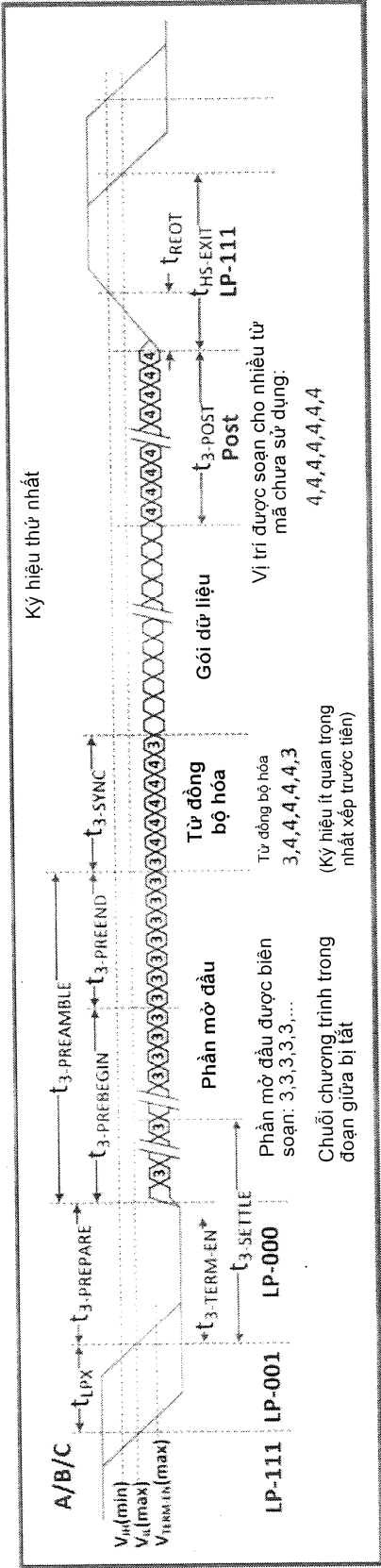


Fig.1B

2/8

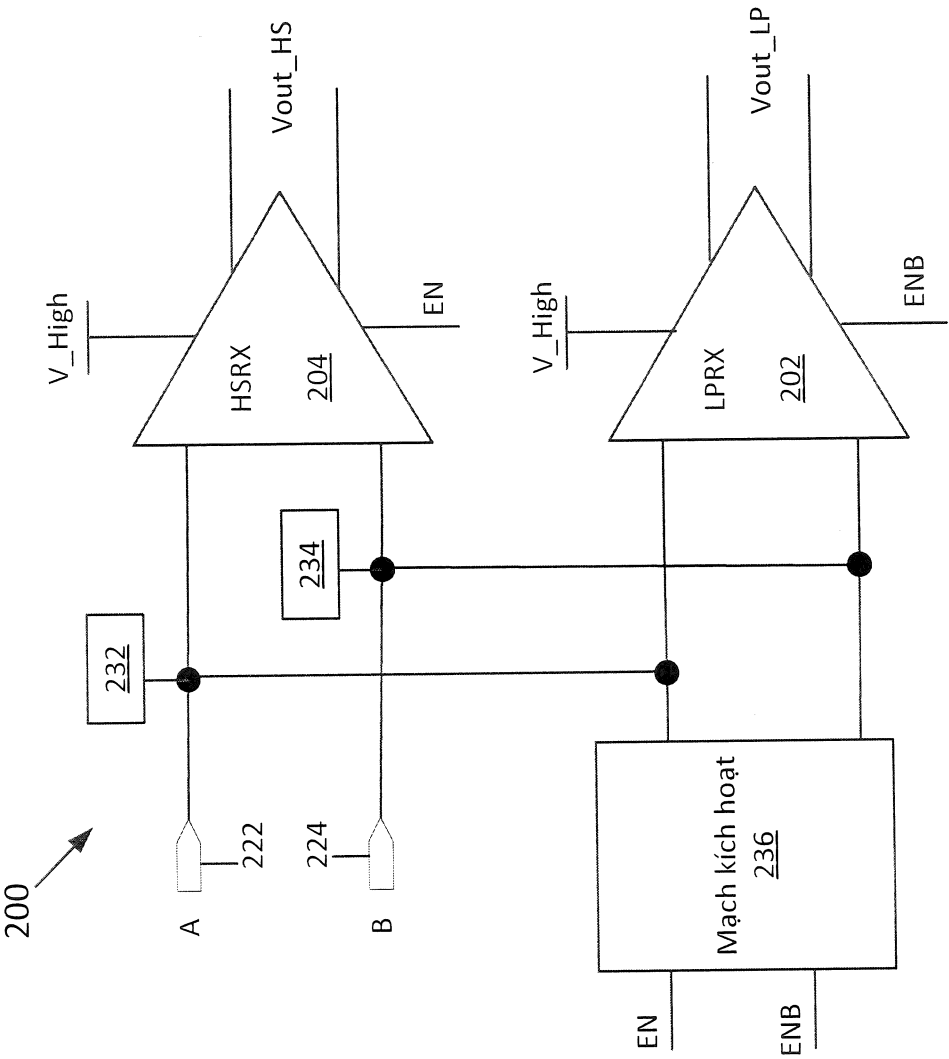


Fig.2

3/8

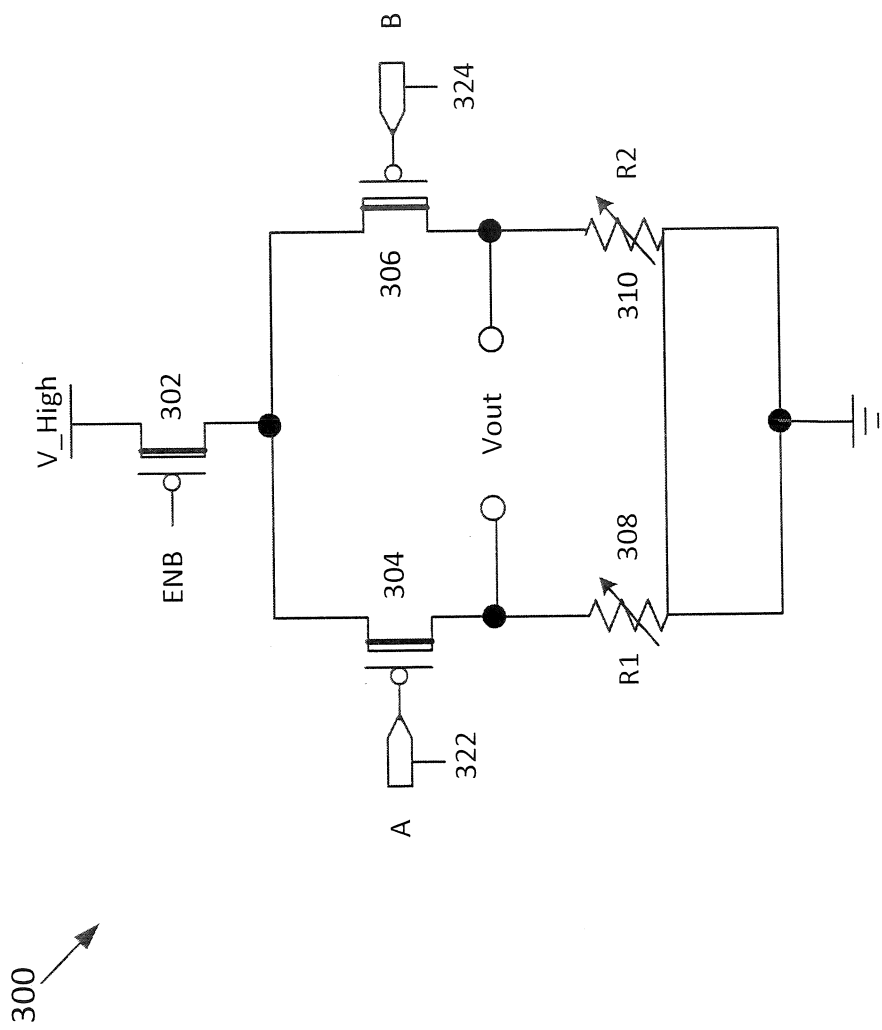


Fig.3

4/8

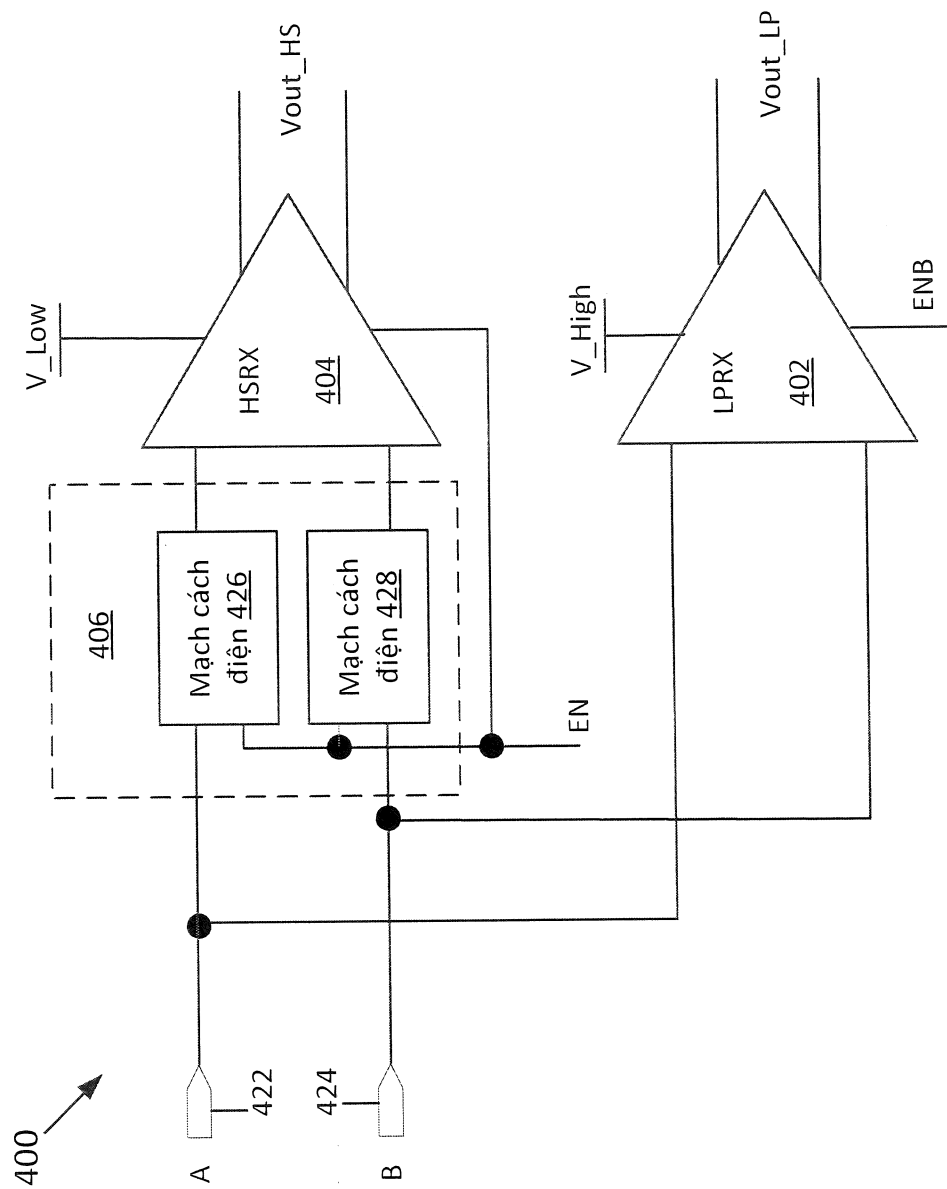


Fig.4

5/8

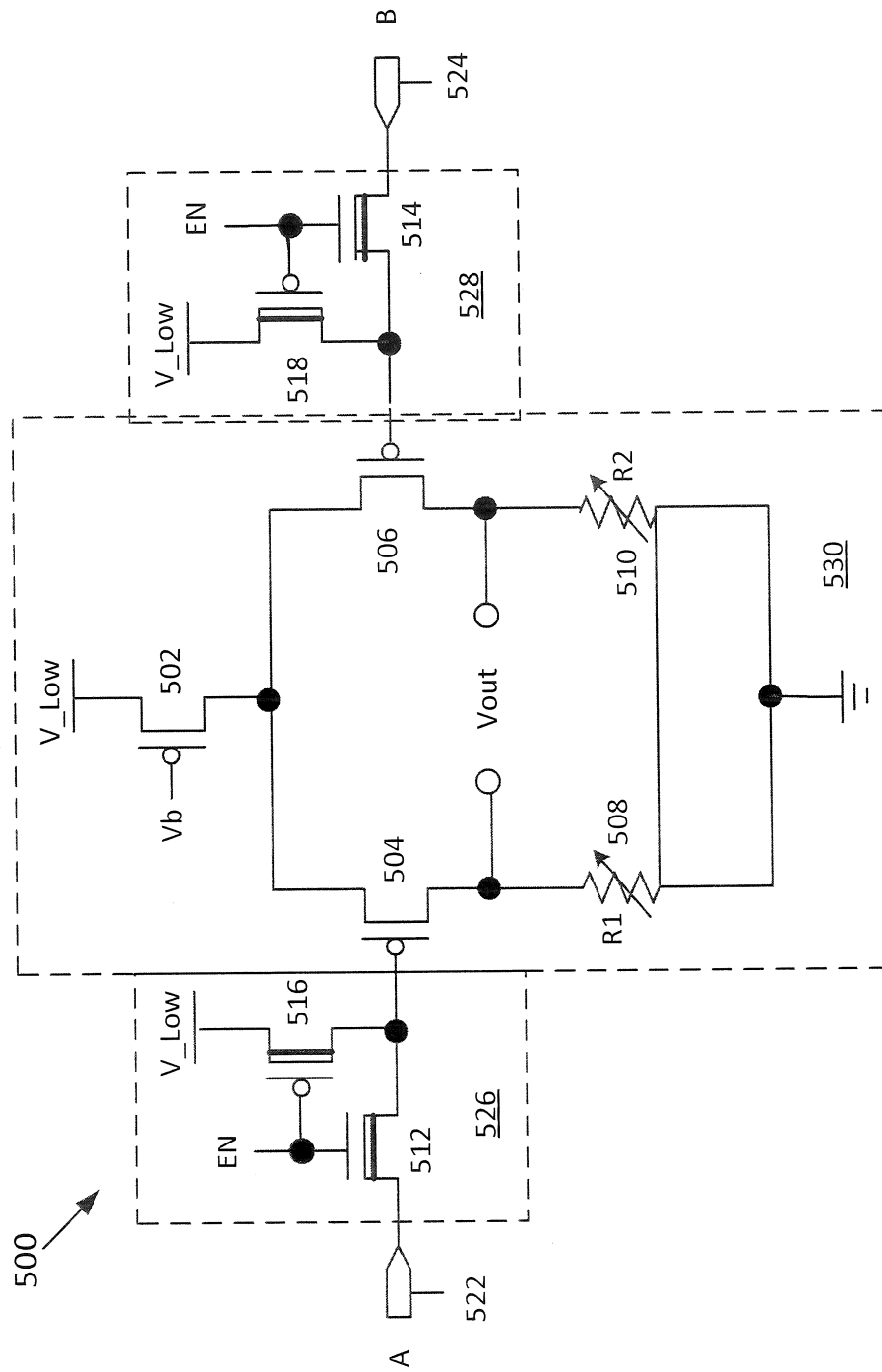


Fig.5

6/8

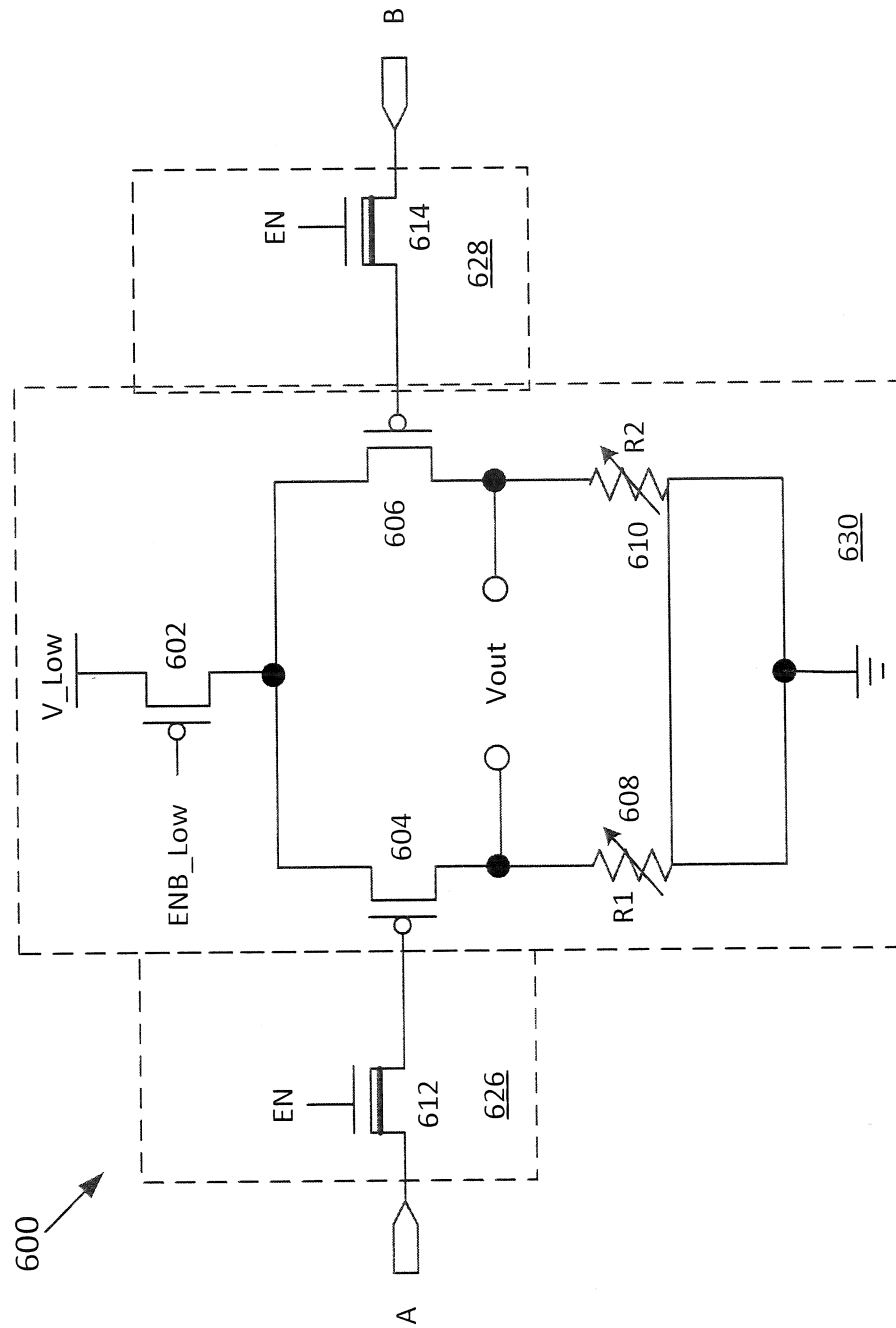


Fig.6

7/8

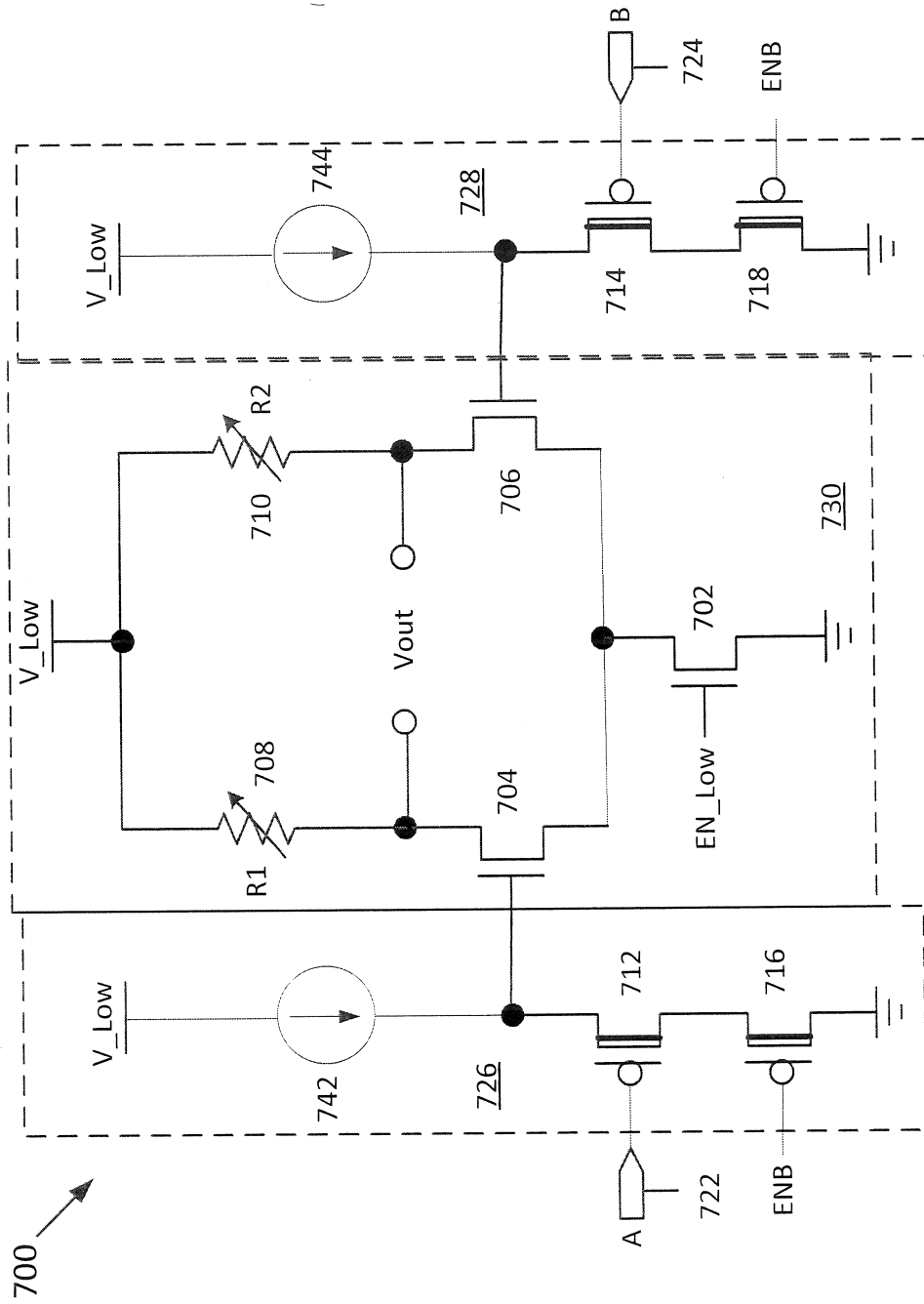


Fig.7

8/8

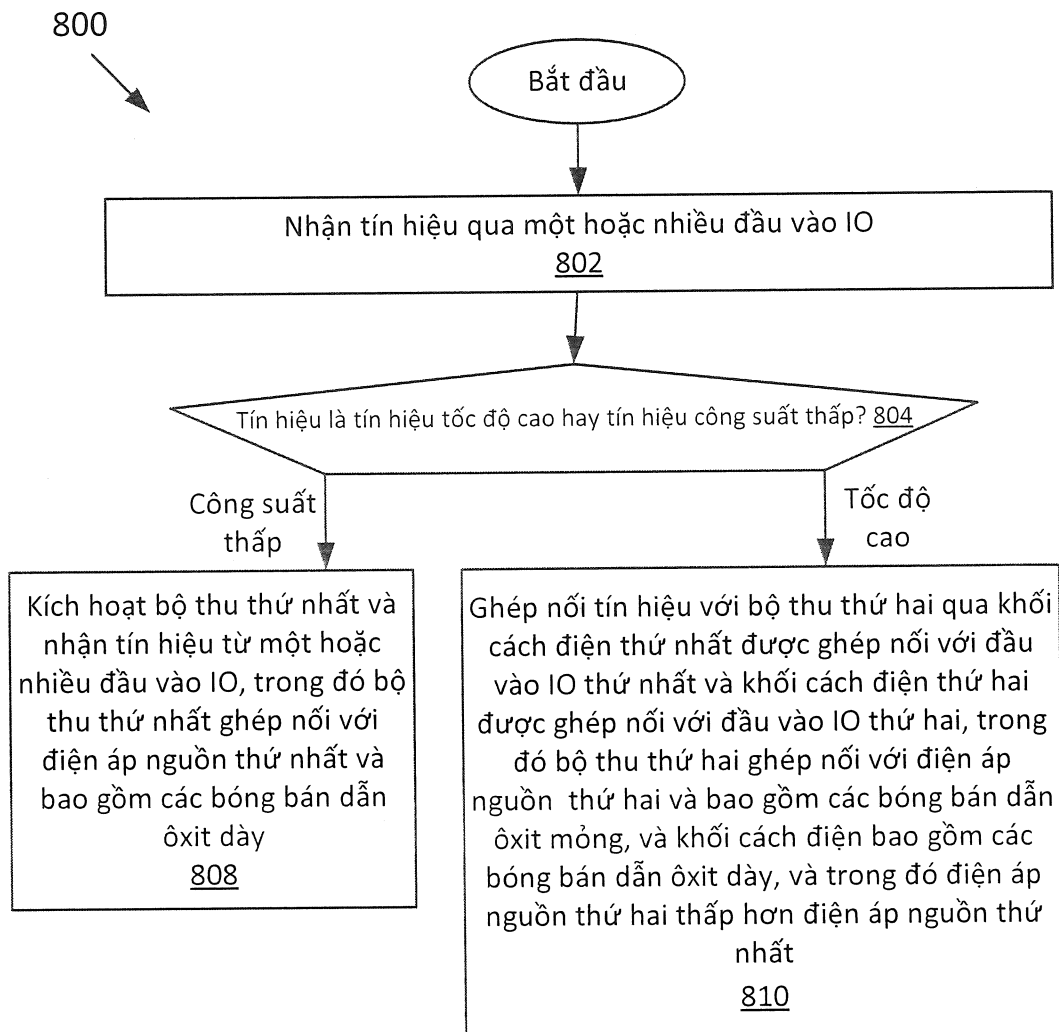


Fig.8