



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẢNG ĐỘC QUYỀN SÁNG CHẾ
(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN) (11) 
CỤC SỞ HỮU TRÍ TUỆ
1-0050248
(51)^{2021.01} **H03K 5/134**; H03K 19/003; H03K 19/0185 (13) **B**

(21) 1-2022-04528 (22) 21/01/2021
(86) PCT/US2021/014429 21/01/2021 (87) WO 2021/150762 29/07/2021
(30) 16/752,412 24/01/2020 US
(45) 25/08/2025 449 (43) 25/10/2022 415A
(73) Qualcomm Incorporated (US)
ATTN: International IP Administration, 5775 Morehouse Drive, San Diego, CA
92121-1714, United States of America
(72) ZHOU, Qubo (CN); WANG, Yan (CN).
(74) Công ty TNHH Quốc tế D & N (D&N INTERNATIONAL CO.,LTD.)

(54) TÀNG CÔNG SUẤT VÀ PHƯƠNG PHÁP XỬ LÝ TÍN HIỆU

(21) 1-2022-04528

(57) Sáng chế đề cập chung đến tăng công suất và phương pháp xử lý tín hiệu. Tăng công suất nói chung bao gồm tranzito thứ nhất, tranzito thứ hai có cực máng được ghép nối với cực máng của tranzito thứ nhất, mạch điều khiển cực cổng thứ nhất được ghép nối giữa nút đầu vào của tăng công suất và cực cổng của tranzito thứ nhất, và mạch điều khiển cực cổng thứ hai có đường truyền tín hiệu thứ nhất được ghép nối giữa nút đầu vào và cực cổng của tranzito thứ hai. Theo các khía cạnh nhất định, mạch điều khiển cực cổng thứ hai bao gồm nhiều bộ đệm trong đường truyền tín hiệu thứ nhất, và nhiều linh kiện điện tử được ghép nối với nhiều bộ đệm và được tạo cấu hình để áp dụng độ trễ gắn với việc điều khiển cực cổng của tranzito thứ hai để theo độ trễ gắn với việc điều khiển cực cổng của tranzito thứ nhất qua mạch điều khiển cực cổng thứ nhất.

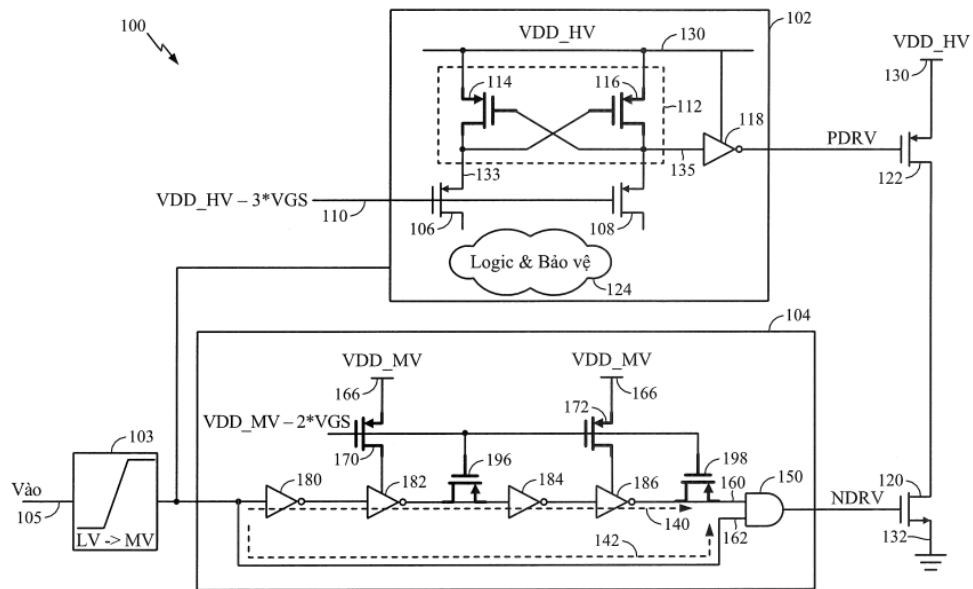


FIG.1

Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập chung đến mạch điện tử, và cụ thể hơn là mạch điều khiển cực cổng cho tăng công suất.

Tình trạng kỹ thuật của sáng chế

Do kích thước đặc tính tối thiểu của mạch tích hợp (integrated circuit - IC) ngày càng thu nhỏ và mong muốn giảm tiêu thụ công suất vẫn còn, phần logic lõi của mạch kỹ thuật số đang được cung cấp từ điện áp ngày càng giảm, như xuống 1,0 V hoặc thấp hơn. Tuy nhiên, điện áp cấp nguồn của các phần khác của IC có thể vẫn ở mức điện áp cao hơn. Do đó, bộ chuyển đổi mức điện áp (ví dụ, mạch chuyển đổi mức) có thể được sử dụng để chuyển đổi mức tín hiệu từ điện áp cấp tương đối thấp sang điện áp cấp tương đối cao.

Bản chất kỹ thuật của sáng chế

Các khía cạnh của sáng chế đề cập chung đến tăng công suất. Nhìn chung, tăng công suất bao gồm: tranzito thứ nhất; tranzito thứ hai có cực máng được ghép nối với cực máng của tranzito thứ nhất; mạch điều khiển cực cổng thứ nhất được ghép nối giữa nút đầu vào của tăng công suất và cực cổng của tranzito thứ nhất; và mạch điều khiển cực cổng thứ hai có đường truyền tín hiệu thứ nhất được ghép nối giữa nút đầu vào và cực cổng của tranzito thứ hai, trong đó mạch điều khiển cực cổng thứ hai bao gồm: nhiều bộ đệm trong đường truyền tín hiệu thứ nhất; và nhiều linh kiện điện tử được ghép nối với nhiều bộ đệm và được tạo cấu hình để áp dụng độ trễ gắn với việc điều khiển cực cổng của tranzito thứ hai theo độ trễ gắn với việc điều khiển cực cổng của tranzito thứ nhất qua mạch điều khiển cực cổng thứ nhất.

Các khía cạnh của sáng chế đề cập chung đến phương pháp xử lý tín hiệu. Nhìn chung, phương pháp này bao gồm các bước: điều khiển, qua mạch điều khiển cực cổng thứ nhất, cực cổng của tranzito thứ nhất dựa vào tín hiệu đầu vào; điều khiển, qua mạch điều khiển cực cổng thứ hai, cực cổng của tranzito thứ hai dựa vào tín hiệu đầu vào; và áp dụng độ trễ gắn với việc điều khiển cực cổng của tranzito thứ hai qua nhiều linh kiện điện tử được ghép nối với nhiều bộ đệm trong đường truyền tín hiệu thứ nhất của mạch điều khiển cực cổng thứ hai, trong đó độ trễ theo độ trễ gắn với việc điều khiển cực cổng

của tranzito thứ nhất.

Mô tả vắn tắt các hình vẽ

Để có thể hiểu chi tiết các đặc điểm đề cập ở trên của sáng chế, một mô tả cụ thể hơn, mà được mô tả vắn tắt ở trên, có thể được thể hiện rõ hơn bằng cách tham khảo các khía cạnh, mà một số trong số các khía cạnh đó được minh họa trong các hình vẽ kèm theo. Tuy nhiên, cần lưu ý rằng các hình vẽ kèm theo chỉ minh họa một số khía cạnh điển hình nhất định của sáng chế này và do đó không được coi là giới hạn phạm vi của sáng chế, vì mô tả có thể thừa nhận các khía cạnh khác có hiệu quả tương đương.

Fig.1 minh họa mạch nửa cầu H có mạch điều khiển bán dẫn oxit kim loại loại p (p-type metal-oxide-semiconductor - PMOS) và mạch điều khiển bán dẫn oxit kim loại loại n (n-type metal-oxide-semiconductor - NMOS), theo các khía cạnh nhất định của sáng chế.

Fig.2 là lưu đồ minh họa ví dụ về các hoạt động xử lý tín hiệu, theo các khía cạnh nhất định của sáng chế.

Mô tả chi tiết sáng chế

Các khía cạnh khác nhau của sáng chế được mô tả đầy đủ hơn sau đây có tham chiếu đến các hình vẽ kèm theo. Tuy nhiên, sáng chế có thể được thể hiện dưới nhiều hình thức khác nhau và không được hiểu là bị giới hạn với bất kỳ cấu trúc hoặc chức năng cụ thể nào được trình bày trong sáng chế. Thay vào đó, những khía cạnh này được đưa ra để sáng chế sẽ được thấu đáo và đầy đủ, và chuyển tải đầy đủ phạm vi của sáng chế cho những người có hiểu biết trung bình trong lĩnh vực kỹ thuật. Dựa trên những kiến thức ở đây người có hiểu biết trung bình trong lĩnh vực kỹ thuật sẽ hiểu rằng phạm vi của sáng chế được dự định bao gồm bất kỳ khía cạnh nào của sáng chế được bộc lộ ở đây, cho dù được thực hiện độc lập với hoặc được kết hợp với bất kỳ khía cạnh nào khác của sáng chế. Ví dụ, thiết bị có thể được thực hiện hoặc phương pháp có thể được thực hiện bằng cách sử dụng số lượng khía cạnh bất kỳ được trình bày ở đây. Ngoài ra, phạm vi của sáng chế được dự định bao gồm thiết bị hoặc phương pháp mà được thực hiện bằng cách sử dụng cấu trúc, chức năng khác, hoặc cấu trúc và chức năng bổ sung hoặc khác với các khía cạnh khác nhau của sáng chế được trình bày ở đây. Cần hiểu rằng bất kỳ khía cạnh nào của sáng chế được bộc lộ ở đây có thể được biểu hiện bởi một hoặc nhiều yếu tố của yêu cầu bảo hộ.

Thuật ngữ “làm ví dụ” được sử dụng ở đây có nghĩa là “có vai trò làm ví dụ, mẫu, hoặc minh họa”. Bất kỳ khía cạnh nào được mô tả ở đây là “làm ví dụ” không nhất thiết phải được hiểu là ưu tiên hoặc có lợi hơn các khía cạnh khác.

VÍ DỤ VỀ BỘ TẠO TÍN HIỆU KHÔNG CHỒNG LẦN

Mạch cầu H (ví dụ, nửa cầu H được triển khai với hai công tắc, hoặc cầu H được triển khai với bốn công tắc) trong tầng công suất có thể hoạt động dưới nguồn điện áp cao (high voltage - HV) (ví dụ, 12 V trở lên). Mạch cầu H có thể bao gồm tranzito bán dẫn oxit kim loại loại p (PMOS) có cực máng được ghép nối với cực máng của tranzito bán dẫn oxit kim loại loại n (NMOS). Điện áp điều khiển PMOS (PMOS drive voltage - PDRV) có thể chuyển đổi qua lại (toggle) giữa điện áp cấp (ví dụ, ray điện áp cao (VDD_HV)) và điện áp cấp - delta, điện áp delta là bất kỳ điện áp nào lớn hơn điện áp ngưỡng của tranzito PMOS của tầng công suất.

Bộ chuyển đổi mức có thể được sử dụng để chuyển đổi mức tín hiệu tham chiếu đất đến PDRV để điều khiển tranzito PMOS phía cao của mạch cầu H. Để triển khai hoạt động ngắt trước khi nối (break-before-make - BBM), điện áp điều khiển phía thấp (ví dụ, được tạo ra qua mạch điện áp điều khiển NMOS (NMOS drive voltage - NDRV)) có thể được tạo ra bằng cách sử dụng cùng một loại bộ chuyển đổi mức điện áp cao có cùng độ trễ như mạch PDRV. Các bộ chuyển đổi mức điện áp cao chiếm diện tích lớn do các thiết bị bảo vệ điện áp cao được bao gồm trong đó. Các khía cạnh nhất định của sáng chế hướng đến mạch NDRV được thực hiện với bộ tạo BBM tiết kiệm diện tích mà theo độ trễ mạch PDRV qua các biến đổi về quy trình, điện áp và nhiệt độ (process, voltage, and temperature - PVT).

Fig.1 minh họa mạch nửa cầu H 100 có mạch PDRV 102 và mạch NDRV 104 (còn được gọi là “bộ tạo tín hiệu không chồng lần” hoặc “bộ tạo BBM”), theo các khía cạnh nhất định của sáng chế. Tín hiệu đầu vào, tại nút đầu vào 105, có thể chuyển tiếp từ điện áp thấp (low voltage - LV) sang điện áp trung bình (medium voltage - MV), như được minh họa bởi khối 103. Mạch nửa cầu H 100 bao gồm ít nhất tranzito PMOS 122 và tranzito NMOS 120 được ghép nối giữa nút cấp điện áp cao (high voltage - HV) 130 (VDD_HV) và nút điện thế tham chiếu 132 (ví dụ, dây tiếp đất). Như được minh họa, các cực máng của tranzito PMOS 122 và tranzito NMOS 120 có thể được ghép nối với nhau.

Mạch PDRV 102 bao gồm các tranzito 106, 108 có các cực cổng được ghép nối

với nút điều khiển cực cổng 110. Các tranzito 106, 108 được ghép nối với mạch chốt 112. Độ trễ liên quan tới mạch PDRV 102 có thể bị chi phối bởi các thuộc tính chốt của mạch chốt 112. Mạch chốt 112 bao gồm các tranzito 114, 116 được ghép nối chéo. Nói cách khác, cực cổng của tranzito 114 được ghép nối với cực máng của tranzito 116, và cực cổng của tranzito 116 được ghép nối với cực máng của tranzito 114, như được minh họa. Cực nguồn của các tranzito 114, 116 được ghép nối với nút cấp điện áp cao 130 (VDD_HV). Theo các khía cạnh nhất định, nút điều khiển cực cổng 110 có thể nhận điện áp bằng VDD_HV - 3VGS, trong đó VGS là điện áp cực cổng đến cực nguồn của tranzito 114 hoặc tranzito 116. Bộ đệm 118 (ví dụ, bộ biến đổi) có thể được ghép nối giữa cực cổng của tranzito PMOS 122 và cực máng của tranzito 116. Ví dụ, đầu vào của bộ đệm 118 có thể được ghép nối với cực máng của tranzito 116 trong khi đầu ra của bộ đệm 118 có thể được ghép nối với cực cổng của tranzito PMOS 122. Theo các khía cạnh nhất định, mạch PDRV 102 cũng có thể bao gồm mạch logic và bảo vệ 124, như được minh họa.

Mạch NDRV 104 bao gồm nhiều phần tử độ trễ để triển khai bộ tạo BBM để điều khiển tranzito NMOS 120 theo cách ngăn không cho cả hai tranzito PMOS 122 và tranzito NMOS 120 được bật cùng lúc. Nói cách khác, mạch NDRV 104 có thể đảm bảo điện áp cực cổng của tranzito NMOS 120 đi từ logic thấp đến logic cao, bật tranzito NMOS 120, chỉ sau khi tranzito PMOS đã tắt. Ngoài ra, mạch NDRV 104 có thể đảm bảo điện áp cực cổng của tranzito NMOS 120 đi từ logic cao đến logic thấp, tắt tranzito NMOS 120, trước khi tranzito PMOS bật.

Mạch NDRV 104 bao gồm đường truyền chậm 140 và đường truyền nhanh 142, được ghép nối giữa nút đầu vào 105 và các đầu vào 160, 162 của cổng AND 150. Theo cách này, độ trễ chỉ được áp dụng cho đường truyền chậm 140 và không áp dụng cho đường truyền nhanh 142. Nói cách khác, đầu ra của cổng AND 150 chỉ chuyển tiếp sang logic cao, đóng tranzito NMOS 120, khi cả hai đầu vào của cổng AND 150 là logic cao. Do đó, khi đầu vào đến mạch NDRV 104 chuyển tiếp từ logic thấp đến logic cao để đóng tranzito NMOS 120, độ trễ gắn với đường truyền chậm 140 gây ra trễ chuyển tiếp từ logic thấp đến logic cao tại đầu vào của cổng AND 150, và do đó, gây ra trễ khi bật tranzito NMOS 120. Theo đó, độ trễ ngăn cản tranzito NMOS 120 bật cho đến khi tranzito PMOS có cơ hội tắt. Tuy nhiên, khi đầu vào đến mạch NDRV 104 chuyển tiếp từ logic cao đến logic thấp để tắt tranzito NMOS 120, độ trễ gắn với đường truyền chậm

140 không quyết định thời gian tại đó đầu ra của cổng AND chuyển tiếp từ logic cao sang thấp. Nói cách khác, đường truyền nhanh 142 thiết lập đầu vào 162 của cổng AND ở logic thấp có ít hoặc không có độ trễ, dẫn đến đầu ra của cổng AND chuyển tiếp sang logic thấp, bất kể trạng thái logic tại đầu vào 160.

Theo các khía cạnh nhất định, các phần tử độ trễ nhất định của đường truyền chậm có thể được tạo cấu hình để theo (hoặc ít nhất là gần với) các độ trễ gắn với mạch PDRV 102. Ví dụ, đường truyền chậm có thể bao gồm nhiều bộ đệm 180, 182, 184, 186 (ví dụ, các bộ biến đổi). Các tranzito 170, 172 có thể được ghép nối giữa nút cấp điện áp trung bình 166 (VDD_MV) và đầu vào cấp tương ứng của các bộ đệm 182, 186. Hơn nữa, phần tử điện dung 196 có thể được ghép nối giữa các cổng của các tranzito 170, 172 và đầu ra của bộ đệm 182, và phần tử điện dung 198 có thể được ghép nối giữa các cổng của các tranzito 170, 172 và đầu ra của bộ đệm 186. Mỗi trong số các phần tử điện dung 196, 198 có thể được triển khai bằng cách sử dụng tranzito (ví dụ, tranzito PMOS) có các đầu cuối cực nguồn và cực máng của nó được ghép nối với nhau, như được minh họa.

Theo các khía cạnh nhất định, các tranzito 170, 172 có thể là các bản sao của các tranzito 106, 108. Hơn nữa, điện áp cực cổng đến cực nguồn được áp dụng cho mỗi trong số các tranzito 170, 172 có thể bằng với điện áp cực cổng đến cực nguồn được áp dụng cho mỗi trong số các tranzito 106, 108. Ví dụ, điện áp cực cổng đến cực nguồn được áp dụng cho tranzito 170 có thể bằng $(VDD_MV - 2 \times VGS) - VDD_MV$, tức là bằng $2 \times VGS$. Điện áp được áp dụng cho cực cổng của tranzito 106 có thể bằng $VDD_HV - 3 \times VGS$. Hơn nữa, điện áp tại nút 133 có thể là $VDD_HV - VGS$. Do đó, điện áp cực cổng đến cực nguồn của tranzito 106 có thể bằng $(VDD_HV - 3 \times VGS) - (VDD_HV - VGS)$, tức là bằng $2 \times VGS$. Do đó, các điện áp cực cổng đến cực nguồn của các tranzito 170, 106 có thể giống nhau, dẫn đến trở kháng cực nguồn đến cực máng của các tranzito 106, 170 ít nhất là gần giống nhau.

Hơn nữa, các phần tử điện dung 196, 198 có thể được tạo cấu hình để giống với điện dung lớp chuyển tiếp gắn với các tranzito 114, 116. Ví dụ, để chuyển tiếp điện áp tại nút 135 từ trị logic cao sang trị logic thấp để tắt tranzito PMOS 122, tranzito 116 có thể bị tắt bằng cách nạp điện dung chuyển tiếp của tranzito 116. Nói cách khác, độ trễ gắn với quá trình chuyển tiếp từ logic cao đến logic thấp tại nút 135 có thể là hàm của hằng số thời gian điện trở-điện dung (resistance-capacitance - RC) gắn với trở kháng cực

nguồn đến cực máng của tranzito 106 và điện dung chuyển tiếp gắn với tranzito 116. Hằng số thời gian RC có thể được theo bởi hằng số thời gian RC gắn với trở kháng cực nguồn đến cực máng của tranzito 170 và điện dung của phần tử điện dung 196 để cho độ trễ gắn với đường truyền chậm 140 theo độ trễ gắn với mạch PDRV 102.

Biến đổi trong trở kháng cực máng đến cực nguồn của các tranzito 170, 172 có thể theo các biến đổi trong trở kháng của các tranzito 106, 108 qua PVT. Hơn nữa, các biến đổi trong điện dung của các phần tử điện dung 196, 198 có thể theo các biến đổi trong các điện dung chuyển tiếp của các tranzito 106, 108. Do đó, mạch NDRV 104 có thể triển khai chức năng BBM qua PVT. Nói cách khác, độ trễ gắn với đường truyền chậm 140 có thể đạt được bởi mạch theo PVT (ví dụ, các tranzito 170, 172, và các phần tử điện dung 196, 198) theo độ trễ gắn với mạch PDRV 102.

Trong khi ví dụ mạch nửa cầu H 100 được triển khai với bộ tạo BBM cho mạch NDRV 104 để điều khiển tranzito NMOS 120, thì thay vào đó, mạch PDRV để điều khiển tranzito PMOS 122 có thể được triển khai với bộ tạo BBM trong một số phương án thực hiện nhất định. Nói cách khác, mạch PDRV để điều khiển tranzito PMOS 122 có thể được triển khai với bộ tạo BBM được tạo cấu hình để theo độ trễ gắn với mạch NDRV để điều khiển tranzito NMOS 120. Hơn nữa, mặc dù đường truyền chậm của mạch NDRV 104 được triển khai bằng cách sử dụng bốn bộ đệm để dễ hiểu, nhưng có thể sử dụng số lượng bộ đệm và mạch hằng số thời gian RC liên quan bất kỳ (ví dụ, tranzito 170 và phần tử điện dung 196). Ví dụ, đường truyền chậm có thể được triển khai với sáu bộ đệm theo độ trễ gắn với mạch PDRV 102, nhưng triển khai độ trễ lớn hơn cho chức năng BBM so với việc sử dụng bốn bộ đệm.

Fig.2 là lưu đồ minh họa ví dụ về các hoạt động 200 để xử lý tín hiệu, theo các khía cạnh nhất định của sáng chế. Các hoạt động 200 có thể được thực hiện bởi mạch tăng công suất, như mạch nửa cầu H 100.

Các hoạt động 200 bắt đầu, tại khối 202, với điều khiển mạch, qua mạch điều khiển cực cổng thứ nhất (ví dụ, mạch PDRV 102), cực cổng của tranzito thứ nhất (ví dụ, tranzito PMOS 122) dựa vào tín hiệu đầu vào (ví dụ, tại nút đầu vào 105), và tại khối 204, điều khiển, qua mạch điều khiển cực cổng thứ hai (ví dụ, mạch NDRV 104), cực cổng của tranzito thứ hai (ví dụ, tranzito NMOS 120) dựa vào tín hiệu đầu vào. Tại khối 206, mạch áp dụng độ trễ gắn với việc điều khiển cực cổng của tranzito thứ hai qua nhiều

linh kiện điện tử được ghép nối với nhiều bộ đệm (ví dụ, các bộ đệm 180, 182, 184, 186) trong đường truyền tín hiệu thứ nhất (ví dụ, đường truyền chậm 140) của mạch điều khiển cực cổng thứ hai. Theo các khía cạnh nhất định, độ trễ theo độ trễ gắn với việc điều khiển cực cổng của tranzito thứ nhất.

Theo các khía cạnh nhất định, độ trễ chỉ được áp dụng cho quá trình chuyển tiếp từ logic thấp sang logic cao tại cực cổng của tranzito thứ hai. Theo các khía cạnh nhất định, nhiều linh kiện điện tử bao gồm các bản sao của linh kiện điện tử của mạch điều khiển cực cổng thứ nhất. Theo các khía cạnh nhất định, nhiều linh kiện điện tử có thể bao gồm tranzito thứ ba (ví dụ, tranzito 170) được ghép nối giữa ray điện áp (ví dụ, nút cấp điện áp 166) và nút cấp của một bộ đệm (ví dụ, bộ đệm 182) trong số nhiều bộ đệm, và phần tử điện dung thứ nhất (ví dụ, phần tử điện dung 196) được ghép nối với đầu ra của một bộ đệm trong số nhiều bộ đệm. Phần tử điện dung thứ nhất có thể được tạo cấu hình để sao chép phần tử điện dung gắn với mạch điều khiển cực cổng thứ nhất.

Các hoạt động khác nhau hoặc các phương pháp được mô tả trên đây có thể được thực hiện bằng bất kỳ phương tiện thích hợp nào có khả năng thực hiện các chức năng tương ứng. Các phương tiện này có thể bao gồm (các) thành phần phần cứng và/hoặc phần mềm khác nhau và/hoặc (các) modun, bao gồm, nhưng không bị giới hạn ở mạch, mạch tích hợp chuyên dụng (application specific integrated circuit - ASIC), hoặc bộ xử lý. Nói chung, khi có các hoạt động được minh họa trên các hình vẽ, các hoạt động đó có thể có các thành phần phương tiện cộng chức năng (means-plus-function) tương ứng với cách đánh số tương tự.

Như được sử dụng ở đây, thuật ngữ "xác định" bao gồm nhiều loại thao tác. Ví dụ, "xác định" có thể bao gồm tính toán, điện toán, xử lý, suy ra, điều tra, tra cứu (ví dụ, tra cứu trong bảng, cơ sở dữ liệu hoặc cấu trúc dữ liệu khác), khẳng định và tương tự. "Xác định" cũng có thể bao gồm nhận (ví dụ, nhận thông tin), truy cập (ví dụ, truy cập vào dữ liệu trong bộ nhớ) và tương tự. Ngoài ra, "xác định" cũng có thể bao gồm giải quyết, chọn, lựa chọn, thiết lập và tương tự.

Như được sử dụng ở đây, cụm từ đề cập đến "ít nhất một trong số" một danh sách các mục đề cập đến sự kết hợp bất kỳ của các mục đó, bao gồm cả các thành viên đơn lẻ. Ví dụ, "ít nhất một trong số: a , b , hoặc c " dự định gồm a , b , c , $a-b$, $a-c$, $b-c$, và $a-b-c$, cũng như tổ hợp bất kỳ với các phần tử giống nhau (ví dụ, $a-a$, $a-a-a$, $a-a-b$, $a-a-c$, $a-b-b$,

$a-c-c$, $b-b$, $b-b-b$, $b-b-c$, $c-c$, và $c-c-c$ hoặc thứ tự bất kỳ khác của a , b và c).

Các phương pháp bộc lộ ở đây bao gồm một hoặc nhiều bước hoặc thao tác để đạt được phương pháp được mô tả. Các bước phương pháp và/hoặc các thao tác có thể được thay thế cho nhau mà không nằm ngoài phạm vi của các yêu cầu bảo hộ. Nói cách khác, trừ khi một thứ tự cụ thể của các bước hoặc thao tác được chỉ rõ, thứ tự và/hoặc việc sử dụng các bước và/hoặc thao tác cụ thể có thể được sửa đổi mà không cần nằm ngoài phạm vi của các yêu cầu bảo hộ.

Cần phải hiểu rằng các yêu cầu bảo hộ không bị giới hạn ở cấu hình và các thành phần chính xác được minh họa ở trên. Các sửa đổi, thay đổi và biến thể khác nhau có thể được thực hiện trong cách sắp xếp, hoạt động và chi tiết của các phương pháp và thiết bị được mô tả ở trên mà không nằm ngoài phạm vi của các yêu cầu bảo hộ.

YÊU CẦU BẢO HỘ

1. Tầng công suất bao gồm:

tranzito thứ nhất;

tranzito thứ hai có cực máng được ghép nối với cực máng của tranzito thứ nhất;

mạch điều khiển cực cổng thứ nhất được ghép nối giữa nút đầu vào của tầng công suất và cực cổng của tranzito thứ nhất; và

mạch điều khiển cực cổng thứ hai có đường truyền tín hiệu thứ nhất được ghép nối giữa nút đầu vào và cực cổng của tranzito thứ hai, trong đó mạch điều khiển cực cổng thứ hai bao gồm:

nhiều bộ đệm trong đường truyền tín hiệu thứ nhất; và

nhiều linh kiện điện tử được ghép nối với nhiều bộ đệm và được tạo cấu hình để áp dụng độ trễ gắn với việc điều khiển cực cổng của tranzito thứ hai để theo độ trễ gắn với việc điều khiển cực cổng của tranzito thứ nhất qua mạch điều khiển cực cổng thứ nhất.

2. Tầng công suất theo điểm 1, trong đó nhiều linh kiện điện tử bao gồm các bản sao của các linh kiện điện tử của mạch điều khiển cực cổng thứ nhất.

3. Tầng công suất theo điểm 1, trong đó nhiều linh kiện điện tử bao gồm:

tranzito thứ ba được ghép nối giữa ray điện áp thứ nhất và nút cấp của bộ đệm thứ nhất trong số nhiều bộ đệm; và

phần tử điện dung thứ nhất được ghép nối với đầu ra của bộ đệm thứ nhất.

4. Tầng công suất theo điểm 3, trong đó ray điện áp thứ nhất ở điện áp thấp hơn ray điện áp thứ hai của mạch điều khiển cực cổng thứ nhất.

5. Tầng công suất theo điểm 3, trong đó phần tử điện dung thứ nhất được ghép nối giữa đầu ra của bộ đệm thứ nhất và cực cổng của tranzito thứ ba.

6. Tầng công suất theo điểm 3, trong đó phần tử điện dung thứ nhất bao gồm tranzito thứ tư, trong đó cực máng của tranzito thứ tư được ghép nối với cực nguồn của tranzito thứ tư và với đầu ra của bộ đệm thứ nhất.

7. Tầng công suất theo điểm 3, trong đó mạch điều khiển cực cổng thứ nhất bao gồm:
 mạch chốt được ghép nối với cực cổng của tranzito thứ nhất; và
 tranzito thứ tư được ghép nối với mạch chốt, trong đó tranzito thứ ba là bản sao của tranzito thứ tư.
8. Tầng công suất theo điểm 7, trong đó điện áp cực cổng đến cực nguồn của tranzito thứ ba giống với điện áp cực cổng đến cực nguồn của tranzito thứ tư.
9. Tầng công suất theo điểm 3, trong đó phần tử điện dung thứ nhất được tạo cấu hình để sao chép phần tử điện dung gắn với mạch điều khiển cực cổng thứ nhất.
10. Tầng công suất theo điểm 9, trong đó mạch điều khiển cực cổng thứ nhất bao gồm:
 tranzito thứ tư được ghép nối với cực cổng của tranzito thứ nhất, phần tử điện dung gắn với mạch điều khiển cực cổng thứ nhất bao gồm điện dung chuyển tiếp của tranzito thứ tư.
11. Tầng công suất theo điểm 10, trong đó mạch điều khiển cực cổng thứ nhất bao gồm mạch chốt có tranzito thứ tư và tranzito thứ năm, trong đó cực cổng của tranzito thứ tư được ghép nối với cực máng của tranzito thứ năm, và trong đó cực cổng của tranzito thứ năm được ghép nối với cực máng của tranzito thứ tư.
12. Tầng công suất theo điểm 3, trong đó nhiều linh kiện điện tử bao gồm:
 tranzito thứ tư được ghép nối giữa ray điện áp thứ nhất và nút cấp của bộ đệm thứ hai trong số nhiều bộ đệm; và
 phần tử điện dung thứ hai được ghép nối với đầu ra của bộ đệm thứ hai.
13. Tầng công suất theo điểm 1, trong đó mạch điều khiển cực cổng thứ hai bao gồm:
 đường truyền tín hiệu thứ hai; và
 cổng AND, trong đó đầu vào thứ nhất của cổng AND được ghép nối với đường truyền tín hiệu thứ nhất, trong đó đầu vào thứ hai của cổng AND được làm ngắn mạch với nút đầu vào qua đường truyền tín hiệu thứ hai, và trong đó đầu ra của cổng AND được ghép nối với cực cổng của tranzito thứ hai.

14. Tầng công suất theo điểm 1, trong đó nhiều bộ đệm bao gồm nhiều bộ biến đổi.

15. Tầng công suất theo điểm 1, trong đó độ trễ được tạo cấu hình để chỉ được áp dụng cho quá trình chuyển tiếp từ logic thấp sang logic cao tại cực cổng của tranzito thứ hai.

16. Phương pháp xử lý tín hiệu, phương pháp này bao gồm các bước:

điều khiển, qua mạch điều khiển cực cổng thứ nhất, cực cổng của tranzito thứ nhất dựa vào tín hiệu đầu vào;

điều khiển, qua mạch điều khiển cực cổng thứ hai, cực cổng của tranzito thứ hai dựa vào tín hiệu đầu vào; và

áp dụng độ trễ gắn với việc điều khiển cực cổng của tranzito thứ hai qua nhiều linh kiện điện tử được ghép nối với nhiều bộ đệm trong đường truyền tín hiệu thứ nhất của mạch điều khiển cực cổng thứ hai, trong đó độ trễ theo độ trễ gắn với việc điều khiển cực cổng của tranzito thứ nhất.

17. Phương pháp theo điểm 16, trong đó độ trễ chỉ được áp dụng cho quá trình chuyển tiếp từ logic thấp sang logic cao tại cực cổng của tranzito thứ hai.

18. Phương pháp theo điểm 16, trong đó nhiều linh kiện điện tử là các bản sao của các linh kiện điện tử của mạch điều khiển cực cổng thứ nhất.

19. Phương pháp theo điểm 16, trong đó nhiều linh kiện điện tử bao gồm:

tranzito thứ ba được ghép nối giữa ray điện áp và nút cấp của một bộ đệm trong số nhiều bộ đệm; và

phần tử điện dung được ghép nối với đầu ra của bộ đệm trong số nhiều bộ đệm.

20. Phương pháp theo điểm 19, trong đó phần tử điện dung được tạo cấu hình để sao chép phần tử điện dung gắn với mạch điều khiển cực cổng thứ nhất.



FIG. 1

2/2

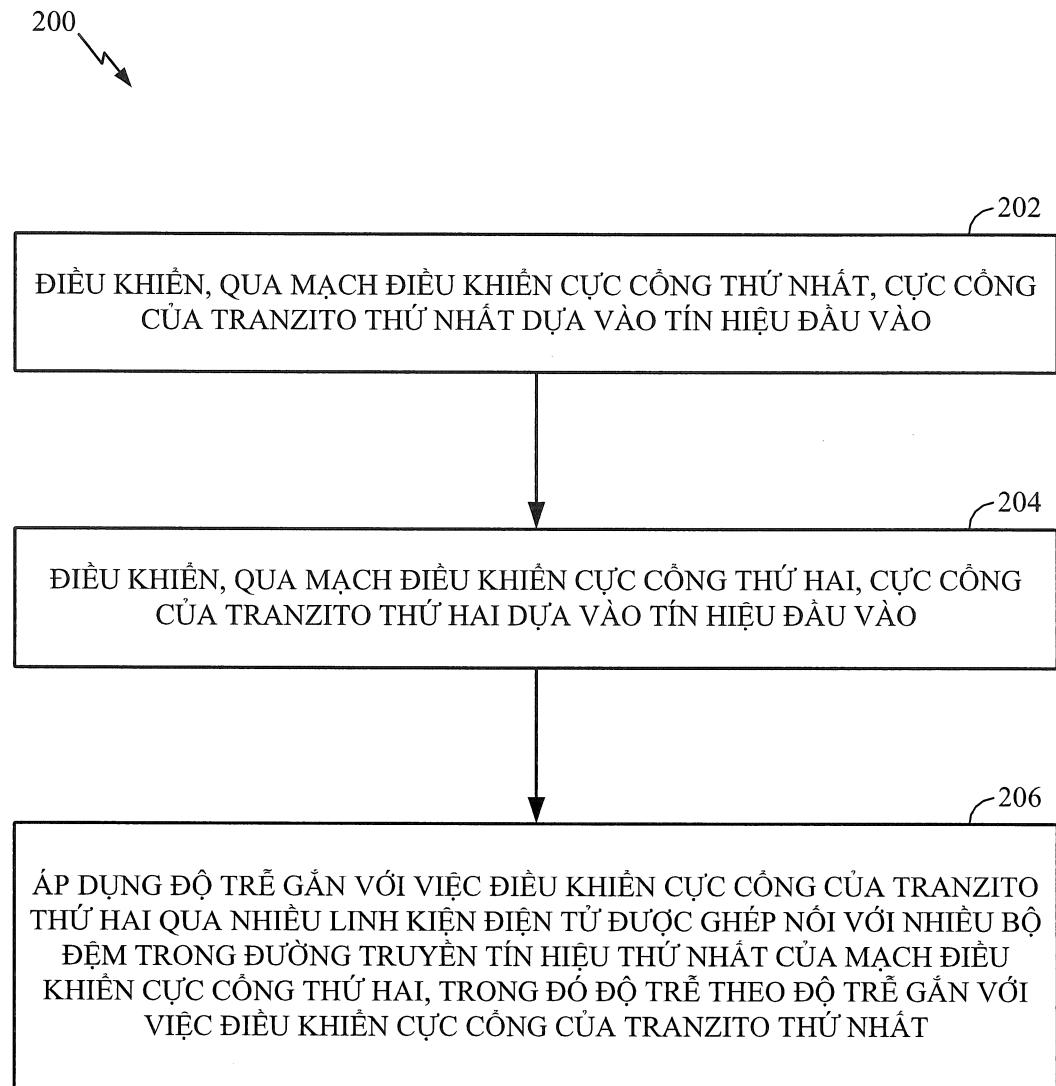


FIG.2