



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0049457

(51)^{2020.01} H04L 25/02

(13) B

(21) 1-2022-02506

(22) 15/10/2020

(86) PCT/US2020/055804 15/10/2020

(87) WO 2021/086625 06/05/2021

(30) 62/927,524 29/10/2019 US; 17/070,219 14/10/2020 US

(45) 25/08/2025 449

(43) 25/07/2022 412A

(73) QUALCOMM INCORPORATED (US)

ATTN: International IP Administration, 5775 Morehouse Drive, San Diego, CA
92121-1714, United States of America

(72) LEE, Chulkyu (US); DUAN, Ying (CN); CHOU, Shih-Wei (TW).

(74) Công ty TNHH Quốc tế D & N (D&N INTERNATIONAL CO.,LTD.)

(54) MÁY VÀ PHƯƠNG PHÁP TRUYỀN THÔNG DỮ LIỆU VÀ VẬT GHI BẮT
BIỂN ĐỌC ĐƯỢC BẰNG BỘ XỬ LÝ

(21) 1-2022-02506

(57) Sáng chế đề cập đến phương pháp, máy và hệ thống cung cấp thông lượng cải thiện trên liên kết truyền thông. Máy có nhiều trình điều khiển đường truyền, bộ mã hóa trạng thái dây thứ nhất được tạo cấu hình để nhận ký hiệu thứ nhất trong chuỗi ký hiệu khi liên kết 3 dây ở trong trạng thái báo hiệu thứ nhất, và xác định trạng thái báo hiệu thứ hai cho liên kết 3 dây dựa vào ký hiệu thứ nhất và trạng thái báo hiệu thứ nhất, bộ mã hóa trạng thái dây thứ hai được tạo cấu hình để nhận ký hiệu thứ hai trong chuỗi ký hiệu, và xác định trạng thái báo hiệu thứ ba cho liên kết 3 dây dựa vào ký hiệu thứ hai và trạng thái báo hiệu thứ hai. Ký hiệu thứ nhất đứng ngay trước ký hiệu thứ hai trong chuỗi ký hiệu. Liên kết 3 dây chuyển từ trạng thái báo hiệu thứ nhất sang thứ hai và từ trạng thái báo hiệu thứ hai sang thứ ba trong các khoảng thời gian truyền liên tiếp. Sáng chế đề cập đến máy và phương pháp truyền thông dữ liệu và phương tiện lưu trữ bất biến đọc được bằng bộ xử lý. Sáng chế cũng đề cập đến máy và phương pháp truyền thông dữ liệu và phương tiện lưu trữ bất biến đọc được bằng bộ xử lý.

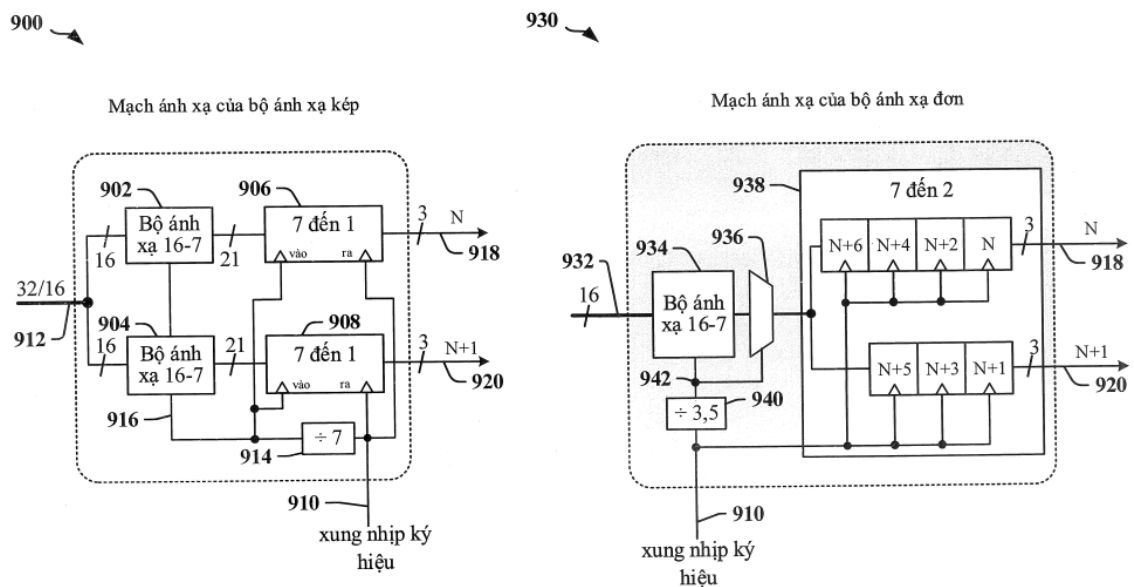


Fig.9

Lĩnh vực kỹ thuật được đề cập

Nói chung sáng chế đề cập đến các giao diện truyền thông dữ liệu tốc độ cao, và cụ thể hơn, đến việc cải thiện thông lượng dữ liệu qua liên kết truyền thông dữ liệu nhiều dây, nhiều pha.

Tình trạng kỹ thuật của sáng chế

Các nhà sản xuất thiết bị di động, chẳng hạn như điện thoại di động, có thể lấy các thành phần của thiết bị di động từ nhiều nguồn khác nhau, bao gồm các nhà sản xuất khác nhau. Ví dụ, bộ xử lý ứng dụng trong điện thoại di động có thể được lấy từ nhà sản xuất thứ nhất, còn thiết bị chụp ảnh hoặc camera có thể được lấy từ nhà sản xuất thứ hai và màn hình có thể được lấy từ nhà sản xuất thứ ba. Bộ xử lý ứng dụng, thiết bị chụp ảnh, bộ điều khiển màn hình hoặc các loại thiết bị khác có thể được kết nối với nhau bằng cách sử dụng giao diện vật lý dựa vào tiêu chuẩn hoặc độc quyền. Theo một ví dụ, thiết bị chụp ảnh có thể được kết nối bằng cách sử dụng Giao diện nối tiếp camera (Camera Serial Interface - CSI) được Liên minh giao diện bộ xử lý công nghiệp di động (Mobile Industry Processor Interface - MIPI) xác định. Theo một ví dụ khác, màn hình có thể bao gồm giao diện tuân theo tiêu chuẩn Giao diện nối tiếp màn hình (Display Serial Interface - DSI) do Liên minh MIPI xác định.

Giao diện ba dây (C-PHY) nhiều pha được xác định bởi Liên minh MIPI sử dụng bộ ba dây dẫn để truyền thông tin giữa các thiết bị. Mỗi trong số ba dây có thể ở một trong ba trạng thái báo hiệu trong quá trình truyền ký hiệu qua giao diện C-PHY. Thông tin xung nhịp được mã hóa trong chuỗi ký hiệu truyền trên giao diện C-PHY và bộ thu tạo ra tín hiệu xung nhịp từ quá trình chuyển tiếp giữa các ký hiệu liên tiếp. Tốc độ tối đa của giao diện C-PHY và khả năng của mạch phục hồi xung nhịp và dữ liệu (clock and data recovery - CDR) để phục hồi thông tin xung nhịp có thể bị giới hạn bởi sự thay đổi thời gian tối đa liên quan đến sự chuyển tiếp tín hiệu được truyền trên các dây khác nhau của liên kết truyền thông, liên kết này có thể giới hạn số lượng ký hiệu được truyền trong mỗi giây. Sự gia tăng liên tục của các dịch vụ và hiệu suất được cung cấp bởi các

thiết bị di động đã dẫn đến nhu cầu không ngừng về việc tăng thông lượng dữ liệu trên các giao diện nhiều pha, nhiều dây.

Bản chất kỹ thuật của sáng chế

Một số phương án được mô tả ở đây đề xuất các hệ thống, phương pháp và máy cho phép cải thiện truyền thông trên liên kết truyền thông nhiều dây và/hoặc nhiều pha qua giao thức và các kỹ thuật mã hóa cải tiến. Theo một số phương án, thông lượng dữ liệu được cải thiện bằng cách tăng tốc độ xung nhịp ký hiệu được dùng trên liên kết truyền thông. Liên kết truyền thông có thể được triển khai trong máy như thiết bị đầu cuối di động có nhiều thiết bị mạch tích hợp (Integrated Circuit - IC).

Theo các khía cạnh khác nhau của sáng chế, máy truyền thông dữ liệu có nhiều trình điều khiển đường truyền được tạo cấu hình để ghép nối máy với liên kết 3 dây, bộ mã hóa trạng thái dây thứ nhất được tạo cấu hình để nhận ký hiệu thứ nhất trong chuỗi ký hiệu khi liên kết 3 dây ở trong trạng thái báo hiệu thứ nhất, và xác định trạng thái báo hiệu thứ hai cho liên kết 3 dây dựa vào ký hiệu thứ nhất và trạng thái báo hiệu thứ nhất, bộ mã hóa trạng thái dây thứ hai được tạo cấu hình để nhận ký hiệu thứ hai trong chuỗi ký hiệu, và xác định trạng thái báo hiệu thứ ba cho liên kết 3 dây dựa vào ký hiệu thứ hai và trạng thái báo hiệu thứ hai. Ký hiệu thứ nhất đứng ngay trước ký hiệu thứ hai trong chuỗi ký hiệu. Liên kết 3 dây chuyển từ trạng thái báo hiệu thứ nhất sang trạng thái báo hiệu thứ hai và từ trạng thái báo hiệu thứ hai sang trạng thái báo hiệu thứ ba trong các khoảng thời gian truyền ký hiệu liên tiếp. Các trạng thái báo hiệu của ít nhất một dây trong liên kết 3 dây thay đổi khi liên kết 3 dây chuyển từ trạng thái báo hiệu thứ hai sang trạng thái báo hiệu thứ ba.

Theo một khía cạnh, mỗi trong số bộ mã hóa trạng thái dây thứ nhất và bộ mã hóa trạng thái dây thứ hai xác định các trạng thái báo hiệu cho liên kết 3 dây trong mỗi hai khoảng thời gian truyền ký hiệu.

Theo một số khía cạnh nhất định, máy bao gồm mạch tạo xung nhịp được tạo cấu hình để cung cấp tín hiệu xung nhịp ký hiệu nửa tốc độ có chu kỳ gấp đôi thời lượng của mỗi khoảng thời gian truyền ký hiệu. Máy có thể có mạch điều khiển trình điều khiển được tạo cấu hình để điều khiển nhiều trình điều khiển đường truyền, và bộ ghép kênh lựa chọn giữa trạng thái báo hiệu thứ hai và trạng thái báo hiệu thứ ba để cung cấp thông tin trạng thái dây cho mạch điều khiển trình điều khiển. Bộ ghép kênh có thể lựa

chọn giữa trạng thái báo hiệu thứ hai và trạng thái báo hiệu thứ ba dựa vào pha của tín hiệu xung nhịp ký hiệu nửa tốc độ. Máy có thể có nhiều mạch lật thứ nhất được tạo xung nhịp bằng tín hiệu nghịch đảo của tín hiệu xung nhịp ký hiệu nửa tốc độ và được tạo cấu hình để thu tín hiệu điều khiển thứ nhất biểu diễn trạng thái báo hiệu thứ hai, nhiều mạch lật thứ hai được tạo xung nhịp bởi tín hiệu xung nhịp ký hiệu nửa tốc độ và được tạo cấu hình để thu tín hiệu điều khiển thứ hai biểu diễn trạng thái báo hiệu thứ ba. Bộ ghép kênh có thể được tạo cấu hình thêm để cung cấp các tín hiệu điều khiển thứ nhất hoặc các tín hiệu điều khiển thứ hai dưới dạng thông tin trạng thái dây.

Theo một khía cạnh, máy có một hoặc nhiều bộ ánh xạ được tạo cấu hình để ánh xạ ít nhất 16 bit dữ liệu thành ít nhất 7 ký hiệu trong chuỗi ký hiệu. Liên kết 3 dây có thể được vận hành theo giao thức C-PHY.

Theo một khía cạnh, máy có mạch cân bằng được tạo cấu hình để nhận các phiên bản trễ của trạng thái báo hiệu thứ hai và trạng thái báo hiệu thứ ba, và tạo cấu hình nhiều trình điều khiển đường truyền khi bắt đầu truyền trạng thái báo hiệu thứ ba dựa vào sự khác biệt giữa trạng thái báo hiệu thứ hai và trạng thái báo hiệu thứ ba.

Theo khía cạnh khác nhau của sáng chế, phương pháp truyền thông dữ liệu bao gồm bước tạo cấu hình nhiều trình điều khiển đường truyền để ghép nối máy với liên kết 3 dây, nhận ký hiệu thứ nhất trong chuỗi ký hiệu tại bộ mã hóa trạng thái dây thứ nhất khi liên kết 3 dây ở trong trạng thái báo hiệu thứ nhất, xác định trạng thái báo hiệu thứ hai cho liên kết 3 dây dựa vào ký hiệu thứ nhất và trạng thái báo hiệu thứ nhất, nhận ký hiệu thứ hai trong chuỗi ký hiệu tại bộ mã hóa trạng thái dây thứ hai, và xác định trạng thái tín hiệu thứ ba cho liên kết 3 dây dựa vào ký hiệu thứ hai và trạng thái báo hiệu thứ hai. Ký hiệu thứ nhất đứng ngay trước ký hiệu thứ hai trong chuỗi ký hiệu. Liên kết 3 dây chuyển từ trạng thái báo hiệu thứ nhất sang trạng thái báo hiệu thứ hai và từ trạng thái báo hiệu thứ hai sang trạng thái báo hiệu thứ ba trong các khoảng thời gian truyền ký hiệu liên tiếp. Trạng thái báo hiệu của ít nhất một dây trong liên kết 3 dây thay đổi khi liên kết 3 dây chuyển từ trạng thái báo hiệu thứ hai sang trạng thái báo hiệu thứ ba.

Theo các khía cạnh khác nhau của sáng chế, phương tiện lưu trữ đọc được bằng bộ xử lý bao gồm mã để tạo cấu hình nhiều trình điều khiển đường truyền để ghép nối máy với liên kết 3 dây, nhận ký hiệu thứ nhất trong chuỗi ký hiệu tại bộ mã hóa trạng

thái dây thứ nhất khi liên kết 3 dây ở trong trạng thái báo hiệu thứ nhất, xác định trạng thái báo hiệu thứ hai cho liên kết 3 dây dựa vào ký hiệu thứ nhất và trạng thái báo hiệu thứ nhất, nhận ký hiệu thứ hai trong chuỗi ký hiệu tại bộ mã hóa trạng thái dây thứ hai, và xác định trạng thái báo hiệu thứ ba cho liên kết 3 dây dựa vào ký hiệu thứ hai và trạng thái báo hiệu thứ hai. Ký hiệu thứ nhất đứng ngay trước ký hiệu thứ hai trong chuỗi ký hiệu. Liên kết 3 dây chuyển từ trạng thái báo hiệu thứ nhất sang trạng thái báo hiệu thứ hai và từ trạng thái báo hiệu thứ hai sang trạng thái báo hiệu thứ ba trong các khoảng thời gian truyền ký hiệu liên tiếp. Trạng thái báo hiệu của ít nhất một dây trong liên kết 3 dây thay đổi khi liên kết 3 dây chuyển từ trạng thái báo hiệu thứ hai sang trạng thái báo hiệu thứ ba.

Theo các khía cạnh khác nhau của sáng chế, máy truyền thông dữ liệu, có nhiều bộ thu được tạo cấu hình để cung cấp các tín hiệu vi sai biểu diễn sự khác biệt về trạng thái báo hiệu giữa mỗi cặp dây trong liên kết 3 dây, bộ giải mã trạng thái dây thứ nhất được tạo cấu hình để cung cấp ký hiệu thứ nhất dựa vào sự khác biệt giữa trạng thái của các tín hiệu vi sai trong nửa chu kỳ thứ nhất của xung nhịp ký hiệu và trạng thái của các tín hiệu vi sai trong nửa chu kỳ thứ hai của xung nhịp ký hiệu ngay trước nửa chu kỳ thứ nhất trong xung nhịp ký hiệu, bộ giải mã trạng thái dây thứ hai được tạo cấu hình để cung cấp ký hiệu thứ hai dựa vào sự khác biệt giữa trạng thái của các tín hiệu vi sai trong nửa chu kỳ thứ hai của xung nhịp ký hiệu và trạng thái của các tín hiệu vi sai trong nửa chu kỳ thứ ba của xung nhịp ký hiệu ngay trước nửa chu kỳ thứ hai trong xung nhịp ký hiệu, và bộ khử ánh xạ được tạo cấu hình để giải mã dữ liệu từ chuỗi ký hiệu bao gồm ký hiệu thứ nhất và ký hiệu thứ hai. Ký hiệu thứ nhất đứng ngay trước ký hiệu thứ hai trong chuỗi ký hiệu.

Theo một số khía cạnh, trạng thái báo hiệu của ít nhất một tín hiệu vi sai thay đổi tại mỗi lần chuyển tiếp giữa các nửa chu kỳ của xung nhịp ký hiệu nửa tốc độ. Máy có thể bao gồm mạch phục hồi xung nhịp được tạo cấu hình để thu được xung nhịp ký hiệu từ các tín hiệu vi sai.

Theo một số khía cạnh nhất định, máy bao gồm nhiều bộ xử lý tín hiệu vi sai. Mỗi bộ xử lý tín hiệu vi sai được ghép nối với một tín hiệu vi sai liên quan. Mỗi bộ xử lý tín hiệu vi sai có thể được tạo cấu hình để cung cấp tín hiệu thứ nhất biểu diễn trạng thái của tín hiệu vi sai tương ứng trong nửa chu kỳ thứ nhất của xung nhịp ký hiệu, tín

hiệu thứ hai biểu diễn trạng thái của tín hiệu vi sai tương ứng trong nửa chu kỳ thứ hai của xung nhịp ký hiệu, và tín hiệu thứ ba biểu diễn trạng thái của tín hiệu vi sai tương ứng trong nửa chu kỳ thứ ba của xung nhịp ký hiệu.

Theo một khía cạnh, bộ khử ánh xạ được tạo cấu hình thêm để giải mã từ 16 bit từ mỗi trong số nhiều chuỗi bảy ký hiệu hoặc giải mã từ 32 bit từ mỗi cặp chuỗi bảy ký hiệu được tạo ra đồng thời bởi bộ giải mã trạng thái dây thứ nhất và bộ giải mã trạng thái dây thứ hai. Liên kết 3 dây có thể được vận hành theo giao thức C-PHY.

Theo các khía cạnh khác nhau của sáng chế, phương pháp truyền thông dữ liệu bao gồm bước cung cấp các tín hiệu vi sai biểu diễn sự khác biệt về trạng thái báo hiệu giữa mỗi cặp dây trong liên kết 3 dây, cung cấp ký hiệu thứ nhất dựa vào sự khác biệt giữa trạng thái của các tín hiệu vi sai trong nửa chu kỳ thứ nhất của xung nhịp ký hiệu và trạng thái của các tín hiệu vi sai trong nửa chu kỳ thứ hai của xung nhịp ký hiệu ngay trước nửa chu kỳ thứ nhất trong xung nhịp ký hiệu, cung cấp ký hiệu thứ hai dựa vào sự khác biệt giữa trạng thái của các tín hiệu vi sai trong nửa chu kỳ thứ hai của xung nhịp ký hiệu và trạng thái của các tín hiệu vi sai trong nửa chu kỳ thứ ba của xung nhịp ký hiệu ngay trước nửa chu kỳ thứ hai trong xung nhịp ký hiệu, và giải mã dữ liệu từ chuỗi ký hiệu bao gồm ký hiệu thứ nhất và ký hiệu thứ hai. Ký hiệu thứ nhất có thể đứng ngay trước ký hiệu thứ hai trong chuỗi ký hiệu.

Theo các khía cạnh khác nhau của sáng chế, bao gồm mã để cung cấp các tín hiệu vi sai biểu diễn sự khác biệt về trạng thái báo hiệu giữa mỗi cặp dây trong liên kết 3 dây, cung cấp ký hiệu thứ nhất dựa vào sự khác biệt giữa trạng thái của các tín hiệu vi sai trong nửa chu kỳ thứ nhất của xung nhịp ký hiệu và trạng thái của các tín hiệu vi sai trong nửa chu kỳ thứ hai của xung nhịp ký hiệu ngay trước nửa chu kỳ thứ nhất trong xung nhịp ký hiệu, cung cấp ký hiệu thứ hai dựa vào sự khác biệt giữa trạng thái của các tín hiệu vi sai trong nửa chu kỳ thứ hai của xung nhịp ký hiệu và trạng thái của các tín hiệu vi sai trong nửa chu kỳ thứ ba của xung nhịp ký hiệu ngay trước nửa chu kỳ thứ hai trong xung nhịp ký hiệu, và giải mã dữ liệu từ chuỗi ký hiệu bao gồm ký hiệu thứ nhất và ký hiệu thứ hai. Ký hiệu thứ nhất có thể đứng ngay trước ký hiệu thứ hai trong chuỗi ký hiệu.

Mô tả vắn tắt các hình vẽ

Fig.1 mô tả máy sử dụng liên kết dữ liệu giữa các thiết bị IC được vận hành có chọn lọc theo một trong số nhiều tiêu chuẩn hoặc giao thức có sẵn, có thể bao gồm giao thức C-PHY.

Fig.2 minh họa kiến trúc hệ thống cho máy sử dụng liên kết dữ liệu giữa các thiết bị IC hoạt động có chọn lọc theo một trong số nhiều tiêu chuẩn có sẵn.

Fig.3 minh họa bộ phát 3 pha C-PHY.

Fig 4 minh họa báo hiệu trong giao diện được mã hóa 3 pha C-PHY.

Fig.5 minh họa bộ thu 3 pha C-PHY.

Fig.6 là sơ đồ trạng thái minh họa các lần chuyển tiếp trạng thái tiềm năng trong giao diện được mã hóa 3 pha C-PHY.

Fig.7 minh họa một ví dụ về mã hóa trong bộ phát 3 pha C-PHY.

Fig.8 minh họa một ví dụ về giải mã trong bộ thu 3 pha C-PHY.

Fig.9 minh họa các ví dụ về các mạch ánh xạ được triển khai với kiến trúc đường dẫn kép theo các khía cạnh của sáng chế.

Fig.10 minh họa ví dụ thứ nhất về bộ phát được tạo cấu hình để sử dụng tín hiệu xung nhịp ký hiệu nửa tốc độ để mã hóa dữ liệu đầu vào cho giao diện C-PHY theo một số khía cạnh nhất định được mô tả trong sáng chế.

Fig.11 minh họa một ví dụ về việc định thời cho bộ phát được minh họa trên Fig.10.

Fig.12 minh họa ví dụ thứ hai về bộ phát được tạo cấu hình để sử dụng tín hiệu xung nhịp ký hiệu nửa tốc độ để mã hóa dữ liệu đầu vào cho giao diện C-PHY theo một số khía cạnh nhất định được mô tả trong sáng chế.

Fig.13 minh họa các bộ xử lý tín hiệu vi sai có thể được dùng trong bộ thu được tạo cấu hình cho hoạt động xung nhịp ký hiệu nửa tốc độ theo một số khía cạnh nhất định của sáng chế.

Fig.14 minh họa mạch bộ thu được tạo cấu hình để sử dụng tín hiệu xung nhịp ký hiệu nửa tốc độ để giải mã dữ liệu từ trạng thái báo hiệu của bus C-PHY theo một số khía cạnh nhất định được mô tả trong sáng chế.

Fig.15 minh họa việc định thời liên quan đến bộ thu được minh họa trên Fig.14.

Fig.16 minh họa các ví dụ về mạch khử ánh xạ được triển khai với kiến trúc đường dẫn kép theo các khía cạnh của sáng chế.

Fig.17 minh họa một ví dụ về máy sử dụng mạch xử lý mà có thể được làm thích ứng theo một số khía cạnh nhất định được mô tả trong sáng chế.

Fig.18 là lưu đồ của phương pháp được thực hiện tại bộ phát theo một số khía cạnh nhất định được mô tả trong sáng chế.

Fig.19 là sơ đồ minh họa một ví dụ về phương án triển khai phần cứng cho máy thu theo một số khía cạnh nhất định được mô tả trong sáng chế.

Fig.20 là lưu đồ của phương pháp được thực hiện tại bộ thu theo một số khía cạnh nhất định được mô tả trong sáng chế.

Fig.21 là sơ đồ minh họa một ví dụ về phương án triển khai phần cứng cho máy thu theo một số khía cạnh nhất định được mô tả trong sáng chế.

Mô tả chi tiết sáng chế

Phần mô tả chi tiết trình bày dưới đây dựa vào các hình vẽ kèm theo được dự định làm phần mô tả về các cấu hình khác nhau và không dự định để chỉ biểu diễn các cấu hình mà trong đó có thể áp dụng các khái niệm được mô tả ở đây. Phần mô tả chi tiết này bao gồm các chi tiết cụ thể nhằm cung cấp sự hiểu biết thấu đáo về một số khái niệm. Tuy nhiên, những người có hiểu biết trung bình trong lĩnh vực kỹ thuật này sẽ thấy rõ rằng những khái niệm này có thể được thực hành mà không cần có những chi tiết cụ thể này. Trong một số trường hợp, các cấu trúc và thành phần đã biết được thể hiện dưới dạng sơ đồ khối để tránh làm tối nghĩa các khái niệm như vậy.

Như được dùng trong bản mô tả này, các thuật ngữ “thành phần”, “modun”, “hệ thống”, và thuật ngữ tương tự dự định bao gồm thực thể liên quan đến máy tính chẳng hạn như, nhưng không giới hạn ở, phần cứng, firmware, kết hợp của phần cứng và phần mềm, phần mềm, hoặc phần mềm đang thực thi. Ví dụ, một thành phần có thể là, nhưng không giới hạn ở, quy trình chạy trên bộ xử lý, bộ xử lý, đối tượng, tập tin thực thi được, chuỗi lệnh thực thi, chương trình, và/hoặc máy tính. Bằng cách minh họa, cả ứng dụng chạy trên thiết bị điện toán và thiết bị điện toán đều có thể là một thành phần. Một hoặc nhiều thành phần có thể nằm trong một quy trình và/hoặc chuỗi lệnh thực thi và thành

phần có thể được đặt cục bộ trên máy tính và/hoặc được phân bố giữa hai hoặc nhiều máy tính. Ngoài ra, các thành phần này có thể thực thi từ các phương tiện đọc được bằng bộ xử lý khác nhau có các cấu trúc dữ liệu khác nhau được lưu trữ trên đó. Các thành phần có thể truyền thông nhờ các quy trình nội bộ và/hoặc từ xa chẳng hạn như theo một tín hiệu có một hoặc nhiều gói dữ liệu, chẳng hạn như dữ liệu từ một thành phần tương tác với thành phần khác trong hệ thống cục bộ, hệ thống phân tán, và/hoặc qua mạng như Internet với các hệ thống khác nhờ vào tín hiệu.

Hơn nữa, thuật ngữ “hoặc” dự định có ý nghĩa là “hoặc” mang tính bao hàm, không phải “hoặc” mang tính loại trừ. Tức là, trừ khi được quy định khác, hoặc rõ ràng trong ngữ cảnh, cụm từ “X sử dụng A hoặc B” dự định có ý nghĩa là hoán vị mang tính bao hàm tự nhiên bất kỳ. Tức là, cụm từ “X sử dụng A hoặc B” được thỏa mãn bởi bất kỳ trường hợp nào sau đây: X sử dụng A; X sử dụng B; hoặc X sử dụng cả A và B. Ngoài ra, mạo từ chỉ số ít được sử dụng trong bản mô tả này và các yêu cầu bảo hộ kèm theo thường được hiểu là có nghĩa “một hoặc nhiều” trừ khi được quy định khác hoặc thể hiện rõ ràng trong ngữ cảnh là chỉ dạng số ít.

Tổng quan

Một số khía cạnh của sáng chế có thể áp dụng để cải tiến giao diện C-PHY do Liên minh MIPI chỉ định, giao diện này thường được triển khai để kết nối các thiết bị điện tử là thành phần phụ của máy di động như điện thoại, thiết bị điện toán di động, thiết bị, thiết bị điện tử trong ô tô, hệ thống điện tử hàng không, v.v. Ví dụ về máy di động bao gồm điện thoại di động, điện thoại thông minh, điện thoại sử dụng giao thức khởi tạo phiên (session initiation protocol - SIP), máy tính xách tay, máy tính notebook, máy tính netbook, máy tính smartbook, trợ lý kỹ thuật số cá nhân (personal digital assistant - PDA), đài vệ tinh, thiết bị hệ thống định vị toàn cầu (global positioning system - GPS), thiết bị đa phương tiện, thiết bị video, bộ phát âm thanh kỹ thuật số (ví dụ, máy nghe nhạc MP3), camera, bảng điều khiển trò chơi, thiết bị điện toán đeo được (ví dụ, đồng hồ thông minh, thiết bị theo dõi sức khỏe hoặc thể hình, v.v.), thiết bị, cảm biến, máy bán hàng tự động hoặc bất kỳ thiết bị có chức năng tương tự nào khác.

Một số khía cạnh được mô tả ở đây cho phép các thiết bị truyền thông với tốc độ dữ liệu cao hơn qua liên kết truyền thông ba dây so với mức có thể bằng cách sử dụng tốc độ ký hiệu C-PHY thông thường. Theo các khía cạnh khác nhau của sáng chế, máy

truyền thông dữ liệu có nhiều trình điều khiển đường truyền được tạo cấu hình để ghép nối máy với liên kết 3 dây, và bộ mã hóa dữ liệu được tạo cấu hình để mã hóa ít nhất 4 bit dữ liệu nhị phân trong mỗi lần chuyển tiếp giữa hai ký hiệu mà được truyền liên tiếp bởi nhiều trình điều khiển đường truyền qua liên kết 3 dây sao cho mỗi cặp ký hiệu được truyền liên tiếp bao gồm hai ký hiệu khác nhau. Mỗi ký hiệu xác định các trạng thái báo hiệu của liên kết 3 dây trong khoảng thời gian truyền ký hiệu liên quan sao cho mỗi dây của liên kết 3 dây ở trong trạng thái báo hiệu khác với các dây còn lại của liên kết 3 dây trong khoảng thời gian truyền ký hiệu liên quan. Dữ liệu có thể được mã hóa bằng cách sử dụng tổ hợp của điều chế 3 pha và điều chế biên độ xung. Máy có thể bao gồm bộ mã hóa trạng thái dây được tạo cấu hình để nhận chuỗi ký hiệu từ bộ mã hóa dữ liệu, và cung cấp tín hiệu điều khiển cho nhiều trình điều khiển đường truyền. Các tín hiệu điều khiển khiến cho mỗi trong số nhiều trình điều khiển đường truyền điều khiển một dây của liên kết 3 dây sang trạng thái báo hiệu được xác định bởi mỗi ký hiệu trong khoảng thời gian truyền ký hiệu được cung cấp cho mỗi ký hiệu trong chuỗi ký hiệu.

Giao diện C-PHY là giao diện nối tiếp tốc độ cao có thể cung cấp thông lượng cao qua các kênh giới hạn băng thông. Giao diện C-PHY có thể được triển khai để kết nối các bộ xử lý ứng dụng với các thiết bị ngoại vi, bao gồm màn hình và camera. Giao diện C-PHY mã hóa dữ liệu thành các ký hiệu được truyền trong tín hiệu ba pha qua tập hợp ba dây, tập hợp này có thể được gọi là bộ ba hoặc bộ ba dây. Tín hiệu ba pha được truyền trên mỗi dây của bộ ba theo các pha khác nhau. Mỗi bộ ba dây cung cấp một làn trên liên kết truyền thông. Khoảng ký hiệu có thể được định nghĩa là khoảng thời gian trong đó một ký hiệu duy nhất điều khiển trạng thái báo hiệu của bộ ba. Trong mỗi khoảng ký hiệu, một dây không được điều khiển hoặc được điều khiển sang trạng thái điện áp trung gian trong khi hai dây còn lại trong số ba dây được điều khiển vi sai sao cho một trong hai dây được điều khiển vi sai giả định mức điện áp thứ nhất và dây được điều khiển vi sai còn lại giả định mức điện áp thứ hai khác với mức điện áp thứ nhất. Dây không được điều khiển có thể được thả nổi, và/hoặc được kết cuối sao cho dây này giả định mức điện áp thứ ba bằng hoặc gần mức điện áp trung gian, mà có thể là mức điện áp mức giữa giữa các mức điện áp thứ nhất và thứ hai. Theo một ví dụ, các mức điện áp được điều khiển có thể là $+V$ và $-V$ với điện áp thứ ba là 0 Vôn (Volt). Theo một ví dụ khác, các mức điện áp được điều khiển có thể là $+V$ và 0 Vôn với điện áp không được điều khiển là $+V/2$. Các ký hiệu khác nhau được truyền trong mỗi cặp ký

hiệu được truyền liên tiếp, và các cặp dây khác nhau có thể được điều khiển vi sai trong các khoảng ký hiệu khác nhau.

Fig.1 mô tả một ví dụ về máy 100 có thể sử dụng các giao thức 3 pha C-PHY để triển khai một hoặc nhiều liên kết truyền thông. Máy 100 có thể bao gồm SoC, mạch xử lý 102 có nhiều mạch hoặc thiết bị 104, 106 và/hoặc 108, có thể được triển khai trong một hoặc nhiều ASIC hoặc trong SoC. Theo một ví dụ, máy 100 có thể là thiết bị truyền thông và mạch xử lý 102 có thể bao gồm thiết bị xử lý được bố trí trong ASIC 104, một hoặc nhiều thiết bị ngoại vi 106, và bộ thu phát 108 cho phép máy truyền thông qua anten 124 với mạng truy cập vô tuyến, mạng truy cập lõi, Internet và/hoặc mạng khác.

ASIC 104 có thể có một hoặc nhiều bộ xử lý 112, một hoặc nhiều modem 110, bộ nhớ trên bo mạch 114, mạch giao diện bus 116, và/hoặc các mạch logic hoặc chức năng khác. Mạch xử lý 102 có thể được điều khiển bởi hệ điều hành có thể cung cấp lớp giao diện lập trình ứng dụng (application programming interface - API) cho phép một hoặc nhiều bộ xử lý 112 thực thi các module phần mềm nằm trong bộ nhớ trên bo mạch 114 hoặc bộ lưu trữ đọc được bằng bộ xử lý 122 khác được cung cấp trên mạch xử lý 102. Các module phần mềm có thể bao gồm các lệnh và dữ liệu được lưu trữ trong bộ nhớ trên bo mạch 114 hoặc bộ lưu trữ đọc được bằng bộ xử lý 122. ASIC 104 có thể truy cập vào bộ nhớ trên bo mạch 114, bộ lưu trữ đọc được bằng bộ xử lý 122, và/hoặc bộ lưu trữ bên ngoài mạch xử lý 102. Bộ nhớ trên bo mạch 114 và/hoặc bộ lưu trữ đọc được bằng bộ xử lý 122 có thể bao gồm bộ nhớ chỉ đọc (read-only memory - ROM) hoặc bộ nhớ truy cập ngẫu nhiên (random-access memory - RAM), ROM lập trình xóa được bằng điện (electrically erasable programmable ROM - EEPROM), thẻ flash, hoặc thiết bị nhớ bất kỳ có thể được dùng trong các hệ thống xử lý và nền tảng máy tính. Mạch xử lý 102 có thể bao gồm, triển khai, hoặc có quyền truy cập vào cơ sở dữ liệu cục bộ hoặc bộ lưu trữ thông số khác có thể duy trì các thông số hoạt động và thông tin khác được dùng để tạo cấu hình và vận hành máy 100 và/hoặc mạch xử lý 102. Cơ sở dữ liệu cục bộ có thể được triển khai bằng cách sử dụng các thanh ghi, module cơ sở dữ liệu, bộ nhớ flash, phương tiện từ tính, EEPROM, đĩa mềm hoặc đĩa cứng, hoặc tương tự. Mạch xử lý 102 cũng có thể được ghép nối hoạt động với các thiết bị bên ngoài như anten 124, màn hình 126, các nút điều khiển của người vận hành, chẳng hạn như công tắc hoặc nút 128, 130 và/hoặc bàn phím tích hợp hoặc bàn phím ngoài 132, trong số các thành phần khác. Module giao diện người dùng có thể được tạo cấu hình để hoạt động

với màn hình 126, bàn phím ngoài 132, v.v. qua liên kết truyền thông chuyên dụng hoặc qua một hoặc nhiều liên kết dữ liệu nối tiếp.

Mạch xử lý 102 có thể cung cấp một hoặc nhiều bus 118a, 118b, 120 cho phép một số thiết bị nhất định 104, 106 và/hoặc 108 truyền thông. Theo một ví dụ, ASIC 104 có thể bao gồm mạch giao diện bus 116 bao gồm kết hợp của các mạch, bộ đếm, bộ định thời, logic điều khiển và các mạch hoặc module cấu hình được khác. Theo một ví dụ, mạch giao diện bus 116 có thể được tạo cấu hình để hoạt động theo các đặc điểm kỹ thuật hoặc giao thức truyền thông. Mạch xử lý 102 có thể bao gồm hoặc điều khiển chức năng quản lý công suất mà tạo cấu hình và quản lý hoạt động của máy 100.

Fig.2 minh họa một số khía cạnh nhất định của máy 200 bao gồm nhiều thiết bị IC 202 và 230, mà có thể trao đổi dữ liệu và thông tin điều khiển qua liên kết truyền thông 220. Liên kết truyền thông 220 có thể được dùng để kết nối cặp thiết bị IC 202 và 230 được đặt gần nhau, hoặc về mặt vật lý được đặt ở các bộ phận khác nhau của máy 200. Theo một ví dụ, liên kết truyền thông 220 có thể được cung cấp trên vật mang chip, lớp nền hoặc bảng mạch mang các thiết bị IC 202 và 230. Theo một ví dụ khác, thiết bị IC thứ nhất 202 có thể nằm trong phần phím của điện thoại nắp gập còn thiết bị IC thứ hai 230 có thể nằm trong phần màn hình của điện thoại nắp gập. Theo một ví dụ khác, một phần của liên kết truyền thông 220 có thể bao gồm cáp hoặc kết nối quang.

Liên kết truyền thông 220 có thể bao gồm nhiều kênh 222, 224 và 226. Một hoặc nhiều kênh 226 có thể là hai chiều, và có thể hoạt động ở các chế độ bán song công và/hoặc song công toàn phần. Một hoặc nhiều kênh 222 và 224 có thể là một chiều. Liên kết truyền thông 220 có thể không đối xứng, cung cấp băng thông cao hơn theo một hướng. Theo một ví dụ được mô tả ở đây, kênh thứ nhất 222 có thể được gọi là kênh xuôi 222 còn kênh thứ hai 224 có thể được gọi là kênh ngược 224. Thiết bị IC thứ nhất 202 có thể được chỉ định làm hệ thống máy chủ hoặc bộ phát, còn thiết bị IC thứ hai 230 có thể được chỉ định làm hệ thống máy khách hoặc bộ thu, ngay cả khi cả hai thiết bị IC 202 và 230 được tạo cấu hình để truyền và nhận trên kênh 222. Theo một ví dụ, kênh xuôi 222 có thể hoạt động với tốc độ dữ liệu cao hơn khi truyền thông dữ liệu từ thiết bị IC thứ nhất 202 đến thiết bị IC thứ hai 230, còn kênh ngược 224 có thể hoạt động với tốc độ dữ liệu thấp hơn khi truyền thông dữ liệu từ thiết bị IC thứ hai 230 đến thiết bị IC thứ nhất 202.

Mỗi thiết bị IC 202 và 230 có thể bao gồm bộ xử lý 206, 236 hoặc mạch hoặc thiết bị xử lý và/hoặc tính toán khác. Theo một ví dụ, thiết bị IC thứ nhất 202 có thể thực hiện các chức năng lõi của máy 200, bao gồm thiết lập và duy trì truyền thông không dây qua bộ thu phát không dây 204 và anten 214, còn thiết bị IC thứ hai 230 có thể hỗ trợ giao diện người dùng quản lý hoặc vận hành bộ điều khiển màn hình 232, và có thể điều khiển hoạt động của camera hoặc thiết bị đầu vào video bằng cách sử dụng bộ điều khiển camera 234. Các tính năng khác được hỗ trợ bởi một hoặc nhiều thiết bị IC 202 và 230 có thể bao gồm bàn phím, thành phần nhận dạng giọng nói, và các thiết bị đầu vào hoặc đầu ra khác. Bộ điều khiển màn hình 232 có thể bao gồm các mạch và trình điều khiển phần mềm hỗ trợ màn hình như bảng hiển thị tinh thể lỏng (liquid crystal display - LCD), màn hình cảm ứng, chỉ báo, và v.v. Phương tiện lưu trữ 208 và 238 có thể bao gồm các thiết bị lưu trữ khả biến và/hoặc bất biến được làm thích ứng để duy trì lệnh và dữ liệu được dùng bởi các bộ xử lý tương ứng 206 và 236, và/hoặc các thành phần khác của các thiết bị IC 202 và 230. Truyền thông giữa mỗi bộ xử lý 206, 236 và phương tiện lưu trữ tương ứng của nó 208 và 238 và các modul và các mạch khác có thể được hỗ trợ bởi một hoặc nhiều bus bên trong 212 và 242 và/hoặc kênh 222, 224 và/hoặc 226 của liên kết truyền thông 220.

Kênh ngược 224 có thể được vận hành theo cách giống như kênh xuôi 222, kênh xuôi 222 và kênh ngược 224 có thể có khả năng truyền ở các tốc độ tương đương hoặc ở các tốc độ khác nhau, trong đó tốc độ có thể được biểu thị bằng tốc độ truyền dữ liệu, tốc độ truyền ký hiệu và/hoặc tốc độ xung nhịp. Tốc độ dữ liệu xuôi và ngược về cơ bản có thể giống nhau hoặc có thể khác nhau về độ lớn, tùy thuộc vào ứng dụng. Trong một số ứng dụng, một kênh hai chiều 226 có thể hỗ trợ truyền thông giữa thiết bị IC thứ nhất 202 và thiết bị IC thứ hai 230. Kênh xuôi 222 và/hoặc kênh ngược 224 có thể tạo cấu hình được để hoạt động trong chế độ hai chiều, ví dụ, khi các kênh xuôi và ngược 222 và 224 dùng chung các kết nối vật lý giống nhau và hoạt động theo cách bán song công. Theo một ví dụ, liên kết truyền thông 220 có thể được vận hành để truyền thông tin điều khiển, lệnh và thông tin khác giữa thiết bị IC thứ nhất 202 và thiết bị IC thứ hai 230 theo tiêu chuẩn công nghiệp hoặc tiêu chuẩn khác.

Liên kết truyền thông 220 trên Fig.2 có thể được triển khai theo đặc điểm kỹ thuật của Liên minh MIPI cho C-PHY và có thể cung cấp bus có dây bao gồm nhiều dây tín hiệu (được ký hiệu là M dây). M dây có thể được tạo cấu hình để mang dữ liệu được mã

hóa N pha trong giao diện số tốc độ cao, chẳng hạn như giao diện số màn hình di động (mobile display digital interface - MDDI). M đây có thể hỗ trợ mã hóa phân cực N pha trên một hoặc nhiều kênh 222, 224 và 226. Các trình điều khiển lớp vật lý 210 và 240 có thể được tạo cấu hình hoặc được làm thích ứng để tạo ra dữ liệu được mã hóa phân cực N pha để truyền trên liên kết truyền thông 220. Việc sử dụng kỹ thuật mã hóa phân cực N pha cung cấp việc truyền dữ liệu tốc độ cao và có thể tiêu thụ một nửa hoặc ít hơn một nửa công suất của các giao diện khác vì có ít trình điều khiển hơn hoạt động trong các liên kết dữ liệu được mã hóa phân cực N pha.

Các trình điều khiển lớp vật lý 210 và 240 thường có thể mã hóa nhiều bit cho mỗi lần chuyển tiếp trên liên kết truyền thông 220 khi được tạo cấu hình để mã hóa phân cực N pha. Theo một ví dụ, sự kết hợp của mã hóa 3 pha và mã hóa phân cực có thể được dùng để hỗ trợ IC điều khiển LCD 80 khung hình/giây mảng đồ họa video rộng (wide video graphics array - WVGA) mà không có bộ đệm khung, cung cấp dữ liệu điểm ảnh ở tốc độ 810 Mbps để làm mới màn hình.

Fig.3 là sơ đồ 300 minh họa bộ mã hóa phân cực 3 dây 3 pha mà có thể được dùng để triển khai một số khía cạnh nhất định của liên kết truyền thông 220 được mô tả trên Fig.2. Ví dụ về mã hóa 3 dây 3 pha được lựa chọn chỉ nhằm mục đích đơn giản hóa mô tả về một số khía cạnh của sáng chế. Các nguyên tắc và kỹ thuật được mô tả cho bộ mã hóa 3 dây 3 pha có thể được áp dụng trong các cấu hình khác của các bộ mã hóa phân cực M dây N pha.

Các trạng thái báo hiệu được xác định cho mỗi trong số 3 dây trong sơ đồ mã hóa phân cực 3 dây 3 pha có thể bao gồm trạng thái được điều khiển dương, trạng thái được điều khiển âm và trạng thái trung gian hoặc không được điều khiển. Trạng thái được điều khiển dương và trạng thái được điều khiển âm có thể đạt được bằng cách cung cấp vi sai điện áp giữa hai trong số các dây tín hiệu 318a, 318b và/hoặc 318c, và/hoặc bằng cách dẫn dòng điện qua hai trong số các dây tín hiệu 318a, 318b và/hoặc 318c được mắc nối tiếp sao cho dòng điện chạy theo các hướng khác nhau trong hai dây tín hiệu 318a, 318b và/hoặc 318c. Trạng thái thứ ba có thể được cung cấp dưới dạng trạng thái không được điều khiển bằng cách đặt đầu ra của trình điều khiển của dây tín hiệu 318a, 318b hoặc 318c ở chế độ trở kháng cao. Thông thường, không có dòng điện đáng kể chạy qua dây tín hiệu không được điều khiển 318a, 318b hoặc 318c. Theo cách khác hoặc ngoài

ra, trạng thái thứ ba có thể là trạng thái trung gian thu được trên dây tín hiệu 318a, 318b hoặc 318c bằng cách thụ động hoặc chủ động khiến cho một dây tín hiệu 318a, 318b hoặc 318c đạt được mức điện áp về cơ bản nằm ở giữa các mức điện áp dương và âm được cung cấp trên các dây tín hiệu điều khiển 318a, 318b và/hoặc 318c. Các trạng thái báo hiệu được xác định cho sơ đồ mã hóa phân cực 3 dây 3 pha có thể được biểu thị bằng cách sử dụng ba trạng thái điện áp hoặc dòng điện (+1, -1 và 0).

Bộ mã hóa phân cực 3 dây 3 pha có thể sử dụng các trình điều khiển đường truyền 308 để điều khiển trạng thái báo hiệu của các dây tín hiệu 318a, 318b và 318c. Trình điều khiển đường truyền 308 có thể được triển khai dưới dạng trình điều khiển chế độ dòng điện hoặc chế độ điện áp mức đơn vị. Theo một số phương án thực hiện, mỗi trình điều khiển đường truyền 308 có thể nhận tập hợp tín hiệu 316a, 316b và 316c mà xác định trạng thái đầu ra của các dây tín hiệu tương ứng 318a, 318b và 318c. Theo một ví dụ, mỗi tập hợp tín hiệu 316a, 316b và 316c có thể bao gồm hai hoặc nhiều tín hiệu, bao gồm tín hiệu kéo lên (tín hiệu PU) và tín hiệu kéo xuống (tín hiệu PD) mà, khi ở mức cao, sẽ kích hoạt các mạch kéo lên và kéo xuống mà điều khiển lần lượt các dây tín hiệu 318a, 318b và 318c về điện áp mức cao hơn hoặc mức thấp hơn. Trong ví dụ này, khi cả tín hiệu PU và tín hiệu PD đều ở mức thấp, các dây tín hiệu 318a, 318b và 318c có thể được kết cuối ở điện áp mức giữa.

Đối với mỗi khoảng ký hiệu được truyền trong sơ đồ mã hóa phân cực 3 pha 3 dây, ít nhất một dây tín hiệu 318a, 318b hoặc 318c ở trong trạng thái điện áp hoặc dòng điện mức giữa/không được điều khiển (0), trong khi số lượng dây tín hiệu được điều khiển dương (trạng thái điện áp hoặc dòng điện + 1) 318a, 318b hoặc 318c bằng số lượng dây tín hiệu được điều khiển âm (trạng thái điện áp hoặc dòng điện -1) 318a, 318b hoặc 318c, sao cho tổng dòng điện chạy đến bộ thu luôn bằng 0. Đối với mỗi ký hiệu, trạng thái báo hiệu của ít nhất một dây tín hiệu 318a, 318b hoặc 318c được thay đổi từ trạng thái dây được truyền trong khoảng thời gian truyền trước đó.

Khi hoạt động, bộ ánh xạ 302 có thể nhận và ánh xạ dữ liệu 16-bit 310 thành 7 ký hiệu 312. Trong ví dụ C-PHY, mỗi trong số 7 ký hiệu xác định các trạng thái của các dây tín hiệu 318a, 318b và 318c cho một khoảng ký hiệu. 7 ký hiệu 312 có thể được nối tiếp bằng cách sử dụng bộ biến đổi từ song song thành nối tiếp 304 cung cấp chuỗi ký hiệu được định thời 314 cho mỗi dây tín hiệu 318a, 318b và 318c. Chuỗi ký hiệu 314

thường được định thời bằng cách sử dụng xung nhịp truyền. Bộ mã hóa 3 dây 3 pha 306 nhận chuỗi 7 ký hiệu 314 do bộ ánh xạ tạo ra một ký hiệu mỗi lần và tính toán trạng thái của mỗi dây tín hiệu 318a, 318b và 318c cho mỗi khoảng ký hiệu. Bộ mã hóa 3 dây 3 pha 306 lựa chọn các trạng thái của dây tín hiệu 318a, 318b và 318c dựa vào ký hiệu đầu vào hiện thời 314 và các trạng thái trước đó của các dây tín hiệu 318a, 318b và 318c.

Việc sử dụng kỹ thuật mã hóa M dây N pha cho phép một số bit sẽ được mã hóa trong nhiều ký hiệu trong đó các bit trên mỗi ký hiệu không phải là số nguyên. Theo một ví dụ về liên kết truyền thông C-PHY, có 3 tổ hợp 2 dây có sẵn, tổ hợp này có thể được điều khiển đồng thời, và 2 tổ hợp phân cực có thể có trên cặp dây được điều khiển, tạo ra 6 trạng thái có thể có. Vì mỗi lần chuyển tiếp xảy ra từ một trạng thái hiện thời, nên 5 trong số 6 trạng thái có sẵn ở mọi lần chuyển tiếp. Trạng thái của ít nhất một dây cần thay đổi ở mỗi lần chuyển tiếp. Với 5 trạng thái, $\log_2(5) \cong 2,32$ bit có thể được mã hóa trên mỗi ký hiệu. Do đó, bộ ánh xạ có thể chấp nhận từ 16 bit và chuyển nó thành 7 ký hiệu vì 7 ký hiệu mang 2,32 bit trên mỗi ký hiệu có thể mã hóa 16,24 bit. Nói cách khác, kết hợp của bảy ký hiệu mã hóa năm trạng thái có 5^7 (78.125) hoán vị. Do đó, 7 ký hiệu có thể được dùng để mã hóa 2^{16} (65.536) hoán vị của 16 bit.

Fig.4 bao gồm ví dụ về sơ đồ định thời 400 cho các tín hiệu được mã hóa bằng cách sử dụng sơ đồ mã hóa dữ liệu điều chế ba pha, sơ đồ này dựa vào sơ đồ trạng thái vòng tròn 450. Thông tin có thể được mã hóa theo một chuỗi các trạng thái báo hiệu, trong đó, ví dụ, dây hoặc đầu nối ở một trong số ba trạng thái pha S_1 , S_2 và S_3 được xác định bởi sơ đồ trạng thái vòng tròn 450. Mỗi trạng thái có thể được tách biệt với các trạng thái khác bởi sự dịch pha 120° . Theo một ví dụ, dữ liệu có thể được mã hóa theo hướng quay của các trạng thái pha trên dây hoặc đầu nối. Các trạng thái pha trong tín hiệu có thể quay theo chiều kim đồng hồ 452 và 452' hoặc ngược chiều kim đồng hồ 454 và 454'. Ví dụ, theo chiều kim đồng hồ 452 và 452', các trạng thái pha có thể tăng theo trình tự bao gồm một hoặc nhiều lần chuyển tiếp từ S_1 sang S_2 , từ S_2 sang S_3 và từ S_3 sang S_1 . Theo hướng ngược chiều kim đồng hồ 454 và 454', các trạng thái pha có thể tăng theo trình tự bao gồm một hoặc nhiều lần chuyển tiếp từ S_1 sang S_3 , từ S_3 sang S_2 và từ S_2 sang S_1 . Ba dây tín hiệu 318a, 318b và 318c mang các phiên bản khác nhau của cùng một tín hiệu, trong đó các phiên bản có thể được dịch pha 120° với nhau. Mỗi trạng thái báo hiệu có thể được biểu diễn dưới dạng mức điện áp khác nhau trên dây hoặc đầu nối và/hoặc hướng dòng điện chạy qua dây hoặc đầu nối. Trong mỗi trạng thái của chuỗi

trạng thái báo hiệu trong hệ thống 3 dây, mỗi dây tín hiệu 318a, 318b và 318c ở trong trạng thái báo hiệu khác với các dây còn lại. Khi nhiều hơn 3 dây tín hiệu 318a, 318b và 318c được dùng trong hệ thống mã hóa 3 pha, hai hoặc nhiều dây tín hiệu 318a, 318b và/hoặc 318c có thể ở trong cùng một trạng thái báo hiệu tại mỗi khoảng thời gian báo hiệu, mặc dù mỗi trạng thái có mặt trên ít nhất một dây tín hiệu 318a, 318b và/hoặc 318c trong mọi khoảng thời gian báo hiệu.

Thông tin có thể được mã hóa theo hướng quay ở mỗi lần chuyển pha 410, và tín hiệu 3 pha có thể thay đổi hướng cho mỗi trạng thái báo hiệu. Hướng quay có thể được xác định bằng cách xem xét các dây tín hiệu 318a, 318b và/hoặc 318c nào ở trong trạng thái '0' trước và sau khi chuyển pha, vì dây tín hiệu không được điều khiển 318a, 318b và/hoặc 318c thay đổi ở mọi trạng thái báo hiệu trong tín hiệu ba pha quay, bất kể hướng quay.

Sơ đồ mã hóa cũng có thể mã hóa thông tin theo chiều phân cực 408 của hai dây tín hiệu 318a, 318b và/hoặc 318c được điều khiển chủ động. Tại thời điểm bất kỳ trong phương án thực hiện 3 dây, chính xác hai trong số các dây tín hiệu 318a, 318b, 318c được điều khiển với dòng điện ngược chiều và/hoặc với vi sai điện áp. Theo một phương án thực hiện, dữ liệu có thể được mã hóa bằng cách sử dụng hai giá trị bit 412, trong đó một bit được mã hóa theo hướng chuyển pha 410 và bit thứ hai được mã hóa theo chiều phân cực 408 cho trạng thái hiện thời.

Sơ đồ định thời 400 minh họa mã hóa dữ liệu sử dụng cả hướng quay pha và chiều phân cực. Các đường cong 402, 404 và 406 liên quan đến các tín hiệu lần lượt được mang trên ba dây tín hiệu 318a, 318b và 318c cho nhiều trạng thái pha. Ban đầu, các chuyển pha 410 theo chiều kim đồng hồ và bit quan trọng nhất được đặt thành số nhị phân '1', đến khi vòng quay của chuyển pha 410 chuyển tại thời điểm 414 sang hướng ngược chiều kim đồng hồ, được biểu thị bằng số nhị phân '0' của bit quan trọng nhất. Bit ít quan trọng nhất phản ánh chiều phân cực 408 của tín hiệu ở mỗi trạng thái.

Theo một số khía cạnh nhất định được mô tả ở đây, một bit dữ liệu có thể được mã hóa trong quá trình quay, hoặc thay đổi pha trong hệ thống mã hóa 3 dây 3 pha, và một bit bổ sung có thể được mã hóa theo chiều phân cực của hai dây được điều khiển. Thông tin bổ sung có thể được mã hóa trong mỗi lần chuyển tiếp của hệ thống mã hóa 3 dây 3 pha bằng cách cho phép chuyển tiếp sang bất kỳ trong số các trạng thái có thể

có từ trạng thái hiện thời. Với 3 pha quay và hai chiều phân cực cho mỗi pha, thì 6 trạng thái có sẵn trong hệ thống mã hóa 3 dây 3 pha. Do đó, 5 trạng thái có sẵn từ trạng thái hiện thời bất kỳ, và có thể có $\log_2(5) \approx 2,32$ bit được mã hóa cho mỗi ký hiệu (chuyển tiếp), mà cho phép bộ ánh xạ 302 chấp nhận từ 16 bit và mã hóa nó thành 7 ký hiệu.

Fig.5 là sơ đồ minh họa một số khía cạnh nhất định của bộ giải mã 3 dây 3 pha 500. Các bộ thu vi sai 502a, 502b, 502c và bộ giải mã trạng thái dây 504 được tạo cấu hình để cung cấp dạng biểu diễn số của trạng thái của ba đường truyền (ví dụ, các dây tín hiệu 318a, 318b và 318c được minh họa trên Fig.3), liên quan đến nhau, và để phát hiện những thay đổi trong trạng thái của ba đường truyền so với trạng thái được truyền trong chu kỳ ký hiệu trước đó. Bảy trạng thái liên tiếp được tập hợp bởi các bộ chuyển đổi từ nối tiếp sang song song 506 để thu được tập hợp 7 ký hiệu 516 sẽ được xử lý bởi bộ khử ánh xạ 508. Bộ khử ánh xạ 508 tạo ra 16 bit dữ liệu 518 có thể được đệm trong thanh ghi vào trước ra trước (first-in-first-out - FIFO) 510 để cung cấp dữ liệu đầu ra 520.

Bộ giải mã trạng thái dây 504 có thể trích ra chuỗi ký hiệu 514 từ các tín hiệu được mã hóa pha nhận được trên các dây tín hiệu 318a, 318b và 318c. Các ký hiệu 514 được mã hóa dưới dạng sự kết hợp của quay pha và chiều phân cực như được mô tả trong sáng chế. Bộ giải mã trạng thái dây có thể bao gồm mạch CDR 524 trích ra xung nhịp 526 mà có thể được dùng để thu các trạng thái dây một cách tin cậy từ các dây tín hiệu 318a, 318b và 318c. Sự chuyển tiếp xảy ra trên ít nhất một trong các dây tín hiệu 318a, 318b và 318c tại mỗi biên ký hiệu và mạch CDR 524 có thể được tạo cấu hình để tạo ra xung nhịp 526 dựa vào sự xảy ra của một lần chuyển tiếp hoặc nhiều lần chuyển tiếp. Một cạnh của xung nhịp có thể bị trì hoãn để cho phép thời gian của tất cả các dây tín hiệu 318a, 318b và 318c ổn định và do đó đảm bảo rằng trạng thái dây hiện thời được thu cho các mục đích giải mã.

Fig.6 là sơ đồ trạng thái 600 minh họa các trạng thái báo hiệu có thể có 602, 604, 606, 612, 614, 616 của ba dây, có sự chuyển tiếp có thể có được minh họa từ mỗi trạng thái. Trong ví dụ về liên kết truyền thông 3 dây 3 pha, 6 trạng thái và 30 lần chuyển tiếp trạng thái là có sẵn. Các trạng thái báo hiệu có thể có 602, 604, 606, 612, 614 và 616 trong sơ đồ trạng thái 600 bao gồm và mở rộng trên các trạng thái thể hiện trong sơ đồ trạng thái vòng tròn 450 trên Fig.4. Như được minh họa trong ví dụ của phân tử trạng

thái 628, mỗi trạng thái báo hiệu 602, 604, 606, 612, 614 và 616 trong sơ đồ trạng thái 600 xác định trạng thái báo hiệu điện áp của các dây tín hiệu 318a, 318b, 318c, mà lần lượt được đánh dấu là A, B và C. Ví dụ, trong trạng thái báo hiệu 602 (+x) dây A = +1, dây B = -1 và dây C = 0, tạo ra đầu ra của bộ thu vi sai 502a (A-B) = +2, bộ thu vi sai 502b (B-C) = -1 và bộ thu vi sai 502c (C-A) = -1. Các quyết định chuyển tiếp được thực hiện bởi các mạch phát hiện thay đổi pha trong bộ thu được dựa vào 5 mức có thể có được tạo ra bởi các bộ thu vi sai 502a, 502b, 502c, bao gồm các trạng thái điện áp -2, -1, 0, +1 và +2.

Các lần chuyển tiếp trong sơ đồ trạng thái 600 có thể được biểu diễn bằng ký hiệu Lật, quay, phân cực (ví dụ, ký hiệu FRP 626) có một trong các giá trị nhị phân ba bit trong tập hợp: {000, 001, 010, 011, 100}. Bit Quay 622 của ký hiệu FRP 626 biểu thị hướng quay pha liên quan đến việc chuyển tiếp sang trạng thái tiếp theo. Bit phân cực 624 của ký hiệu FRP 626 được đặt thành số nhị phân 1 khi việc chuyển tiếp sang trạng thái tiếp theo liên quan đến sự thay đổi trong chiều phân cực. Khi bit Lật 620 của ký hiệu FRP 626 được đặt thành số nhị phân 1, các giá trị quay và chiều phân cực có thể bị bỏ qua và/hoặc bằng không. Việc lật biểu diễn việc chuyển tiếp trạng thái chỉ liên quan đến sự thay đổi về chiều phân cực. Do đó, pha của tín hiệu 3 pha không được coi là quay khi xảy ra lật, và bit phân cực là bit dư khi xảy ra lật. Ký hiệu FRP 626 tương ứng với các thay đổi trạng thái dây cho mỗi lần chuyển tiếp. Sơ đồ trạng thái 600 có thể được tách thành vòng trong 608 bao gồm các trạng thái báo hiệu phân cực dương 602, 604, 606 và vòng ngoài 618 bao gồm các trạng thái báo hiệu phân cực âm 612, 614, 616.

Fig.7 minh họa một ví dụ về mã hóa trạng thái dây 700 có thể được dùng trong một số giao diện C-PHY nhất định. Bộ mã hóa ký hiệu 702 nhận luồng ký hiệu FRP 708 mà có thể có định dạng của ký hiệu FRP 626 được minh họa trên Fig.6. Bộ ánh xạ 302 (xem Fig.3) có thể tạo ra luồng ký hiệu FRP 708 từ dữ liệu được truyền thông qua bus C-PHY. Bộ mã hóa ký hiệu 702 cung cấp ký hiệu truyền hiện tại 714 cho mỗi ký hiệu FRP trong luồng ký hiệu FRP 708 dựa vào ký hiệu truyền ngay trước đó 716. Ký hiệu truyền ngay trước đó 716 được duy trì bằng mạch lật hoặc thanh ghi 706 được tạo cấu hình để thu ký hiệu truyền hiện tại 714 dựa vào việc định thời được cung cấp bởi tín hiệu xung nhịp ký hiệu 710. Tín hiệu xung nhịp ký hiệu 710 còn cung cấp việc định thời cho mạch điều khiển và điều khiển trước 704, mạch này điều khiển hoạt động của các trình điều khiển đường truyền được ghép nối với bus C-PHY. Trong một số trường hợp,

mạch điều khiển và điều khiển trước 704 có thể thu và giữ ký hiệu truyền hiện tại 714 trong thời lượng của chu kỳ của tín hiệu xung nhịp ký hiệu 710. Trong một số trường hợp, mạch điều khiển và điều khiển trước 704 có thể cung cấp tập hợp tín hiệu 712 mà điều khiển các đoạn kéo lên và kéo xuống của mạch trình điều khiển đường truyền. Bảng 720 minh họa trạng thái của tập hợp tín hiệu 712 tạo ra các mức điện áp 724 cho mỗi trạng thái dây 722 được xác định cho bus C-PHY.

Fig.8 minh họa một ví dụ về giải mã trạng thái dây 800 có thể được dùng trong các giao diện C-PHY nhất định. Tập hợp các bộ so sánh 802 giám sát trạng thái báo hiệu 822 của bus C-PHY và tạo ra các tín hiệu vi sai được thu dưới dạng trạng thái dây hiện tại 826 bằng các mạch lật hoặc thanh ghi thứ nhất 804 dựa vào việc định thời được cung cấp bởi tín hiệu xung nhịp ký hiệu 820. Mạch phục hồi xung nhịp 812 giám sát trạng thái báo hiệu 822 của bus C-PHY và tạo ra tín hiệu xung nhịp nhận 828 mà có thể được tạo cổng bằng logic cổng 816 để tạo ra tín hiệu xung nhịp ký hiệu 820. Logic cổng 816 có thể nhận tín hiệu kích hoạt 830 từ logic cửa sổ xung nhịp 814 và logic cổng 816 cung cấp tín hiệu xung nhịp ký hiệu 820 khi tín hiệu dàn xếp 818 biểu thị rằng tín hiệu xung nhịp nhận 828 là hợp lệ. Các mạch lật hoặc thanh ghi thứ hai 806 cung cấp trạng thái dây trước đó 824 bằng cách thu trạng thái dây hiện tại 826 dựa vào việc định thời được cung cấp bởi tín hiệu xung nhịp ký hiệu 820.

Bộ giải mã ký hiệu 808 tạo ra luồng ký hiệu FRP 810 có thể có định dạng của ký hiệu FRP 626 được minh họa trên Fig.6. Luồng ký hiệu FRP 810 có thể được cung cấp cho bộ khử ánh xạ 508 (xem Fig.5) giải mã dữ liệu từ luồng ký hiệu FRP 810. Bộ giải mã ký hiệu 808 tạo ra mỗi ký hiệu FRP trong luồng ký hiệu FRP 810 dựa vào sự khác biệt giữa trạng thái dây trước đó 824 và trạng thái dây hiện tại 826.

Sự phức tạp và hiệu suất ngày càng tăng của ứng dụng và các cảm biến đã tạo ra nhu cầu tăng tương ứng về tốc độ và thông lượng dữ liệu. Ví dụ, độ phân giải tăng lên của các thiết bị chụp ảnh và bản thân thiết bị chụp ảnh có thể được mong đợi tạo ra khối lượng dữ liệu hình ảnh ngày càng tăng để được truyền thông qua bus C-PHY giữa bộ xử lý ứng dụng và các thiết bị khác. Nhu cầu về tốc độ khung cao hơn và việc cung cấp nhiều thiết bị chụp ảnh trong một máy cũng làm tăng nhiều lần khối lượng dữ liệu hình ảnh được truyền và có thể giảm thời gian có sẵn để truyền dữ liệu hình ảnh. Hệ thống hiển thị đồng thời được cung cấp độ phân giải tăng và có thể được đòi hỏi xử lý tốc độ

khung tăng. Có thể khó đáp ứng nhu cầu thông lượng ngày càng tăng nhờ sử dụng giao diện C-PHY thông thường.

Đường dẫn dữ liệu C-PHY hoạt động ở xung nhịp tốc độ đầy đủ, do đó dữ liệu lần lượt được truyền và lấy mẫu trên một loại cạnh của tín hiệu xung nhịp ký hiệu của bộ phát hoặc tín hiệu xung nhịp ký hiệu của bộ thu. Loại cạnh được dùng để định thời trong tín hiệu xung nhịp ký hiệu có thể là cạnh tăng hoặc cạnh giảm, dựa vào thiết kế mạch được dùng trong phương án thực hiện. Thông lượng dữ liệu được xác định bởi tốc độ ký hiệu của giao diện C-PHY, trong đó tốc độ ký hiệu có thể được biểu diễn là số ký hiệu được truyền trên mỗi giây qua bus C-PHY. Theo thông số kỹ thuật C-PHY thông thường:

$$\text{Tốc độ ký hiệu} = \text{Tần số xung nhịp ký hiệu}.$$

Thông lượng dữ liệu có thể được đo bằng số bit trên mỗi giây được truyền qua bus C-PHY. Theo một ví dụ, khoảng 2,32 bit có thể được mã hóa trong các lần chuyển tiếp giữa các ký hiệu được truyền liên tiếp, sao cho

$$\text{Thông lượng dữ liệu} = 2,32 * (\text{Tần số xung nhịp ký hiệu}).$$

Có thể đạt được thông lượng dữ liệu tăng bằng cách tăng tần số xung nhịp ký hiệu. Khả năng tăng tần số xung nhịp ký hiệu bị giới hạn bởi hiệu suất của các mạch trong các bộ phát và bộ thu C-PHY. Trong nhiều phương án thực hiện, thời gian chuyển mạch được xác định cho các cổng logic có thể giới hạn tần số xung nhịp ký hiệu tối đa, và/hoặc có thể giới hạn số mức của các cổng trong mạch hoạt động ở tần số xung nhịp ký hiệu. Theo một ví dụ, sự khác biệt về thời gian lan truyền qua các mạch logic của bộ thu có thể giới hạn khoảng thời gian mà ký hiệu có thể được lấy mẫu một cách tin cậy. Theo một ví dụ khác, việc tạo và phân phối tín hiệu xung nhịp ký hiệu tốc độ đầy đủ và tốc độ cao có thể khó thực hiện và có thể làm phức tạp thiết kế mạch tích hợp.

Giao diện C-PHY được triển khai theo một số khía cạnh nhất định của sáng chế có thể tăng thông lượng dữ liệu cho giao diện C-PHY mà không tăng tốc độ xung nhịp ký hiệu. Theo một khía cạnh, việc định thời trong đường dẫn dữ liệu C-PHY có thể được điều khiển bằng tín hiệu xung nhịp ký hiệu nửa tốc độ. Các ký hiệu có thể được truyền trên cả cạnh tăng lẫn cạnh giảm của tín hiệu xung nhịp ký hiệu khi tín hiệu xung nhịp ký hiệu nửa tốc độ được dùng, giảm yêu cầu tần số đối với tín hiệu xung nhịp ký hiệu ở

tốc độ ký hiệu cao hơn. Việc sử dụng tín hiệu xung nhịp ký hiệu nửa tốc độ theo một số khía cạnh nhất định của sáng chế cung cấp:

$$\text{Tốc độ ký hiệu} = 2 * (\text{Tần số xung nhịp ký hiệu}).$$

Thông lượng dữ liệu được đo bằng số bit trên mỗi giây được truyền qua bus C-PHY. Khi 2,32 bit được mã hóa trong các lần chuyển tiếp giữa các ký hiệu được truyền liên tiếp:

$$\text{Thông lượng dữ liệu} = 4,64 * (\text{Tần số xung nhịp ký hiệu}).$$

Theo một ví dụ, thông lượng dữ liệu thu được bằng cách sử dụng tín hiệu xung nhịp ký hiệu 10 GHz trong giao diện C-PHY thông thường có thể thu được bằng cách sử dụng tín hiệu xung nhịp ký hiệu 5 GHz trong giao diện C-PHY được triển khai theo một số khía cạnh nhất định của sáng chế.

Một số khía cạnh nhất định của sáng chế liên quan đến cấu trúc và cấu hình của các bộ phát và các bộ thu C-PHY có thể hoạt động bằng cách sử dụng tín hiệu xung nhịp ký hiệu nửa tốc độ. Trong một số ví dụ, các bộ phát và các bộ thu C-PHY được tạo cấu hình cho kiến trúc đường dẫn kép, mỗi đường dẫn mã hóa hoặc giải mã các ký hiệu luân phiên trong chuỗi ký hiệu. Để phục vụ mục đích của bản mô tả này, các đường dẫn trong bộ phát hoặc bộ thu được tạo cấu hình để sử dụng với xung nhịp ký hiệu nửa tốc độ được chỉ định là các đường dẫn lẻ và chẵn. Theo một ví dụ, đường dẫn lẻ trong bộ phát hoặc bộ thu xử lý các ký hiệu trong chuỗi mà là các ký hiệu thứ nhất, thứ ba, thứ năm, v.v. được truyền và đường dẫn chẵn trong bộ phát hoặc bộ thu xử lý các ký hiệu trong chuỗi mà là các ký hiệu thứ hai, thứ tư, thứ sáu, v.v. được truyền. Khi hoạt động, các đường dẫn có cấu trúc đối xứng, và các ký hiệu hoặc đường dẫn có thể được chỉ định tùy ý là lẻ và chẵn. Theo một khía cạnh, bộ phát C-PHY được triển khai với kiến trúc đường dẫn kép bao gồm bộ ánh xạ cung cấp các ký hiệu lẻ và chẵn cho các đường dẫn lẻ và chẵn tương ứng. Theo một khía cạnh, bộ thu C-PHY được triển khai với kiến trúc đường dẫn kép bao gồm bộ khử ánh xạ nhận các ký hiệu lẻ và chẵn từ các đường dẫn lẻ và chẵn tương ứng và đan xen các ký hiệu lẻ và chẵn để cung cấp chuỗi ký hiệu để giải mã.

Fig.9 minh họa các ví dụ về các mạch ánh xạ 900, 930 mà có thể được triển khai trong các bộ phát C-PHY được tạo cấu hình với kiến trúc đường dẫn kép theo các khía cạnh của sáng chế. Mạch ánh xạ thứ nhất 900 bao gồm hai bộ ánh xạ 902, 904, mỗi bộ

ánh xạ 902, 904 cung cấp một trong số các đường dẫn trong bộ phát, trong đó bộ phát được triển khai với đường dẫn ký hiệu chặn và đường dẫn ký hiệu lẻ. Mỗi ký hiệu chặn xác định trạng thái báo hiệu mà ngay sau đó là trạng thái báo hiệu được xác định bằng ký hiệu lẻ và mỗi ký hiệu lẻ xác định trạng thái báo hiệu ngay mà sau đó là trạng thái báo hiệu được xác định bằng ký hiệu chặn.

Mạch ánh xạ thứ nhất 900 có thể nhận dữ liệu đầu vào 912 dưới dạng hai từ 16 bit hoặc dưới dạng một từ 32 bit. Mạch ánh xạ thứ nhất 900 chia từ 32 bit thành hai từ 16 bit. Mỗi từ 16 bit có thể được ánh xạ thành một chuỗi 7 ký hiệu FRP bởi các bộ ánh xạ 902, 904 tương ứng. Mỗi dạng biểu diễn 21 bit của chuỗi 7 ký hiệu FRP có thể được nối tiếp để thu được chuỗi ký hiệu FRP được định thời bằng cách sử dụng các bộ nối tiếp tương ứng 906, 908. Các bộ nối tiếp 906, 908 cung cấp một ký hiệu trên mỗi chu kỳ xung nhịp của tín hiệu xung nhịp ký hiệu nửa tốc độ 910, tín hiệu này có tần số bằng một nửa tốc độ truyền ký hiệu mong muốn. Trong ví dụ minh họa, hai bộ ánh xạ 902, 904 cung cấp chuỗi bảy ký hiệu FRP 3-bit cho các bộ nối tiếp tương ứng 906, 908.

Việc định thời của bộ ánh xạ 902, 904 được điều khiển bởi tín hiệu xung nhịp từ 916 được cung cấp bởi mạch 914 mà chia tín hiệu xung nhịp ký hiệu nửa tốc độ 910 cho bảy. Định thời đầu vào của các bộ nối tiếp 906, 908 được điều khiển bởi tín hiệu xung nhịp từ 916 và định thời đầu ra của các bộ nối tiếp 906, 908 được điều khiển bằng tín hiệu xung nhịp nửa tốc độ 910.

Theo một ví dụ, mạch ánh xạ thứ nhất 900 cung cấp các ký hiệu FRP cho đường dẫn ký hiệu chặn 918 mã hóa từ 16 bit mà khác với từ 16 bit được mã hóa trong các ký hiệu FRP được cung cấp cho đường dẫn ký hiệu lẻ 920. Ví dụ, ký hiệu FRP N được cung cấp cho đường dẫn ký hiệu chặn 918 và ký hiệu $N + 1$ được cung cấp cho đường dẫn ký hiệu lẻ 920, trong đó ký hiệu $N + 1$ theo sau ký hiệu N trong quá trình truyền. Các chuỗi thu được từ hai bộ ánh xạ 902, 904 có thể được cung cấp lần lượt cho các đường dẫn ký hiệu chặn và lẻ 918, 920, kết hợp một cách hiệu quả hai chuỗi 7 ký hiệu FRP thành chuỗi 14 ký hiệu.

Theo một ví dụ khác, mỗi trong số hai bộ ánh xạ 902, 904 có thể được tạo cấu hình là bộ ánh xạ chặn 902 và bộ ánh xạ lẻ 904, cả hai bộ ánh xạ 902, 904 đều được tạo cấu hình để nhận cùng một từ 32 bit. Trong ví dụ này, bộ ánh xạ chặn 902 cung cấp các ký hiệu chặn trong chuỗi 14 ký hiệu biểu diễn từ 32 bit, còn bộ ánh xạ lẻ 904 cung cấp

các ký hiệu lẻ trong chuỗi 14 ký hiệu biểu diễn từ 32 bit. Các ký hiệu do bộ ánh xạ 902, 904 tạo ra có thể được nối tiếp và cung cấp cho đường dẫn ký hiệu tương ứng. 918, 920. Trong ví dụ này, việc báo hiệu trên bus nối tiếp phù hợp với các bộ phát C-PHY thông thường.

Mạch ánh xạ thứ hai 930 sử dụng bộ ánh xạ đơn 934 và được tạo cấu hình để nhận dữ liệu trong các từ 16-bit. Bộ ánh xạ đơn 934 được tạo cấu hình để mã hóa mỗi từ 16 bit trong chuỗi 7 ký hiệu FRP. Chuỗi 7 ký hiệu FRP có thể được nạp vào thanh ghi dịch chuyển từ 7 đến 2 938 bằng cách sử dụng bộ giải ghép kênh 936 mà cung cấp các ký hiệu chẵn và lẻ cho các thanh ghi dịch chuyển được ghép nối với các đường dẫn ký hiệu chẵn và lẻ tương ứng 918, 920. Bộ giải ghép kênh 936 được tạo xung nhịp với nửa tốc độ xung nhịp dữ liệu đầu vào, sử dụng tín hiệu xung nhịp 942 thu được từ tín hiệu xung nhịp ký hiệu 910 qua hoạt động của bộ chia 940.

Fig.10 minh họa ví dụ thứ nhất về bộ phát 1000 được tạo cấu hình để sử dụng tín hiệu xung nhịp ký hiệu nửa tốc độ 910 để mã hóa dữ liệu đầu vào 1020 trong các ký hiệu điều khiển trạng thái báo hiệu của bộ ba C-PHY 1024. Bộ phát 1000 được triển khai với đường dẫn ký hiệu chẵn và đường dẫn ký hiệu lẻ, trong đó mỗi ký hiệu chẵn xác định một trạng thái báo hiệu mà ngay sau đó là trạng thái báo hiệu được xác định bởi ký hiệu lẻ và mỗi ký hiệu lẻ xác định một trạng thái báo hiệu mà ngay sau đó là trạng thái báo hiệu được xác định bởi ký hiệu chẵn. Trong một số phương án thực hiện, chuỗi ký hiệu kết quả tuân theo các giao thức C-PHY. Fig.11 minh họa định thời 1100 cho bộ phát 1000.

Dữ liệu đầu vào 1020 có thể được nhận bởi mạch ánh xạ 1002 dưới dạng hai từ 16 bit hoặc dưới dạng một từ 32 bit. Ví dụ, mạch ánh xạ 1002 có thể tương ứng với một trong các mạch ánh xạ 900, 930 được minh họa trên Fig.9 Mỗi ký hiệu trong chuỗi ký hiệu FRP cung cấp bởi mạch ánh xạ 1002 được thu bởi một trong các mạch lật 1004 và 1014, các mạch này duy trì các ký hiệu FRP tiếp theo 1030, 1032 sẽ được mã hóa để truyền. Đối với mỗi chu kỳ của tín hiệu xung nhịp ký hiệu nửa tốc độ 910, mạch lật 1004 trong đường dẫn ký hiệu chẵn cung cấp đầu vào cho bộ mã hóa trạng thái dây thứ nhất 1006, và mạch lật 1014 trong đường dẫn ký hiệu lẻ cung cấp đầu vào cho bộ mã hóa trạng thái dây thứ hai 1016.

Bộ mã hóa trạng thái dây thứ nhất 1006 cung cấp ký hiệu trạng thái dây 3 bit chặn tiếp theo 1034 làm đầu ra của nó để xác định trạng thái báo hiệu của mỗi dây trong bộ ba C-PHY 1024. Ký hiệu trạng thái dây 3 bit chặn tiếp theo 1034 được tạo dựa vào sự chênh lệch giữa ký hiệu 3 bit chặn 1030 và ký hiệu trạng thái dây 3 bit lẻ hiện tại 1040 được tạo ra trên đường dẫn ký hiệu lẻ. Mạch lật 1008 được tạo xung nhịp bởi tín hiệu nghịch đảo của tín hiệu xung nhịp ký hiệu nửa tốc độ 910 cung cấp ký hiệu trạng thái dây 3 bit chặn hiện tại 1038 bằng cách thu ký hiệu trạng thái dây 3 bit chặn tiếp theo 1034 khi nó được tạo xung nhịp qua mạch lật 1008 để được truyền đi.

Bộ mã hóa trạng thái dây thứ hai 1016 cung cấp ký hiệu trạng thái dây 3 bit lẻ tiếp theo 1036 làm đầu ra của nó để xác định trạng thái báo hiệu của mỗi dây trong bộ ba C-PHY 1024. Ký hiệu trạng thái dây 3 bit lẻ tiếp theo 1036 được tạo ra dựa vào sự khác biệt giữa ký hiệu 3 bit lẻ 1032 và ký hiệu trạng thái dây 3 bit chặn hiện tại 1038 được tạo ra trên đường dẫn ký hiệu chặn. Mạch lật 1018 được tạo xung nhịp bằng tín hiệu xung nhịp ký hiệu nửa tốc độ 910 cung cấp ký hiệu trạng thái dây 3 bit lẻ hiện tại 1040 bằng cách thu ký hiệu trạng thái dây 3 bit lẻ tiếp theo 1036 khi nó được tạo xung nhịp qua mạch lật 1018 để được truyền đi.

Bộ ghép kênh 1010 lựa chọn đầu ra 1042 của nó từ ký hiệu trạng thái dây 3 bit chặn hiện tại 1038 và ký hiệu trạng thái dây 3 bit lẻ hiện tại 1040. Đầu ra 1042 của bộ ghép kênh 1010 được cung cấp cho mạch điều khiển và điều khiển trước 1012 để điều khiển tập hợp các trình điều khiển đường truyền 1022 được ghép nối với bộ ba C-PHY 1024. Bộ ghép kênh 1010 được điều khiển bởi tín hiệu xung nhịp ký hiệu nửa tốc độ 910, sao cho các ký hiệu chặn và lẻ điều khiển trạng thái của 1002 trong các pha (nửa chu kỳ) khác nhau của tín hiệu xung nhịp ký hiệu nửa tốc độ 910.

Fig.12 minh họa ví dụ thứ hai về bộ phát 1200 được tạo cấu hình để sử dụng tín hiệu xung nhịp ký hiệu nửa tốc độ 910 để mã hóa dữ liệu đầu vào 1220 trong các ký hiệu điều khiển trạng thái báo hiệu của bộ ba C-PHY 1242. Bộ phát 1200 hoạt động theo cách tương tự như bộ phát 1000 trên Fig.10 với các mạch đường ống bổ sung 1226, 1236 hỗ trợ việc cân bằng.

Bộ phát 1200 được triển khai với đường dẫn ký hiệu chặn và đường dẫn ký hiệu lẻ, trong đó mỗi ký hiệu chặn xác định một trạng thái báo hiệu mà ngay sau đó là trạng thái báo hiệu được xác định bởi ký hiệu lẻ và mỗi ký hiệu lẻ xác định một trạng thái báo

hiệu mà ngay sau đó là trạng thái báo hiệu được xác định bởi ký hiệu chắn. Chuỗi ký hiệu kết quả tuân theo các giao thức C-PHY.

Dữ liệu đầu vào 1220 có thể được nhận bởi mạch ánh xạ 1202 dưới dạng hai từ 16 bit hoặc dưới dạng một từ 32 bit. Ví dụ, mạch ánh xạ 1202 có thể tương ứng với một trong các mạch ánh xạ 900, 930 được minh họa trên Fig.9. Mỗi ký hiệu trong chuỗi ký hiệu FRP được cung cấp bởi mạch ánh xạ 1202 được thu bởi một trong các mạch lật 1204 và 1214 duy trì các ký hiệu FRP tiếp theo để xử lý. Đối với mỗi chu kỳ của tín hiệu xung nhịp ký hiệu nửa tốc độ 910, mạch lật 1204 trong đường dẫn ký hiệu chắn cung cấp đầu vào cho bộ mã hóa trạng thái dây thứ nhất 1206, và mạch lật 1214 trong đường dẫn ký hiệu lẻ cung cấp đầu vào cho bộ mã hóa trạng thái dây thứ hai 1216.

Bộ mã hóa trạng thái dây thứ nhất 1206 cung cấp ký hiệu trạng thái dây 3 bit chắn tiếp theo làm đầu ra của nó để xác định trạng thái báo hiệu của mỗi dây trong bộ ba C-PHY 1242. Ký hiệu trạng thái dây 3 bit chắn tiếp theo được tạo ra dựa vào sự khác biệt giữa ký hiệu FRP chắn tiếp theo và ký hiệu trạng thái dây 3 bit lẻ hiện tại 1246 được tạo ra trên đường dẫn ký hiệu lẻ. Mạch lật 1208 được tạo xung nhịp bởi tín hiệu nghịch đảo của tín hiệu xung nhịp ký hiệu nửa tốc độ 910 cung cấp ký hiệu trạng thái dây 3 bit chắn hiện tại 1244 bằng cách thu ký hiệu trạng thái dây 3 bit chắn tiếp theo được cung cấp bởi bộ mã hóa trạng thái dây thứ nhất 1206 khi nó được tạo xung nhịp qua mạch lật 1208 để được truyền.

Bộ mã hóa trạng thái dây thứ hai 1216 cung cấp ký hiệu trạng thái dây 3 bit lẻ tiếp theo làm đầu ra của nó để xác định trạng thái báo hiệu của mỗi dây trong bộ ba C-PHY 1242. Ký hiệu trạng thái dây 3 bit lẻ tiếp theo được tạo dựa vào sự khác biệt giữa ký hiệu FRP lẻ tiếp theo và ký hiệu trạng thái dây 3 bit chắn hiện tại 1244 được tạo trên đường dẫn ký hiệu chắn. Mạch lật 1218 được tạo xung nhịp bằng tín hiệu xung nhịp ký hiệu nửa tốc độ 910 cung cấp ký hiệu trạng thái dây 3 bit lẻ hiện tại 1246 bằng cách thu ký hiệu trạng thái dây 3 bit lẻ tiếp theo được cung cấp bởi bộ mã hóa trạng thái dây thứ hai 1216 khi nó được tạo xung nhịp qua mạch lật 1218 để được truyền đi.

Trong ví dụ minh họa, ký hiệu trạng thái dây 3 bit chắn hiện tại 1244 và ký hiệu trạng thái dây 3 bit lẻ hiện tại 1246 được cung cấp cho các mạch điều khiển và điều khiển trước chắn và lẻ tương ứng 1222, 1232 tạo ra một hoặc nhiều tín hiệu điều khiển trình điều khiển 1224, 1234 được tạo cấu hình để điều khiển tập hợp các trình điều khiển

đường truyền 1210 được ghép nối với bộ ba C-PHY 1242. Các tín hiệu điều khiển trình điều khiển 1224, 1234 được cung cấp cho các mạch đường ống tương ứng 1226, 1236 cung cấp độ trễ đủ để cho phép các mạch cân bằng 1228, 1238 xác định cấu hình cân bằng cho các tín hiệu điều khiển trình điều khiển 1224, 1234. Trong ví dụ minh họa, các mạch đường ống 1226, 1236 bao gồm hai hoặc nhiều mạch lật làm trễ tín hiệu điều khiển trình điều khiển 1224, 1234 bằng hai hoặc nhiều chu kỳ xung nhịp tương ứng. Các mạch lật trong mạch đường ống 1226 cho đường dẫn ký hiệu chặn được tạo xung nhịp bằng tín hiệu nghịch đảo của tín hiệu xung nhịp ký hiệu nửa tốc độ 910 và các mạch lật trong mạch đường ống 1236 cho đường dẫn ký hiệu lẻ được tạo xung nhịp bởi tín hiệu xung nhịp ký hiệu nửa tốc độ 910 để duy trì mối quan hệ định thời được thiết lập giữa các đường dẫn ký hiệu chặn và lẻ. Các tín hiệu điều khiển trình điều khiển bị trễ được cung cấp bởi các mạch đường ống tương ứng 1226, 1236 cho các mạch cân bằng 1228, 1238 mà có thể áp dụng việc điều chỉnh định thời cho một số tín hiệu điều khiển trình điều khiển bị trễ, tạo tín hiệu điều khiển biên độ trình điều khiển cho một số tín hiệu điều khiển trình điều khiển bị trễ, hoặc cung cấp một số tổ hợp điều chỉnh định thời và biên độ. Các mạch cân bằng 1228, 1238 cung cấp tín hiệu điều khiển trình điều khiển bị trễ và/hoặc tín hiệu điều chỉnh định thời và biên độ cho bộ ghép kênh 1240.

Bộ ghép kênh 1240 lựa chọn giữa các đầu ra của các mạch cân bằng 1228, 1238 để cung cấp đầu ra của nó. Đầu ra của bộ ghép kênh 1240 được cung cấp cho tập hợp các trình điều khiển đường truyền 1210 được ghép nối với bộ ba C-PHY 1242. Bộ ghép kênh 1240 được điều khiển bởi tín hiệu xung nhịp ký hiệu nửa tốc độ 910, sao cho các ký hiệu chặn và lẻ điều khiển trạng thái của bộ ba C-PHY 1242 trong các pha (nửa chu kỳ) khác nhau của tín hiệu xung nhịp ký hiệu nửa tốc độ 910.

Bộ thu được tạo cấu hình để giải mã các chuỗi ký hiệu được truyền theo việc định thời được cung cấp bởi tín hiệu xung nhịp ký hiệu nửa tốc độ có thể được tạo cấu hình với các đường dẫn ký hiệu chặn và lẻ riêng. Các bộ xử lý tín hiệu vi sai có thể được dùng để giải ghép kênh các tín hiệu vi sai để thu được trạng thái dây hiện tại và trước đó.

Fig.13 minh họa một ví dụ về các bộ xử lý tín hiệu vi sai 1300, 1330 và 1360 mà có thể được dùng trong bộ thu được tạo cấu hình cho hoạt động xung nhịp ký hiệu nửa tốc độ theo một số khía cạnh nhất định của sáng chế.

Bộ xử lý tín hiệu vi sai AB 1300 nhận tín hiệu vi sai AB 1302 từ bộ so sánh hoặc mạch bộ thu đường truyền. Tín hiệu vi sai AB 1302 có thể được nhận từ một trong các tập hợp các bộ so sánh như tập hợp các bộ so sánh 802 được minh họa trên Fig.8. Các bộ so sánh cung cấp tập hợp các tín hiệu vi sai $\{AB, BC, CA\}$ biểu diễn sự khác biệt về trạng thái báo hiệu của bộ ba dây (các dây A, B và C) trong bus C-PHY. Trong một số phương án thực hiện, tín hiệu vi sai AB 1302 là tín hiệu nhiều bit và/hoặc có thể được truyền qua hai hoặc nhiều đầu nối hoặc dây. Fig.15 là sơ đồ định thời 1500 bao gồm ảnh chụp nhanh của tín hiệu vi sai AB 1302, bao gồm trạng thái báo hiệu cho các khoảng ký hiệu nhận được $\{N, N + 1, \dots, N + 8\}$. Bộ xử lý tín hiệu vi sai AB 1300 bao gồm mạch lật thứ nhất 1304 được tạo xung nhịp bằng tín hiệu xung nhịp ký hiệu nửa tốc độ 1324 và được tạo cấu hình để thu trạng thái AB chẵn 1320, bao gồm trạng thái AB cho mỗi ký hiệu của tập hợp ký hiệu $\{N-1, N + 1, N + 3, N + 5 \text{ và } N + 7\}$.

Bộ xử lý tín hiệu vi sai AB 1300 bao gồm mạch lật thứ hai 1306 được tạo xung nhịp bằng tín hiệu nghịch đảo của tín hiệu xung nhịp ký hiệu nửa tốc độ 1324 và được tạo cấu hình để thu các trạng thái AB lẻ 1322, bao gồm trạng thái cho mỗi ký hiệu của tập hợp ký hiệu $\{N, N + 2, N + 4 \text{ và } N + 6\}$. Bộ xử lý tín hiệu vi sai AB 1300 còn bao gồm các mạch lật thứ ba và thứ tư 1308, 1310 được tạo xung nhịp bởi tín hiệu xung nhịp ký hiệu nửa tốc độ 1324 và cung cấp các trạng thái AB chẵn hiện tại được đồng chỉnh 1314 và các trạng thái AB lẻ hiện tại 1316. Bộ xử lý tín hiệu vi sai AB 1300 còn bao gồm mạch lật thứ năm 1312 được tạo xung nhịp bằng tín hiệu xung nhịp ký hiệu nửa tốc độ 1324 và thu các trạng thái AB lẻ hiện tại 1316 để cung cấp các trạng thái AB lẻ trước đó 1318 được đồng chỉnh theo thời gian với các trạng thái AB chẵn hiện tại tương ứng 1314 và các trạng thái AB lẻ hiện tại 1316.

Bộ xử lý tín hiệu vi sai BC 1330 nhận tín hiệu vi sai BC 1332 từ bộ so sánh hoặc mạch bộ thu đường truyền. Tín hiệu vi sai BC 1332 có thể được nhận từ một bộ so sánh trong tập hợp các bộ so sánh như tập hợp các bộ so sánh 802 được minh họa trên Fig.8. Trong một số phương án thực hiện, tín hiệu vi sai BC 1332 là tín hiệu nhiều bit và/hoặc có thể được truyền qua hai hoặc nhiều đầu nối hoặc dây dẫn. Bộ xử lý tín hiệu vi sai BC 1330 bao gồm mạch lật thứ nhất 1334 được tạo xung nhịp bởi tín hiệu xung nhịp ký hiệu nửa tốc độ 1324 và được tạo cấu hình để thu trạng thái BC chẵn 1350, bao gồm trạng thái BC cho mỗi ký hiệu của tập hợp ký hiệu $\{N-1, N + 1, N + 3, N + 5 \text{ và } N + 7\}$.

Bộ xử lý tín hiệu vi sai BC 1330 bao gồm mạch lật thứ hai 1336 được tạo xung nhịp bằng tín hiệu nghịch đảo của tín hiệu xung nhịp ký hiệu nửa tốc độ 1324 và được tạo cấu hình để thu các trạng thái BC lẻ 1352, bao gồm trạng thái cho mỗi ký hiệu của tập hợp ký hiệu $\{N, N + 2, N + 4 \text{ và } N + 6\}$. Bộ xử lý tín hiệu vi sai BC 1330 còn bao gồm các mạch lật thứ ba và thứ tư 1338, 1340 được tạo xung nhịp bởi tín hiệu xung nhịp ký hiệu nửa tốc độ 1324 và cung cấp các trạng thái BC chẵn hiện tại được đồng chỉnh 1344 và các trạng thái BC lẻ hiện tại 1346. Bộ xử lý tín hiệu vi sai BC 1330 còn bao gồm mạch lật thứ năm 1342 được tạo xung nhịp bởi tín hiệu xung nhịp ký hiệu nửa tốc độ 1324 và thu các trạng thái BC lẻ hiện tại 1346 để cung cấp các trạng thái BC lẻ trước đó 1348 được đồng chỉnh theo thời gian với các trạng thái BC chẵn hiện tại tương ứng 1344 và các trạng thái BC lẻ hiện tại 1346.

Bộ xử lý tín hiệu vi sai CA 1360 nhận tín hiệu vi sai CA 1362 từ bộ so sánh hoặc mạch bộ thu đường truyền. Tín hiệu vi sai CA 1362 có thể được nhận từ một bộ so sánh trong tập hợp các bộ so sánh như tập hợp các bộ so sánh 802 được minh họa trên Fig.8. Theo một số phương án thực hiện, tín hiệu vi sai CA 1362 là tín hiệu đa bit và/hoặc có thể được truyền qua hai hoặc nhiều đầu nối hoặc dây dẫn. Bộ xử lý tín hiệu vi sai CA 1360 bao gồm mạch lật thứ nhất 1364 được tạo xung nhịp bởi tín hiệu xung nhịp ký hiệu nửa tốc độ 1324 và được tạo cấu hình để thu trạng thái CA chẵn 1380, bao gồm trạng thái CA cho mỗi ký hiệu của tập hợp ký hiệu $\{N-1, N + 1, N + 3, N + 5 \text{ và } N + 7\}$.

Bộ xử lý tín hiệu vi sai CA 1360 bao gồm mạch lật thứ hai 1366 được tạo xung nhịp bằng tín hiệu nghịch đảo của tín hiệu xung nhịp ký hiệu nửa tốc độ 1324 và được tạo cấu hình để thu các trạng thái CA lẻ 1382, bao gồm trạng thái cho mỗi ký hiệu của tập hợp ký hiệu $\{N, N + 2, N + 4 \text{ và } N + 6\}$. Bộ xử lý tín hiệu vi sai CA 1360 còn bao gồm các mạch lật thứ ba và thứ tư 1368, 1370 được tạo xung nhịp bởi tín hiệu xung nhịp ký hiệu nửa tốc độ 1324 và cung cấp các trạng thái CA chẵn hiện tại được đồng chỉnh 1374 và các trạng thái CA lẻ hiện tại 1376. Bộ xử lý tín hiệu vi sai CA 1360 còn bao gồm mạch lật thứ năm 1372 được tạo xung nhịp bởi tín hiệu xung nhịp ký hiệu nửa tốc độ 1324 và thu các trạng thái CA lẻ hiện tại 1376 để cung cấp các trạng thái CA lẻ trước đó 1378 được đồng chỉnh theo thời gian với các trạng thái CA chẵn hiện tại tương ứng 1374 và các trạng thái CA lẻ hiện tại 1376.

Fig.14 minh họa mạch bộ thu 1400 được tạo cấu hình để sử dụng tín hiệu xung nhịp ký hiệu nửa tốc độ 1324 để giải mã dữ liệu 1450 từ trạng thái báo hiệu của bus C-PHY. Mạch bộ thu 1400 được triển khai với đường dẫn ký hiệu chẵn và đường dẫn ký hiệu lẻ, trong đó mỗi ký hiệu tương ứng với dữ liệu được mã hóa trong các lần chuyển tiếp giữa các trạng thái báo hiệu liên tiếp. Mỗi ký hiệu chẵn biểu diễn trạng thái báo hiệu thứ nhất ngay sau đó là trạng thái báo hiệu thứ hai được biểu diễn bằng ký hiệu lẻ và mỗi ký hiệu lẻ biểu diễn trạng thái báo hiệu thứ ba ngay sau đó là trạng thái báo hiệu thứ tư được biểu diễn bằng ký hiệu chẵn. Chuỗi ký hiệu tuân theo các giao thức C-PHY. Fig.15 minh họa việc định thời liên quan đến mạch bộ thu 1400.

Mạch bộ thu 1400 có thể bao gồm hoặc có thể được ghép nối với các bộ so sánh như tập hợp các bộ so sánh 802 được minh họa trên Fig.8. Các bộ so sánh cung cấp tập hợp các tín hiệu vi sai $\{AB, BC, CA\}$ biểu diễn sự khác biệt về trạng thái báo hiệu của bộ ba dây (gọi là dây A, B và C) trong bus C-PHY. Ba bộ xử lý tín hiệu vi sai 1402, 1404, 1406 được cung cấp để trích xuất thông tin từ các trạng thái báo hiệu trong chuỗi các khoảng thời gian truyền ký hiệu trên bus C-PHY. Khoảng thời gian truyền ký hiệu được xác định bởi tốc độ truyền ký hiệu. Tập hợp các tín hiệu vi sai cũng được cung cấp cho mạch phục hồi xung nhịp 1430 tạo ra tín hiệu xung nhịp ký hiệu nửa tốc độ 1324. Mỗi chu kỳ của tín hiệu xung nhịp ký hiệu nửa tốc độ 1324 xác định hai khoảng thời gian truyền ký hiệu.

Bộ xử lý tín hiệu vi sai AB 1402 cung cấp các trạng thái AB chẵn hiện tại, trạng thái AB lẻ hiện tại và trạng thái AB lẻ trước đó cho cặp bộ giải mã trạng thái dây. Bộ xử lý tín hiệu vi sai BC 1404 cung cấp các trạng thái BC chẵn hiện tại, trạng thái BC lẻ hiện tại và trạng thái BC lẻ trước đó cho cặp bộ giải mã trạng thái dây. Bộ xử lý tín hiệu vi sai CA 1406 cung cấp các trạng thái CA chẵn hiện tại, trạng thái CA lẻ hiện tại và trạng thái CA lẻ trước đó cho cặp bộ giải mã trạng thái dây.

Bộ giải mã trạng thái dây chẵn 1408 cung cấp các ký hiệu FRP chẵn 3 bit 1436 bằng cách xác định sự khác biệt giữa các trạng thái lẻ hiện tại 1412 cho các tín hiệu vi sai AB, BC và CA và các trạng thái chẵn hiện tại 1414 cho các tín hiệu vi sai AB, BC và CA. Các trạng thái chẵn hiện tại 1414 cho các tín hiệu vi sai AB, BC và CA xuất hiện trước các trạng thái lẻ hiện tại 1412 cho AB, BC và CA. Bộ giải mã trạng thái dây lẻ 1410 cung cấp các ký hiệu FRP lẻ 3 bit 1438 bằng cách xác định sự khác biệt giữa các

trạng thái chặn hiện tại 1414 cho các tín hiệu vi sai AB, BC và CA và các trạng thái lẻ trước đó 1416 cho các tín hiệu vi sai AB, BC và CA. Trạng thái lẻ trước đó 1416 cho tín hiệu vi sai AB, BC và CA xuất hiện trước trạng thái chặn hiện tại 1414 cho AB, BC và CA.

Các ký hiệu FRP chặn 1436 và các ký hiệu FRP lẻ 1438 được giữ lần lượt trong các thanh ghi hoặc các mạch lật tương ứng 1418 và 1420 để cung cấp đầu vào FRP chặn 1440 và đầu vào FRP lẻ 1442 cho các bộ chuyển đổi từ nối tiếp sang song song từ 1 đến 7 1422, 1424. Các thanh ghi hoặc mạch lật 1418 và 1420 và các đầu vào của các bộ chuyển đổi từ nối tiếp sang song song 1422, 1424 được tạo xung nhịp bằng tín hiệu xung nhịp ký hiệu nửa tốc độ 1324. Bộ chuyển đổi từ nối tiếp sang song song 1422, 1424 cung cấp các dạng biểu diễn 21 bit của chuỗi ký hiệu dưới dạng các đầu vào chặn và lẻ 1444 cho bộ khử ánh xạ 1426 dựa vào việc định thời được cung cấp bởi tín hiệu xung nhịp dữ liệu 1434 được cung cấp bởi mạch 1428 chia tín hiệu xung nhịp ký hiệu nửa tốc độ 1324 cho bảy. Bộ khử ánh xạ 1426 đan xen và giải mã các đầu vào chặn và lẻ 1444 để thu được dữ liệu được giải mã 1450, dữ liệu này có thể được xuất ra theo các từ 16 bit hoặc 32 bit. Các bộ chuyển đổi từ nối tiếp sang song song 1422, 1424 và bộ khử ánh xạ 1426 có thể hoạt động dựa vào việc định thời được cung cấp bởi tín hiệu xung nhịp dữ liệu 1434.

Fig.16 minh họa các ví dụ về mạch khử ánh xạ 1600, 1630 có thể được triển khai trong bộ thu C-PHY được tạo cấu hình với kiến trúc đường dẫn kép theo các khía cạnh của sáng chế. Mạch khử ánh xạ thứ nhất 1600 bao gồm hai bộ khử ánh xạ 1606, 1608. Bộ khử nối tiếp thứ nhất 1602, hoặc bộ chuyển đổi từ nối tiếp sang song song, cung cấp cho bộ khử ánh xạ thứ nhất 1606 dạng biểu diễn 21 bit của mỗi chuỗi bảy ký hiệu 3 bit nhận được từ đường dẫn ký hiệu chặn 1612. Bộ khử nối tiếp tiếp thứ hai 1604 cung cấp cho bộ giải mã thứ hai 1608 dạng biểu diễn 21 bit của mỗi chuỗi bảy ký hiệu 3 bit nhận được từ đường dẫn ký hiệu lẻ 1614. Các ký hiệu nhận được từ đường dẫn ký hiệu chặn 1612 và đường dẫn ký hiệu lẻ 1614 có thể được tạo cấu hình làm ký hiệu FRP. Các bộ khử ánh xạ 1606, 1608 có thể được tạo cấu hình để chuyển đổi chuỗi 7 ký hiệu thành dữ liệu theo kỹ thuật mã hóa C-PHY. Trong một số phương án thực hiện, mỗi trong số các bộ khử ánh xạ 1606, 1608 có thể giải mã chuỗi bảy ký hiệu bằng cách lập chỉ mục bảng tra cứu bằng cách sử dụng dạng biểu diễn 21 bit của chuỗi bảy ký hiệu. Theo một ví dụ, mạch khử ánh xạ thứ nhất 1600 có thể cung cấp dữ liệu đầu ra 1620 dưới dạng hai từ 16

bit. Theo một ví dụ khác, mạch khử ánh xạ thứ nhất 1600 có thể cung cấp dữ liệu đầu ra 1620 dưới dạng hai từ 16 bit. hoặc dưới dạng một từ 32 bit.

Bộ khử nối tiếp 1602, 1604 nhận một ký hiệu trên mỗi chu kỳ xung nhịp của tín hiệu xung nhịp ký hiệu nửa tốc độ 1610, tín hiệu này có tần số bằng một nửa tốc độ truyền ký hiệu mong muốn. Trong ví dụ minh họa, mỗi trong số hai bộ khử ánh xạ 1606, 1608 nhận tập hợp bảy ký hiệu FRP 3 bit từ các bộ khử nối tiếp 1602, 1604 tương ứng. Việc định thời hoạt động của các bộ khử ánh xạ 1606, 1608 và đầu ra của các bộ khử nối tiếp 1602, 1604 được điều khiển bởi tín hiệu xung nhịp từ 1618 được cung cấp bởi mạch 1616 chia tín hiệu xung nhịp ký hiệu nửa tốc độ 1610 cho bảy. Trong ví dụ minh họa, ký hiệu FRP N được nhận từ đường dẫn ký hiệu chẵn 1612 và ký hiệu N + 1 được nhận từ đường dẫn ký hiệu lẻ 1614, trong đó ký hiệu N + 1 được nhận từ bus C-PHY sau ký hiệu N.

Trong một số phương án thực hiện, mỗi trong số hai bộ khử ánh xạ 1606, 1608 có thể được tạo cấu hình là bộ khử ánh xạ chẵn 1606 và bộ khử ánh xạ lẻ 1608, cả hai bộ khử ánh xạ 1606, 1608 đều được tạo cấu hình để xuất ra các phần của cùng một từ 32 bit. Trong một số phương án thực hiện, việc báo hiệu trên bus nối tiếp thích hợp với các bộ phát C-PHY thông thường.

Mạch khử ánh xạ thứ hai 1630 sử dụng bộ khử ánh xạ đơn 1642 và được tạo cấu hình để đan xen các ký hiệu nhận được từ đường dẫn ký hiệu chẵn 1652 và đường dẫn ký hiệu lẻ 1654. Theo một ví dụ, các chuỗi 7 ký hiệu FRP được thu từ bộ khử nối tiếp 1632, 1634 bởi các tập hợp mạch lật 1636, 1638, trong đó các tập hợp mạch lật 1636, 1638 và đầu ra của bộ khử nối tiếp 1632, 1634 được điều khiển bởi tín hiệu xung nhịp từ 1656, mà có thể nhận được từ bộ chia 1646 chia tín hiệu xung nhịp ký hiệu nửa tốc độ 1610 cho 7. Theo một ví dụ, các bộ khử nối tiếp 1632, 1634 được tạo cấu hình để tập hợp tối đa 7 ký hiệu nhận được thành một chuỗi ký hiệu được thu bởi các tập hợp mạch lật tương ứng 1636, 1638. Tập hợp mạch lật thứ nhất 1636 thu chuỗi 7 ký hiệu từ đường dẫn ký hiệu chẵn 1652 và tập hợp mạch lật thứ hai 1638 thu chuỗi 7 ký hiệu từ đường dẫn ký hiệu lẻ 1654. Bộ ghép kênh 1640 nạp cho bộ khử ánh xạ 1642 tín hiệu lựa chọn được cung cấp bởi tín hiệu xung nhịp nửa từ 1658, tín hiệu này có thể thu được từ bộ chia 1648 chia tín hiệu xung nhịp nửa tốc độ 1610 cho 3,5. Bộ khử ánh xạ 1642 tạo ra hai từ dữ liệu 16 bit ở đầu ra 1650 của mạch khử ánh xạ thứ hai 1630 cho mỗi chu kỳ

của tín hiệu xung nhịp ký hiệu nửa tốc độ 1610. Theo một ví dụ, từ dữ liệu 16 bit thứ nhất được giải mã từ chuỗi 7 ký hiệu được xử lý qua đường dẫn ký hiệu chẵn 1652 và từ dữ liệu 16 bit thứ hai được giải mã từ chuỗi 7 ký hiệu được xử lý qua đường dẫn ký hiệu lẻ 1654.

Các ví dụ về các mạch và phương pháp xử lý

Fig.17 là sơ đồ khái niệm 1700 minh họa một ví dụ về phương án triển khai phần cứng cho máy sử dụng mạch xử lý 1702 mà có thể được tạo cấu hình để thực hiện một hoặc nhiều chức năng được mô tả ở đây. Theo các khía cạnh khác nhau của sáng chế, phần tử hoặc một phần bất kỳ của phần tử, hoặc tổ hợp bất kỳ của các phần tử mô tả ở đây có thể được triển khai bằng cách sử dụng mạch xử lý 1702. Mạch xử lý 1702 có thể bao gồm một số thiết bị, mạch và/hoặc logic hỗ trợ các sơ đồ mã hóa khác nhau được mô tả ở đây. Theo một ví dụ, mạch xử lý 1702 có thể bao gồm một số tổ hợp của mạch và các module tạo điều kiện thuận lợi cho việc mã hóa dữ liệu thành các ký hiệu, và trình điều khiển đường truyền được làm thích ứng để xác nhận ba hoặc nhiều hơn ba mức điện áp trên các dây của bus nối tiếp. Theo một ví dụ khác, mạch xử lý 1702 có thể bao gồm một số tổ hợp của mạch và các module tạo điều kiện thuận lợi cho việc mã hóa dữ liệu thành các ký hiệu bằng cách sử dụng bộ mã hóa 3 pha, bộ ánh xạ, trình điều khiển và/hoặc bộ cân bằng. Mạch xử lý 1702 có thể bao gồm máy trạng thái hoặc loại thiết bị xử lý khác quản lý các quy trình mã hóa và/hoặc giải mã như được mô tả ở đây.

Mạch xử lý 1702 có thể bao gồm một hoặc nhiều bộ xử lý 1704 được điều khiển bởi một số tổ hợp các module phần cứng và phần mềm. Ví dụ về các bộ xử lý 1704 bao gồm các bộ vi xử lý, bộ vi điều khiển, bộ xử lý tín hiệu số (digital signal processor - DSP), mảng cổng lập trình được theo trường (field programmable gate array - FPGA), thiết bị logic lập trình được (programmable logic device - PLD), máy trạng thái, bộ tạo chuỗi, logic theo cổng, mạch phần cứng rời rạc, và phần cứng thích hợp khác được tạo cấu hình để thực hiện các chức năng khác nhau được mô tả trong sáng chế. Một hoặc nhiều bộ xử lý 1704 có thể bao gồm các bộ xử lý chuyên biệt thực hiện các chức năng cụ thể và có thể được tạo cấu hình, tăng cường hoặc điều khiển bởi một trong các module phần mềm 1716. Một hoặc nhiều bộ xử lý 1704 có thể được tạo cấu hình qua sự kết hợp của các module phần mềm 1716 được tải trong quá trình khởi tạo, và được tạo cấu hình

thêm bằng cách tải hoặc dỡ tải một hoặc nhiều modul phần mềm 1716 trong quá trình hoạt động.

Trong ví dụ được minh họa, mạch xử lý 1702 có thể được triển khai với kiến trúc bus, được biểu diễn chung bằng bus 1710. Bus 1710 có thể bao gồm số lượng bất kỳ các bus và cầu liên kết tùy thuộc vào ứng dụng cụ thể của mạch xử lý 1702 và các ràng buộc thiết kế tổng thể. Bus 1710 liên kết các mạch khác nhau với nhau bao gồm một hoặc nhiều bộ xử lý 1704 và phương tiện lưu trữ đọc được bằng bộ xử lý 1706. Phương tiện lưu trữ đọc được bằng bộ xử lý 1706 có thể bao gồm các thiết bị nhớ và thiết bị lưu trữ dung lượng lớn, và có thể được gọi ở đây là phương tiện đọc được bằng máy tính và/hoặc phương tiện đọc được bằng bộ xử lý. Bus 1710 còn có thể liên kết các mạch khác nhau như nguồn định thời, bộ định thời, thiết bị ngoại vi, bộ điều chỉnh điện áp, và mạch quản lý công suất. Giao diện bus 1708 có thể cung cấp giao diện giữa bus 1710 và một hoặc nhiều mạch giao diện đường truyền 1712. Mạch giao diện đường truyền 1712 có thể được cung cấp cho mỗi công nghệ mạng được mạch xử lý hỗ trợ. Trong một số trường hợp, nhiều công nghệ mạng có thể dùng chung một số hoặc tất cả các mạch hoặc modul xử lý có trong mạch giao diện đường truyền 1712. Mỗi mạch giao diện đường truyền 1712 cung cấp phương tiện để truyền thông với một số máy khác qua phương tiện truyền. Tùy thuộc vào bản chất của máy, giao diện người dùng 1718 (ví dụ, bàn phím, màn hình, loa, micrô, cần điều khiển) cũng có thể được cung cấp, và có thể được ghép nối truyền thông với bus 1710 trực tiếp hoặc qua giao diện bus 1708.

Bộ xử lý 1704 có thể chịu trách nhiệm quản lý bus 1710 và xử lý chung mà có thể bao gồm việc thực thi phần mềm được lưu trữ trong phương tiện đọc được bằng bộ xử lý, có thể bao gồm phương tiện lưu trữ đọc được bằng bộ xử lý 1706. Về mặt này, mạch xử lý 1702, bao gồm cả bộ xử lý 1704, có thể được dùng để triển khai bất kỳ trong số các phương pháp, chức năng và kỹ thuật được mô tả ở đây. Phương tiện lưu trữ đọc được bằng bộ xử lý 1706 có thể được dùng để lưu trữ dữ liệu được xử lý bởi bộ xử lý 1704 khi thực thi phần mềm, và phần mềm có thể được tạo cấu hình để triển khai phương pháp bất kỳ trong số các phương pháp được mô tả ở đây.

Một hoặc nhiều bộ xử lý 1704 trong mạch xử lý 1702 có thể thực thi phần mềm. Phần mềm được hiểu theo nghĩa rộng là các lệnh, tập lệnh, mã, đoạn mã, mã chương trình, chương trình, chương trình con, modul phần mềm, ứng dụng, ứng dụng phần

mềm, gói phần mềm, đoạn chương trình, đoạn chương trình con, đối tượng, tập tin thực thi, chuỗi thực thi, quy trình, chức năng, thuật toán, v.v. cho dù được gọi là phần mềm, firmware, phần trung gian, vi mã, ngôn ngữ mô tả phần cứng, hoặc tên khác. Phần mềm có thể thường trú ở dạng đọc được bằng máy tính trong phương tiện lưu trữ đọc được bằng bộ xử lý 1706 hoặc trong phương tiện đọc được bằng bộ xử lý bên ngoài khác. Phương tiện lưu trữ đọc được bằng bộ xử lý 1706 có thể bao gồm phương tiện bất biến đọc được bằng bộ xử lý. Phương tiện bất biến đọc được bằng bộ xử lý bao gồm, ví dụ, thiết bị lưu trữ từ tính (ví dụ, đĩa cứng, đĩa mềm, dải từ), đĩa quang (ví dụ, đĩa nén (compact disc - CD) hoặc đĩa số đa năng (digital versatile disc - DVD)), thẻ thông minh, thiết bị nhớ flash (ví dụ, "ổ đĩa flash", thẻ, thẻ nhớ, hoặc ổ đĩa), bộ nhớ truy cập ngẫu nhiên (random access memory - RAM), bộ nhớ chỉ đọc (read only memory - ROM), ROM lập trình được (programmable ROM - PROM), PROM xóa được (erasable PROM - EPROM), PROM xóa được bằng điện (electrically erasable PROM - EEPROM), thanh ghi, đĩa tháo lắp được, và phương tiện thích hợp khác bất kỳ để lưu trữ phần mềm và/hoặc các lệnh mà có thể được truy cập và đọc bởi máy tính. Phương tiện lưu trữ đọc được bằng bộ xử lý 1706 cũng có thể bao gồm, ví dụ, sóng mang, đường truyền, và phương tiện thích hợp bất kỳ khác để truyền phần mềm và/hoặc các lệnh mà có thể được truy cập và đọc bởi máy tính. Phương tiện lưu trữ đọc được bằng bộ xử lý 1706 có thể nằm trong mạch xử lý 1702, trong bộ xử lý 1704, ngoài mạch xử lý 1702, hoặc được phân phối trên nhiều thực thể bao gồm mạch xử lý 1702. Phương tiện lưu trữ đọc được bằng bộ xử lý 1706 có thể được bao gồm trong sản phẩm chương trình máy tính. Ví dụ, sản phẩm chương trình máy tính có thể bao gồm phương tiện đọc được bằng bộ xử lý trong các vật liệu đóng gói. Người có hiểu biết trung bình trong lĩnh vực này sẽ nhận biết được cách thức tốt nhất để triển khai các chức năng được mô tả trong toàn bộ sáng chế tùy thuộc vào ứng dụng cụ thể và các ràng buộc thiết kế tổng thể áp dụng cho hệ thống tổng thể.

Phương tiện lưu trữ đọc được bằng bộ xử lý 1706 có thể duy trì phần mềm được duy trì và/hoặc được tổ chức trong các phân đoạn mã, môđun, ứng dụng, chương trình, v.v. có thể tải được, mà ở đây có thể được gọi là môđun phần mềm 1716. Mỗi trong số các môđun phần mềm 1716 có thể bao gồm các lệnh và dữ liệu, khi được cài đặt hoặc tải trên mạch xử lý 1702 và được thực thi bởi một hoặc nhiều bộ xử lý 1704, đóng góp vào hình ảnh thời gian chạy 1714 điều khiển hoạt động của một hoặc nhiều bộ xử lý

1704. Khi được thực thi, một số lệnh nhất định có thể khiến cho mạch xử lý 1702 thực hiện các chức năng theo một số phương pháp, thuật toán và quy trình được mô tả ở đây.

Một số môđun phần mềm 1716 có thể được tải trong quá trình khởi tạo mạch xử lý 1702 và các môđun phần mềm này 1716 có thể tạo cấu hình mạch xử lý 1702 để cho phép thực hiện các chức năng khác nhau được mô tả ở đây. Ví dụ, một số môđun phần mềm 1716 có thể tạo cấu hình các thiết bị bên trong và/hoặc các mạch logic 1722 của bộ xử lý 1704, và có thể quản lý quyền truy cập vào các thiết bị bên ngoài như mạch giao diện đường truyền 1712, giao diện bus 1708, giao diện người dùng 1718, bộ định thời, bộ đồng xử lý toán học, v.v.. Môđun phần mềm 1716 có thể bao gồm chương trình điều khiển và/hoặc hệ điều hành tương tác với trình xử lý ngắt và trình điều khiển thiết bị, và điều khiển quyền truy cập vào các tài nguyên khác nhau được cung cấp bởi mạch xử lý 1702. Tài nguyên có thể bao gồm bộ nhớ, thời gian xử lý, quyền truy cập vào mạch giao diện đường truyền 1712, giao diện người dùng 1718, v.v.

Một hoặc nhiều bộ xử lý 1704 của mạch xử lý 1702 có thể đa chức năng, do đó một số môđun phần mềm 1716 được tải và được tạo cấu hình để thực hiện các chức năng khác nhau hoặc các phiên bản khác nhau của cùng một chức năng. Ví dụ, một hoặc nhiều bộ xử lý 1704 có thể được làm thích ứng bổ sung để quản lý các tác vụ nền được khởi tạo để đáp lại các đầu vào từ giao diện người dùng 1718, mạch giao diện đường truyền 1712 và trình điều khiển thiết bị. Để hỗ trợ hiệu suất của nhiều chức năng, một hoặc nhiều bộ xử lý 1704 có thể được tạo cấu hình để cung cấp môi trường đa nhiệm, do đó mỗi chức năng trong số nhiều chức năng được triển khai dưới dạng một tập hợp các tác vụ được phục vụ bởi một hoặc nhiều bộ xử lý 1704 khi cần thiết hoặc mong muốn. Theo một ví dụ, môi trường đa nhiệm có thể được triển khai bằng cách sử dụng chương trình chia sẻ thời gian 1720 chuyển quyền điều khiển của bộ xử lý 1704 giữa các tác vụ khác nhau, do đó mỗi tác vụ trả lại quyền điều khiển của một hoặc nhiều bộ xử lý 1704 cho chương trình chia sẻ thời gian 1720 khi hoàn thành bất kỳ hoạt động nào còn tồn đọng và/hoặc để đáp lại đầu vào chẳng hạn như tín hiệu ngắt. Khi tác vụ có quyền điều khiển của một hoặc nhiều bộ xử lý 1704, mạch xử lý được chuyên biệt hóa một cách hiệu quả cho các mục đích được giải quyết bởi chức năng liên quan đến tác vụ điều khiển. Chương trình chia sẻ thời gian 1720 có thể bao gồm hệ điều hành, vòng lặp chính chuyển quyền điều khiển theo cách quay vòng, chức năng phân bổ quyền điều khiển của một hoặc nhiều bộ xử lý 1704 theo mức độ ưu tiên của các chức năng, và/hoặc

vòng lặp chính được điều khiển bởi tín hiệu ngắt đáp ứng các sự kiện bên ngoài bằng cách cung cấp quyền điều khiển của một hoặc nhiều bộ xử lý 1704 cho chức năng xử lý.

Fig.18 là lưu đồ 1800 của phương pháp truyền thông dữ liệu có thể được thực hiện tại bộ phát được ghép nối với liên kết truyền thông nhiều dây. Theo một ví dụ, liên kết truyền thông có thể có ba dây và dữ liệu có thể được mã hóa trong trạng thái pha và biên độ của tín hiệu được truyền trong các pha khác nhau trên mỗi trong số ba dây. Phương pháp này có thể được thực hiện, ít nhất một phần, ở bộ phát 1000 hoặc 1200 lần lượt được minh họa trên các hình vẽ Fig.10 và Fig.12.

Tại khối 1802, bộ phát 1000 hoặc 1200 có thể tạo cấu hình nhiều trình điều khiển đường truyền để ghép nối máy với liên kết 3 dây. Tại khối 1804, bộ phát 1000 hoặc 1200 có thể nhận ký hiệu thứ nhất trong chuỗi ký hiệu tại bộ mã hóa trạng thái dây thứ nhất khi liên kết 3 dây ở trong trạng thái báo hiệu thứ nhất. Tại khối 1806, bộ phát 1000 hoặc 1200 có thể xác định trạng thái báo hiệu thứ hai cho liên kết 3 dây dựa vào ký hiệu thứ nhất và trạng thái báo hiệu thứ nhất. Tại khối 1808, bộ phát 1000 hoặc 1200 có thể nhận ký hiệu thứ hai trong chuỗi ký hiệu tại bộ mã hóa trạng thái dây thứ hai. Tại khối 1810, bộ phát 1000 hoặc 1200 có thể xác định trạng thái báo hiệu thứ ba cho liên kết 3 dây dựa vào ký hiệu thứ hai và trạng thái báo hiệu thứ hai. Ký hiệu thứ nhất có thể đứng ngay trước ký hiệu thứ hai trong chuỗi ký hiệu. Liên kết 3 dây chuyển từ trạng thái báo hiệu thứ nhất sang trạng thái báo hiệu thứ hai và từ trạng thái báo hiệu thứ hai sang trạng thái báo hiệu thứ ba trong các khoảng thời gian truyền ký hiệu liên tiếp. Trạng thái báo hiệu của ít nhất một dây trong liên kết 3 dây thay đổi khi liên kết 3 dây chuyển từ trạng thái báo hiệu thứ hai sang trạng thái báo hiệu thứ ba.

Theo một ví dụ, mỗi trong số bộ mã hóa trạng thái dây thứ nhất và bộ mã hóa trạng thái dây thứ hai xác định các trạng thái báo hiệu cho liên kết 3 dây trong mỗi hai khoảng thời gian truyền ký hiệu.

Theo một số ví dụ nhất định, tín hiệu xung nhịp ký hiệu nửa tốc độ có chu kỳ gấp đôi thời lượng của mỗi khoảng thời gian truyền ký hiệu có thể được cung cấp. Bộ phát 1000 hoặc 1200 có thể lựa chọn giữa trạng thái báo hiệu thứ hai và trạng thái báo hiệu thứ ba để cung cấp thông tin trạng thái dây cho mạch điều khiển trình điều khiển để điều khiển nhiều trình điều khiển đường truyền. Việc lựa chọn có thể dựa vào pha của tín hiệu xung nhịp ký hiệu nửa tốc độ. Bộ phát 1000 hoặc 1200 có thể tạo xung nhịp các

mạch lật thứ nhất được tạo xung nhịp bằng cách sử dụng tín hiệu nghịch đảo của tín hiệu xung nhịp ký hiệu nửa tốc độ. Các mạch lật thứ nhất có thể được tạo cấu hình để thu các tín hiệu điều khiển thứ nhất biểu diễn trạng thái báo hiệu thứ hai. Bộ phát 1000 hoặc 1200 có thể tạo xung nhịp các mạch lật thứ hai bằng cách sử dụng tín hiệu xung nhịp ký hiệu nửa tốc độ. Các mạch lật thứ hai có thể được tạo cấu hình để thu tín hiệu điều khiển thứ hai biểu diễn trạng thái báo hiệu thứ ba. Bộ phát 1000 hoặc 1200 có thể cung cấp tín hiệu điều khiển thứ nhất hoặc tín hiệu điều khiển thứ hai dưới dạng thông tin trạng thái dây. Bộ phát 1000 hoặc 1200 có thể ánh xạ ít nhất 16 bit dữ liệu thành ít nhất 7 ký hiệu trong chuỗi ký hiệu. Liên kết 3 dây có thể được vận hành theo giao thức C-PHY.

Trong một số phương án thực hiện, bộ phát 1000 hoặc 1200 có thể tạo cấu hình nhiều trình điều khiển đường truyền khi bắt đầu truyền trạng thái báo hiệu thứ ba dựa vào sự khác biệt giữa trạng thái báo hiệu thứ hai và trạng thái báo hiệu thứ ba.

Fig.19 là sơ đồ minh họa ví dụ về phương án triển khai phần cứng cho máy 1900 sử dụng mạch xử lý 1902. Mạch xử lý 1902 thường có bộ xử lý 1916, bộ xử lý này có thể là bộ vi xử lý, bộ vi điều khiển, bộ xử lý tín hiệu số, bộ tạo chuỗi hoặc máy trạng thái. Mạch xử lý 1902 có thể được triển khai với kiến trúc bus, được biểu diễn chung bởi bus 1910. Bus 1910 có thể bao gồm số lượng bất kỳ các bus và cầu liên kết tùy thuộc vào ứng dụng cụ thể của mạch xử lý 1902 và các ràng buộc thiết kế tổng thể. Bus 1910 liên kết các mạch khác nhau với nhau bao gồm một hoặc nhiều bộ xử lý và/hoặc module phần cứng, được biểu diễn bởi bộ xử lý 1916, các module hoặc mạch 1904, 1906 và 1908, trình điều khiển đường truyền 1912 được tạo cấu hình để điều khiển các dây của liên kết 3 dây 1920, và phương tiện lưu trữ đọc được bằng bộ xử lý 1918. Bus 1910 cũng có thể liên kết các mạch khác như các nguồn định thời, thiết bị ngoại vi, bộ ổn áp, và mạch quản lý công suất mà đã được biết đến rộng rãi trong lĩnh vực kỹ thuật này, và do đó, sẽ không được mô tả nữa.

Bộ xử lý 1916 có nhiệm vụ xử lý chung, bao gồm thực thi phần mềm được lưu trữ trên phương tiện lưu trữ đọc được bằng bộ xử lý 1918. Phần mềm, khi được thực thi bởi bộ xử lý 1916, khiến cho mạch xử lý 1902 thực hiện các chức năng khác nhau được mô tả trên đây cho máy cụ thể bất kỳ. Phương tiện lưu trữ đọc được bằng bộ xử lý 1918 có thể bao gồm phương tiện lưu trữ khả biến và/hoặc bất biến, mà có thể được dùng để lưu trữ dữ liệu được xử lý bởi bộ xử lý 1916 khi thực thi phần mềm, bao gồm các bảng

ký hiệu, và chỉ số trung gian được dùng để truy cập các bảng ký hiệu. Mạch xử lý 1902 còn bao gồm ít nhất một trong các modul 1904, 1906 và 1908. Các modul 1904, 1906 và 1908 có thể được triển khai dưới dạng các modul phần mềm chạy trong bộ xử lý 1916, thường trú/được lưu trữ trong phương tiện lưu trữ đọc được bằng bộ xử lý 1918, một hoặc nhiều modul phần cứng được ghép nối với bộ xử lý 1916, hoặc một số tổ hợp của chúng. Các modul 1904, 1906 và/hoặc 1908 có thể bao gồm các lệnh của bộ vi điều khiển, thông số cấu hình máy trạng thái, hoặc một số tổ hợp của chúng.

Trong một cấu hình, máy 1900 có thể được tạo cấu hình để truyền thông dữ liệu qua giao diện nhiều dây. Máy 1900 có thể bao gồm các modul và/hoặc mạch ánh xạ ký hiệu 1908 được tạo cấu hình để mã hóa dữ liệu trong các ký hiệu chẵn và lẻ bằng cách sử dụng kỹ thuật mã hóa 3 pha. Máy 1900 có thể bao gồm các modul và/hoặc mạch ghép kênh ký hiệu 1906 được tạo cấu hình để hợp nhất hoặc đan xen các ký hiệu chẵn và lẻ để thu được chuỗi ký hiệu. Máy 1900 có thể bao gồm các modul và/hoặc mạch mã hóa trạng thái dây 1904 được tạo cấu hình để sử dụng chuỗi ký hiệu để khiến cho trình điều khiển đường truyền 1912 tạo cấu hình trạng thái báo hiệu của liên kết 3 dây 1920 trong khoảng thời gian truyền ký hiệu tương ứng. Theo một ví dụ, các trình điều khiển đường truyền 1912 cung cấp 7 hoặc nhiều hơn 7 trạng thái báo hiệu trên mỗi dây, và mỗi dây được điều khiển sang một trạng thái báo hiệu khác với các dây còn lại trong liên kết 3 dây 1920.

Theo một ví dụ, máy 1900 có cặp bộ mã hóa trạng thái dây và các trình điều khiển đường truyền 1912 được tạo cấu hình để ghép nối máy với liên kết 3 dây 1920. Bộ mã hóa trạng thái dây thứ nhất được tạo cấu hình để nhận ký hiệu thứ nhất trong chuỗi ký hiệu khi liên kết 3 dây 1920 ở trong trạng thái báo hiệu thứ nhất, và xác định trạng thái báo hiệu thứ hai cho liên kết 3 dây dựa vào ký hiệu thứ nhất và trạng thái báo hiệu thứ nhất. Bộ mã hóa trạng thái dây thứ hai được tạo cấu hình để nhận ký hiệu thứ hai trong chuỗi ký hiệu, và xác định trạng thái báo hiệu thứ ba cho liên kết 3 dây dựa vào ký hiệu thứ hai và trạng thái báo hiệu thứ hai. Ký hiệu thứ nhất đứng ngay trước ký hiệu thứ hai trong chuỗi ký hiệu. Liên kết 3 dây 1920 chuyển từ trạng thái báo hiệu thứ nhất sang trạng thái báo hiệu thứ hai và từ trạng thái báo hiệu thứ hai sang trạng thái báo hiệu thứ ba trong các khoảng thời gian truyền ký hiệu liên tiếp. Trạng thái báo hiệu của ít nhất một dây trong liên kết 3 dây 1920 thay đổi khi liên kết 3 dây 1920 chuyển từ trạng thái báo hiệu thứ hai sang trạng thái báo hiệu thứ ba. Theo một ví dụ, mỗi bộ mã hóa trạng

thái dây xác định các trạng thái báo hiệu cho liên kết 3 dây 1920 trong mỗi hai khoảng thời gian truyền ký hiệu.

Trong một số phương án thực hiện, máy 1900 có mạch tạo xung nhịp được tạo cấu hình để cung cấp tín hiệu xung nhịp ký hiệu nửa tốc độ có chu kỳ gấp đôi thời lượng của mỗi khoảng thời gian truyền ký hiệu. Máy có thể có mạch điều khiển trình điều khiển được tạo cấu hình để điều khiển trình điều khiển đường truyền 1912, và bộ ghép kênh lựa chọn giữa trạng thái báo hiệu thứ hai và trạng thái báo hiệu thứ ba để cung cấp thông tin trạng thái dây cho mạch điều khiển trình điều khiển. Bộ ghép kênh có thể lựa chọn giữa trạng thái báo hiệu thứ hai và trạng thái báo hiệu thứ ba dựa vào pha của tín hiệu xung nhịp ký hiệu nửa tốc độ. Máy 1900 còn có thể bao gồm mạch lật thứ nhất được tạo xung nhịp bằng tín hiệu nghịch đảo của tín hiệu xung nhịp ký hiệu nửa tốc độ và được tạo cấu hình để thu tín hiệu điều khiển thứ nhất biểu diễn trạng thái báo hiệu thứ hai và mạch lật thứ hai được tạo xung nhịp bằng tín hiệu xung nhịp ký hiệu nửa tốc độ và được tạo cấu hình để thu tín hiệu điều khiển thứ hai biểu diễn trạng thái báo hiệu thứ ba. Bộ ghép kênh có thể được tạo cấu hình thêm để cung cấp các tín hiệu điều khiển thứ nhất hoặc các tín hiệu điều khiển thứ hai dưới dạng thông tin trạng thái dây.

Trong một số phương án thực hiện, máy 1900 có một hoặc nhiều bộ ánh xạ được tạo cấu hình để ánh xạ ít nhất 16 bit dữ liệu thành ít nhất 7 ký hiệu trong chuỗi ký hiệu. Liên kết 3 dây 1620 có thể được vận hành theo giao thức C-PHY.

Trong một số phương án thực hiện, máy 1900 có mạch cân bằng được tạo cấu hình để nhận các phiên bản trễ của trạng thái báo hiệu thứ hai và trạng thái báo hiệu thứ ba, và tạo cấu hình nhiều trình điều khiển đường truyền khi bắt đầu truyền trạng thái báo hiệu thứ ba dựa vào sự khác biệt giữa trạng thái báo hiệu thứ hai và trạng thái báo hiệu thứ ba.

Phương tiện lưu trữ đọc được bằng bộ xử lý 1918 có thể lưu trữ các lệnh và thông tin khác liên quan đến phương pháp được minh họa trên Fig.18. Ví dụ, phương tiện lưu trữ đọc được bằng bộ xử lý 1918 có thể bao gồm các lệnh khiến cho mạch xử lý 1902 tạo cấu hình các trình điều khiển đường truyền 1912 để ghép nối máy với liên kết 3 dây 1920, nhận ký hiệu thứ nhất trong chuỗi ký hiệu ở bộ mã hóa trạng thái dây thứ nhất khi liên kết 3 dây 1920 ở trong trạng thái báo hiệu thứ nhất, xác định trạng thái báo hiệu thứ hai cho liên kết 3 dây 1920 dựa vào ký hiệu thứ nhất và trạng thái báo hiệu thứ nhất,

nhận ký hiệu thứ hai trong chuỗi ký hiệu tại bộ mã hóa trạng thái dây thứ hai, và xác định trạng thái báo hiệu thứ ba cho liên kết 3 dây dựa vào ký hiệu thứ hai và trạng thái báo hiệu thứ hai. Ký hiệu thứ nhất đứng ngay trước ký hiệu thứ hai trong chuỗi ký hiệu. Liên kết 3 dây 1920 chuyển từ trạng thái báo hiệu thứ nhất sang trạng thái báo hiệu thứ hai và từ trạng thái báo hiệu thứ hai sang trạng thái báo hiệu thứ ba trong các khoảng thời gian truyền ký hiệu liên tiếp. Trạng thái báo hiệu của ít nhất một dây trong liên kết 3 dây 1920 có thể thay đổi khi liên kết 3 dây 1920 chuyển từ trạng thái báo hiệu thứ hai sang trạng thái báo hiệu thứ ba.

Trong một số trường hợp, mỗi trong số bộ mã hóa trạng thái dây thứ nhất và bộ mã hóa trạng thái dây thứ hai xác định các trạng thái báo hiệu cho liên kết 3 dây 1920 trong mỗi hai khoảng thời gian truyền ký hiệu.

Trong một số phương án thực hiện, phương tiện lưu trữ đọc được bằng bộ xử lý 1918 bao gồm các lệnh khiến cho mạch xử lý 1902 cung cấp tín hiệu xung nhịp ký hiệu nửa tốc độ có chu kỳ gấp đôi thời lượng của mỗi khoảng thời gian truyền ký hiệu. Phương tiện lưu trữ đọc được bằng bộ xử lý 1918 có thể bao gồm các lệnh khiến cho mạch xử lý 1902 lựa chọn giữa trạng thái báo hiệu thứ hai và trạng thái báo hiệu thứ ba để cung cấp thông tin trạng thái dây cho mạch điều khiển trình điều khiển để điều khiển nhiều trình điều khiển đường truyền. Việc lựa chọn có thể dựa vào pha của tín hiệu xung nhịp ký hiệu nửa tốc độ. Phương tiện lưu trữ đọc được bằng bộ xử lý 1918 có thể bao gồm các lệnh khiến cho mạch xử lý 1902 tạo xung nhịp cho mạch lật thứ nhất bằng cách sử dụng tín hiệu nghịch đảo của tín hiệu xung nhịp ký hiệu nửa tốc độ, trong đó các mạch lật thứ nhất được tạo cấu hình để thu tín hiệu điều khiển thứ nhất biểu diễn trạng thái báo hiệu thứ hai. Phương tiện lưu trữ đọc được bằng bộ xử lý 1918 có thể bao gồm các lệnh khiến cho mạch xử lý 1902 tạo xung nhịp cho mạch lật thứ hai bằng cách sử dụng tín hiệu xung nhịp ký hiệu nửa tốc độ, trong đó các mạch lật thứ hai được tạo cấu hình để thu các tín hiệu điều khiển thứ hai biểu diễn trạng thái báo hiệu thứ ba, và cung cấp tín hiệu điều khiển thứ nhất hoặc tín hiệu điều khiển thứ hai dưới dạng thông tin trạng thái dây.

Phương tiện lưu trữ đọc được bằng bộ xử lý 1918 có thể bao gồm các lệnh khiến cho mạch xử lý 1902 ánh xạ ít nhất 16 bit dữ liệu thành ít nhất 7 ký hiệu trong chuỗi ký hiệu. Liên kết 3 dây 1920 có thể được vận hành theo giao thức C-PHY. Phương tiện lưu

trữ đọc được bằng bộ xử lý 1918 có thể bao gồm các lệnh khiến cho mạch xử lý 1902 tạo cấu hình nhiều trình điều khiển đường truyền khi bắt đầu truyền trạng thái báo hiệu thứ ba dựa vào sự khác biệt giữa trạng thái báo hiệu thứ hai và trạng thái báo hiệu thứ ba.

Fig.20 là lưu đồ 2000 của phương pháp truyền thông dữ liệu có thể được thực hiện tại bộ thu được ghép nối với liên kết truyền thông nhiều dây. Theo một ví dụ, dữ liệu có thể được mã hóa trong trạng thái pha và biên độ của tín hiệu được truyền theo các pha khác nhau trên mỗi trong số ba dây trong liên kết 3 dây 1920. Phương pháp này có thể được thực hiện, ít nhất một phần, ở mạch bộ thu 1400 được minh họa trên Fig.14.

Tại khối 2002, mạch bộ thu 1400 có thể cung cấp các tín hiệu vi sai biểu diễn sự khác biệt về trạng thái báo hiệu giữa mỗi cặp dây trong liên kết 3 dây 1920. Tại khối 2004, mạch bộ thu 1400 có thể cung cấp ký hiệu thứ nhất dựa vào sự khác biệt giữa trạng thái của các tín hiệu vi sai trong nửa chu kỳ thứ nhất của xung nhịp ký hiệu và trạng thái của các tín hiệu vi sai trong nửa chu kỳ thứ hai của xung nhịp ký hiệu ngay trước nửa chu kỳ thứ nhất trong xung nhịp ký hiệu. Tại khối 2006, mạch bộ thu 1400 có thể cung cấp ký hiệu thứ hai dựa vào sự khác biệt giữa trạng thái của các tín hiệu vi sai trong nửa chu kỳ thứ hai của xung nhịp ký hiệu và trạng thái của các tín hiệu vi sai trong nửa chu kỳ thứ ba của xung nhịp ký hiệu ngay trước nửa chu kỳ thứ hai trong xung nhịp ký hiệu. Tại khối 2008, mạch bộ thu 1400 có thể giải mã dữ liệu từ chuỗi ký hiệu bao gồm ký hiệu thứ nhất và ký hiệu thứ hai. Ký hiệu thứ nhất đứng ngay trước ký hiệu thứ hai trong chuỗi ký hiệu.

Trong các ví dụ khác nhau, trạng thái báo hiệu của ít nhất một tín hiệu vi sai thay đổi tại mỗi lần chuyển tiếp giữa các nửa chu kỳ của xung nhịp ký hiệu nửa tốc độ. Phương pháp có thể bao gồm bước suy ra xung nhịp ký hiệu từ các tín hiệu vi sai. Liên kết 3 dây 1920 được vận hành theo giao thức C-PHY. Phương pháp có thể bao gồm bước cung cấp, cho mỗi tín hiệu vi sai, tín hiệu thứ nhất biểu diễn trạng thái của tín hiệu vi sai tương ứng trong nửa chu kỳ thứ nhất của xung nhịp ký hiệu, tín hiệu thứ hai biểu diễn trạng thái của tín hiệu vi sai tương ứng trong nửa chu kỳ thứ hai của xung nhịp ký hiệu, và tín hiệu thứ ba biểu diễn trạng thái của tín hiệu vi sai tương ứng trong nửa chu kỳ thứ ba của xung nhịp ký hiệu. Phương pháp có thể bao gồm bước giải mã từ 16 bit từ mỗi trong số nhiều chuỗi bảy ký hiệu hoặc giải mã từ 32 bit từ mỗi cặp chuỗi bảy ký

hiệu được tạo ra đồng thời bởi bộ giải mã trạng thái dây thứ nhất và bộ giải mã trạng thái dây thứ hai.

Fig.21 là sơ đồ minh họa ví dụ về phương án triển khai phần cứng cho máy 1900 sử dụng mạch xử lý 2102. Mạch xử lý 2102 thường có bộ xử lý 2116, bộ xử lý này có thể là bộ vi xử lý, bộ vi điều khiển, bộ xử lý tín hiệu số, bộ tạo chuỗi hoặc máy trạng thái. Mạch xử lý 2102 có thể được triển khai với kiến trúc bus, được biểu diễn chung bởi bus 2110. Bus 2110 có thể bao gồm số lượng bất kỳ các bus và cầu liên kết tùy thuộc vào ứng dụng cụ thể của mạch xử lý 2102 và các ràng buộc thiết kế tổng thể. Bus 2110 liên kết các mạch khác nhau với nhau bao gồm một hoặc nhiều bộ xử lý và/hoặc module phần cứng, được biểu diễn bởi bộ xử lý 2116, các module hoặc mạch 2104, 2106 và 2108, bộ thu 2112 được tạo cấu hình để điều khiển các dây của liên kết 3 dây 2120 và phương tiện lưu trữ đọc được bằng bộ xử lý 2118. Bus 2110 cũng có thể liên kết các mạch khác như các nguồn định thời, thiết bị ngoại vi, bộ ổn áp, và mạch quản lý công suất mà đã được biết đến rộng rãi trong lĩnh vực kỹ thuật này, và do đó, sẽ không được mô tả nữa.

Bộ xử lý 2116 có nhiệm vụ xử lý chung, bao gồm thực thi phần mềm được lưu trữ trên phương tiện lưu trữ đọc được bằng bộ xử lý 2118. Phần mềm, khi được thực thi bởi bộ xử lý 2116, khiến cho mạch xử lý 2102 thực hiện các chức năng khác nhau được mô tả trên đây cho máy cụ thể bất kỳ. Phương tiện lưu trữ đọc được bằng bộ xử lý 2118 có thể bao gồm phương tiện lưu trữ khả biến và/hoặc bất biến, mà có thể được dùng để lưu trữ dữ liệu được xử lý bởi bộ xử lý 2116 khi thực thi phần mềm, bao gồm các bảng ký hiệu, và chỉ số trung gian được dùng để truy cập các bảng ký hiệu. Mạch xử lý 2102 còn bao gồm ít nhất một trong các module 2104, 2106 và 2108. Các module 2104, 2106 và 2108 có thể được triển khai dưới dạng các module phần mềm chạy trong bộ xử lý 2116, thường trú/được lưu trữ trong phương tiện lưu trữ đọc được bằng bộ xử lý 2118, một hoặc nhiều module phần cứng được ghép nối với bộ xử lý 2116, hoặc một số tổ hợp của chúng. Các module 2104, 2106 và/hoặc 2108 có thể bao gồm các lệnh của bộ vi điều khiển, thông số cấu hình máy trạng thái, hoặc một số tổ hợp của chúng.

Trong một cấu hình, máy 2100 có thể được tạo cấu hình để truyền thông dữ liệu qua liên kết 3 dây 2120. Liên kết 3 dây có thể được vận hành theo giao thức C-PHY. Máy 2100 có thể bao gồm các module và/hoặc mạch xử lý tín hiệu vi sai 2104 được tạo

cấu hình để xác định sự khác biệt về trạng thái báo hiệu giữa các cặp dây trong liên kết 3 dây 2120. Theo một ví dụ, bộ thu 2112 xác định sự khác biệt giữa 7 hoặc nhiều hơn 7 trạng thái báo hiệu trên mỗi dây. Máy 2100 có thể bao gồm các modul và/hoặc mạch giải mã trạng thái dây 2106 được tạo cấu hình để tạo ra các ký hiệu chặn và lẻ biểu diễn các tín hiệu vi sai trong mỗi khoảng thời gian truyền ký hiệu. Máy 2100 có thể bao gồm các modul và/hoặc mạch khử ánh xạ ký hiệu 2108 được tạo cấu hình để giải mã dữ liệu từ các ký hiệu chặn và lẻ.

Theo một ví dụ, bộ thu 2112 được tạo cấu hình để cung cấp các tín hiệu vi sai biểu diễn sự khác biệt về trạng thái báo hiệu giữa mỗi cặp dây trong liên kết 3 dây 2120, và máy 2100 có bộ giải mã trạng thái dây thứ nhất được tạo cấu hình để cung cấp ký hiệu thứ nhất dựa vào sự khác biệt giữa trạng thái của các tín hiệu vi sai trong nửa chu kỳ thứ nhất của xung nhịp ký hiệu và trạng thái của các tín hiệu vi sai trong nửa chu kỳ thứ hai của xung nhịp ký hiệu ngay trước nửa chu kỳ thứ nhất trong xung nhịp ký hiệu, và bộ giải mã trạng thái dây thứ hai được tạo cấu hình để cung cấp ký hiệu thứ hai dựa vào sự khác biệt giữa trạng thái của các tín hiệu vi sai trong nửa chu kỳ thứ hai của xung nhịp ký hiệu và trạng thái của các tín hiệu vi sai trong nửa chu kỳ thứ ba của xung nhịp ký hiệu ngay trước nửa chu kỳ thứ hai trong xung nhịp ký hiệu. Máy 2100 có thể có bộ khử ánh xạ được tạo cấu hình để giải mã dữ liệu từ chuỗi ký hiệu bao gồm ký hiệu thứ nhất và ký hiệu thứ hai. Ký hiệu thứ nhất đứng ngay trước ký hiệu thứ hai trong chuỗi ký hiệu.

Trong một số phương án thực hiện, trạng thái báo hiệu của ít nhất một tín hiệu vi sai thay đổi tại mỗi lần chuyển tiếp giữa các nửa chu kỳ của xung nhịp ký hiệu nửa tốc độ. Mạch phục hồi xung nhịp có thể được tạo cấu hình để thu được xung nhịp ký hiệu từ các tín hiệu vi sai.

Theo một ví dụ, máy 2100 có nhiều bộ xử lý tín hiệu vi sai, mỗi bộ xử lý tín hiệu vi sai được ghép nối với tín hiệu vi sai liên quan và được tạo cấu hình để cung cấp tín hiệu thứ nhất biểu diễn trạng thái của tín hiệu vi sai tương ứng trong nửa chu kỳ thứ nhất của xung nhịp ký hiệu, tín hiệu thứ hai biểu diễn trạng thái của tín hiệu vi sai tương ứng trong nửa chu kỳ thứ hai của xung nhịp ký hiệu và tín hiệu thứ ba biểu diễn trạng thái của tín hiệu vi sai tương ứng trong nửa chu kỳ thứ ba của xung nhịp ký hiệu.

Theo một ví dụ, bộ khử ánh xạ được tạo cấu hình thêm để giải mã từ 16 bit từ mỗi trong số nhiều chuỗi bảy ký hiệu hoặc giải mã từ 32 bit từ mỗi cặp chuỗi bảy ký hiệu được tạo ra đồng thời bởi bộ giải mã trạng thái dây thứ nhất và bộ giải mã trạng thái dây thứ hai.

Phương tiện lưu trữ đọc được bằng bộ xử lý 2118 có thể lưu trữ các lệnh và thông tin khác liên quan đến phương pháp được minh họa trên Fig.20. Ví dụ, phương tiện lưu trữ đọc được bằng bộ xử lý 2118 có thể bao gồm các lệnh khiến cho mạch xử lý 2102 cung cấp các tín hiệu vi sai biểu diễn sự khác biệt về trạng thái báo hiệu giữa mỗi cặp dây trong liên kết 3 dây 2120, cung cấp ký hiệu thứ nhất dựa vào sự khác biệt giữa trạng thái của các tín hiệu vi sai trong nửa chu kỳ thứ nhất của xung nhịp ký hiệu và trạng thái của các tín hiệu vi sai trong nửa chu kỳ thứ hai của xung nhịp ký hiệu ngay trước nửa chu kỳ thứ nhất trong xung nhịp ký hiệu, cung cấp ký hiệu thứ hai dựa vào sự khác biệt giữa trạng thái của các tín hiệu vi sai trong nửa chu kỳ thứ hai của xung nhịp ký hiệu và trạng thái của các tín hiệu vi sai trong nửa chu kỳ thứ ba của xung nhịp ký hiệu ngay trước nửa chu kỳ thứ hai trong xung nhịp ký hiệu, và giải mã dữ liệu từ chuỗi ký hiệu bao gồm ký hiệu thứ nhất và ký hiệu thứ hai. Ký hiệu thứ nhất đứng ngay trước ký hiệu thứ hai trong chuỗi ký hiệu.

Trong một số ví dụ, trạng thái báo hiệu của ít nhất một tín hiệu vi sai thay đổi tại mỗi lần chuyển tiếp giữa các nửa chu kỳ của xung nhịp ký hiệu nửa tốc độ. Phương tiện lưu trữ 2118 có thể bao gồm các lệnh khiến cho mạch xử lý 2102 thu được xung nhịp ký hiệu từ các tín hiệu vi sai. Liên kết 3 dây 2120 có thể được vận hành theo giao thức C-PHY.

Phương tiện lưu trữ 2118 có thể bao gồm các lệnh khiến cho mạch xử lý 2102 cung cấp, cho mỗi tín hiệu vi sai, tín hiệu thứ nhất biểu diễn trạng thái của tín hiệu vi sai tương ứng trong nửa chu kỳ thứ nhất của xung nhịp ký hiệu, tín hiệu thứ hai biểu diễn trạng thái của tín hiệu vi sai tương ứng trong nửa chu kỳ thứ hai của xung nhịp ký hiệu, và tín hiệu thứ ba biểu thị trạng thái của tín hiệu vi sai tương ứng trong nửa chu kỳ thứ ba của xung nhịp ký hiệu.

Phương tiện lưu trữ 2118 có thể bao gồm các lệnh khiến cho mạch xử lý 2102 giải mã từ 16 bit từ mỗi trong số nhiều chuỗi bảy ký hiệu hoặc giải mã từ 32 bit từ mỗi

cặp chuỗi bảy ký hiệu được tạo ra đồng thời bởi bộ giải mã trạng thái dây thứ nhất và bộ giải mã trạng thái dây thứ hai.

Cần phải hiểu rằng thứ tự hoặc thứ bậc cụ thể của các bước trong các quy trình được mô tả là sự minh họa về các phương án ví dụ. Dựa vào các tùy lựa chọn thiết kế, cần hiểu rằng thứ tự hoặc thứ bậc cụ thể của các bước trong các quy trình này có thể được sắp xếp lại. Hơn nữa, một số bước có thể được kết hợp hoặc lược bỏ. Các điểm yêu cầu bảo hộ phương pháp kèm theo trình bày các phần tử của các bước khác nhau theo thứ tự mẫu, và không có nghĩa là bị giới hạn ở thứ tự hoặc thứ bậc cụ thể đã trình bày.

Phần mô tả trên đây được cung cấp để cho phép người có hiểu biết trung bình trong lĩnh vực kỹ thuật này thực hành các khía cạnh khác nhau được mô tả ở đây. Những cải biến đối với các phương án này sẽ được người có hiểu biết trung bình trong lĩnh vực kỹ thuật này biết rõ, và các nguyên lý chung nêu trong sáng chế có thể được áp dụng cho các phương án khác. Do đó, các điểm yêu cầu bảo hộ không dự định bị giới hạn ở các khía cạnh được thể hiện ở đây, mà phải được hiểu có phạm vi đầy đủ phù hợp với ngôn ngữ của các điểm yêu cầu bảo hộ, trong đó tham chiếu đến phần tử dạng số ít không nhằm có nghĩa là “một và chỉ một” trừ khi được quy định cụ thể như vậy, mà có nghĩa là “một hoặc nhiều”. Trừ khi được nêu cụ thể khác, thuật ngữ “một số” đề cập đến một hoặc nhiều. Tất cả các điểm tương đương về cấu trúc và chức năng đối với các phần tử của các khía cạnh khác nhau được mô tả trong bản mô tả này đã được biết đến hoặc sau này được biết đến bởi những người có hiểu biết trung bình trong lĩnh vực kỹ thuật này được đưa vào đây một cách rõ ràng bằng cách tham chiếu và dự định được bao hàm bởi các yêu cầu bảo hộ. Hơn nữa, không thông tin nào bộc lộ ở đây được dự định dành cho công chúng bất kể phần bộc lộ đó có được thể hiện rõ ràng trong các điểm yêu cầu bảo hộ hay không. Không có phần tử nào trong yêu cầu bảo hộ được hiểu là phương tiện cộng chức năng trừ khi phần tử đó được diễn đạt một cách rõ ràng bằng cách sử dụng cụm từ “phương tiện để”.

YÊU CẦU BẢO HỘ

1. Máy truyền thông dữ liệu bao gồm:

nhiều trình điều khiển đường truyền được tạo cấu hình để ghép nối máy truyền thông dữ liệu với liên kết 3 dây;

mạch điều khiển trình điều khiển được tạo cấu hình để điều khiển nhiều trình điều khiển đường truyền;

bộ mã hóa trạng thái dây thứ nhất được tạo cấu hình để nhận ký hiệu thứ nhất trong chuỗi ký hiệu khi liên kết 3 dây ở trong trạng thái báo hiệu thứ nhất, và xác định trạng thái báo hiệu thứ hai cho liên kết 3 dây dựa vào ký hiệu thứ nhất và trạng thái báo hiệu thứ nhất;

bộ mã hóa trạng thái dây thứ hai được tạo cấu hình để nhận ký hiệu thứ hai trong chuỗi ký hiệu, và xác định trạng thái báo hiệu thứ ba cho liên kết 3 dây dựa vào ký hiệu thứ hai và trạng thái báo hiệu thứ hai, trong đó ký hiệu thứ nhất đứng ngay trước ký hiệu thứ hai trong chuỗi ký hiệu, trong đó liên kết 3 dây chuyển tiếp từ trạng thái báo hiệu thứ nhất sang trạng thái báo hiệu thứ hai và từ trạng thái báo hiệu thứ hai sang trạng thái báo hiệu thứ ba trong các khoảng thời gian truyền ký hiệu liên tiếp, và trong đó trạng thái báo hiệu của ít nhất một dây trong liên kết 3 dây thay đổi khi liên kết 3 dây chuyển tiếp từ trạng thái báo hiệu thứ hai sang trạng thái báo hiệu thứ ba;

mạch tạo xung nhịp được tạo cấu hình để cung cấp tín hiệu xung nhịp ký hiệu nửa tốc độ có chu kỳ gấp đôi thời lượng của mỗi khoảng thời gian truyền ký hiệu; và

bộ ghép kênh lựa chọn giữa trạng thái báo hiệu thứ hai và trạng thái báo hiệu thứ ba để cung cấp thông tin trạng thái dây cho mạch điều khiển trình điều khiển.

2. Máy truyền thông dữ liệu theo điểm 1, trong đó mỗi trong số bộ mã hóa trạng thái dây thứ nhất và bộ mã hóa trạng thái dây thứ hai xác định các trạng thái báo hiệu cho liên kết 3 dây trong mỗi hai khoảng thời gian truyền ký hiệu.

3. Máy truyền thông dữ liệu theo điểm 1, trong đó bộ ghép kênh lựa chọn giữa trạng thái báo hiệu thứ hai và trạng thái báo hiệu thứ ba dựa vào pha của tín hiệu xung nhịp ký hiệu nửa tốc độ.

4. Máy truyền thông dữ liệu theo điểm 1, máy này còn bao gồm:

nhiều mạch lật thứ nhất được tạo xung nhịp bởi tín hiệu nghịch đảo của tín hiệu xung nhịp ký hiệu nửa tốc độ và được tạo cấu hình để thu tín hiệu điều khiển thứ nhất biểu diễn trạng thái báo hiệu thứ hai; và

nhiều mạch lật thứ hai được tạo xung nhịp bởi tín hiệu xung nhịp ký hiệu nửa tốc độ và được tạo cấu hình để thu tín hiệu điều khiển thứ hai biểu diễn trạng thái báo hiệu thứ ba,

trong đó bộ ghép kênh được tạo cấu hình thêm để cung cấp tín hiệu điều khiển thứ nhất hoặc tín hiệu điều khiển thứ hai dưới dạng thông tin trạng thái dây.

5. Máy truyền thông dữ liệu theo điểm 1, máy này còn bao gồm:

một hoặc nhiều bộ ánh xạ được tạo cấu hình để ánh xạ ít nhất 16 bit dữ liệu thành ít nhất 7 ký hiệu trong chuỗi ký hiệu,

trong đó liên kết 3 dây được vận hành theo giao thức C-PHY.

6. Máy truyền thông dữ liệu bao gồm:

nhiều trình điều khiển đường truyền được tạo cấu hình để ghép nối máy truyền thông dữ liệu với liên kết 3 dây;

bộ mã hóa trạng thái dây thứ nhất được tạo cấu hình để nhận ký hiệu thứ nhất trong chuỗi ký hiệu khi liên kết 3 dây ở trong trạng thái báo hiệu thứ nhất, và xác định trạng thái báo hiệu thứ hai cho liên kết 3 dây dựa vào ký hiệu thứ nhất và trạng thái báo hiệu thứ nhất;

bộ mã hóa trạng thái dây thứ hai được tạo cấu hình để nhận ký hiệu thứ hai trong chuỗi ký hiệu, và xác định trạng thái báo hiệu thứ ba cho liên kết 3 dây dựa vào ký hiệu thứ hai và trạng thái báo hiệu thứ hai, trong đó ký hiệu thứ nhất đứng ngay trước ký hiệu thứ hai trong chuỗi ký hiệu, trong đó liên kết 3 dây chuyển tiếp từ trạng thái báo hiệu thứ nhất sang trạng thái báo hiệu thứ hai và từ trạng thái báo hiệu thứ hai sang trạng thái báo hiệu thứ ba trong các khoảng thời gian truyền ký hiệu liên tiếp, và trong đó trạng thái báo hiệu của ít nhất một dây trong liên kết 3 dây thay đổi khi liên kết 3 dây chuyển tiếp từ trạng thái báo hiệu thứ hai sang trạng thái báo hiệu thứ ba; và

mạch cân bằng được tạo cấu hình để nhận các phiên bản trễ của trạng thái báo hiệu thứ hai và trạng thái báo hiệu thứ ba, và tạo cấu hình nhiều trình điều khiển đường truyền khi bắt đầu truyền trạng thái báo hiệu thứ ba dựa vào sự khác biệt giữa trạng thái báo hiệu thứ hai và trạng thái báo hiệu thứ ba.

7. Phương pháp truyền thông dữ liệu bao gồm các bước:

tạo cấu hình nhiều trình điều khiển đường truyền sẽ được ghép nối với liên kết 3 dây;

nhận ký hiệu thứ nhất trong chuỗi ký hiệu tại bộ mã hóa trạng thái dây thứ nhất khi liên kết 3 dây ở trong trạng thái báo hiệu thứ nhất;

xác định trạng thái báo hiệu thứ hai cho liên kết 3 dây dựa vào ký hiệu thứ nhất và trạng thái báo hiệu thứ nhất;

nhận ký hiệu thứ hai trong chuỗi ký hiệu tại bộ mã hóa trạng thái dây thứ hai;

xác định trạng thái báo hiệu thứ ba cho liên kết 3 dây dựa vào ký hiệu thứ hai và trạng thái báo hiệu thứ hai, trong đó ký hiệu thứ nhất đứng ngay trước ký hiệu thứ hai trong chuỗi ký hiệu, trong đó liên kết 3 dây chuyển tiếp từ trạng thái báo hiệu thứ nhất sang trạng thái báo hiệu thứ hai và từ trạng thái báo hiệu thứ hai sang trạng thái báo hiệu thứ ba trong các khoảng thời gian truyền ký hiệu liên tiếp, và trong đó trạng thái báo hiệu của ít nhất một dây trong liên kết 3 dây thay đổi khi liên kết 3 dây chuyển tiếp từ trạng thái báo hiệu thứ hai sang trạng thái báo hiệu thứ ba;

cung cấp tín hiệu xung nhịp ký hiệu nửa tốc độ có chu kỳ gấp đôi thời lượng của mỗi khoảng thời gian truyền ký hiệu; và

lựa chọn giữa trạng thái báo hiệu thứ hai và trạng thái báo hiệu thứ ba để cung cấp thông tin trạng thái dây cho mạch điều khiển trình điều khiển để điều khiển nhiều trình điều khiển đường truyền, trong đó bước lựa chọn được dựa vào pha của tín hiệu xung nhịp ký hiệu nửa tốc độ.

8. Phương pháp truyền thông dữ liệu theo điểm 7, trong đó mỗi trong số bộ mã hóa trạng thái dây thứ nhất và bộ mã hóa trạng thái dây thứ hai xác định các trạng thái báo hiệu cho liên kết 3 dây trong mỗi hai khoảng thời gian truyền ký hiệu.

9. Phương pháp truyền thông dữ liệu theo điểm 7, phương pháp này còn bao gồm các bước:

tạo xung nhịp nhiều mạch lật thứ nhất bằng cách sử dụng tín hiệu nghịch đảo của tín hiệu xung nhịp ký hiệu nửa tốc độ, trong đó nhiều mạch lật thứ nhất được tạo cấu hình để thu tín hiệu điều khiển thứ nhất biểu diễn trạng thái báo hiệu thứ hai;

tạo xung nhịp nhiều mạch lật thứ hai bằng cách sử dụng tín hiệu xung nhịp ký hiệu nửa tốc độ, trong đó nhiều mạch lật thứ hai được tạo cấu hình để thu tín hiệu điều khiển thứ hai biểu diễn trạng thái báo hiệu thứ ba; và

cung cấp tín hiệu điều khiển thứ nhất hoặc tín hiệu điều khiển thứ hai dưới dạng thông tin trạng thái dây.

10. Phương pháp truyền thông dữ liệu theo điểm 7, phương pháp này còn bao gồm bước:

ánh xạ ít nhất 16 bit dữ liệu thành ít nhất 7 ký hiệu trong chuỗi ký hiệu, trong đó liên kết 3 dây được vận hành theo giao thức C-PHY.

11. Phương pháp truyền thông dữ liệu theo điểm 7, phương pháp này còn bao gồm bước:

tạo cấu hình nhiều trình điều khiển đường truyền khi bắt đầu truyền trạng thái báo hiệu thứ ba dựa vào sự khác biệt giữa trạng thái báo hiệu thứ hai và trạng thái báo hiệu thứ ba.

12. Phương tiện lưu trữ bất biến đọc được bằng bộ xử lý bao gồm mã để:

tạo cấu hình nhiều trình điều khiển đường truyền sẽ được ghép nối với liên kết 3 dây;

nhận ký hiệu thứ nhất trong chuỗi ký hiệu tại bộ mã hóa trạng thái dây thứ nhất khi liên kết 3 dây ở trong trạng thái báo hiệu thứ nhất;

xác định trạng thái báo hiệu thứ hai cho liên kết 3 dây dựa vào ký hiệu thứ nhất và trạng thái báo hiệu thứ nhất;

nhận ký hiệu thứ hai trong chuỗi ký hiệu tại bộ mã hóa trạng thái dây thứ hai;

xác định trạng thái báo hiệu thứ ba cho liên kết 3 dây dựa vào ký hiệu thứ hai và trạng thái báo hiệu thứ hai, trong đó ký hiệu thứ nhất đứng ngay trước ký hiệu thứ hai

trong chuỗi ký hiệu, trong đó liên kết 3 dây chuyển tiếp từ trạng thái báo hiệu thứ nhất sang trạng thái báo hiệu thứ hai và từ trạng thái báo hiệu thứ hai sang trạng thái báo hiệu thứ ba trong các khoảng thời gian truyền ký hiệu liên tiếp, và trong đó trạng thái báo hiệu của ít nhất một dây trong liên kết 3 dây thay đổi khi liên kết 3 dây chuyển tiếp từ trạng thái báo hiệu thứ hai sang trạng thái báo hiệu thứ ba;

cung cấp tín hiệu xung nhịp ký hiệu nửa tốc độ có chu kỳ gấp đôi thời lượng của mỗi khoảng thời gian truyền ký hiệu; và

lựa chọn giữa trạng thái báo hiệu thứ hai và trạng thái báo hiệu thứ ba để cung cấp thông tin trạng thái dây cho mạch điều khiển trình điều khiển để điều khiển nhiều trình điều khiển đường truyền, trong đó bước lựa chọn được dựa vào pha của tín hiệu xung nhịp ký hiệu nửa tốc độ.

1/21

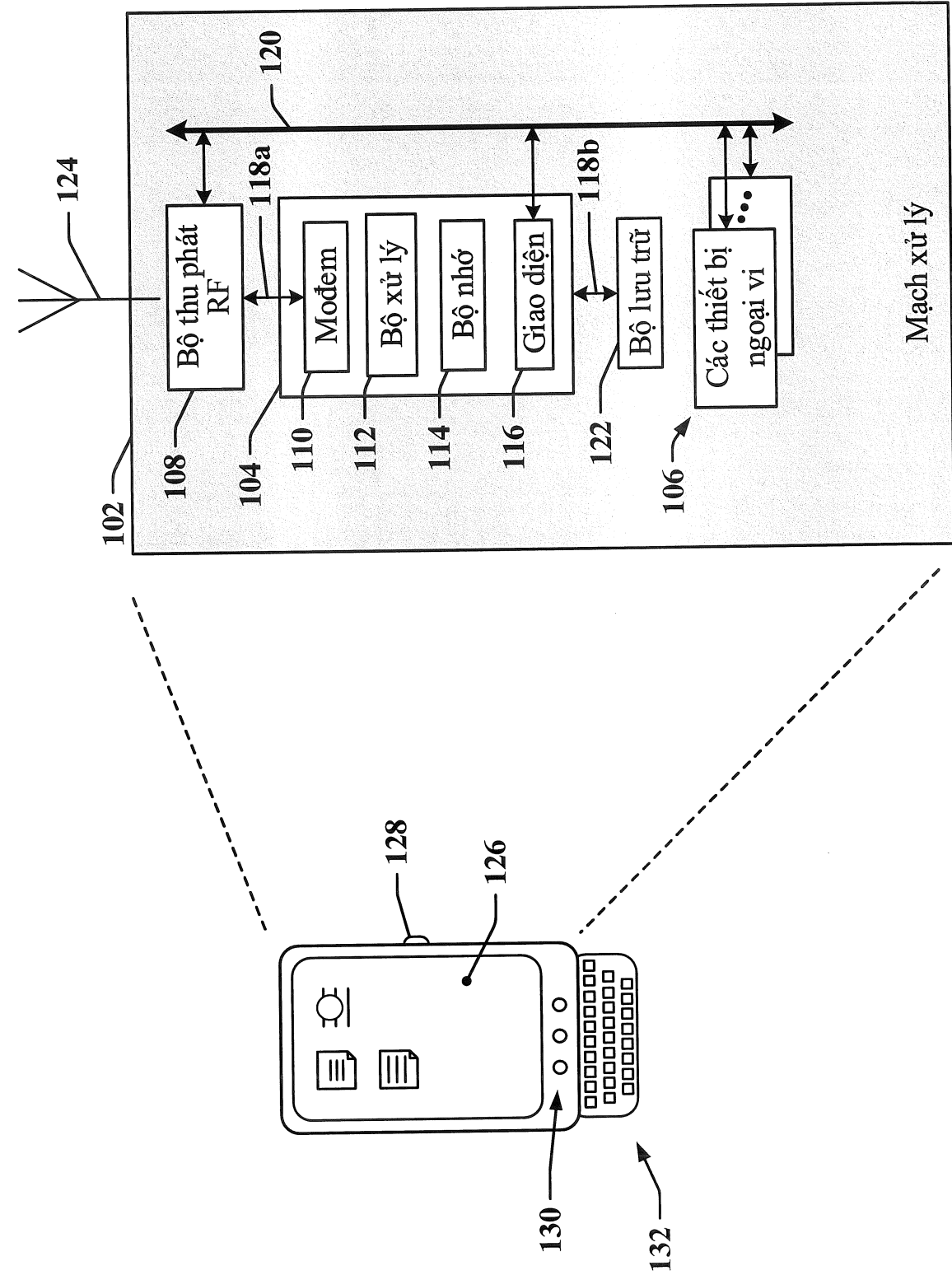


Fig. 1

2/21

200 →

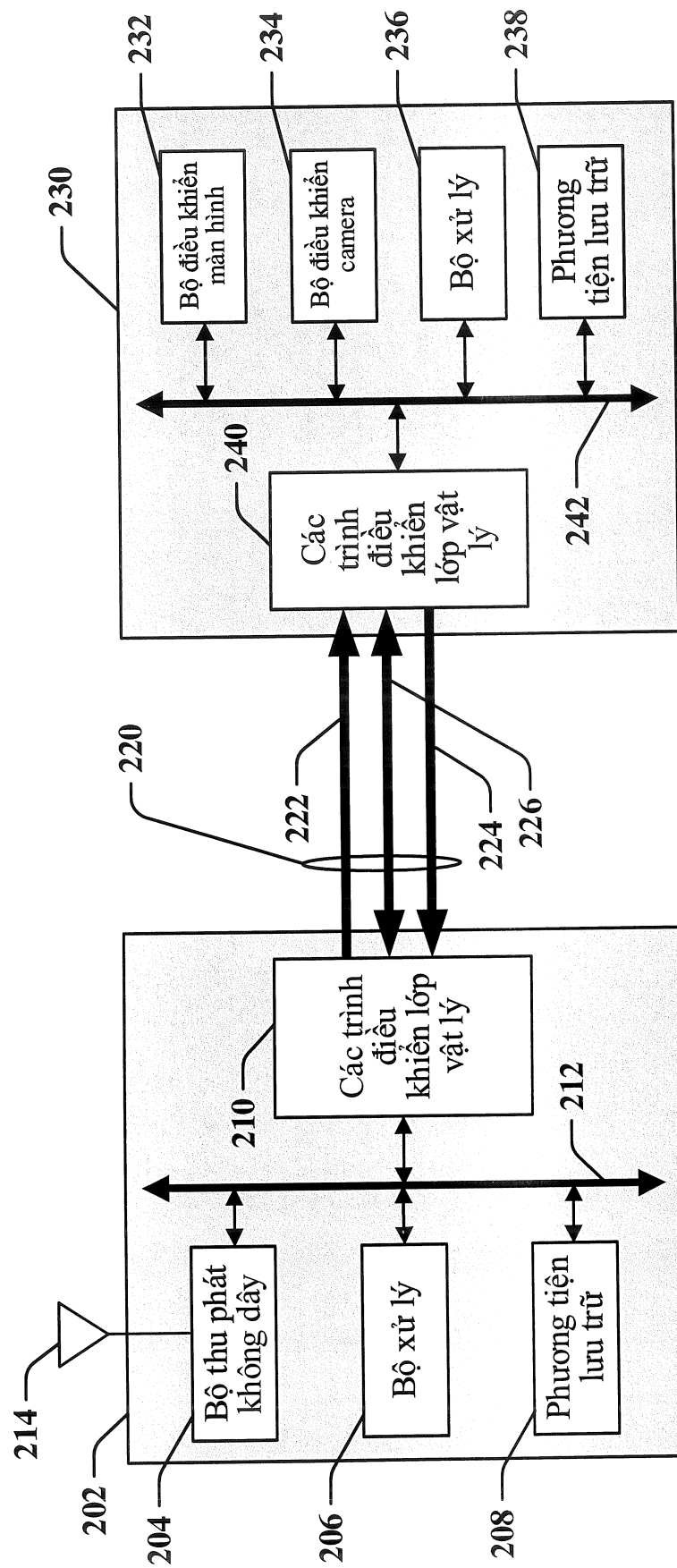


Fig.2

3/21

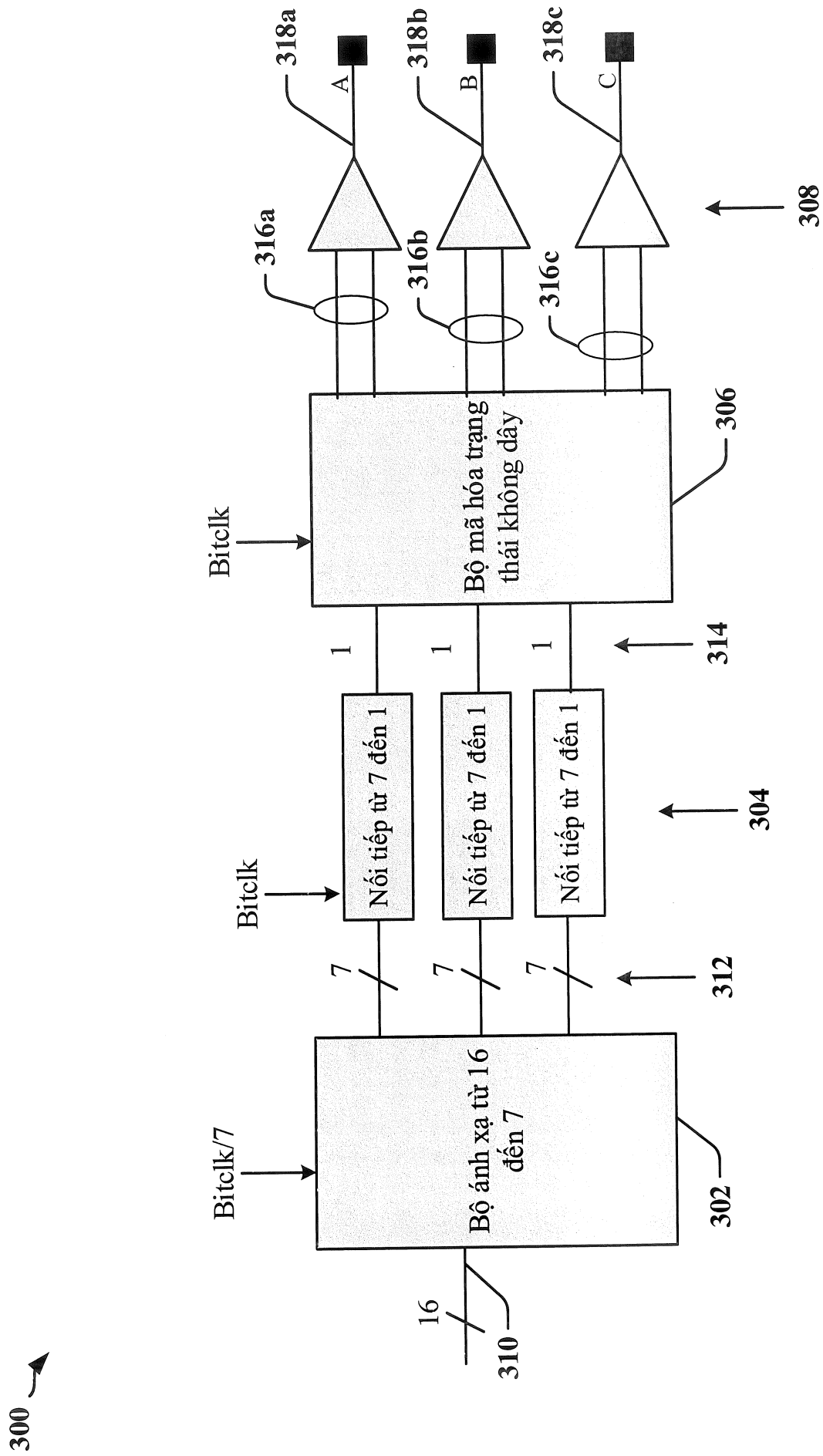
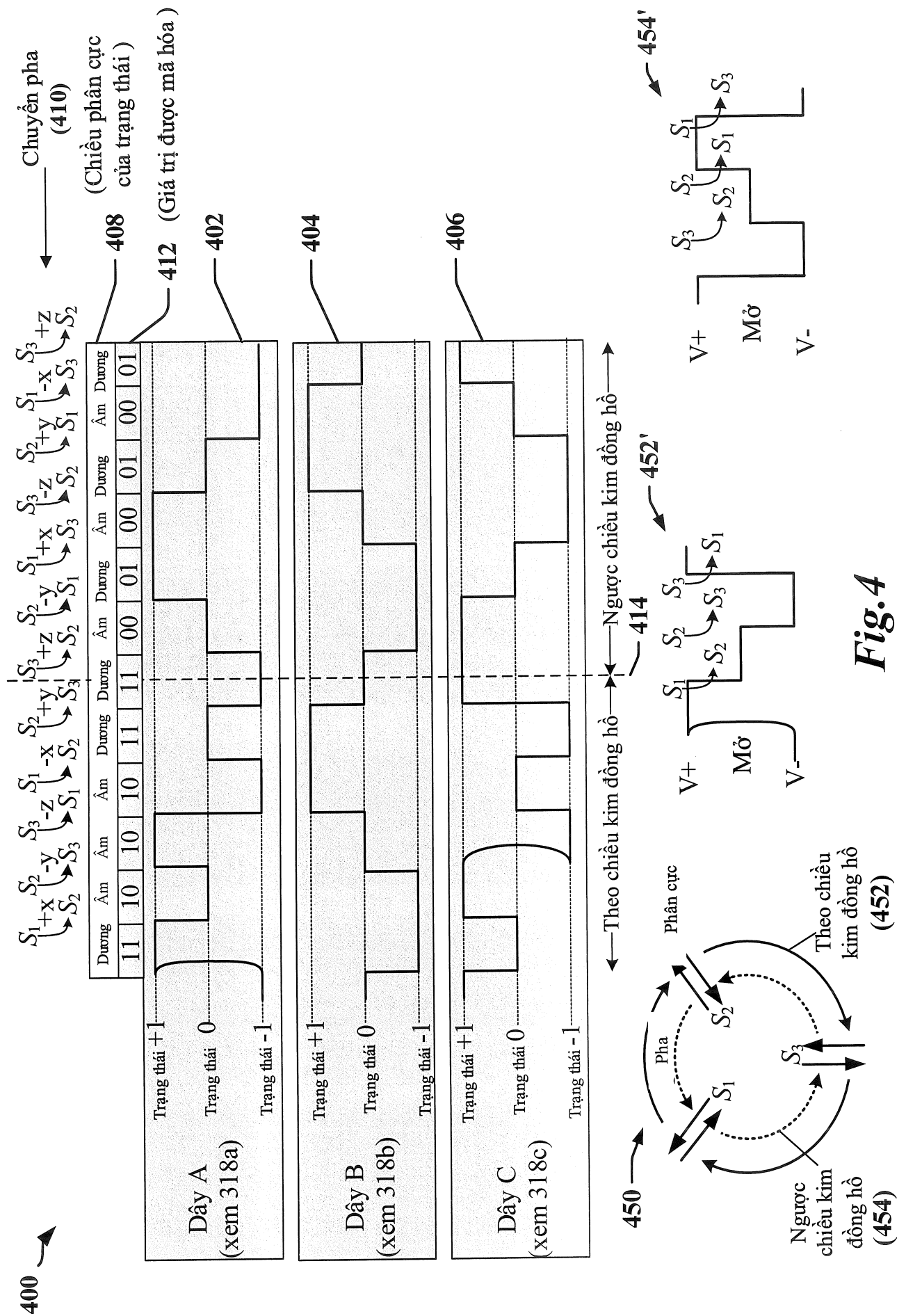


Fig.3

4/21



5/21

500 →

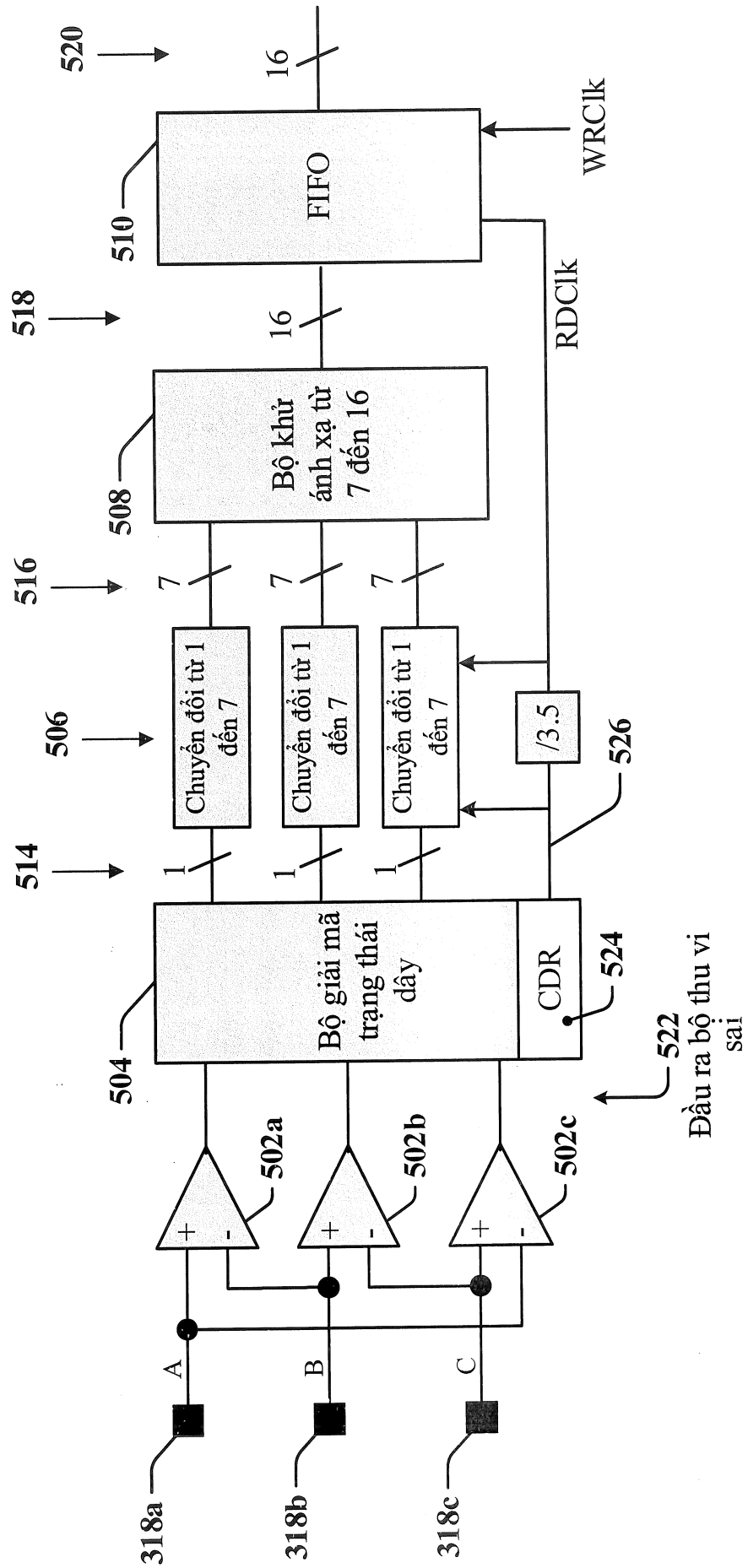
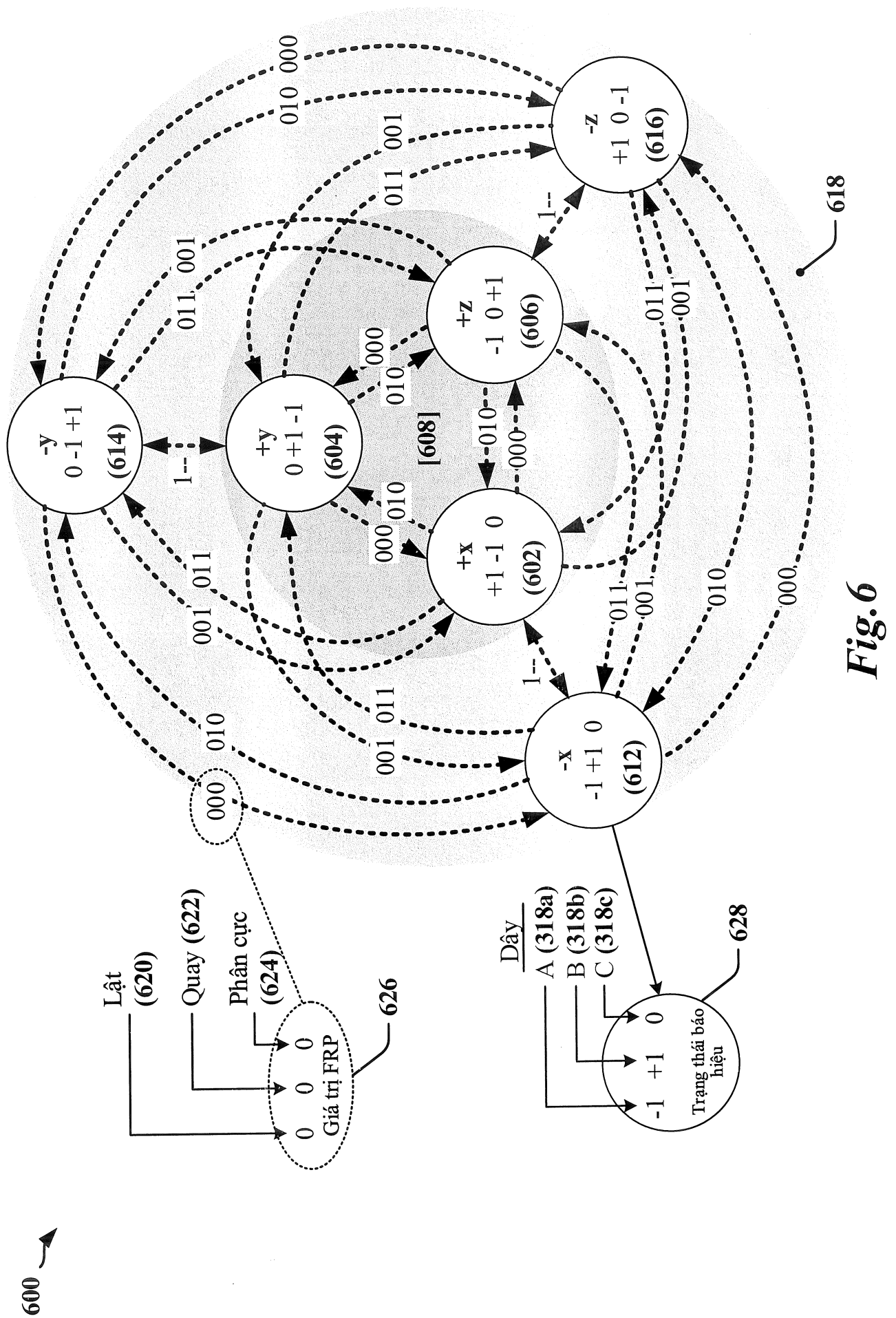
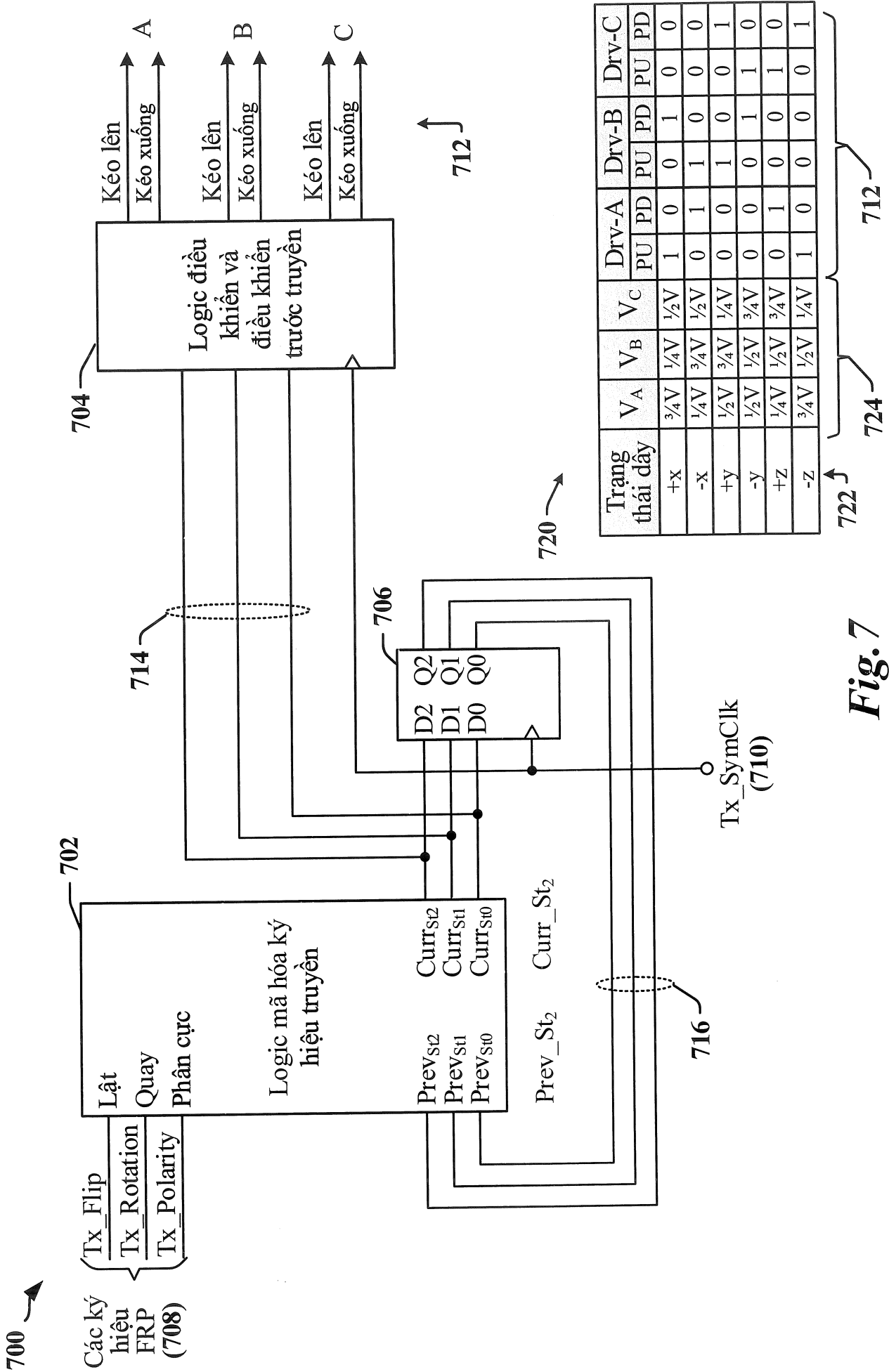


Fig.5

6/21



7/21



8/21

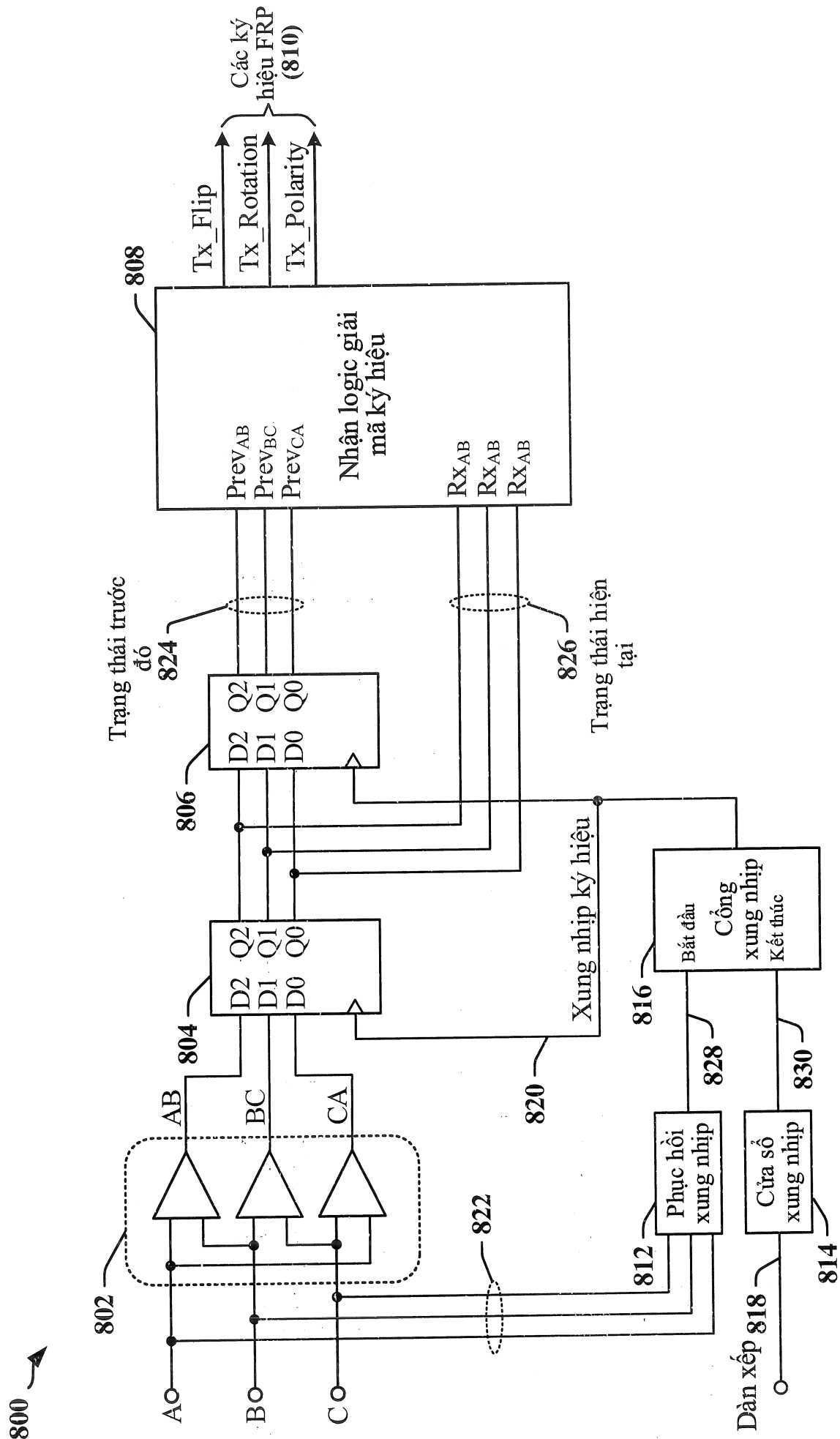
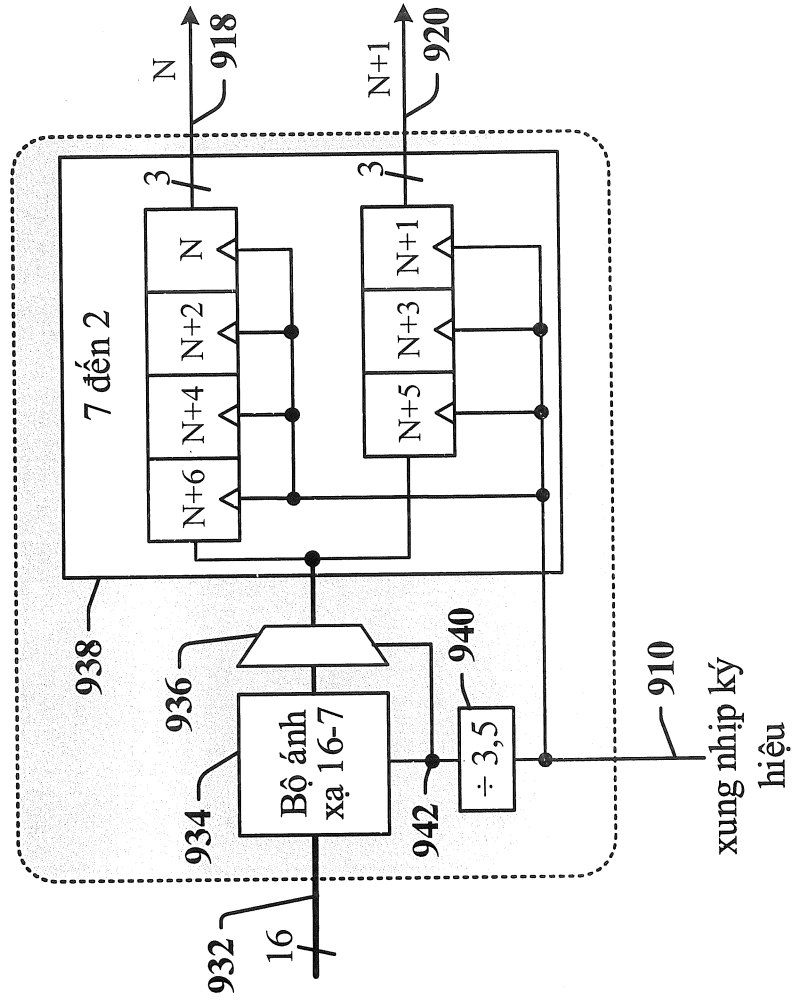


Fig.8

9/21

930 →

Mạch ánh xạ của bộ ánh xạ đơn



900 →

Mạch ánh xạ của bộ ánh xạ kép

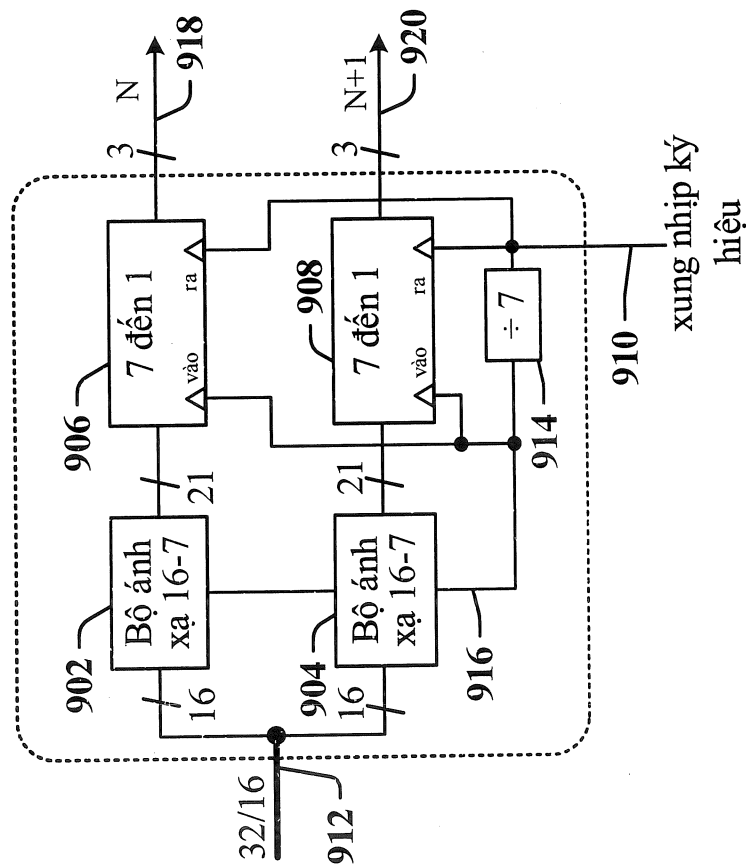


Fig. 9

10/21

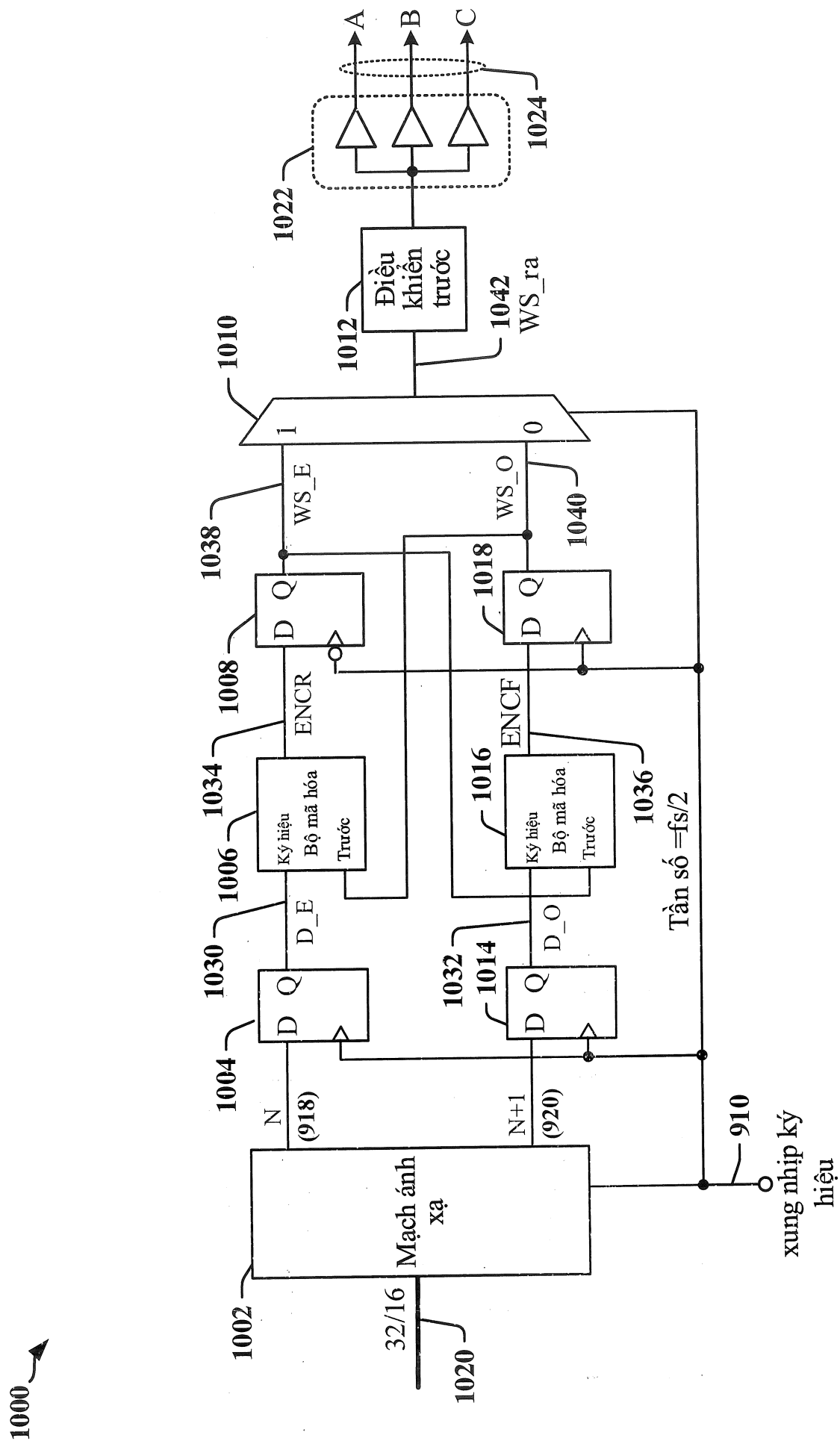


Fig. 10

11/21

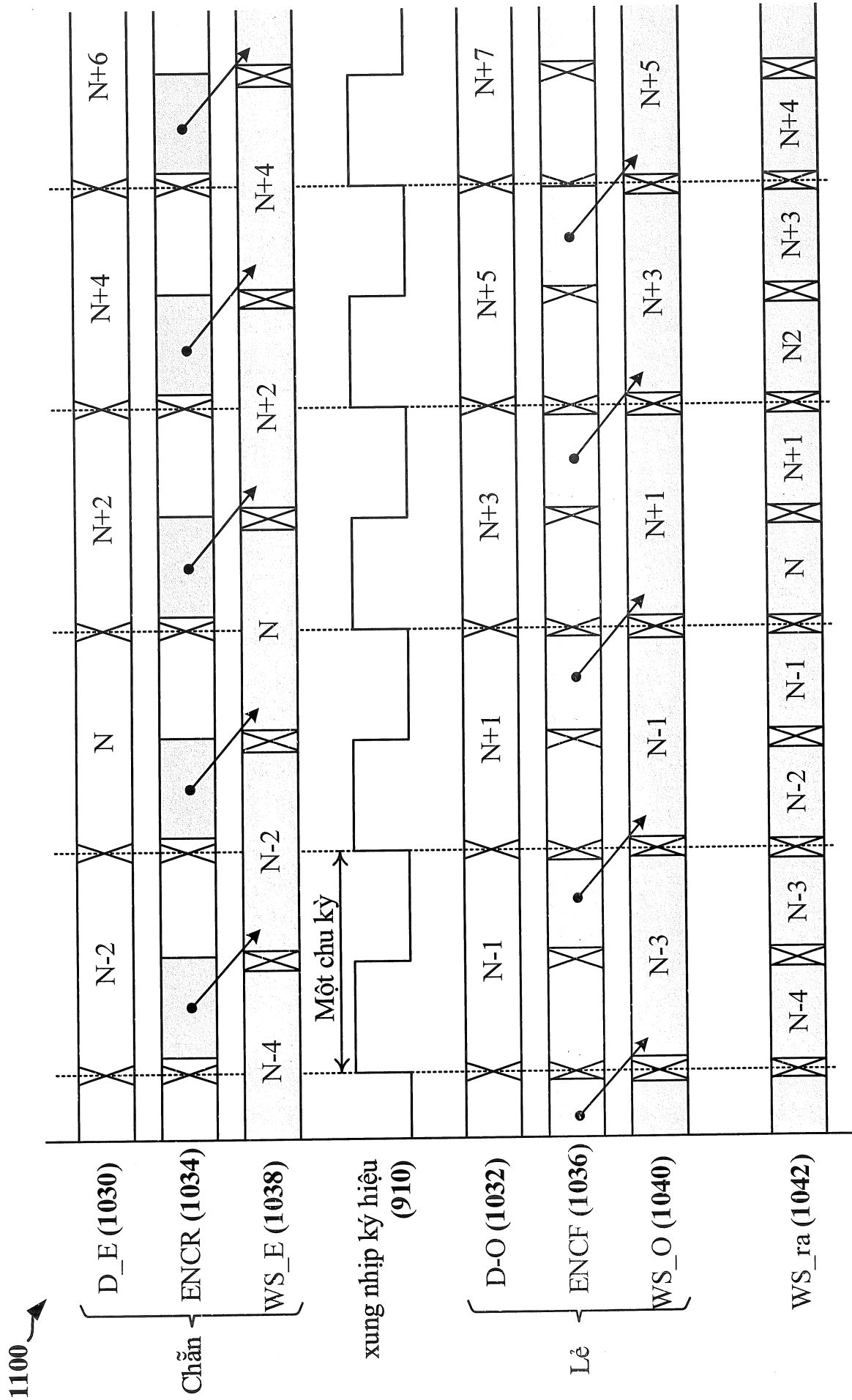


Fig. 11

12/21

1200

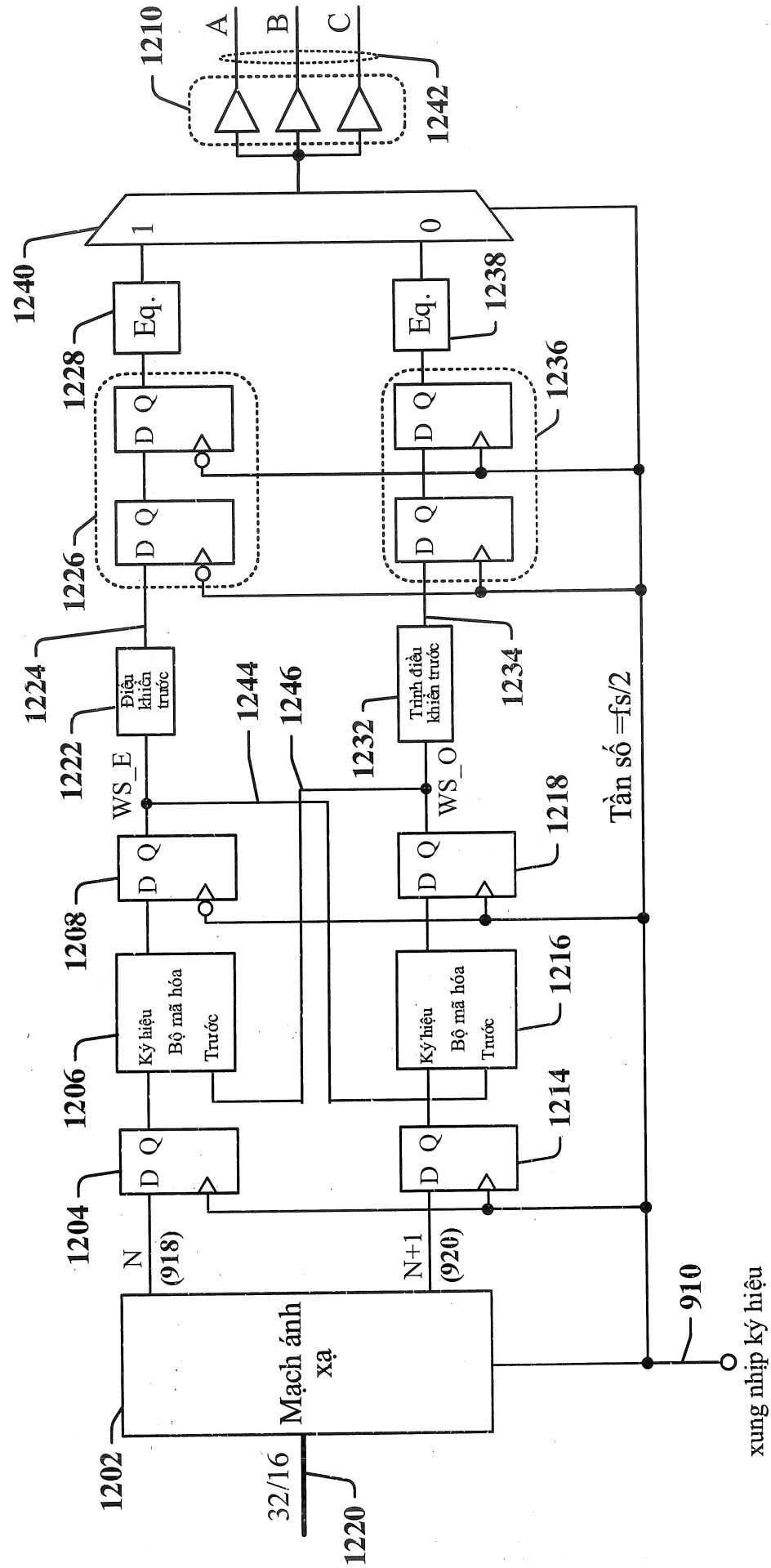


Fig. 12

13/21

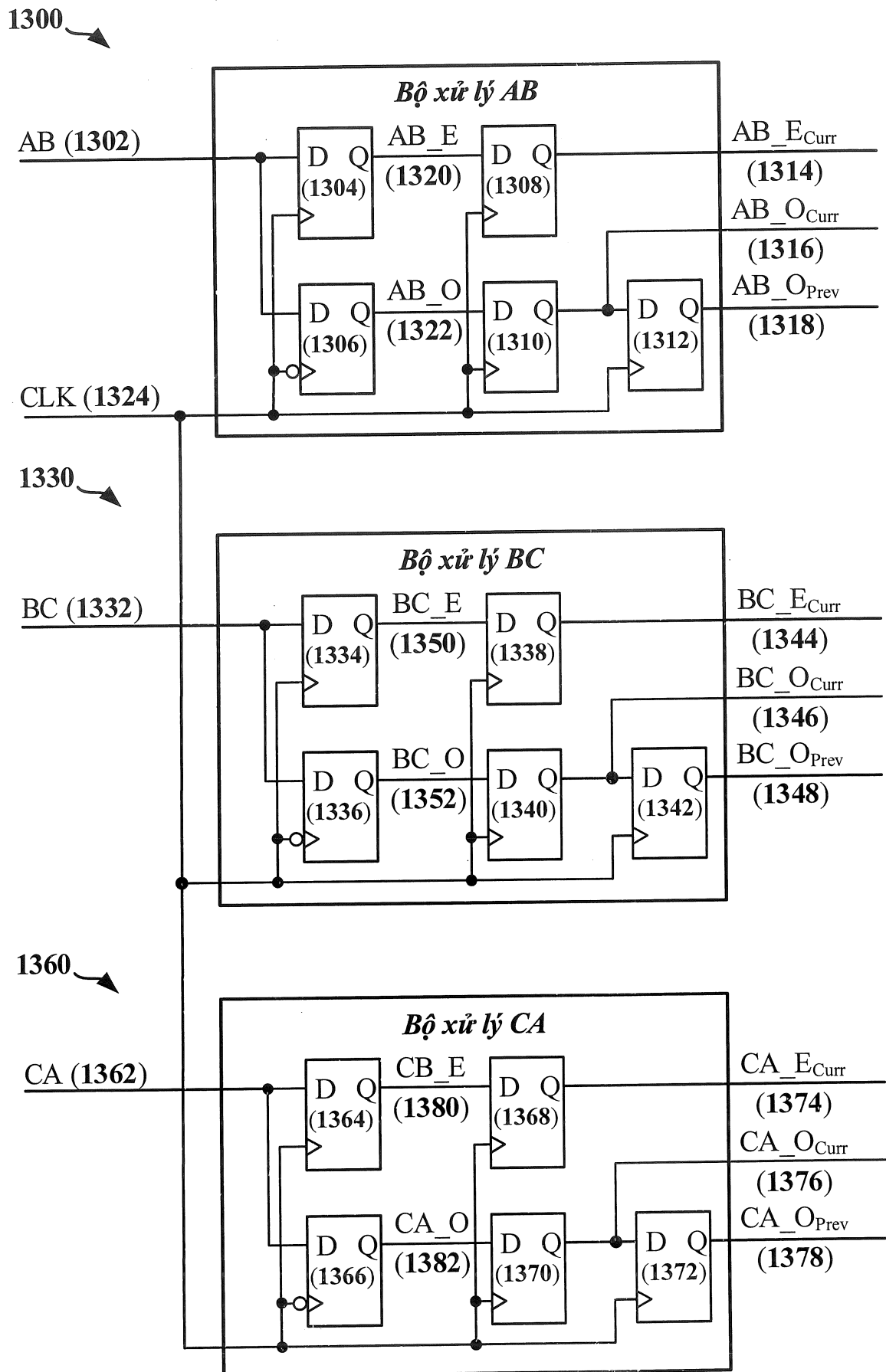


Fig.13

1400 →

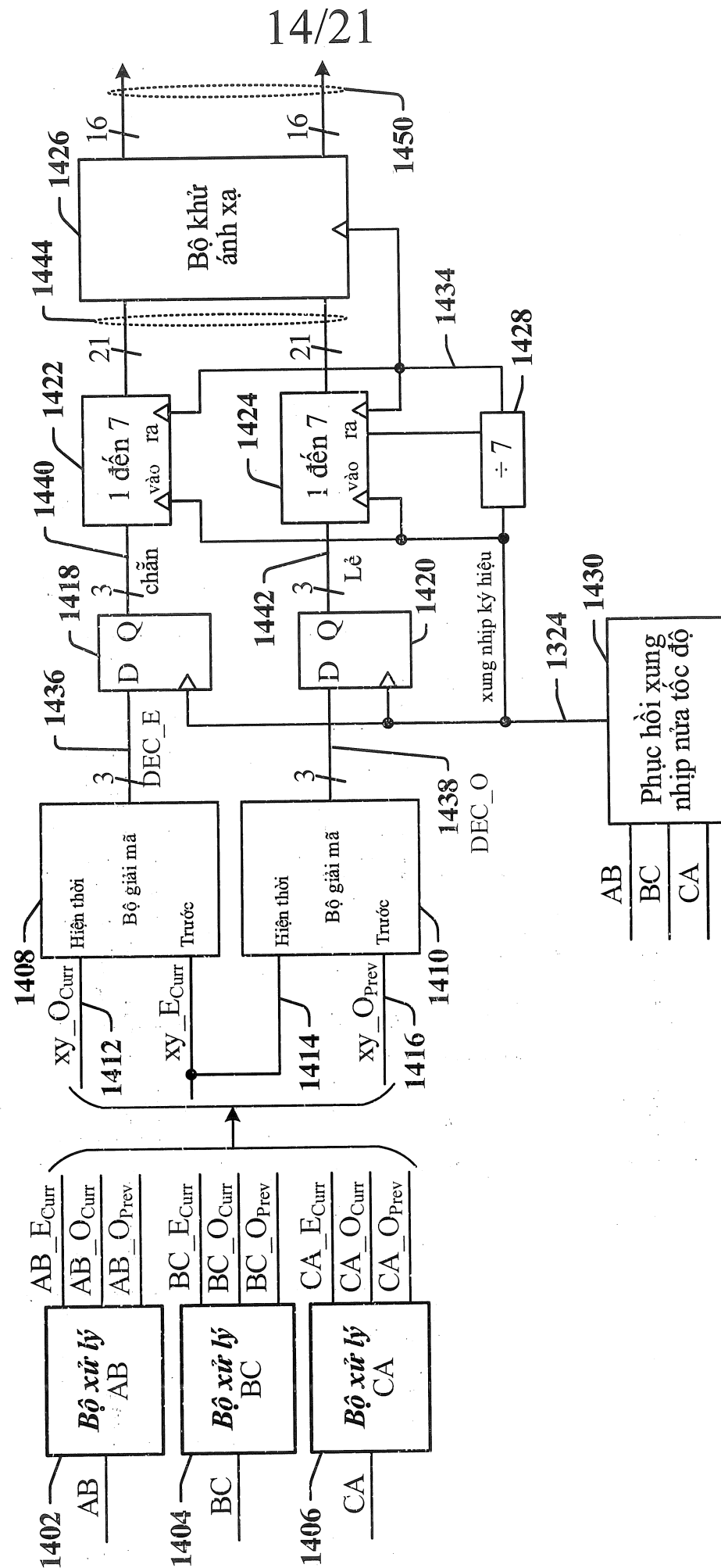
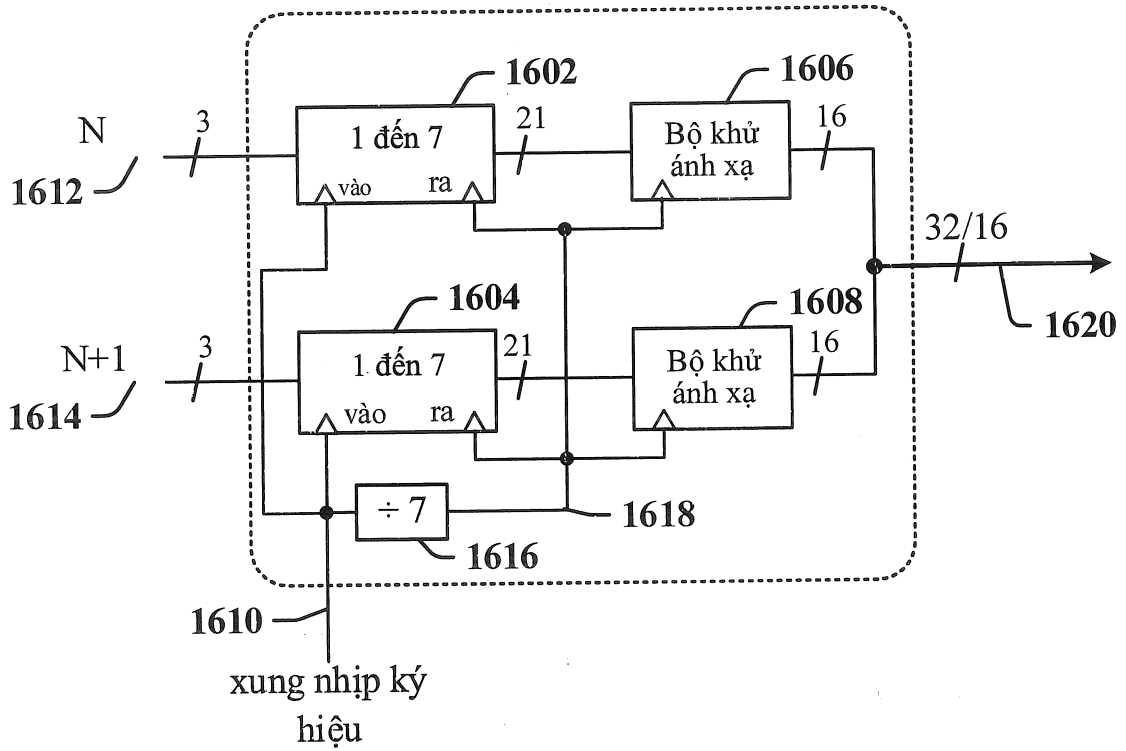


Fig. 14

16/21

Mạch khử ánh xạ của bộ khử ánh xạ kép

1600



1630

Mạch khử ánh xạ của bộ khử ánh xạ đơn

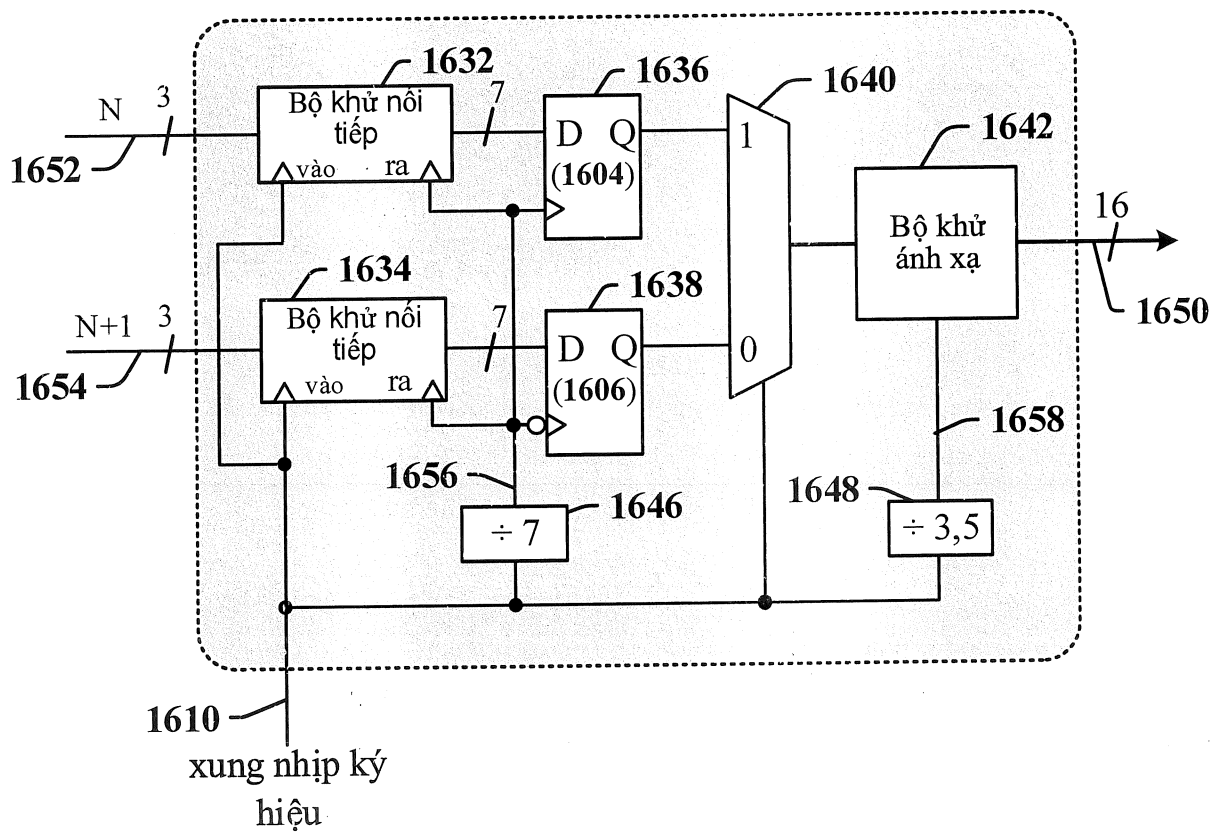


Fig.16

17/21

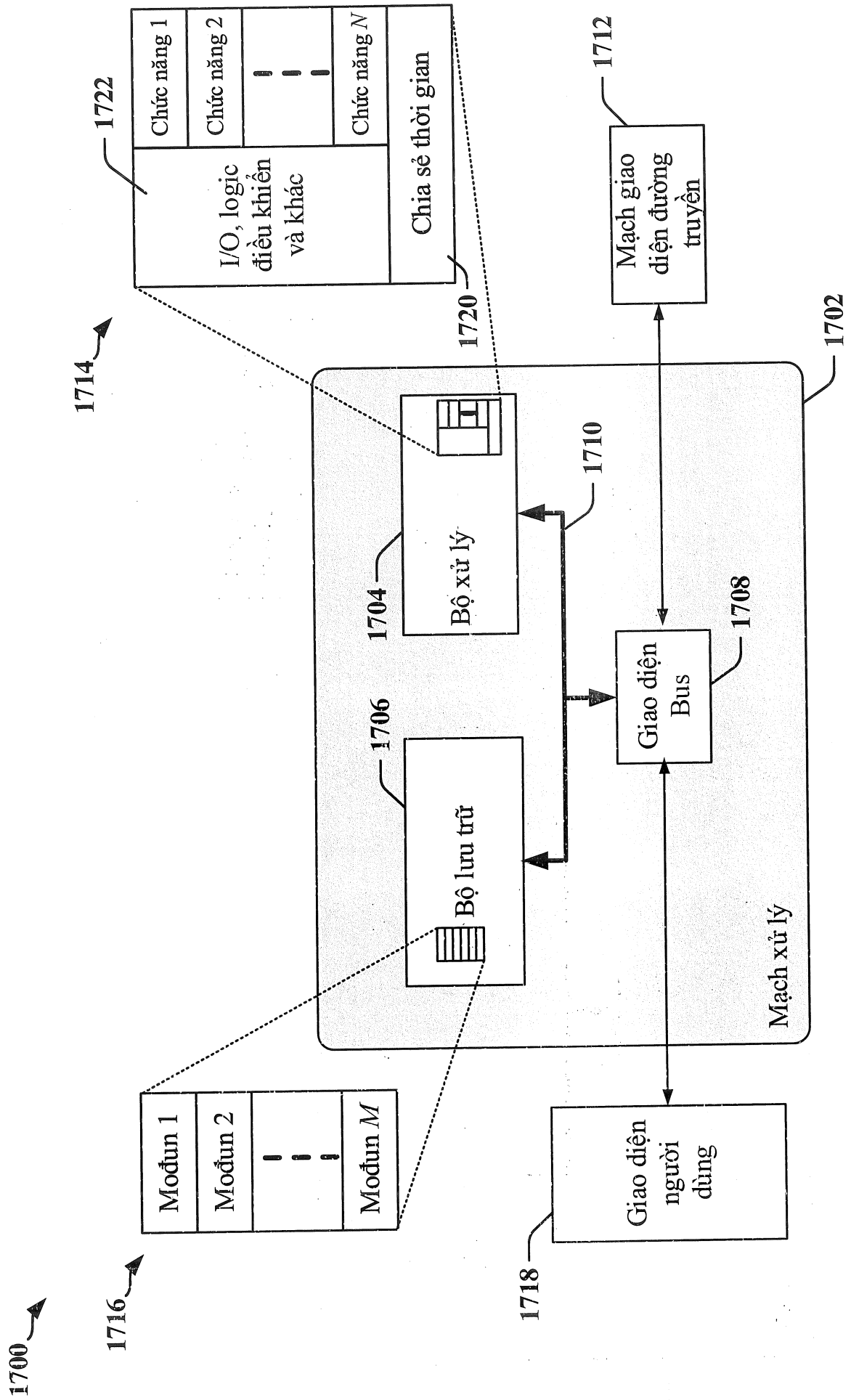
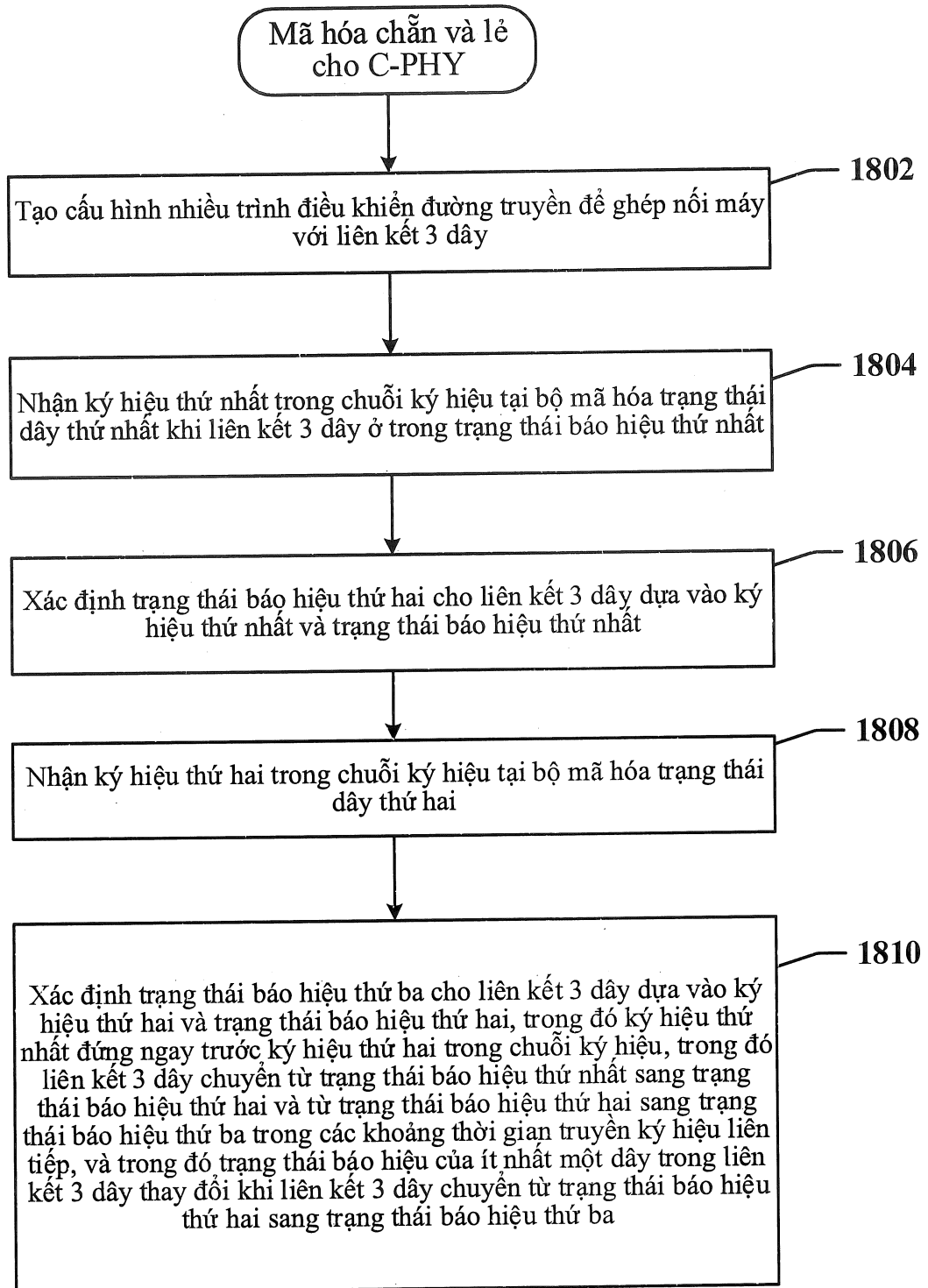


Fig. 17

18/21

1800

*Fig. 18*

19/21

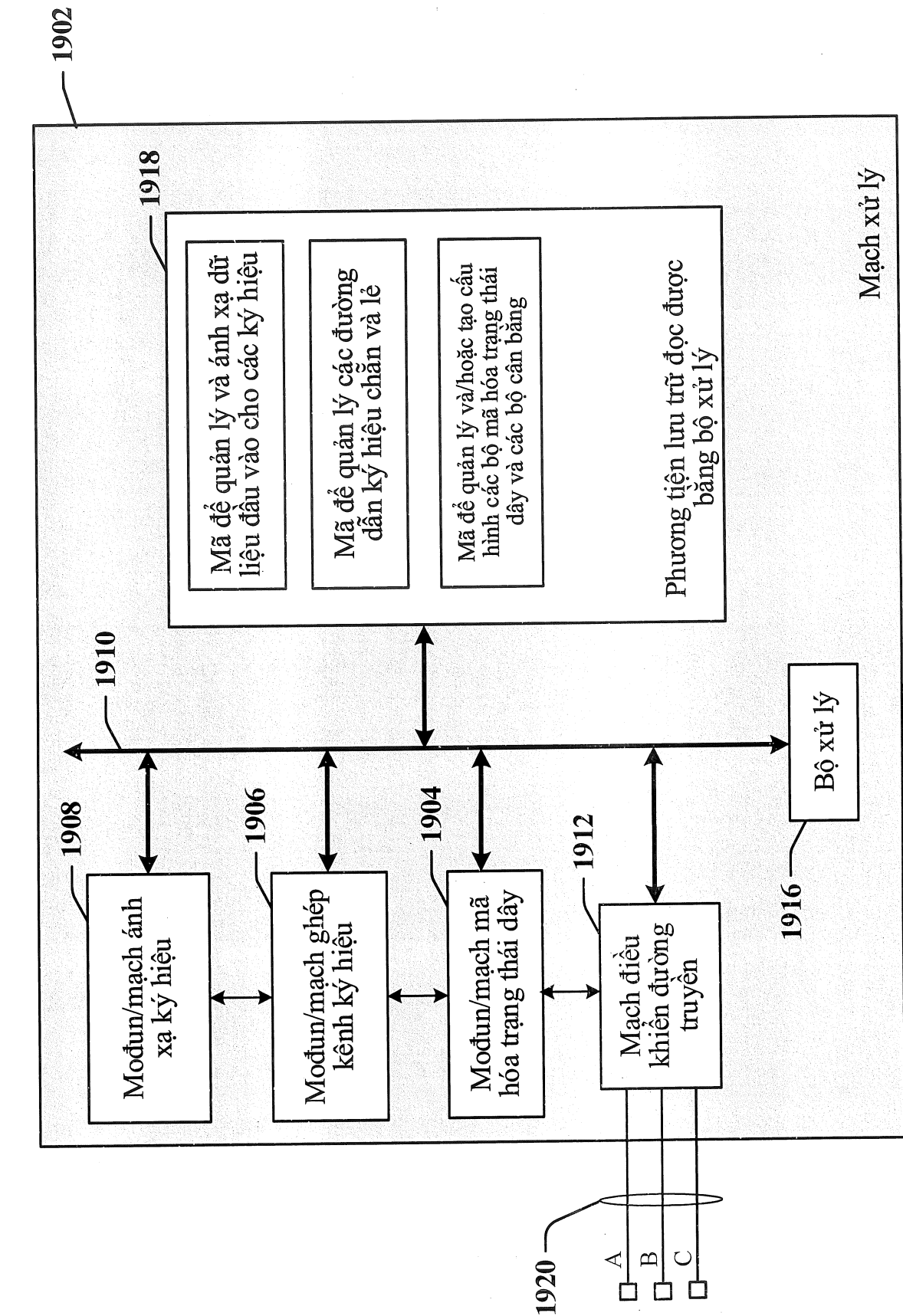
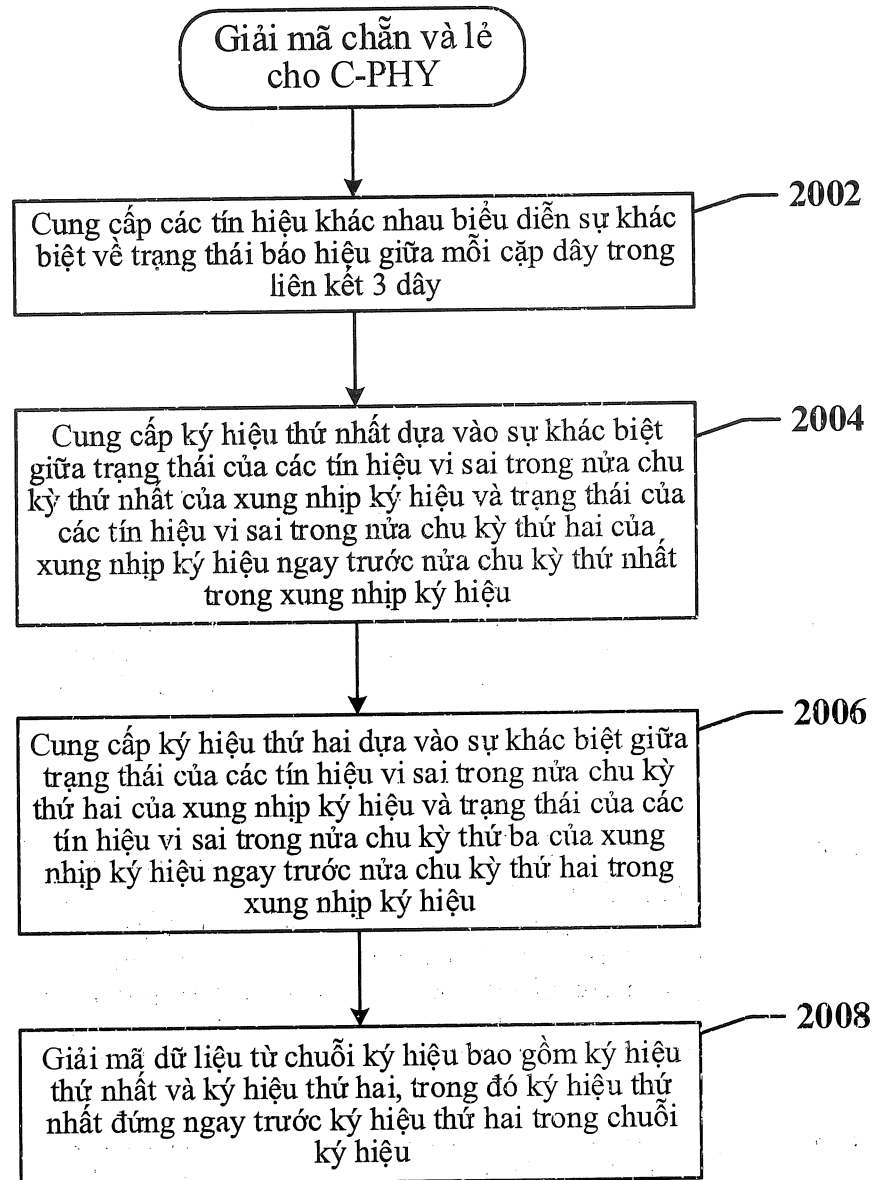


Fig. 19

20/21

2000 →

*Fig.20*

21/21

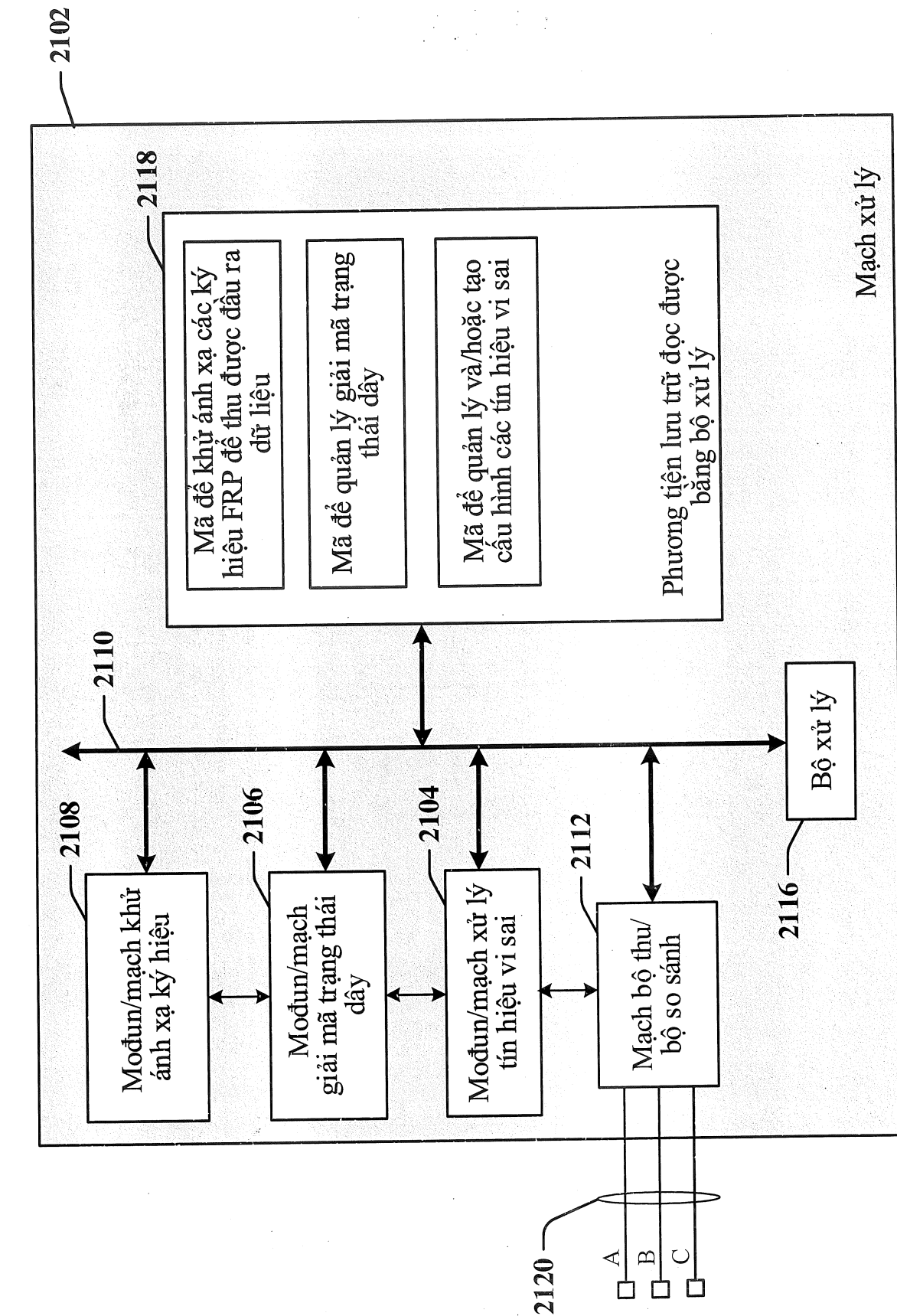


Fig. 21