



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ
(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN) (11) 
CỤC SỞ HỮU TRÍ TUỆ
1-0049327
(51)^{2022.01} **G06F 1/10; H04B 1/40; H03H 7/21; (13) B**
H03H 11/22; H03H 11/46

(21) 1-2022-07682 (22) 31/03/2021
(86) PCT/US2021/025262 31/03/2021 (87) WO 2021/247129 A1 09/12/2021
(30) 16/890,820 02/06/2020 US
(45) 25/07/2025 448 (43) 27/03/2023 420A
(73) Qualcomm Incorporated (US)
Attn: International IP Administration, 5775 Morehouse Drive, San Diego, California
92121-1714 (US)
(72) HAFIZI, Madjid (US).
(74) Công ty TNHH Quốc tế D & N (D&N INTERNATIONAL CO.,LTD.)

(54) BỘ TẠO XUNG NHỊP ĐỒNG PHA/VUÔNG GÓC VÀ PHƯƠNG PHÁP TẠO RA
TÍN HIỆU XUNG NHỊP VUÔNG GÓC BỐN PHA

(57) Sáng chế đề cập đến bộ tạo xung nhịp đồng pha/vuông góc (in-phase/quadrature - I/Q) và phương pháp tạo ra tín hiệu xung nhịp vuông góc bốn pha. Xung nhịp I/Q được tạo ra bao gồm bộ lọc nhiều pha được tạo cấu hình để tạo ra tín hiệu xung nhịp vuông góc bốn pha để đáp lại tín hiệu xung nhịp vuông góc hai pha được tạo ra để đáp lại tín hiệu xung nhịp đầu vào một đầu. Xung nhịp I/Q được tạo ra cũng bao gồm bộ nội suy pha được tạo cấu hình để tạo ra tín hiệu xung nhịp vuông góc bốn pha đầu ra từ tín hiệu xung nhịp vuông góc bốn pha. Xung nhịp I/Q được tạo ra còn bao gồm mạch điều chỉnh bộ lọc nhiều pha được ghép nối với đầu ra của bộ nội suy pha. Mạch điều chỉnh bộ lọc nhiều pha được tạo cấu hình để tạo ra điện áp điều khiển cho bộ lọc nhiều pha để điều chỉnh tín hiệu xung nhịp vuông góc bốn pha từ bộ lọc nhiều pha.

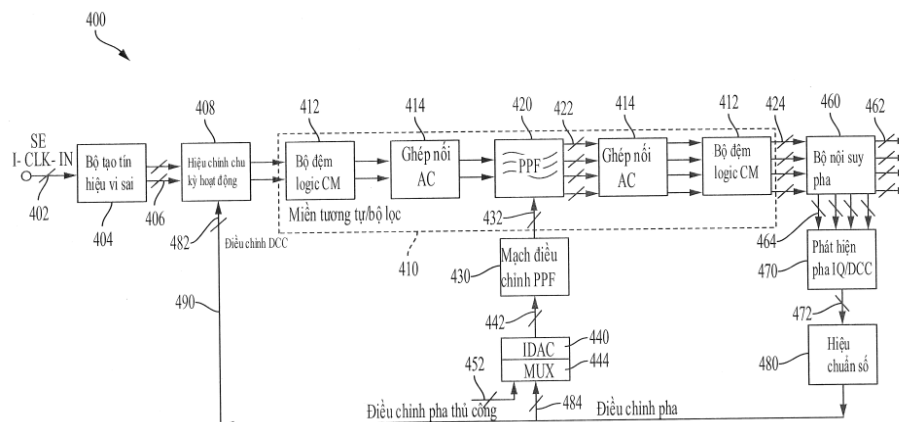


Fig.4

Lĩnh vực kỹ thuật được đề cập

Sáng chế nói chung đề cập đến việc tạo xung nhịp và cụ thể hơn, là kiến trúc tạo xung nhịp bằng cách sử dụng bộ lọc nhiều pha có khả năng tự hiệu chỉnh.

Tình trạng kỹ thuật của sáng chế

Các thiết bị điện tử, chẳng hạn như máy tính, điện thoại thông minh, thiết bị di động, thiết bị Internet vạn vật (Internet-of-Things - IoT) và các thiết bị nền tảng di động khác liên tục thúc đẩy nhu cầu về dữ liệu nhanh hơn. Các liên kết truyền thông thông thường được sử dụng trong các thiết bị nền tảng di động có thể không có khả năng xử lý và tạo điều kiện thuận lợi cho lượng dữ liệu khổng lồ được sử dụng bởi các thiết bị nền tảng di động đó. Một tùy chọn để đáp ứng khối lượng dữ liệu ngày càng mở rộng này là sử dụng giao diện nối tiếp tốc độ cao để thực hiện truyền thông giữa chip với chip. Ví dụ, thiết bị không dây (ví dụ, điện thoại di động hoặc điện thoại thông minh) trong hệ thống truyền thông không dây có thể truyền và nhận dữ liệu cho các cuộc truyền thông hai chiều bằng cách sử dụng chip mạch tích hợp tần số vô tuyến (radio frequency integrated circuit - RFIC). Chip RFIC có thể truyền thông với chip mô-đem của thiết bị không dây bằng cách sử dụng liên kết của bộ nối tiếp / bộ giải nối tiếp (serializer/deserializer - SERDES) giữa chip với chip.

Thật không may, các thông số kỹ thuật về xung nhịp cho các liên kết SERDES giữa chip với chip thông thường không đủ để hỗ trợ các cải tiến về truyền thông, chẳng hạn như truyền thông thế hệ thứ năm (fifth generation - 5G), cũng như truyền thông thế hệ thứ sáu (sixth generation - 6G) trong tương lai. Cần có sơ đồ xung nhịp để cho phép các liên kết SERDES giữa chip với chip hỗ trợ truyền thông 5G/6G.

Bản chất kỹ thuật của sáng chế

Sáng chế đề xuất bộ tạo xung nhịp đồng pha/vuông góc (in-phase/quadrature - I/Q). Xung nhịp I/Q được tạo ra bao gồm bộ lọc nhiều pha được tạo cấu hình để tạo ra tín hiệu xung nhịp vuông góc bốn pha để đáp lại tín hiệu xung nhịp vuông góc hai pha được tạo ra

để đáp lại tín hiệu xung nhịp đầu vào một đầu. Xung nhịp I/Q được tạo ra cũng bao gồm bộ nội suy pha được tạo cấu hình để tạo ra tín hiệu xung nhịp vuông góc bốn pha đầu ra từ tín hiệu xung nhịp vuông góc bốn pha. Xung nhịp I/Q được tạo ra còn bao gồm mạch điều chỉnh bộ lọc nhiều pha được ghép nối với đầu ra của bộ nội suy pha. Mạch điều chỉnh bộ lọc nhiều pha được tạo cấu hình để tạo ra điện áp điều khiển cho bộ lọc nhiều pha để điều chỉnh tín hiệu xung nhịp vuông góc bốn pha từ bộ lọc nhiều pha.

Sáng chế đề xuất phương pháp tạo ra tín hiệu xung nhịp vuông góc bốn pha. Phương pháp này bao gồm bước tạo ra tín hiệu xung nhịp vuông góc để đáp lại tín hiệu xung nhịp đầu vào một đầu. Phương pháp này cũng bao gồm bước tạo ra, bằng bộ lọc nhiều pha (poly-phase filter - PPF), phiên bản tương tự của tín hiệu xung nhịp vuông góc bốn pha từ tín hiệu xung nhịp vuông góc để đáp lại điện áp điều khiển từ mạch điều chỉnh PPF trong vòng lặp phản hồi. Phương pháp này còn bao gồm bước tạo ra, bởi bộ nội suy pha, tín hiệu xung nhịp vuông góc bốn pha đầu ra số từ xung nhịp đồng pha/vuông góc (I/Q) bốn pha được khuếch đại. Phương pháp này bao gồm bước cấp lại tín hiệu xung nhịp vuông góc bốn pha đầu ra số cho mạch điều chỉnh PPF.

Sáng chế đề xuất bộ tạo xung nhịp đồng pha/vuông góc (I/Q). Xung nhịp I/Q được tạo ra bao gồm bộ lọc nhiều pha được tạo cấu hình để tạo ra tín hiệu xung nhịp vuông góc bốn pha để đáp lại tín hiệu xung nhịp vuông góc hai pha được tạo ra để đáp lại tín hiệu xung nhịp đầu vào một đầu. Xung nhịp I/Q được tạo ra cũng bao gồm bộ nội suy pha được tạo cấu hình để tạo ra tín hiệu xung nhịp vuông góc bốn pha đầu ra từ tín hiệu xung nhịp vuông góc bốn pha. Xung nhịp I/Q được tạo ra còn bao gồm phương tiện để tạo điện áp điều khiển cho bộ lọc nhiều pha để điều chỉnh tín hiệu xung nhịp vuông góc bốn pha từ bộ lọc nhiều pha.

Các dấu hiệu và ưu điểm bổ sung của sáng chế sẽ được mô tả bên dưới. Những người có hiểu biết trung bình trong lĩnh vực này sẽ hiểu rằng sáng chế này có thể dễ dàng được sử dụng làm cơ sở để sửa đổi hoặc thiết kế các cấu trúc khác nhằm thực hiện các mục đích tương tự của sáng chế. Những người có hiểu biết trung bình trong lĩnh vực này cũng sẽ thừa nhận rằng các cấu trúc tương đương như vậy không khác với những chỉ dẫn của sáng chế như được nêu trong các yêu cầu bảo hộ kèm theo. Các dấu hiệu mới, được cho là đặc trưng của sáng chế, cả về tổ chức và phương pháp hoạt động, cùng với các đối tượng và ưu điểm

khác, sẽ được hiểu rõ hơn từ mô tả sau đây khi xem xét liên quan đến các hình vẽ kèm theo. Tuy nhiên, cần phải hiểu một cách rõ ràng rằng mỗi hình vẽ được cung cấp chỉ nhằm mục đích minh họa và mô tả và không nhằm mục đích xác định các giới hạn của sáng chế.

Mô tả vắn tắt các hình vẽ

Fig.1 thể hiện thiết bị không dây truyền thông với hệ thống không dây.

Fig.2 là phương án triển khai làm ví dụ minh họa hệ thống trên chip (SoC) chủ của thiết bị không dây trên Fig.1 được ghép nối truyền thông với các thiết bị ngoài chip qua liên kết nối tiếp chip với chip, theo các khía cạnh của sáng chế.

Fig.3 là sơ đồ khối minh họa kiến trúc tạo xung nhịp của hệ thống trên chip (SoC) chủ trên Fig.2, theo các khía cạnh của sáng chế.

Fig.4 là sơ đồ khối minh họa bộ tạo xung nhịp đồng pha/vuông góc (I/Q) của kiến trúc phân phối xung nhịp trên Fig.3, theo các khía cạnh của sáng chế.

Fig.5A và Fig.5B là sơ đồ khối minh họa thêm bộ lọc nhiều pha (PPF) và mạch điều chỉnh PPF của bộ tạo xung nhịp đồng pha/vuông góc (I/Q) trên Fig.4, theo các khía cạnh của sáng chế.

Fig.6A và Fig.6B là các biểu đồ định thời, minh họa tín hiệu xung nhịp đồng pha/vuông góc (I/Q) bốn pha đầu rên Fig.4, theo các khía cạnh của sáng chế.

Fig.7 là lưu đồ minh họa phương pháp tạo tín hiệu xung nhịp vuông góc bốn pha, theo các khía cạnh của sáng chế.

Fig.8 là sơ đồ khối thể hiện hệ thống truyền thông không dây làm ví dụ trong đó khía cạnh của sáng chế có thể được sử dụng theo cách có lợi.

Mô tả chi tiết sáng chế

Phần mô tả chi tiết được nêu dưới đây, liên quan đến các hình vẽ kèm theo, nhằm mục đích mô tả các cấu hình khác nhau và không nhằm trình bày chỉ các cấu hình trong đó các khái niệm được mô tả có thể được thực hành. Phần mô tả chi tiết bao gồm các chi tiết cụ thể nhằm mục đích cung cấp hiểu biết thấu đáo về các khái niệm khác nhau. Tuy nhiên, đối với những người có hiểu biết trung bình trong lĩnh vực này sẽ rõ ràng rằng những khái niệm này có thể được thực hành mà không có những chi tiết cụ thể này. Trong một số trường hợp,

các cấu trúc và thành phần đã biết được thể hiện dưới dạng sơ đồ khối để tránh gây khó hiểu các khái niệm đó.

Dựa trên các hướng dẫn, người có hiểu biết trung bình trong lĩnh vực này sẽ hiểu rằng phạm vi của sáng chế là nhằm bao gồm bất kỳ khía cạnh nào của sáng chế, cho dù được triển khai độc lập với hoặc kết hợp với bất kỳ khía cạnh nào khác của sáng chế. Ví dụ, thiết bị có thể được triển khai hoặc phương pháp có thể được thực hành bằng cách sử dụng bất kỳ khía cạnh nào trong số các khía cạnh đã nêu. Ví dụ, thiết bị có thể là một trong số hệ thống máy tính (ví dụ, máy chủ, trung tâm dữ liệu, máy tính để bàn), thiết bị điện toán di động (ví dụ, máy tính xách tay, điện thoại di động, xe cộ, v.v.), thiết bị Internet vạn vật, và hệ thống thực tế ảo hoặc hệ thống thực tế tăng cường. Ngoài ra, phạm vi của sáng chế nhằm mục đích bao gồm cả thiết bị hoặc phương pháp như vậy được thực hành bằng cách sử dụng cấu trúc, chức năng hoặc cấu trúc và chức năng khác nữa, bổ sung hoặc khác với các khía cạnh khác nhau của sáng chế đã nêu. Cần hiểu rằng bất kỳ khía cạnh nào của sáng chế được bộc lộ có thể được thể hiện bằng một hoặc nhiều phần tử của yêu cầu bảo hộ.

Như đã mô tả, việc sử dụng thuật ngữ “và/hoặc” nhằm thể hiện “HOẶC bao gồm” và việc sử dụng thuật ngữ “hoặc” nhằm thể hiện “HOẶC loại trừ”. Như được mô tả, thuật ngữ “được ghép nối” được sử dụng trong suốt phần mô tả này có nghĩa là “được kết nối, cho dù trực tiếp hoặc gián tiếp thông qua các kết nối can thiệp (ví dụ, chuyển mạch), điện, cơ khí hoặc cách khác,” và không nhất thiết giới hạn ở các kết nối vật lý. Ngoài ra, các kết nối có thể sao cho các đối tượng được kết nối thường xuyên hoặc có thể kết nối theo cách ngắt được. Các kết nối có thể thông qua thiết bị chuyển mạch. Như được mô tả, thuật ngữ “lân cận” được sử dụng trong phần mô tả này có nghĩa là “liền kề, rất gần, bên cạnh hoặc gần”. Như đã mô tả, thuật ngữ “trên” được sử dụng trong phần mô tả này có nghĩa là “trực tiếp trên” trong một số cấu hình và “gián tiếp trên” trong các cấu hình khác. Như đã mô tả, thuật ngữ “trở kháng thấp”, được sử dụng trong phần mô tả này, có nghĩa là “biên điện áp thấp, dòng điện lớn”. Như đã mô tả, thuật ngữ “trở kháng cao”, được sử dụng trong phần mô tả này, có nghĩa là “biên điện áp cao, dòng điện nhỏ”.

Mặc dù các khía cạnh cụ thể được mô tả, nhiều biến thể và hoán vị của các khía cạnh này nằm trong phạm vi của sáng chế. Mặc dù một số lợi ích và ưu điểm của các khía cạnh được ưu tiên đã được đề cập, nhưng phạm vi của sáng chế không nhằm giới hạn ở các lợi

ích, mục đích sử dụng hoặc mục tiêu cụ thể. Thay vào đó, các khía cạnh của sáng chế nhằm mục đích áp dụng rộng rãi cho các công nghệ, cấu hình hệ thống, mạng và giao thức khác nhau, một số trong số đó được minh họa bằng ví dụ trên các hình vẽ và trong phần mô tả sau đây về các khía cạnh được ưu tiên. Phần mô tả chi tiết sáng chế và các hình vẽ chỉ mang tính chất minh họa cho sáng chế, thay vì giới hạn phạm vi của sáng chế được xác định bởi các yêu cầu bảo hộ kèm theo và các dạng tương đương của chúng.

Các thiết bị điện tử, chẳng hạn như máy tính, điện thoại thông minh, thiết bị di động, thiết bị Internet vạn vật (Internet-of-Things - IoT) và các thiết bị nền tảng di động khác liên tục thúc đẩy nhu cầu về dữ liệu nhanh hơn. Các liên kết truyền thông thông thường được sử dụng trong các thiết bị nền tảng di động có thể không có khả năng xử lý và tạo điều kiện thuận lợi cho lượng dữ liệu khổng lồ được sử dụng bởi các thiết bị nền tảng di động đó. Một tùy chọn để đáp ứng khối lượng dữ liệu ngày càng mở rộng này là sử dụng giao diện nối tiếp tốc độ cao để thực hiện truyền thông giữa chip với chip. Ví dụ, thiết bị không dây (ví dụ, điện thoại di động hoặc điện thoại thông minh) trong hệ thống truyền thông không dây có thể truyền và nhận dữ liệu cho các cuộc truyền thông hai chiều bằng cách sử dụng chip mạch tích hợp tần số vô tuyến (radio frequency integrated circuit - RFIC). Chip RFIC có thể truyền thông với chip modem của thiết bị không dây bằng cách sử dụng liên kết của bộ nối tiếp/bộ giải nối tiếp (serializer/deserializer - SERDES) giữa chip với chip.

Thật không may, các thông số kỹ thuật về xung nhịp cho các liên kết SERDES giữa chip với chip thông thường không đủ để hỗ trợ các cải tiến về truyền thông, chẳng hạn như truyền thông thế hệ thứ năm (5G), cũng như truyền thông thế hệ thứ sáu (6G) trong tương lai. Bộ nội suy pha là thông số kỹ thuật xung nhịp được sử dụng rộng rãi cho máy thu SERDES. Bộ nội suy pha có thể quay pha của xung nhịp đồng pha (I) và vuông góc (Q) theo số lượng N bước để căn chỉnh một cách chính xác xung nhịp đồng pha với tâm của mắt dữ liệu. Việc căn chỉnh xung nhịp đồng pha với tâm của mắt dữ liệu cải thiện cơ hội lấy mẫu của máy thu SERDES. Trong hoạt động, xung nhịp đồng pha và xung nhịp vuông góc lệch nhau 90 độ (90°) về pha.

Việc quay pha bởi bộ nội suy có thể được thực hiện bởi vòng lặp khôi phục dữ liệu và xung nhịp (clock and data recovery - CDR). Trong hoạt động, vòng lặp khôi phục dữ liệu và xung nhịp buộc xung nhịp vuông góc trùng với một cạnh vượt qua dữ liệu. Việc căn

chỉnh xung nhịp vuông góc với cạnh vượt qua dữ liệu đặt xung nhịp đồng pha (lệch nhau 90°), ở trung tâm của bit dữ liệu (vị trí ưu tiên để lấy mẫu dữ liệu). Do đó, việc lấy mẫu tối ưu bởi máy thu SERDES phụ thuộc vào độ chính xác pha từ đồng pha đến vuông góc (I/Q). Độ chính xác pha I/Q dựa trên việc làm cho khoảng cách giữa xung nhịp đồng pha và xung nhịp vuông góc càng gần 90° càng tốt.

Việc tạo pha xung nhịp vuông góc và đồng pha cho bộ nội suy pha rất quan trọng trong các ứng dụng công suất thấp, chẳng hạn như liên kết SERDES giữa chip với chip để hỗ trợ cải tiến truyền thông (ví dụ, truyền thông 5G/6G). Liên kết SERDES giữa chip với chip chỉ rõ bộ nội suy pha được tạo cấu hình để tạo ra các pha chính xác (ví dụ, lệch nhau 90°), trong khi vẫn duy trì mức tiêu thụ công suất thấp. Bộ nội suy pha này có thể hoạt động với bốn pha xung nhịp (ví dụ, lệch nhau 0° , 90° , 180° và 270°). Bộ nội suy pha có thể trộn các pha xung nhịp này để quay pha xung nhịp theo số bước pha (N). Bộ nội suy pha được tạo cấu hình để duy trì các pha xung nhịp lệch nhau 90° và cung cấp chu kỳ hoạt động xung nhịp mong muốn trên tất cả N bước pha. Để đáp ứng thông số kỹ thuật này, xung nhịp vuông góc bốn pha ban đầu được mong muốn gần như hoàn hảo trong cả chu kỳ hoạt động và sai số pha vuông góc, được định nghĩa là pha đồng pha-vuông góc.

Quá trình tạo pha xung nhịp đồng pha và vuông góc bởi bộ nội suy pha nên hoạt động với mức tiêu thụ công suất thấp. Một yếu tố góp phần vào mức tiêu thụ công suất của quá trình tạo pha xung nhịp đồng pha và vuông góc, là công suất tiêu thụ trong việc phân phối xung nhịp từ nguồn đến bộ nội suy pha đích. Trong liên kết SERDES giữa chip với chip, khoảng cách phân phối xung nhịp là rất quan trọng vì trong nhiều trường hợp, bộ nội suy pha tạo thành nhiều làn dữ liệu để đáp ứng thông lượng dữ liệu rất cao giữa, ví dụ, mạch tích hợp tần số vô tuyến (RFIC) và chip modem (ví dụ, modem theo chuẩn di động 5G).

Thật không may, thông số kỹ thuật thông lượng dữ liệu cao của liên kết SERDES giữa chip với chip quy định đường truyền và nhận dữ liệu phức tạp. Đặc biệt, liên kết SERDES giữa chip với chip được tạo cấu hình với nhiều đường truyền và nhận dữ liệu, mỗi đường chạy với tốc độ dữ liệu cao, với mỗi đường truyền và nhận dữ liệu cùng một lúc. Ngoài ra, mỗi làn dữ liệu nhận bao gồm bộ nội suy pha chuyên dụng và xung nhịp bốn pha được phân phối cho bộ nội suy pha ở tần số cao. Tuy nhiên, sơ đồ phân phối xung nhịp này kéo theo việc tiêu thụ công suất đáng kể và tốn kém.

Các khía cạnh của sáng chế hướng đến kiến trúc tạo xung nhịp cho liên kết SERDES giữa chip với chip, được tạo cấu hình để tạo ra các pha xung nhịp vuông góc gần như hoàn hảo với mức tiêu thụ công suất thấp bằng cách sử dụng pha xung nhịp một đầu vào. Theo khía cạnh này của sáng chế, một pha xung nhịp được phân phối cho tất cả các làn dữ liệu của liên kết SERDES giữa chip với chip, điều này có lợi làm giảm mức tiêu thụ công suất phân phối xung nhịp xuống bốn lần. Tại thời điểm sử dụng, xung nhịp một pha được chuyển đổi thành các pha vi sai (ví dụ, 0° và 180°). Thật không may, chu kỳ hoạt động của sơ đồ xung nhịp một pha này bị suy giảm do cả quãng đường dài đã đi và sự chuyển đổi từ tín hiệu một đầu thành tín hiệu vi sai. Theo khía cạnh này của sáng chế, kiến trúc tạo xung nhịp bao gồm tầng hiệu chỉnh chu kỳ hoạt động, được tạo cấu hình để lấy mẫu chu kỳ hoạt động đầu ra xung nhịp cuối cùng và hiệu chỉnh chu kỳ hoạt động tại thời điểm sử dụng.

Fig.1 thể hiện thiết bị không dây 110, bao gồm kiến trúc tạo xung nhịp bằng cách sử dụng bộ lọc nhiều pha có khả năng tự hiệu chỉnh để hỗ trợ truyền thông nâng cao với hệ thống truyền thông không dây 120. Thiết bị không dây 110 bao gồm bộ thu phát sóng milimet (millimeter wave - mmW) đồng thời đa băng tần (ví dụ, băng tần kép). Hệ thống truyền thông không dây 120 có thể là hệ thống 5G NR, hệ thống tiến hóa dài hạn (long term evolution - LTE), hệ thống đa truy cập phân chia theo mã (code division multiple access - CDMA), hệ thống toàn cầu cho hệ thống thông tin di động (global system for mobile communication - GSM), hệ thống mạng cục bộ không dây (wireless local area network - WLAN), công nghệ sóng milimet (mmW) hoặc một số hệ thống không dây khác. Hệ thống CDMA có thể triển khai CDMA băng rộng (wideband CDMA - WCDMA), CDMA đồng bộ phân chia theo thời gian (time division synchronous CDMA - TD-SCDMA), CDMA2000 hoặc một số phiên bản CDMA khác. Trong hệ thống sóng milimet (mmW), nhiều anten được sử dụng để điều hướng chùm sóng (ví dụ, trong dải tần số 30 GHz, 60 GHz, v.v.). Đơn giản, Fig.1 thể hiện hệ thống truyền thông không dây 120, bao gồm hai trạm gốc 130 và 132 và một bộ điều khiển hệ thống 140. Nói chung, hệ thống không dây có thể bao gồm bất kỳ số lượng trạm gốc và bất kỳ số lượng thực thể mạng nào.

Thiết bị không dây 110 có thể được gọi là thiết bị di động, thiết bị người dùng (user equipment - UE), trạm di động, thiết bị đầu cuối, thiết bị đầu cuối truy cập, khối thuê bao, trạm, v.v.. Thiết bị không dây 110 cũng có thể là điện thoại di động, điện thoại thông minh,

máy tính bảng, modem không dây, trợ lý kỹ thuật số cá nhân (personal digital assistant - PDA), thiết bị cầm tay, máy tính xách tay, Smartbook, netbook, điện thoại không dây, trạm vòng lặp cục bộ không dây (wireless local loop - WLL), thiết bị Bluetooth®, v.v.. Thiết bị không dây 110 có thể có khả năng truyền thông với hệ thống truyền thông không dây 120. Thiết bị không dây 110 cũng có thể có khả năng nhận tín hiệu từ các trạm phát quảng bá (ví dụ, trạm phát quảng bá 134), tín hiệu từ vệ tinh (ví dụ, vệ tinh 150) trong một hoặc nhiều hệ thống vệ tinh dẫn đường toàn cầu (global navigation satellite system - GNSS), v.v.. Thiết bị không dây 110 có thể hỗ trợ một hoặc nhiều công nghệ vô tuyến cho truyền thông không dây như 5G NR, LTE, CDMA2000, WCDMA, TD-SCDMA, GSM, 802.11, v.v.

Fig.2 là ví dụ về phương án triển khai minh họa hệ thống trên chip (system-on-chip - SoC) chủ 220 của thiết bị không dây 110 trên Fig.1 được ghép nối truyền thông với các thiết bị ngoài chip qua liên kết nối tiếp giữa chip với chip, theo các khía cạnh của sáng chế. SoC chủ 200 có thể bao gồm các khối xử lý phù hợp với các chức năng cụ thể, chẳng hạn như khối kết nối, có thể bao gồm kết nối thế hệ thứ năm (5G), kết nối tiến hóa dài hạn thế hệ thứ tư (4G LTE), kết nối Wi-Fi, kết nối USB, Bluetooth® kết nối và tương tự. Ngoài ra, SoC chủ 200 có thể bao gồm các khối xử lý khác nhau hỗ trợ hoạt động đa luồng.

Trong cấu hình này, SoC chủ 200 bao gồm giao diện giữa chip với chip 210, được tạo cấu hình để truyền thông với các thiết bị ngoài chip 230 (230-1, ... , 230-N) trên, ví dụ, liên kết của bộ nối tiếp/bộ giải nối tiếp (SERDES) giữa chip với chip 220. Theo các khía cạnh của sáng chế, liên kết SERDES giữa chip với chip 220 hỗ trợ nhiều lần dữ liệu để đáp ứng thông lượng dữ liệu rất cao giữa, ví dụ, chip mạch tích hợp tần số vô tuyến (RFIC) và chip modem (ví dụ, modem theo chuẩn di động 5G). Trong ví dụ này, chip RFIC và/hoặc chip modem có thể là một trong số các thiết bị ngoài chip 230. Chip RFIC có thể truyền thông với chip modem bằng liên kết SERDES giữa chip với chip 220. Kiến trúc tạo ra xung nhịp để cho phép liên kết SERDES giữa chip với chip 220 hỗ trợ các cải tiến về truyền thông, chẳng hạn như truyền thông vô tuyến mới (new radio - NR) 5G, được thể hiện trên Fig.3.

Fig.3 là sơ đồ khối minh họa kiến trúc phân phối xung nhịp của SoC chủ 200 trên Fig.2, theo các khía cạnh của sáng chế. Khía cạnh này của sáng chế hướng đến kiến trúc phân phối xung nhịp 300 cho liên kết SERDES giữa chip với chip 220 trên Fig.2. Kiến trúc

phân phối xung nhịp 300 được tạo cấu hình để tạo ra các pha xung nhịp vuông góc cực kỳ chính xác với mức tiêu thụ công suất thấp bằng cách sử dụng pha một xung nhịp 312.

Trong một cấu hình, bộ tạo xung nhịp 310 tạo ra pha một xung nhịp 312 được phân phối cho mỗi lần dữ liệu của liên kết SERDES giữa chip với chip. Trong cấu hình này, pha một xung nhịp 312 được phân phối cho các lần dữ liệu thứ nhất 320 (ví dụ, đường lên/đường xuống UL0, DL0), lần dữ liệu thứ hai 330 (ví dụ, đường lên/đường xuống UL3, DL3), lần dữ liệu thứ ba 340 (ví dụ, đường lên/đường xuống UL2, DL2) và lần dữ liệu thứ tư 350 (ví dụ, đường lên/đường xuống UL4, DL4) của liên kết SERDES giữa chip với chip. Kiến trúc phân phối xung nhịp 300 cũng bao gồm bộ thu 360 (ví dụ, DL1). Việc phân phối một pha xung nhịp 312 cho từng lần dữ liệu (320, 330, 340 và 350) của liên kết SERDES giữa chip với chip (ví dụ, 220) làm giảm tiêu thụ công suất của kiến trúc phân phối xung nhịp 300 xuống bốn lần.

Theo khía cạnh này của sáng chế, mỗi trong số các lần dữ liệu (320, 330, 340 và 350) bao gồm bộ tạo xung nhịp đồng pha (I) và vuông góc (Q) (ví dụ, bộ tạo xung nhịp I/Q 322, bộ tạo xung nhịp I/Q 332, bộ tạo xung nhịp I/Q 342 và bộ tạo xung nhịp I/Q 352). Trong ví dụ này, pha một xung nhịp 312 ban đầu được chuyển đổi thành các pha vi sai (ví dụ, 0° và 180°) tại thời điểm sử dụng. Thật không may, chu kỳ hoạt động của sơ đồ xung nhịp một pha này bị suy giảm do khoảng cách đáng kể đã đi và sự chuyển đổi của pha một xung nhịp 312 thành tín hiệu vi sai. Các bộ tạo xung nhịp I/Q (ví dụ, 322, 332, 342 và 352) có thể bao gồm tầng hiệu chỉnh chu kỳ hoạt động được tạo cấu hình để hiệu chỉnh chu kỳ hoạt động tại thời điểm sử dụng, như được minh họa thêm trên Fig.4.

Fig.4 là sơ đồ khối minh họa bộ tạo xung nhịp đồng pha/vuông góc (I/Q) của kiến trúc phân phối xung nhịp 300 trên Fig.3, theo các khía cạnh của sáng chế. Trong một cấu hình, bộ tạo xung nhịp I/Q 400 bao gồm bộ tạo tín hiệu vi sai 404, được tạo cấu hình để chuyển đổi tín hiệu xung nhịp đầu vào một đầu 402 (ví dụ, pha một xung nhịp 312 trên Fig.3) thành tín hiệu xung nhịp đầu vào vi sai 406 (ví dụ, tín hiệu xung nhịp vuông góc hai pha). Trong cấu hình này, tín hiệu xung nhịp đầu vào một đầu 402 được nhận ở mức logic kỹ thuật số bán dẫn oxit kim loại bổ sung (complementary metal oxide semiconductor - CMOS) (ví dụ, toàn biên độ giữa mức điện áp logic “0” và logic “1”), trước khi chuyển đổi thành tín hiệu xung nhịp đầu vào vi sai 406.

Như đã lưu ý, chu kỳ hoạt động của tín hiệu xung nhịp đầu vào vi sai 406 có thể bị suy giảm do khoảng cách đáng kể được truyền qua kiến trúc phân phối xung nhịp 300 trên Fig.3 và sự chuyển đổi từ tín hiệu xung nhịp đầu vào một đầu 402. Theo khía cạnh này của sáng chế, bộ tạo xung nhịp I/Q 400 bao gồm tầng hiệu chỉnh chu kỳ hoạt động 408 (ví dụ, tầng hiệu chỉnh chu kỳ hoạt động đầu vào). Trong một cấu hình, tầng hiệu chỉnh chu kỳ hoạt động 408 hiệu chỉnh chu kỳ hoạt động của tín hiệu xung nhịp đầu vào vi sai 406 theo giá trị điều chỉnh hiệu chỉnh chu kỳ hoạt động (duty-cycle correction - DCC) 482. Giá trị điều chỉnh DCC 482 được cung cấp dưới dạng một phần của vòng lặp phản hồi 490 (được mô tả chi tiết hơn dưới đây) để cho phép hiệu chỉnh chu kỳ hoạt động của tín hiệu xung nhịp đầu vào vi sai 406 tại thời điểm sử dụng trước miền tương tự/bộ lọc 410.

Theo khía cạnh này của sáng chế, tín hiệu xung nhịp đầu vào vi sai 406 được cung cấp cho bộ đệm logic chế độ chung (common mode - CM) 412 (ví dụ, bộ đệm logic CM đầu vào) được tạo cấu hình để chuyển đổi tín hiệu xung nhịp đầu vào vi sai 406 thành định dạng tương tự (ví dụ, tín hiệu xung nhịp vuông góc tương tự). Định dạng tương tự của tín hiệu xung nhịp đầu vào vi sai 406 được cung cấp cho đầu vào của các tầng ghép nối dòng điện xoay chiều (alternating current - AC) 414 để loại bỏ thành phần dòng điện một chiều (direct current - DC) của định dạng tương tự của tín hiệu xung nhịp đầu vào vi sai 406. Tín hiệu tone một tần số này được cung cấp làm đầu vào cho bộ lọc nhiều pha 420. Trong cấu hình này, bộ lọc nhiều pha 420 tạo ra tín hiệu xung nhịp I/Q bốn pha 422 (ví dụ, tín hiệu xung nhịp vuông góc bốn pha) cho bộ nội suy pha 460 để tạo ra tín hiệu xung nhịp I/Q bốn pha đầu ra 462 (ví dụ, tín hiệu xung nhịp vuông góc bốn pha đầu ra).

Theo các khía cạnh của sáng chế, việc tạo tín hiệu xung nhịp I/Q bốn pha 422 được thực hiện bởi bộ lọc nhiều pha 420 để đáp lại mạch điều chỉnh bộ lọc nhiều pha (PPF) 430, là một phần của vòng lặp phản hồi 490. Ngoài sơ đồ điều chỉnh PPF được cung cấp bởi mạch điều chỉnh PPF 430 (ví dụ, mạch điều chỉnh bộ lọc nhiều pha), sáng chế đề xuất giải pháp hệ thống hoàn chỉnh để tạo tín hiệu xung nhịp I/Q bốn pha đầu ra 462. Cụ thể, bộ lọc nhiều pha 420 được tiếp nối trước và sau bởi các bộ đệm logic CM 412, cung cấp các tầng khuếch đại được ghép nối với AC bởi các tầng ghép nối AC đầu vào và đầu ra 414 (ví dụ, tầng ghép nối AC đầu vào và tầng ghép nối AC đầu ra).

Theo các khía cạnh của sáng chế, bộ chuyển đổi từ số sang tương tự cho dòng điện (current digital-to-analog converter - IDAC) 440 là nguồn dòng điện điều khiển được cung cấp dòng điện điều chỉnh PPF 442 đến mạch điều chỉnh PPF 430 như một phần của vòng lặp phản hồi 490. Khả năng tự hiệu chỉnh này được cung cấp bởi vòng lặp phản hồi 490 cũng đảm bảo sự phân cực của bộ lọc nhiều pha 420 được xác định rõ ở đầu vào và đầu ra của miền tương tự/bộ lọc 410, như được thể hiện thêm trên Fig.5A và Fig.5B. Miền tương tự/bộ lọc 410 cung cấp các tầng ghép nối AC đầu vào và đầu ra 414, cũng như các tầng khuếch đại được cung cấp bởi các bộ đệm logic CM đầu vào và đầu ra 412 trước và sau bộ lọc nhiều pha 420. Nếu không có cấu hình này của miền tương tự/bộ lọc 410, cả hiệu suất của bộ lọc nhiều pha 420 và hiệu suất của các tầng khuếch đại (trước và sau bộ lọc nhiều pha 420) sẽ bị ảnh hưởng do các giá trị điện áp chế độ chung không ổn định.

Miền tương tự/bộ lọc 410 cung cấp tín hiệu xung nhịp I/Q bốn pha được khuếch đại 424 từ đầu ra của bộ đệm logic CM 412 đến bộ nội suy pha 460 để tạo ra tín hiệu xung nhịp I/Q bốn pha đầu ra 462. Bộ nội suy pha 460 tạo ra tín hiệu xung nhịp I/Q bốn pha đầu ra 462 ở mức logic CMOS (ví dụ, toàn biên độ giữa mức điện áp logic “0” và logic “1”). Trong một cấu hình, bộ nội suy pha 460 được tạo cấu hình để nội suy/quay giữa các pha (ví dụ, 0° , 90° , 180° và 270°) của tín hiệu xung nhịp I/Q bốn pha được khuếch đại 424 trong ba mươi hai bước để tạo đầu ra tín hiệu xung nhịp I/Q bốn pha đầu ra 462.

Theo cấu hình này, tín hiệu xung nhịp I/Q bốn pha đã quay 464 được cung cấp cho tầng phát hiện pha đồng pha/vuông góc (I/Q)/hiệu chỉnh chu kỳ hoạt động (DCC) 470 của vòng lặp phản hồi. Tầng phát hiện pha I/Q/DCC 470 có thể bao gồm tầng sai số DCC và tầng phát hiện sai số pha I/Q. Theo các khía cạnh của sáng chế, tín hiệu xung nhịp I/Q bốn pha đã quay 464 có thể giống hoặc khác với tín hiệu xung nhịp I/Q bốn pha đầu ra 462. Trong cấu hình này, tầng phát hiện pha I/Q/DCC 470 phát hiện việc hiệu chỉnh sai số pha và/hoặc hiệu chỉnh sai số chu kỳ hoạt động 472 (ví dụ, giá trị điều chỉnh DCC kỹ thuật số) của tín hiệu xung nhịp I/Q bốn pha đã quay 464. Việc hiệu chỉnh sai số pha và/hoặc hiệu chỉnh sai số chu kỳ hoạt động 472 được cung cấp cho tầng hiệu chuẩn số 480 được tạo cấu hình để tạo ra giá trị điều chỉnh DCC 482 và giá trị điều chỉnh pha 484.

Theo khía cạnh này của sáng chế, giá trị điều chỉnh pha 484 được cung cấp cho bộ ghép kênh (multiplexor - MUX) 444, bộ ghép kênh này cũng nhận giá trị điều chỉnh pha thủ

công 452. Trong cấu hình này, bộ ghép kênh 444 cung cấp giá trị điều chỉnh pha 484 (ví dụ, từ 0 đến 31) cho bộ chuyển đổi từ số sang tương tự cho dòng điện (IDAC) 440, cung cấp dòng điện điều chỉnh PPF 442 (ví dụ, dòng điện không đổi) cho mạch điều chỉnh PPF 430. Mạch điều chỉnh PPF 430 được tạo cấu hình để tạo ra điện áp điều khiển (control voltage - VC) 432 cho bộ lọc nhiều pha 420 để cho phép tạo xung nhịp pha vuông góc chính xác, như được thể hiện thêm trên Fig.5A và Fig.5B.

Fig.5A và Fig.5B là sơ đồ khối minh họa thêm bộ lọc nhiều pha 420 và mạch điều chỉnh PPF 430 của bộ tạo xung nhịp I/Q 400 trên Fig.4, theo các khía cạnh của sáng chế.

Như thể hiện trên Fig.5A, bộ lọc nhiều pha 420 tạo ra tín hiệu xung nhịp I/Q bốn pha 422 được chỉ rõ bởi bộ nội suy pha 460 tại thời điểm sử dụng. Việc tạo tín hiệu xung nhịp bốn pha I/Q 422 được thực hiện bởi bộ lọc nhiều pha 420, là mạch thụ động không tạo ra dòng điện. Cấu hình thông thường của bộ lọc nhiều pha 420 có thể được cấu tạo bởi nhiều tầng gồm các điện trở (R) và tụ điện (C). Trong cấu hình này, sai số pha vuông góc của bộ lọc nhiều pha 420 gần bằng không (ví dụ, mong muốn nhất) ở một tần số là $1/(2\pi R C)$. Do đó, việc kích hoạt tần số xung nhịp được chỉ định (ví dụ, 9 GHz) cho liên kết SERDES giữa chip với chip (ví dụ, 220) bao gồm việc kiểm soát chặt chẽ điện trở (R) và tụ điện (C) để đạt được sai số pha gần như bằng không.

Thật không may, các giá trị điện trở có thể có sự thay đổi đáng kể (ví dụ, +/- 30%). Chỉ riêng sự thay đổi điện trở này đã gây ra sai số pha vuông góc có sự thay đổi đáng kể (ví dụ, +/- 30%). Sự thay đổi đáng kể của sai số pha vuông góc là không mong muốn và gây ra lỗi hoặc làm suy giảm nghiêm trọng chức năng quay pha do bộ nội suy pha 460 thực hiện. Theo khía cạnh này của sáng chế, các bóng bán dẫn bản sao 450 được sử dụng thay cho điện trở thông thường để hạn chế sự thay đổi của sai số pha vuông góc. Tức là, các bóng bán dẫn bản sao 450 được sử dụng thay vì các điện trở thông thường để cấu tạo bộ lọc nhiều pha 420. Ngoài ra, điện trở phân cực (R_{BIAS}) được cung cấp tại các nút đầu vào (ví dụ, nút IP và IN) và các nút đầu ra (ví dụ, IP, QP, IN và QN). Theo cấu hình này, điện áp cực cổng của bóng bán dẫn của bóng bán dẫn bản sao 450 được thay đổi để có được giá trị điện trở mong muốn cho bộ lọc nhiều pha 420. Thật không may, việc điều khiển điện áp cực cổng của bóng bán dẫn bản sao 450 để có được giá trị điện trở mong muốn là khó khăn do sự thay đổi của quá trình, điện áp và nhiệt độ (process, voltage, and temperature - PVT).

Fig.5B minh họa thêm mạch điều chỉnh PPF 430 của bộ tạo xung nhịp I/Q 400 trên Fig.4. Theo các khía cạnh của sáng chế, mạch điều chỉnh PPF 430 cho phép hệ thống vòng lặp kín điều khiển điện áp cực cổng (ví dụ, điện áp điều khiển (VC) 432) của bóng bán dẫn bản sao 450. Trong một cấu hình, bóng bán dẫn bản sao 450 hoạt động như điện trở bộ lọc nhiều pha (PPF) của hệ thống vòng lặp kín. Trong cấu hình này, bộ chuyển đổi từ số sang tương tự cho dòng điện (IDAC) 440 là nguồn dòng điện điều khiển được cung cấp dòng điện điều chỉnh PPF 442 cho bộ khuếch đại thuật toán 434 của mạch điều chỉnh PPF 430. IDAC 440 nhận giá trị điều chỉnh pha 484 dưới dạng điều khiển hiệu chuẩn kỹ thuật số N-bit (ví dụ, 32 bit) dựa trên dòng điện tham chiếu thứ nhất (ví dụ, $I_{REF1} = V_{FIXED}/R_{FIXED}$). Bộ khuếch đại thuật toán 434 nhận dòng điện điều chỉnh PPF 442 (ví dụ, ở đầu vào thứ nhất) và dòng điện tham chiếu thứ hai (ví dụ, $I_{REF2} = V_{FIXED}/R_{INT}$) làm đầu vào (ví dụ, ở đầu vào thứ hai).

Theo khía cạnh này của sáng chế, bộ khuếch đại thuật toán của mạch điều chỉnh PPF 430 được tạo cấu hình để tạo ra điện áp điều khiển (VC) 432 cho bộ lọc nhiều pha 420 để cho phép tạo xung nhịp pha vuông góc chính xác. Nghĩa là, dòng điện điều chỉnh PPF 442 (I) và nguồn điện áp cố định (ví dụ, V_{FIXED}) được sử dụng để tạo ra điện áp cực cổng (ví dụ, điện áp điều khiển VC 432) cho bóng bán dẫn bản sao 450. Trong cấu hình này, điện trở trung ương của bóng bán dẫn bản sao 450 vẫn ở tỷ số xác định trước (ví dụ, VC/I) trên các thay đổi của quy trình-điện áp-nhiệt độ. Đặc biệt, giá trị của dòng điện điều chỉnh PPF 442 được IDAC 440 tự động điều chỉnh bằng vòng lặp hiệu chuẩn số bên ngoài (ví dụ, vòng lặp phản hồi 490 được thể hiện trên Fig.4). Với cấu hình này, sai số pha I/Q xung nhịp cuối cùng được đo bằng tầng phát hiện pha I/Q/DCC 470, sau đó tầng hiệu chuẩn số 480 sử dụng số đo sai số để điều khiển IDAC 440 cung cấp dòng điện điều chỉnh PPF 442.

Trong cấu hình thay thế, một giá trị dòng điện cho dòng điện điều chỉnh PPF 442 được chọn tại thời điểm kiểm tra và ghi cố định vào thanh ghi. Theo các khía cạnh của sáng chế, mạch điều chỉnh PPF 430 và IDAC 440 đạt được sự ổn định của tỷ số xác định trước (ví dụ, VC/I) qua các thay đổi của quy trình-điện áp-nhiệt độ. Việc tạo ra điện áp điều khiển VC 432 và dòng điện điều chỉnh PPF 442 (I) theo cách cụ thể này duy trì tỷ số xác định trước (ví dụ, VC/I) không đổi qua các thay đổi của quy trình-điện áp-nhiệt độ.

Theo khía cạnh này của sáng chế, dòng điện điều chỉnh PPF 442 cho phép điều chỉnh bộ lọc nhiều pha 420 qua các thay đổi của quy trình-điện áp-nhiệt độ để có được sai số pha đồng pha/vuông góc gần bằng không. Tức là, dòng điện điều chỉnh PPF 442 cho phép điều chỉnh bộ lọc nhiều pha 420 để đạt được sai số pha tối thiểu. Hơn nữa, giá trị của dòng điện điều chỉnh PPF 442 được hiệu chuẩn bằng cách sử dụng vòng lặp điều khiển số (ví dụ, vòng lặp phản hồi 490) bằng cách theo dõi liên tục hoặc định kỳ sai số pha và cập nhật giá trị của dòng điện điều chỉnh PPF 442 bằng cách sử dụng IDAC 440. Có lợi là, quy trình tạo pha I/Q này vừa tự điều chỉnh vừa có khả năng hiệu chuẩn để đạt độ chính xác cao nhất bằng cách điều khiển dòng điện điều chỉnh PPF 442.

Fig.6A và Fig.6B là sơ đồ định thời, minh họa tín hiệu xung nhịp I/Q bốn pha đầu ra 462 trên Fig.4, theo các khía cạnh của sáng chế. Fig.6A là sơ đồ định thời 600 minh họa tín hiệu đầu ra vuông góc thứ nhất 602 (ví dụ, IN ở 0°) và tín hiệu đầu ra vuông góc thứ hai 604 (ví dụ, IP ở 180°). Fig.6B là sơ đồ định thời 650 minh họa tín hiệu đầu ra vuông góc thứ ba 652 (ví dụ, QN ở 90°) và tín hiệu đầu ra vuông góc thứ tư 654 (ví dụ, QP ở 270°) của tín hiệu xung nhịp I/Q bốn pha đầu ra 462. Theo khía cạnh này của sáng chế, thiết kế của bộ lọc nhiều pha 420 cho phép tạo chính xác các pha xung nhịp vuông góc đồng pha/vuông góc (I/Q) (ví dụ, lệch nhau 90°) được thể hiện trên Fig.6A và Fig.6B. Trong ví dụ này, đầu ra của bộ tạo xung nhịp I/Q 400 là tín hiệu xung nhịp I/Q bốn pha đầu ra 462 (ví dụ, bốn pha xung nhịp ở 0° , 90° , 180° và 270°), như được mô tả thêm trên Fig.7.

Fig.7 là lưu đồ minh họa phương pháp tạo tín hiệu xung nhịp vuông góc bốn pha, theo các khía cạnh của sáng chế. Phương pháp 700 bắt đầu tại khối 702, trong đó tín hiệu xung nhịp vuông góc được tạo ra để đáp lại tín hiệu xung nhịp đầu vào một đầu. Ví dụ, như được thể hiện trên Fig.4, bộ tạo xung nhịp I/Q 400 bao gồm bộ tạo tín hiệu vi sai 404, được tạo cấu hình để chuyển đổi tín hiệu xung nhịp đầu vào một đầu 402 (ví dụ, pha một xung nhịp 312 trên Fig.3) thành tín hiệu xung nhịp đầu vào vi sai 406.

Tại khối 704, bộ lọc nhiều pha (PPF) tạo ra tín hiệu xung nhịp vuông góc bốn pha tương tự từ tín hiệu xung nhịp vuông góc để đáp lại điện áp điều khiển từ mạch điều chỉnh PPF trong vòng lặp phản hồi. Ví dụ, như được thể hiện trên Fig.4, việc tạo ra tín hiệu xung nhịp I/Q bốn pha 422 được thực hiện bởi bộ lọc nhiều pha 420 để đáp lại mạch điều chỉnh bộ lọc nhiều pha (PPF) 430, là một phần của vòng lặp phản hồi 490. Mạch điều chỉnh PPF

430 được tạo cấu hình để tạo ra điện áp điều khiển (VC) 432 cho bộ lọc nhiều pha 420 để cho phép tạo xung nhịp pha vuông góc chính xác, như được thể hiện trên Fig.5A và Fig.5B.

Tại khối 706, bộ nội suy pha tạo ra tín hiệu xung nhịp vuông góc bốn pha đầu ra số từ tín hiệu xung nhịp vuông góc bốn pha được khuếch đại. Ví dụ, như được thể hiện trên Fig.4, bộ lọc nhiều pha 420 tạo ra tín hiệu xung nhịp I/Q bốn pha 422 cho bộ nội suy pha 460 để tạo ra tín hiệu xung nhịp I/Q bốn pha đầu ra 462. Tại khối 708, tín hiệu xung nhịp vuông góc bốn pha đầu ra số được cấp trở lại mạch điều chỉnh PPF. Như thể hiện trên Fig.4, việc tạo tín hiệu xung nhịp I/Q bốn pha 422 được thực hiện bởi bộ lọc nhiều pha 420 để đáp lại mạch điều chỉnh bộ lọc nhiều pha (PPF) 430, là một phần của vòng lặp phản hồi 490. Theo các khía cạnh của sáng chế, cấu hình này của sơ đồ điều chỉnh PPF bằng cách sử dụng vòng lặp phản hồi 490 đảm bảo sự phân cực của bộ lọc nhiều pha 420 được xác định rõ bởi các điện trở ở đầu vào và đầu ra so với đất, như được chỉ ra trên Fig.5A và Fig.5B.

Liên kết SERDES giữa chip với chip thể hệ tiếp theo chỉ rõ quá trình tạo xung nhịp đồng pha/vuông góc ở chín gigahertz (9 GHz). Việc đáp ứng thông số kỹ thuật tần số tạo xung nhịp này là quan trọng đối với cả hiệu suất và mức tiêu thụ công suất. Theo các khía cạnh của sáng chế, xung nhịp một đầu được định tuyến đến các làn dữ liệu để giảm mức tiêu thụ dòng điện của bộ đệm xung nhịp. Ngoài ra, xung nhịp vi sai được tạo ra tại thời điểm sử dụng, sau đó là hiệu chỉnh chu kỳ hoạt động để giảm tác động gây ra bởi xung nhịp một đầu đối với việc chuyển đổi vi sai cũng như định tuyến quan trọng. Theo khía cạnh này của sáng chế, pha vuông góc của tín hiệu xung nhịp I/Q được tự hiệu chỉnh bằng cách sử dụng mạch sao chép. Ngoài ra, việc hiệu chỉnh pha tốt hơn nữa được thực hiện bằng việc điều khiển hiệu chuẩn số theo các khía cạnh của sáng chế.

Theo các khía cạnh, sáng chế đề xuất bộ tạo xung nhịp I/Q. Bộ tạo xung nhịp I/Q có thể bao gồm phương tiện để tạo điện áp điều khiển cho bộ lọc nhiều pha để điều chỉnh tín hiệu xung nhịp vuông góc bốn pha từ bộ lọc nhiều pha. Phương tiện để tạo có thể bao gồm mạch điều chỉnh PPF 430 trên Fig.4. Theo một khía cạnh khác, phương tiện nói trên có thể là bất kỳ môđun nào hoặc bất kỳ thiết bị hoặc thực thể nào được tạo cấu hình để thực hiện các chức năng được sử dụng bởi các phương tiện nói trên.

Fig.8 là sơ đồ khối thể hiện hệ thống truyền thông không dây 800 làm ví dụ trong đó khía cạnh của sáng chế có thể được sử dụng một cách thuận lợi. Để minh họa, Fig.8 thể hiện

ba thiết bị từ xa 820, 830 và 850 và hai trạm gốc 840. Sẽ hiểu rằng các hệ thống truyền thông không dây có thể có nhiều thiết bị từ xa và trạm gốc hơn. Các thiết bị từ xa 820, 830 và 850 bao gồm các linh kiện IC 825A, 825B và 825C, các linh kiện đó bao gồm bộ tạo xung nhịp I/Q đã được bộc lộ. Sẽ hiểu rằng các thiết bị khác cũng có thể bao gồm bộ tạo xung nhịp I/Q được bộc lộ, chẳng hạn như các trạm gốc, thiết bị người dùng và thiết bị mạng. Fig.8 thể hiện các tín hiệu liên kết xuôi 880 từ các trạm gốc 840 đến các thiết bị từ xa 820, 830 và 850, và các tín hiệu liên kết ngược 890 từ các thiết bị từ xa 820, 830 và 850 đến các trạm gốc 840.

Trên Fig.8, thiết bị từ xa 820 được thể hiện dưới dạng điện thoại di động, thiết bị từ xa 830 được thể hiện dưới dạng máy tính di động và thiết bị từ xa 850 được thể hiện dưới dạng thiết bị từ xa có vị trí cố định trong hệ thống vòng lặp cục bộ không dây. Ví dụ, thiết bị từ xa có thể là điện thoại di động, thiết bị hệ thống truyền thông cá nhân (personal communications system - PCS) cầm tay, thiết bị dữ liệu di động như trợ lý kỹ thuật số cá nhân (PDA), thiết bị hỗ trợ GPS, thiết bị điều hướng, đầu thu giải mã tín hiệu, máy nghe nhạc, máy phát video, thiết bị giải trí, các thiết bị dữ liệu vị trí cố định như thiết bị đọc đồng hồ đo, hoặc thiết bị truyền thông khác để lưu trữ hoặc truy xuất dữ liệu hoặc các lệnh máy tính, hoặc tổ hợp của chúng. Mặc dù Fig.8 minh họa các thiết bị từ xa theo các khía cạnh của sáng chế, nhưng sáng chế không bị giới hạn ở các thiết bị được minh họa làm ví dụ này. Các khía cạnh của sáng chế có thể được sử dụng một cách phù hợp trong nhiều thiết bị, bao gồm bộ tạo xung nhịp I/Q đã được bộc lộ.

Các yêu cầu bảo hộ kèm theo và các dạng tương đương của chúng được dự tính bao gồm các dạng hoặc các cải biến như vậy nằm trong phạm vi và mục đích của sáng chế. Ví dụ, các thiết bị, phương pháp và hệ thống được bộc lộ có thể được áp dụng cho các thiết bị không dây có đăng ký với nhiều mạng truyền thông và/hoặc công nghệ truyền thông. Các thiết bị, phương pháp và hệ thống được bộc lộ cũng có thể được triển khai bằng kỹ thuật số và khác biệt, trong số những phương án triển khai khác. Các thành phần khác nhau được minh họa trên các hình vẽ có thể được triển khai, ví dụ, nhưng không giới hạn ở, phần mềm và/hoặc firmware trên bộ xử lý, ASIC/FPGA/DSP hoặc phần cứng chuyên dụng. Ngoài ra, các đặc điểm và thuộc tính của các khía cạnh ví dụ cụ thể được bộc lộ ở trên có thể được kết

hợp theo những cách khác nhau để tạo thành các khía cạnh bổ sung, tất cả đều nằm trong phạm vi của sáng chế.

Các mô tả phương pháp nêu trên và lưu đồ quy trình chỉ được cung cấp như các ví dụ minh họa và không nhằm yêu cầu hoặc ngụ ý rằng các hoạt động của phương pháp phải được thực hiện theo trình tự đã trình bày. Một số hoạt động có thể được thực hiện theo nhiều thứ tự khác nhau. Các từ như “tiếp đó,” “sau đó,” “tiếp theo,” v.v. không dự định làm hạn chế thứ tự của các hoạt động; những từ này đơn giản được sử dụng để hướng dẫn người đọc thông qua việc mô tả các phương pháp.

Các khối logic, môđun, mạch và hoạt động minh họa khác nhau được mô tả liên quan đến các khía cạnh được bộc lộ có thể được triển khai dưới dạng phần cứng điện tử, phần mềm máy tính hoặc tổ hợp cả hai. Để minh họa rõ ràng khả năng thay thế cho nhau của phần cứng và phần mềm, các thành phần, khối, môđun, mạch và hoạt động minh họa khác nhau đã được mô tả chung ở trên về chức năng của chúng. Việc chức năng đó được triển khai dưới dạng phần cứng hay phần mềm phụ thuộc vào ứng dụng cụ thể và các ràng buộc thiết kế áp đặt lên hệ thống tổng thể. Người có hiểu biết trung bình trong lĩnh vực kỹ thuật này có thể triển khai chức năng được mô tả theo nhiều cách khác nhau cho từng ứng dụng cụ thể, nhưng các quyết định triển khai như vậy không nên được hiểu là nằm ngoài phạm vi của sáng chế.

Phần cứng được sử dụng để triển khai các logic, các khối logic, môđun và mạch minh họa khác nhau được mô tả liên quan đến các khía cạnh khác nhau được bộc lộ có thể được triển khai hoặc thực hiện với bộ xử lý đa dụng, bộ xử lý tín hiệu kỹ thuật số (digital signal processor - DSP), mạch tích hợp chuyên dụng (application-specific integrated circuit - ASIC), mảng cổng lập trình được theo trường (field-programmable gate array - FPGA) hoặc thiết bị logic lập trình khác, cổng rời rạc hoặc logic bóng bán dẫn, các thành phần phần cứng rời rạc hoặc bất kỳ tổ hợp nào của chúng được thiết kế để thực hiện các chức năng được mô tả. Bộ xử lý đa dụng có thể là bộ vi xử lý, nhưng thay vào đó, bộ xử lý có thể là bất kỳ bộ xử lý, bộ điều khiển, vi điều khiển hoặc máy trạng thái thông thường nào. Bộ xử lý cũng có thể được triển khai dưới dạng tổ hợp của các thiết bị thu, ví dụ, tổ hợp của DSP và bộ vi xử lý, nhiều bộ vi xử lý, một hoặc nhiều bộ vi xử lý kết hợp với lõi DSP hoặc bất kỳ

cấu hình nào khác như vậy. Ngoài ra, một số hoạt động hoặc phương pháp có thể được thực hiện bởi hệ mạch cụ thể cho chức năng nhất định.

Theo một hoặc nhiều khía cạnh ví dụ, các chức năng được mô tả có thể được triển khai trong phần cứng, phần mềm, firmware hoặc bất kỳ tổ hợp nào của chúng. Nếu được triển khai trong phần mềm, các chức năng có thể được lưu trữ dưới dạng một hoặc nhiều lệnh hoặc mã trên phương tiện lưu trữ bất biến đọc được bằng máy tính hoặc ở phương tiện lưu trữ bất biến đọc được bằng bộ xử lý. Các hoạt động của phương pháp hoặc thuật toán được bộc lộ có thể được thể hiện trong các lệnh thực thi được bằng bộ xử lý có thể nằm trên phương tiện lưu trữ bất biến đọc được bằng bộ xử lý hoặc đọc được bằng máy tính. Phương tiện lưu trữ bất biến đọc được bằng máy tính hoặc đọc được bằng bộ xử lý có thể là bất kỳ phương tiện lưu trữ nào máy tính hoặc bộ xử lý có thể truy cập. Ví dụ nhưng không giới hạn, phương tiện lưu trữ bất biến đọc được bằng máy tính hoặc đọc được bằng bộ xử lý như vậy có thể bao gồm bộ nhớ truy cập ngẫu nhiên (random access memory - RAM), bộ nhớ chỉ đọc (read-only memory - ROM), bộ nhớ chỉ đọc lập trình được xóa được bằng điện (electrically erasable programmable read-only memory - EEPROM), bộ nhớ FLASH, CD-ROM hoặc bộ lưu trữ đĩa quang khác, bộ lưu trữ đĩa từ hoặc các thiết bị lưu trữ từ tính khác, hoặc bất kỳ phương tiện nào khác có thể được sử dụng để lưu trữ mã chương trình mong muốn dưới dạng lệnh hoặc cấu trúc dữ liệu mà máy tính có thể truy cập. Đĩa từ và đĩa quang, khi được sử dụng, bao gồm đĩa compac (compact disc - CD), đĩa laze, đĩa quang, đĩa đa năng kỹ thuật số (digital versatile disc - DVD), đĩa mềm và đĩa Blu-ray®, trong đó đĩa từ thường tái tạo dữ liệu bằng từ tính, trong khi đĩa quang tái tạo dữ liệu quang học bằng tia laze. Các tổ hợp trên cũng được bao gồm trong phạm vi của phương tiện bất biến đọc được bằng máy tính và đọc được bằng bộ xử lý. Ngoài ra, các hoạt động của phương pháp hoặc thuật toán có thể nằm dưới dạng một hoặc bất kỳ tổ hợp hoặc tập hợp mã và/hoặc lệnh nào trên phương tiện lưu trữ bất biến đọc được bằng bộ xử lý và/hoặc phương tiện lưu trữ bất biến đọc được bằng máy tính, chúng có thể được hợp nhất vào sản phẩm chương trình máy tính.

Mặc dù sáng chế đề xuất các khía cạnh và ứng dụng làm ví dụ nhất định, nhưng sẽ là hiển nhiên với người có hiểu biết trung bình trong lĩnh vực này rằng các khía cạnh khác, bao gồm cả các khía cạnh không đề xuất tất cả các tính năng và ưu điểm đã nêu, cũng nằm trong

phạm vi của sáng chế. Ví dụ, các thiết bị, phương pháp và hệ thống được mô tả có thể được thực hiện bằng kỹ thuật số và theo cách khác, trong số những phương án triển khai khác. Do đó, phạm vi của sáng chế chỉ dự định được xác định bằng cách tham chiếu đến các yêu cầu bảo hộ kèm theo.

YÊU CẦU BẢO HỘ

1. Bộ tạo xung nhịp đồng pha/vuông góc (in-phase/quadrature - I/Q) bao gồm:

bộ lọc nhiều pha được tạo cấu hình để tạo ra tín hiệu xung nhịp vuông góc bốn pha để đáp lại tín hiệu xung nhịp vuông góc hai pha được tạo ra để đáp lại tín hiệu xung nhịp đầu vào một đầu;

bộ nội suy pha được tạo cấu hình để tạo ra tín hiệu xung nhịp vuông góc bốn pha đầu ra từ tín hiệu xung nhịp vuông góc bốn pha; và

mạch điều chỉnh bộ lọc nhiều pha được ghép nối với đầu ra của bộ nội suy pha và được tạo cấu hình để tạo ra điện áp điều khiển cho bộ lọc nhiều pha để điều chỉnh tín hiệu xung nhịp vuông góc bốn pha từ bộ lọc nhiều pha.

2. Bộ tạo xung nhịp I/Q theo điểm 1, còn bao gồm:

bộ tạo tín hiệu vi sai được tạo cấu hình để tạo ra tín hiệu xung nhịp vuông góc hai pha để đáp lại tín hiệu xung nhịp đầu vào một đầu nhận được ở bộ tạo xung nhịp I/Q;

tầng sai số hiệu chỉnh chu kỳ hoạt động (duty-cycle correction - DCC) được ghép nối với đầu ra của bộ nội suy pha và được tạo cấu hình để phát hiện sai số chu kỳ hoạt động của tín hiệu xung nhịp vuông góc bốn pha đầu ra;

tầng hiệu chuẩn số được ghép nối với tầng sai số DCC và được tạo cấu hình để tạo ra giá trị điều chỉnh DCC số để đáp lại sai số chu kỳ hoạt động; và

tầng hiệu chỉnh chu kỳ hoạt động đầu vào được ghép nối với bộ lọc nhiều pha và tầng hiệu chuẩn số, tầng hiệu chỉnh chu kỳ hoạt động đầu vào được tạo cấu hình để hiệu chỉnh trước chu kỳ hoạt động của tín hiệu xung nhịp vuông góc hai pha theo giá trị điều chỉnh DCC số.

3. Bộ tạo xung nhịp I/Q theo điểm 1, trong đó bộ lọc nhiều pha bao gồm miền tương tự/bộ lọc, bao gồm:

bộ đệm logic chế độ chung đầu vào được tạo cấu hình để chuyển đổi tín hiệu xung nhịp vuông góc hai pha thành tín hiệu xung nhịp vuông góc tương tự;

tầng ghép nối dòng điện xoay chiều (alternating current - AC) đầu vào được ghép nối với đầu vào của bộ lọc nhiều pha và được tạo cấu hình để loại bỏ thành phần dòng điện một chiều (direct current - DC) khỏi tín hiệu xung nhịp vuông góc tương tự;

tầng ghép nối AC đầu ra được ghép nối với đầu ra của bộ lọc nhiều pha và được tạo cấu hình để bổ sung thành phần DC vào tín hiệu xung nhịp vuông góc bốn pha từ bộ lọc nhiều pha; và

bộ đệm logic chế độ chung đầu ra được tạo cấu hình để chuyển đổi và khuếch đại tín hiệu xung nhịp vuông góc bốn pha từ tầng ghép nối AC đầu ra thành tín hiệu xung nhịp vuông góc bốn pha số.

4. Bộ tạo xung nhịp I/Q theo điểm 1, trong đó bộ lọc nhiều pha nhận tín hiệu tone một tần số từ tầng ghép nối AC đầu vào.

5. Bộ tạo xung nhịp I/Q theo điểm 1, còn bao gồm:

tầng phát hiện sai số pha I/Q được ghép nối với đầu ra của bộ suy pha và được tạo cấu hình để phát hiện sai số pha của tín hiệu xung nhịp vuông góc bốn pha đầu ra;

tầng hiệu chuẩn số được ghép nối với tầng phát hiện sai số pha I/Q và được tạo cấu hình để tạo ra giá trị điều chỉnh pha để đáp lại sai số pha; và

bộ chuyển đổi từ số sang tương tự cho dòng điện (current digital-to-analog converter - IDAC) được ghép nối với mạch điều chỉnh bộ lọc nhiều pha và tầng hiệu chuẩn số, IDAC được tạo cấu hình để tạo ra dòng điện điều chỉnh PPF theo giá trị điều chỉnh pha.

6. Bộ tạo xung nhịp I/Q theo điểm 5, còn bao gồm:

bộ ghép kênh có đầu vào thứ nhất được ghép nối với tầng hiệu chuẩn số để nhận giá trị điều chỉnh pha, đầu vào thứ hai để nhận giá trị điều chỉnh pha thủ công, và đầu ra được ghép nối với IDAC.

7. Bộ tạo xung nhịp I/Q theo điểm 5, trong đó IDAC được tạo cấu hình để tạo ra dòng điện điều chỉnh PPF làm nguồn dòng điện điều khiển được theo giá trị điều chỉnh pha và dòng điện tham chiếu thứ nhất.

8. Bộ tạo xung nhịp I/Q theo điểm 5, trong đó mạch điều chỉnh nhiều pha bao gồm:

bộ khuếch đại thuật toán có đầu vào thứ nhất được ghép nối với IDAC để nhận dòng điện điều chỉnh PPF và đầu vào thứ hai để nhận dòng điện tham chiếu thứ hai và được tạo cấu hình để tạo ra dòng điện điều chỉnh PPF; và

bóng bán dẫn bản sao được ghép nối với IDAC và được tạo cấu hình để nhận dòng điện điều chỉnh PPF để tạo ra điện áp điều khiển tại cực cổng của bóng bán dẫn bản sao.

9. Bộ tạo xung nhịp I/Q theo điểm 1, còn bao gồm vòng lặp phản hồi số.

10. Phương pháp tạo ra tín hiệu xung nhịp vuông góc bốn pha, phương pháp này bao gồm các bước:

tạo ra tín hiệu xung nhịp vuông góc để đáp lại tín hiệu xung nhịp đầu vào một đầu;

tạo ra, bằng bộ lọc nhiều pha (PPF), phiên bản tương tự của tín hiệu xung nhịp vuông góc bốn pha từ tín hiệu xung nhịp vuông góc để đáp lại điện áp điều khiển từ mạch điều chỉnh PPF trong vòng lặp phản hồi;

tạo ra, bằng bộ nội suy pha, tín hiệu xung nhịp vuông góc bốn pha đầu ra số từ xung nhịp đồng pha/vuông góc (I/Q) bốn pha được khuếch đại; và

cấp lại tín hiệu xung nhịp vuông góc bốn pha đầu ra số cho mạch điều chỉnh PPF.

11. Phương pháp theo điểm 10, phương pháp này còn bao gồm các bước:

tạo ra, bằng bộ tạo tín hiệu vi sai, tín hiệu xung nhịp vuông góc hai pha để đáp lại tín hiệu xung nhịp đầu vào một đầu nhận được ở bộ tạo xung nhịp I/Q;

phát hiện, bởi tầng sai số hiệu chỉnh chu kỳ hoạt động (DCC) được ghép nối với đầu ra của bộ nội suy pha, sai số chu kỳ hoạt động của tín hiệu xung nhịp vuông góc bốn pha đầu ra số;

tạo ra, bởi tầng hiệu chuẩn số được ghép nối với tầng sai số DCC, giá trị điều chỉnh DCC số để đáp lại sai số chu kỳ hoạt động; và

hiệu chỉnh trước, bởi tầng hiệu chỉnh chu kỳ hoạt động đầu vào được ghép nối với bộ lọc nhiều pha và tầng hiệu chuẩn số, chu kỳ hoạt động của tín hiệu xung nhịp vuông góc hai pha theo giá trị điều chỉnh DCC số.

12. Phương pháp theo điểm 10, phương pháp này còn bao gồm các bước:

chuyển đổi, bởi bộ đệm logic chế độ chung đầu vào, tín hiệu xung nhịp vuông góc hai pha thành tín hiệu xung nhịp vuông góc tương tự;

loại bỏ, bởi tầng ghép nối dòng điện xoay chiều (AC) đầu vào được ghép nối với đầu vào của bộ lọc nhiều pha, thành phần dòng điện một chiều (DC) khỏi tín hiệu xung nhịp vuông góc tương tự;

bổ sung, bởi tầng ghép nối AC đầu ra được ghép nối với đầu ra của bộ lọc nhiều pha, thành phần DC vào tín hiệu xung nhịp vuông góc bốn pha từ bộ lọc nhiều pha; và

chuyển đổi và khuếch đại, bằng bộ đệm logic chế độ chung đầu ra, tín hiệu xung nhịp vuông góc bốn pha từ tầng ghép nối AC đầu ra thành tín hiệu xung nhịp vuông góc bốn pha số.

13. Phương pháp theo điểm 10, phương pháp này còn bao gồm bước nhận, bằng bộ lọc nhiều pha, tín hiệu tone một tần số từ tầng ghép nối AC đầu vào.

14. Phương pháp theo điểm 10, phương pháp này còn bao gồm các bước:

phát hiện, bởi tầng phát hiện sai số pha I/Q được ghép nối với đầu ra của bộ nội suy pha, sai số pha của tín hiệu xung nhịp vuông góc bốn pha đầu ra;

tạo ra, bởi tầng hiệu chuẩn số được ghép nối với tầng phát hiện sai số pha I/Q, giá trị điều chỉnh pha để đáp lại sai số pha; và

tạo ra, bằng bộ chuyển đổi từ số sang tương tự cho dòng điện (IDAC) được ghép nối với mạch điều chỉnh bộ lọc nhiều pha và tầng hiệu chuẩn số, dòng điện điều chỉnh PPF theo giá trị điều chỉnh pha.

15. Phương pháp theo điểm 14, phương pháp này còn bao gồm các bước:

nhận, bởi bộ ghép kênh ở đầu vào thứ nhất được ghép nối với tầng hiệu chuẩn số, giá trị điều chỉnh pha; và

nhận, bởi bộ ghép kênh ở đầu vào thứ hai, giá trị điều chỉnh pha thủ công.

16. Phương pháp theo điểm 14, phương pháp này còn bao gồm bước tạo ra, bởi IDAC, dòng điện điều chỉnh PPF làm nguồn dòng điện điều khiển được theo giá trị điều chỉnh pha và dòng điện tham chiếu thứ nhất.

17. Phương pháp theo điểm 14 này, phương pháp này còn bao gồm các bước:

nhận, bởi bộ khuếch đại thuật toán ở đầu vào thứ nhất được ghép nối với IDAC, dòng điện điều chỉnh PPF;

nhận, bởi bộ khuếch đại thuật toán ở đầu vào thứ hai, dòng điện tham chiếu thứ hai;

tạo ra, bằng bộ khuếch đại thuật toán, dòng điện điều chỉnh PPF; và

nhận, bởi bóng bán dẫn bản sao được ghép nối với IDAC, dòng điện điều chỉnh PPF;

và

tạo ra, bởi bóng bán dẫn bản sao, điện áp điều khiển tại cực cổng của bóng bán dẫn bản sao.

18. Bộ tạo xung nhịp đồng pha/vuông góc (I/Q) bao gồm:

bộ lọc nhiều pha được tạo cấu hình để tạo ra tín hiệu xung nhịp vuông góc bốn pha để đáp lại tín hiệu xung nhịp vuông góc hai pha được tạo ra để đáp lại tín hiệu xung nhịp đầu vào một đầu;

bộ nội suy pha được tạo cấu hình để tạo ra tín hiệu xung nhịp vuông góc bốn pha đầu ra từ tín hiệu xung nhịp vuông góc bốn pha; và

phương tiện để tạo ra điện áp điều khiển cho bộ lọc nhiều pha để điều chỉnh tín hiệu xung nhịp vuông góc bốn pha từ bộ lọc nhiều pha.

19. Bộ tạo xung nhịp I/Q theo điểm 18, còn bao gồm:

bộ tạo tín hiệu vi sai được tạo cấu hình để tạo ra tín hiệu xung nhịp vuông góc hai pha để đáp lại tín hiệu xung nhịp đầu vào một đầu nhận được ở bộ tạo xung nhịp I/Q;

tăng sai số hiệu chỉnh chu kỳ hoạt động (DCC) được ghép nối với đầu ra của bộ nội suy pha và được tạo cấu hình để phát hiện sai số chu kỳ hoạt động của tín hiệu xung nhịp vuông góc bốn pha đầu ra;

tăng hiệu chuẩn số được ghép nối với tăng sai số DCC và được tạo cấu hình để tạo ra giá trị điều chỉnh DCC số để đáp lại sai số chu kỳ hoạt động; và

tăng hiệu chỉnh chu kỳ hoạt động đầu vào được ghép nối với bộ lọc nhiều pha và tăng hiệu chuẩn số, tăng hiệu chỉnh chu kỳ hoạt động đầu vào được tạo cấu hình để hiệu chỉnh trước chu kỳ hoạt động của tín hiệu xung nhịp vuông góc hai pha theo giá trị điều chỉnh DCC số.

20. Bộ tạo xung nhịp I/Q theo điểm 18, trong đó bộ lọc nhiều pha bao gồm miền tương tự/bộ lọc, bao gồm:

bộ đệm logic chế độ chung đầu vào được tạo cấu hình để chuyển đổi tín hiệu xung nhịp vuông góc hai pha thành tín hiệu xung nhịp vuông góc tương tự;

tăng ghép nối dòng điện xoay chiều (AC) đầu vào được ghép nối với đầu vào của bộ lọc nhiều pha và được tạo cấu hình để loại bỏ thành phần dòng điện một chiều (DC) khỏi tín hiệu xung nhịp vuông góc tương tự;

tăng ghép nối AC đầu ra được ghép nối với đầu ra của bộ lọc nhiều pha và được tạo cấu hình để bổ sung thành phần DC vào tín hiệu xung nhịp vuông góc bốn pha từ bộ lọc nhiều pha; và

bộ đệm logic chế độ chung đầu ra được tạo cấu hình để chuyển đổi và khuếch đại tín hiệu xung nhịp vuông góc bốn pha từ tăng ghép nối AC đầu ra thành tín hiệu xung nhịp vuông góc bốn pha số.

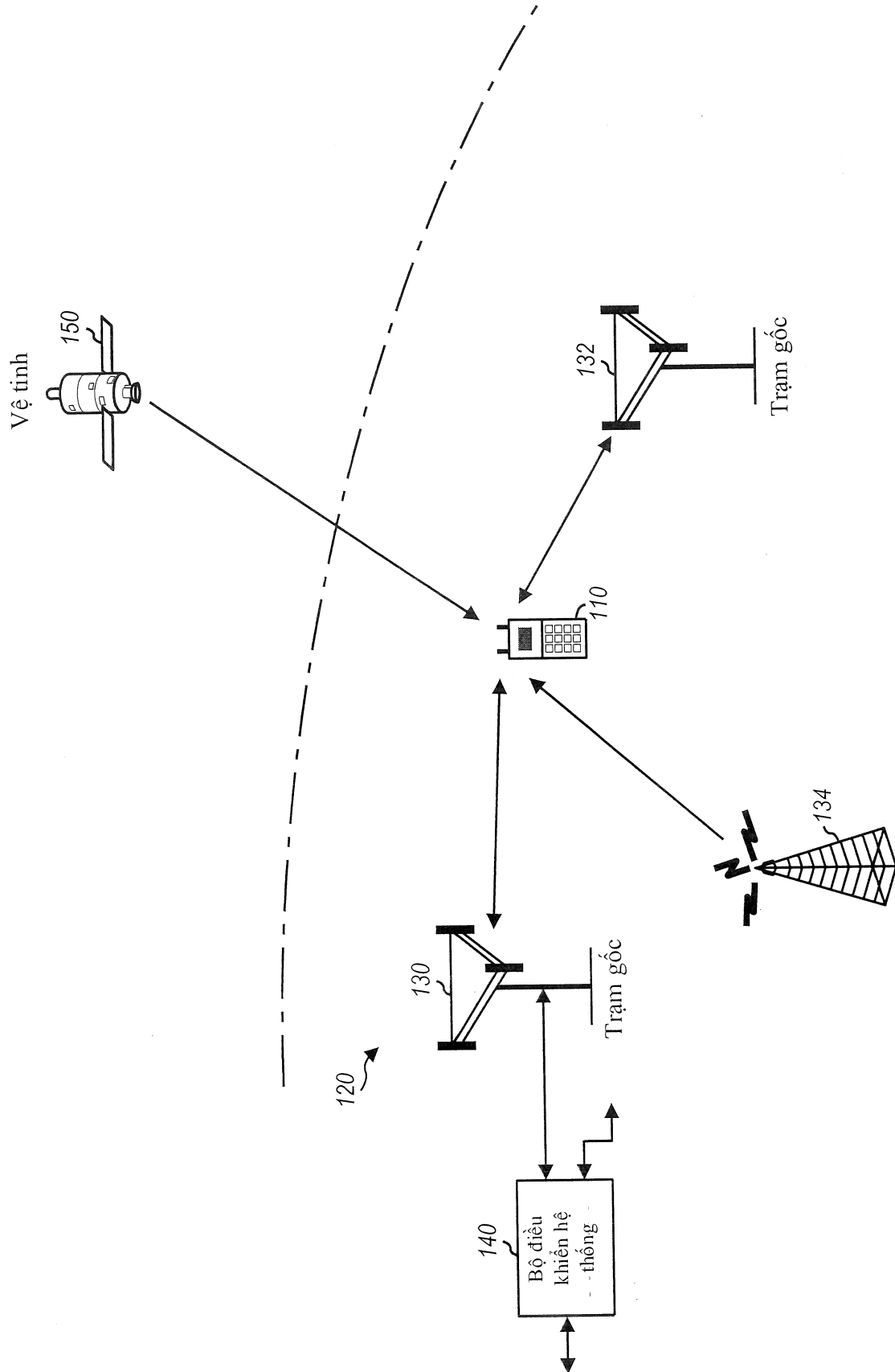


Fig.1

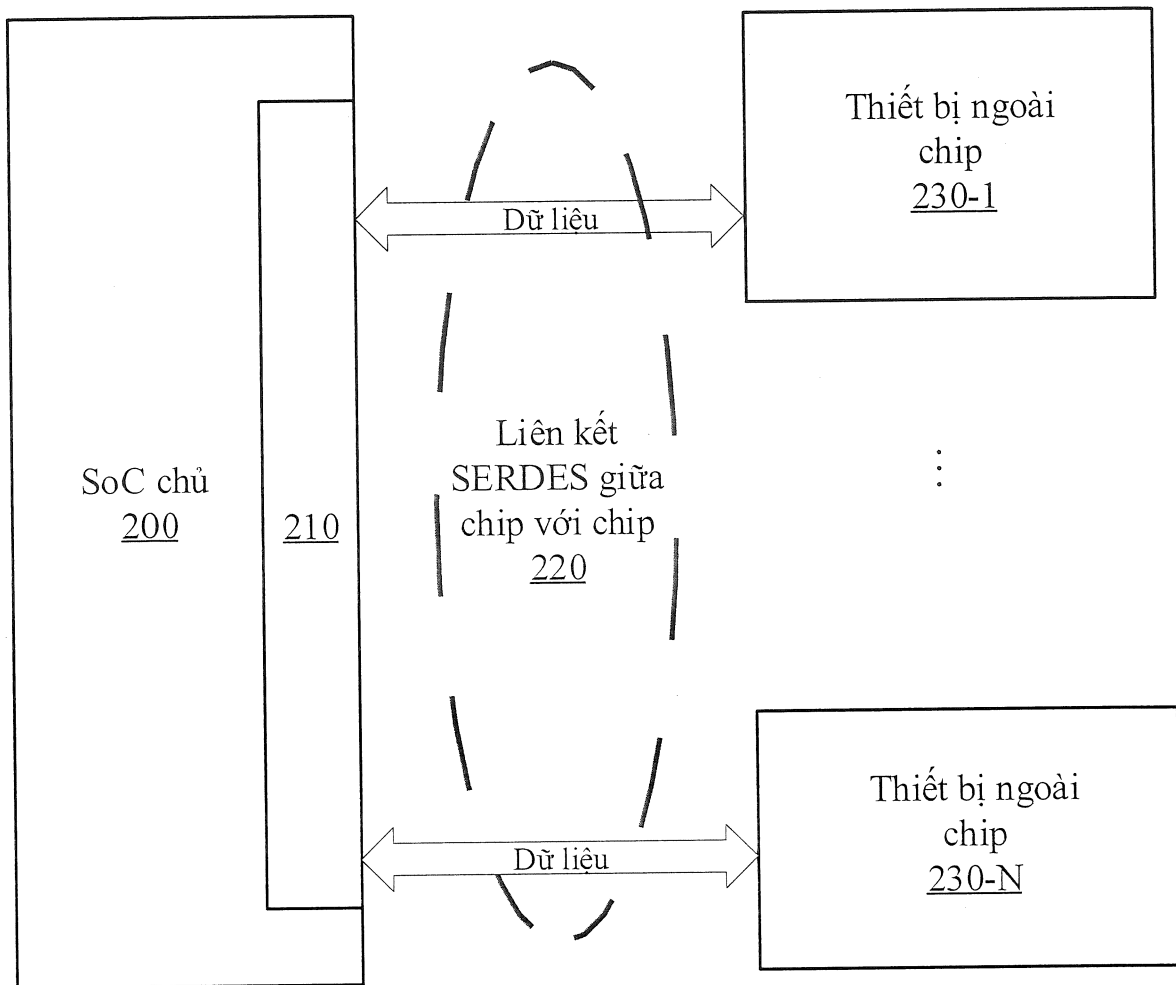


Fig.2

300

Phân phối CLK
PHY giữa chip với chip

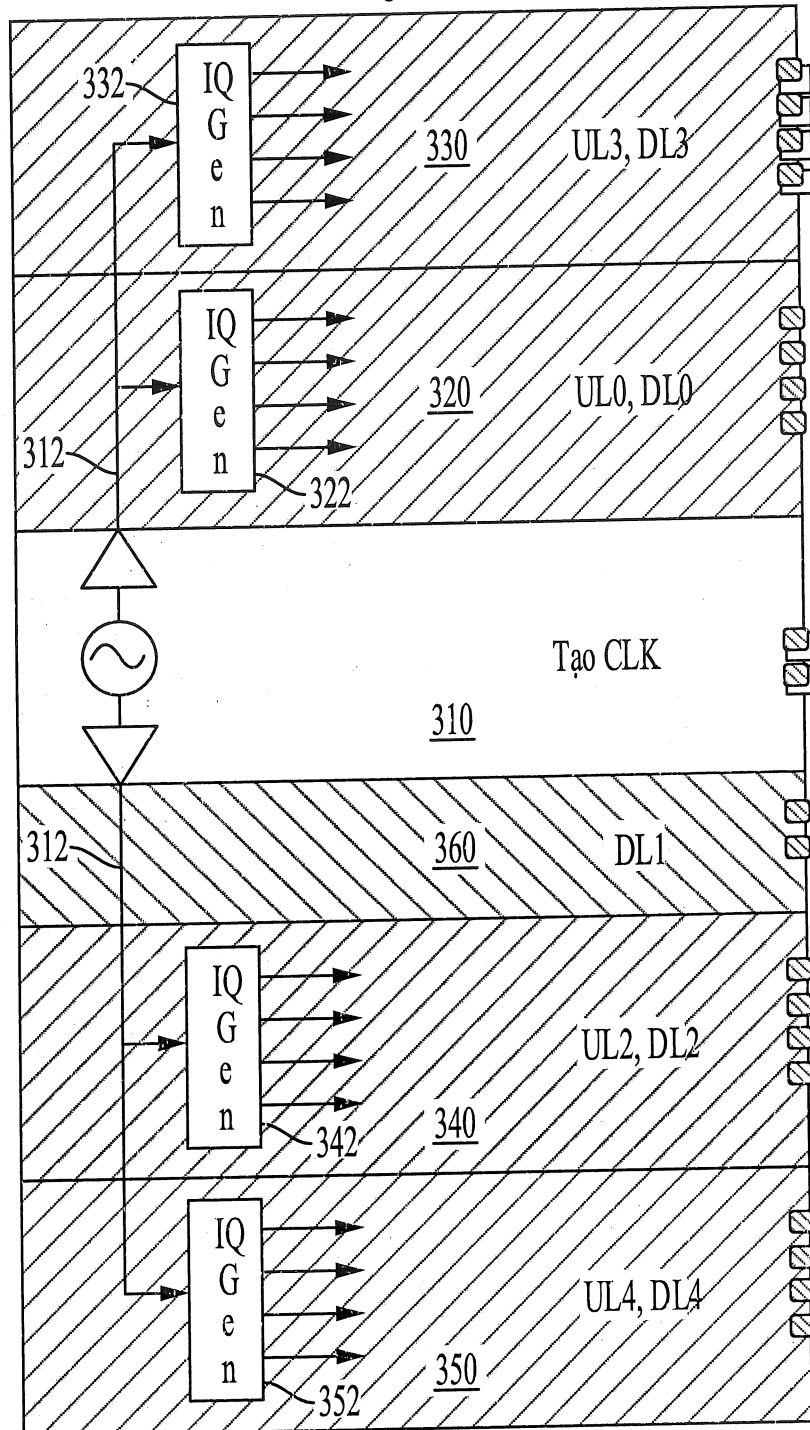


Fig.3

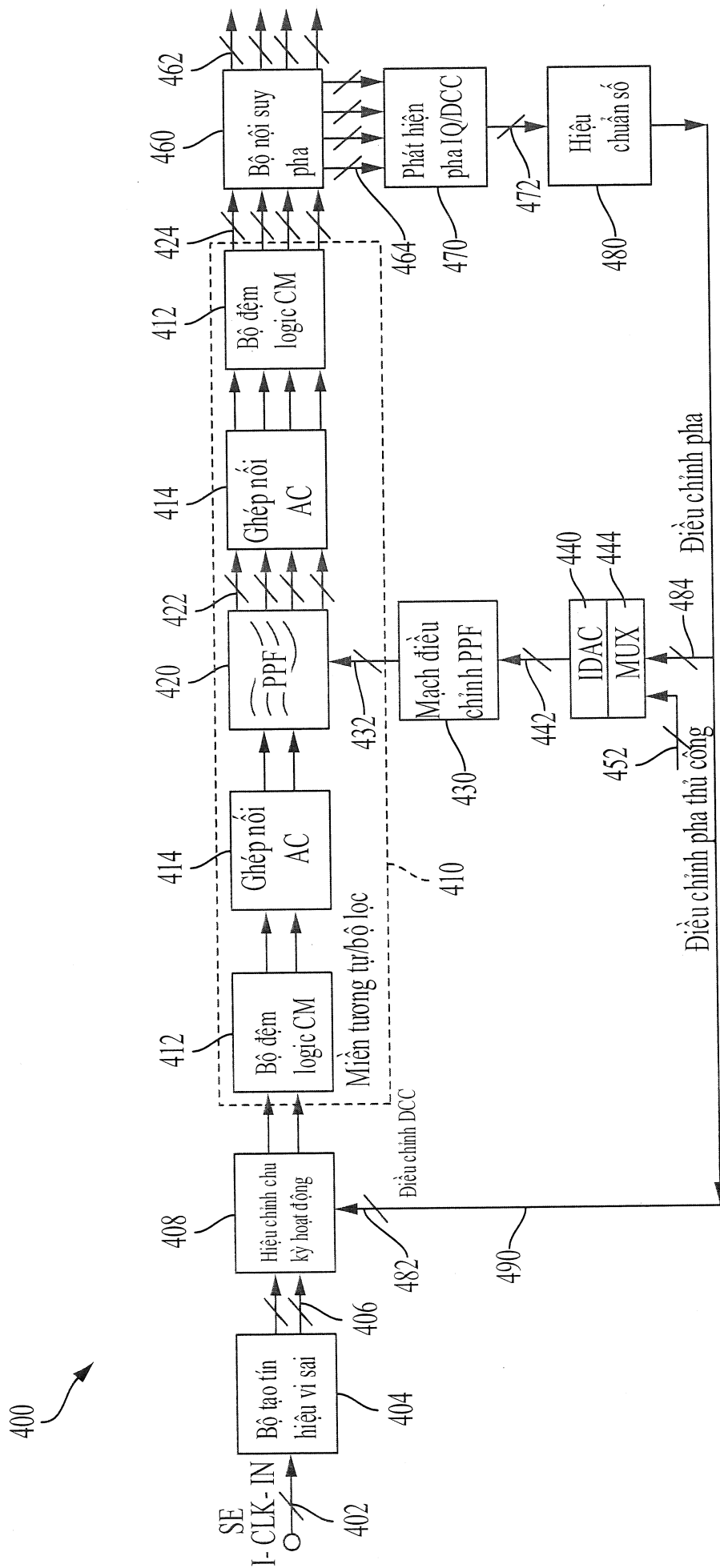


Fig.4

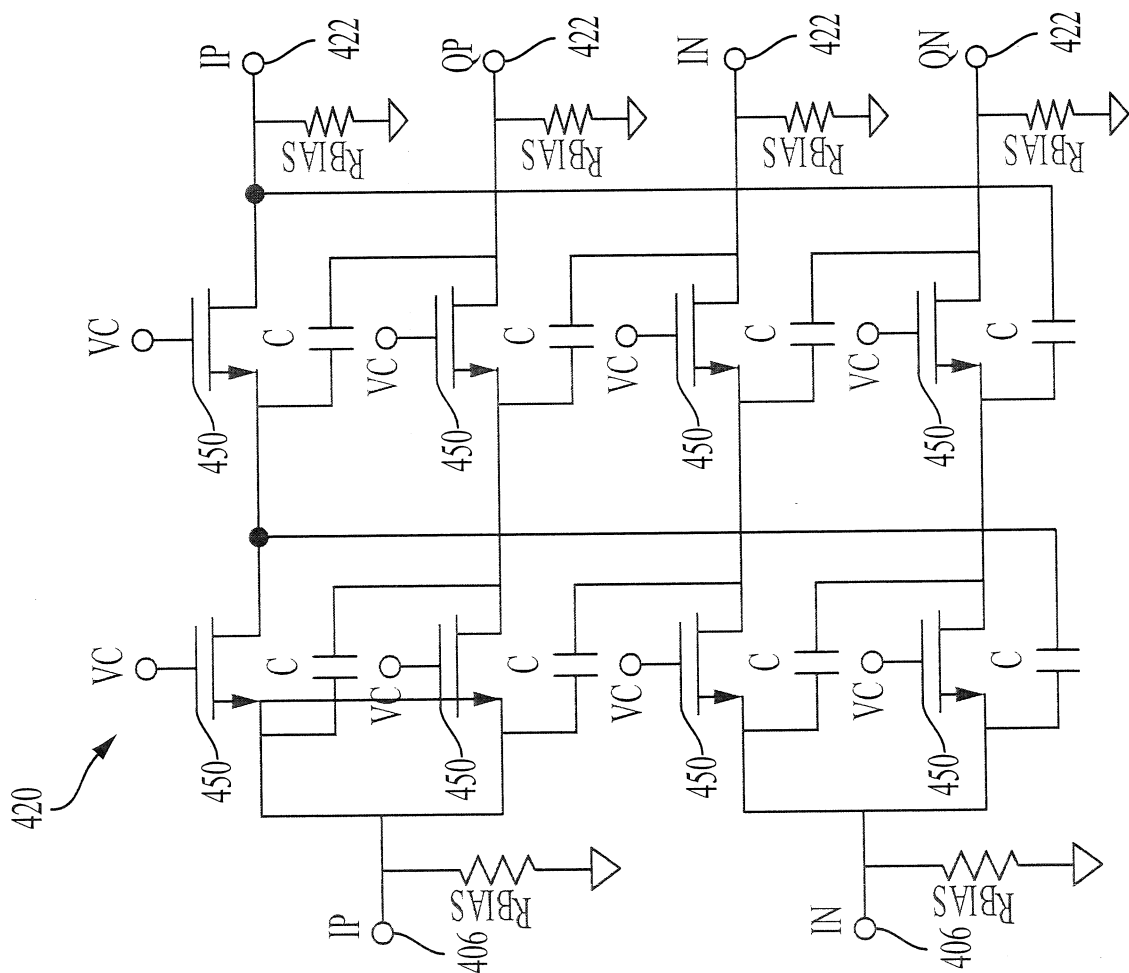


Fig. 5A

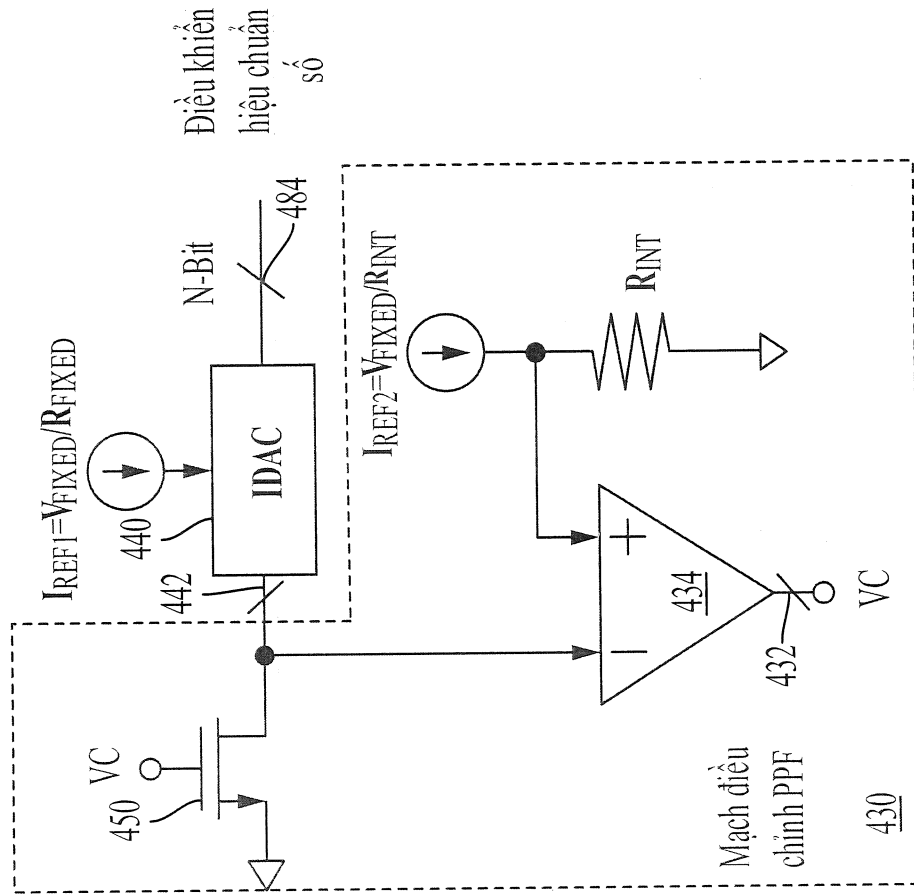
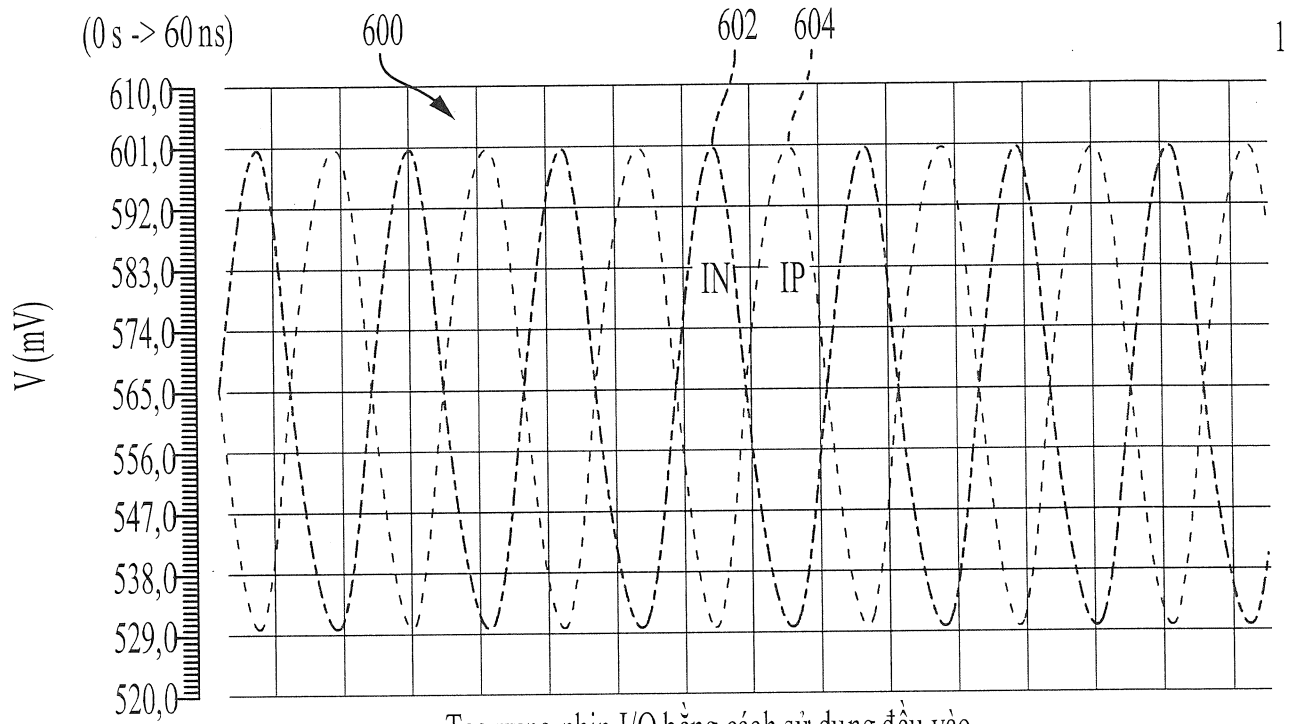


Fig. 5B



Tạo xung nhịp I/Q bằng cách sử dụng đầu vào
bộ lọc nhiều pha trong xung nhịp một đầu ở
9GHz

Fig.6A

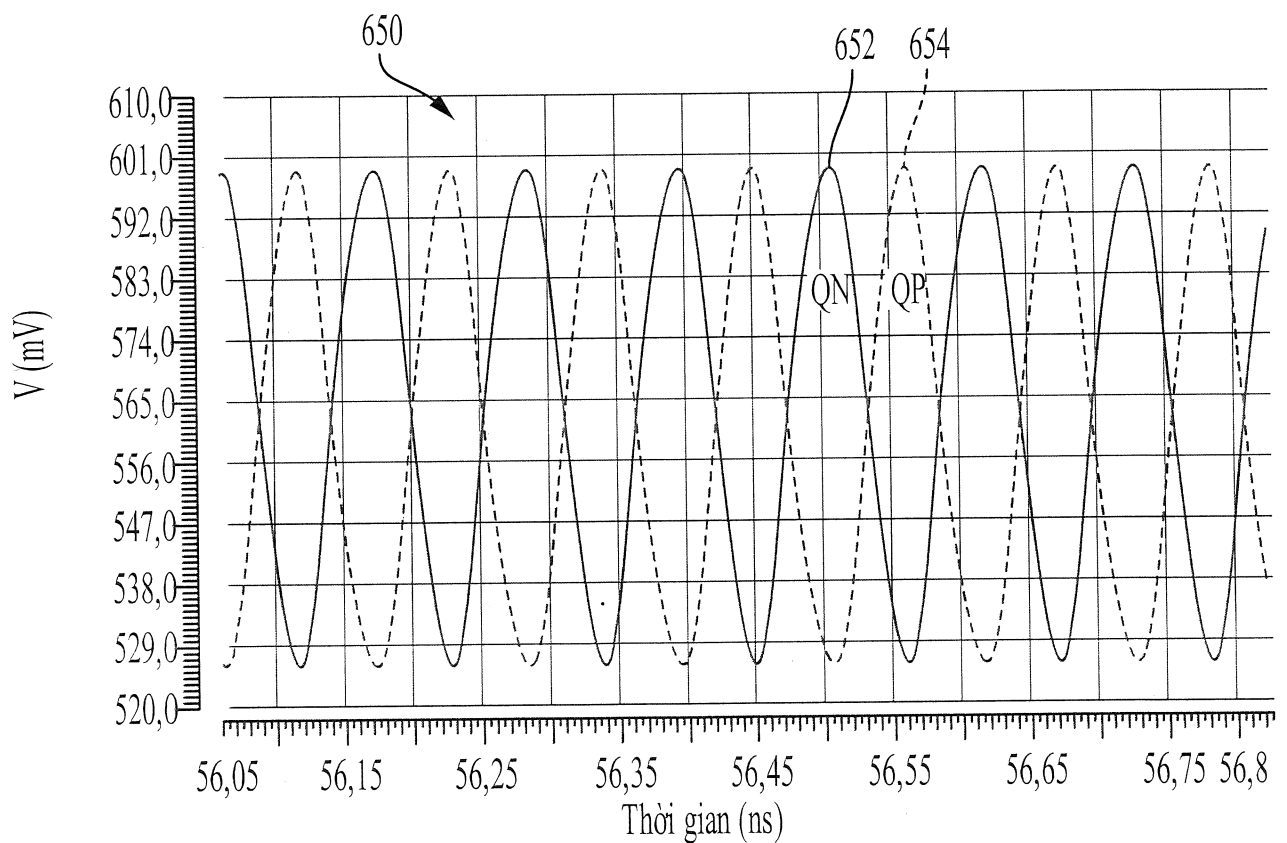


Fig.6B

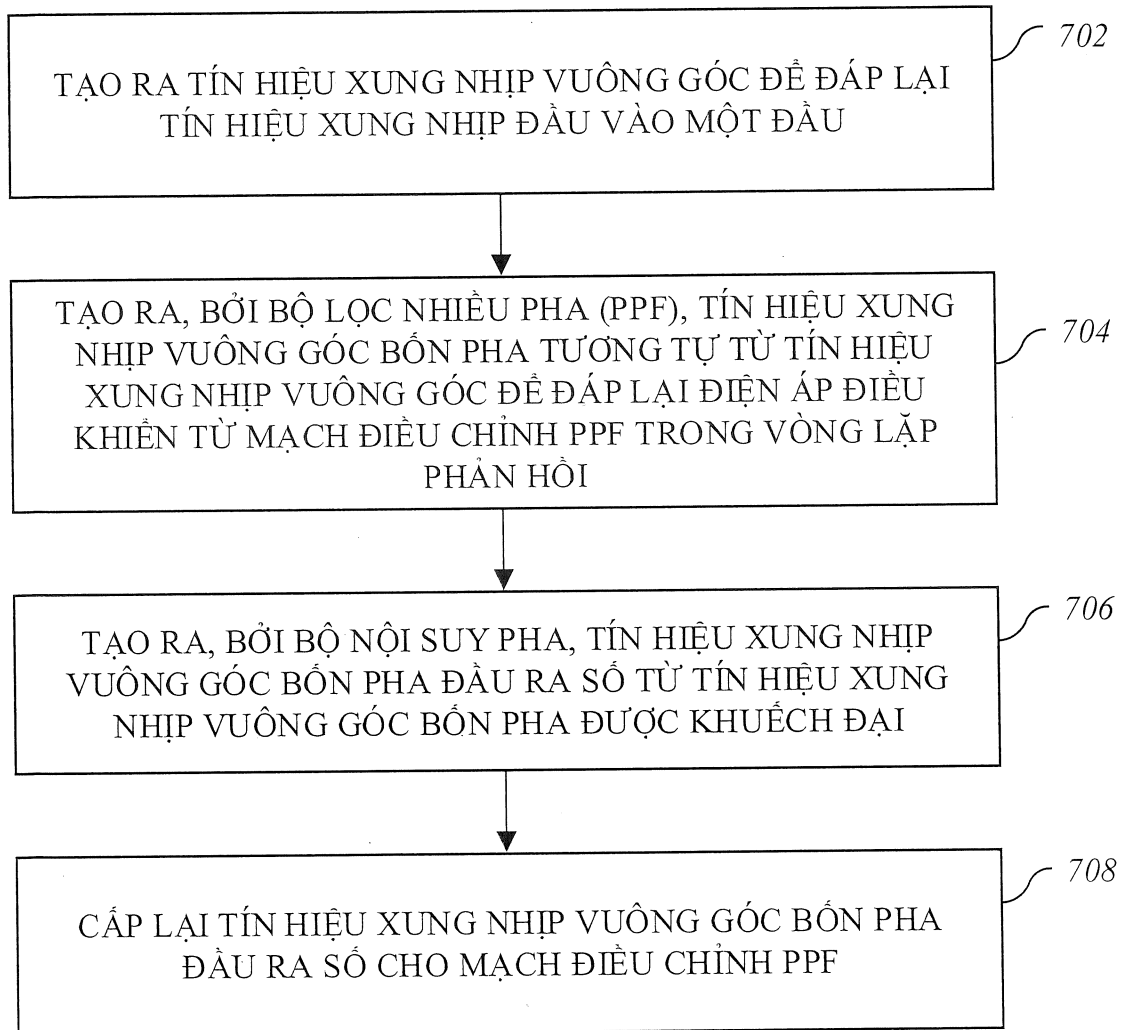
700
↓

Fig.7

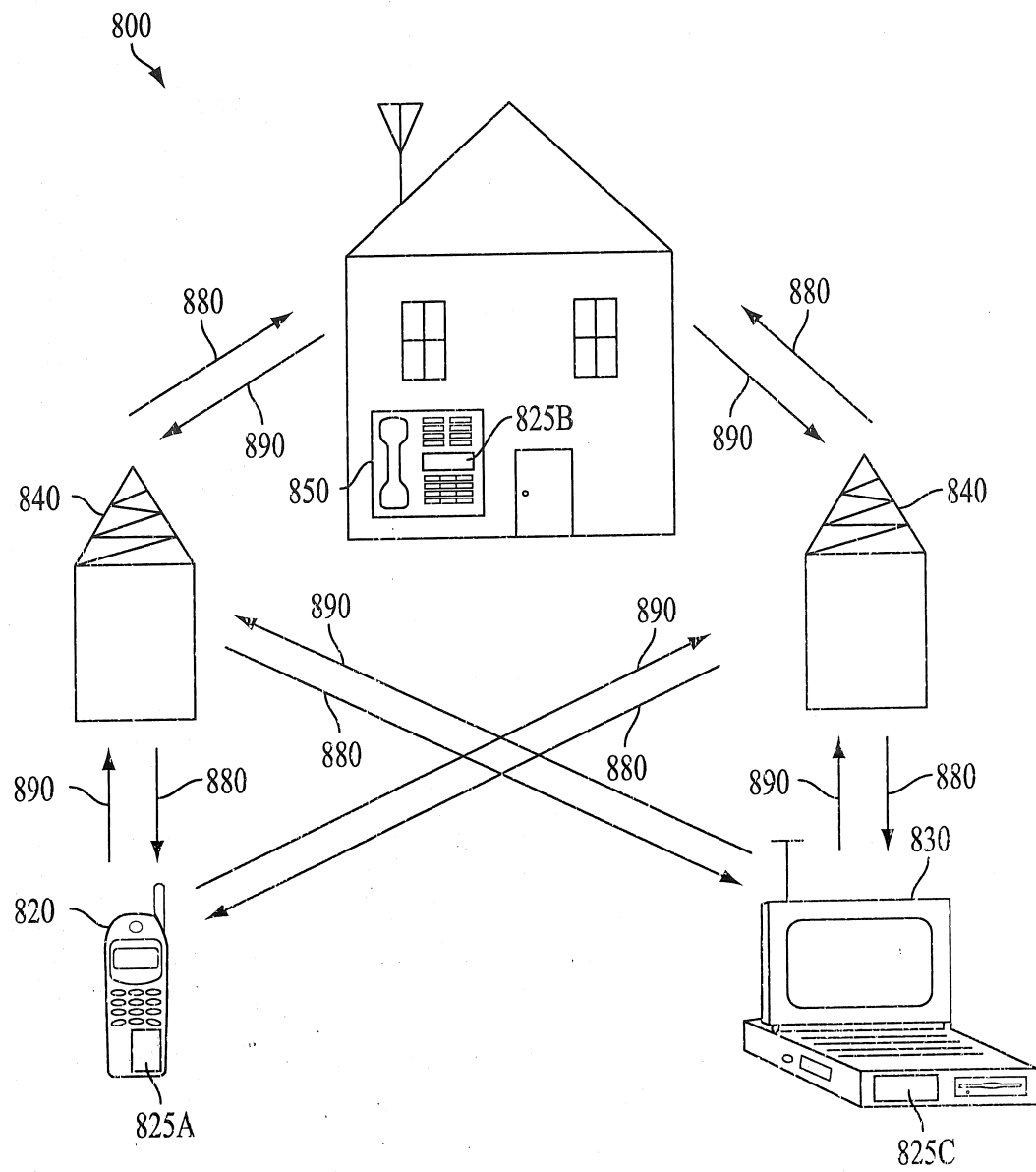


Fig.8