



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN) (11)
CỤC SỞ HỮU TRÍ TUỆ



1-0049288

(51)^{2020.01} **H01L 33/38**; H01L 33/00; H01L 33/62; (13) **B**
H01L 27/15; H01L 33/20

(21) 1-2021-00955

(22) 17/01/2019

(86) PCT/KR2019/000711 17/01/2019

(87) WO2020/022596 30/01/2020

(30) 10-2018-0087701 27/07/2018 KR

(45) 25/07/2025 448

(43) 25/06/2021 399A

(73) SAMSUNG DISPLAY CO., LTD. (KR)

1, Samsung-ro, Giheung-gu, Yongin-si, Gyeonggi-do, 17113, Republic of Korea

(72) BASRUR, Veidhes (IN); LI, Xinxing (CN); LEE, Hee Keun (KR); TAE, Chang Il (KR); KONG, Tae Jin (KR); KIM, Myeong Hee (KR).

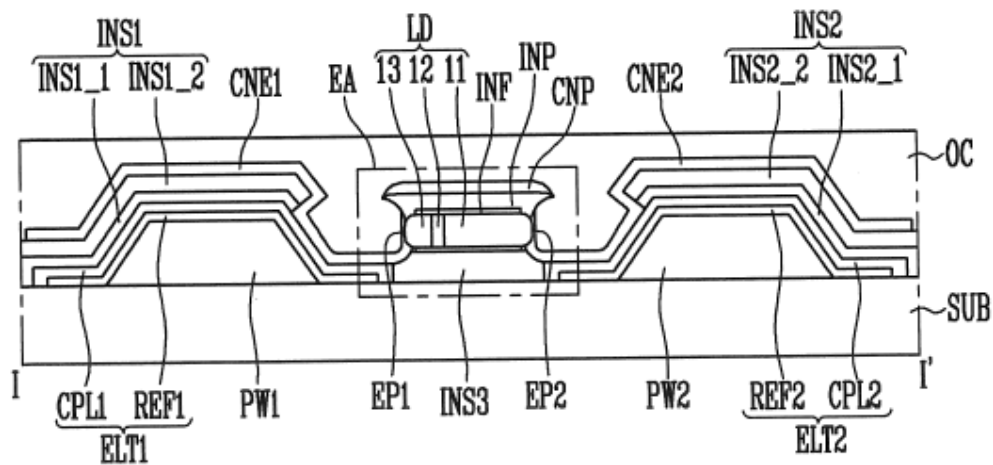
(74) Công ty TNHH Tầm nhìn và Liên danh (VISION & ASSOCIATES CO.LTD.)

(54) THIẾT BỊ PHÁT QUANG, PHƯƠNG PHÁP CHẾ TẠO THIẾT BỊ PHÁT QUANG VÀ THIẾT BỊ HIỂN THỊ BAO GỒM THIẾT BỊ PHÁT QUANG NÀY

(21) 1-2021-00955

(57) Sáng chế đề cập đến thiết bị phát quang có thể bao gồm: nền; điện cực thứ nhất và điện cực thứ hai được bố trí trên nền và được đặt cách xa nhau; ít nhất một điốt phát quang được bố trí giữa điện cực thứ nhất và điện cực thứ hai và bao gồm đầu thứ nhất và đầu thứ hai ở các bên đối diện theo phương dọc; mẫu cách điện được bố trí sao cho che phần phía trên của điốt phát quang và làm lộ ra đầu thứ nhất và đầu thứ hai của điốt phát quang; điện cực tiếp xúc thứ nhất tiếp xúc với đầu thứ nhất, và nối điện đầu thứ nhất với điện cực thứ nhất; và điện cực tiếp xúc thứ hai tiếp xúc với đầu thứ hai, và nối điện đầu thứ hai với điện cực thứ hai. Mẫu cách điện có thể che hoàn toàn đầu thứ nhất và đầu thứ hai của điốt phát quang khi được quan sát từ phía trên của nền, và có mặt cắt ngang có chiều rộng giảm xuống ở vùng đầu dưới.

FIG. 5



Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập đến thiết bị phát quang, phương pháp chế tạo thiết bị phát quang, và thiết bị hiển thị bao gồm thiết bị phát quang này.

Tình trạng kỹ thuật của sáng chế

Gần đây, kỹ thuật chế tạo điốt phát quang tinh xảo bằng cách sử dụng vật liệu có cấu trúc tinh thể vô cơ an toàn và chế tạo thiết bị phát quang bằng cách sử dụng điốt phát quang này đã được phát triển. Ví dụ, thiết bị phát quang sử dụng điốt phát quang tinh xảo có kích thước nhỏ tương ứng với kích thước cỡ micro hoặc kích thước cỡ nano đã được phát triển. Thiết bị phát quang này có thể được sử dụng làm nguồn sáng trong các thiết bị điện tử khác nhau chẳng hạn như thiết bị hiển thị và thiết bị chiếu sáng.

Bản chất kỹ thuật của sáng chế**Vấn đề kỹ thuật**

Các phương án khác nhau của sáng chế đề xuất thiết bị phát quang bao gồm điốt phát quang, phương pháp chế tạo thiết bị phát quang, và thiết bị hiển thị bao gồm thiết bị phát quang này.

Giải pháp kỹ thuật

Theo một khía cạnh của sáng chế, thiết bị phát quang có thể bao gồm: nền; điện cực thứ nhất và điện cực thứ hai được bố trí trên nền và được đặt cách xa nhau; ít nhất một điốt phát quang được bố trí giữa điện cực thứ nhất và điện cực thứ hai và bao gồm đầu thứ nhất và đầu thứ hai ở các phía đối diện theo phương dọc; mẫu cách điện được bố trí sao cho che phần phía trên của điốt phát quang và để lộ đầu thứ nhất và đầu thứ hai của điốt phát quang; điện cực tiếp xúc thứ nhất tiếp xúc với đầu thứ nhất của điốt phát

quang, và nối điện đầu thứ nhất với điện cực thứ nhất này; và điện cực tiếp xúc thứ hai tiếp xúc với đầu thứ hai của điôt phát quang, và nối điện đầu thứ hai với điện cực thứ hai này. Mẫu cách điện có thể che hoàn toàn đầu thứ nhất và đầu thứ hai của điôt phát quang khi được quan sát từ phía trên của nền, và có mặt cắt ngang có hình dạng trong đó chiều rộng của nó được làm giảm ở vùng đầu dưới của nó.

Theo một phương án, điện cực tiếp xúc thứ nhất và điện cực tiếp xúc thứ hai có thể lần lượt tiếp xúc với các bề mặt bên đối diện nhau của điôt phát quang ở đầu thứ nhất và đầu thứ hai. Một đầu của mỗi trong số điện cực tiếp xúc thứ nhất và điện cực tiếp xúc thứ hai có thể tiếp xúc với vùng đầu dưới của mẫu cách điện mà không mở rộng tới bề mặt trên của điôt phát quang.

Theo một phương án, điện cực tiếp xúc thứ nhất và điện cực tiếp xúc thứ hai có thể được đặt cách xa nhau với điôt phát quang được bố trí xen giữa chúng, và được bố trí trên cùng một lớp hoặc ở cùng một chiều cao trên nền.

Theo một phương án, mẫu cách điện có thể bao gồm: bề mặt bên thứ nhất được bố trí trên đầu thứ nhất của điôt phát quang, và bao gồm bề mặt nghiêng hoặc bề mặt cong; và bề mặt bên thứ hai được bố trí trên đầu thứ hai của điôt phát quang, và bao gồm bề mặt nghiêng hoặc bề mặt cong.

Theo một phương án, đầu trên của bề mặt bên thứ nhất có thể được định vị ở vị trí cách xa khỏi đầu thứ nhất theo hướng về phía điện cực thứ nhất ở một khoảng cách bằng hoặc lớn hơn chiều dày của điện cực tiếp xúc thứ nhất và điện cực tiếp xúc thứ hai, khi được quan sát từ phía trên của nền. Đầu trên của bề mặt bên thứ hai có thể được định vị ở vị trí cách xa khỏi đầu thứ hai theo hướng về phía điện cực thứ hai ở một khoảng cách bằng hoặc lớn hơn chiều dày của điện cực tiếp xúc thứ nhất và điện cực tiếp xúc thứ hai, khi được quan sát từ phía trên của nền.

Theo một phương án, mẫu cách điện có thể có chiều dày bằng hoặc lớn hơn chiều dày của mỗi trong số điện cực tiếp xúc thứ nhất và điện cực tiếp xúc thứ hai.

Theo một phương án, thiết bị phát quang có thể còn bao gồm: ít nhất một lớp cách điện thứ nhất được bố trí giữa điện cực thứ nhất và vùng điện cực tiếp xúc thứ nhất; và ít nhất một lớp cách điện thứ hai được bố trí giữa điện cực thứ hai và vùng điện cực tiếp xúc thứ hai.

Theo một phương án, mẫu cách điện có thể có chiều dày nhỏ hơn so với chiều dày của mỗi trong số lớp cách điện thứ nhất và lớp cách điện thứ hai.

Theo một phương án, bề mặt trên của mẫu cách điện có thể có chiều rộng lớn hơn chiều dài của điôt phát quang.

Theo một phương án, thiết bị phát quang có thể còn bao gồm mẫu dẫn điện được bố trí trên mẫu cách điện và được bố trí để chồng lên điôt phát quang, và được tách ra khỏi điôt phát quang và điện cực tiếp xúc thứ nhất và điện cực tiếp xúc thứ hai bởi mẫu cách điện.

Theo một phương án, mẫu dẫn điện có thể được tạo ra từ vật liệu giống hệt với vật liệu của điện cực tiếp xúc thứ nhất và điện cực tiếp xúc thứ hai và được cách điện.

Theo một phương án, thiết bị phát quang có thể còn bao gồm lớp cách điện thứ ba được bố trí giữa nền và điôt phát quang.

Theo một phương án, điôt phát quang có thể được bố trí theo phương ngang trên một bề mặt của nền, và được định hướng theo hướng bên giữa điện cực thứ nhất và điện cực thứ hai.

Theo một phương án, điôt phát quang có thể bao gồm điôt phát quang dạng cần có đường kính hoặc chiều dài nằm trong khoảng từ kích thước cỡ nano đến kích thước cỡ micro.

Theo một khía cạnh của sáng chế, phương pháp chế tạo thiết bị phát quang có thể bao gồm các bước: tạo thành điện cực thứ nhất và điện cực thứ hai được đặt cách xa nhau trên nền; tạo thành lớp vật liệu cách điện thứ nhất trên nền mà điện cực thứ nhất và điện

cực thứ hai được tạo thành trên đó; bố trí ít nhất một điôt phát quang trên nền mà lớp vật liệu cách điện thứ nhất được tạo ra trên đó, và căn chỉnh điôt phát quang giữa điện cực thứ nhất và điện cực thứ hai sao cho đầu thứ nhất và đầu thứ hai của điôt phát quang lần lượt liền kề với điện cực thứ nhất và điện cực thứ hai; tạo thành lớp vật liệu cách điện thứ hai trên nền mà điôt phát quang được căn chỉnh trên đó; tạo thành mặt nạ trên nền mà trên đó lớp vật liệu cách điện thứ hai được tạo thành, và khắc các lớp vật liệu cách điện thứ nhất và thứ hai sao cho ít nhất một vùng của các điện cực thứ nhất và điện cực thứ hai và đầu thứ nhất và đầu thứ hai được lộ ra; và tạo thành điện cực tiếp xúc thứ nhất và điện cực tiếp xúc thứ hai được cấu tạo để lần lượt nối đầu thứ nhất và đầu thứ hai với điện cực thứ nhất và điện cực thứ hai. Bước khắc các lớp vật liệu cách điện thứ nhất và thứ hai có thể bao gồm bước khắc trùm lớp vật liệu cách điện thứ hai trên các bên đối diện của điôt phát quang mà trên đó đầu thứ nhất và đầu thứ hai được bố trí, và tạo thành mẫu cách điện che hoàn toàn đầu thứ nhất và đầu thứ hai ở phía trên đỉnh của điôt phát quang và có chiều rộng được giảm xuống ở vùng đầu dưới của nó liền kề với điôt phát quang.

Theo một phương án, bước tạo thành mặt nạ có thể bao gồm bước: tạo thành lớp cản quang trên nền mà trên đó lớp vật liệu cách điện thứ hai được tạo thành; và tạo thành các khoảng trống thứ nhất và thứ hai ở lớp cản quang sao cho lớp vật liệu cách điện thứ hai trên các điện cực thứ nhất và điện cực thứ hai được lộ ra một phần ở các vị trí lần lượt cách xa khỏi đầu thứ nhất và đầu thứ hai một khoảng cách định trước.

Theo một phương án, trong quá trình tạo thành điện cực tiếp xúc thứ nhất và điện cực tiếp xúc thứ hai, mẫu dẫn điện được tách ra khỏi điôt phát quang và điện cực tiếp xúc thứ nhất và điện cực tiếp xúc thứ hai còn có thể được tạo thành tiếp trên mẫu cách điện.

Theo một phương án, điện cực thứ nhất và điện cực thứ hai có thể được tạo thành đồng thời trên cùng một lớp trên nền.

Theo một phương án, điện cực tiếp xúc thứ nhất và điện cực tiếp xúc thứ hai có thể được tạo thành đồng thời trên cùng một lớp trên nền.

Theo một khía cạnh của sáng chế, thiết bị hiển thị có thể bao gồm: nền bao gồm vùng hiển thị; và điểm ảnh được bố trí ở vùng hiển thị. Điểm ảnh có thể bao gồm: điện cực thứ nhất và điện cực thứ hai được bố trí trên một vùng của nền và được đặt cách xa nhau; ít nhất một điôt phát quang được bố trí giữa điện cực thứ nhất và điện cực thứ hai và bao gồm đầu thứ nhất và đầu thứ hai ở các bên đối diện theo phương dọc; mẫu cách điện được bố trí sao cho che phần phía trên của điôt phát quang, và làm lộ đầu thứ nhất và đầu thứ hai của điôt phát quang; điện cực tiếp xúc thứ nhất tiếp xúc với đầu thứ nhất của điôt phát quang, và nối đầu thứ nhất với điện cực thứ nhất; và điện cực tiếp xúc thứ hai tiếp xúc với đầu thứ hai của điôt phát quang, và nối đầu thứ hai với điện cực thứ hai. Mẫu cách điện có thể che hoàn toàn đầu thứ nhất và đầu thứ hai của điôt phát quang khi được quan sát từ phía trên của nền, và có mặt cắt ngang có hình dạng trong đó chiều rộng của nó được làm giảm ở vùng đầu dưới của nó.

Hiệu quả của sáng chế

Ở thiết bị phát quang, phương pháp chế tạo thiết bị phát quang, và thiết bị hiển thị bao gồm thiết bị phát quang theo các phương án của sáng chế, điôt phát quang có thể được nối một cách chắc chắn giữa điện cực thứ nhất và điện cực thứ hai, và quy trình chế tạo cũng có thể được đơn giản hóa.

Mô tả vắn tắt các hình vẽ

Fig.1A và Fig.1B lần lượt là sơ đồ phối cảnh và hình vẽ mặt cắt minh họa điôt phát quang theo một phương án của sáng chế.

Fig.2A và Fig.2B lần lượt là sơ đồ phối cảnh và hình vẽ mặt cắt minh họa điôt phát quang theo một phương án của sáng chế.

Fig.3A và Fig.3B lần lượt là sơ đồ phối cảnh và hình vẽ mặt cắt minh họa điôt phát quang theo một phương án của sáng chế.

Fig.4 là hình chiếu bằng minh họa thiết bị phát quang theo một phương án của

sáng chế.

Fig.5 và Fig.6 là các hình vẽ mặt cắt được cắt dọc theo đường I-I' trên Fig.4 để minh họa cấu trúc của thiết bị phát quang.

Fig.7 là hình vẽ phóng to của vùng EA trên Fig.5.

Fig.8 là hình vẽ mặt cắt tương ứng với vùng EA trên Fig.5, và minh họa phương án khác liên quan đến hình dạng của mẫu cách điện.

Fig.9 là hình chiếu bằng minh họa dạng sơ đồ mối quan hệ sắp xếp qua lại giữa diôt phát quang và mẫu cách điện, theo một phương án của sáng chế.

Các hình vẽ từ Fig.10A đến Fig.10I là các hình vẽ mặt cắt lần lượt minh họa phương pháp chế tạo thiết bị phát quang được minh họa trên Fig.5.

Fig.11 là hình chiếu bằng minh họa thiết bị hiển thị theo một phương án của sáng chế.

Các hình vẽ từ Fig.12 đến Fig.14 là các sơ đồ mạch minh họa các phương án khác nhau của điểm ảnh trên Fig.11.

Fig.15 là hình chiếu bằng minh họa điểm ảnh trên Fig.11 và, cụ thể là, minh họa phương án của cách bố trí đơn vị phát quang của mỗi điểm ảnh.

Fig.16 là hình vẽ mặt cắt được cắt dọc theo đường II-II' trên Fig.15.

Mô tả chi tiết sáng chế

Sau đây là mô tả chi tiết các phương án khác nhau của sáng chế, các ví dụ cụ thể về chúng được minh họa trên các hình vẽ kèm theo và được mô tả dưới đây, bởi vì các phương án của sáng chế có thể được biến đổi khác nhau theo nhiều dạng khác nhau. Tuy nhiên, sáng chế không bị giới hạn ở các phương án được mô tả dưới đây và có thể được biến đổi thành các dạng khác nhau.

Một số phần tử không liên quan trực tiếp đến các đặc điểm của sáng chế trên các

hình vẽ có thể được lược bỏ để có thể giải thích sáng chế một cách rõ ràng. Ngoài ra, các kích thước, tỷ lệ, v.v., của một số phần tử trên hình vẽ có thể được hơi phóng đại. Cần lưu ý rằng các số chỉ dẫn giống nhau được sử dụng để chỉ các phần tử giống hoặc tương tự nhau trong toàn bộ các hình vẽ, và phần giải thích lặp lại sẽ bị lược bỏ.

Cần phải hiểu rằng, mặc dù các thuật ngữ “thứ nhất”, “thứ hai”, v.v. có thể được sử dụng ở đây để mô tả các phần tử khác nhau, nhưng các phần tử này không bị giới hạn bởi các thuật ngữ này. Cũng cần phải hiểu rằng, các thuật ngữ “chứa”, “bao gồm”, “có”, v.v. khi được sử dụng trong bản mô tả này, nêu cụ thể sự có mặt của các đặc điểm, số nguyên, bước, thao tác, phần tử, thành phần được nêu, và/hoặc sự kết hợp của chúng nhưng không loại trừ sự có mặt hoặc bổ sung thêm của một hoặc nhiều đặc điểm, số nguyên, bước, thao tác, phần tử, thành phần khác, và/hoặc các sự kết hợp của chúng. Ngoài ra, khi phần thứ nhất như lớp, màng, khu vực, hoặc tấm được bố trí trên phần thứ hai, thì phần thứ nhất này không những có thể trực tiếp nằm trên phần thứ hai mà phần thứ ba cũng có thể xen vào giữa chúng. Ngoài ra, thuật ngữ “vị trí”, “hướng”, v.v., được sử dụng trong phần mô tả dưới đây được xác định là các thuật ngữ tương đối, và cần lưu ý rằng chúng có thể được thay đổi sang vị trí hoặc hướng ngược lại tùy thuộc vào góc hoặc hướng quan sát.

Các phương án và nội dung chi tiết cần thiết của sáng chế được mô tả dựa trên các hình vẽ kèm theo để mô tả sáng chế một cách chi tiết để người có hiểu biết trung bình về lĩnh vực kỹ thuật liên quan có thể dễ dàng thực hiện sáng chế. Ngoài ra, dạng số ít có thể bao gồm cả dạng số nhiều miễn là nó không được đề cập cụ thể trong câu.

Fig.1A, Fig.1B, Fig.2A, Fig.2B, Fig.3A, và Fig.3B là các sơ đồ phối cảnh và hình vẽ mặt cắt minh họa điốt phát quang LD theo các phương án của sáng chế. Mặc dù Fig.1A đến Fig.3B minh họa điốt phát quang dạng căn hình trụ LD, nhưng loại và/hoặc hình dạng của điốt phát quang LD theo sáng chế không bị giới hạn ở đó.

Dựa vào Fig.1A và Fig.1B, điốt phát quang LD theo một phương án của sáng chế

có thể bao gồm lớp bán dẫn dẫn điện thứ nhất (hoặc lớp bán dẫn thứ nhất) 11, lớp bán dẫn dẫn điện thứ hai (hoặc lớp bán dẫn thứ hai) 13, và lớp hoạt động 12 được bố trí xen giữa lớp bán dẫn dẫn điện thứ nhất 11 và lớp bán dẫn dẫn điện thứ hai 13. Ví dụ, điốt phát quang LD có thể được cấu tạo dưới dạng thân xếp chồng được tạo thành bằng cách xếp chồng liên tiếp lớp bán dẫn dẫn điện thứ nhất 11, lớp hoạt động 12, và lớp bán dẫn dẫn điện thứ hai 13.

Theo một phương án, điốt phát quang LD có thể được bố trí dưới dạng cần kéo dài theo một hướng. Nếu hướng mà trong đó điốt phát quang LD kéo dài được xác định là phương dọc, thì điốt phát quang LD có thể có đầu thứ nhất và đầu thứ hai đối nhau theo phương dọc.

Theo một phương án, một trong số lớp bán dẫn dẫn điện thứ nhất 11 và lớp bán dẫn dẫn điện thứ hai 13 có thể được bố trí trên đầu thứ nhất của điốt phát quang LD, và lớp còn lại trong số lớp bán dẫn dẫn điện thứ nhất 11 và lớp bán dẫn dẫn điện thứ hai 13 có thể được bố trí trên đầu thứ hai của điốt phát quang LD.

Theo một phương án, điốt phát quang LD có thể được chế tạo dưới dạng cần. Trong bản mô tả này, thuật ngữ “dạng cần” bao gồm dạng giống cần và dạng giống thanh chẳng hạn như dạng hình trụ và dạng hình lăng trụ kéo dài theo phương dọc (tức là, để có tỷ lệ khung hình lớn hơn 1), và hình dạng cắt ngang của nó không giới hạn ở hình dạng cụ thể. Ví dụ, chiều dài L của điốt phát quang LD có thể lớn hơn đường kính D của nó (hoặc chiều rộng của tiết diện ngang của nó).

Theo một phương án, điốt phát quang LD có thể có kích thước nhỏ tương ứng với cỡ nano đến cỡ micro, ví dụ, đường kính D và/hoặc chiều dài L tương ứng với phạm vi cỡ micro hoặc nano. Tuy nhiên, theo sáng chế, kích cỡ của điốt phát quang LD không bị giới hạn ở đó. Ví dụ, kích cỡ của điốt phát quang LD có thể được thay đổi theo nhiều cách khác nhau tùy thuộc vào điều kiện thiết kế của các thiết bị khác nhau, ví dụ, thiết bị hiển thị, mà sử dụng, làm nguồn sáng, thiết bị phát quang sử dụng điốt phát quang LD.

Lớp bán dẫn dẫn điện thứ nhất 11 có thể bao gồm, ví dụ, ít nhất một lớp bán dẫn loại N. Ví dụ, lớp bán dẫn dẫn điện thứ nhất 11 có thể bao gồm lớp bán dẫn loại N mà bao gồm một vật liệu bán dẫn bất kỳ trong số InAlGa_N, Ga_N, AlGa_N, InGa_N, AlN, và InN, và được pha tạp tạp chất dẫn điện thứ nhất chẳng hạn như Si, Ge, hoặc Sn. Tuy nhiên, vật liệu tạo thành lớp bán dẫn dẫn điện thứ nhất 11 không bị giới hạn ở đó, và lớp bán dẫn dẫn điện thứ nhất 11 có thể được tạo thành từ các vật liệu khác nhau khác.

Lớp hoạt động 12 có thể được bố trí trên lớp bán dẫn dẫn điện thứ nhất 11 và có cấu trúc đơn hoặc đa giếng lượng tử. Theo một phương án, lớp bọc (không được thể hiện trên hình vẽ) được pha tạp tạp chất dẫn điện có thể được tạo ra ở trên và/hoặc dưới lớp hoạt động 12. Ví dụ, lớp bọc này có thể được làm từ lớp AlGa_N hoặc lớp InAlGa_N. Theo một phương án, vật liệu chẳng hạn như AlGa_N hoặc AlInGa_N có thể được sử dụng để tạo thành lớp hoạt động 12, và các vật liệu đa dạng khác có thể được sử dụng để tạo thành lớp hoạt động 12.

Nếu một hoặc nhiều điện trường của điện áp định trước được đưa vào các đầu đối diện của điốt phát quang LD, thì điốt phát quang LD phát ra ánh sáng bằng cách ghép các cặp điện tử-lỗ trống trong lớp hoạt động 12. Do việc phát sáng của điốt phát quang LD có thể được kiểm soát dựa trên nguyên tắc trên, nên điốt phát quang LD có thể được sử dụng làm nguồn sáng của các thiết bị phát quang khác nhau cũng như điểm ảnh.

Lớp bán dẫn dẫn điện thứ hai 13 có thể được bố trí trên lớp hoạt động 12 và bao gồm lớp bán dẫn thuộc loại khác với loại lớp bán dẫn dẫn điện thứ nhất 11. Ví dụ, lớp bán dẫn dẫn điện thứ hai 13 có thể bao gồm ít nhất một lớp bán dẫn loại P. Ví dụ, lớp bán dẫn dẫn điện thứ hai 13 có thể bao gồm lớp bán dẫn loại P mà bao gồm một vật liệu bán dẫn bất kỳ trong số InAlGa_N, Ga_N, AlGa_N, InGa_N, AlN, và InN, và được pha tạp tạp chất dẫn điện thứ hai chẳng hạn như Mg. Tuy nhiên, vật liệu tạo thành lớp bán dẫn dẫn điện thứ hai 13 không bị giới hạn ở đó, và lớp bán dẫn dẫn điện thứ hai 13 có thể được tạo thành từ các vật liệu khác nhau khác.

Theo một phương án, màng cách điện INF có thể được tạo ra trên bề mặt chu vi ngoài của điôt phát quang LD (ví dụ, bề mặt bên ngoài của hình trụ). Ví dụ, màng cách điện INF có thể được tạo thành trên bề mặt của điôt phát quang LD để bao bề mặt chu vi bên ngoài của ít nhất lớp hoạt động 12. Ngoài ra, màng cách điện INF còn có thể bao ít nhất một phần của mỗi trong số lớp bán dẫn dẫn điện thứ nhất 11 và lớp bán dẫn dẫn điện thứ hai 13. Ở đây, màng cách điện INF có thể cho phép các đầu đối diện của điôt phát quang LD mà có các tính chất phân cực khác nhau được lộ ra bên ngoài. Ví dụ, màng cách điện INF có thể lộ một đầu của mỗi trong số lớp bán dẫn dẫn điện thứ nhất 11 và lớp bán dẫn dẫn điện thứ hai 13 mà được bố trí trên các đầu đối diện tương ứng của điôt phát quang LD theo phương dọc, ví dụ, có thể lộ mỗi trong số bề mặt đỉnh và đáy của hình trụ thay vì che kín nó.

Theo một phương án, màng cách điện INF có thể bao gồm ít nhất một vật liệu cách điện trong số SiO_2 , Si_3N_4 , Al_2O_3 , và TiO_2 , nhưng không bị giới hạn ở đó. Nói cách khác, vật liệu tạo thành màng cách điện INF không bị giới hạn ở vật liệu cụ thể, và màng cách điện INF có thể được tạo thành từ các vật liệu cách điện đã biết khác nhau.

Theo một phương án, điôt phát quang LD có thể còn bao gồm các bộ phận bổ sung khác ngoài lớp bán dẫn dẫn điện thứ nhất 11, lớp hoạt động 12, và lớp bán dẫn dẫn điện thứ hai 13. Ví dụ, điôt phát quang LD có thể còn bao gồm ít nhất một lớp huỳnh quang, ít nhất một lớp hoạt động, ít nhất một lớp bán dẫn và/hoặc ít nhất một lớp điện cực được bố trí trên một đầu của lớp bán dẫn dẫn điện thứ nhất 11, lớp hoạt động 12, và/hoặc lớp bán dẫn dẫn điện thứ hai 13.

Ví dụ, như được minh họa trên Fig.2A và Fig.2B, điôt phát quang LD có thể còn bao gồm ít nhất một lớp điện cực 14 được bố trí trên một đầu của lớp bán dẫn dẫn điện thứ hai 13. Theo một phương án, như được minh họa trên Fig.3A và Fig.3B, điôt phát quang LD có thể còn bao gồm ít nhất một lớp điện cực 15 được bố trí trên một đầu của lớp bán dẫn dẫn điện thứ nhất 11.

Mỗi trong số các lớp điện cực 14 và 15 có thể là điện cực tiếp xúc thuận trở, nhưng không bị giới hạn ở đó. Ngoài ra, mỗi trong số lớp điện cực 14 và lớp điện cực 15 có thể bao gồm kim loại hoặc oxit kim loại. Ví dụ, Cr, Ti, Al, Au, Ni, ITO, IZO, ITZO, và oxit hoặc hợp kim của chúng có thể được sử dụng một mình hoặc ở dạng kết hợp với nhau. Theo một phương án, các lớp điện cực 14 và 15 về cơ bản có thể trong suốt hoặc mờ. Nhờ đó, ánh sáng được tạo ra từ điốt phát quang LD có thể được phát ra khỏi điốt phát quang LD sau khi đi qua các lớp điện cực 14 và 15.

Theo một phương án, màng cách điện INF có thể bao các bề mặt ngoài của các lớp điện cực 14 và 15, hoặc có thể không bao quanh chúng. Nói cách khác, màng cách điện INF có thể được tạo thành một cách có chọn lọc trên các bề mặt của các lớp điện cực 14 và 15. Ngoài ra, màng cách điện INF có thể được tạo thành để cho phép các đầu đối diện của điốt phát quang LD có các tính chất phân cực khác nhau được lộ ra, ví dụ, cho phép ít nhất vùng của mỗi trong số các lớp điện cực 14 và 15 được lộ ra. Theo cách khác, theo một phương án, màng cách điện INF có thể không được bố trí.

Nếu màng cách điện INF được bố trí trên bề mặt của điốt phát quang LD, cụ thể, trên bề mặt của lớp hoạt động 12, thì lớp hoạt động 12 có thể được bảo vệ không bị đoản mạch bởi ít nhất một điện cực (không được thể hiện trên hình vẽ), ví dụ, ít nhất một điện cực trong số các điện cực được nối vào các đầu đối diện của điốt phát quang LD, v.v.. Nhờ đó, độ ổn định điện của điốt phát quang LD có thể được đảm bảo.

Ngoài ra, nhờ màng cách điện INF được tạo thành trên bề mặt của điốt phát quang LD, nên việc xuất hiện lỗi trên bề mặt của điốt phát quang LD có thể được giảm thiểu, nhờ đó tuổi thọ và công suất của điốt phát quang LD có thể được tăng cường. Ngoài ra, nếu màng cách điện INF được tạo thành ở mỗi điốt phát quang LD, thì ngay cả khi nhiều điốt phát quang LD được bố trí liền kề nhau, có thể ngăn các điốt phát quang LD bị đoản mạch không mong muốn.

Theo một phương án của sáng chế, quy trình xử lý bề mặt bổ sung có thể được

thực hiện để chế tạo điôt phát quang LD. Ví dụ, điôt phát quang LD có thể được xử lý bề mặt (ví dụ, thông qua quy trình phủ) sao cho, khi nhiều điôt phát quang LD được trộn lẫn với dung dịch lỏng và sau đó cung cấp cho mỗi vùng phát quang đơn vị (ví dụ, mỗi vùng điểm ảnh), thì các điôt phát quang LD này có thể được phân bố đồng đều hơn là kết cụm không đồng đều trong dung dịch.

Thiết bị phát quang bao gồm điôt phát quang LD được mô tả ở trên có thể được sử dụng làm nguồn sáng ở các thiết bị khác nhau bao gồm thiết bị hiển thị. Ví dụ, ít nhất một điôt phát quang LD có thể được bố trí ở mỗi vùng điểm ảnh của panen hiển thị phát quang, nhờ đó tạo thành đơn vị phát quang của mỗi điểm ảnh. Ngoài ra, lĩnh vực ứng dụng của điôt phát quang LD theo sáng chế không bị giới hạn ở thiết bị hiển thị. Ví dụ, điôt phát quang LD còn có thể được sử dụng trong các thiết bị khác nhau chẳng hạn như thiết bị chiếu sáng, mà cần có nguồn sáng.

Fig.4 là hình chiếu bằng minh họa thiết bị phát quang theo một phương án của sáng chế. Theo một phương án, Fig.4 minh họa thiết bị phát quang bao gồm đường điện thứ nhất PL1 và đường điện thứ hai PL2 hoặc được nối trực tiếp vào đường điện thứ nhất PL1 và đường điện thứ hai PL2. Tuy nhiên, thiết bị phát quang theo sáng chế không bị giới hạn ở phương án được minh họa trên Fig.4. Ví dụ, theo một phương án của sáng chế, thiết bị phát quang có thể được nối với đường điện thứ nhất PL1 và/hoặc đường điện thứ hai PL2 qua ít nhất một phần tử mạch (ví dụ, mạch điểm ảnh), đường kết nối trung gian, hoặc phần tử tương tự.

Dựa vào Fig.4, thiết bị phát quang theo một phương án của sáng chế có thể bao gồm điện cực thứ nhất ELT1, điện cực thứ hai ELT2, nhiều điôt phát quang LD được bố trí giữa điện cực thứ nhất ELT1 và điện cực thứ hai ELT2, và điện cực tiếp xúc thứ nhất CNE1 và điện cực tiếp xúc thứ hai CNE2 nối điện các điôt phát quang LD với điện cực thứ nhất ELT1 và điện cực thứ hai ELT2. Tuy nhiên, thiết bị phát quang theo sáng chế không bị giới hạn ở phương án được minh họa trên Fig.4. Ví dụ, mỗi thiết bị phát quang

có thể chỉ bao gồm một điôt phát quang LD.

Thiết bị phát quang có thể còn bao gồm điện cực nối thứ nhất CNL1 mà nối điện cực thứ nhất ELT1 với đường điện thứ nhất PL1, và điện cực nối thứ hai CNL2 mà nối điện cực thứ hai ELT2 với đường điện thứ hai PL2. Theo một phương án, điện cực nối thứ nhất CNL1 và điện cực nối thứ hai CNL2 có thể được nối lần lượt và liền khối với điện cực thứ nhất ELT1 và điện cực thứ hai ELT2, hoặc được nối điện với điện cực thứ nhất ELT1 và điện cực thứ hai ELT2 qua ít nhất một lỗ tiếp xúc hoặc tương tự. Trong trường hợp khi điện cực nối thứ nhất CNL1 và điện cực nối thứ hai CNL2 được nối lần lượt và liền khối với điện cực thứ nhất ELT1 và điện cực thứ hai ELT2, thì mỗi trong số điện cực nối thứ nhất CNL1 và điện cực nối thứ hai CNL2 có thể được coi là một vùng của điện cực tương ứng của điện cực thứ nhất ELT1 và điện cực thứ hai ELT2.

Điện cực thứ nhất ELT1 và điện cực thứ hai ELT2 có thể được đặt cách xa nhau và được bố trí sao cho ít nhất các phần của chúng hướng đối diện nhau. Ví dụ, điện cực thứ nhất ELT1 và điện cực thứ hai ELT2 có thể được bố trí song song với nhau trên nền, mà là bộ phận đế của thiết bị phát quang, ở cùng lớp và/hoặc tại cùng độ cao ở các vị trí được bố trí cách nhau một khoảng cách định trước. Tuy nhiên, sáng chế không bị giới hạn ở đó. Ví dụ, hình dạng và/hoặc quan hệ sắp xếp qua lại của điện cực thứ nhất ELT1 và điện cực thứ hai ELT2 có thể được thay đổi theo nhiều cách khác nhau.

Theo một phương án, điện cực thứ nhất ELT1 có thể được nối với đường điện thứ nhất PL1 qua điện cực nối thứ nhất CNL1. Theo một phương án, điện cực thứ nhất ELT1 và điện cực nối thứ nhất CNL1 có thể mở rộng theo các hướng khác nhau. Ví dụ, khi điện cực nối thứ nhất CNL1 mở rộng theo hướng thứ nhất DR1 (ví dụ, theo hướng bên), thì điện cực thứ nhất ELT1 có thể mở rộng theo hướng thứ hai DR2 (ví dụ, theo phương dọc) giao cắt với hướng thứ nhất DR1.

Theo một phương án, điện cực thứ nhất ELT1 có thể được nối liền khối với điện cực nối thứ nhất CNL1. Ví dụ, điện cực thứ nhất ELT1 có thể được tạo thành để phân

tách theo một chiều từ điện cực nối thứ nhất CNL1. Tuy nhiên, sáng chế không bị giới hạn ở đó. Ví dụ, theo một phương án, điện cực thứ nhất ELT1 và điện cực nối thứ nhất CNL1 có thể được tạo thành riêng lẻ và được nối điện với nhau qua ít nhất một lỗ tiếp xúc, qua lỗ, hoặc tương tự.

Theo một phương án, điện cực thứ nhất ELT1 và/hoặc điện cực nối thứ nhất CNL1 có thể được nối liền khối với đường điện thứ nhất PL1. Theo một phương án, điện cực thứ nhất ELT1 và/hoặc điện cực nối thứ nhất CNL1 có thể được tạo thành riêng lẻ với đường điện thứ nhất PL1 và được nối điện với đường điện thứ nhất PL1 qua ít nhất một lỗ tiếp xúc và/hoặc ít nhất một phần tử mạch. Do đó, nguồn điện thứ nhất được cung cấp cho đường điện thứ nhất PL1 có thể được truyền tới điện cực thứ nhất ELT1.

Theo một phương án, điện cực thứ hai ELT2 có thể được nối với đường điện thứ hai PL2 qua điện cực nối thứ hai CNL2. Theo một phương án, điện cực thứ hai ELT2 và điện cực nối thứ hai CNL2 có thể mở rộng theo các hướng khác nhau. Ví dụ, khi điện cực nối thứ hai CNL2 mở rộng theo hướng thứ nhất DR1, thì điện cực thứ hai ELT2 có thể mở rộng theo hướng thứ hai DR2 giao cắt với hướng thứ nhất DR1.

Theo một phương án, điện cực thứ hai ELT2 có thể được nối liền khối với điện cực nối thứ hai CNL2. Ví dụ, điện cực thứ hai ELT2 có thể được tạo thành để phân tách theo một chiều từ điện cực nối thứ hai CNL2. Tuy nhiên, sáng chế không bị giới hạn ở đó. Ví dụ, theo một phương án, điện cực thứ hai ELT2 và điện cực nối thứ hai CNL2 có thể được tạo thành riêng lẻ và được nối điện với nhau qua ít nhất một lỗ tiếp xúc, qua lỗ, hoặc tương tự.

Theo một phương án, điện cực thứ hai ELT2 và/hoặc điện cực nối thứ hai CNL2 có thể được nối liền khối với đường điện thứ hai PL2. Theo một phương án, điện cực thứ hai ELT2 và/hoặc điện cực nối thứ hai CNL2 có thể được tạo thành riêng lẻ với đường điện thứ hai PL2 và được nối điện với đường điện thứ hai PL2 qua ít nhất một lỗ tiếp xúc và/hoặc ít nhất một phần tử mạch. Do đó, nguồn điện thứ hai được cung cấp cho đường

điện thứ hai PL2 có thể được truyền tới điện cực thứ hai ELT2.

Theo một phương án, nguồn điện thứ nhất và nguồn điện thứ hai có thể có điện thế khác nhau. Ví dụ, sự chênh lệch điện thế giữa nguồn điện thứ nhất và nguồn điện thứ hai có thể bằng hoặc lớn hơn điện áp ngưỡng của các điôt phát quang LD. Theo một phương án, nguồn điện thứ nhất và nguồn điện thứ hai có thể có điện thế cho phép ít nhất một điôt phát quang LD được nối theo hướng thuận (forward direction) giữa điện cực thứ nhất ELT1 và điện cực thứ hai ELT2. Nói cách khác, điện áp giữa nguồn điện thứ nhất và nguồn điện thứ hai có thể có giá trị cho phép ít nhất một điôt phát quang LD được bao gồm trong thiết bị phát quang phát ra ánh sáng.

Theo một phương án, các điôt phát quang LD có thể được nối song song với nhau giữa điện cực thứ nhất ELT1 và điện cực thứ hai ELT2. Ví dụ, các điôt phát quang LD có thể được sắp xếp theo hướng thứ nhất DR1, ví dụ, theo hướng bên, giữa điện cực thứ nhất ELT1 và điện cực thứ hai ELT2 ở vùng mà tại đó điện cực thứ nhất ELT1 và điện cực thứ hai ELT2 được bố trí hướng đối diện nhau.

Theo một phương án, các đầu thứ nhất của các điôt phát quang LD có thể được nối điện với điện cực thứ nhất ELT1 thông qua điện cực tiếp xúc thứ nhất CNE1. Các đầu thứ hai của các điôt phát quang LD có thể được nối điện với điện cực thứ hai ELT2 thông qua điện cực tiếp xúc thứ hai CNE2. Tuy nhiên, sáng chế không bị giới hạn ở đó. Ví dụ, theo một phương án của sáng chế, ít nhất một trong số các đầu đối diện của các điôt phát quang LD có thể được cho tiếp xúc trực tiếp với điện cực thứ nhất ELT1 hoặc điện cực thứ hai ELT2 và nhờ vậy được nối điện với điện cực thứ nhất ELT1 hoặc điện cực thứ hai ELT2.

Mặc dù Fig.4 minh họa rằng các điôt phát quang LD được định hướng đồng nhất theo một hướng bất kỳ, ví dụ, theo hướng thứ nhất DR1, nhưng sáng chế không bị giới hạn ở đó. Ví dụ, ít nhất một trong số các điôt phát quang LD có thể được định hướng theo hướng đường chéo giữa điện cực thứ nhất ELT1 và điện cực thứ hai ELT2.

Theo một phương án, mỗi trong số các điôt phát quang LD có thể được tạo thành từ điôt phát quang mà được làm từ vật liệu có cấu trúc tinh thể vô cơ và có kích thước tinh tương ứng với cỡ nano hoặc cỡ micro. Ví dụ, mỗi điôt phát quang LD có thể là điôt phát quang dạng cần tinh xảo mà có đường kính D và/hoặc chiều dài L nằm trong khoảng từ kích thước cỡ nano đến kích thước cỡ micro, như được minh họa trên các hình vẽ từ Fig.1A đến Fig.3B.

Theo một phương án, các điôt phát quang LD có thể được chuẩn bị ở dạng khuếch tán trong dung dịch định trước, và sau đó được cung cấp cho vùng phát quang định trước được xác định ở thiết bị phát quang bằng sơ đồ in phun hoặc tương tự. Ví dụ, các điôt phát quang LD có thể được trộn với dung môi dễ bay hơi và được cung cấp cho từng khu vực phát quang. Ở đây, nếu nguồn điện thứ nhất và nguồn điện thứ hai lần lượt được cấp cho điện cực thứ nhất ELT1 và điện cực thứ hai ELT2 thông qua đường điện thứ nhất PL1 và đường điện thứ hai PL2, thì điện trường sẽ được tạo thành giữa điện cực thứ nhất ELT1 và điện cực thứ hai ELT2, nhờ đó các điôt phát quang LD được tự căn chỉnh giữa điện cực thứ nhất ELT1 và điện cực thứ hai ELT2. Sau khi các điôt phát quang LD được căn chỉnh, dung môi có thể được loại bỏ bằng sơ đồ làm bay hơi hoặc sơ đồ khác. Theo cách này, các điôt phát quang LD có thể được sắp xếp một cách chắc chắn giữa điện cực thứ nhất ELT1 và điện cực thứ hai ELT2. Ngoài ra, do điện cực tiếp xúc thứ nhất CNE1 và điện cực tiếp xúc thứ hai CNE2 lần lượt được tạo thành trên các đầu đối diện của các điôt phát quang LD, nên các điôt phát quang LD có thể được nối một cách chắc chắn hơn giữa điện cực thứ nhất ELT1 và điện cực thứ hai ELT2.

Theo một phương án, điện cực tiếp xúc thứ nhất CNE1 có thể được tạo thành để che cả hai đầu thứ nhất của các điôt phát quang LD và ít nhất một vùng của điện cực thứ nhất ELT1, nhờ đó các đầu thứ nhất của các điôt phát quang LD có thể được nối vật lý và/hoặc nối điện với điện cực thứ nhất ELT1. Tương tự, điện cực tiếp xúc thứ hai CNE2 có thể được tạo thành để che cả hai đầu thứ hai của các điôt phát quang LD và ít nhất một

vùng của điện cực thứ hai ELT2, nhờ đó các đầu thứ hai của các điôt phát quang LD có thể được nối vật lý và/hoặc nối điện với điện cực thứ hai ELT2.

Khi nguồn điện thứ nhất được cấp cho các đầu thứ nhất của các điôt phát quang LD qua đường điện thứ nhất PL1 và điện cực thứ nhất ELT1 và nguồn điện thứ hai được cấp cho các đầu thứ hai của các điôt phát quang LD qua đường điện thứ hai PL2 và điện cực thứ hai ELT2, thì ít nhất một điôt quang LD mà được nối theo hướng thuận giữa điện cực thứ nhất ELT1 và điện cực thứ hai ELT2 có thể phát ra ánh sáng. Nhờ đó, thiết bị phát quang có thể phát ra ánh sáng.

Fig.5 và Fig.6 là hình vẽ mặt cắt được cắt dọc theo đường I-I' trên Fig.4 để minh họa cấu trúc của thiết bị phát quang. Chi tiết hơn, Fig.5 và Fig.6 lần lượt minh họa các ví dụ về tiết diện ngang được cắt dọc theo đường I-I' trên Fig.4, và minh họa các phương án khác nhau liên quan đến hình dạng của vách phân vùng thứ nhất (vách thứ nhất hoặc gờ thứ nhất) PW1 và vách phân vùng thứ hai (vách thứ hai hoặc gờ thứ hai) PW2.

Dựa vào Fig.5 và Fig.6 cùng với Fig.4, thiết bị phát quang theo một phương án của sáng chế có thể bao gồm nền SUB, điện cực thứ nhất ELT1 và điện cực thứ hai ELT2 mà được bố trí trên nền SUB, ít nhất một điôt phát quang LD được nối giữa điện cực thứ nhất ELT1 và điện cực thứ hai ELT2, và điện cực tiếp xúc thứ nhất CNE1 và điện cực tiếp xúc thứ hai CNE2 mà lần lượt nối các đầu đối diện của điôt phát quang LD với điện cực thứ nhất ELT1 và điện cực thứ hai ELT2. Ngoài ra, thiết bị phát quang có thể còn bao gồm ít nhất một vách phân vùng thứ nhất PW1 được bố trí giữa nền SUB và một vùng của điện cực thứ nhất ELT1, vách phân vùng thứ hai PW2 được bố trí giữa nền SUB và một vùng của điện cực thứ hai ELT2, ít nhất một lớp cách điện thứ nhất INS1 được bố trí giữa điện cực thứ nhất ELT1 và một vùng của điện cực tiếp xúc thứ nhất CNE1, ít nhất một lớp cách điện thứ hai INS2 được bố trí giữa điện cực thứ hai ELT2 và một vùng của điện cực tiếp xúc thứ hai CNE2, lớp cách điện thứ ba INS3 được bố trí giữa nền SUB và điôt phát quang LD, mẫu cách điện INP được bố trí trên điôt phát quang LD, và mẫu dẫn

điện CNP được bố trí trên mẫu cách điện INP.

Theo một phương án, nền SUB có thể tạo thành bộ phận đế của thiết bị phát quang và là nền cứng hoặc nền mềm dẻo. Ví dụ, nền SUB có thể là nền cứng làm bằng thủy tinh hoặc thủy tinh gia cường, hoặc nền mềm dẻo được tạo thành từ màng mỏng làm bằng nhựa hoặc kim loại. Ngoài ra, nền SUB có thể là nền trong suốt, nhưng không bị giới hạn ở đó. Ví dụ, nền SUB có thể là nền mờ, nền mờ đục, hoặc nền phản xạ. Nói cách khác, vật liệu hoặc tính chất của nền SUB không bị giới hạn cụ thể.

Vách phân vùng thứ nhất PW1 và vách phân vùng thứ hai PW2 có thể được bố trí trên nền SUB. Theo một phương án, ít nhất một lớp đệm hoặc lớp tương tự (không được minh họa) có thể cũng được bố trí và/hoặc tạo thành trên nền SUB. Trong trường hợp này, vách phân vùng thứ nhất PW1 và vách phân vùng thứ hai PW2 có thể được bố trí trên lớp đệm.

Vách phân vùng thứ nhất PW1 và vách phân vùng thứ hai PW2 có thể được bố trí trên một bề mặt của nền SUB ở các vị trí được đặt cách xa nhau. Ví dụ, vách phân vùng thứ nhất PW1 và vách phân vùng thứ hai PW2 có thể được bố trí trên cùng một lớp trên nền SUB ở các vị trí được bố trí cách nhau một khoảng cách định trước. Theo một phương án, vách phân vùng thứ nhất PW1 và vách phân vùng thứ hai PW2 về cơ bản có thể có cùng cấu trúc, hình dạng và/hoặc chiều cao, nhưng sáng chế không bị giới hạn ở đó.

Theo một phương án, mỗi trong số vách phân vùng thứ nhất PW1 và vách phân vùng thứ hai PW2 có thể bao gồm vật liệu cách điện có chứa vật liệu vô cơ và/hoặc vật liệu hữu cơ. Ngoài ra, mỗi trong số vách phân vùng thứ nhất PW1 và vách phân vùng thứ hai PW2 có thể có cấu trúc một lớp hoặc cấu trúc nhiều lớp. Nói cách khác, vật liệu và/hoặc cấu trúc xếp chồng lên nhau của mỗi trong số các vách phân vùng thứ nhất PW1 và vách phân vùng thứ hai PW2 có thể được thay đổi theo nhiều cách khác nhau thay vì bị giới hạn cụ thể.

Mỗi trong số vách phân vùng thứ nhất PW1 và vách phân vùng thứ hai PW2 có

thể có hình dạng khác nhau. Ví dụ, như được minh họa trên Fig.5, mỗi trong số vách phân vùng thứ nhất PW1 và vách phân vùng thứ hai PW2 có thể có hình dạng tiết diện ngang hình thang mà được làm giảm bề rộng từ dưới lên trên của nó. Theo một phương án, như được minh họa trên Fig.6, mỗi trong số vách phân vùng thứ nhất PW1 và vách phân vùng thứ hai PW2 có thể có mặt cắt ngang hình bán nguyệt hoặc bán elip, mà chiều rộng của nó giảm dần về phía trên. Nói cách khác, hình dạng của mỗi trong số vách phân vùng thứ nhất PW1 và vách phân vùng thứ hai PW2 có thể được thay đổi theo nhiều cách khác nhau thay vì bị giới hạn cụ thể. Theo một phương án, ít nhất một trong số vách phân vùng thứ nhất PW1 và vách phân vùng thứ hai PW2 có thể được lược bỏ hoặc được thay đổi vị trí.

Điện cực thứ nhất ELT1, lớp cách điện thứ nhất INS1, và điện cực tiếp xúc thứ nhất CNE1 có thể được bố trí liên tiếp trên vách phân vùng thứ nhất PW1. Điện cực thứ hai ELT2, lớp cách điện thứ hai INS2, và điện cực tiếp xúc thứ hai CNE2 có thể được bố trí liên tiếp trên vách phân vùng thứ hai PW2. Ít nhất một điện cực và/hoặc lớp cách điện được bố trí trên mỗi trong số vách phân vùng thứ nhất PW1 và vách phân vùng thứ hai PW2 có thể có hình dạng tương ứng với hình dạng của một vách tương ứng trong số các vách phân vùng thứ nhất PW1 và vách phân vùng thứ hai PW2, nhưng sáng chế không bị giới hạn ở đó.

Ngoài ra, lớp cách điện thứ ba INS3, điôt phát quang LD, mẫu cách điện INP, và mẫu dẫn điện CNP có thể được bố trí liên tiếp trên nền SUB giữa điện cực thứ nhất ELT1 và điện cực thứ hai ELT2. Theo một phương án, ít nhất một vùng của điôt phát quang LD, ví dụ, đầu thứ nhất EP1 và đầu thứ hai EP2 của mỗi điôt phát quang LD, có thể được bố trí đối diện các bề mặt nghiêng (hoặc các bề mặt cong) của điện cực thứ nhất ELT1 và điện cực thứ hai ELT2 mà được tạo thành bởi vách phân vùng thứ nhất PW1 và vách phân vùng thứ hai PW2.

Điện cực thứ nhất ELT1 và điện cực thứ hai ELT2 có thể được bố trí ở các vị trí

được đặt cách xa nhau trên nền SUB mà trên đó vách phân vùng thứ nhất PW1 và vách phân vùng thứ hai PW2 được bố trí. Ví dụ, điện cực thứ nhất ELT1 có thể được bố trí trên vách phân vùng thứ nhất PW1 để che vách phân vùng thứ nhất PW1. Điện cực thứ hai ELT2 có thể được bố trí trên vách phân vùng thứ hai PW2 để che vách phân vùng thứ hai PW2. Theo một phương án, điện cực bất kỳ trong số điện cực thứ nhất ELT1 và điện cực thứ hai ELT2 có thể là điện cực anot, và điện cực còn lại có thể là điện cực catốt.

Điện cực thứ nhất ELT1 và điện cực thứ hai ELT2 có thể lần lượt có hình dạng tương ứng với hình dạng của vách phân vùng thứ nhất PW1 và vách phân vùng thứ hai PW2. Ví dụ, điện cực thứ nhất ELT1 có thể có bề mặt nghiêng hoặc bề mặt cong tương ứng với hình dạng của vách phân vùng thứ nhất PW1, và điện cực thứ hai ELT2 có thể có bề mặt nghiêng hoặc bề mặt cong tương ứng với hình dạng của vách phân vùng thứ hai PW2. Theo một phương án, vách phân vùng thứ nhất PW1 và vách phân vùng thứ hai PW2 có thể không được bố trí ở thiết bị phát quang. Trong trường hợp này, mỗi trong số điện cực thứ nhất ELT1 và điện cực thứ hai ELT2 có thể có hình dạng gần như phẳng.

Theo một phương án, điện cực thứ nhất ELT1 và điện cực thứ hai ELT2 có thể được bố trí trên cùng mặt phẳng trên nền SUB và về cơ bản có cùng chiều cao. Như vậy, nếu điện cực thứ nhất ELT1 và điện cực thứ hai ELT2 có cùng chiều cao, thì các điốt phát quang LD có thể được nối một cách chắc chắn hơn giữa điện cực thứ nhất ELT1 và điện cực thứ hai ELT2. Tuy nhiên, sáng chế không bị giới hạn ở đó. Ví dụ, hình dạng, cấu trúc và/hoặc mối quan hệ định vị lẫn nhau của điện cực thứ nhất ELT1 và điện cực thứ hai ELT2 có thể được thay đổi theo nhiều cách khác nhau.

Theo một phương án, mỗi trong số điện cực thứ nhất ELT1 và điện cực thứ hai ELT2 có thể có cấu trúc một lớp hoặc cấu trúc nhiều lớp, và cấu trúc xếp chồng của nó không bị giới hạn cụ thể. Ví dụ, điện cực thứ nhất ELT1 có thể có cấu trúc nhiều lớp bao gồm điện cực phản xạ thứ nhất REF1 và lớp dẫn điện thứ nhất CPL1. Điện cực thứ hai ELT2 có thể có cấu trúc nhiều lớp bao gồm điện cực phản xạ thứ hai REF2 và lớp dẫn

dẫn điện thứ hai CPL2.

Mỗi trong số điện cực phản xạ thứ nhất REF1 và điện cực phản xạ thứ hai REF2 có thể được tạo thành từ vật liệu dẫn điện có hệ số phản xạ xác định trước. Ví dụ, điện cực phản xạ thứ nhất REF1 và điện cực phản xạ thứ hai REF2 có thể bao gồm ít nhất một trong số các kim loại chẳng hạn như Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, và hợp kim của chúng; tuy nhiên, sáng chế không bị giới hạn ở đó. Mỗi trong số điện cực phản xạ thứ nhất REF1 và điện cực phản xạ thứ hai REF2 có thể được tạo thành từ các vật liệu dẫn điện phản xạ khác nhau.

Điện cực phản xạ thứ nhất REF1 và điện cực phản xạ thứ hai REF2 có thể cho phép ánh sáng phát ra từ các đầu đối diện, tức là, đầu thứ nhất EP1 và đầu thứ hai EP2, của mỗi trong số các điốt phát quang LD để di chuyển theo hướng (ví dụ, theo hướng chính diện) trong đó hình ảnh được hiển thị. Cụ thể, nếu mỗi trong số điện cực phản xạ thứ nhất REF1 và điện cực phản xạ thứ hai REF2 có độ nghiêng hoặc độ cong tương ứng với hình dạng của một vách tương ứng trong số các vách phân vùng thứ nhất PW1 và vách phân vùng thứ hai PW2, thì ánh sáng được phát ra từ đầu thứ nhất EP1 và đầu thứ hai EP2 của mỗi trong số các điốt phát quang LD có thể được phản xạ bởi điện cực phản xạ thứ nhất REF1 và điện cực phản xạ thứ hai REF2, nhờ đó ánh sáng có thể di chuyển chắc chắn hơn theo hướng chính diện. Nhờ đó, hiệu suất của ánh sáng được phát ra từ các điốt phát quang LD có thể được tăng lên.

Theo một phương án của sáng chế, mỗi trong số vách phân vùng thứ nhất PW1 và vách phân vùng thứ hai PW2 còn có thể có chức năng như một bộ phận phản xạ. Ví dụ, vách phân vùng thứ nhất PW1 và vách phân vùng thứ hai PW2, cùng với điện cực phản xạ thứ nhất REF1 và điện cực phản xạ thứ hai REF2 được tạo ra trên vách phân vùng thứ nhất PW1 và vách phân vùng thứ hai PW2, có thể có chức năng như các thành phần phản xạ để nâng cao hiệu suất của ánh sáng được phát ra từ mỗi trong số các điốt phát quang LD.

Các lớp dày dẫn điện thứ nhất CPL1 và lớp dày dẫn điện thứ hai CPL2 có thể được bố trí chọn lọc trên điện cực phản xạ thứ nhất REF1 và điện cực phản xạ thứ hai REF2. Ví dụ, lớp dày dẫn điện thứ nhất CPL1 có thể được bố trí trên điện cực phản xạ thứ nhất REF1 để che điện cực phản xạ thứ nhất REF1. Lớp dày dẫn điện thứ hai CPL2 có thể được tạo ra trên điện cực phản xạ thứ hai REF2 để che điện cực phản xạ thứ hai REF2.

Mỗi trong số các lớp dày dẫn điện thứ nhất CPL1 và lớp dày dẫn điện thứ hai CPL2 có thể được tạo thành từ vật liệu dẫn điện trong suốt chẳng hạn như ITO hoặc IZO để giảm thiểu tổn hao ánh sáng được phát ra từ điốt phát quang LD. Tuy nhiên, sáng chế không bị giới hạn ở đó. Ví dụ, vật liệu của các lớp dày dẫn điện thứ nhất CPL1 và lớp dày dẫn điện thứ hai CPL2 có thể được thay đổi theo nhiều cách khác nhau.

Các lớp dày dẫn điện thứ nhất CPL1 và lớp dày dẫn điện thứ hai CPL2 có thể ngăn điện cực phản xạ thứ nhất REF1 và điện cực phản xạ thứ hai REF2 khỏi bị hư hỏng do các khuyết tật có thể xuất hiện trong quá trình chế tạo thiết bị phát quang, và có thể gia cố lực kết dính giữa nền SUB và điện cực phản xạ thứ nhất REF1 và điện cực phản xạ thứ hai REF2. Theo một phương án, ít nhất một trong số các lớp dày dẫn điện thứ nhất CPL1 và lớp dày dẫn điện thứ hai CPL2 có thể được lược bỏ.

Lớp cách điện thứ 1_1 INS1_1 mà tạo thành lớp dưới của lớp cách điện thứ nhất INS1, lớp cách điện thứ 2_1 INS2_1 mà tạo thành lớp dưới của lớp cách điện thứ hai INS2, và lớp cách điện thứ ba INS3 mà được bố trí giữa điện cực thứ nhất ELT1 và điện cực thứ hai ELT2 có thể được bố trí trên nền SUB mà trên đó điện cực thứ nhất ELT1 và điện cực thứ hai ELT2 được bố trí.

Theo một phương án, lớp cách điện thứ 1_1 INS1_1 có thể được bố trí giữa điện cực thứ nhất ELT1 và điện cực tiếp xúc thứ nhất CNE1. Ví dụ, lớp cách điện thứ 1_1 INS1_1 có thể được bố trí giữa lớp dày dẫn điện thứ nhất CPL1 và một vùng của điện cực tiếp xúc thứ nhất CNE1. Lớp cách điện thứ 1_1 INS1_1 có thể lộ ra bề mặt trên của

một vùng của điện cực thứ nhất ELT1 và được bố trí trên vùng còn lại của điện cực thứ nhất ELT1. Ví dụ, lớp cách điện 1_1 INS1_1 có thể lộ một vùng của lớp đệm dẫn điện thứ nhất CPL1 liền kề với đầu thứ nhất EP1 của điốt phát quang LD, và che vùng còn lại của lớp đệm dẫn điện thứ nhất CPL1.

Theo một phương án, lớp cách điện thứ 2_1 INS2_1 có thể được bố trí giữa điện cực thứ hai ELT2 và điện cực tiếp xúc thứ hai CNE2. Ví dụ, lớp cách điện thứ 2_1 INS2_1 có thể được bố trí giữa lớp đệm dẫn điện thứ hai CPL2 và một vùng của điện cực tiếp xúc thứ hai CNE2. Lớp cách điện thứ 2_1 INS2_1 có thể lộ ra bề mặt trên của một vùng của điện cực thứ hai ELT2 và được bố trí trên vùng còn lại của điện cực thứ hai ELT2. Ví dụ, lớp cách điện 2_1 INS2_1 có thể lộ một vùng của lớp đệm dẫn điện thứ hai CPL2 liền kề với đầu thứ hai EP2 của điốt phát quang LD, và che vùng còn lại của lớp đệm dẫn điện thứ hai CPL2.

Theo một phương án, lớp cách điện thứ ba INS3 có thể được bố trí giữa điện cực thứ nhất ELT1 và điện cực thứ hai ELT2 trên hình chiếu bằng (ví dụ, khi được quan sát từ hình chiếu bằng của nền SUB), và được bố trí giữa nền SUB và điốt phát quang LD so với hướng theo chiều dày (ví dụ, hướng theo chiều dày của nền SUB). Điốt phát quang LD có thể được bố trí trên lớp cách điện thứ ba INS3. Nói cách khác, lớp cách điện thứ ba INS3 có thể là lớp cách điện được bố trí bên dưới điốt phát quang LD. Lớp cách điện thứ ba INS3 có thể đỡ một cách ổn định điốt phát quang LD và ngăn điốt phát quang LD khỏi bị rời ra.

Theo một phương án, lớp cách điện thứ 1_1 INS1_1, lớp cách điện thứ 2_1 INS2_1, và/hoặc lớp cách điện thứ ba INS3 có thể được tạo thành đồng thời. Ví dụ, lớp cách điện thứ 1_1 INS1_1, lớp cách điện thứ 2_1 INS2_1, và/hoặc lớp cách điện thứ ba INS3 có thể bao gồm cùng vật liệu cách điện trong số các vật liệu cách điện khác nhau bao gồm SiNx, và được tạo thành đồng thời ở cùng bước quy trình. Tuy nhiên, sáng chế không bị giới hạn ở đó. Ví dụ, theo một phương án, lớp cách điện thứ 1_1 INS1_1, lớp

cách điện thứ 2_1 INS2_1, và/hoặc lớp cách điện thứ ba INS3 có thể bao gồm ít nhất một hoặc nhiều vật liệu cách điện khác nhau hoặc được tạo thành ở các bước quy trình khác nhau. Mỗi trong số lớp cách điện thứ 1_1 INS1_1, lớp cách điện thứ 2_1 INS2_1, và/hoặc lớp cách điện thứ ba INS3 có thể được tạo thành từ một lớp hoặc nhiều lớp, và cấu trúc của nó không bị giới hạn cụ thể. Nói cách khác, theo sáng chế, các cấu trúc, vật liệu cấu thành, và/hoặc trình tự tạo thành lớp cách điện thứ 1_1 INS1_1, lớp cách điện thứ 2_1 INS2_1, và/hoặc lớp cách điện thứ ba INS3 không bị giới hạn cụ thể.

Theo một phương án, ít nhất một điôt phát quang LD có thể được bố trí trên nền SUB mà trên đó lớp cách điện thứ 1_1 INS1_1, lớp cách điện thứ 2_1 INS2_1, và/hoặc lớp cách điện thứ ba INS3 được bố trí. Điôt phát quang LD có thể được bố trí trên lớp cách điện thứ ba INS3 và được bố trí giữa điện cực thứ nhất ELT1 và điện cực thứ hai ELT2 khi được quan sát từ phía trên của nền SUB. Điôt phát quang LD có thể có đầu thứ nhất EP1 và đầu thứ hai EP2 trên các bên đối diện tương ứng của nó theo phương dọc.

Theo một phương án, điôt phát quang LD có thể được bố trí theo phương ngang trên một bề mặt của nền SUB. Ngoài ra, điôt phát quang LD có thể được định hướng theo hướng bên giữa điện cực thứ nhất ELT1 và điện cực thứ hai ELT2. Ví dụ, đầu thứ nhất EP1 của điôt phát quang LD có thể được bố trí đối diện điện cực thứ nhất ELT1. Đầu thứ hai EP2 của điôt phát quang LD có thể được bố trí đối diện điện cực thứ hai ELT2.

Lớp cách điện thứ 1_2 INS1_2 mà tạo thành lớp trên của lớp cách điện thứ nhất INS1, lớp cách điện thứ 2_2 INS2_2 mà tạo thành lớp trên của lớp cách điện thứ hai INS2, và mẫu cách điện INP được bố trí trên điôt phát quang LD có thể được bố trí trên nền SUB mà trên đó điôt phát quang LD được bố trí.

Theo một phương án, lớp cách điện thứ 1_2 INS1_2 cùng với lớp cách điện thứ 1_1 INS1_1 có thể được bố trí giữa điện cực thứ nhất ELT1 và điện cực tiếp xúc thứ nhất CNE1. Ví dụ, lớp cách điện thứ 1_2 INS1_2 có thể được bố trí trên lớp cách điện thứ 1_1 INS1_1. Lớp cách điện thứ 1_2 INS1_2 cùng với lớp cách điện thứ 1_1 INS1_1 có thể lộ

ra bề mặt trên của một vùng của điện cực thứ nhất ELT1 và được bố trí trên vùng còn lại của điện cực thứ nhất ELT1. Ví dụ, lớp cách điện thứ 1_2 INS1_2 có thể lộ một vùng của lớp dày dẫn điện thứ nhất CPL1 liền kề với đầu thứ nhất EP1 của điốt phát quang LD, và che vùng còn lại của lớp dày dẫn điện thứ nhất CPL1.

Theo một phương án, lớp cách điện thứ 2_2 INS2_2 cùng với lớp cách điện thứ 2_1 INS2_1 có thể được bố trí giữa điện cực thứ hai ELT2 và điện cực tiếp xúc thứ hai CNE2. Ví dụ, lớp cách điện thứ 2_2 INS2_2 có thể được bố trí trên lớp cách điện thứ 2_1 INS2_1. Lớp cách điện thứ 2_2 INS2_2 cùng với lớp cách điện thứ 2_1 INS2_1 có thể lộ ra bề mặt trên của một vùng của điện cực thứ hai ELT2 và được bố trí trên vùng còn lại của điện cực thứ hai ELT2. Ví dụ, lớp cách điện thứ 2_2 INS2_2 có thể lộ một vùng của lớp dày dẫn điện thứ hai CPL2 liền kề với đầu thứ hai EP2 của điốt phát quang LD, và che vùng còn lại của lớp dày dẫn điện thứ hai CPL2.

Theo một phương án, mẫu cách điện INP có thể được bố trí sao cho che phần phía trên của điốt phát quang LD, và được tạo thành sao cho đầu thứ nhất EP1 và đầu thứ hai EP2 được tạo ra trên các bên đối diện của điốt phát quang LD được lộ ra. Ví dụ, khi được quan sát từ phía trên của nền SUB, mẫu cách điện INP có thể được tạo thành để che hoàn toàn đầu thứ nhất EP1 và đầu thứ hai EP2 của điốt phát quang LD. Trên hình chiếu cạnh hoặc hình vẽ mặt cắt của nền SUB, mẫu cách điện INP có thể không che ít nhất một vùng của mỗi trong số đầu thứ nhất EP1 và đầu thứ hai EP2.

Theo một phương án, mẫu cách điện INP có thể được tạo thành sao cho, trong quá trình tạo thành lớp dẫn điện để tạo nên điện cực tiếp xúc thứ nhất CNE1 và điện cực tiếp xúc thứ hai CNE2, lớp dẫn điện có thể bị ngắt kết nối (ví dụ, đóng mạch) bởi mẫu cách điện INP ở đầu thứ nhất EP1 và đầu thứ hai EP2 của điốt phát quang LD. Ví dụ, mẫu cách điện INP có thể có hình dạng và/hoặc kích thước có khả năng gây ngắt kết nối của lớp dẫn điện ở các vùng trên đầu thứ nhất EP1 và đầu thứ hai EP2 của điốt phát quang LD. Phần mô tả chi tiết về cấu trúc và/hoặc hình dạng ví dụ của mẫu cách điện INP sẽ

được nêu dưới đây.

Theo một phương án, lớp cách điện thứ 1_2 INS1_2, lớp cách điện thứ 2_2 INS2_2, và/hoặc mẫu cách điện INP có thể được tạo thành đồng thời. Ví dụ, lớp cách điện thứ 1_2 INS1_2, lớp cách điện thứ 2_2 INS2_2, và/hoặc mẫu cách điện INP có thể bao gồm cùng vật liệu cách điện trong số các vật liệu cách điện khác nhau bao gồm SiNx, và được tạo thành đồng thời ở cùng bước quy trình. Tuy nhiên, sáng chế không bị giới hạn ở đó. Ví dụ, theo một phương án, lớp cách điện thứ 1_2 INS1_2, lớp cách điện thứ 2_2 INS2_2, và/hoặc mẫu cách điện INP có thể bao gồm ít nhất một hoặc nhiều vật liệu cách điện khác nhau hoặc được tạo thành ở các bước quy trình khác nhau. Lớp cách điện thứ 1_2 INS1_2, lớp cách điện thứ 2_2 INS2_2, và/hoặc mẫu cách điện INP có thể có cùng vật liệu cách điện như lớp cách điện thứ 1_1 INS1_1, lớp cách điện thứ 2_1 INS2_1, và/hoặc lớp cách điện thứ ba INS3. Ví dụ, lớp cách điện thứ 1_1 INS1_1, lớp cách điện thứ 2_1 INS2_1, lớp cách điện thứ ba INS3, lớp cách điện thứ 1_2 INS1_2, lớp cách điện thứ 2_2 INS2_2, và mẫu cách điện INP có thể được tạo thành từ SiNx. Tuy nhiên, sáng chế không bị giới hạn ở cấu trúc nêu trên, và vật liệu cấu thành của các lớp cách điện có thể được thay đổi theo nhiều cách khác nhau.

Theo một phương án, mỗi lớp cách điện thứ 1_2 INS1_2, lớp cách điện thứ 2_2 INS2_2, và mẫu cách điện INP có thể được tạo thành từ một lớp hoặc nhiều lớp, và cấu trúc của nó không bị giới hạn cụ thể. Nói cách khác, theo sáng chế, cấu trúc, vật liệu cấu thành, và/hoặc trình tự tạo thành lớp cách điện thứ 1_2 INS1_2, lớp cách điện thứ 2_2 INS2_2, và/hoặc lớp cách điện thứ ba INS3 không bị giới hạn cụ thể.

Ngoài ra, lớp cách điện thứ nhất INS1 và lớp cách điện thứ hai INS2 có thể có cấu trúc và/hoặc vật liệu về cơ bản giống hệt hoặc tương tự, và được hình thành thông qua cùng một quy trình hoặc sơ đồ. Ví dụ, lớp cách điện thứ nhất INS1 và lớp cách điện thứ hai INS2 có thể giống nhau về ít nhất một trong số vật liệu cấu thành, cấu trúc xếp chồng, hình dạng, chiều dày và chiều cao.

Mỗi trong số lớp cách điện thứ ba INS3 và mẫu cách điện INP có thể được tạo thành đồng thời với các lớp cách điện thứ nhất INS1 và lớp cách điện thứ hai INS2 trong quá trình trong đó phần của các lớp cách điện thứ nhất INS1 và lớp cách điện thứ hai INS2 được tạo thành. Ví dụ, lớp cách điện thứ ba INS3 có thể có vật liệu và/hoặc cấu trúc về cơ bản bằng hoặc tương tự như vật liệu và/hoặc cấu trúc của các lớp cách điện thứ 1_1 INS1_1 và lớp cách điện thứ 2_1 INS2_1 mà lần lượt tạo thành các lớp dưới của các lớp cách điện thứ nhất INS1 và lớp cách điện thứ hai INS2, và có thể có chiều dày về cơ bản bằng và/hoặc tương tự như của các lớp cách điện thứ 1_1 INS1_1 và lớp cách điện thứ 2_1 INS2_1. Lớp cách điện thứ ba INS3 có thể có chiều dày nhỏ hơn toàn bộ chiều dày của mỗi trong số các lớp cách điện thứ nhất INS1 và lớp cách điện thứ hai INS2. Ví dụ, lớp cách điện thứ ba INS3 có thể có chiều dày tương ứng với khoảng một nửa chiều dày của lớp cách điện thứ nhất INS1 hoặc lớp cách điện thứ hai INS2.

Tương tự, mẫu cách điện INP có thể có vật liệu và/hoặc cấu trúc về cơ bản bằng hoặc tương tự như vật liệu và/hoặc cấu trúc của các lớp cách điện thứ 1_2 INS1_2 và lớp cách điện thứ 2_2 INS2_2 mà lần lượt tạo thành các lớp trên của các lớp cách điện thứ nhất INS1 và lớp cách điện thứ hai INS2, và có thể có chiều dày về cơ bản bằng và/hoặc tương tự như của lớp cách điện thứ 1_2 INS1_2 và lớp cách điện thứ 2_2 INS2_2. Mẫu cách điện INP có thể có chiều dày nhỏ hơn toàn bộ chiều dày của mỗi trong số lớp cách điện thứ nhất INS1 và lớp cách điện thứ hai INS2. Ví dụ, mẫu cách điện INP có thể có chiều dày tương ứng với khoảng một nửa chiều dày của lớp cách điện thứ nhất INS1 hoặc lớp cách điện thứ hai INS2.

Điện cực tiếp xúc thứ nhất CNE1, điện cực tiếp xúc thứ hai CNE2, và mẫu dẫn điện CNP có thể được bố trí trên nền SUB mà trên đó lớp cách điện thứ nhất INS1, lớp cách điện thứ hai INS2, và mẫu cách điện INP được bố trí. Ở đây, mẫu dẫn điện CNP có thể được bao gồm chọn lọc trong thiết bị phát quang. Theo một số phương án, mẫu dẫn điện CNP có thể được lược bỏ.

Điện cực tiếp xúc thứ nhất CNE1 có thể được tạo ra trên điện cực thứ nhất ELT1 và lớp cách điện thứ nhất INS1 và được cho tiếp xúc với điện cực thứ nhất ELT1 trên vùng của điện cực thứ nhất ELT1 mà không bị che bởi lớp cách điện thứ nhất INS1. Nhờ đó, điện cực tiếp xúc thứ nhất CNE1 và điện cực thứ nhất ELT1 có thể được nối điện với nhau. Ngoài ra, một đầu của điện cực tiếp xúc thứ nhất CNE1 có thể được cho tiếp xúc với đầu thứ nhất EP1 của điôt phát quang LD, và nhờ vậy được nối điện với đầu thứ nhất EP1. Điện cực tiếp xúc thứ nhất CNE1 có thể đỡ một cách ổn định đầu thứ nhất EP1 của điôt phát quang LD và nối điện đầu thứ nhất EP1 với điện cực thứ nhất ELT1.

Điện cực tiếp xúc thứ hai CNE2 có thể được tạo ra trên điện cực thứ hai ELT2 và lớp cách điện thứ hai INS2 và được cho tiếp xúc với điện cực thứ hai ELT2 trên vùng của điện cực thứ hai ELT2 mà không bị che bởi lớp cách điện thứ hai INS2. Nhờ đó, điện cực tiếp xúc thứ hai CNE2 và điện cực thứ hai ELT2 có thể được nối điện với nhau. Ngoài ra, một đầu của điện cực tiếp xúc thứ hai CNE2 có thể được cho tiếp xúc với đầu thứ hai EP2 của điôt phát quang LD, và nhờ vậy được nối điện với đầu thứ hai EP2. Điện cực tiếp xúc thứ hai CNE2 có thể đỡ một cách ổn định đầu thứ hai EP2 của điôt phát quang LD và nối điện đầu thứ hai EP2 với điện cực thứ hai ELT2.

Theo một phương án, điện cực tiếp xúc thứ nhất CNE1 và điện cực tiếp xúc thứ hai CNE2 về cơ bản có thể trong suốt hoặc mờ. Ví dụ, điện cực tiếp xúc thứ nhất CNE1 và điện cực tiếp xúc thứ hai CNE2 có thể được tạo thành từ vật liệu dẫn điện trong suốt bao gồm ITO hoặc IZO. Ngoài ra, điện cực tiếp xúc thứ nhất CNE1 và điện cực tiếp xúc thứ hai CNE2 có thể được làm bằng các vật liệu dẫn điện trong suốt đã biết khác nhau khác. Nhờ đó, ánh sáng được tạo ra từ điôt phát quang LD có thể được phát ra từ điôt phát quang LD sau khi đi qua điện cực tiếp xúc thứ nhất CNE1 và điện cực tiếp xúc thứ hai CNE2.

Theo một phương án của sáng chế, điện cực tiếp xúc thứ nhất CNE1 và điện cực tiếp xúc thứ hai CNE2 mà lần lượt được tạo ra trên đầu thứ nhất EP1 và đầu thứ hai EP2

của điốt phát quang LD có thể tiếp xúc với chỉ các bề mặt bên đối diện nhau của điốt phát quang LD nhưng không thể được bố trí trên bề mặt trên của điốt phát quang LD. Ví dụ, một đầu của mỗi trong số điện cực tiếp xúc thứ nhất CNE1 và điện cực tiếp xúc thứ hai CNE2 có thể tiếp xúc với đầu dưới của bề mặt bên của mẫu cách điện INP thay vì mở rộng sang bề mặt trên của điốt phát quang LD.

Theo một phương án, điện cực tiếp xúc thứ nhất CNE1 và điện cực tiếp xúc thứ hai CNE2 có thể được đặt cách xa nhau với điốt phát quang LD được bố trí xen giữa chúng, và được bố trí trên cùng lớp và/hoặc tại cùng độ cao trên nền SUB. Ví dụ, điện cực tiếp xúc thứ nhất CNE1 và điện cực tiếp xúc thứ hai CNE2 có thể có hình dạng và/hoặc cấu trúc tại đó điện cực tiếp xúc thứ nhất CNE1 và điện cực tiếp xúc thứ hai CNE2 là đối xứng ở các bên đối diện của điốt phát quang LD.

Điện cực tiếp xúc thứ nhất CNE1 và điện cực tiếp xúc thứ hai CNE2 có thể được tạo thành đồng thời thông qua cùng một quy trình, và bị ngắt kết nối xung quanh phần thấp hơn của mẫu cách điện INP bởi mẫu cách điện INP có chiều rộng được làm giảm ở đầu dưới của nó (hoặc về phía đầu dưới). Do đó, ngay cả khi điốt phát quang LD có chiều dài nhỏ, ví dụ, nằm trong khoảng từ kích thước cỡ nano đến kích thước cỡ micro, điện cực tiếp xúc thứ nhất CNE1 và điện cực tiếp xúc thứ hai CNE2 có thể vẫn được tách ra khỏi nhau với điốt phát quang LD được bố trí xen giữa chúng.

Ngoài ra, điện cực tiếp xúc thứ nhất CNE1 và điện cực tiếp xúc thứ hai CNE2 không được bố trí trên bề mặt trên của điốt phát quang LD. Do đó, ngay cả khi nếu màng cách điện INF được tạo thành trên bề mặt của điốt phát quang LD bị hỏng hóc trong quá trình tạo thành và/hoặc bố trí điốt phát quang LD hoặc quá trình tạo thành mẫu cách điện INP, thì điốt phát quang LD có thể được ngăn không bị đoản mạch không mong muốn với điện cực tiếp xúc thứ nhất CNE1 và/hoặc điện cực tiếp xúc thứ hai CNE2 thông qua phần hỏng hóc của màng cách điện INF.

Do đó, ngay cả khi điện cực tiếp xúc thứ nhất CNE1 và điện cực tiếp xúc thứ hai

CNE2 được tạo thành đồng thời thông qua cùng một quy trình, ví dụ, quy trình mặt nạ đơn, thì các lỗi đoàn mạch có thể được ngăn chặn không bị gây ra bởi điện cực tiếp xúc thứ nhất CNE1 và điện cực tiếp xúc thứ hai CNE2, và độ ổn định điện của thiết bị phát quang có thể được đảm bảo.

Theo một phương án của sáng chế, do điện cực tiếp xúc thứ nhất CNE1 và điện cực tiếp xúc thứ hai CNE2 có thể được tạo thành đồng thời thông qua cùng một quy trình, nên số lượng quy trình mặt nạ được sử dụng để chế tạo thiết bị phát quang có thể được giảm xuống hoặc giảm thiểu. Do đó, điốt phát quang LD có thể được nối một cách chắc chắn giữa điện cực thứ nhất ELT1 và điện cực thứ hai ELT2, và quy trình chế tạo thiết bị phát quang có thể được đơn giản hóa. Theo một phương án của sáng chế, năng suất có thể được tăng lên bằng cách giảm giá thành và/hoặc thời gian cần để chế tạo thiết bị phát quang. Ngoài ra, cấu trúc của thiết bị phát quang có thể được đơn giản hóa.

Mẫu dẫn điện CNP có thể được bố trí để chồng lên điốt phát quang LD trên mẫu cách điện INP, và được tách ra khỏi điốt phát quang LD và điện cực tiếp xúc thứ nhất CNE1 và điện cực tiếp xúc thứ hai CNE2 bởi mẫu cách điện INP. Theo một phương án, mẫu dẫn điện CNP có thể được tạo thành đồng thời với điện cực tiếp xúc thứ nhất CNE1 và điện cực tiếp xúc thứ hai CNE2 trong quá trình tạo thành điện cực tiếp xúc thứ nhất CNE1 và điện cực tiếp xúc thứ hai CNE2, và được giữ trên mẫu cách điện INP ở trạng thái được ngắt kết nối với điện cực tiếp xúc thứ nhất CNE1 và điện cực tiếp xúc thứ hai CNE2 bởi mẫu cách điện INP có hình dạng trong đó chiều rộng của nó được làm giảm về phía đầu dưới của nó.

Ví dụ, mẫu dẫn điện CNP có thể được tạo thành từ vật liệu dẫn điện trong suốt giống vật liệu của điện cực tiếp xúc thứ nhất CNE1 và điện cực tiếp xúc thứ hai CNE2, và duy trì được cách điện trên mẫu cách điện INP. Ngoài ra, mẫu dẫn điện CNP có thể được tạo thành trên mẫu cách điện INP trong quá trình lắng đọng lớp dẫn điện để tạo thành điện cực tiếp xúc thứ nhất CNE1 và điện cực tiếp xúc thứ hai CNE2, ví dụ, quá

trình lắng đọng lớp dẫn điện của sơ đồ phún xạ, và có thể có chiều dày về cơ bản bằng hoặc tương tự như điện cực tiếp xúc thứ nhất CNE1 và điện cực tiếp xúc thứ hai CNE2.

Tuy nhiên, theo sáng chế, mẫu dẫn điện CNP có thể không được tạo thành ở thiết bị phát quang lần giữ lại ở đó. Ví dụ, theo một phương án, mẫu dẫn điện CNP có thể không được tạo thành, hoặc có thể được loại bỏ một cách chọn lọc sau quá trình lắng đọng lớp dẫn điện để tạo thành điện cực tiếp xúc thứ nhất CNE1 và điện cực tiếp xúc thứ hai CNE2. Ví dụ, theo một phương án của sáng chế, mặt nạ có thể được bố trí trên mẫu cách điện INP để ngăn không cho mẫu dẫn điện CNP được tạo thành. Theo cách khác, sau khi mẫu dẫn điện CNP cùng với điện cực tiếp xúc thứ nhất CNE1 và điện cực tiếp xúc thứ hai CNE2 được tạo thành trong quá trình tạo thành điện cực tiếp xúc thứ nhất CNE1 và điện cực tiếp xúc thứ hai CNE2, mẫu dẫn điện CNP có thể được loại bỏ một cách chọn lọc.

Theo một phương án, lớp phủ OC có thể được bố trí trên nền SUB mà trên đó điện cực tiếp xúc thứ nhất CNE1 và điện cực tiếp xúc thứ hai CNE2, v.v., được bố trí. Ví dụ, lớp phủ OC có thể được tạo ra để che bề mặt trên của nền SUB mà trên đó điện cực tiếp xúc thứ nhất CNE1 và điện cực tiếp xúc thứ hai CNE2, v.v., được bố trí.

Fig.7 là hình vẽ phóng to của vùng EA trên Fig.5. Fig.8 là hình vẽ một phần tương ứng với vùng EA trên Fig.5, và minh họa phương án khác liên quan đến hình dạng của mẫu cách điện INP. Fig.9 là hình chiếu bằng minh họa dạng sơ đồ mối quan hệ sắp xếp qua lại giữa diốt phát quang LD và mẫu cách điện INP, theo một phương án của sáng chế.

Dựa vào các hình vẽ từ Fig.7 đến Fig.9, mẫu cách điện INP có thể được tạo thành để che hoàn toàn toàn bộ bề mặt trên của diốt phát quang LD bao gồm đầu thứ nhất EP1 và đầu thứ hai EP2 của diốt phát quang LD, khi được quan sát từ phía trên của nền SUB. Tuy nhiên, trên hình chiếu cạnh hoặc hình vẽ mặt cắt của nền SUB, mẫu cách điện INP có thể cho phép đầu thứ nhất EP1 và đầu thứ hai EP2 của diốt phát quang LD được lộ ra.

Ví dụ, mẫu cách điện INP có thể được tạo thành để che chỉ các vùng đầu trên của

đầu thứ nhất EP1 và đầu thứ hai EP2 mà không che các vùng khác của đầu thứ nhất EP1 và đầu thứ hai EP2. Ví dụ, mẫu cách điện INP có thể che hoàn toàn bề mặt trên của mỗi điôt phát quang LD, và có hình dạng tiết diện ngang trong đó chiều rộng của nó được làm giảm ở vùng đầu dưới của nó liền kề với nền SUB hoặc về phía vùng đầu dưới mà dần dần gần với nền SUB, sao cho đầu thứ nhất EP1 và đầu thứ hai EP2 được bố trí trên các bên đối diện của điôt phát quang LD có thể được lộ ra. Đầu thứ nhất EP1 mà không bị che bởi mẫu cách điện INP có thể được cho tiếp xúc và được che bởi điện cực tiếp xúc thứ nhất CNE1. Đầu thứ hai EP2 mà không bị che bởi mẫu cách điện INP có thể được cho tiếp xúc và được che bởi điện cực tiếp xúc thứ hai CNE2. Nói cách khác, điện cực tiếp xúc thứ nhất CNE1 và điện cực tiếp xúc thứ hai CNE2 có thể được bố trí trên các bên đối diện của điôt phát quang LD được định hướng theo hướng bên, và được nối điện với điôt phát quang LD bằng cách tiếp xúc với điôt phát quang LD.

Theo một phương án, bề mặt trên USUR của mẫu cách điện INP có thể có chiều rộng thứ nhất $W1$, $W1'$ lớn hơn chiều dài L của điôt phát quang LD và che hoàn toàn bề mặt trên của điôt phát quang LD. Mẫu cách điện INP có thể có hình dạng trong đó chiều rộng của nó được làm giảm ở vùng đầu dưới của nó hoặc về phía vùng đầu dưới, và cho phép đầu thứ nhất EP1 và đầu thứ hai EP2 của điôt phát quang LD được lộ ra. Ví dụ, bề mặt dưới LSUR của mẫu cách điện INP có thể có chiều rộng thứ hai $W2$, $W2'$ tương đương hoặc ngắn hơn chiều dài L của điôt phát quang LD.

Ví dụ, mẫu cách điện INP có thể có hình dạng tiết diện ngang trong đó chiều rộng của nó được giảm dần về phía vùng đầu dưới của nó, trên các bề mặt bên SSUR của nó mà bên dưới đó đầu thứ nhất EP1 và đầu thứ hai EP2 của điôt phát quang LD được bố trí. Theo một phương án, mẫu cách điện INP có thể bao gồm bề mặt bên thứ nhất SSUR1 được bố trí trên đầu thứ nhất EP1 của điôt phát quang LD, và bề mặt bên thứ hai SSUR2 được bố trí trên đầu thứ hai EP2 của điôt phát quang LD. Ngoài ra, các bề mặt bên thứ nhất SSUR1 và bề mặt bên thứ hai SSUR2 có thể có bề mặt cong (ví dụ, bề mặt cong

tương ứng với một phần bề mặt bên có hình nấm), như được minh họa trên Fig.7, hoặc có thể có bề mặt nghiêng (ví dụ, bề mặt nghiêng tương ứng với một phần bề mặt bên có dạng hình thang đảo ngược), như được minh họa trên Fig.8, sao cho chiều rộng giữa chúng có thể được giảm dần về phía vùng đầu dưới. Tuy nhiên, hình dạng của mẫu cách điện INP không bị giới hạn ở các phương án trên Fig.7 và Fig.8. Hình dạng của mẫu cách điện INP có thể được thay đổi theo các cách khác nhau. Ví dụ, theo một phương án của sáng chế, các bề mặt bên thứ nhất SSUR1 và bề mặt bên thứ hai SSUR2 của mẫu cách điện INP có thể có dạng kết hợp của bề mặt cong và bề mặt nghiêng, hình dạng bậc hoặc hình dạng bề mặt không bằng phẳng.

Theo một phương án, mẫu cách điện INP có thể có hình dạng và/hoặc kích cỡ sao cho, trong quá trình tạo thành lớp dẫn điện để tạo thành điện cực tiếp xúc thứ nhất CNE1 và điện cực tiếp xúc thứ hai CNE2, lớp dẫn điện có thể được ngắt kết nối theo cách tự nhiên bởi hiệu ứng bóng do mẫu cách điện INP ở các vùng đầu trên của đầu thứ nhất EP1 và đầu thứ hai EP2 của điốt phát quang LD. Ví dụ, khi mỗi trong số điện cực tiếp xúc thứ nhất CNE1 và điện cực tiếp xúc thứ hai CNE2 có chiều dày thứ nhất TH1 và mẫu dẫn điện CNP có chiều dày TH1' tương tự hoặc bằng chiều dày thứ nhất TH1 hoặc nhỏ hơn chiều dày thứ nhất TH1, thì đầu trên USE1 của bề mặt bên thứ nhất SSUR1 của mẫu cách điện INP có thể được bố trí ở vị trí cách xa khỏi đầu thứ nhất EP1 của điốt phát quang LD bởi khoảng cách thứ nhất d1 bằng hoặc lớn hơn chiều dày thứ nhất TH1 theo hướng về phía điện cực thứ nhất ELT1, khi được quan sát từ phía trên của nền SUB. Tương tự, đầu trên USE2 của bề mặt bên thứ hai SSUR2 của mẫu cách điện INP có thể được bố trí ở vị trí cách xa khỏi đầu thứ hai EP2 của điốt phát quang LD bởi khoảng cách thứ hai d2 bằng hoặc lớn hơn chiều dày thứ nhất TH1 theo hướng về phía điện cực thứ hai ELT2, trên hình chiếu bằng của nền SUB. Ví dụ, khi chiều dày, tức là, chiều dày thứ nhất TH1, của mỗi trong số điện cực tiếp xúc thứ nhất CNE1 và điện cực tiếp xúc thứ hai CNE2 sẽ được tạo thành trong quy trình tiếp nối sau đó, dao động từ khoảng 0,1 μm đến khoảng 0,2 μm ,

thì các đầu trên USE1 và USE2 tương ứng của các bề mặt bên thứ nhất SSUR1 và bề mặt bên thứ hai SSUR2 của mẫu cách điện INP có thể lần lượt được bố trí ở các vị trí cách xa khỏi đầu thứ nhất EP1 và đầu thứ hai EP2 của điốt phát quang LD bởi một khoảng cách khoảng 0,3 μm hoặc hơn, ví dụ, 0,3 μm đến 0,5 μm , trên hình chiếu bằng.

Các đầu dưới LSE1 và LSE2 tương ứng của các bề mặt bên thứ nhất SSUR1 và bề mặt bên thứ hai SSUR2 có thể được bố trí liền kề tức thì với đầu thứ nhất EP1 và đầu thứ hai EP2. Ví dụ, các đầu dưới LSE1 và LSE2 tương ứng của các bề mặt bên thứ nhất SSUR1 và bề mặt bên thứ hai SSUR2 có thể được bố trí liền kề với đầu thứ nhất EP1 và đầu thứ hai EP2 trong phạm vi khoảng cách bằng chiều dày thứ nhất TH1 hoặc nhỏ hơn. Do đó, trong quá trình tạo thành điện cực tiếp xúc thứ nhất CNE1 và điện cực tiếp xúc thứ hai CNE2, điện cực tiếp xúc thứ nhất CNE1 và điện cực tiếp xúc thứ hai CNE2 có thể tiếp xúc một cách chắc chắn với các đầu đối diện, tức là, đầu thứ nhất EP1 và đầu thứ hai EP2, của điốt phát quang LD.

Ngoài ra, mẫu cách điện INP có thể có chiều dày cho phép mẫu dẫn điện CNP được tách một cách chắc chắn ra khỏi điện cực tiếp xúc thứ nhất CNE1 và điện cực tiếp xúc thứ hai CNE2 và điốt phát quang LD được bố trí xung quanh mẫu dẫn điện CNP. Ví dụ, mẫu cách điện INP có thể có chiều dày thứ hai TH2 bằng hoặc lớn hơn chiều dày, tức là, chiều dày thứ nhất TH1, của điện cực tiếp xúc thứ nhất CNE1 và điện cực tiếp xúc thứ hai CNE2. Ví dụ, khi chiều dày thứ nhất TH1 dao động từ khoảng 0,1 μm đến khoảng 0,2 μm , thì chiều dày thứ hai TH2 có thể bằng khoảng 0,3 μm hoặc hơn, ví dụ, dao động trong khoảng từ 0,3 μm đến 0,5 μm .

Ngoài ra, mẫu cách điện INP có thể có hình dạng cho phép lớp dẫn điện tạo thành điện cực tiếp xúc thứ nhất CNE1 và điện cực tiếp xúc thứ hai CNE2 được ngắt kết nối một cách chắc chắn trên các bề mặt bên thứ nhất SSUR1 và bề mặt bên thứ hai SSUR2. Ví dụ, mẫu cách điện INP có thể có góc, độ nghiêng, và/hoặc độ cong trong một phạm vi định trước ở hình dạng mà tại đó chiều rộng của nó được làm giảm về phía vùng đầu dưới

của nó. Ngoài ra, mẫu cách điện INP có thể có dạng bậc hoặc tương tự.

Theo phương án nêu trên, mẫu cách điện INP mà che bề mặt trên của điốt phát quang LD có thể có hình dạng mà tại đó chiều rộng của nó được làm giảm ở vùng đầu dưới của nó. Do đó, điốt phát quang LD có thể được nối một cách chắc chắn giữa điện cực thứ nhất ELT1 và điện cực thứ hai ELT2, và quy trình chế tạo thiết bị phát quang có thể được đơn giản hóa.

Các hình vẽ từ Fig.10A đến Fig.10I là các hình vẽ mặt cắt theo thứ tự minh họa phương pháp chế tạo thiết bị phát quang được minh họa trên Fig.5.

Dựa vào Fig.10A, vách phân vùng thứ nhất PW1 và vách phân vùng thứ hai PW2 được tạo thành trên một bề mặt của nền SUB ở các vị trí được đặt cách xa nhau. Theo một phương án, vách phân vùng thứ nhất PW1 và vách phân vùng thứ hai PW2 có thể được tạo thành bởi quy trình tạo thành lớp cách điện bao gồm vật liệu vô cơ và/hoặc vật liệu hữu cơ hoặc quy trình tạo hình mẫu (ví dụ, quy trình mặt nạ) và do đó, có thể được tạo thành thông qua nhiều loại quy trình đã biết. Theo một phương án, vách phân vùng thứ nhất PW1 và vách phân vùng thứ hai PW2 có thể được tạo thành đồng thời sử dụng cùng vật liệu ở cùng lớp (hoặc cùng mặt phẳng) trên nền SUB, nhưng sáng chế không bị giới hạn ở đó.

Dựa vào Fig.10B, điện cực thứ nhất ELT1 và điện cực thứ hai ELT2 được tạo thành ở các vị trí được đặt cách xa nhau trên nền SUB mà trên đó vách phân vùng thứ nhất PW1 và vách phân vùng thứ hai PW2 được tạo thành. Theo một phương án, điện cực thứ nhất ELT1 và điện cực thứ hai ELT2 có thể được tạo thành bởi quy trình tạo thành lớp dẫn điện bao gồm ít nhất một vật liệu dẫn điện và/hoặc quy trình tạo hình mẫu của nó, và có thể được tạo thành thông qua nhiều loại quy trình đã biết.

Theo một phương án, mỗi trong số điện cực thứ nhất ELT1 và điện cực thứ hai ELT2 có thể được tạo thành từ một lớp hoặc nhiều lớp. Ví dụ, điện cực thứ nhất ELT1 có thể được tạo thành từ nhiều lớp bao gồm điện cực phản xạ thứ nhất REF1 và lớp đệm dẫn

điện thứ nhất CPL1. Điện cực thứ hai ELT2 có thể được tạo thành từ nhiều lớp bao gồm điện cực phản xạ thứ hai REF2 và lớp dẫn điện thứ hai CPL2. Trong trường hợp này, bước tạo thành điện cực thứ nhất ELT1 và điện cực thứ hai ELT2 có thể bao gồm bước tạo thành điện cực phản xạ thứ nhất REF1 và điện cực phản xạ thứ hai REF2 lần lượt trên vách phân vùng thứ nhất PW1 và vách phân vùng thứ hai PW2, và bước tạo thành lớp dẫn điện thứ nhất CPL1 và lớp dẫn điện thứ hai CPL2 trên điện cực phản xạ thứ nhất REF1 và điện cực phản xạ thứ hai REF2.

Ngoài ra, điện cực thứ nhất ELT1 và điện cực thứ hai ELT2 có thể được tạo thành đồng thời trên cùng lớp trên nền SUB, nhưng sáng chế không bị giới hạn ở đó. Trong trường hợp khi điện cực thứ nhất ELT1 và điện cực thứ hai ELT2 được tạo thành đồng thời, thì số lượng quy trình mặt nạ được sử dụng để chế tạo thiết bị phát quang có thể được giảm xuống hoặc giảm thiểu.

Dựa vào Fig.10C, lớp vật liệu cách điện thứ nhất IL1 được tạo thành trên nền SUB mà trên đó điện cực thứ nhất ELT1 và điện cực thứ hai ELT2 được tạo thành. Theo một phương án, lớp vật liệu cách điện thứ nhất IL1 có thể được tạo thành thông qua quy trình lắng đọng của lớp cách điện bao gồm vật liệu vô cơ và/hoặc vật liệu hữu cơ, và có thể được tạo thành thông qua nhiều loại quy trình đã biết. Theo một phương án, lớp vật liệu cách điện thứ nhất IL1 có thể được tạo thành từ một lớp hoặc nhiều lớp.

Dựa vào Fig.10D, ít nhất một điốt phát quang LD được bố trí trên nền SUB mà trên đó lớp vật liệu cách điện thứ nhất IL1 được tạo thành. Điốt phát quang LD được bố trí giữa điện cực thứ nhất ELT1 và điện cực thứ hai ELT2 sao cho đầu thứ nhất EP1 và đầu thứ hai EP2 của điốt phát quang LD lần lượt liền kề với điện cực thứ nhất ELT1 và điện cực thứ hai ELT2. Theo một phương án, điốt phát quang LD có thể được bố trí trên nền SUB bởi các phương pháp khác nhau bao gồm phương pháp in phun, và được căn thẳng giữa điện cực thứ nhất ELT1 và điện cực thứ hai ELT2 bằng cách sử dụng các điện áp định trước cho điện cực thứ nhất ELT1 và điện cực thứ hai ELT2.

Dựa vào Fig.10E, lớp vật liệu cách điện thứ hai IL2 được tạo ra trên nền SUB mà trên đó điốt phát quang LD được bố trí. Theo một phương án, lớp vật liệu cách điện thứ hai IL2 có thể được tạo thành thông qua quy trình lắng đọng của lớp cách điện bao gồm vật liệu vô cơ và/hoặc vật liệu hữu cơ, và có thể được tạo thành thông qua nhiều loại quy trình đã biết. Theo một phương án, lớp vật liệu cách điện thứ hai IL2 có thể được tạo thành từ một lớp hoặc nhiều lớp.

Dựa vào Fig.10F và Fig.10G, mặt nạ (ví dụ, lớp cản quang PR có các miệng lỗ OP1 và OP2 tương ứng với bộ tiếp xúc thứ nhất CNT1 và bộ tiếp xúc thứ hai CNT2 để lần lượt nối điện cực thứ nhất ELT1 và điện cực thứ hai ELT2 với điện cực tiếp xúc thứ nhất CNE1 và điện cực tiếp xúc thứ hai CNE2) được tạo ra trên nền SUB mà trên đó lớp vật liệu cách điện thứ hai IL2 được tạo thành. Các lớp vật liệu cách điện thứ nhất IL1 và lớp vật liệu cách điện thứ hai IL2 có thể được khắc sao cho ít nhất một vùng của điện cực thứ nhất ELT1 và điện cực thứ hai ELT2 và đầu thứ nhất EP1 và đầu thứ hai EP2 của điốt phát quang LD có thể được lộ ra. Nhờ đó, lớp cách điện thứ nhất INS1 mà làm lộ ra một vùng của điện cực thứ nhất ELT1 có thể được tạo thành trên điện cực thứ nhất ELT1, lớp cách điện thứ hai INS2 mà làm lộ ra một vùng của điện cực thứ hai ELT2 có thể được tạo thành trên điện cực thứ hai ELT2, và mẫu cách điện INP mà che bề mặt trên của điốt phát quang LD có thể được tạo thành trên điốt phát quang LD.

Ví dụ, bước tạo thành mặt nạ có thể bao gồm bước tạo thành lớp cản quang PR trên nền SUB mà trên đó lớp vật liệu cách điện thứ hai IL2 được tạo thành, và tạo thành khoảng trống thứ nhất OP1 và khoảng trống thứ hai OP2 ở lớp cản quang PR ở các vị trí tương ứng tương ứng với bộ tiếp xúc thứ nhất CNT1 và bộ tiếp xúc thứ hai CNT2 cách xa khỏi đầu thứ nhất EP1 và đầu thứ hai EP2 của điốt phát quang LD bởi khoảng cách định sẵn thứ ba d3 và khoảng cách định sẵn thứ tư d4, sao cho lớp vật liệu cách điện thứ hai IL2 trên điện cực thứ nhất ELT1 và điện cực thứ hai ELT2 được lộ ra một phần. Khi đó, lớp cản quang PR trong đó khoảng trống thứ nhất OP1 và khoảng trống thứ hai OP2

được tạo thành có thể được sử dụng làm mặt nạ để khắc theo cách chọn lọc các vùng của các lớp vật liệu cách điện thứ nhất IL1 và lớp vật liệu cách điện thứ hai IL2.

Theo một phương án, các lớp vật liệu cách điện thứ nhất IL1 và lớp vật liệu cách điện thứ hai IL2 có thể được khắc đồng thời hoặc khắc tuần tự. Ngoài ra, các lớp vật liệu cách điện thứ nhất IL1 và lớp vật liệu cách điện thứ hai IL2 có thể được khắc ít nhất một lần và/hoặc thông qua ít nhất một loại quy trình khắc. Ví dụ, các lớp vật liệu cách điện thứ nhất IL1 và lớp vật liệu cách điện thứ hai IL2 có thể được khắc thông qua ít nhất một quy trình khắc khô và/hoặc ướt.

Theo một phương án của sáng chế, ít nhất lớp vật liệu cách điện thứ hai IL2 có thể được khắc trù trên các bên đối diện của điốt phát quang LD trên đó đầu thứ nhất EP1 và đầu thứ hai EP2 được bố trí, ở hình dạng tại đó chiều rộng của nó được làm giảm về phía vùng đầu dưới của nó. Ví dụ, do các bề mặt bên đối diện nhau của lớp vật liệu cách điện thứ hai IL2 được khắc trù lên trên điốt phát quang LD, mẫu cách điện INP có thể được tạo ra dưới dạng mà tại đó mẫu cách điện INP trên điốt phát quang LD che hoàn toàn đầu thứ nhất EP1 và đầu thứ hai EP2 và chiều rộng của nó được làm giảm về phía vùng đầu dưới liền kề với điốt phát quang LD sao cho đầu thứ nhất EP1 và đầu thứ hai EP2 được lộ ra theo hướng bên cạnh của điốt phát quang LD.

Theo một phương án, vị trí và kích thước của mỗi trong số khoảng trống thứ nhất OP1 và khoảng trống thứ hai OP2 được tạo thành ở lớp cản quang PR có thể được thay đổi tùy thuộc vào điều kiện khắc, lễ quy trình, v.v.. Ví dụ, vị trí và/hoặc kích thước của khoảng trống thứ nhất OP1 và khoảng trống thứ hai OP2 có thể được điều chỉnh, có tính đến ít nhất một trong số vật liệu và chiều dày của các lớp vật liệu cách điện thứ nhất IL1 và lớp vật liệu cách điện thứ hai IL2, nồng độ khí khắc, khoảng thời gian thực hiện quy trình khắc, cũng như có tính đến kích cỡ, hình dạng, và vị trí của mẫu cách điện INP được tạo thành trên điốt phát quang LD. Ngoài ra, do một phần của lớp cản quang PR còn có thể được khắc trong quá trình khắc lớp vật liệu cách điện thứ nhất IL1 và/hoặc lớp vật

liệu cách điện thứ hai IL2, vị trí và/hoặc kích thước của khoảng trống thứ nhất OP1 và khoảng trống thứ hai OP2 có thể được điều chỉnh, có tính đến thực tế là khoảng trống thứ nhất OP1 và khoảng trống thứ hai OP2 có thể được mở rộng. Nói cách khác, vị trí, kích cỡ, v.v., của khoảng trống thứ nhất OP1 và khoảng trống thứ hai OP2 được tạo thành ở mặt nạ có thể được bố trí có tính đến các điều kiện hoặc lệ quy trình, hoặc tương tự.

Dựa vào Fig.10H, điện cực tiếp xúc thứ nhất CNE1 và điện cực tiếp xúc thứ hai CNE2 và mẫu dẫn điện CNP được tạo thành trên nền SUB mà trên đó các lớp cách điện thứ nhất INS1 và lớp cách điện thứ hai INS2 và mẫu cách điện INP được tạo thành. Ví dụ, điện cực tiếp xúc thứ nhất CNE1 và điện cực tiếp xúc thứ hai CNE2 và mẫu dẫn điện CNP có thể được tạo ra bằng cách lắng đọng và/hoặc tạo hình mẫu lớp dẫn điện thông qua các sơ đồ khác nhau bao gồm sơ đồ phun xạ trên nền SUB mà trên đó các lớp cách điện thứ nhất INS1 và lớp cách điện thứ hai INS2 và mẫu cách điện INP được tạo thành.

Theo một phương án, lớp dẫn điện có thể được tạo thành trực tiếp không chỉ trên điện cực thứ nhất ELT1 và điện cực thứ hai ELT2 và điôt phát quang LD mà còn ở đầu thứ nhất EP1 và đầu thứ hai EP2 của điôt phát quang LD mà được lộ ra thông qua quá trình khắc lớp vật liệu cách điện thứ nhất IL1 và lớp vật liệu cách điện thứ hai IL2. Do đó, lớp dẫn điện được tạo thành sẽ được tiếp xúc trực tiếp với đầu thứ nhất EP1 và đầu thứ hai EP2 của điôt phát quang LD, nhờ đó điện cực tiếp xúc thứ nhất CNE1 và điện cực tiếp xúc thứ hai CNE2 có thể được tạo thành để lần lượt nối đầu thứ nhất EP1 và đầu thứ hai EP2 vào điện cực thứ nhất ELT1 và điện cực thứ hai ELT2.

Ngoài ra, lớp dẫn điện còn có thể được tạo thành trên điôt phát quang LD sao cho lớp dẫn điện được tách ra khỏi điện cực tiếp xúc thứ nhất CNE1 và điện cực tiếp xúc thứ hai CNE2 bởi mẫu cách điện INP. Do đó, ở bước tạo thành điện cực tiếp xúc thứ nhất CNE1 và điện cực tiếp xúc thứ hai CNE2, mẫu dẫn điện CNP có thể được tạo thành trên điôt phát quang LD. Mẫu dẫn điện CNP có thể duy trì trạng thái được tách ra khỏi điôt phát quang LD và điện cực tiếp xúc thứ nhất CNE1 và điện cực tiếp xúc thứ hai CNE2

bởi mẫu cách điện INP.

Dựa vào Fig.10I, lớp phủ OC được tạo ra trên nền SUB mà trên đó điện cực tiếp xúc thứ nhất CNE1 và điện cực tiếp xúc thứ hai CNE2 và mẫu dẫn điện CNP được tạo thành. Nhờ đó, thiết bị phát quang theo phương án trên Fig.5, v.v., có thể được chế tạo.

Theo các phương án nêu trên, điện cực tiếp xúc thứ nhất CNE1 và điện cực tiếp xúc thứ hai CNE2 có thể được tạo thành đồng thời trên cùng lớp trên nền SUB. Nhờ đó, số lượng quy trình mặt nạ được sử dụng để chế tạo thiết bị phát quang có thể được giảm xuống hoặc giảm thiểu.

Ngoài ra, do mẫu dẫn điện CNP trên điôt phát quang LD có thể duy trì trạng thái được cách điện bởi mẫu cách điện INP, nên các lỗi đoản mạch có thể được ngăn không cho xảy ra tại hoặc xung quanh điôt phát quang LD, và điôt phát quang LD có thể được nối một cách chắc chắn giữa điện cực thứ nhất ELT1 và điện cực thứ hai ELT2.

Fig.11 là sơ đồ bố trí minh họa thiết bị hiển thị theo một phương án của sáng chế. Fig.11 minh họa thiết bị hiển thị, cụ thể là, panen hiển thị PNL được cung cấp ở thiết bị hiển thị, làm ví dụ về thiết bị có khả năng sử dụng thiết bị phát quang theo các phương án được mô tả ở trên làm nguồn sáng. Theo phương án này, Fig.11 minh họa theo cách đơn giản cấu trúc của panen hiển thị PNL, tập trung vào vùng hiển thị DA. Theo một số phương án, mặc dù không được minh họa, ít nhất một bộ phận mạch điều khiển (ví dụ, ít nhất một trong số bộ điều khiển quét và bộ điều khiển dữ liệu) và/hoặc nhiều dòng cũng có thể được tạo ra trên panen hiển thị PNL.

Dựa vào Fig.11, panen hiển thị PNL theo một phương án của sáng chế có thể bao gồm nền SUB, và nhiều điểm ảnh PXL được bố trí trên nền SUB. Về chi tiết, nền SUB có thể bao gồm vùng hiển thị DA được tạo cấu trúc để hiển thị hình ảnh, và vùng không hiển thị NDA được tạo thành ở vùng định trước khác với vùng hiển thị DA. Các điểm ảnh PXL có thể được bố trí ở vùng hiển thị DA trên nền SUB.

Theo một phương án, vùng hiển thị DA có thể được bố trí ở phần giữa của panen hiển thị PNL, và vùng không hiển thị NDA có thể được bố trí ở phần chu vi của panen hiển thị PNL theo cách để bao quanh được vùng hiển thị DA. Các vị trí của vùng hiển thị DA và vùng không hiển thị NDA không bị giới hạn ở đây, và các vị trí của chúng có thể được thay đổi.

Nền SUB có thể là nền cứng hoặc mềm dẻo, và vật liệu hoặc tính chất của nó không bị giới hạn cụ thể. Ví dụ, nền SUB có thể là nền cứng làm bằng thủy tinh hoặc thủy tinh gia cường, hoặc nền mềm dẻo được tạo thành từ màng mỏng làm bằng nhựa hoặc kim loại.

Vùng trên nền SUB được xác định là vùng hiển thị DA mà trong đó các điểm ảnh PXL được bố trí, và vùng còn lại của nó được xác định là vùng không hiển thị NDA. Ví dụ, nền SUB có thể bao gồm vùng hiển thị DA bao gồm nhiều vùng điểm ảnh trên đó các điểm ảnh PXL tương ứng được tạo thành, và vùng không hiển thị NDA được bố trí xung quanh vùng hiển thị DA. Các dòng và/hoặc các mạch bên trong khác nhau mà được nối với các điểm ảnh PXL có thể được bố trí ở vùng không hiển thị NDA.

Mỗi trong số các điểm ảnh PXL có thể bao gồm ít nhất một nguồn sáng được tạo cấu trúc để điều khiển được bởi tín hiệu quét tương ứng và tín hiệu dữ liệu tương ứng, ví dụ, thiết bị phát quang được mô tả theo các phương án nêu trên làm nguồn sáng. Ví dụ, mỗi trong số các điểm ảnh PXL có thể bao gồm cặp điện cực thứ nhất ELT1 và điện cực thứ hai ELT2, và ít nhất một điốt phát quang LD được nối giữa điện cực thứ nhất ELT1 và điện cực thứ hai ELT2. Ngoài ra, điốt phát quang LD có thể là điốt phát quang dạng cần tinh xảo có kích thước nhỏ nằm trong khoảng từ kích thước cỡ nano đến kích thước cỡ micro. Theo một phương án, mỗi trong số các điểm ảnh PXL có thể bao gồm nhiều điốt phát quang LD được nối song song với nhau giữa điện cực thứ nhất ELT1 và điện cực thứ hai ELT2 sao cho có thể đạt được mức độ sáng mong muốn.

Theo một phương án, mỗi điểm ảnh PXL có thể là điểm ảnh hoạt động, nhưng

sáng chế không bị giới hạn ở đó. Ví dụ, chủng loại, cấu trúc, và/hoặc sơ đồ điều khiển của các điểm ảnh PXL ở thiết bị hiển thị theo sáng chế không bị giới hạn cụ thể. Nói cách khác, mỗi điểm ảnh PXL có thể tạo thành điểm ảnh của các thiết bị hiển thị phát quang thụ động hoặc chủ động đã biết khác nhau.

Các hình vẽ từ Fig.12 đến Fig.14 là các sơ đồ mạch minh họa các phương án khác nhau của điểm ảnh PXL trên Fig.11. Về chi tiết, các hình vẽ từ Fig.12 đến Fig.14 minh họa các phương án khác nhau của điểm ảnh PXL có khả năng được tạo ra ở thiết bị hiển thị phát quang chủ động. Ví dụ, mỗi điểm ảnh PXL được minh họa trên các hình vẽ từ Fig.12 đến Fig.14 có thể là một điểm ảnh bất kỳ trong số các điểm ảnh PXL được tạo ra trên panen hiển thị PNL trên Fig.11. Các điểm ảnh PXL có thể có cấu trúc về cơ bản giống hoặc tương tự nhau.

Dựa vào Fig.12, điểm ảnh PXL theo một phương án của sáng chế có thể bao gồm đơn vị phát quang EMU được tạo cấu trúc để tạo ra ánh sáng có độ sáng tương ứng với tín hiệu dữ liệu, và mạch điểm ảnh PXC được tạo cấu trúc để điều khiển đơn vị phát quang EMU.

Theo một phương án, đơn vị phát quang EMU có thể bao gồm nhiều điốt phát quang LD được nối song song với nhau giữa bộ cấp điện thứ nhất VDD và bộ cấp điện thứ hai VSS. Ở đây, bộ cấp điện thứ nhất VDD và bộ cấp điện thứ hai VSS có thể có điện thế khác nhau để làm cho các điốt phát quang LD có thể phát ra ánh sáng. Ví dụ, nguồn điện thứ nhất VDD có thể được bố trí làm nguồn điện cao thế, và nguồn điện thứ hai VSS có thể được bố trí làm nguồn điện hạ thế. Ở đây, sự chênh lệch điện thế giữa bộ cấp điện thứ nhất VDD và bộ cấp điện thứ hai VSS có thể được thiết lập về điện áp ngưỡng ngưỡng của các điốt phát quang LD hoặc hơn trong ít nhất một chu kỳ phát quang của điểm ảnh PX.

Mặc dù Fig.12 minh họa phương án trong đó các điốt phát quang LD tạo thành đơn vị phát quang EMU của mỗi điểm ảnh PXL được nối song song với nhau theo cùng

hướng (ví dụ, theo hướng thuận) giữa nguồn điện thứ nhất VDD và nguồn điện thứ hai VSS, nhưng sáng chế không bị giới hạn ở đó. Ví dụ, theo một phương án, một số điốt phát quang LD có thể được nối với nhau theo hướng thuận giữa bộ cấp điện thứ nhất VDD và bộ cấp điện thứ hai VSS, và các điốt phát quang khác LD có thể được nối với nhau theo hướng ngược lại. Theo cách khác, theo một phương án, ít nhất một điểm ảnh PXL có thể chỉ bao gồm một điốt phát quang LD.

Theo một phương án, một đầu (ví dụ, EP1 của các hình vẽ từ Fig.4 đến Fig.6) của mỗi trong số các điốt phát quang LD cấu thành từng đơn vị phát quang EMU có thể được kết nối chung với mạch điểm ảnh PXC tương ứng thông qua điện cực thứ nhất (ví dụ, ELT1 của các hình vẽ từ Fig.4 đến Fig.6), và được nối với nguồn điện thứ nhất VDD thông qua mạch điểm ảnh PXC. Đầu còn lại (ví dụ, EP2 của các hình vẽ từ Fig.4 đến Fig.6) của điốt phát quang LD có thể được nối chung với nguồn điện thứ hai VSS thông qua điện cực thứ hai (ví dụ, ELT2 của các hình vẽ từ Fig.4 đến Fig.6). Để thuận tiện, sau đây, điện cực thứ nhất ELT1 và điện cực thứ hai ELT2 được bố trí ở mỗi đơn vị phát quang EMU sẽ lần lượt được gọi là điện cực điểm ảnh thứ nhất và điện cực điểm ảnh thứ hai.

Mỗi đơn vị phát quang EMU có thể phát ra ánh sáng có độ sáng tương ứng với dòng điều khiển được cấp tới đó thông qua mạch điểm ảnh PXC tương ứng. Nhờ đó, hình ảnh định trước có thể được hiển thị trên vùng hiển thị DA.

Mạch điểm ảnh PXC có thể được nối với dòng quét Si và dòng dữ liệu Dj của điểm ảnh PXL tương ứng. Ví dụ, nếu điểm ảnh PXL được bố trí trên dòng thứ i và cột thứ j của vùng hiển thị DA, mạch điểm ảnh PXC của điểm ảnh PXL có thể được nối với dòng quét thứ i Si và dòng dữ liệu thứ j Dj của vùng hiển thị DA. Mạch điểm ảnh PXC có thể bao gồm tranzito thứ nhất T1 và tranzito thứ hai T2, và tụ điện dự trữ Cst.

Điện cực thứ nhất của tranzito thứ nhất (tranzito điều khiển; T1) có thể được nối với nguồn điện thứ nhất VDD, và điện cực thứ hai của nó có thể được nối với các điốt

phát quang LD thông qua điện cực điểm ảnh thứ nhất (tức là, điện cực thứ nhất ELT1 của đơn vị phát quang EMU tương ứng). Ở đây, điện cực thứ nhất và điện cực thứ hai của tranzito thứ nhất T1 có thể là các điện cực khác nhau. Ví dụ, nếu điện cực thứ nhất là điện cực nguồn, thì điện cực thứ hai là điện cực máng. Điện cực cổng của tranzito thứ nhất T1 được nối với nút thứ nhất N1. Tranzito thứ nhất T1 có thể điều khiển dòng điều khiển được cung cấp cho đơn vị phát quang EMU để đáp ứng lại điện áp của của nút thứ nhất N1.

Điện cực thứ nhất của tranzito thứ hai (tranzito chuyển mạch; T2) được nối với dòng dữ liệu Dj, và điện cực thứ hai của nó được nối với nút thứ nhất N1. Điện cực cổng của tranzito thứ hai T2 được nối với dòng quét Si.

Khi tín hiệu quét của điện áp cổng-bật (ví dụ, điện áp thấp) được cung cấp từ dòng quét Si, thì tranzito thứ hai T2 được bật để nối điện nút thứ nhất N1 với dòng dữ liệu Dj. Trong mỗi chu kỳ khung, tín hiệu dữ liệu của khung tương ứng được cấp cho dòng dữ liệu Dj. Tín hiệu dữ liệu được truyền tới nút thứ nhất N1 qua tranzito thứ hai T2. Nhờ đó, điện áp tương ứng với tín hiệu dữ liệu được sạc cho tụ điện dự trữ Cst.

Một điện cực của tụ điện dự trữ Cst được nối với nguồn cấp điện thứ nhất VDD, và điện cực còn lại của tụ điện dự trữ này được nối với nút thứ nhất N1. Tụ điện dự trữ Cst có thể sạc điện áp tương ứng với tín hiệu dữ liệu được cấp cho nút thứ nhất N1 trong mỗi chu kỳ khung, và duy trì điện áp được sạc cho đến khi tín hiệu dữ liệu của khung tiếp theo được cấp.

Mặc dù trên Fig.12, các tranzito, ví dụ, tranzito thứ nhất T1 và tranzito thứ hai T2, được bao gồm trong mạch điểm ảnh PXC đã được minh họa là được tạo thành từ các tranzito loại P, nhưng sáng chế không bị giới hạn ở đó. Nói cách khác, tranzito bất kỳ trong số tranzito thứ nhất T1 và tranzito thứ hai T2 có thể được thay đổi thành tranzito loại N.

Ví dụ, như được minh họa trên Fig.13, cả tranzito thứ nhất và thứ hai T1 và T2 có

thể được tạo thành từ tranzito loại N. Cấu hình và hoạt động của điểm ảnh PX được minh họa trên Fig.13, ngoài thực tế là các vị trí nối của một số phần tử mạch đã được thay đổi tùy thuộc vào sự thay đổi chủng loại của tranzito thứ nhất T1 và tranzito thứ hai T2, về cơ bản là tương tự với điểm ảnh PXL trên Fig.12. Do đó, phần mô tả chi tiết của điểm ảnh PXL trên Fig.13 sẽ được lược bỏ.

Cấu trúc của mạch điểm ảnh PXC không bị giới hạn ở các phương án được thể hiện trên Fig.12 và Fig.13. Nói cách khác, mạch điểm ảnh PXC có thể được tạo thành từ mạch điểm ảnh đã biết mà có thể có các cấu trúc khác nhau và/hoặc được điều khiển bởi các sơ đồ điều khiển khác nhau. Ví dụ, mạch điểm ảnh PXC có thể được tạo cấu trúc theo cách tương tự như của phương án được minh họa trên Fig.14.

Dựa vào Fig.14, mạch điểm ảnh PXC có thể được nối không chỉ với dòng quét Si của dòng ngang tương ứng mà còn với ít nhất một dòng quét khác (hoặc dòng điều khiển). Ví dụ, mạch điểm ảnh PXC của điểm ảnh PXL được bố trí trên hàng thứ i của vùng hiển thị DA cũng có thể được nối với dòng quét thứ i Si-1 và/hoặc dòng quét thứ i+1 Si+1. Theo một phương án, mạch điểm ảnh PXC có thể được nối không chỉ với bộ cấp điện thứ nhất VDD và bộ cấp điện thứ hai VSS mà còn với bộ cấp điện thứ ba. Ví dụ, mạch điểm ảnh PXC còn có thể được nối với bộ cấp điện kích hoạt Vint. Theo một phương án, mạch điểm ảnh PXC có thể bao gồm các tranzito từ tranzito thứ nhất T1 đến tranzito thứ bảy T7 và tụ điện dự trữ Cst.

Điện cực thứ nhất của tranzito thứ nhất T1 được nối với nguồn điện thứ nhất VDD qua tranzito thứ năm T5, và điện cực thứ hai của nó được nối với các điôt phát quang LD qua tranzito thứ sáu T6. Điện cực cổng của tranzito thứ nhất T1 có thể được nối với nút thứ nhất N1. Tranzito thứ nhất T1 có thể điều khiển dòng điều khiển được cung cấp cho đơn vị phát quang EMU để đáp ứng lại điện áp của của nút thứ nhất N1.

Tranzito thứ hai T2 được nối giữa dòng dữ liệu Dj và điện cực thứ nhất của tranzito thứ nhất T1. Điện cực cổng của tranzito thứ hai T2 được nối với dòng quét Si

tương ứng. Khi tín hiệu quét của điện áp công-bật được cung cấp từ dòng quét Si, tranzito thứ hai T2 có thể được bật để nối điện dòng dữ liệu Dj với điện cực thứ nhất của tranzito thứ nhất T1. Do đó, nếu tranzito thứ hai T2 được bật, tín hiệu dữ liệu được cấp từ dòng dữ liệu Dj có thể được truyền tới tranzito thứ nhất T1.

Tranzito thứ ba T3 được nối giữa điện cực thứ hai của tranzito thứ nhất T1 và nút thứ nhất N1. Điện cực cổng của tranzito thứ ba T3 được nối với dòng quét Si tương ứng. Khi tín hiệu quét của điện áp công-bật được cung cấp từ dòng quét Si, thì tranzito thứ ba T3 có thể được bật để nối điện cực thứ hai của tranzito thứ nhất T1 với nút thứ nhất N1. Do đó, nếu tranzito thứ ba T3 được bật, thì tranzito thứ nhất T1 có thể được nối dưới dạng điốt.

Tranzito thứ tư T4 có thể được nối giữa nút thứ nhất N1 và nguồn cấp điện kích hoạt Vint. Điện cực cổng của tranzito thứ tư T4 được nối với dòng quét trước, ví dụ, dòng quét thứ i-1 Si-1. Khi tín hiệu quét của điện áp công-bật được cung cấp cho dòng quét thứ i-1 Si-1, thì tranzito thứ tư T4 có thể được bật lên sao cho điện áp của bộ cấp điện kích hoạt Vint có thể được truyền đến nút thứ nhất N1. Ở đây, điện áp của bộ cấp điện kích hoạt Vint có thể là điện áp tối thiểu của tín hiệu dữ liệu hoặc nhỏ hơn.

Tranzito thứ năm T5 được nối giữa nguồn điện thứ nhất VDD và tranzito thứ nhất T1. Điện cực cổng của tranzito thứ năm T5 được nối với dòng điều khiển phát tương ứng, ví dụ, dòng điều khiển phát thứ i Ei. Tranzito thứ năm T5 có thể được tắt khi tín hiệu điều khiển phát của điện áp công-tắt (ví dụ, điện áp cao) được cung cấp cho dòng điều khiển phát Ei, và có thể được bật trong các trường hợp khác.

Tranzito thứ sáu T6 được nối giữa tranzito thứ nhất T1 và các điốt phát quang LD. Điện cực cổng của tranzito thứ sáu T6 được nối với dòng điều khiển phát tương ứng, ví dụ, dòng điều khiển phát thứ i Ei. Tranzito thứ sáu T6 có thể được tắt khi tín hiệu điều khiển phát của điện áp công-tắt được cung cấp cho dòng điều khiển phát Ei, và có thể được bật trong các trường hợp khác.

Tranzito thứ bảy T7 được nối giữa đơn vị phát quang EMU (ví dụ, điện cực điểm ảnh thứ nhất được nối với các đầu thứ nhất của các điốt phát quang LD) và bộ cấp điện kích hoạt Vint, tức là, giữa nút thứ hai N2 và bộ cấp điện kích hoạt Vint. Điện cực cổng của tranzito thứ bảy T7 được nối với dòng quét bất kỳ trong số các dòng quét của giai đoạn sau đó, ví dụ, với dòng quét thứ $i+1$ Si+1. Khi tín hiệu quét của điện áp cổng-bật được cung cấp cho dòng quét thứ $i+1$ Si+1, thì tranzito thứ bảy T7 có thể được bật sao cho điện áp của bộ cấp điện kích hoạt Vint có thể được cung cấp cho điện cực điểm ảnh thứ nhất.

Tụ điện dự trữ Cst được nối giữa nguồn điện thứ nhất VDD và nút thứ nhất N1. Tụ điện dự trữ Cst có thể lưu trữ điện áp tương ứng với cả tín hiệu dữ liệu được đưa vào nút thứ nhất N1 trong mỗi giai đoạn khung và điện áp ngưỡng của tranzito thứ nhất T1.

Mặc dù trên Fig.14, các tranzito, ví dụ, từ tranzito thứ nhất T1 đến tranzito thứ bảy T7, được bao gồm trong mạch điểm ảnh PXC đã được minh họa là được tạo thành từ các tranzito loại P, nhưng sáng chế không bị giới hạn ở đó. Ví dụ, ít nhất một trong số các tranzito từ tranzito thứ nhất T1 đến tranzito thứ bảy T7 có thể được thay đổi sang tranzito loại N.

Cấu trúc của điểm ảnh PXL mà có thể được ứng dụng cho sáng chế không bị giới hạn ở phương án được minh họa trên các hình vẽ từ Fig.12 đến Fig.14, và mỗi điểm ảnh PXL có thể có các cấu trúc đã biết khác nhau. Ví dụ, mạch điểm ảnh PXC được bao gồm trong mỗi điểm ảnh PXL có thể được tạo thành từ mạch điểm ảnh đã biết mà có thể có các cấu trúc khác nhau và/hoặc được điều khiển bởi các sơ đồ điều khiển khác nhau. Theo một phương án của sáng chế, mỗi điểm ảnh PXL có thể được tạo cấu trúc ở thiết bị hiển thị phát quang thụ động, hoặc tương tự. Trong trường hợp này, mạch điểm ảnh PXC có thể được lược bỏ, và mỗi trong số các điện cực điểm ảnh thứ nhất và thứ hai của đơn vị phát quang EMU có thể được nối trực tiếp với dòng quét Si, dòng dữ liệu Dj, đường điện, và/hoặc dòng điều khiển.

Fig.15 là hình chiếu bằng minh họa điểm ảnh PXL trên Fig.11 và, cụ thể hơn, minh họa phương án của bố cục của đơn vị phát quang EMU của mỗi điểm ảnh PXL. Fig.16 là hình vẽ mặt cắt được cắt dọc theo đường II-II' trên Fig.15.

Theo một phương án, đơn vị phát quang EMU được minh họa trên Fig.15 có thể có cấu hình về cơ bản tương tự hoặc giống cấu hình của thiết bị phát quang theo phương án nêu trên, ví dụ, phương án được minh họa trên Fig.4 hoặc phương án tương tự. Lớp phần tử hiển thị LDL được thể hiện trên Fig.16 minh họa mặt cắt tương ứng với đơn vị phát quang EMU trên Fig.15 và, ví dụ, có thể được tạo cấu trúc theo cách về cơ bản tương tự hoặc giống cấu trúc của tiết diện ngang của thiết bị phát quang theo phương án được minh họa trên Fig.5, v.v.. Do đó, trên Fig.15 và Fig.16, các số chỉ dẫn giống nhau được dùng để chỉ các bộ phận giống hoặc tương tự như các bộ phận của các phương án nêu trên Fig.4 và Fig.5, và phần mô tả chi tiết của chúng sẽ được lược bỏ.

Dựa vào Fig.15 và Fig.16, mỗi điểm ảnh PXL có thể bao gồm lớp mạch điểm ảnh PCL và lớp phần tử hiển thị LDL mà được xếp chồng trên nền SUB.

Theo một phương án, lớp mạch điểm ảnh PCL có thể bao gồm nhiều phần tử mạch được bố trí ở vùng hiển thị DA. Ví dụ, lớp mạch điểm ảnh PCL có thể bao gồm nhiều phần tử mạch mà được tạo thành ở các vùng điểm ảnh tương ứng PXA để tạo ra các mạch điểm ảnh PXC tương ứng. Ví dụ, lớp mạch điểm ảnh PCL có thể bao gồm ít nhất một tranzito T và tụ điện dự trữ Cst mà được bố trí ở mỗi vùng điểm ảnh PXA. Để tiện lợi, Fig.15 minh họa đại diện chỉ một tranzito T mà được nối trực tiếp với điện cực thứ nhất ELT1 (tức là, điện cực điểm ảnh thứ nhất) của lớp phần tử hiển thị LDL trong số các tranzito được cung cấp ở mạch điểm ảnh PXC. Các tranzito được cung cấp để tạo cấu trúc các mạch điểm ảnh PXC tương ứng có thể có cấu trúc mặt cắt ngang về cơ bản giống hoặc tương tự. Ngoài ra, theo sáng chế, cấu trúc của mỗi tranzito T không bị giới hạn ở cấu trúc được mô tả trong phương án được thể hiện trên Fig.16. Ví dụ, mỗi tranzito T có thể có các cấu trúc mặt cắt ngang đã biết khác nhau. Ngoài ra, theo một phương án của

sáng chế, nhiều tranzito được cung cấp để tạo cấu trúc các mạch điểm ảnh PXC tương ứng có thể có các chủng loại và/hoặc cấu trúc khác nhau.

Ngoài ra, lớp mạch điểm ảnh PCL có thể bao gồm nhiều lớp cách điện. Ví dụ, lớp mạch điểm ảnh PCL có thể bao gồm lớp cách điện cổng GI, lớp cách điện xen kẽ thứ nhất ILD1 và lớp cách điện xen kẽ thứ hai ILD2, và lớp thụ động PSV mà được xếp chồng liên tiếp lên nhau trên một bề mặt của nền SUB. Theo một phương án, lớp cách điện cổng GI, lớp cách điện xen kẽ thứ nhất ILD1 và lớp cách điện xen kẽ thứ hai ILD2, và lớp thụ động PSV có thể được xếp chồng liên tiếp giữa nền SUB và lớp phân tử hiển thị LDL. Lớp mạch điểm ảnh PCL có thể còn bao gồm ít nhất một lớp đệm BFL được bố trí giữa nền SUB và các phân tử mạch. Theo một phương án, ít nhất một trong số lớp đệm BFL, lớp cách điện cổng GI, lớp cách điện xen kẽ thứ nhất ILD1 và lớp cách điện xen kẽ thứ hai ILD2, và lớp thụ động PSV có thể được tạo ra trên một bề mặt của nền SUB bao gồm vùng hiển thị DA và vùng không hiển thị NDA.

Theo một phương án, lớp đệm BFL có thể ngăn tạp chất khuếch tán vào từng tranzito T. Lớp đệm BFL có thể được tạo thành từ một lớp, hoặc có thể được tạo thành từ nhiều lớp có ít nhất hai hoặc hơn hai lớp. Trong trường hợp lớp đệm BFL có cấu trúc nhiều lớp, thì các lớp tương ứng có thể được tạo ra từ các vật liệu giống nhau hoặc các vật liệu khác nhau. Theo một phương án, lớp đệm BFL có thể được lược bỏ.

Theo một phương án, mỗi tranzito T có thể bao gồm lớp bán dẫn SCL, điện cực cổng GE, điện cực tranzito thứ nhất ET1, và điện cực tranzito thứ hai ET2. Mặc dù Fig.16 minh họa phương án trong đó mỗi tranzito T bao gồm điện cực tranzito thứ nhất ET1 và điện cực tranzito thứ hai ET2 được tạo thành tách riêng khỏi lớp bán dẫn SCL, nhưng sáng chế không bị giới hạn ở đó. Ví dụ, theo một phương án, thay vì cấu trúc trong đó ít nhất một tranzito T được bố trí ở mỗi vùng điểm ảnh PXA theo cách tách riêng bao gồm điện cực tranzito thứ nhất ET1 và/hoặc điện cực tranzito thứ hai ET2, điện cực tranzito thứ nhất ET1 và/hoặc điện cực tranzito thứ hai ET2 này có thể được tạo liền khối với lớp

bán dẫn tương ứng SCL.

Lớp bán dẫn SCL có thể được bố trí trên lớp đệm BFL. Ví dụ, lớp bán dẫn SCL có thể được bố trí giữa lớp cách điện cổng GI và nền SUB mà lớp đệm BFL được tạo ra trên đó. Lớp bán dẫn SCL có thể bao gồm vùng thứ nhất mà tiếp xúc với điện cực tranzito thứ nhất ET1, vùng thứ hai mà tiếp xúc với điện cực tranzito thứ hai ET2, và vùng rãnh được bố trí giữa vùng thứ nhất và thứ hai. Theo một phương án, một trong số các vùng thứ nhất và thứ hai có thể là vùng nguồn, và vùng còn lại có thể là vùng máng.

Theo một phương án, lớp bán dẫn SCL có thể là hình mẫu bán dẫn được tạo thành từ polysilic, silic vô định hình, chất bán dẫn oxit, v.v.. Vùng rãnh của lớp bán dẫn SCL có thể là chất bán dẫn nội tại, mà là hình mẫu bán dẫn không pha tạp. Mỗi trong số vùng thứ nhất và thứ hai của lớp bán dẫn SCL có thể là hình mẫu bán dẫn được pha tạp với một tạp chất định trước.

Điện cực cổng GE có thể được bố trí trên lớp bán dẫn SCL với lớp cách điện cổng GI được bố trí xen giữa chúng. Ví dụ, điện cực cổng GE có thể được bố trí giữa lớp cách điện cổng GI và lớp cách điện xen kẽ thứ nhất ILD1 và chồng lên ít nhất một vùng của lớp bán dẫn SCL.

Điện cực tranzito thứ nhất ET1 và điện cực tranzito thứ hai ET2 có thể được bố trí trên lớp bán dẫn SCL với ít nhất một lớp cách điện, ví dụ, nhiều lớp cách điện, được bố trí xen giữa lớp bán dẫn SCL và điện cực tranzito thứ nhất ET1 và điện cực tranzito thứ hai ET2. Ví dụ, điện cực tranzito thứ nhất ET1 và điện cực tranzito thứ hai ET2 có thể được bố trí giữa lớp cách điện xen kẽ thứ hai ILD2 và lớp thụ động PSV. Điện cực tranzito thứ nhất ET1 và điện cực tranzito thứ hai ET2 có thể được nối điện với lớp bán dẫn SCL. Ví dụ, điện cực tranzito thứ nhất ET1 và điện cực tranzito thứ hai ET2 có thể lần lượt tiếp xúc với vùng thứ nhất và vùng thứ hai của lớp bán dẫn SCL thông qua các lỗ tiếp xúc tương ứng mà đi qua lớp cách điện xen kẽ thứ nhất ILD1 và lớp cách điện xen kẽ thứ hai ILD2 và lớp cách điện cổng GI.

Theo một phương án, điện cực bất kỳ trong số các điện cực tranzito thứ nhất ET1 và điện cực tranzito thứ hai ET2 có thể được nối điện với điện cực thứ nhất ELT1, tức là, điện cực điểm ảnh thứ nhất, của lớp phần tử hiển thị LDL được bố trí trên lớp thụ động PSV bởi ít nhất một lỗ tiếp xúc (ví dụ, lỗ tiếp xúc thứ nhất CH1) đi qua lớp thụ động PSV. Tuy nhiên, cấu trúc này có thể được thay đổi bởi các tranzito tùy thuộc vào vị trí kết nối, v.v., của mỗi tranzito T.

Theo một phương án, tụ điện dự trữ Cst có thể bao gồm điện cực tụ điện thứ nhất CSE1 và điện cực tụ điện thứ hai CSE2 được bố trí trên các lớp khác nhau ở các vị trí được đặt cách xa nhau. Ví dụ, điện cực tụ điện thứ nhất CSE1 có thể được bố trí giữa lớp cách điện xen kẽ thứ nhất ILD1 và lớp cách điện xen kẽ thứ hai ILD2. Điện cực tụ điện thứ hai CSE2 có thể được bố trí trên ít nhất một lớp dẫn điện mà tạo thành tranzito T, ví dụ, ở cùng lớp với ít nhất một trong số lớp bán dẫn SCL, điện cực cổng GE, và điện cực tranzito thứ nhất ET1 và điện cực tranzito thứ hai ET2. Ví dụ, điện cực tụ điện thứ hai CSE2 cùng với điện cực cổng GE của tranzito T có thể được bố trí giữa lớp cách điện cổng GI và lớp cách điện xen kẽ thứ nhất ILD1.

Mặc dù dễ để mô tả, Fig.16 minh họa rằng mỗi trong số điện cực tụ điện thứ nhất CSE1 và điện cực tụ điện thứ hai CSE2 được tạo thành từ một lớp, sáng chế không bị giới hạn ở đó. Ví dụ, ít nhất một trong số điện cực tụ điện thứ nhất CSE1 và điện cực tụ điện thứ hai CSE2 có thể được tạo thành từ nhiều lớp, và cấu trúc xếp chồng và/hoặc vị trí của điện cực tụ điện thứ nhất CSE1 và điện cực tụ điện thứ hai CSE2 có thể được thay đổi theo nhiều cách khác nhau.

Lớp phần tử hiển thị LDL là lớp trên đó đơn vị phát quang EMU của mỗi điểm ảnh PXL được bố trí và, ví dụ, có thể được tạo cấu trúc theo cách giống như của thiết bị phát quang được mô tả dựa trên Fig.4 và Fig.5. Ví dụ, lớp phần tử hiển thị LDL có thể bao gồm điện cực thứ nhất ELT1 và điện cực thứ hai ELT2 được bố trí ở mỗi vùng điểm ảnh PXA trên lớp mạch điểm ảnh PCL, và ít nhất một điôt phát quang LD được nối điện

giữa điện cực thứ nhất ELT1 và điện cực thứ hai ELT2. Ví dụ, lớp phân tử hiển thị LDL có thể bao gồm nhiều điôt phát quang LD mà được tạo thành trên lớp mạch điểm ảnh PCL ở mỗi vùng điểm ảnh PXA và tạo cấu trúc mỗi đơn vị phát quang EMU.

Theo một phương án, điện cực thứ nhất ELT1, tức là, điện cực điểm ảnh thứ nhất, của lớp phân tử hiển thị LDL có thể được nối điện với phần tử mạch, ví dụ, ít nhất một tranzito T, của lớp mạch điểm ảnh PCL thông qua lỗ tiếp xúc thứ nhất CH1. Điện cực thứ hai ELT2, tức là, điện cực điểm ảnh thứ hai, của lớp phân tử hiển thị LDL có thể được nối điện với đường điện (hoặc dòng điều khiển), mà không được minh họa, thông qua lỗ tiếp xúc thứ hai CH2. Theo một phương án, đường điện có thể được bố trí trên cùng lớp với ít nhất một lớp dẫn điện được tạo thành trên lớp mạch điểm ảnh PCL và được nối điện với điện cực thứ hai ELT2 của lớp phân tử hiển thị LDL thông qua lỗ tiếp xúc thứ hai CH2, nhưng sáng chế không bị giới hạn ở đó.

Như được mô tả theo phương án nêu trên, đơn vị phát quang EMU của mỗi điểm ảnh PXL có thể được tạo cấu trúc theo cách về cơ bản tương tự hoặc giống cấu trúc của thiết bị phát quang sử dụng ít nhất một điôt phát quang LD. Do thiết bị phát quang theo một phương án của sáng chế đã được mô tả ở trên, nên phần mô tả chi tiết của mỗi đơn vị phát quang EMU tương ứng với thiết bị phát quang và lớp phân tử hiển thị LDL để tạo cấu trúc đơn vị phát quang EMU sẽ được lược bỏ.

Mặc dù tinh thần và phạm vi của sáng chế được mô tả theo các phương án đã được nêu làm ví dụ cụ thể, cần lưu ý rằng các phương án được mô tả ở trên chỉ mang tính chất mô tả và không nên được coi là giới hạn sáng chế. Người có hiểu biết trung bình về lĩnh vực kỹ thuật liên quan sẽ hiểu rằng nhiều thay đổi, thay thế, và biến đổi khác nhau có thể được thực hiện ở đây mà không vượt ra khỏi phạm vi của sáng chế như được xác định ở các điểm yêu cầu bảo hộ dưới đây.

Phạm vi của sáng chế không bị giới hạn ở các phần mô tả chi tiết của sáng chế, và cần được xác định ở các điểm yêu cầu bảo hộ kèm theo. Ngoài ra, tất cả các thay đổi hoặc

cải biến của sáng chế bắt nguồn từ ý nghĩa và phạm vi của các điểm yêu cầu bảo hộ, và các dạng tương đương của chúng cần được hiểu là cũng nằm trong phạm vi của sáng chế.

YÊU CẦU BẢO HỘ

1. Thiết bị phát quang bao gồm:

nền;

điện cực thứ nhất và điện cực thứ hai được bố trí trên nền và được đặt cách xa nhau;

ít nhất một điôt phát quang được bố trí giữa điện cực thứ nhất và điện cực thứ hai và bao gồm đầu thứ nhất và đầu thứ hai ở các phía đối diện nhau theo phương dọc;

mẫu cách điện được bố trí sao cho che phần phía trên của điôt phát quang và để lộ đầu thứ nhất và đầu thứ hai của điôt phát quang;

điện cực tiếp xúc thứ nhất tiếp xúc với đầu thứ nhất của điôt phát quang, và nối điện đầu thứ nhất với điện cực thứ nhất; và

điện cực tiếp xúc thứ hai tiếp xúc với đầu thứ hai của điôt phát quang, và nối điện đầu thứ hai với điện cực thứ hai,

trong đó, mẫu cách điện che hoàn toàn đầu thứ nhất và đầu thứ hai của điôt phát quang khi được quan sát từ phía trên của nền, và có mặt cắt ngang có hình dạng trong đó chiều rộng của nó được làm giảm ở vùng đầu dưới của nó.

2. Thiết bị phát quang theo điểm 1,

trong đó, điện cực tiếp xúc thứ nhất và điện cực tiếp xúc thứ hai lần lượt tiếp xúc với các bề mặt bên đối diện nhau của điôt phát quang ở đầu thứ nhất và đầu thứ hai, và

trong đó, một đầu của mỗi trong số điện cực tiếp xúc thứ nhất và điện cực tiếp xúc thứ hai tiếp xúc với vùng đầu dưới của mẫu cách điện mà không kéo dài đến bề mặt trên của điôt phát quang.

3. Thiết bị phát quang theo điểm 1, trong đó điện cực tiếp xúc thứ nhất và điện cực tiếp xúc thứ hai được đặt cách xa nhau với điôt phát quang được bố trí xen giữa chúng, và

được bố trí trên cùng một lớp hoặc ở cùng một chiều cao trên nền.

4. Thiết bị phát quang theo điểm 1, trong đó mẫu cách điện bao gồm:

bề mặt bên thứ nhất được bố trí trên đầu thứ nhất của điôt phát quang, và bao gồm bề mặt nghiêng hoặc bề mặt cong; và

bề mặt bên thứ hai được bố trí trên đầu thứ hai của điôt phát quang, và bao gồm bề mặt nghiêng hoặc bề mặt cong.

5. Thiết bị phát quang theo điểm 4,

trong đó đầu trên của bề mặt bên thứ nhất được đặt ở vị trí cách xa khỏi đầu thứ nhất theo hướng về phía điện cực thứ nhất bởi một khoảng cách bằng hoặc lớn hơn chiều dày của điện cực tiếp xúc thứ nhất và điện cực tiếp xúc thứ hai, khi được quan sát từ phía trên của nền, và

trong đó đầu trên của bề mặt bên thứ hai được đặt ở vị trí cách xa khỏi đầu thứ hai theo hướng về phía điện cực thứ hai bởi một khoảng cách bằng hoặc lớn hơn chiều dày của điện cực tiếp xúc thứ nhất và điện cực tiếp xúc thứ hai, khi được quan sát từ phía trên của nền.

6. Thiết bị phát quang theo điểm 1, trong đó mẫu cách điện có chiều dày bằng hoặc lớn hơn chiều dày của mỗi trong số điện cực tiếp xúc thứ nhất và điện cực tiếp xúc thứ hai.

7. Thiết bị phát quang theo điểm 1, trong đó thiết bị phát quang này còn bao gồm:

ít nhất một lớp cách điện thứ nhất được bố trí giữa điện cực thứ nhất và vùng điện cực tiếp xúc thứ nhất; và

ít nhất một lớp cách điện thứ hai được bố trí giữa điện cực thứ hai và vùng điện cực tiếp xúc thứ hai.

8. Thiết bị phát quang theo điểm 7, trong đó mẫu cách điện có chiều dày nhỏ hơn so với chiều dày của mỗi trong số lớp cách điện thứ nhất và lớp cách điện thứ hai.

9. Thiết bị phát quang theo điểm 1, trong đó bề mặt trên của mẫu cách điện có chiều rộng lớn hơn chiều dài của điôt phát quang.

10. Thiết bị phát quang theo điểm 1, trong đó thiết bị phát quang này còn bao gồm:

mẫu dẫn điện được bố trí trên mẫu cách điện và được bố trí để chồng lên điôt phát quang, và được tách ra khỏi điôt phát quang và điện cực tiếp xúc thứ nhất và điện cực tiếp xúc thứ hai bởi mẫu cách điện.

11. Thiết bị phát quang theo điểm 10, trong đó mẫu dẫn điện được tạo thành từ vật liệu giống với vật liệu của điện cực tiếp xúc thứ nhất và điện cực tiếp xúc thứ hai và được cách điện.

12. Thiết bị phát quang theo điểm 1, trong đó thiết bị phát quang này còn bao gồm lớp cách điện thứ ba được bố trí giữa nền và điôt phát quang.

13. Thiết bị phát quang theo điểm 1, trong đó điôt phát quang được bố trí theo phương ngang trên một bề mặt của nền, và được định hướng theo hướng bên giữa điện cực thứ nhất và điện cực thứ hai.

14. Thiết bị phát quang theo điểm 1, trong đó điôt phát quang bao gồm điôt phát quang dạng cần có đường kính hoặc chiều dài nằm trong khoảng từ kích thước cỡ nano đến kích thước cỡ micro.

15. Phương pháp chế tạo thiết bị phát quang, phương pháp này bao gồm các bước:

tạo thành điện cực thứ nhất và điện cực thứ hai được đặt cách xa nhau trên nền;

tạo thành lớp vật liệu cách điện thứ nhất trên nền mà trên đó điện cực thứ nhất và điện cực thứ hai được tạo thành;

cung cấp ít nhất một điôt phát quang trên nền mà trên đó lớp vật liệu cách điện thứ nhất được tạo thành, và căn chỉnh điôt phát quang giữa điện cực thứ nhất và điện cực thứ hai sao cho đầu thứ nhất và đầu thứ hai của điôt phát quang lần lượt liền kề với điện cực

thứ nhất và điện cực thứ hai;

tạo thành lớp vật liệu cách điện thứ hai trên nền mà trên đó điôt phát quang được căn thẳng;

tạo thành mặt nạ trên nền mà trên đó lớp vật liệu cách điện thứ hai được tạo thành, và khắc các lớp vật liệu cách điện thứ nhất và vật liệu cách điện thứ hai sao cho ít nhất một vùng của điện cực thứ nhất và điện cực thứ hai và đầu thứ nhất và đầu thứ hai được lộ ra;

tạo thành điện cực tiếp xúc thứ nhất và điện cực tiếp xúc thứ hai được cấu tạo để lần lượt nối đầu thứ nhất và đầu thứ hai với điện cực thứ nhất và điện cực thứ hai,

trong đó bước khắc các lớp vật liệu cách điện thứ nhất và vật liệu cách điện thứ hai bao gồm bước khắc trùn lớp vật liệu cách điện thứ hai trên các bên đối diện của điôt phát quang mà trên đó đầu thứ nhất và đầu thứ hai được bố trí, và tạo thành mẫu cách điện che hoàn toàn đầu thứ nhất và đầu thứ hai ở phía trên đỉnh của điôt phát quang và làm lộ đầu thứ nhất và đầu thứ hai trong khi chiều rộng được làm giảm xuống ở vùng đầu dưới của nó liền kề với điôt phát quang.

16. Phương pháp theo điểm 15, trong đó bước tạo thành mặt nạ bao gồm các bước:

tạo thành lớp cản quang trên nền mà trên đó lớp vật liệu cách điện thứ hai được tạo thành; và

tạo thành các khoảng trống thứ nhất và khoảng trống thứ hai ở lớp cản quang sao cho lớp vật liệu cách điện thứ hai trên điện cực thứ nhất và điện cực thứ hai được lộ ra một phần ở các vị trí lần lượt cách xa khỏi đầu thứ nhất và đầu thứ hai một khoảng cách định trước.

17. Phương pháp theo điểm 15, trong đó, trong bước tạo thành điện cực tiếp xúc thứ nhất và điện cực tiếp xúc thứ hai, mẫu dẫn điện được tách ra khỏi điôt phát quang và điện cực tiếp xúc thứ nhất và điện cực tiếp xúc thứ hai cũng được tạo thành tiếp trên mẫu cách

điện.

18. Phương pháp theo điểm 15, trong đó điện cực thứ nhất và điện cực thứ hai được tạo thành đồng thời trên cùng lớp trên nền.

19. Phương pháp theo điểm 15, trong đó điện cực tiếp xúc thứ nhất và điện cực tiếp xúc thứ hai được tạo thành đồng thời trên cùng lớp trên nền.

20. Thiết bị hiển thị bao gồm:

nền bao gồm vùng hiển thị; và

điểm ảnh được bố trí trong vùng hiển thị,

trong đó điểm ảnh này bao gồm:

điện cực thứ nhất và điện cực thứ hai được bố trí trên khu vực nền và được đặt cách xa nhau;

ít nhất một điôt phát quang được bố trí giữa điện cực thứ nhất và điện cực thứ hai và bao gồm đầu thứ nhất và đầu thứ hai ở các phía đối diện nhau theo phương dọc;

mẫu cách điện được bố trí sao cho che phần phía trên của điôt phát quang, và làm lộ đầu thứ nhất và đầu thứ hai của điôt phát quang;

điện cực tiếp xúc thứ nhất tiếp xúc với đầu thứ nhất của điôt phát quang, và nối đầu thứ nhất với điện cực thứ nhất; và

điện cực tiếp xúc thứ hai tiếp xúc với đầu thứ hai của điôt phát quang, và nối đầu thứ hai với điện cực thứ hai, và

trong đó mẫu cách điện che hoàn toàn đầu thứ nhất và đầu thứ hai của điôt phát quang khi được quan sát từ phía trên của nền, và có mặt cắt ngang có hình dạng mà trong đó chiều rộng của nó được làm giảm ở vùng đầu dưới của nó.

1/15

FIG. 1A

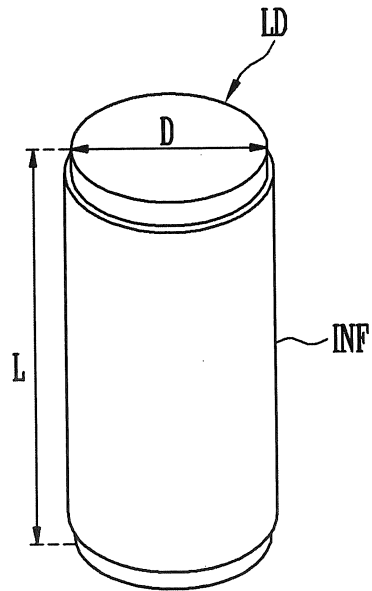


FIG. 1B

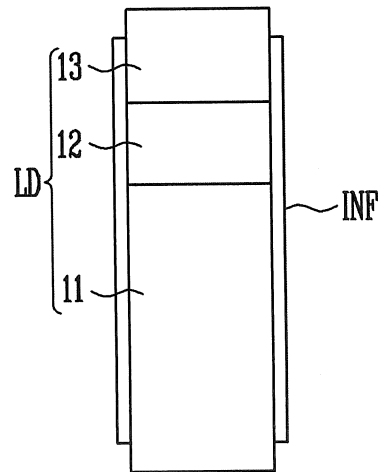


FIG. 2A

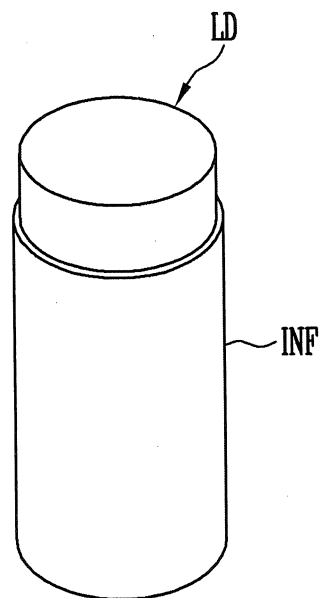
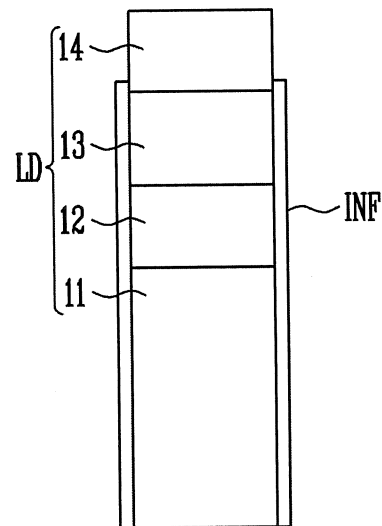


FIG. 2B



2/15

FIG. 3A

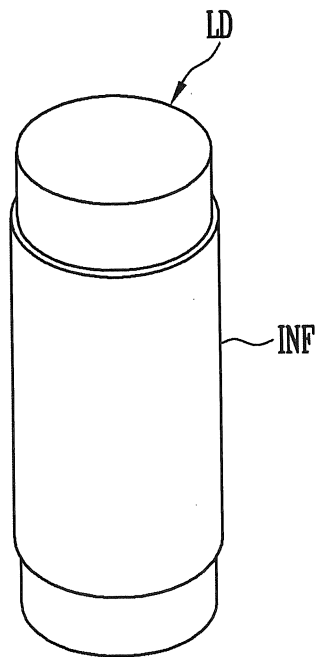
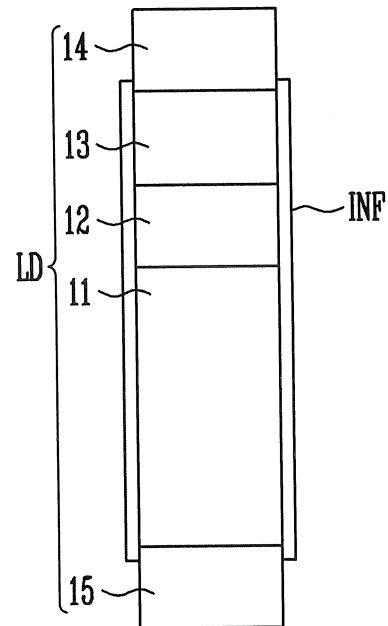
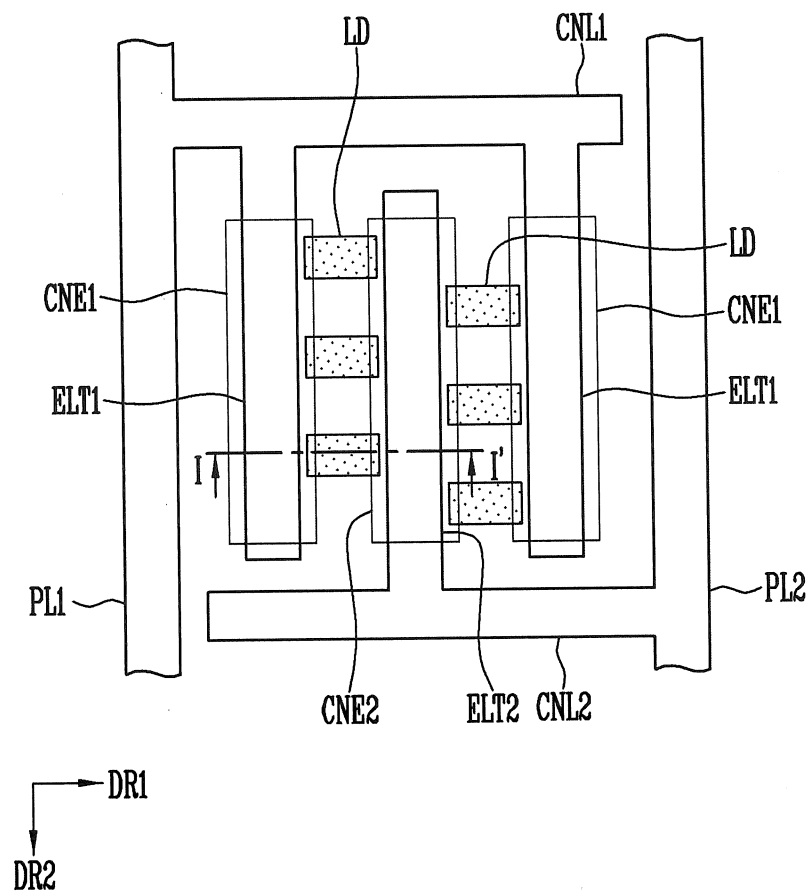


FIG. 3B



3/15

FIG. 4



4/15

FIG. 5

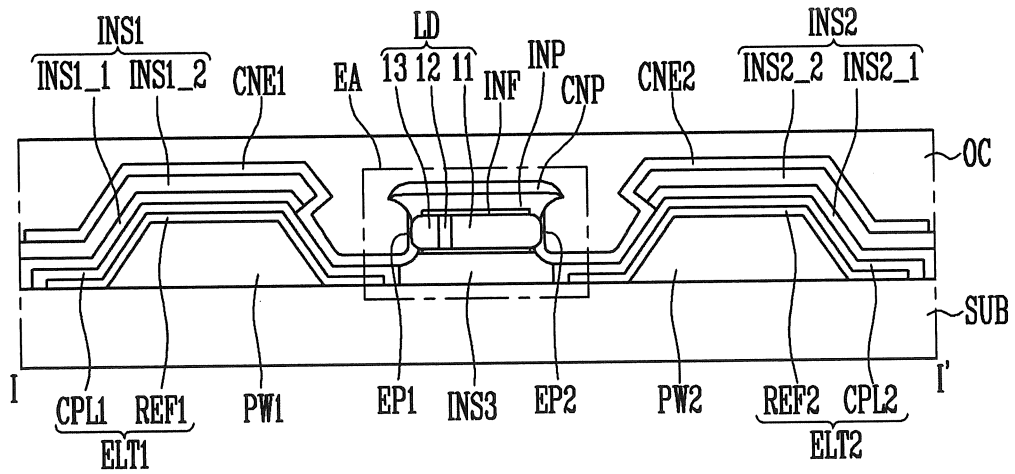
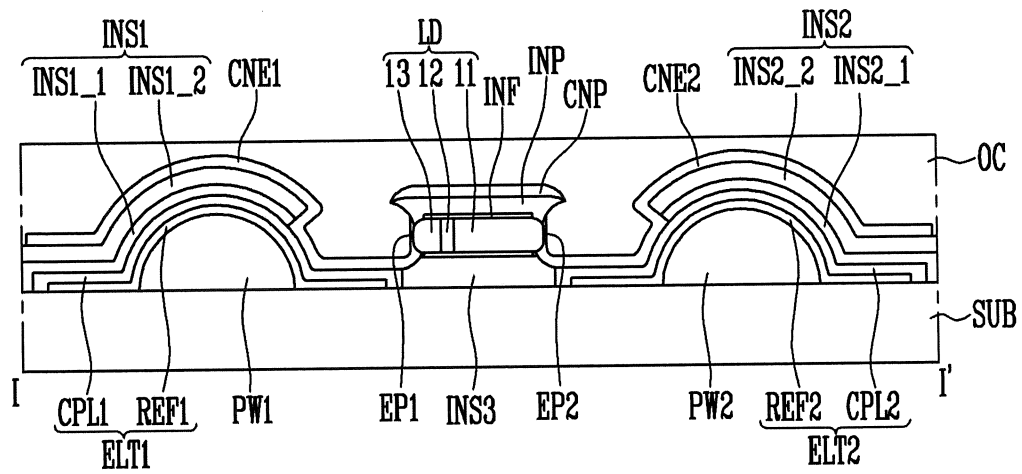


FIG. 6



5/15

FIG. 7

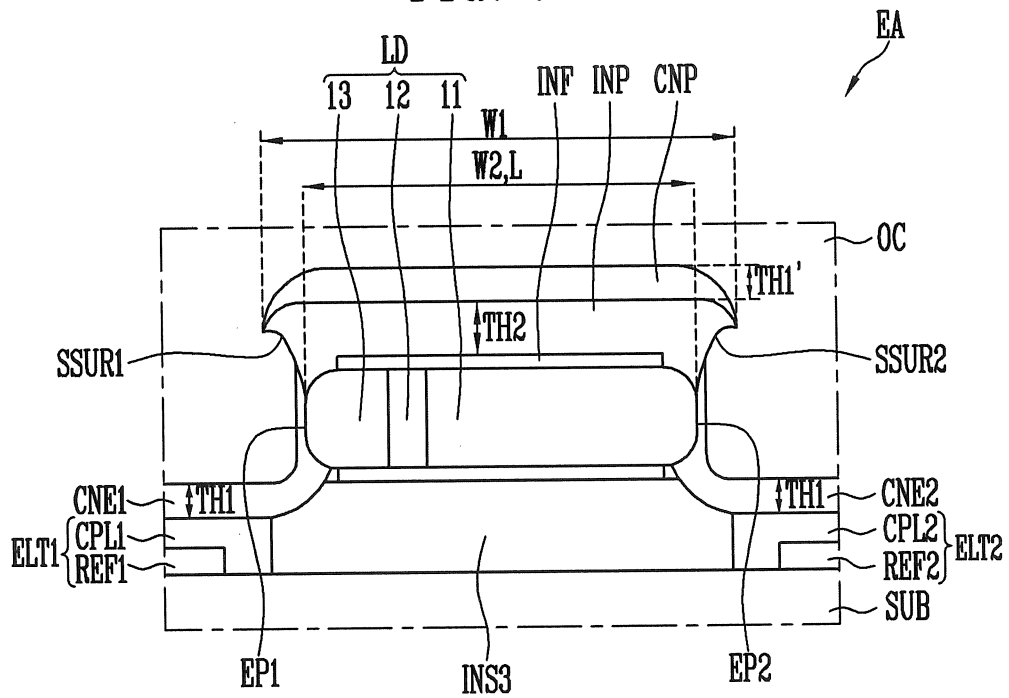
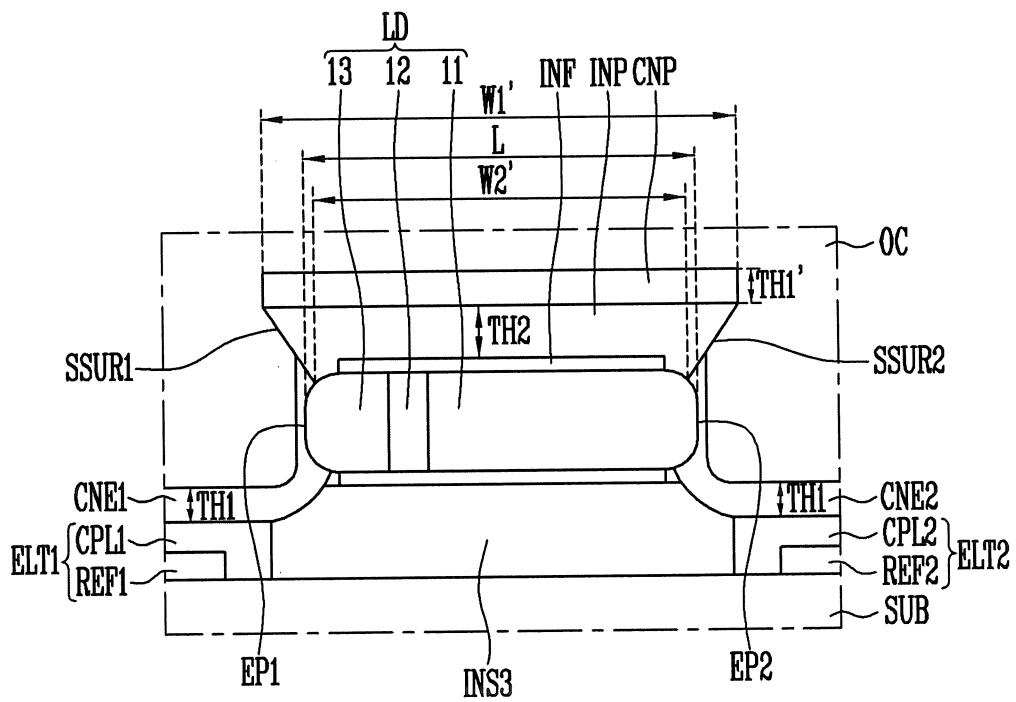
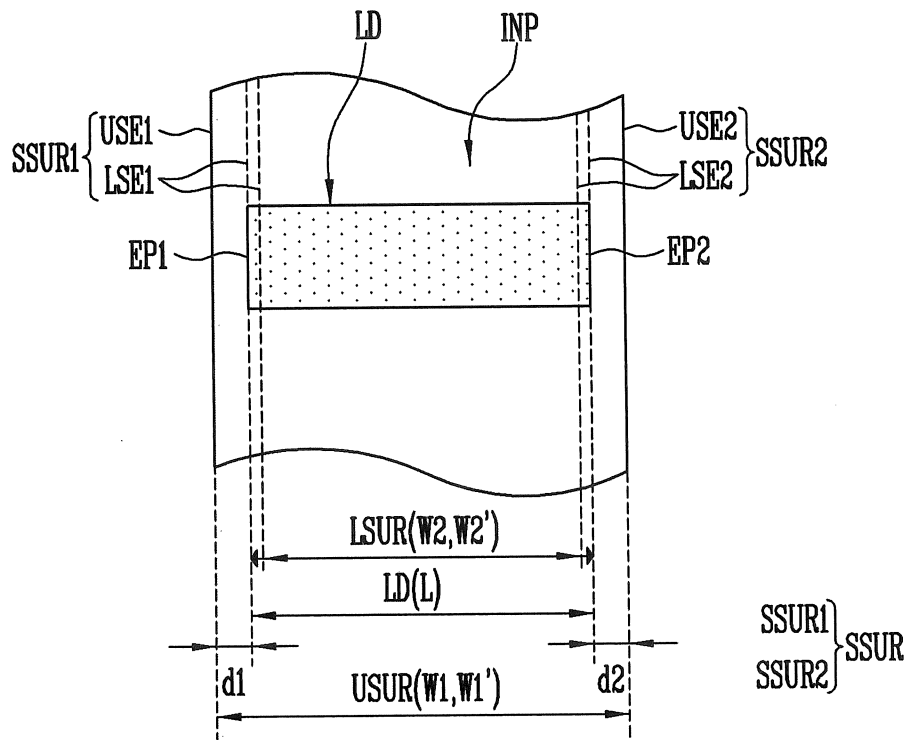


FIG. 8



6/15

FIG. 9



7/15

FIG. 10A

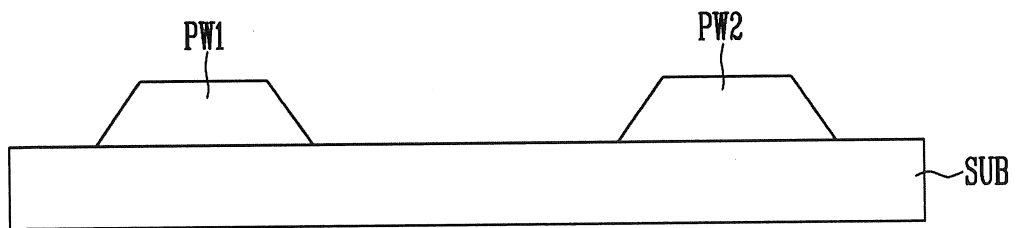
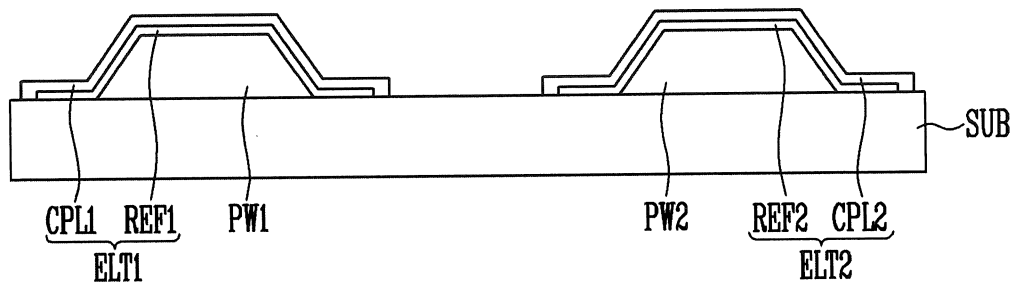


FIG. 10B



8/15

FIG. 10C

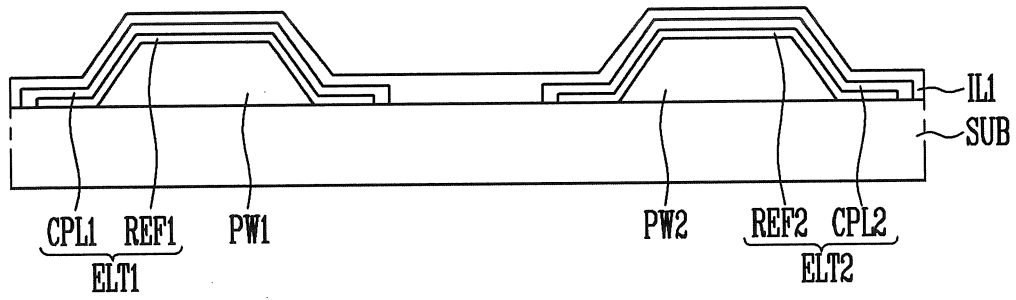


FIG. 10D

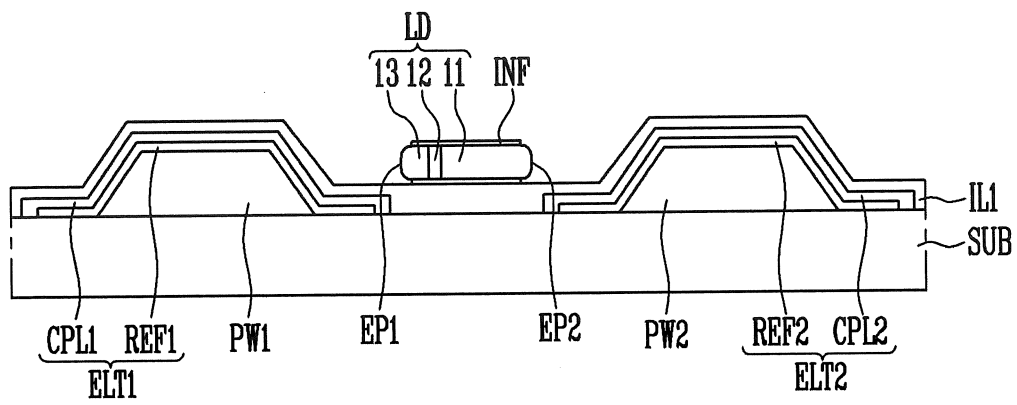
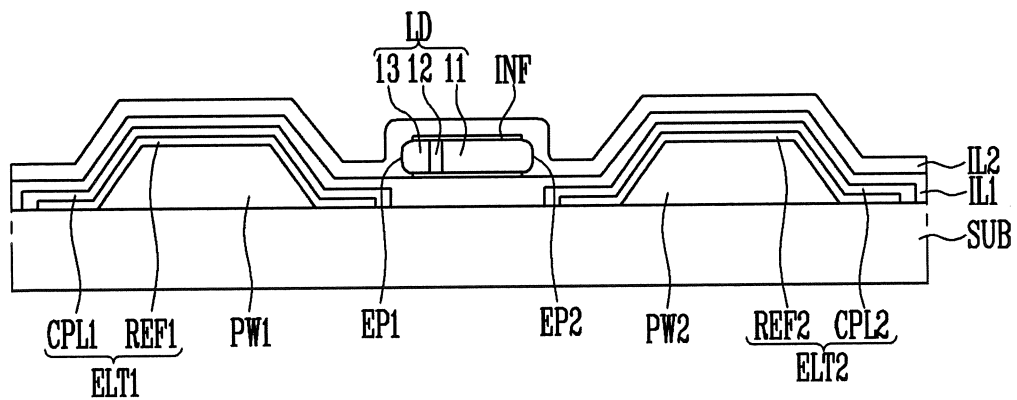


FIG. 10E



9/15

FIG. 10F

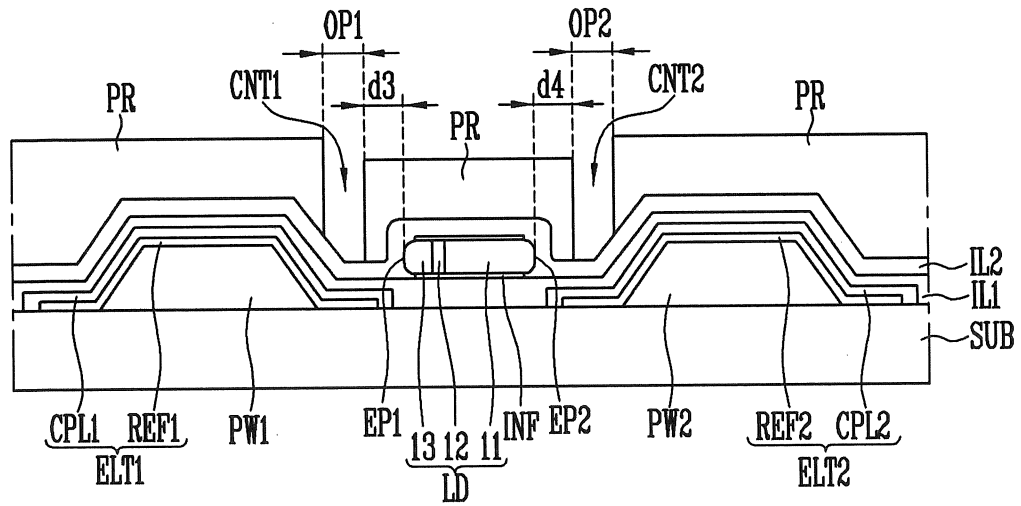
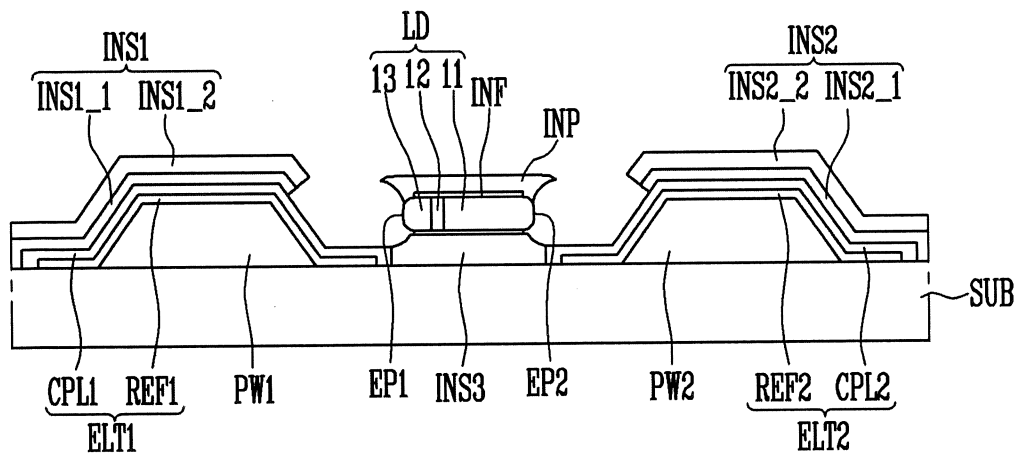


FIG. 10G



10/15

FIG. 10H

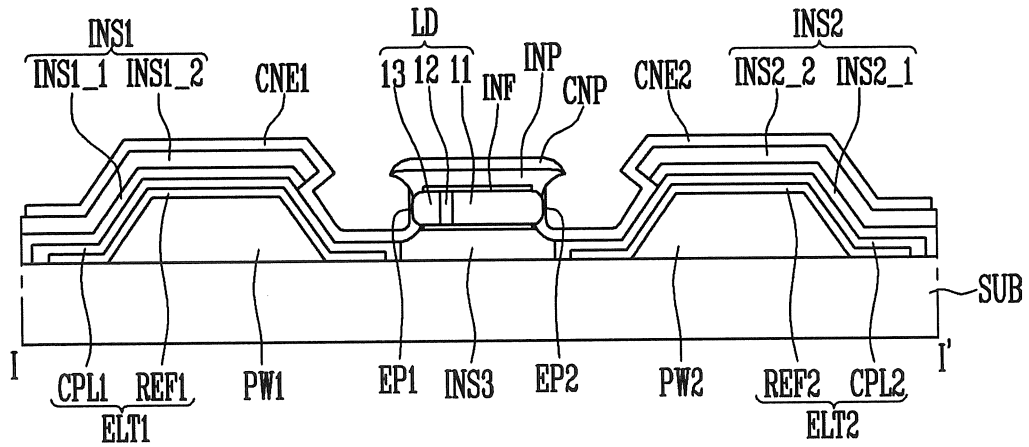
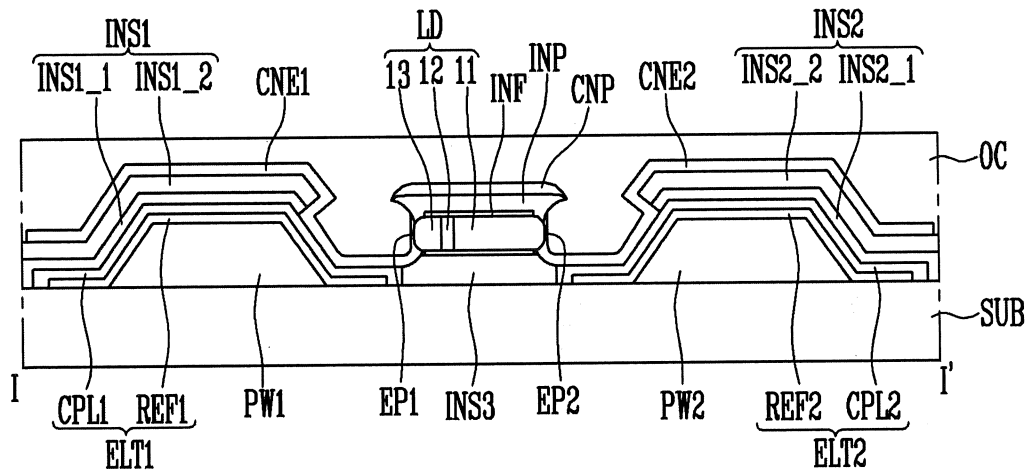
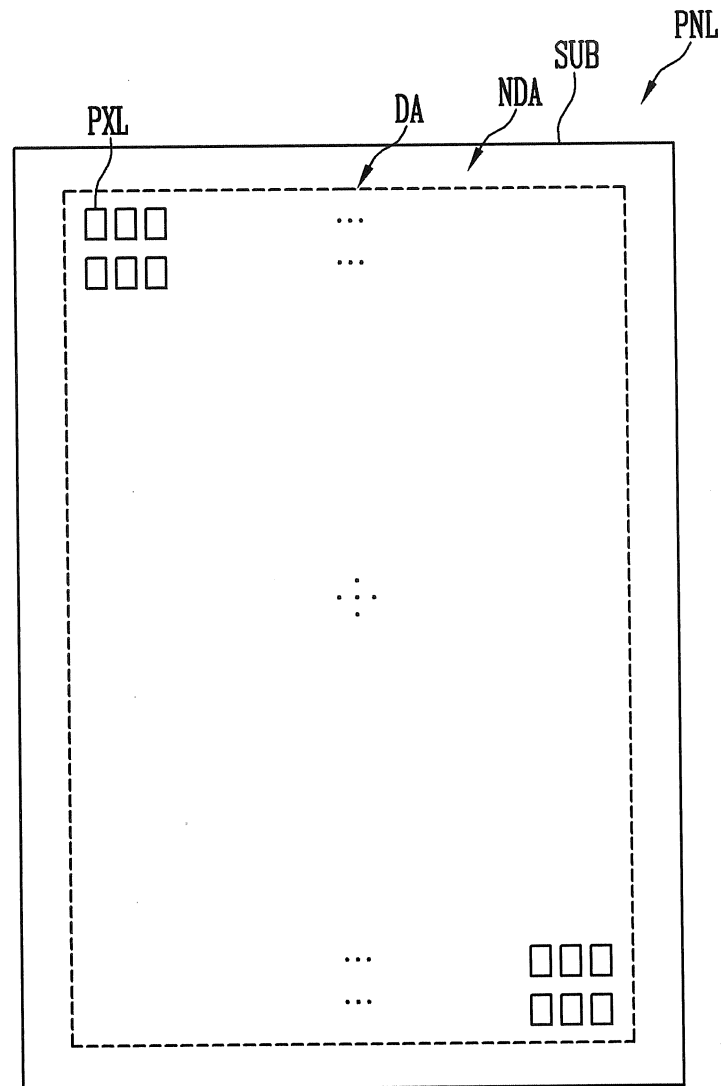


FIG. 10I



11/15

FIG. 11



12/15

FIG. 12

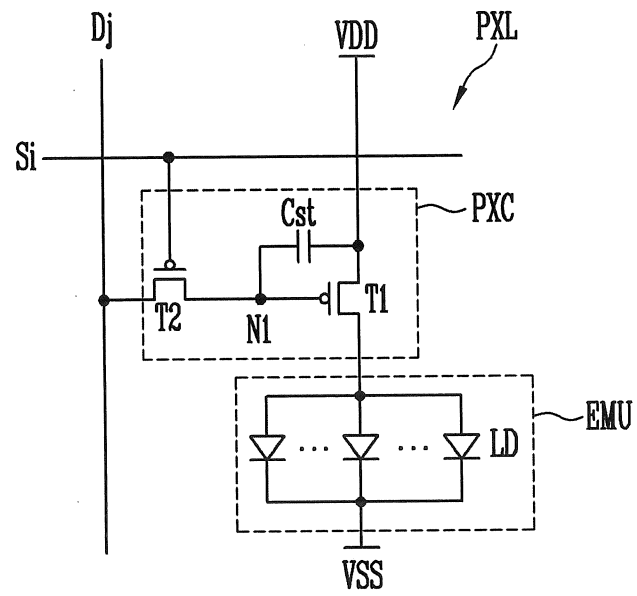
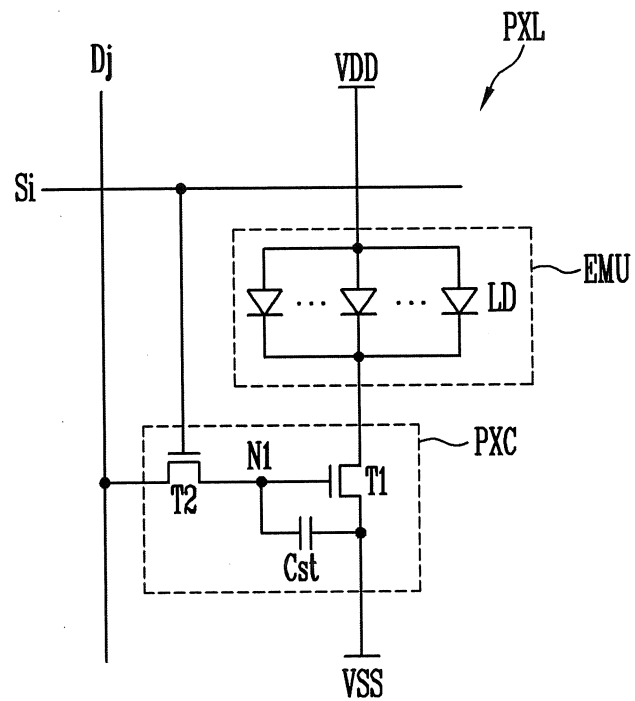
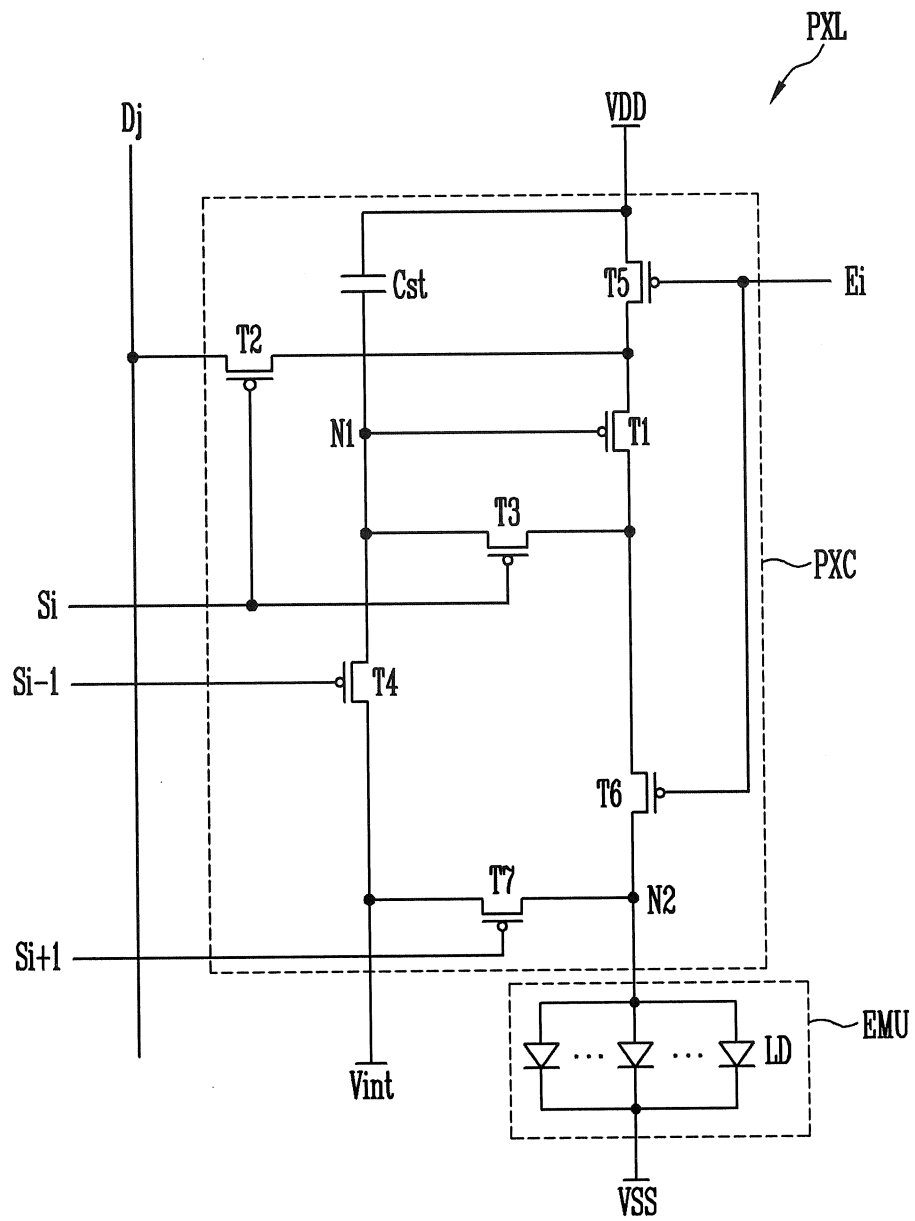


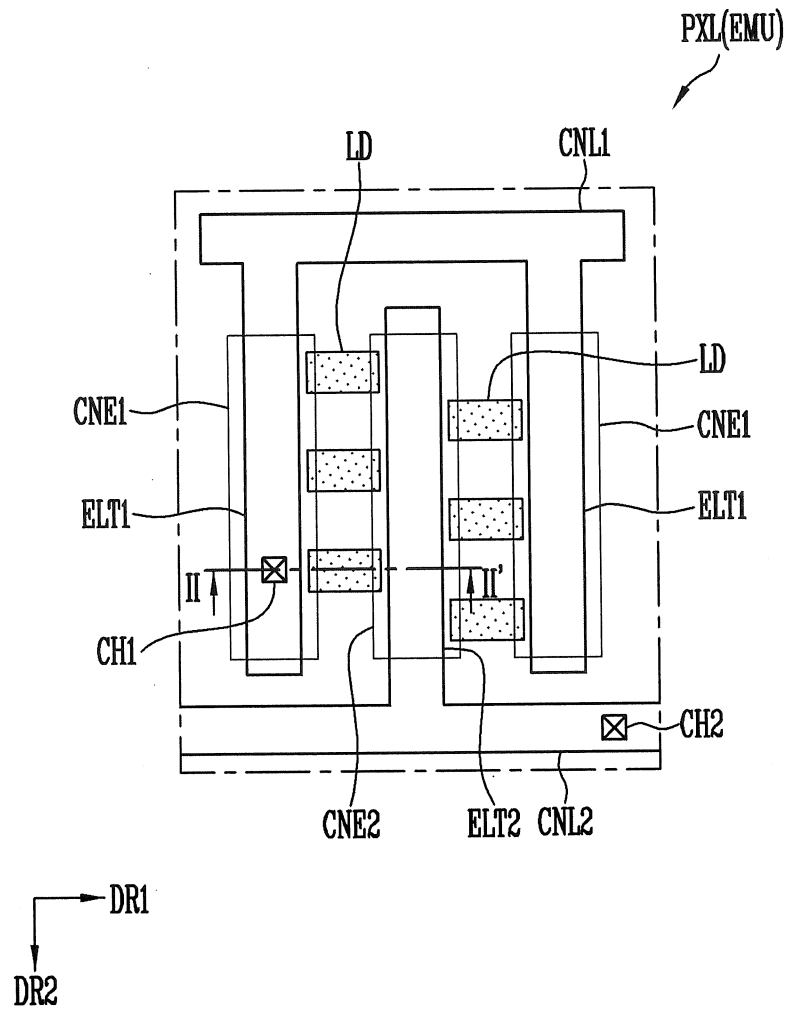
FIG. 13





14/15

FIG. 15



15/15

FIG. 16

