



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0048951

(51)^{2020.01} G09G 3/3208

(13) B

(21) 1-2020-06585

(22) 18/03/2019

(86) PCT/CN2019/078499 18/03/2019

(87) WO2020/113847 11/06/2020

(30) 201822041979.3 06/12/2018 CN

(45) 25/07/2025 448

(43) 27/09/2021 402A

(73) 1. BOE TECHNOLOGY GROUP CO., LTD. (CN)

No.10 Jiuxianqiao Rd., Chaoyang District Beijing 100015, China

2. BEIJING BOE TECHNOLOGY DEVELOPMENT CO., LTD. (CN)

Room 407, Building 1, No.9 Dize Road, BDA, Beijing 100176, China

(72) LI, Xinguo (CN); XU, Chen (CN); WU, Xinyin (CN); QIAO, Yong (CN); HAO, Xueguang (CN).

(74) Công ty Luật TNHH Phạm và Liên danh (PHAM & ASSOCIATES)

(54) THANH GHI DỊCH, KHỞI ĐIỀU KHIỂN PHÁT SÁNG, VÀ TẮM HIỂN THỊ

(21) 1-2020-06585

(57) Sáng chế đề cập đến thanh ghi dịch cho tấm hiển thị. Thanh ghi dịch có thể bao gồm cực vào, cực ra, khối đầu vào, khối đầu ra, khối điều khiển thứ nhất, khối điều khiển thứ hai, và khối cách ly thứ nhất. Khối đầu ra có thể được tạo cấu hình để truyền mức thứ nhất hoặc mức thứ hai đến cực ra dựa trên các tầng của nút thứ nhất và nút thứ hai.

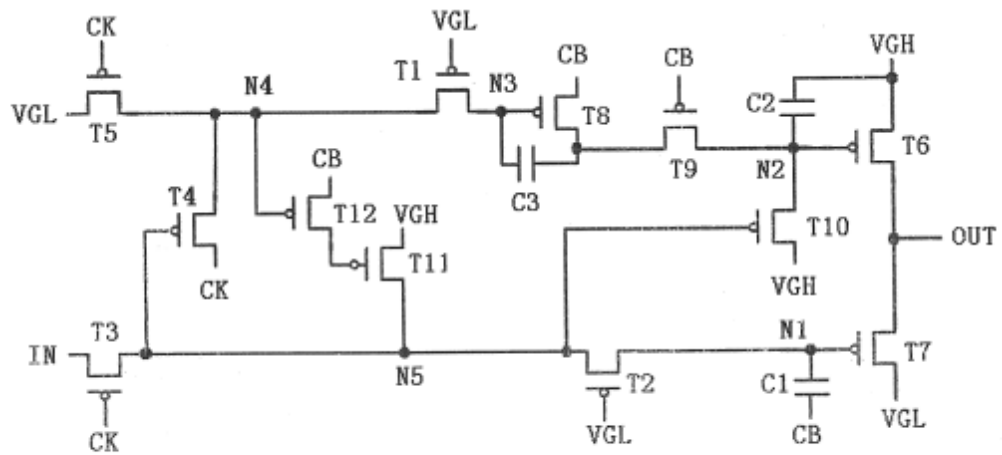


Fig.2

Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập đến công nghệ hiển thị, cụ thể là, đến thanh ghi dịch, khối điều khiển phát sáng, và tấm hiển thị.

Tình trạng kỹ thuật của sáng chế

Các tấm hiển thị điốt phát quang hữu cơ (Organic Light-Emitting Diode, OLED) được sử dụng rộng rãi trong TV, điện thoại di động, màn hình hiển thị thông tin công cộng và các lĩnh vực khác. Các đường cực cổng của tấm hiển thị OLED cần được quét theo từng dòng để thực hiện điều khiển. Để giảm mạch tích hợp điều khiển (Driver IC) và chi phí, và triển khai thiết kế viền (bezel) hẹp, mạch điều khiển cực cổng (GOA) có thể được bố trí ngay ở mép của tấm hiển thị để cấp tín hiệu điều khiển cho đường cực cổng.

OLED trong mỗi pixel của tấm hiển thị OLED có thể được ghép nối tiếp với tranzito điều khiển phát quang. Bằng cách điều khiển việc bật hoặc tắt tranzito điều khiển phát quang mà có thể xác định được OLED có phát sáng. Do vậy, IC điều khiển OLED để điều khiển tranzito điều khiển phát quang còn được đặt trong tấm hiển thị OLED.

Bản chất kỹ thuật của sáng chế

Phương án thực hiện sáng chế đề cập đến thanh ghi dịch cho tấm hiển thị. Thanh ghi dịch có thể bao gồm cực vào, cực ra, khối đầu vào, khối đầu ra, khối điều khiển thứ nhất, khối điều khiển thứ hai, và khối cách ly thứ nhất. Khối đầu vào có thể lần lượt được ghép nối với cực vào, nút thứ nhất, và nút thứ tư, và được tạo cấu hình để điều khiển các mức của nút thứ nhất và nút thứ tư dựa trên mức độ của cực vào. Khối điều khiển thứ nhất có thể lần lượt được ghép nối với nút thứ hai và nút thứ ba và được tạo cấu hình để điều khiển các mức của nút thứ hai và nút thứ ba. Khối điều khiển thứ hai có thể lần lượt được ghép nối với nút thứ nhất và nút thứ tư, và được tạo cấu hình để truyền mức thứ hai đến nút thứ

nhất dựa trên mức của nút thứ tư. Khối cách ly thứ nhất có thể nằm giữa nút thứ ba và nút thứ tư, và được tạo cấu hình để cách ly nút thứ ba với nút thứ tư khi khối điều khiển thứ nhất thay đổi mức của nút thứ ba từ mức thứ nhất xa hơn theo hướng cách với mức thứ hai. Khối đầu ra có thể được tạo cấu hình để truyền mức thứ nhất hoặc mức thứ hai đến cực ra dựa trên các mức của nút thứ nhất và nút thứ hai.

Một cách tùy chọn, khối cách ly thứ nhất bao gồm tranzito thứ nhất; cực thứ nhất của tranzito thứ nhất được ghép nối với nút thứ tư, cực thứ hai của tranzito thứ nhất được ghép nối với nút thứ ba, và cực cổng của tranzito thứ nhất được ghép nối với cực mức thứ nhất.

Một cách tùy chọn, thanh ghi dịch có thể còn bao gồm nút thứ năm và khối cách ly thứ hai, trong đó khối điều khiển thứ hai được ghép nối với nút thứ năm và nút thứ tư; và khối cách ly thứ hai nằm giữa nút thứ năm và nút thứ nhất và được tạo cấu hình để cách ly nút thứ nhất với nút thứ năm khi mức của nút thứ nhất được thay đổi từ mức thứ nhất xa hơn theo hướng cách với mức thứ hai.

Một cách tùy chọn, khối cách ly thứ hai bao gồm tranzito thứ hai; cực thứ nhất của tranzito thứ hai được ghép nối với nút thứ năm, cực thứ hai của tranzito thứ hai được ghép nối với nút thứ nhất, và cực cổng của tranzito thứ hai được ghép nối với cực mức thứ nhất.

Một cách tùy chọn, tranzito thứ nhất và/hoặc tranzito thứ hai là các tranzito cổng kép.

Một cách tùy chọn, tranzito thứ nhất và/hoặc tranzito thứ hai là các tranzito ôxit kim loại.

Một cách tùy chọn, khối đầu vào bao gồm tranzito thứ ba, tranzito thứ tư, tranzito thứ năm, và tụ điện thứ nhất; trong đó cực thứ nhất của tranzito thứ ba được ghép nối với cực vào, cực thứ hai của tranzito thứ ba được ghép nối với nút thứ năm, và cực cổng của tranzito thứ ba được ghép nối với cực đồng hồ thứ nhất; cực thứ nhất của tranzito thứ tư được ghép nối với nút thứ tư, cực thứ hai của tranzito thứ tư được ghép nối với cực đồng hồ thứ nhất, và cực cổng của tranzito thứ tư được ghép nối với nút thứ năm; cực thứ nhất của tranzito thứ năm

được ghép nối với cực mức thứ nhất, cực thứ hai của tranzito thứ năm được ghép nối với nút thứ tư, và cực cổng của tranzito thứ năm được ghép nối với cực đồng hồ thứ nhất; và cực thứ nhất của tụ điện thứ nhất được ghép nối với nút thứ nhất, và cực thứ hai của tụ điện thứ nhất được ghép nối với cực đồng hồ thứ hai.

Một cách tùy chọn, tranzito thứ tư là tranzito cổng kép.

Một cách tùy chọn, khối đầu ra bao gồm tranzito thứ sáu và tranzito thứ bảy, trong đó cực thứ nhất của tranzito thứ sáu được ghép nối với cực mức thứ hai, cực thứ hai của tranzito thứ sáu được ghép nối với cực ra, và cực cổng của tranzito thứ sáu được ghép nối với nút thứ hai; và cực thứ nhất của tranzito thứ bảy được ghép nối với cực ra, cực thứ hai của tranzito thứ bảy được ghép nối với cực mức thứ nhất, và cực cổng của tranzito thứ bảy được ghép nối với nút thứ nhất.

Một cách tùy chọn, khối điều khiển thứ nhất bao gồm tranzito thứ tám, tranzito thứ chín, tranzito thứ mười, tụ điện thứ hai, và tụ điện thứ ba, trong đó cực thứ nhất của tranzito thứ tám được ghép nối với cực đồng hồ thứ hai, cực thứ hai của tranzito thứ tám được ghép nối với cực thứ hai của tụ điện thứ ba, và cực cổng của tranzito thứ tám được ghép nối với nút thứ ba; cực thứ nhất của tranzito thứ chín được ghép nối với cực thứ hai của tụ điện thứ ba, cực thứ hai của tranzito thứ chín được ghép nối với nút thứ hai, và cực cổng của tranzito thứ chín được ghép nối với cực đồng hồ thứ hai; cực thứ nhất của tranzito thứ mười được ghép nối với nút thứ hai, cực thứ hai của tranzito thứ mười được ghép nối với cực mức thứ hai, và cực cổng của tranzito thứ mười được ghép nối với nút thứ năm; cực thứ nhất của tụ điện thứ hai được ghép nối với cực mức thứ hai, và cực thứ hai của tụ điện thứ hai được ghép nối với nút thứ hai; và cực thứ nhất của tụ điện thứ ba được ghép nối với nút thứ ba.

Một cách tùy chọn, khối điều khiển thứ nhất bao gồm tranzito thứ tám, tranzito thứ chín, tranzito thứ mười, tụ điện thứ hai, và tụ điện thứ ba, trong đó cực thứ nhất của tranzito thứ tám được ghép nối với cực mức thứ nhất, cực thứ hai của tranzito thứ tám được ghép nối với cực thứ nhất của tranzito thứ chín, và cực cổng của tranzito thứ tám được ghép nối với nút thứ ba; cực thứ hai của

tranzito thứ chín được ghép nối với nút thứ hai, và cực cổng của tranzito thứ chín được ghép nối với cực đồng hồ thứ hai; cực thứ nhất của tranzito thứ mười được ghép nối với nút thứ hai, cực thứ hai của tranzito thứ mười được ghép nối với cực mức thứ hai, và cực cổng của tranzito thứ mười được ghép nối với nút thứ năm; cực thứ nhất của tụ điện thứ hai được ghép nối với cực mức thứ hai, và cực thứ hai của tụ điện thứ hai được ghép nối với nút thứ hai; và cực thứ nhất của tụ điện thứ ba được ghép nối với cực đồng hồ thứ hai, và cực thứ hai của tụ điện thứ ba được ghép nối với nút thứ ba.

Một cách tùy chọn, khối điều khiển thứ hai bao gồm tranzito thứ mười một và tranzito thứ mười hai; trong đó cực thứ nhất của tranzito thứ mười một được ghép nối với cực mức thứ hai, cực thứ hai của tranzito thứ mười một được ghép nối với nút thứ năm, và cực cổng của tranzito thứ mười một được ghép nối với cực thứ hai của tranzito thứ mười hai; và cực thứ nhất của tranzito thứ mười hai được ghép nối với cực đồng hồ thứ hai, và cực cổng của tranzito thứ mười hai được ghép nối với nút thứ tư.

Một cách tùy chọn, khối điều khiển thứ hai bao gồm tranzito thứ mười một và tranzito thứ mười hai; trong đó cực thứ nhất của tranzito thứ mười một được ghép nối với cực thứ hai của tranzito thứ mười hai, cực thứ hai của tranzito thứ mười một được ghép nối với nút thứ năm, và cực cổng của tranzito thứ mười một được ghép nối với cực đồng hồ thứ hai; và cực thứ nhất của tranzito thứ mười hai được ghép nối với cực mức thứ nhất, và cực cổng của tranzito thứ mười hai được ghép nối với nút thứ tư.

Một ví dụ của sáng chế là khối điều khiển phát sáng, bao gồm các thanh ghi dịch được xếp tầng, mỗi thanh ghi trong các thanh ghi dịch được xếp tầng là thanh ghi dịch theo một phương án thực hiện sáng chế.

Một ví dụ của sáng chế là tấm hiển thị, bao gồm khối điều khiển phát sáng theo một phương án thực hiện sáng chế.

Một cách tùy chọn, tấm hiển thị còn bao gồm các mạch pixel; trong đó mỗi mạch trong các mạch pixel bao gồm phần tử phát sáng và ít nhất một tranzito

điều khiển phát sáng, cực cổng của tranzito điều khiển phát sáng được ghép nối với cực ra của thanh ghi dịch của một tầng trong khối điều khiển phát sáng.

Một cách tùy chọn, các mạch pixel được bố trí trong mảng, các hàng của các mạch pixel được phân chia thành các nhóm, mỗi nhóm trong các nhóm bao gồm hai hàng mạch pixel liền kề, và các cực cổng của các tranzito điều khiển phát sáng trong hai hàng mạch pixel của cùng nhóm được ghép nối với cực ra của thanh ghi dịch của cùng tầng trong khối điều khiển phát sáng.

Một cách tùy chọn, tấm hiển thị bao gồm hai khối điều khiển phát sáng lần lượt được đặt trên hai cạnh đối diện của tấm hiển thị; cực cổng của tranzito điều khiển phát sáng của mỗi mạch pixel lần lượt được ghép nối với các cực ra của các thanh ghi dịch của cùng tầng trong hai khối điều khiển phát sáng.

Một cách tùy chọn, tấm hiển thị còn bao gồm mạch điều khiển cực cổng để cấp tín hiệu điều khiển cho mỗi mạch trong các mạch pixel, trong đó mạch điều khiển cực cổng được ghép nối với các đường cực cổng, và mỗi mạch trong các mạch pixel được đặt trong khu vực hiển thị; mạch điều khiển cực cổng và khối điều khiển phát sáng đều được đặt ngoài khu vực hiển thị, và khối điều khiển phát sáng được đặt ở phía của mạch điều khiển cực cổng đối diện với khu vực hiển thị.

Một cách tùy chọn, phân tử phát sáng là OLED.

Mô tả vắn tắt các hình vẽ

Đối tượng được bảo hộ được chỉ ra cụ thể và được bảo hộ trong các điểm yêu cầu bảo hộ ở phần cuối của bản mô tả. Các đối tượng nêu trên và các đối tượng khác, các dấu hiệu, và các ưu điểm của sáng chế là rõ ràng trong phần mô tả chi tiết sau cùng với các hình vẽ đi kèm trong đó:

Fig.1 là sơ đồ khối kết cấu của thanh ghi dịch theo một phương án thực hiện sáng chế;

Fig.2 là sơ đồ kết cấu của thanh ghi dịch theo một phương án thực hiện sáng chế;

Fig.3 là sơ đồ kết cấu của thanh ghi dịch theo một phương án thực hiện sáng chế;

Fig.4 là sơ đồ kết cấu của thanh ghi dịch theo một phương án thực hiện sáng chế;

Fig.5 là biểu đồ thời gian điều khiển của thanh ghi dịch theo một phương án thực hiện sáng chế;

Fig.6 là sơ đồ khối kết cấu của khối điều khiển phát sáng theo một phương án thực hiện sáng chế;

Fig.7 là sơ đồ khối kết cấu của tấm hiển thị theo một phương án thực hiện sáng chế;

Fig.8 là sơ đồ kết cấu của mạch pixel trong tấm hiển thị theo một phương án thực hiện sáng chế; và

Fig.9 là biểu đồ thời gian điều khiển của mạch pixel trong tấm hiển thị theo một phương án thực hiện sáng chế.

Mô tả chi tiết sáng chế

Sáng chế sẽ được mô tả chi tiết hơn dựa vào các hình vẽ đi kèm và các phương án thực hiện để hiểu rõ hơn bởi người có hiểu biết trung bình trong lĩnh vực của các giải pháp kỹ thuật của sáng chế. Trong suốt bản mô tả của sáng chế, tham khảo các hình vẽ từ Fig.1 đến Fig.9. Khi dựa vào các hình vẽ, các cấu trúc và các phần tử giống nhau được thể hiện xuyên suốt được chỉ báo bằng các số chỉ dẫn giống nhau.

Trừ khi có định nghĩa khác, các thuật ngữ kỹ thuật hoặc các thuật ngữ khoa học được sử dụng theo sáng chế sẽ được hiểu theo nghĩa thông thường bởi người có hiểu biết trung bình trong lĩnh vực. Các từ “thứ nhất”, “thứ hai” và các từ ngữ giống nhau được sử dụng theo sáng chế không ký hiệu thứ tự bất kỳ, số lượng hoặc tầm quan trọng, mà chỉ được sử dụng để phân biệt các thành phần khác nhau. Các từ “gồm” hoặc “bao gồm” và tương tự nghĩa là phần tử hoặc mục đứng trước từ này bao gồm phần tử hoặc mục được liệt kê sau từ và đối tượng tương đương và không loại trừ các thành phần hoặc các đối tượng. “được ghép nối” và

tương tự không bị giới hạn ở các kết nối vật lý hoặc cơ học, mà có thể bao gồm các kết nối điện, gián tiếp hoặc trực tiếp. “Phía trên,” “phía dưới”, “bên trái”, “bên phải”, v.v. chỉ được sử dụng để chỉ báo mối quan hệ vị trí tương đối. Khi vị trí tuyệt đối của đối tượng đang được mô tả được thay đổi, mối quan hệ vị trí tương đối cũng có thể thay đổi tương ứng.

Trong phần mô tả các phương án thực hiện sau, các dấu hiệu, các cấu trúc, các chất liệu hoặc đặc điểm có thể được kết hợp theo cách thích hợp bất kỳ theo một hoặc nhiều phương án thực hiện hoặc ví dụ.

Ví dụ 1:

Fig.1 thể hiện sơ đồ cấu trúc khối của thanh ghi dịch theo một phương án thực hiện sáng chế. Fig.2 thể hiện sơ đồ cấu trúc của thanh ghi dịch theo một phương án thực hiện sáng chế. Như được thể hiện trên Fig.1 và Fig.2, một phương án thực hiện sáng chế đề cập đến thanh ghi dịch bao gồm cực vào IN, cực ra OUT, nút thứ nhất N1, nút thứ hai N2, nút thứ ba N3, nút thứ tư N4, khối đầu vào 31, khối đầu ra 32, khối điều khiển thứ nhất 33, khối điều khiển thứ hai 34 và khối cách ly thứ nhất 35.

Theo một phương án thực hiện, khối đầu vào được ghép nối với cực vào IN, nút thứ nhất N1, và nút thứ tư N4 lần lượt để điều khiển các mức của nút thứ nhất N1 và nút thứ tư N4 dựa trên mức của cực vào IN. Khối điều khiển thứ nhất được ghép nối với nút thứ hai N2 và nút thứ ba N3 lần lượt để điều khiển các mức của nút thứ hai N2 và nút thứ ba N3.

Khối điều khiển thứ hai được ghép nối với nút thứ nhất N1 và nút thứ tư N4 để truyền mức thứ hai đến nút thứ nhất N1 dựa trên mức của nút thứ tư N4.

Khối cách ly thứ nhất được đặt giữa nút thứ ba N3 và nút thứ tư N4. Khối cách ly thứ nhất được tạo cấu hình để cách ly nút thứ ba N3 với nút thứ tư N4 khi khối điều khiển thứ nhất thay đổi mức của nút thứ ba N3 với mức thứ nhất theo hướng cách xa mức thứ hai.

Khối đầu ra được tạo cấu hình để truyền mức thứ nhất hoặc mức thứ hai đến cực ra OUT dựa trên các mức của nút thứ nhất N1 và nút thứ hai N2. Cực ra OUT được sử dụng để kết nối với cực cổng của tranzito điều khiển phát quang.

Theo sáng chế, việc ghép nối hoặc kết nối bao gồm kết nối trực tiếp và/hoặc kết nối gián tiếp qua các phần tử khác.

Như được thể hiện trên Fig.1, ở thanh ghi dịch theo phương án thực hiện sáng chế, tín hiệu điều khiển phát sáng của mạch pixel có thể được tạo ở cực ra OUT nhờ hiệp lực của các khối riêng rẽ. Do vậy, nhờ lắp ráp các thanh ghi dịch vào mạch điều khiển phát sáng, việc phát sáng của các phần tử phát sáng 20 của các mạch pixel của tấm hiển thị có thể được điều khiển mà không có ID điều khiển EM, nhờ đó đơn giản hóa kết cấu của tấm hiển thị, giảm chi phí, và có được thiết kế viên hợp.

Thanh ghi dịch theo phương án thực hiện sáng chế còn bao gồm khối cách ly thứ nhất. Khi khối điều khiển thứ nhất điều khiển mức của nút thứ ba N3 để đổi từ mức thứ nhất (chẳng hạn mức thấp) sang hướng cách xa hơn với mức thứ hai (chẳng hạn giá trị thấp hơn), khối cách ly thứ nhất có thể cách ly nút thứ ba N3 với nút thứ tư N4, sao cho nút thứ ba N3 không còn bị ảnh hưởng bởi các mạch khác. Một cách tương ứng, mức của nút thứ hai N2 cũng ổn định hơn do nút thứ hai N2 được ghép nối với nút thứ ba N3 qua khối điều khiển thứ nhất. Do nút thứ hai N2 điều khiển đầu ra của thanh ghi dịch, độ ổn định tín hiệu có thể cải thiện tính ổn định của đầu ra thanh ghi dịch.

Một cách tùy chọn, khối cách ly thứ nhất bao gồm tranzito thứ nhất T1. Cực thứ nhất của tranzito thứ nhất T1 được ghép nối với nút thứ tư N4, cực thứ hai của nó được ghép nối với nút thứ ba N3, và cực cổng của nó được ghép nối với cực mức thứ nhất VGL.

Tức là, như được thể hiện trên Fig.2, khối cách ly thứ nhất nêu trên có thể cụ thể là tranzito được nối nối tiếp giữa nút thứ tư N4 và nút thứ ba N3, và cực cổng của nó được ghép nối với cực mức thứ nhất VGL (chẳng hạn đầu mức thấp).

Một cách tùy chọn, dựa vào Fig.2, thanh ghi dịch còn bao gồm nút thứ năm N5 và khối cách ly thứ hai 36. Theo một phương án thực hiện, khối điều khiển thứ hai được ghép nối với nút thứ năm N5 và nút thứ tư N4. Khối cách ly thứ hai được đặt giữa nút thứ năm N5 và nút thứ nhất N1. Khối cách ly thứ hai được sử

dụng để cách ly nút thứ nhất N1 với nút thứ năm N5 khi mức của nút thứ nhất N1 còn được thay đổi từ mức thứ nhất theo hướng cách xa mức thứ hai.

Tức là, khối cách ly thứ hai có thể được đặt trong thanh ghi dịch, và khối cách ly thứ hai được đặt giữa nút thứ năm N5 và nút thứ nhất N1. Thực tế, nút thứ năm N5 và nút thứ nhất N1 có thể được cách ly để đảm bảo rằng mức của nút thứ nhất N1 không bị ảnh hưởng bởi các mức của nút thứ năm N5 và nút thứ tư N4, và do vậy ổn định hơn. Do nút thứ nhất N1 được sử dụng để điều khiển đầu ra của thanh ghi dịch điều khiển, thanh ghi dịch theo phương án thực hiện sáng chế có độ ổn định đầu ra tốt hơn.

Một cách tùy chọn, khối cách ly thứ hai bao gồm tranzito thứ hai T2. Cực thứ nhất của tranzito thứ hai T2 được ghép nối với nút thứ năm N5, cực thứ hai của nó được ghép nối với nút thứ nhất N1, và cực cổng của nó được ghép nối với cực mức thứ nhất VGL.

Tức là, khối cách ly thứ hai nêu trên có thể cụ thể là tranzito được nối nối tiếp giữa nút thứ nhất N1 và nút thứ năm N5, và cực cổng của nó được ghép nối với cực mức thứ nhất VGL (chẳng hạn đầu mức thấp).

Một cách tùy chọn, tranzito thứ nhất T1 và/hoặc tranzito thứ hai T2 là các tranzito cổng kép.

Tức là, tranzito thứ nhất T1 và tranzito thứ hai T2 tốt hơn là các tranzito có kết cấu cổng kép để cách điện tốt hơn, nhờ đó tốt hơn giảm dòng điện rò của nút thứ ba N3 và nút thứ nhất N1 và còn ổn định đầu ra của thanh ghi dịch.

Dĩ nhiên, các tranzito khác bên cạnh tranzito thứ nhất T1 và tranzito thứ hai T2 có thể tận dụng kết cấu cổng kép hoặc các dạng khác của các tranzito chẳng hạn kết cấu một cổng.

Một cách tùy chọn, tranzito thứ nhất T1 và/hoặc tranzito thứ hai T2 đều là các tranzito ôxit kim loại. Tức là, tranzito thứ nhất T1 và tranzito thứ hai T2 tốt hơn là các tranzito ôxit kim loại (chẳng hạn, ôxit kẽm gali indi (indium gallium zinc oxide, IGZO)). Đây là do tranzito ôxit kim loại có dòng điện rò thấp hơn để cách điện tốt hơn và giảm tốt hơn dòng điện rò của nút thứ ba N3 và nút thứ nhất N1. Thực tế, đầu ra của thanh ghi dịch có thể được ổn định thêm.

Dĩ nhiên, các tranzito khác bên cạnh tranzito thứ nhất T1 và tranzito thứ hai T2 cũng có thể là các tranzito ôxít kim loại, hoặc các loại tranzito khác chẳng hạn các tranzito silic đa tinh thể nhiệt độ thấp (low temperature polysilicon, LTPS).

Một cách tùy chọn, khối đầu vào bao gồm tranzito thứ ba T3, tranzito thứ tư T4, tranzito thứ năm T5, và tụ điện thứ nhất C1; trong đó:

Cực thứ nhất của tranzito thứ ba T3 được ghép nối với cực vào IN, cực thứ hai của nó được ghép nối với nút thứ năm N5, và cực cổng của nó được ghép nối với cực đồng hồ thứ nhất CK;

Cực thứ nhất của tranzito thứ tư T4 được ghép nối với nút thứ tư N4, cực thứ hai của nó được ghép nối với cực đồng hồ thứ nhất CK, và cực cổng của nó được ghép nối với nút thứ năm N5;

Cực thứ nhất của tranzito thứ năm T5 được ghép nối với cực mức thứ nhất VGL, cực thứ hai của nó được ghép nối với nút thứ tư N4, và cực cổng của nó được ghép nối với cực đồng hồ thứ nhất CK;

Cực thứ nhất của tụ điện thứ nhất C1 được ghép nối với nút thứ nhất N1, và cực thứ hai của nó được ghép nối với cực đồng hồ thứ hai CB.

Một cách tùy chọn, tranzito thứ tư T4 là tranzito cổng kép. Tức là, tranzito thứ tư T4 tốt hơn là tranzito có kết cấu cổng kép để giảm tốt hơn dòng điện rò, nhờ đó ổn định thêm đầu ra của thanh ghi dịch.

Một cách tùy chọn, khối đầu ra bao gồm tranzito thứ sáu T6 và tranzito thứ bảy T7. Theo một phương án thực hiện, cực thứ nhất của tranzito thứ sáu T6 được ghép nối với cực mức thứ hai VGH, cực thứ hai của nó được ghép nối với cực ra OUT, và cực cổng của nó được ghép nối với nút thứ hai N2. Cực thứ nhất của tranzito thứ bảy T7 được ghép nối với cực ra OUT, cực thứ hai của nó được ghép nối với cực mức thứ nhất VGL, và cực cổng của nó được ghép nối với nút thứ nhất N1.

Một cách tùy chọn, theo một phương án thực hiện sáng chế, khối điều khiển thứ nhất bao gồm tranzito thứ tám T8, tranzito thứ chín T9, tranzito thứ mười T10, tụ điện thứ hai C2, và tụ điện thứ ba C3; trong đó

Cực thứ nhất của tranzito thứ tám T8 được ghép nối với cực đồng hồ thứ hai CB, cực thứ hai của nó được ghép nối với cực thứ hai của tụ điện thứ ba C3, và cực cổng của nó được ghép nối với nút thứ ba N3;

Cực thứ nhất của tranzito thứ chín T9 được ghép nối với cực thứ hai của tụ điện thứ ba C3, cực thứ hai của nó được ghép nối với nút thứ hai N2, và cực cổng của nó được ghép nối với cực đồng hồ thứ hai CB;

Cực thứ nhất của tranzito thứ mười T10 được ghép nối với nút thứ hai N2, cực thứ hai của nó được ghép nối với cực mức thứ hai VGH, và cực cổng của nó được ghép nối với nút thứ năm N5;

Cực thứ nhất của tụ điện thứ hai C2 được ghép nối với cực mức thứ hai VGH, và cực thứ hai được ghép nối với nút thứ hai N2;

Cực thứ nhất của tụ điện thứ ba C3 được ghép nối với nút thứ ba N3.

Một cách tùy chọn, theo một phương án thực hiện sáng chế, khối điều khiển thứ hai bao gồm tranzito thứ mười một T11 và tranzito thứ mười hai T12. Cực thứ nhất của tranzito thứ mười một T11 được ghép nối với cực mức thứ hai VGH, cực thứ hai của nó được ghép nối với nút thứ năm N5, và cực cổng của nó được ghép nối với cực thứ hai của tranzito thứ mười hai T12. Cực thứ nhất của tranzito thứ mười hai T12 được ghép nối với cực đồng hồ thứ hai CB, và cực cổng của nó được ghép nối với nút thứ tư N4.

Theo một phương án thực hiện, tất cả các tranzito là các tranzito loại P.

Phần sau mô tả chi tiết hơn kết cấu và quá trình hoạt động của thanh ghi dịch nêu trên với phương pháp điều khiển.

Trong đó, mức thứ nhất là mức bật, tức là, mức mà ở đó tranzito có thể được bật khi được nạp trên cực cổng của tranzito. Mức thứ hai là mức tắt, vốn là mức mà ở đó tranzito có thể được tắt khi được nạp trên cực cổng của tranzito. Mức cao hơn trong hai mức là mức cao, và mức thấp hơn trong hai mức là mức thấp. Một cách tương ứng, tín hiệu đồng hồ là tín hiệu thường xuyên được chuyển đổi giữa hai mức khác nhau, và hai mức này cũng thường được sử dụng để lần lượt bật và tắt tranzito. Do vậy, mức cao hơn trong hai mức thường được gọi là mức cao, và mức thấp hơn trong hai mức được gọi là mức thấp.

Tuy nhiên, nên hiểu rằng các giá trị mức cụ thể của mức cao/thấp trong mức thứ nhất và mức thứ hai không cần lần lượt bằng các giá trị mức của mức cao/thấp trong tín hiệu đồng hồ. Dĩ nhiên, để dễ điều khiển, hai mức này thường có thể bằng nhau.

Cụ thể là, phần mô tả sau sẽ được thực hiện bằng cách lấy ví dụ trong đó tất cả các tranzito là các tranzito loại P. Do mức bật của tranzito loại P là mức thấp và mức tắt là mức cao, mức thứ nhất và mức thấp hơn của tín hiệu đồng hồ sau đây được gọi là mức thấp. Ngoài ra, mức thứ hai và mức cao hơn của tín hiệu đồng hồ sau đây được gọi là mức cao.

Cụ thể là, như được thể hiện trên Fig.5, ở phương pháp điều khiển của thanh ghi dịch theo một phương án thực hiện sáng chế, mức thấp liên tục được cấp cho cực mức thứ nhất VGL, và mức cao liên tục được cấp cho cực mức thứ hai VGH, sẽ không được mô tả chi tiết lặp lại sau đây.

Tranzito loại P được bật khi $V_{gs} < V_{th}$, và ngược lại, trong đó V_{gs} là điện áp nguồn cực cổng của tranzito (tức là, hiệu điện thế giữa điện áp cực cổng và cực thứ nhất hoặc thứ hai), và V_{th} là điện áp ngưỡng của tranzito. Do các cực cổng của tranzito thứ nhất T1 và tranzito thứ hai T2 tiếp tục ở mức thấp, $V_{gs} < V_{th}$ thường được thỏa mãn và do đó, các tranzito này được bật. Chỉ khi mức của cực thứ nhất hoặc thứ hai của mỗi tranzito trong hai tranzito còn được hạ thấp từ mức thấp, $V_{gs} > V_{th}$ có thể thu được, nhờ đó khiến tranzito thứ nhất T1 và tranzito thứ hai T2 bị tắt.

Như được thể hiện trên Fig.5, quá trình của phương pháp điều khiển của thanh ghi dịch theo một phương án thực hiện sáng chế cụ thể bao gồm các pha sau:

Pha thứ nhất S1 bao gồm bước nối mức cao với cực vào IN, nối mức thấp với cực đồng hồ thứ nhất CK, và nối mức cao với cực đồng hồ thứ hai CB.

Trong pha này, cực đồng hồ thứ nhất CK ở mức thấp, do vậy tranzito thứ ba T3 và tranzito thứ năm T5 được bật. Mức cao của cực vào IN được truyền đến nút thứ nhất N1 qua tranzito thứ ba T3 và tranzito thứ hai T2. Do vậy, tranzito thứ bảy T7 và tranzito thứ mười T10 được tắt, và mức thấp của cực mức thứ nhất VGL không thể được truyền đến cực ra OUT.

Cùng lúc, mức cao của cực vào IN cũng tắt tranzito thứ tư T4, do vậy mức thấp của cực mức thứ nhất VGL được truyền đến nút thứ ba N3 qua tranzito thứ năm T5 và tranzito thứ nhất T1. Nút thứ ba N3 ở mức thấp để bật tranzito thứ tám T8, và độ lệch mức được tạo giữa hai điện cực của tụ điện thứ ba C3. Mức cao của cực đồng hồ thứ hai CB tắt tranzito thứ chín T9, và nút thứ hai N2 nổi. Do vậy, mức cao trước đó của nút thứ hai N2 được duy trì (mức trước đó được mô tả sau đây), và tranzito thứ sáu T6 vẫn tắt. Do tải được nối với cực ra OUT của thanh ghi dịch là lớn, cực ra OUT có thể duy trì đầu ra mức thấp trước đó trong chu kỳ thời gian ngắn (mức trước đó được mô tả sau đây).

Theo một phương án thực hiện, trong suốt pha này, mức của cực đồng hồ thứ hai CB có thể được thay đổi sớm hơn mức của cực đồng hồ thứ nhất CK. Tức là, trước hết, mức của cực đồng hồ thứ hai CB trở nên cao hơn, và sau đó cực đồng hồ thứ nhất CK trở nên thấp hơn. Do vậy, có thể tránh việc cực đồng hồ thứ nhất CK và cực đồng hồ thứ hai CB đồng thời ở mức thấp do lỗi để đảm bảo rằng tranzito thứ chín T9 được tắt trước và mức của nút thứ hai N2 là cao, nhờ đó tránh đầu ra của mức cao của cực VGH.

Dĩ nhiên, trong mỗi pha, cũng có thể thay đổi mức của cực đồng hồ thứ nhất CK đồng bộ với mức của cực đồng hồ thứ hai CB. Tuy nhiên, dựa trên độ chính xác điều khiển, lỗi, và tương tự, tốt hơn nếu trong mỗi pha, đối với cực đồng hồ thứ nhất CK và cực đồng hồ thứ hai CB, một cực có mức đổi từ thấp lên cao thay đổi trước, và cực còn lại có mức thay đổi từ cao xuống thấp thay đổi sau.

Pha thứ hai S2 bao gồm bước nối mức cao với cực vào IN, nối mức cao với cực đồng hồ thứ nhất CK, và nối mức thấp với cực đồng hồ thứ hai CB.

Trong trường hợp này, cực đồng hồ thứ nhất CK trở thành mức cao, do vậy tranzito thứ ba T3 và tranzito thứ năm T5 được tắt, nút thứ ba N3 được nối để duy trì mức thấp trước đó, và cực đồng hồ thứ hai CB (tức là, cực thứ hai ở bên phải của tụ điện thứ ba C3) thay đổi từ mức cao sang mức thấp. Do hiệu ứng khởi động (bootstrap) của tụ điện thứ ba C3, mức của nút thứ ba N3 còn được kéo thấp hơn từ mức thấp, nhờ đó khiến điện áp nguồn cực cổng của tranzito thứ nhất T1 lớn hơn điện áp ngưỡng của nó ($V_{gs} > V_{th}$). Thực tế, tranzito thứ nhất T1

được tắt, nút thứ ba N3 bị cách ly khỏi nút thứ tư N4, và nút thứ ba N3 được ngăn không cho bị ảnh hưởng bởi các phần khác của mạch, nhờ đó cải thiện độ ổn định đầu ra. Cùng lúc, do hiệu ứng khởi động của tụ điện thứ ba C3, điện thế của cực cổng của tranzito thứ tám T8 được giảm tiếp, nhờ đó tăng cường khả năng đầu ra của tranzito thứ tám T8. Ngoài ra, mức thấp của cực đồng hồ thứ hai CB đi vào nút thứ hai N2 qua tranzito thứ tám T8 và tranzito thứ chín T9, sao cho tranzito thứ sáu T6 được bật ổn định, và cực ra OUT bắt đầu xuất ra ổn định mức cao của cực mức thứ hai VGH.

Cùng lúc, mức thấp của nút thứ tư N4 còn bật tranzito thứ mười hai T12 và tranzito thứ mười một T11, và truyền mức cao của cực mức thứ hai VGH đến nút thứ nhất N1 để đảm bảo rằng tranzito thứ bảy T7 được tắt. Mức thấp của cực mức thứ nhất VGL không thể được xuất ra.

Theo một phương án thực hiện, mức của cực đồng hồ thứ nhất CK trong pha này có thể trước hết trở nên cao hơn, và sau đó mức của cực đồng hồ thứ hai CB trở nên thấp hơn. Thực tế, có thể đảm bảo rằng sau khi nút thứ ba N3 trở nên nổi, mức của nút thứ ba N3 được hạ thấp tiếp, và mức thấp của nút thứ tư N4 có thể đảm bảo rằng tranzito thứ mười một T11 được bật, sao cho thay đổi trạng thái của mỗi tranzito đáng tin cậy hơn.

Pha thứ ba S3 bao gồm bước nổi mức cao với cực vào IN, nổi mức thấp với cực đồng hồ thứ nhất CK, và nổi mức cao với cực đồng hồ thứ hai CB.

Trong pha này, cực đồng hồ thứ hai CB trở thành mức cao, do vậy nút thứ hai N2 lại được nổi. Khác biệt ở chỗ nút thứ hai N2 duy trì mức thấp của pha thứ hai trước đó, nhờ đó khiến tranzito thứ sáu T6 được bật. Do vậy, thanh ghi dịch xuất ra ổn định mức cao. Ngoài ra, khi mức của cực đồng hồ thứ hai CB thay đổi từ thấp xuống cao, mức của nút thứ ba N3 cũng phát sinh từ mức thấp hơn mức thấp đến mức thấp do hiệu quả khởi động của tụ điện thứ ba C3. Tranzito thứ nhất T1 được bật lại.

Cùng lúc, do cực đồng hồ thứ nhất CK ở mức thấp, mức cao của cực vào IN được đưa vào nút thứ nhất N1 qua tranzito thứ ba T3 và tranzito thứ hai T2, sao cho tranzito thứ bảy T7 vẫn tắt.

Theo một phương án thực hiện, mức của cực đồng hồ thứ hai CB trở nên cao hơn trước tiên trong pha này, và sau đó mức của cực đồng hồ thứ nhất CK lại trở nên thấp hơn. Do vậy, có thể đảm bảo rằng tranzito thứ chín T9 được tắt trước và nút thứ hai N2 được nối, và rằng nút thứ nhất N1 trở nên cao hơn do hiệu quả khởi động của tụ điện thứ nhất C1, nhờ đó ổn định các trạng thái của các tranzito.

Pha thứ tư S4 bao gồm bước nối mức cao với cực đồng hồ thứ nhất CK và mức thấp với cực đồng hồ thứ hai CB.

Trong pha này, ngoại trừ cực vào IN, các mức của các cực còn lại lần lượt giống như các mức của pha thứ hai. Do tín hiệu CK của cực đồng hồ thứ nhất là mức cao trong pha này, mức của cực vào IN không thể được viết vào mạch. Do vậy, các trạng thái của tất cả các tranzito trong pha này thực sự giống như các trạng thái trong pha thứ hai, và cực ra OUT vẫn xuất ra ổn định mức cao.

Theo một phương án thực hiện, mức của cực đồng hồ thứ nhất CK trong pha này có thể trước hết trở nên cao hơn và sau đó mức của cực đồng hồ thứ hai CB lại trở nên thấp hơn. Do vậy, tín hiệu của cực vào IN có thể được ngăn không cho đi vào mạch để đảm bảo độ ổn định của đầu ra mức cao.

Pha thứ năm S5 bao gồm nối mức thấp với cực vào IN, nối mức thấp với cực đồng hồ thứ nhất CK, và nối mức cao với cực đồng hồ thứ hai CB.

Trong pha này, tín hiệu của cực đồng hồ thứ nhất CK trở thành mức thấp, do vậy mức thấp của cực vào IN có thể được ghi vào nút thứ nhất N1 qua tranzito thứ ba T3 và tranzito thứ hai T2. Tranzito thứ bảy T7 được bật và cực ra OUT xuất ra mức thấp.

Cùng lúc, mức thấp của nút thứ năm N5 bật tranzito thứ mười T10, sao cho tín hiệu của cực mức thứ hai VGH được đưa vào nút thứ hai N2, và tranzito thứ sáu T6 bị tắt. Do vậy, tín hiệu của mức cao không thể lại được xuất ra.

Theo một phương án thực hiện, do ảnh hưởng của tải lên cực ra OUT, tín hiệu của cực ra OUT trong pha này có thể không được thay đổi ngay lập tức sang mức thấp, mà được thay đổi dần dần. Tuy nhiên, do cực ra OUT không thể được ghi vào thanh ghi dịch của mức tiếp theo ở thời điểm này (thanh ghi dịch của

mức tiếp theo ở mức thứ tư), nên nó không ảnh hưởng đến hoạt động của thanh ghi dịch.

Theo một phương án thực hiện, mức của cực đồng hồ thứ hai CB trong pha này trước hết có thể trở nên cao hơn và sau đó mức của cực đồng hồ thứ nhất CK lại trở nên thấp hơn. Do vậy, đảm bảo rằng mức của nút thứ hai N2 được thay đổi sau khi tranzito thứ chín T9 được tắt trước, nhờ đó đảm bảo độ ổn định của đầu ra.

Pha thứ sáu S6 bao gồm nổi mức thấp với cực vào IN.

Trong pha này, cực vào IN tiếp tục là mức thấp, và cực đồng hồ thứ nhất CK và cực đồng hồ thứ hai CB được chuyển đổi thường xuyên giữa các mức thấp và cao. Tức là, pha này là pha chờ dài hạn, tức là, pha chính khiến phân tử phát sáng 20 phát sáng.

Khi cực đồng hồ thứ nhất CK là mức thấp và cực đồng hồ thứ hai CB là mức cao, trạng thái của mạch giống như trạng thái của pha thứ năm, và thanh ghi dịch xuất ra mức thấp.

Khi cực đồng hồ thứ nhất CK ở mức cao và cực đồng hồ thứ hai CB ở mức thấp, nút thứ nhất N1 và nút thứ hai N2 đều nổi, sao cho mức thấp trước đó và mức cao lần lượt được duy trì. Thực tế, thanh ghi dịch xuất ra mức thấp. Trong đó, khi cực đồng hồ thứ hai CB đổi từ mức cao xuống mức thấp, tầng của nút thứ nhất N1 có thể còn được kéo thấp hơn mức thấp, sao cho điện áp nguồn cực cổng của tranzito thứ hai T2 lớn hơn điện áp ngưỡng của nó ($V_{gs} > V_{th}$). Tranzito thứ hai T2 được tắt để cách ly nút thứ nhất N1 với nút thứ năm N5, nhờ đó ngăn không cho tầng của nút thứ nhất N1 bị ảnh hưởng bởi các phần khác của mạch. Thực tế, độ ổn định của đầu ra được đảm bảo. Cùng lúc, do điện thế cực cổng của tranzito thứ bảy T7 được giảm tiếp, độ ổn định đầu ra của tranzito thứ bảy T7 được cải thiện.

Có thể hiểu rằng mức thấp và mức cao của nút thứ nhất N1 và nút thứ hai N2 lần lượt được duy trì trong pha này là các mức của hai nút trước pha thứ nhất S1.

Theo một phương án thực hiện, trong pha này, đối với cực đồng hồ thứ nhất CK và cực đồng hồ thứ hai CB, pha có mức đổi từ thấp lên cao thay đổi trước,

sao cho tồn tại thời gian khi cực đồng hồ thứ nhất CK và cực đồng hồ thứ hai CB đều ở mức cao. Nên hiểu rằng trong suốt thời gian này, mỗi tranzito được tắt, do vậy nút thứ nhất N1 và nút thứ hai N2 cũng duy trì các mức trước đó, và thanh ghi dịch vẫn có thể đảm bảo đầu ra mức thấp ổn định.

Một cách tùy chọn, lượng thời gian “sớm” khi mức nêu trên được thay đổi từ thấp đến cao có thể bằng $1/15 \sim 6/15$ chu kỳ tín hiệu đồng hồ, trong đó chu kỳ tín hiệu đồng hồ đề cập đến toàn bộ khoảng thời gian của mức cao và mức thấp liên kế trong tín hiệu đồng hồ.

Có thể thấy rằng, theo phương pháp điều khiển của thanh ghi dịch theo một phương án thực hiện sáng chế, thanh ghi dịch có thể tạo tín hiệu điều khiển phát sáng (EM signal) để điều khiển trạng thái của tranzito điều khiển phát quang, nhờ đó điều khiển phát sáng mạch pixel.

Ngoài ra, trong thanh ghi dịch, tranzito thứ nhất T1 và tranzito thứ hai T2 có thể được tắt trong bán chu kỳ, nhờ đó ngăn không cho các mức của các nút mà thực sự đóng vai trò điều khiển đầu ra bị ảnh hưởng bởi các phần khác của mạch, và nhờ đó đảm bảo ổn định đầu ra.

Theo một phương án thực hiện, như được thể hiện trên Fig. 3, khối điều khiển thứ nhất cũng có thể bao gồm tranzito thứ tám T8, tranzito thứ chín T9, tranzito thứ mười T10, tụ điện thứ hai C2, và tụ điện thứ ba C3; trong đó:

Cực thứ nhất của tranzito thứ tám T8 được ghép nối với cực mức thứ nhất VGL, cực thứ hai của nó được ghép nối với cực thứ nhất của tranzito thứ chín T9, và cực cổng của nó được ghép nối với nút thứ ba N3;

Cực thứ hai của tranzito thứ chín T9 được ghép nối với nút thứ hai N2, và cực cổng của nó được ghép nối với cực đồng hồ thứ hai CB;

Cực thứ nhất của tranzito thứ mười T10 được ghép nối với nút thứ hai N2, cực thứ hai của nó được ghép nối với cực mức thứ hai VGH, và cực cổng của nó được ghép nối với nút thứ năm N5;

Cực thứ nhất của tụ điện thứ hai C2 được ghép nối với cực mức thứ hai VGH, và cực thứ hai của nó được ghép nối với nút thứ hai N2; và

Cực thứ nhất của tụ điện thứ ba C3 được ghép nối với cực đồng hồ thứ hai CB, và cực thứ hai được ghép nối với nút thứ ba N3.

Rõ ràng là, khối điều khiển thứ nhất theo phương án thực hiện cũng được sử dụng để hạ thấp tiếp tầng của nút thứ ba N3 để khiến tranzito thứ nhất bị tắt khi nút thứ ba N3 ban đầu là mức thấp và tín hiệu của cực đồng hồ thứ hai CB thay đổi từ cao sang thấp. Khối điều khiển thứ nhất cũng được sử dụng để điều khiển truyền mức thấp (có thể đến từ cực mức thứ nhất VGL hoặc cũng từ cực đồng hồ thứ hai CB) đến nút thứ hai N2. Do chức năng và trạng thái hoạt động của các khối điều khiển thứ hai của hai dạng hoàn toàn giống nhau, quá trình điều khiển sẽ không được mô tả chi tiết ở đây.

Theo một phương án thực hiện, như được thể hiện trên Fig.4, khối điều khiển thứ hai cũng có thể bao gồm tranzito thứ mười một T11 và tranzito thứ mười hai T12. Cực thứ nhất của tranzito thứ mười một T11 được ghép nối với cực thứ hai của tranzito thứ mười hai T12, cực thứ hai của nó được ghép nối với nút thứ năm N5, và cực cổng của nó được ghép nối với cực đồng hồ thứ hai CB. Cực thứ nhất của tranzito thứ mười hai T12 được ghép nối với cực mức thứ nhất VGL, và cực cổng của nó được ghép nối với nút thứ tư N4. Một cách tùy chọn, tất cả các tranzito đều là các tranzito loại P.

Nên hiểu rằng khối điều khiển thứ hai thuộc loại này vận hành để truyền tín hiệu của cực mức thứ hai VGH đến nút thứ năm N5 khi cực đồng hồ thứ hai CB và nút thứ tư N4 đều ở mức thấp (mức bật). Do chức năng thực và trạng thái hoạt động của hai dạng của các khối điều khiển thứ hai hoàn toàn giống nhau, nên quá trình điều khiển sẽ không được mô tả chi tiết ở đây.

Nên hiểu rằng các khối điều khiển thứ nhất và các khối điều khiển thứ hai của hai dạng nêu trên lần lượt có thể được kết hợp với nhau theo cách thức bất kỳ. Tức là, dạng bất kỳ của khối điều khiển thứ nhất có thể được kết hợp với dạng bất kỳ của khối điều khiển thứ hai và được sử dụng cho một thanh ghi dịch.

Cụ thể là, một phương án thực hiện sáng chế đề cập đến thanh ghi dịch, bao gồm:

Tranzito thứ nhất T1 có cực thứ nhất được ghép nối với nút thứ tư N4, cực thứ hai được ghép nối với nút thứ ba N3, và cực cổng được ghép nối với cực mức thứ nhất VGL;

Tranzito thứ hai T2 có cực thứ nhất được ghép nối với nút thứ năm N5, cực thứ hai được ghép nối với nút thứ nhất N1, và cực cổng được ghép nối với cực mức thứ nhất VGL;

Tranzito thứ ba T3 có cực thứ nhất được ghép nối với cực vào IN, cực thứ hai được ghép nối với nút thứ năm N5, và cực cổng được ghép nối với cực đồng hồ thứ nhất CK;

Tranzito thứ tư T4 có cực thứ nhất được ghép nối với nút thứ tư N4, cực thứ hai được ghép nối với cực đồng hồ thứ nhất CK, và cực cổng được ghép nối với nút thứ năm N5;

Tranzito thứ năm T5 có cực thứ nhất được ghép nối với cực mức thứ nhất VGL, cực thứ hai được ghép nối với nút thứ tư N4, và cực cổng được ghép nối với cực đồng hồ thứ nhất CK;

Tụ điện thứ nhất C1 có cực thứ nhất được ghép nối với nút thứ nhất N1 và cực thứ hai được ghép nối với cực đồng hồ thứ hai CB;

Tranzito thứ sáu T6 có cực thứ nhất được ghép nối với cực mức thứ hai VGH, cực thứ hai được ghép nối với cực ra OUT, và cực cổng được ghép nối với nút thứ hai N2;

Tranzito thứ bảy T7 có cực thứ nhất được ghép nối với cực ra OUT, cực thứ hai được ghép nối với cực mức thứ nhất VGL, và cực cổng được ghép nối với nút thứ nhất N1.;

Tranzito thứ tám T8 có cực thứ nhất được ghép nối với cực đồng hồ thứ hai CB, cực thứ hai được ghép nối với cực thứ hai của tụ điện thứ ba C3, và cực cổng được ghép nối với nút thứ ba N3;

Tranzito thứ chín T9 có cực thứ nhất được ghép nối với cực thứ hai của tụ điện thứ ba C3, cực thứ hai được ghép nối với nút thứ hai N2, và cực cổng được ghép nối với cực đồng hồ thứ hai CB;

Tranzito thứ mười T10 có cực thứ nhất được ghép nối với nút thứ hai N2, cực thứ hai được ghép nối với cực mức thứ hai VGH, và cực cổng được ghép nối với nút thứ năm N5;

Tụ điện thứ hai C2 có cực thứ nhất được ghép nối với cực mức thứ hai VGH và cực thứ hai được ghép nối với nút thứ hai N2;

Tụ điện thứ ba C3 có cực thứ nhất được ghép nối với nút thứ ba N3;

Tranzito thứ mười một T11 có cực thứ nhất được ghép nối với cực mức thứ hai VGH, cực thứ hai được ghép nối với nút thứ năm N5, và cực cổng được ghép nối với cực thứ hai của tranzito thứ mười hai T12; và

Tranzito thứ mười hai T12 có cực thứ nhất được ghép nối với cực đồng hồ thứ hai CB và cực cổng được ghép nối với nút thứ tư N4.

Một cách tùy chọn, tất cả các tranzito đều là các tranzito loại P.

Một phương án thực hiện sáng chế đề cập đến thanh ghi dịch, bao gồm:

Tranzito thứ nhất T1 có cực thứ nhất được ghép nối với nút thứ tư N4, cực thứ hai được ghép nối với nút thứ ba N3, và cực cổng được ghép nối với cực mức thứ nhất VGL;

Tranzito thứ hai T2 có cực thứ nhất được ghép nối với nút thứ năm N5, cực thứ hai được ghép nối với nút thứ nhất N1, và cực cổng được ghép nối với cực mức thứ nhất VGL;

Tranzito thứ ba T3 có cực thứ nhất được ghép nối với cực vào IN, cực thứ hai được ghép nối với nút thứ năm N5, và cực cổng được ghép nối với cực đồng hồ thứ nhất CK;

Tranzito thứ tư T4 có cực thứ nhất được ghép nối với nút thứ tư N4, cực thứ hai được ghép nối với cực đồng hồ thứ nhất CK, và cực cổng được ghép nối với nút thứ năm N5;

Tranzito thứ năm T5 có cực thứ nhất được ghép nối với cực mức thứ nhất VGL, cực thứ hai được ghép nối với nút thứ tư N4, và cực cổng được ghép nối với cực đồng hồ thứ nhất CK;

Tụ điện thứ nhất C1 có cực thứ nhất được ghép nối với nút thứ nhất N1 và cực thứ hai được ghép nối với cực đồng hồ thứ hai CB;

Tranzito thứ sáu T6 có cực thứ nhất được ghép nối với cực mức thứ hai VGH, cực thứ hai được ghép nối với cực ra OUT, và cực cổng được ghép nối với nút thứ hai N2;

Tranzito thứ bảy T7 có cực thứ nhất được ghép nối với cực ra OUT, cực thứ hai được ghép nối với cực mức thứ nhất VGL, và cực cổng được ghép nối với nút thứ nhất N1;

Tranzito thứ tám T8 có cực thứ nhất được ghép nối với cực mức thứ nhất VGL, cực thứ hai được ghép nối với cực thứ nhất của tranzito thứ chín T9, và cực cổng được ghép nối với nút thứ ba N3;

Tranzito thứ chín T9 có cực thứ hai được ghép nối với nút thứ hai N2 và cực cổng được ghép nối với cực đồng hồ thứ hai CB;

Tranzito thứ mười T10 có cực thứ nhất được ghép nối với nút thứ hai N2, cực thứ hai được ghép nối với cực mức thứ hai VGH, và cực cổng được ghép nối với nút thứ năm N5;

Tụ điện thứ hai C2 có cực thứ nhất được ghép nối với cực mức thứ hai VGH và cực thứ hai được ghép nối với nút thứ hai N2;

Tụ điện thứ ba C3 có cực thứ nhất được ghép nối với cực đồng hồ thứ hai CB, và cực thứ hai được ghép nối với nút thứ ba N3;

Tranzito thứ mười một T11 có cực thứ nhất được ghép nối với cực mức thứ hai VGH, cực thứ hai được ghép nối với nút thứ năm N5, và cực cổng được ghép nối với cực thứ hai của tranzito thứ mười hai T12; và

Tranzito thứ mười hai T12 có điện cực thứ nhất được ghép nối với cực đồng hồ thứ hai CB và cực cổng được ghép nối với nút thứ tư N4.

Một cách tùy chọn, tất cả các tranzito đều là các tranzito loại P.

Một cách tùy chọn, một phương án thực hiện sáng chế đề cập đến thanh ghi dịch, bao gồm:

Tranzito thứ nhất T1 có cực thứ nhất được ghép nối với nút thứ tư N4, cực thứ hai được ghép nối với nút thứ ba N3, và cực cổng được ghép nối với cực mức thứ nhất VGL;

Tranzito thứ hai T2 có cực thứ nhất được ghép nối với nút thứ năm N5, cực thứ hai được ghép nối với nút thứ nhất N1, và cực cổng được ghép nối với cực mức thứ nhất VGL;

Tranzito thứ ba T3 có cực thứ nhất được ghép nối với cực vào IN, cực thứ hai được ghép nối với nút thứ năm N5, và cực cổng được ghép nối với cực đồng hồ thứ nhất CK;

Tranzito thứ tư T4 có cực thứ nhất được ghép nối với nút thứ tư N4, cực thứ hai được ghép nối với cực đồng hồ thứ nhất CK, và cực cổng được ghép nối với nút thứ năm N5;

Tranzito thứ năm T5 có cực thứ nhất được ghép nối với cực mức thứ nhất VGL, cực thứ hai được ghép nối với nút thứ tư N4, và cực cổng được ghép nối với cực đồng hồ thứ nhất CK;

Tụ điện thứ nhất C1 có cực thứ nhất được ghép nối với nút thứ nhất N1 và cực thứ hai được ghép nối với cực đồng hồ thứ hai CB;

Tranzito thứ sáu T6 có cực thứ nhất được ghép nối với cực mức thứ hai VGH, cực thứ hai được ghép nối với cực ra OUT, và cực cổng được ghép nối với nút thứ hai N2;

Tranzito thứ bảy T7 có cực thứ nhất được ghép nối với cực ra OUT, cực thứ hai được ghép nối với cực mức thứ nhất VGL, và cực cổng được ghép nối với nút thứ nhất N1;

Tranzito thứ tám T8 có cực thứ nhất được ghép nối với cực đồng hồ thứ hai CB, cực thứ hai được ghép nối với cực thứ hai của tụ điện thứ ba C3, và cực cổng được ghép nối với nút thứ ba N3;

Tranzito thứ chín T9 có cực thứ nhất được ghép nối với cực thứ hai của tụ điện thứ ba C3, cực thứ hai được ghép nối với nút thứ hai N2, và cực cổng được ghép nối với cực đồng hồ thứ hai CB;

Tranzito thứ mười T10 có cực thứ nhất được ghép nối với nút thứ hai N2, cực thứ hai được ghép nối với cực mức thứ hai VGH, và cực cổng được ghép nối với nút thứ năm N5;

Tụ điện thứ hai C2 có cực thứ nhất được ghép nối với cực mức thứ hai VGH và cực thứ hai được ghép nối với nút thứ hai N2;

Tụ điện thứ ba C3 có cực thứ nhất được ghép nối với nút thứ ba N3;

Tranzito thứ mười một T11 có cực thứ nhất được ghép nối với cực thứ hai của tranzito thứ mười hai T12, cực thứ hai được ghép nối với nút thứ năm N5, và cực cổng được ghép nối với cực đồng hồ thứ hai CB; và

Tranzito thứ mười hai T12 có cực thứ nhất được ghép nối với cực mức thứ nhất VGL và cực cổng được ghép nối với nút thứ tư N4.

Một cách tùy chọn, tất cả các tranzito đều là các tranzito loại P.

Một cách tùy chọn, một phương án thực hiện sáng chế đề cập đến thanh ghi dịch, bao gồm:

Tranzito thứ nhất T1 có cực thứ nhất được ghép nối với nút thứ tư N4, cực thứ hai được ghép nối với nút thứ ba N3, và cực cổng được ghép nối với cực mức thứ nhất VGL;

Tranzito thứ hai T2 có cực thứ nhất được ghép nối với nút thứ năm N5, cực thứ hai được ghép nối với nút thứ nhất N1, và cực cổng được ghép nối với cực mức thứ nhất VGL;

Tranzito thứ ba T3 có cực thứ nhất được ghép nối với cực vào IN, cực thứ hai được ghép nối với nút thứ năm N5, và cực cổng được ghép nối với cực đồng hồ thứ nhất CK;

Tranzito thứ tư T4 có cực thứ nhất được ghép nối với nút thứ tư N4, cực thứ hai được ghép nối với cực đồng hồ thứ nhất CK, và cực cổng được ghép nối với nút thứ năm N5;

Tranzito thứ năm T5 có cực thứ nhất được ghép nối với cực mức thứ nhất VGL, cực thứ hai được ghép nối với nút thứ tư N4, và cực cổng được ghép nối với cực đồng hồ thứ nhất CK;

Tụ điện thứ nhất C1 có cực thứ nhất được ghép nối với nút thứ nhất N1 và cực thứ hai được ghép nối với cực đồng hồ thứ hai CB;

Tranzito thứ sáu T6 có cực thứ nhất được ghép nối với cực mức thứ hai VGH, cực thứ hai được ghép nối với cực ra OUT, và cực cổng được ghép nối với nút thứ hai N2;

Tranzito thứ bảy T7 có cực thứ nhất được ghép nối với cực ra OUT, cực thứ hai được ghép nối với cực mức thứ nhất VGL, và cực cổng được ghép nối với nút thứ nhất N1;

Tranzito thứ tám T8 có cực thứ nhất được ghép nối với cực mức thứ nhất VGL, cực thứ hai được ghép nối với cực thứ nhất của tranzito thứ chín T9, và cực cổng được ghép nối với nút thứ ba N3;

Tranzito thứ chín T9 có cực thứ hai được ghép nối với nút thứ hai N2 và cực cổng được ghép nối với cực đồng hồ thứ hai CB;

Tranzito thứ mười T10 có cực thứ nhất được ghép nối với nút thứ hai N2, cực thứ hai được ghép nối với cực mức thứ hai VGH, và cực cổng được ghép nối với nút thứ năm N5;

Tụ điện thứ hai C2 có cực thứ nhất được ghép nối với cực mức thứ hai VGH và cực thứ hai được ghép nối với nút thứ hai N2;

Tụ điện thứ ba C3 có cực thứ nhất được ghép nối với cực đồng hồ thứ hai CB, và cực thứ hai được ghép nối với nút thứ ba N3;

Tranzito thứ mười một T11 có cực thứ nhất được ghép nối với cực thứ hai của tranzito thứ mười hai T12, cực thứ hai được ghép nối với nút thứ năm N5, và cực cổng được ghép nối với cực đồng hồ thứ hai CB;

Tranzito thứ mười hai T12 có cực thứ nhất được ghép nối với cực mức thứ nhất VGL và cực cổng được ghép nối với nút thứ tư N4.

Một cách tùy chọn, tất cả các tranzito đều là các tranzito loại P.

Dựa vào Fig.6, một phương án thực hiện sáng chế đề cập đến khối điều khiển phát sáng, bao gồm các thanh ghi dịch được xếp tầng theo một phương án thực hiện sáng chế. Ngoại trừ tầng cuối cùng của thanh ghi dịch, cực ra OUT của mỗi thanh ghi trong các thanh ghi kịch còn lại được ghép nối với cực vào IN của tầng tiếp theo của thanh ghi dịch.

Như được thể hiện trên Fig. 6, các thanh ghi dịch được xếp tầng. Cụ thể là, cực ra OUT của mỗi thanh ghi dịch lần lượt được ghép nối với cực cổng của tranzito điều khiển phát quang trong mạch pixel tương ứng và cực vào IN của tầng tiếp theo của thanh ghi dịch.

Nên hiểu rằng cực ra OUT của tầng cuối cùng của thanh ghi dịch không được ghép nối với các thanh ghi dịch khác, và cực vào IN của tầng thứ nhất của thanh ghi dịch được ghép nối với tín hiệu điều khiển riêng rẽ (chẳng hạn tín hiệu STV).

Nên hiểu rằng do các tín hiệu của cực mức thứ nhất VGL và cực mức thứ hai VGH là không đổi, như được thể hiện trên Fig.6, các cực mức thứ nhất VGL của tất cả các thanh ghi dịch có thể được cấp nguồn bởi đường mức thứ nhất, và các cực mức thứ hai VGH của tất cả các thanh ghi dịch có thể được cấp nguồn bởi đường mức thứ hai.

Nên hiểu rằng, do các tín hiệu được yêu cầu bởi cùng cực đồng hồ của các thanh ghi dịch hai tầng liên kế nhau ngược nhau cùng lúc, như được thể hiện trên Fig.6, các cực đồng hồ của tất cả các thanh ghi dịch có thể lần lượt được ghép nối với hai đường đồng hồ. Ngoài ra, các chế độ của các cực đồng hồ của các thanh ghi dịch liên kế nhau lần lượt nối với hai đường đồng hồ là ngược nhau.

Như được thể hiện trên Fig.7, một phương án thực hiện sáng chế đề cập đến tám hiển thị. Tám hiển thị bao gồm khối điều khiển phát sáng theo một phương án thực hiện sáng chế và các mạch pixel. Như được thể hiện trên Fig.8, mỗi mạch pixel theo một phương án thực hiện sáng chế bao gồm phần tử phát sáng 20 được nối nối tiếp giữa nguồn điện thứ nhất 13 và nguồn điện thứ hai 14 và ít nhất một tranzito điều khiển phát sáng. Cực cổng của tranzito điều khiển phát quang được ghép nối với cực ra OUT của tầng của thanh ghi dịch trong khối điều khiển phát sáng.

Nói cách khác, khối điều khiển phát sáng nêu trên có thể được đặt trong tám hiển thị, và được sử dụng để điều khiển tranzito điều khiển phát quang của mỗi mạch pixel trong tám hiển thị, tức là, để điều khiển liệu mỗi mạch pixel có phát sáng hay không.

Một cách tùy chọn, phân tử phát sáng 20 là OLED. Tức là, tấm hiển thị nêu trên tốt hơn là tấm hiển thị OLED.

Cụ thể là, tấm hiển thị có thể là sản phẩm hoặc thành phần bất kỳ có chức năng hiển thị chẳng hạn giấy điện tử, điện thoại di động, máy tính bảng, TV, phân hiển thị, máy tính notebook, khung ảnh số, bộ điều hướng, và tương tự.

Một cách tùy chọn, các mạch pixel được bố trí theo mảng, trong đó các hàng của các mạch pixel được phân chia thành các nhóm. Mỗi nhóm bao gồm hai hàng mạch pixel liền kề. Các cực cổng của các tranzito điều khiển phát quang của hai hàng mạch pixel thuộc cùng nhóm được ghép nối với cực ra OUT của cùng tầng của thanh ghi dịch trong khối điều khiển phát sáng.

Tức là, như được thể hiện trên Fig.7, các mạch pixel có thể được bố trí trong mảng, trong đó cứ hai hàng mạch pixel được điều khiển bởi cùng tầng của thanh ghi dịch. Điều này giảm đáng kể số lượng thanh ghi dịch thực và đơn giản hóa kết cấu sản phẩm.

Dĩ nhiên, trong trường hợp này, các trạng thái phát sáng của hai hàng mạch pixel được điều khiển bởi cùng tầng của thanh ghi dịch là giống nhau. Nếu các thời điểm hoạt động của hai hàng mạch pixel có độ lệch pha, các chu kỳ phát sáng thực của hai hàng mạch pixel trong cùng chu kỳ thời gian cũng có độ lệch cụ thể. Tuy nhiên, độ lệch này là nhỏ, về cơ bản không ảnh hưởng đến việc hiển thị, và có thể được bỏ qua.

Một cách tùy chọn, số lượng khối điều khiển phát sáng bằng hai, và hai khối điều khiển phát sáng lần lượt được đặt trên hai cạnh đối diện của tấm hiển thị. Cực cổng của tranzito điều khiển phát quang của mỗi mạch pixel được đồng thời ghép nối với cực ra OUT của thanh ghi dịch của cùng tầng trong hai khối điều khiển phát sáng.

Như được thể hiện trên Fig.7, mỗi phía của tấm hiển thị có thể có khối điều khiển phát sáng, và tranzito điều khiển phát quang trong mỗi mạch pixel được đồng thời điều khiển bởi hai khối điều khiển phát sáng, nhờ đó giảm tải và độ trễ tín hiệu của mỗi khối điều khiển phát sáng.

Một cách tùy chọn, mạch pixel bao gồm tranzito pixel thứ nhất M1, tranzito pixel thứ hai M2, tranzito pixel thứ ba M3, tranzito pixel thứ tư M4, tranzito pixel thứ năm M5, tranzito pixel thứ sáu M6, tranzito pixel thứ bảy M7, tụ điện pixel Cx, tụ chứa pixel Cxs, và phần tử phát sáng 20. Tranzito pixel thứ tư M4 và tranzito pixel thứ năm M5 là các tranzito điều khiển phát quang, và các cực cổng của nó được ghép nối với cực ra OUT của một tầng của thanh ghi dịch trong khối điều khiển phát sáng.

Theo một phương án thực hiện, cực thứ nhất của tranzito pixel thứ nhất M1 được ghép nối với cực thứ hai của tranzito pixel thứ tư M4. Cực thứ hai của tranzito pixel thứ nhất M1 được ghép nối với cực thứ nhất của tranzito pixel thứ năm M5, và cực cổng của tranzito pixel thứ nhất M1 được ghép nối với cực thứ hai của tụ chứa pixel Cxs.

Cực thứ nhất của tranzito pixel thứ hai M2 được ghép nối với đường dữ liệu 12, và cực thứ hai của nó được ghép nối với cực thứ hai của tranzito pixel thứ tư M4, và cực cổng của nó được ghép nối với đường cực cổng 11.

Cực thứ nhất của tranzito pixel thứ ba M3 được ghép nối với cực thứ hai của tụ chứa pixel Cxs, cực thứ hai của nó được ghép nối với cực thứ nhất của tranzito pixel thứ năm M5, và cực cổng của nó được ghép nối với đường cực cổng 11.

Cực thứ nhất của tranzito pixel thứ tư M4 được ghép nối với nguồn điện thứ nhất 13.

Cực thứ hai của tranzito pixel thứ năm M5 được ghép nối với cực thứ nhất của phần tử phát sáng 20.

Cực thứ nhất của tranzito pixel thứ sáu M6 được ghép nối với cực thứ hai của tụ chứa pixel Cxs, cực thứ hai của nó được ghép nối với đường khởi tạo 16, và cực cổng của nó được ghép nối với đường thiết lập lại 17.

Cực thứ nhất của tranzito pixel thứ bảy M7 được ghép nối với cực thứ nhất của phần tử phát sáng 20, cực thứ hai của nó được ghép nối với đường khởi tạo 16, và cực cổng của nó được ghép nối với đường thiết lập lại 17.

Cực thứ nhất của tụ điện pixel Cx được ghép nối với đường dữ liệu 12, và cực thứ hai của nó được ghép nối với nguồn điện thứ nhất 13.

Cực thứ nhất của tụ chứa pixel Cxs được ghép nối với nguồn điện thứ nhất
13.

Cực thứ hai của phần tử phát sáng 20 được ghép nối với nguồn điện thứ hai
14.

Tất cả các tranzito pixel là các tranzito loại P.

Tức là, mạch pixel theo một phương án thực hiện sáng chế có thể được viện dẫn cụ thể đến dạng trên Fig.8, và thời điểm tương ứng được viện dẫn đến Fig.9, mà so khớp tín hiệu điều khiển phát quang (EM signal) được tạo bởi khối điều khiển phát sáng nêu trên.

Dĩ nhiên, các loại khác của các mạch pixel đã biết có thể được sử dụng, và sẽ không được mô tả chi tiết ở đây.

Một cách tùy chọn, tấm hiển thị theo một phương án thực hiện sáng chế còn bao gồm mạch điều khiển cực cổng để cấp tín hiệu điều khiển cho mỗi mạch pixel, trong đó mạch điều khiển cực cổng được ghép nối với các cực cổng, và mỗi mạch pixel được đặt trong khu vực hiển thị.

Theo một phương án thực hiện, mạch điều khiển cực cổng và khối điều khiển phát sáng đều được đặt ngoài khu vực hiển thị, và khối điều khiển phát sáng được đặt ở phía của mạch điều khiển cực cổng đối diện với khu vực hiển thị.

Tức là, mạch điều khiển cực cổng (gate drive circuit, GOA) cũng có thể được đặt trong tấm hiển thị. Mạch điều khiển cực cổng cũng được xếp tầng bởi các thanh ghi dịch (dĩ nhiên, kết cấu của thanh ghi dịch trong GOA khác với kết cấu của thanh ghi dịch trong khối điều khiển phát sáng). Mỗi thanh ghi dịch được ghép nối với đường cực cổng 11 để cấp tín hiệu điều khiển tương ứng cho đường cực cổng 11, và mỗi đường cực cổng 11 có thể được ghép nối với cực cổng của tranzito chuyển mạch của mỗi mạch pixel trong hàng để điều khiển liệu tín hiệu dữ liệu có thể được ghi vào mạch pixel.

Theo một phương án thực hiện, như được thể hiện trên Fig.7, mỗi mạch trong các mạch pixel nêu trên được đặt trong khu vực hiển thị để hiển thị ở giữa của tấm hiển thị. Khối điều khiển phát sáng được đặt ở phía bên ngoài của mạch điều khiển cực cổng (tức là, cách xa hơn khu vực hiển thị so với mạch điều khiển cực

cổng), và được ghép nối với mạch pixel qua mạch điều khiển cực cổng. Tức là, kết cấu của hai mạch có thể được xếp hình chữ chi để tận dụng tối đa không gian, nhờ đó dễ triển khai thiết kế khung hẹp.

Dĩ nhiên, dựa trên Fig.7, nếu có khối điều khiển phát sáng ở cả hai bên, mạch điều khiển cực cổng cũng có thể được đặt ở cả hai bên, và các khối điều khiển phát sáng ở cả hai bên được đặt ở bên ngoài của mạch điều khiển cực cổng tương ứng.

Trong đó, các kết cấu tương ứng của các tranzito trong khối điều khiển phát sáng có thể được đặt trong cùng lớp với các cấu trúc tương ứng của các tranzito pixel trong mạch pixel (dĩ nhiên, được tạo đồng thời). Các dây dẫn trong khối điều khiển phát sáng cũng có thể được đặt trong cùng lớp với các cấu trúc hiện tại khác chẳng hạn các đường cực cổng 11 và các đường dữ liệu 12 (cực máng nguồn) để đơn giản hóa quá trình chuẩn bị.

Các nguyên lý và các phương án thực hiện sáng chế được nêu trong bản mô tả. Phần mô tả của các phương án thực hiện sáng chế chỉ được sử dụng để giúp hiểu thiết bị và phương pháp theo sáng chế và ý tưởng lõi của nó. Đồng thời, đối với người có hiểu biết trung bình trong lĩnh vực, sáng chế đề cập đến phạm vi của sáng chế, và sơ đồ kỹ thuật không bị giới hạn ở kết hợp cụ thể của các dấu hiệu kỹ thuật, mà còn bao gồm các sơ đồ kỹ thuật khác mà được tạo bằng cách kết hợp các dấu hiệu kỹ thuật hoặc các dấu hiệu tương đương của các dấu hiệu kỹ thuật mà không xa rời phạm vi sáng chế. Chẳng hạn, sơ đồ kỹ thuật có thể thu được bằng cách thay thế các dấu hiệu nêu trên như được bộc lộ theo sáng chế (mà không bị giới hạn ở) bằng các dấu hiệu tương tự.

YÊU CẦU BẢO HỘ

1. Thanh ghi dịch cho tám hiển thị bao gồm:

đầu cực vào,

đầu cực ra,

khởi vào,

khởi ra,

khởi điều khiển thứ nhất,

khởi điều khiển thứ hai, và

khởi cách ly thứ nhất,

trong đó:

thanh ghi dịch còn bao gồm nút thứ năm và khởi cách ly thứ hai;

khởi vào lần lượt được ghép nối với đầu cực vào, nút thứ năm, và nút thứ tư, và được tạo cấu hình để điều khiển các mức độ của nút thứ nhất và nút thứ tư dựa trên mức độ của đầu cực vào;

khởi điều khiển thứ nhất lần lượt được ghép nối với nút thứ hai và nút thứ ba và được tạo cấu hình để điều khiển các mức độ của nút thứ hai và nút thứ ba;

khởi điều khiển thứ hai lần lượt được ghép nối với nút thứ nhất và nút thứ tư, và được tạo cấu hình để truyền mức độ thứ hai đến nút thứ nhất dựa trên mức độ của nút thứ tư;

khởi cách ly thứ nhất nằm giữa nút thứ ba và nút thứ tư, và được tạo cấu hình để cách ly nút thứ ba khỏi nút thứ tư khi khởi điều khiển thứ nhất thay đổi mức độ của nút thứ ba từ mức độ thứ nhất hơn nữa theo hướng cách xa khỏi mức độ thứ hai; và

khởi ra được tạo cấu hình để truyền mức độ thứ nhất hoặc mức độ thứ hai đến đầu cực ra dựa trên các mức độ của nút thứ nhất và nút thứ hai;

khởi cách ly thứ nhất bao gồm tranzito thứ nhất; đầu cực thứ nhất của tranzito thứ nhất được ghép nối với nút thứ tư, đầu cực thứ hai của tranzito thứ nhất được ghép nối với nút thứ ba, và cực cổng của tranzito thứ nhất được ghép nối với đầu cực mức độ thứ nhất; và

khối điều khiển thứ hai được ghép nối với nút thứ năm và nút thứ tư; và khối cách ly thứ hai nằm giữa nút thứ năm và nút thứ nhất và được tạo cấu hình để cách ly nút thứ nhất khỏi nút thứ năm khi mức độ của nút thứ nhất được thay đổi từ mức độ thứ nhất hơn nữa theo hướng cách xa khỏi mức độ thứ hai.

2. Thanh ghi dịch theo điểm 1, trong đó khối cách ly thứ hai bao gồm tranzito thứ hai; đầu cực thứ nhất của tranzito thứ hai được ghép nối với nút thứ năm, đầu cực thứ hai của tranzito thứ hai được ghép nối với nút thứ nhất, và cực cổng của tranzito thứ hai được ghép nối với đầu cực mức độ thứ nhất.

3. Thanh ghi dịch theo điểm 2, trong đó tranzito thứ nhất và/hoặc tranzito thứ hai là các tranzito cực cổng kép.

4. Thanh ghi dịch theo điểm 2, trong đó tranzito thứ nhất và/hoặc tranzito thứ hai là các tranzito ôxit kim loại.

5. Thanh ghi dịch theo điểm 2, trong đó khối vào bao gồm tranzito thứ ba, tranzito thứ tư, tranzito thứ năm, và tụ điện thứ nhất; trong đó:

đầu cực thứ nhất của tranzito thứ ba được ghép nối với đầu cực vào, đầu cực thứ hai của tranzito thứ ba được ghép nối với nút thứ năm, và cực cổng của tranzito thứ ba được ghép nối với đầu cực đồng hồ thứ nhất;

đầu cực thứ nhất của tranzito thứ tư được ghép nối với nút thứ tư, đầu cực thứ hai của tranzito thứ tư được ghép nối với đầu cực đồng hồ thứ nhất, và cực cổng của tranzito thứ tư được ghép nối với nút thứ năm;

đầu cực thứ nhất của tranzito thứ năm được ghép nối với đầu cực mức độ thứ nhất, đầu cực thứ hai của tranzito thứ năm được ghép nối với nút thứ tư, và cực cổng của tranzito thứ năm được ghép nối với đầu cực đồng hồ thứ nhất; và

đầu cực thứ nhất của tụ điện thứ nhất được ghép nối với nút thứ nhất, và đầu cực thứ hai của tụ điện thứ nhất được ghép nối với đầu cực đồng hồ thứ hai.

6. Thanh ghi dịch theo điểm 5, trong đó tranzito thứ tư là tranzito cực cổng kép.

7. Thanh ghi dịch theo điểm 5, trong đó khối ra bao gồm tranzito thứ sáu và tranzito thứ bảy, trong đó:

đầu cực thứ nhất của tranzito thứ sáu được ghép nối với đầu cực mức độ thứ hai, đầu cực thứ hai của tranzito thứ sáu được ghép nối với đầu cực ra, và cực cổng của tranzito thứ sáu được ghép nối với nút thứ hai; và

đầu cực thứ nhất của tranzito thứ bảy được ghép nối với đầu cực ra, đầu cực thứ hai của tranzito thứ bảy được ghép nối với đầu cực mức độ thứ nhất, và cực cổng của tranzito thứ bảy được ghép nối với nút thứ nhất.

8. Thanh ghi dịch theo điểm 7, trong đó khối điều khiển thứ nhất bao gồm tranzito thứ tám, tranzito thứ chín, tranzito thứ mười, tụ điện thứ hai, và tụ điện thứ ba, trong đó:

đầu cực thứ nhất của tranzito thứ tám được ghép nối với đầu cực đồng hồ thứ hai, đầu cực thứ hai của tranzito thứ tám được ghép nối với đầu cực thứ hai của tụ điện thứ ba, và cực cổng của tranzito thứ tám được ghép nối với nút thứ ba;

đầu cực thứ nhất của tranzito thứ chín được ghép nối với đầu cực thứ hai của tụ điện thứ ba, đầu cực thứ hai của tranzito thứ chín được ghép nối với nút thứ hai, và cực cổng của tranzito thứ chín được ghép nối với đầu cực đồng hồ thứ hai;

đầu cực thứ nhất của tranzito thứ mười được ghép nối với nút thứ hai, đầu cực thứ hai của tranzito thứ mười được ghép nối với đầu cực mức độ thứ hai, và cực cổng của tranzito thứ mười được ghép nối với nút thứ năm;

đầu cực thứ nhất của tụ điện thứ hai được ghép nối với đầu cực mức độ thứ hai, và đầu cực thứ hai của tụ điện thứ hai được ghép nối với nút thứ hai; và

đầu cực thứ nhất của tụ điện thứ ba được ghép nối với nút thứ ba.

9. Thanh ghi dịch theo điểm 8, trong đó khối điều khiển thứ hai bao gồm tranzito thứ mười một và tranzito thứ mười hai; trong đó:

đầu cực thứ nhất của tranzito thứ mười một được ghép nối với đầu cực mức độ thứ hai, đầu cực thứ hai của tranzito thứ mười một được ghép nối với nút thứ năm, và cực cổng của tranzito thứ mười một được ghép nối với đầu cực thứ hai của tranzito thứ mười hai; và

đầu cực thứ nhất của tranzito thứ mười hai được ghép nối với đầu cực đồng hồ thứ hai, và cực cổng của tranzito thứ mười hai được ghép nối với nút thứ tư.

10. Thanh ghi dịch theo điểm 8, trong đó khối điều khiển thứ hai bao gồm tranzito thứ mười một và tranzito thứ mười hai; trong đó:

đầu cực thứ nhất của tranzito thứ mười một được ghép nối với đầu cực thứ hai của tranzito thứ mười hai, đầu cực thứ hai của tranzito thứ mười một được ghép nối với nút thứ năm, và cực cổng của tranzito thứ mười một được ghép nối với đầu cực đồng hồ thứ hai; và

đầu cực thứ nhất của tranzito thứ mười hai được ghép nối với đầu cực mức độ thứ nhất, và cực cổng của tranzito thứ mười hai được ghép nối với nút thứ tư.

11. Thanh ghi dịch theo điểm 7, trong đó khối điều khiển thứ nhất bao gồm tranzito thứ tám, tranzito thứ chín, tranzito thứ mười, tụ điện thứ hai, và tụ điện thứ ba, trong đó:

đầu cực thứ nhất của tranzito thứ tám được ghép nối với đầu cực mức độ thứ nhất, đầu cực thứ hai của tranzito thứ tám được ghép nối với đầu cực thứ nhất của tranzito thứ chín, và cực cổng của tranzito thứ tám được ghép nối với nút thứ ba;

đầu cực thứ hai của tranzito thứ chín được ghép nối với nút thứ hai, và cực cổng của tranzito thứ chín được ghép nối với đầu cực đồng hồ thứ hai;

đầu cực thứ nhất của tranzito thứ mười được ghép nối với nút thứ hai, đầu cực thứ hai của tranzito thứ mười được ghép nối với đầu cực mức độ thứ hai, và cực cổng của tranzito thứ mười được ghép nối với nút thứ năm;

đầu cực thứ nhất của tụ điện thứ hai được ghép nối với đầu cực mức độ thứ hai, và đầu cực thứ hai của tụ điện thứ hai được ghép nối với nút thứ hai; và

đầu cực thứ nhất của tụ điện thứ ba được ghép nối với đầu cực đồng hồ thứ hai, và đầu cực thứ hai của tụ điện thứ ba được ghép nối với nút thứ ba.

12. Mạch điều khiển phát sáng bao gồm nhiều thanh ghi dịch được xếp tầng, mỗi thanh ghi trong nhiều thanh ghi dịch được xếp tầng là thanh ghi dịch theo điểm 1.

13. Tấm hiển thị bao gồm mạch điều khiển phát sáng theo điểm 12.

14. Tấm hiển thị theo điểm 13, trong đó tấm còn bao gồm nhiều mạch pixel;

trong đó mỗi mạch trong nhiều mạch pixel bao gồm linh kiện phát sáng và ít nhất một tranzito điều khiển phát sáng, cực cổng của tranzito điều khiển phát sáng đang được ghép nối với đầu cực ra của thanh ghi dịch của một tầng trong mạch điều khiển phát sáng.

15. Tấm hiển thị theo điểm 14, trong đó tấm còn bao gồm mạch điều khiển cực cổng để cấp tín hiệu điều khiển cho mỗi mạch trong các mạch pixel, trong đó mạch điều khiển cực cổng được ghép nối với nhiều đường cực cổng, và mỗi mạch trong các mạch pixel được đặt trong vùng hiển thị;

mạch điều khiển cực cổng và mạch điều khiển phát sáng đều được đặt bên ngoài vùng hiển thị, và mạch điều khiển phát sáng được đặt ở phía của mạch điều khiển cực cổng đối diện với vùng hiển thị.

16. Tấm hiển thị theo điểm 14, trong đó linh kiện phát sáng là điôt phát quang hữu cơ.

17. Tấm hiển thị bao gồm mạch điều khiển phát sáng và nhiều mạch pixel;

trong đó mạch điều khiển phát sáng bao gồm nhiều thanh ghi dịch được xếp tầng, mỗi thanh ghi trong nhiều thanh ghi dịch được xếp tầng là thanh ghi dịch bao gồm đầu cực vào, đầu cực ra, khối vào, khối ra, khối điều khiển thứ nhất, khối điều khiển thứ hai, và khối cách ly thứ nhất;

khối vào lần lượt được ghép nối với đầu cực vào và nút thứ tư, và được tạo cấu hình để điều khiển các mức độ của nút thứ nhất và nút thứ tư dựa trên mức độ của đầu cực vào;

khối điều khiển thứ nhất lần lượt được ghép nối với nút thứ hai và nút thứ ba và được tạo cấu hình để điều khiển các mức độ của nút thứ hai và nút thứ ba;

khối điều khiển thứ hai lần lượt được ghép nối với nút thứ nhất và nút thứ tư, và được tạo cấu hình để truyền mức độ thứ hai đến nút thứ nhất dựa trên mức độ của nút thứ tư;

khối cách ly thứ nhất nằm giữa nút thứ ba và nút thứ tư, và được tạo cấu hình để cách ly nút thứ ba khỏi nút thứ tư khi khối điều khiển thứ nhất thay đổi mức độ của nút thứ ba từ mức độ thứ nhất hơn nữa theo hướng cách xa khỏi mức độ thứ hai; và

khởi ra được tạo cấu hình để truyền mức độ thứ nhất hoặc mức độ thứ hai đến đầu cực ra dựa trên các mức độ của nút thứ nhất và nút thứ hai;

mỗi mạch trong nhiều mạch pixel bao gồm linh kiện phát sáng và ít nhất một tranzito điều khiển phát sáng, cực cổng của tranzito điều khiển phát sáng đang được ghép nối với đầu cực ra của thanh ghi dịch của một tầng trong mạch điều khiển phát sáng; và

nhiều mạch pixel được bố trí theo mảng, các hàng của các mạch pixel được phân chia thành nhiều nhóm, mỗi nhóm trong nhiều nhóm bao gồm hai hàng mạch pixel liền kề, và các cực cổng của các tranzito điều khiển phát sáng trong hai hàng của các mạch pixel của cùng nhóm được ghép nối với đầu cực ra của thanh ghi dịch của cùng tầng trong mạch điều khiển phát sáng.

18. Tấm hiển thị theo điểm 17, trong đó tấm còn bao gồm hai mạch điều khiển phát sáng lần lượt được đặt trên hai phía đối diện của tấm hiển thị, trong đó cực cổng của tranzito điều khiển phát sáng của mỗi mạch pixel lần lượt được ghép nối với các đầu cực ra của các thanh ghi dịch của cùng tầng của hai mạch điều khiển phát sáng.

1/9

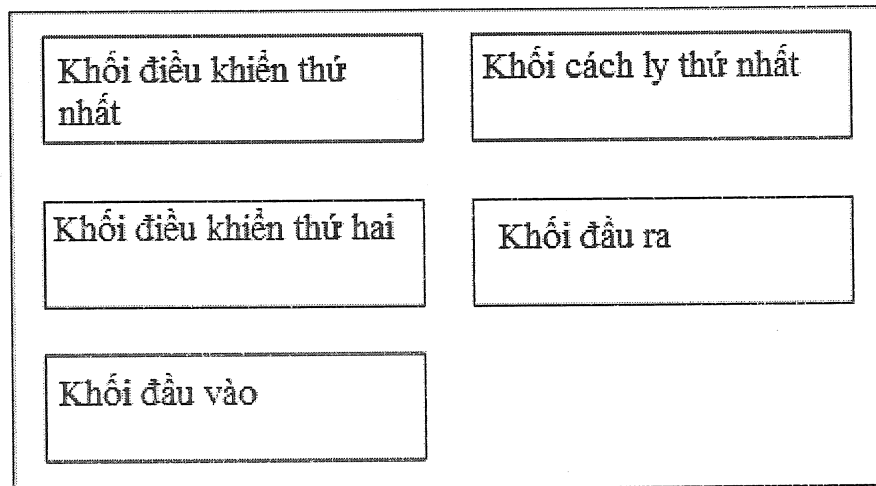


Fig.1

2/9

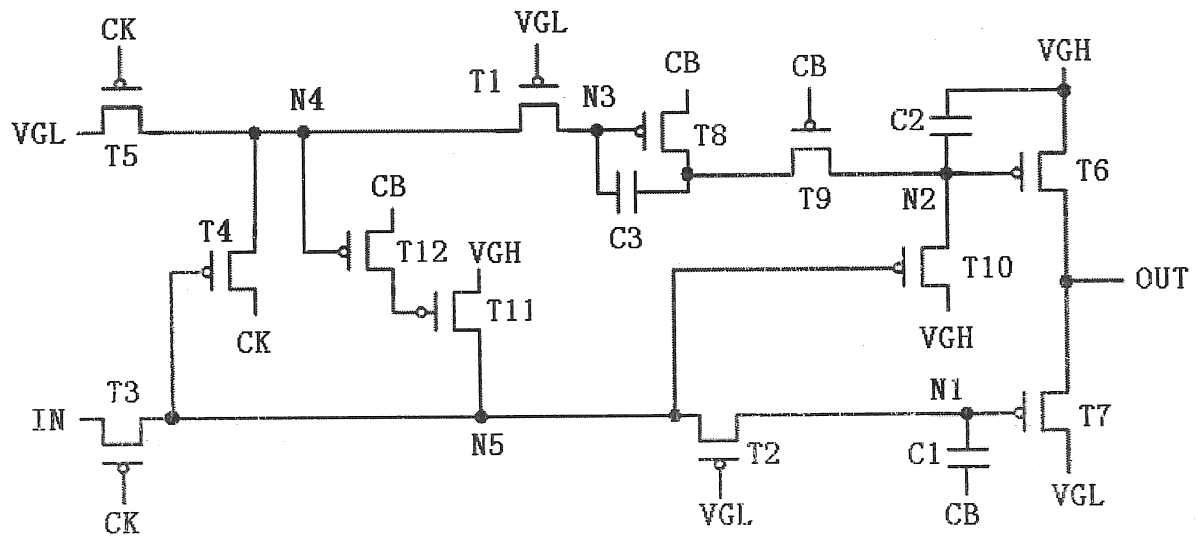


Fig.2

3/9

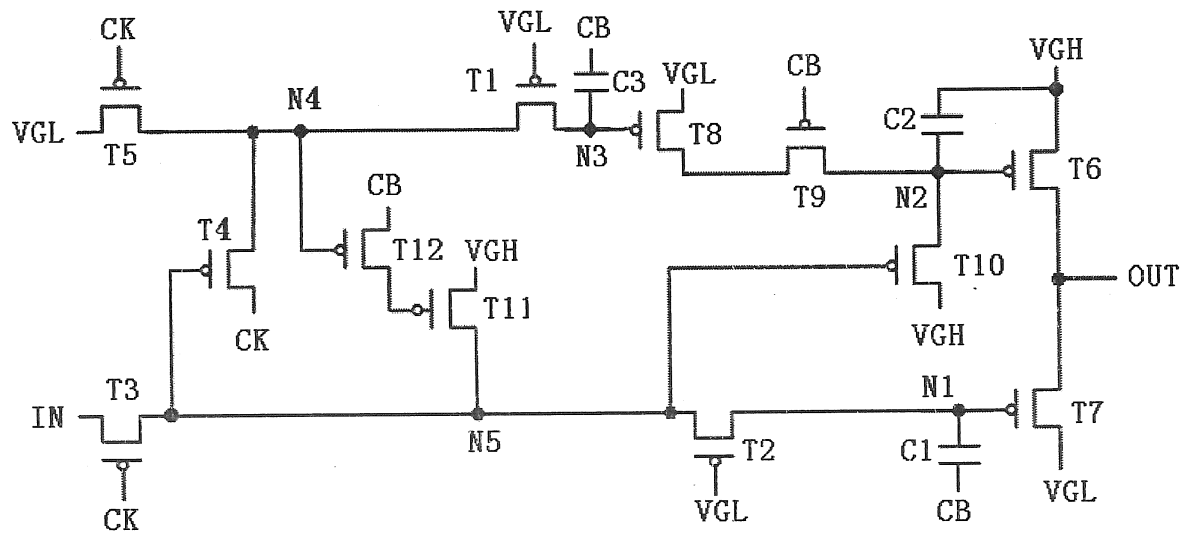


Fig.3

4/9

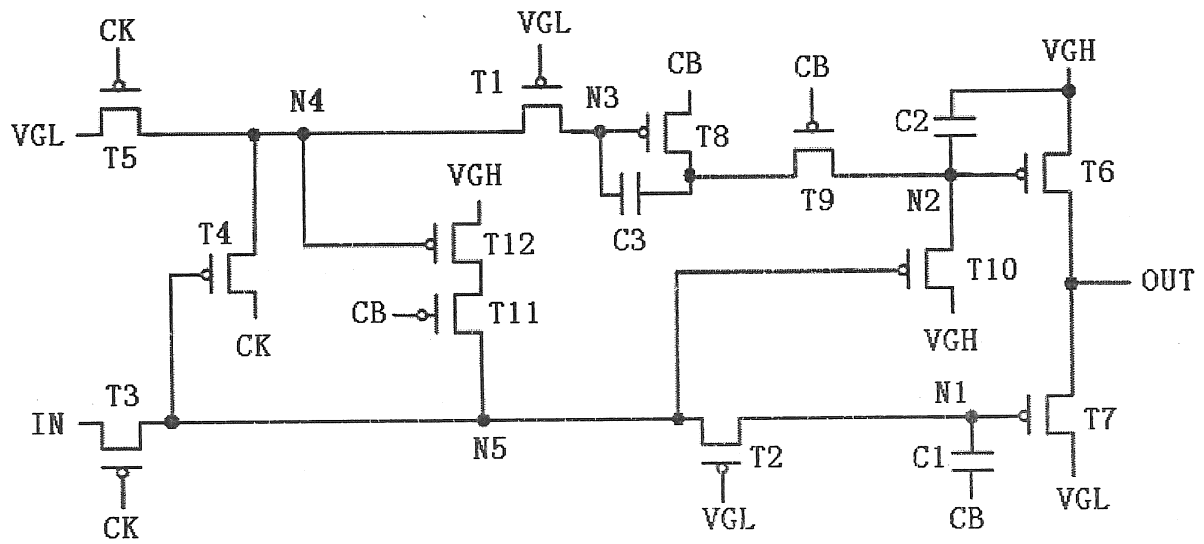


Fig.4

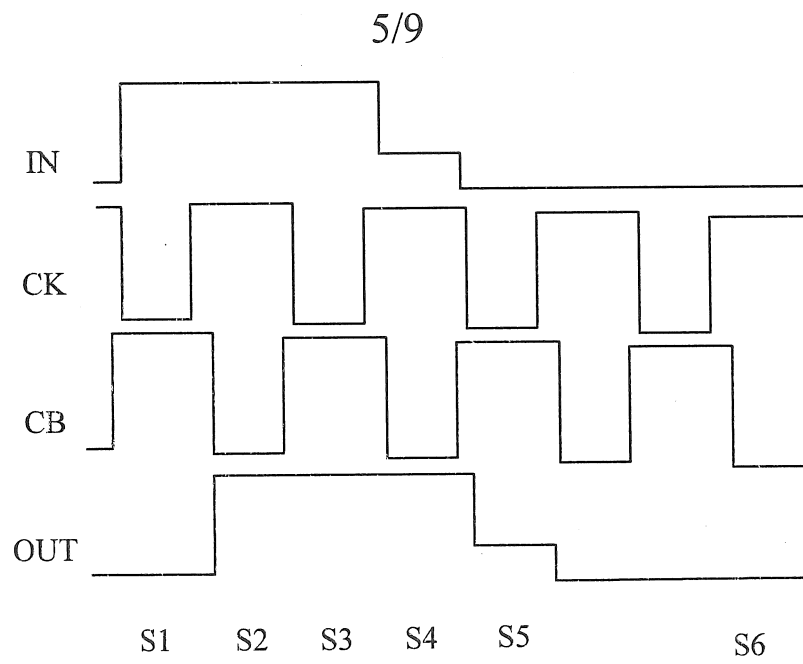


Fig.5

6/9

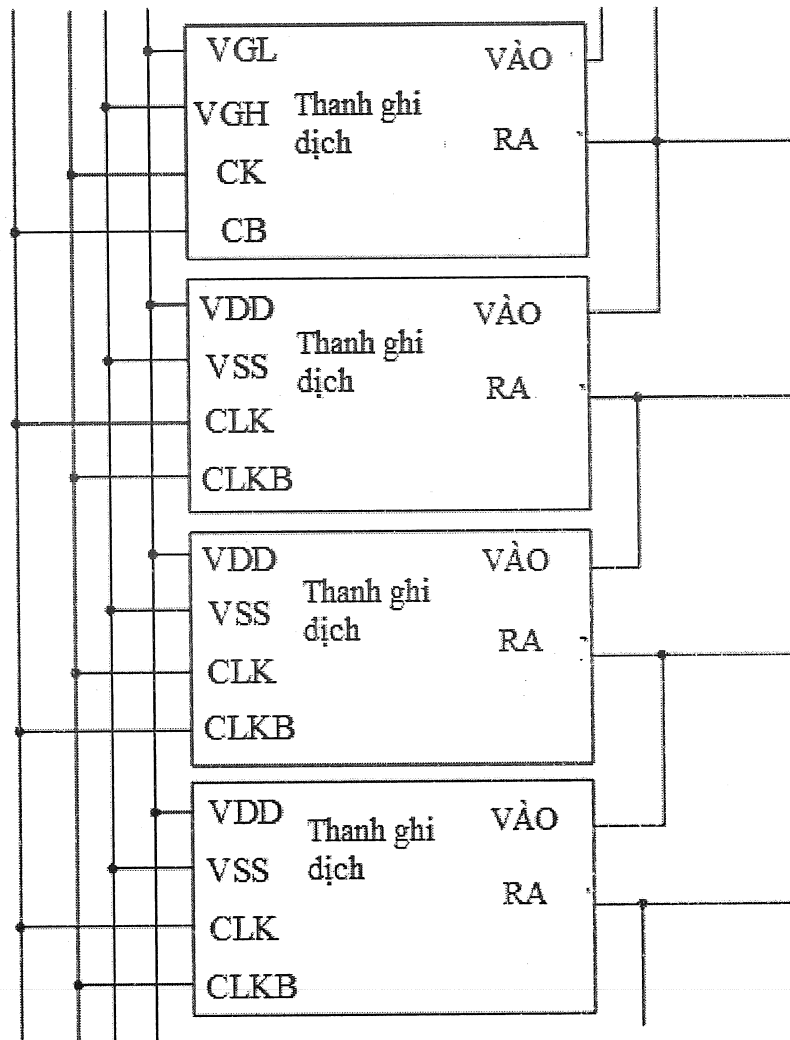


Fig.6

7/9

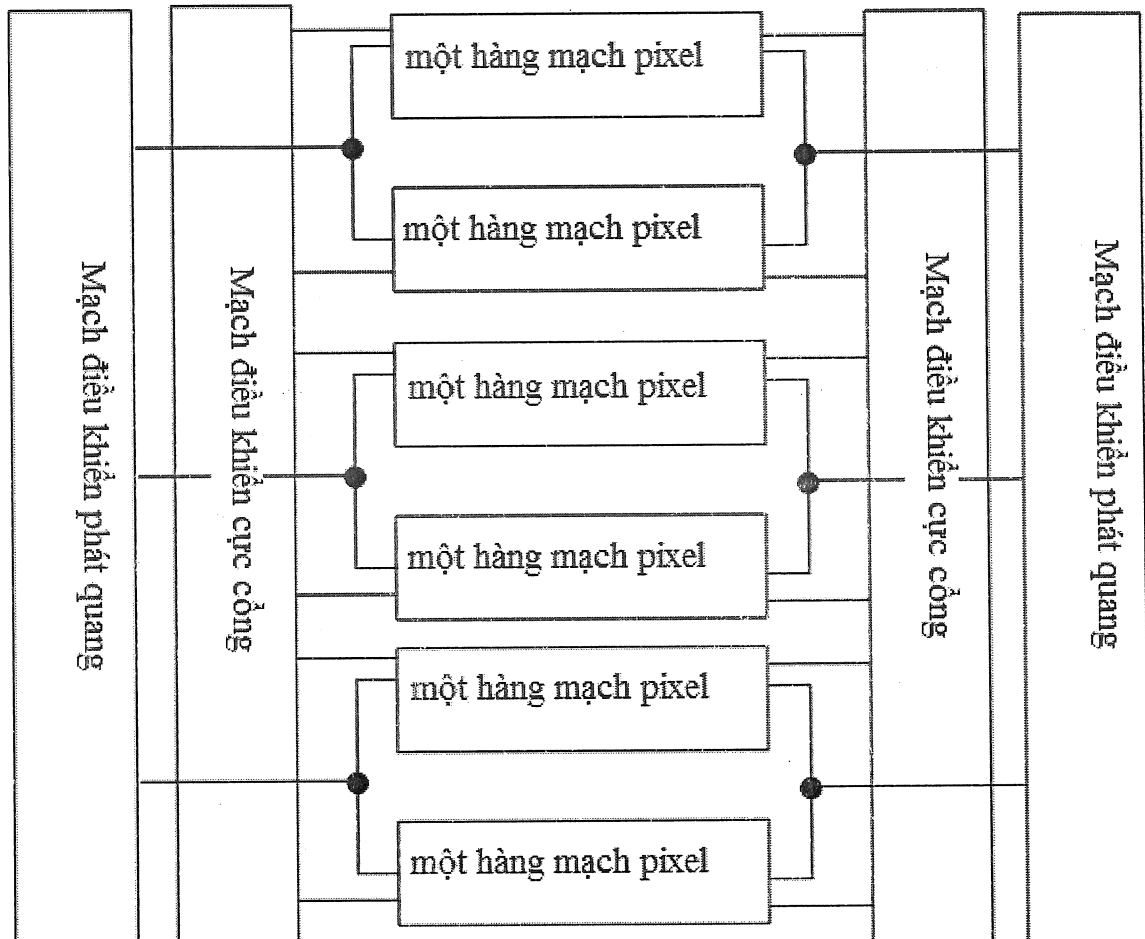


Fig.7

9/9

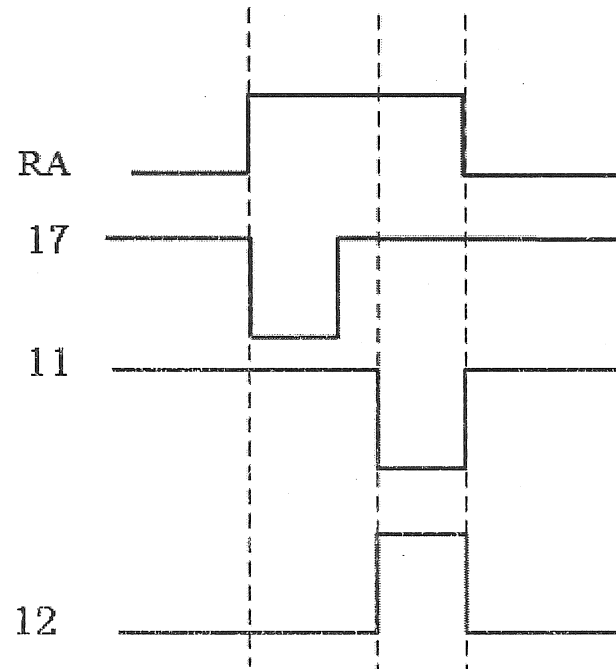


Fig.9