



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0048943

(51)¹⁹ G09G 3/36

(13) B

(21) 1-2019-06984

(22) 10/01/2019

(86) PCT/CN2019/071186 10/01/2019

(87) WO2019/205745 31/10/2019

(30) 201820630007.5 28/04/2018 CN

(45) 25/07/2025 448

(43) 25/02/2021 395A

(73) BOE TECHNOLOGY GROUP CO., LTD. (CN)

No.10 Jiuxianqiao Rd., Chaoyang District, Beijing 100015, China

(72) Chen XU (CN); Xueguang HAO (CN); Yong QIAO (CN); Xinyin WU (CN).

(74) Công ty Luật TNHH Phạm và Liên danh (PHAM & ASSOCIATES)

(54) BỘ GHI DỊCH, MẠCH ĐIỀU KHIỂN CÔNG VÀ MÀN HÌNH

(21) 1-2019-06984

(57) Sáng chế đề cập đến bộ ghi dịch (10), mạch điều khiển cổng (20) và màn hình (30), bộ ghi dịch (10) bao gồm mạch đầu vào (100), mạch đầu ra (200), mạch thiết lập lại (300), mạch điều khiển (400), và mạch ổn định thiết lập lại (500). Mạch đầu vào (100) được tạo cấu hình để ghi, để đáp lại tín hiệu khởi động đầu vào, tín hiệu đầu vào vào nút thứ nhất (N1); mạch đầu ra (200) được tạo cấu hình để cấp ra, dưới sự điều khiển của mức của nút thứ nhất (N1), tín hiệu đầu ra sơ bộ vào đầu ra (Output); mạch thiết lập lại (300) được tạo cấu hình để thiết lập lại đầu ra (Output) dưới sự điều khiển của mức của nút thứ hai (N2); mạch điều khiển (400) được tạo cấu hình để tác dụng, nhằm đáp lại tín hiệu điều khiển, tín hiệu điện áp thứ nhất vào nút thứ hai (N2); và mạch ổn định thiết lập lại (500) được tạo cấu hình để tác dụng, để đáp lại tín hiệu ổn định thiết lập lại, tín hiệu điện áp thứ hai vào nút thứ nhất (N1). Bộ ghi dịch (10) có thể nâng cao độ ổn định của tín hiệu đầu ra, tránh gây nhiễu các tín hiệu khác, cải thiện chất lượng hiển thị.

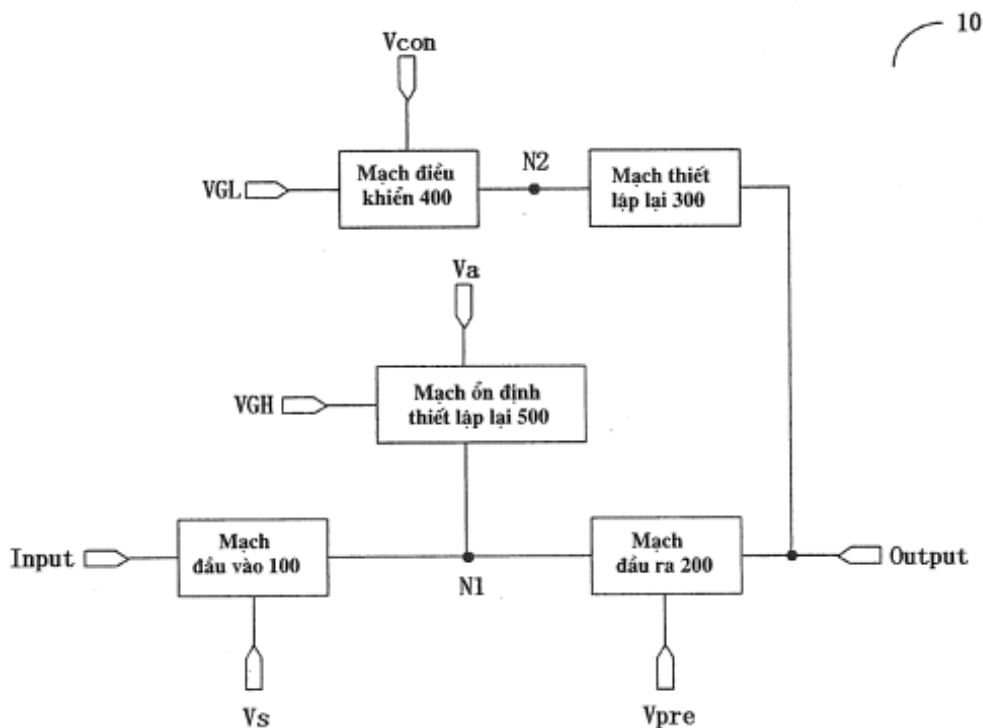


FIG. 1

Lĩnh vực kỹ thuật được đề cập

Sáng chế theo các phương án thực hiện của nó đề cập đến bộ ghi dịch, mạch điều khiển công và màn hình.

Tình trạng kỹ thuật của sáng chế

Trong lĩnh vực kỹ thuật màn hình, ví dụ, mạng điểm ảnh của bảng màn hình tinh thể lỏng (LCD - Liquid Crystal Display) nói chung bao gồm các dây của các đường công và các cột của các đường dữ liệu, mà giao cắt các dây của các đường công. Việc điều khiển các đường công có thể đặt được nhờ mạch điều khiển tích hợp liên kết. Trong những năm gần đây, với việc cải tiến liên tục về quy trình sản xuất các tranzito màng mỏng silic vô định hình (a-Si TFT - amorphous Silicon Thin-Film Transistor) hoặc các tranzito màng mỏng oxit, mạch điều khiển công có thể được tích hợp trực tiếp trên lớp nền mạng TFT để tạo ra bộ điều khiển công trên mạng (GOA - Gate Driver On Array) để điều khiển các đường công. Ví dụ, GOA được tạo ra từ các bộ ghi dịch xếp tầng có thể được dùng để bật và tắt các tín hiệu điện áp dùng cho các dây của các đường công của mạng điểm ảnh, nhờ đó, ví dụ, điều khiển các dây của các đường công được chuyển liên tục; và trong khi đó, các đường dữ liệu cấp các tín hiệu dữ liệu dùng cho các đơn vị điểm ảnh trong các dây tương ứng của mạng điểm ảnh, để tạo ra các điện áp thang độ xám, dùng cho các thang độ xám của ảnh đã được hiển thị, ở các đơn vị điểm ảnh, sao cho khung của ảnh có thể được hiển thị. Đối với các bảng hiển thị hiện nay, việc dùng kỹ thuật GOA để điều khiển các đường công đang ngày càng tăng. Kỹ thuật GOA giúp đạt được khung viền hẹp và có thể giảm chi phí sản xuất.

Bản chất kỹ thuật của sáng chế

Sáng chế theo ít nhất một phương án đề xuất bộ ghi dịch bao gồm: mạch đầu vào, mạch đầu ra, mạch thiết lập lại, mạch điều khiển và mạch ổn định thiết lập lại. Mạch đầu vào được tạo cấu hình để ghi tín hiệu đầu vào vào trong nút thứ nhất để đáp lại tín hiệu khởi động đầu vào; mạch đầu ra được tạo cấu hình để cấp ra tín hiệu đầu ra sơ bộ đến đầu cuối cấp ra dưới sự điều khiển mức điện của nút thứ nhất; mạch thiết lập lại được tạo cấu hình để thiết lập lại đầu cuối cấp ra dưới sự điều khiển mức điện của nút thứ hai; mạch điều khiển được tạo cấu hình để tác dụng tín hiệu điện áp

thứ nhất vào nút thứ hai nhằm đáp lại tín hiệu điều khiển; mạch ổn định thiết lập lại được tạo cấu hình để tác dụng tín hiệu điện áp thứ hai vào nút thứ nhất nhằm đáp lại tín hiệu ổn định thiết lập lại.

Ví dụ, trong bộ ghi dịch được tạo ra bởi một số phương án thực hiện sáng chế, mạch ổn định thiết lập lại có tranzito thứ nhất và tranzito thứ hai, và tín hiệu ổn định thiết lập lại có tín hiệu ổn định thiết lập lại thứ nhất và tín hiệu ổn định thiết lập lại thứ hai; điện cực cổng của tranzito thứ nhất được tạo cấu hình để được nối với nút thứ hai nhằm lấy mức điện của nút thứ hai làm tín hiệu ổn định thiết lập lại thứ nhất, đầu cuối thứ nhất của tranzito thứ nhất được tạo cấu hình để được nối với đường truyền tín hiệu đồng hồ thứ nhất nhằm nhận tín hiệu đồng hồ thứ nhất làm tín hiệu ổn định thiết lập lại thứ hai, và đầu cuối thứ hai của tranzito thứ nhất được tạo cấu hình để được nối với điện cực cổng của tranzito thứ hai; đầu cuối thứ nhất của tranzito thứ hai được tạo cấu hình để được nối với đầu cuối điện áp thứ hai nhằm nhận tín hiệu điện áp thứ hai, và đầu cuối thứ hai của tranzito thứ hai được tạo cấu hình để được nối với nút thứ nhất.

Ví dụ, trong bộ ghi dịch được tạo ra bởi một số phương án thực hiện sáng chế, mạch ổn định thiết lập lại có tranzito thứ ba và tranzito thứ tư, và tín hiệu ổn định thiết lập lại có tín hiệu ổn định thiết lập lại thứ nhất và tín hiệu ổn định thiết lập lại thứ hai; điện cực cổng của tranzito thứ ba được tạo cấu hình để được nối với nút thứ hai nhằm lấy mức điện của nút thứ hai làm tín hiệu ổn định thiết lập lại thứ nhất, đầu cuối thứ nhất của tranzito thứ ba được tạo cấu hình để được nối với đầu cuối điện áp thứ hai nhằm nhận tín hiệu điện áp thứ hai, và đầu cuối thứ hai của tranzito thứ ba được tạo cấu hình để được nối với đầu cuối thứ nhất của tranzito thứ tư; điện cực cổng của tranzito thứ tư được tạo cấu hình để được nối với đường truyền tín hiệu đồng hồ thứ nhất nhằm nhận tín hiệu đồng hồ thứ nhất làm tín hiệu ổn định thiết lập lại thứ hai, và đầu cuối thứ hai của tranzito thứ tư được tạo cấu hình để được nối với nút thứ nhất.

Ví dụ, trong bộ ghi dịch được tạo ra bởi một số phương án thực hiện sáng chế, mạch đầu vào có tranzito thứ năm; và điện cực cổng của tranzito thứ năm được tạo cấu hình để được nối với đường truyền tín hiệu đồng hồ thứ hai nhằm nhận tín hiệu đồng hồ thứ hai làm tín hiệu khởi động đầu vào, đầu cuối thứ nhất của tranzito thứ năm được tạo cấu hình để được nối với đường truyền tín hiệu đầu vào nhằm nhận tín hiệu đầu vào, và đầu cuối thứ hai của tranzito thứ năm được tạo cấu hình để được nối với nút thứ nhất.

Ví dụ, trong bộ ghi dịch được tạo ra bởi một số phương án thực hiện sáng chế, mạch đầu ra có tranzito thứ sáu và tụ thứ nhất; điện cực cổng của tranzito thứ sáu được tạo cấu hình để được nối với nút thứ nhất, đầu cuối thứ nhất của tranzito thứ sáu được tạo cấu hình để được nối với đường truyền tín hiệu đồng hồ thứ nhất nhằm nhận tín hiệu đồng hồ thứ nhất làm tín hiệu đầu ra sơ bộ, và đầu cuối thứ hai của tranzito thứ sáu được lấy làm đầu cuối cấp ra; điện cực thứ nhất của tụ thứ nhất được tạo cấu hình để được nối với điện cực cổng của tranzito thứ sáu, và điện cực thứ hai của tụ thứ nhất được tạo cấu hình để được nối với đầu cuối thứ hai của tranzito thứ sáu.

Ví dụ, trong bộ ghi dịch được tạo ra bởi một số phương án thực hiện sáng chế, mạch thiết lập lại có tranzito thứ bảy và tụ thứ hai; điện cực cổng của tranzito thứ bảy được tạo cấu hình để được nối với nút thứ hai, đầu cuối thứ nhất của tranzito thứ bảy được tạo cấu hình để được nối với đầu cuối điện áp thứ hai nhằm nhận tín hiệu điện áp thứ hai, và đầu cuối thứ hai của tranzito thứ bảy được tạo cấu hình để được nối với đầu cuối cấp ra; điện cực thứ nhất của tụ thứ hai được tạo cấu hình để được nối với điện cực cổng của tranzito thứ bảy, và điện cực thứ hai của tụ thứ hai được tạo cấu hình để được nối với đầu cuối thứ nhất của tranzito thứ bảy.

Ví dụ, trong bộ ghi dịch được tạo ra bởi một số phương án thực hiện sáng chế, mạch điều khiển có tranzito thứ tám và tranzito thứ chín, và tín hiệu điều khiển có tín hiệu điều khiển thứ nhất và tín hiệu điều khiển thứ hai; điện cực cổng của tranzito thứ tám được tạo cấu hình để được nối với đường truyền tín hiệu đồng hồ thứ hai nhằm nhận tín hiệu đồng hồ thứ hai làm tín hiệu điều khiển thứ nhất, đầu cuối thứ nhất của tranzito thứ tám được tạo cấu hình để được nối với đầu cuối điện áp thứ nhất nhằm nhận tín hiệu điện áp thứ nhất, và đầu cuối thứ hai của tranzito thứ tám được tạo cấu hình để được nối với nút thứ hai; điện cực cổng của tranzito thứ chín được tạo cấu hình để được nối với mạch đầu vào nhằm nhận tín hiệu đầu vào, mà được đưa vào từ mạch đầu vào và lấy tín hiệu đầu vào làm tín hiệu điều khiển thứ hai, đầu cuối thứ nhất của tranzito thứ chín được tạo cấu hình để được nối với đường truyền tín hiệu đồng hồ thứ hai nhằm nhận tín hiệu đồng hồ thứ hai, và đầu cuối thứ hai của tranzito thứ chín được tạo cấu hình để được nối với đầu cuối thứ hai của tranzito thứ tám.

Ví dụ, bộ ghi dịch được tạo ra bởi một số phương án còn có mạch ổn định đầu ra. Mạch ổn định đầu ra được tạo cấu hình để được bật hoặc tắt, theo sự thay đổi về mức điện của tín hiệu, mà được cấp ra bởi đầu cuối cấp ra, dưới sự điều khiển của tín

hiệu điện áp thứ nhất.

Ví dụ, trong bộ ghi dịch được tạo ra bởi một số phương án thực hiện sáng chế, mạch ổn định đầu ra bao gồm tranzito thứ mười; điện cực cổng của tranzito thứ mười được tạo cấu hình để được nối với đầu cuối điện áp thứ nhất nhằm nhận tín hiệu điện áp thứ nhất, đầu cuối thứ nhất của tranzito thứ mười được tạo cấu hình để được nối với mạch đầu vào và mạch ổn định thiết lập lại, và đầu cuối thứ hai của tranzito thứ mười được tạo cấu hình để được nối với nút thứ nhất.

Ví dụ, trong bộ ghi dịch được tạo ra bởi một số phương án thực hiện sáng chế, các tranzito là các tranzito loại P, và vật liệu làm lớp hoạt động của mỗi tranzito loại P có polysilic nhiệt độ thấp.

Ví dụ, trong bộ ghi dịch được tạo ra bởi một số phương án thực hiện sáng chế, các tranzito là các tranzito loại P; vật liệu làm lớp hoạt động của mỗi tranzito loại P có polysilic nhiệt độ thấp; mạch ổn định đầu ra bao gồm tranzito ổn định đầu ra, điện cực cổng của tranzito ổn định đầu ra được tạo cấu hình để được nối với đầu cuối điện áp thứ hai nhằm nhận tín hiệu điện áp thứ hai, đầu cuối thứ nhất của tranzito ổn định đầu ra được tạo cấu hình để được nối với mạch đầu vào và mạch ổn định thiết lập lại, và đầu cuối thứ hai của tranzito ổn định đầu ra được tạo cấu hình để được nối với nút thứ nhất; và tranzito ổn định đầu ra là tranzito loại N, và vật liệu làm lớp hoạt động của tranzito loại N có oxit.

Ví dụ, trong bộ ghi dịch được tạo ra bởi một số phương án thực hiện sáng chế, khi mạch điều khiển bao gồm tranzito thứ chín và mạch ổn định đầu ra bao gồm tranzito thứ mười, tranzito thứ chín và tranzito thứ mười là các tranzito màng mỏng hai cổng; hoặc khi mạch điều khiển bao gồm tranzito thứ chín và mạch ổn định đầu ra bao gồm tranzito ổn định đầu ra, tranzito thứ chín và tranzito ổn định đầu ra là các tranzito màng mỏng hai cổng.

Sáng chế theo ít nhất một phương án còn đề xuất bộ ghi dịch bao gồm: tranzito thứ mười một, mà trong đó điện cực cổng của tranzito thứ mười một được tạo cấu hình để được nối với nút thứ nhất, đầu cuối thứ nhất của tranzito thứ mười một được tạo cấu hình để được nối với đường truyền tín hiệu đồng hồ thứ nhất nhằm nhận tín hiệu đồng hồ thứ nhất, và đầu cuối thứ hai của tranzito thứ mười một được tạo cấu hình để được nối với đầu cuối cấp ra; tụ thứ ba, mà trong đó điện cực thứ nhất của tụ thứ ba được tạo cấu hình để được nối với điện cực cổng của tranzito thứ mười một, và điện cực thứ hai của tụ thứ ba được tạo cấu hình để được nối với đầu cuối thứ hai của tranzito thứ mười một; tranzito thứ mười hai, mà trong đó điện cực

cổng của tranzito thứ mười hai được tạo cấu hình để được nối với đầu cuối điện áp thứ nhất nhằm nhận tín hiệu điện áp thứ nhất, tranzito thứ mười hai còn có đầu cuối thứ nhất và đầu cuối thứ hai, và đầu cuối thứ hai của tranzito thứ mười hai được tạo cấu hình để được nối với nút thứ nhất; tranzito thứ mười ba, mà trong đó điện cực cổng của tranzito thứ mười ba được tạo cấu hình để được nối với tín hiệu đồng hồ thứ hai nhằm nhận tín hiệu đồng hồ thứ hai, đầu cuối thứ nhất của tranzito thứ mười ba được tạo cấu hình để được nối với đầu cuối đưa vào nhằm nhận tín hiệu đầu vào, và đầu cuối thứ hai của tranzito thứ mười ba được tạo cấu hình để được nối với đầu cuối thứ nhất của tranzito thứ mười hai; tranzito thứ mười bốn, mà trong đó điện cực cổng của tranzito thứ mười bốn được tạo cấu hình để được nối với nút thứ hai, đầu cuối thứ nhất của tranzito thứ mười bốn được tạo cấu hình để được nối với đầu cuối điện áp thứ hai nhằm nhận tín hiệu điện áp thứ hai, và đầu cuối thứ hai của tranzito thứ mười bốn được tạo cấu hình để được nối với đầu cuối thứ hai của tranzito thứ mười một; tụ thứ tư, mà trong đó điện cực thứ nhất của tụ thứ tư được tạo cấu hình để được nối với điện cực cổng của tranzito thứ mười bốn, và điện cực thứ hai của tụ thứ tư được tạo cấu hình để được nối với đầu cuối thứ nhất của tranzito thứ mười bốn; tranzito thứ mười năm, mà trong đó điện cực cổng của tranzito thứ mười năm được tạo cấu hình để được nối với nút thứ hai, và đầu cuối thứ nhất của tranzito thứ mười năm được tạo cấu hình để được nối với đường truyền tín hiệu đồng hồ thứ nhất nhằm nhận tín hiệu đồng hồ thứ nhất; tranzito thứ mười sáu, mà trong đó điện cực cổng của tranzito thứ mười sáu được tạo cấu hình để được nối với đầu cuối thứ hai của tranzito thứ mười năm, đầu cuối thứ nhất của tranzito thứ mười sáu được tạo cấu hình để được nối với đầu cuối điện áp thứ hai nhằm nhận tín hiệu điện áp thứ hai, và đầu cuối thứ hai của tranzito thứ mười sáu được tạo cấu hình để được nối với đầu cuối thứ nhất của tranzito thứ mười hai; tranzito thứ mười bảy, mà trong đó điện cực cổng của tranzito thứ mười bảy được tạo cấu hình để được nối với đường truyền tín hiệu đồng hồ thứ hai nhằm nhận tín hiệu đồng hồ thứ hai, đầu cuối thứ nhất của tranzito thứ mười bảy được tạo cấu hình để được nối với đầu cuối điện áp thứ nhất nhằm nhận tín hiệu điện áp thứ nhất, và đầu cuối thứ hai của tranzito thứ mười bảy được tạo cấu hình để được nối với nút thứ hai; và tranzito thứ mười tám, mà trong đó điện cực cổng của tranzito thứ mười tám được tạo cấu hình để được nối với đầu cuối thứ hai của tranzito thứ mười ba, đầu cuối thứ nhất của tranzito thứ mười tám được tạo cấu hình để được nối với đường truyền tín hiệu đồng hồ thứ hai nhằm nhận tín hiệu đồng hồ thứ hai, và đầu cuối thứ hai của tranzito thứ mười tám được tạo cấu

hình để được nối với nút thứ hai.

Sáng chế theo ít nhất một phương án còn đề xuất bộ ghi dịch bao gồm: tranzito thứ mười chín, mà trong đó điện cực cổng của tranzito thứ mười chín được tạo cấu hình để được nối với nút thứ nhất, đầu cuối thứ nhất của tranzito thứ mười chín được tạo cấu hình để được nối với đường truyền tín hiệu đồng hồ thứ nhất nhằm nhận tín hiệu đồng hồ thứ nhất, và đầu cuối thứ hai của tranzito thứ mười chín được tạo cấu hình để được nối với đầu cuối cấp ra; tụ thứ năm, mà trong đó điện cực thứ nhất của tụ thứ năm được tạo cấu hình để được nối với điện cực cổng của tranzito thứ mười chín, và điện cực thứ hai của tụ thứ năm được tạo cấu hình để được nối với đầu cuối thứ hai của tranzito thứ mười chín; tranzito thứ hai mươi, mà trong đó điện cực cổng của tranzito thứ hai mươi được tạo cấu hình để được nối với đầu cuối điện áp thứ nhất nhằm nhận tín hiệu điện áp thứ nhất, tranzito thứ hai mươi còn có đầu cuối thứ nhất và đầu cuối thứ hai, và đầu cuối thứ hai của tranzito thứ hai mươi được tạo cấu hình để được nối với nút thứ nhất; tranzito thứ hai mươi một, mà trong đó điện cực cổng của tranzito thứ hai mươi một được tạo cấu hình để được nối với đường truyền tín hiệu đồng hồ thứ hai nhằm nhận tín hiệu đồng hồ thứ hai, đầu cuối thứ nhất của tranzito thứ hai mươi một được tạo cấu hình để được nối với đầu cuối đưa vào nhằm nhận tín hiệu đầu vào, và đầu cuối thứ hai của tranzito thứ hai mươi một được tạo cấu hình để được nối với đầu cuối thứ nhất của tranzito thứ hai mươi; tranzito thứ hai mươi hai, mà trong đó điện cực cổng của tranzito thứ hai mươi hai được tạo cấu hình để được nối với nút thứ hai, đầu cuối thứ nhất của tranzito thứ hai mươi hai được tạo cấu hình để được nối với đầu cuối điện áp thứ hai nhằm nhận tín hiệu điện áp thứ hai, và đầu cuối thứ hai của tranzito thứ hai mươi hai được tạo cấu hình để được nối với đầu cuối thứ hai của tranzito thứ mười chín; tụ thứ sáu, mà trong đó điện cực thứ nhất của tụ thứ sáu được tạo cấu hình để được nối với điện cực cổng của tranzito thứ hai mươi hai, và điện cực thứ hai của tụ thứ sáu được tạo cấu hình để được nối với đầu cuối thứ nhất của tranzito thứ hai mươi hai; tranzito thứ hai mươi ba, mà trong đó điện cực cổng của tranzito thứ hai mươi ba được tạo cấu hình để được nối với nút thứ hai, và đầu cuối thứ nhất của tranzito thứ hai mươi ba được tạo cấu hình để được nối với đầu cuối điện áp thứ hai nhằm nhận tín hiệu điện áp thứ hai; tranzito thứ hai mươi tư, mà trong đó điện cực cổng của tranzito thứ hai mươi tư được tạo cấu hình để được nối với đường truyền tín hiệu đồng hồ thứ nhất nhằm nhận tín hiệu đồng hồ thứ nhất, đầu cuối thứ nhất của tranzito thứ hai mươi tư được tạo cấu hình để được nối với đầu cuối thứ hai của tranzito thứ hai mươi ba, và đầu

cuối thứ hai của tranzito thứ hai mươi tư được tạo cấu hình để được nối với đầu cuối thứ nhất của tranzito thứ hai mươi; tranzito thứ hai mươi năm, mà trong đó điện cực cổng của tranzito thứ hai mươi năm được tạo cấu hình để được nối với đường truyền tín hiệu đồng hồ thứ hai nhằm nhận tín hiệu đồng hồ thứ hai, đầu cuối thứ nhất của tranzito thứ hai mươi năm được tạo cấu hình để được nối với đầu cuối điện áp thứ nhất nhằm nhận tín hiệu điện áp thứ nhất, và đầu cuối thứ hai của tranzito thứ hai mươi năm được tạo cấu hình để được nối với nút thứ hai; và tranzito thứ hai mươi sáu, mà trong đó điện cực cổng của tranzito thứ hai mươi sáu được tạo cấu hình để được nối với đầu cuối thứ hai của tranzito thứ hai mươi một, đầu cuối thứ nhất của tranzito thứ hai mươi sáu được tạo cấu hình để được nối với đường truyền tín hiệu đồng hồ thứ hai nhằm nhận tín hiệu đồng hồ thứ hai, và đầu cuối thứ hai của tranzito thứ hai mươi sáu được tạo cấu hình để được nối với nút thứ hai.

Sáng chế theo ít nhất một phương án còn đề xuất mạch điều khiển cổng bao gồm các bộ ghi dịch, mà được xếp tầng. Các bộ ghi dịch bao gồm các bộ ghi dịch thứ nhất P, mỗi bộ ghi dịch thứ nhất dùng bộ ghi dịch được tạo ra bởi phương án bất kỳ thực hiện sáng chế, và P là số nguyên lớn hơn một.

Sáng chế theo ít nhất một phương án còn đề xuất màn hình có mạch điều khiển cổng được tạo ra bởi phương án bất kỳ thực hiện sáng chế.

Ví dụ, trong bộ ghi dịch được tạo ra bởi một số phương án thực hiện sáng chế, màn hình còn có các đường quét và các đơn vị điểm ảnh được bố trí trong các dãy. Các đường quét được nối tương ứng với các dãy của các đơn vị điểm ảnh; các đầu cuối cấp ra của các bộ ghi dịch trong mạch điều khiển cổng được nối tương ứng với các đường quét; và đầu cuối cấp ra của bộ ghi dịch ở giai đoạn thứ (N) còn được nối với mạch đầu vào của bộ ghi dịch ở giai đoạn thứ (N+1) để cấp tín hiệu đầu vào, và N là số nguyên lớn hơn không.

Mô tả vắn tắt các hình vẽ

Để minh họa rõ giải pháp kỹ thuật theo các phương án thực hiện sáng chế, các hình vẽ theo các phương án sẽ được mô tả vắn tắt dưới đây; rõ ràng là, các hình vẽ được mô tả chỉ liên quan đến một số phương án thực hiện sáng chế và do vậy không giới hạn sáng chế.

FIG.1 là sơ đồ khối dạng sơ đồ của bộ ghi dịch được tạo ra bởi một số phương án thực hiện sáng chế;

FIG.2 là sơ đồ khối dạng sơ đồ của bộ ghi dịch khác được tạo ra bởi một số

phương án thực hiện sáng chế;

FIG.3 là sơ đồ mạch của ví dụ thực hiện cụ thể của bộ ghi dịch như được thể hiện trên FIG.2;

FIG.4 là sơ đồ mạch của ví dụ thực hiện cụ thể khác của bộ ghi dịch như được thể hiện trên FIG.2;

FIG.5 là biểu đồ định thời tín hiệu của bộ ghi dịch được tạo ra bởi một số phương án thực hiện sáng chế;

Các hình vẽ từ FIG.6A đến FIG.6D lần lượt là các sơ đồ mạch, tương ứng với bốn chu kỳ như được thể hiện trên FIG.5, của bộ ghi dịch như được thể hiện trên FIG.3;

FIG.7 là sơ đồ mạch, tương ứng với chu kỳ giữ thiết lập lại như được thể hiện trên FIG.5, của bộ ghi dịch như được thể hiện trên FIG.4;

FIG.8 là sơ đồ mạch của bộ ghi dịch được tạo ra bởi một số phương án thực hiện sáng chế;

FIG.9 là sơ đồ mạch của bộ ghi dịch khác được tạo ra bởi một số phương án thực hiện sáng chế;

FIG.10 là sơ đồ khối dạng sơ đồ của mạch điều khiển cổng được tạo ra bởi một số phương án thực hiện sáng chế;

FIG.11 là sơ đồ khối dạng sơ đồ của màn hình được tạo ra bởi một số phương án thực hiện sáng chế; và

FIG.12 là sơ đồ khối dạng sơ đồ của màn hình khác được tạo ra bởi một số phương án thực hiện sáng chế.

Mô tả chi tiết sáng chế

Để làm cho việc hiểu các mục đích, chi tiết kỹ thuật và lợi ích theo các phương án thực hiện sáng chế rõ ràng hơn, các giải pháp kỹ thuật theo một phương án sẽ được mô tả theo cách rõ ràng và hoàn toàn dễ hiểu có dựa vào các hình vẽ liên quan đến các phương án thực hiện sáng chế. Rõ ràng rằng, các phương án được mô tả chỉ là một phần nhưng không phải là tất cả các phương án thực hiện sáng chế. Dựa vào các phương án được mô tả ở đây, người có hiểu biết trung bình về lĩnh vực kỹ thuật này có thể tạo ra được các phương án khác, mà không có việc sáng tạo bất kỳ, các phương án như vậy đều nằm trong phạm vi bảo hộ của sáng chế.

Trừ khi có quy định khác, tất cả các thuật ngữ kỹ thuật và khoa học được dùng ở đây có nghĩa tương tự như thường được hiểu bởi người có hiểu biết trung

bình về lĩnh vực kỹ thuật, mà sáng chế có liên quan đến. Các thuật ngữ “thứ nhất,” “thứ hai,” v.v., mà được dùng trong phần mô tả và các điểm yêu cầu bảo hộ của sáng chế, không dự định để biểu thị trình tự, lượng hoặc tầm quan trọng bất kỳ, mà chỉ dùng để phân biệt các chi tiết khác nhau. Ngoài ra, các thuật ngữ số ít v.v., không dự định để giới hạn lượng, nhưng biểu thị việc có ít nhất một. Các thuật ngữ “bao gồm,” “bao gồm cả,” “có,” “gồm có,” v.v., dự định để chỉ rõ rằng các chi tiết hoặc đối tượng được nêu trước các thuật ngữ này bao gồm cả các chi tiết hoặc đối tượng và chi tiết tương đương của nó được liệt kê sau các thuật ngữ này, nhưng không loại trừ các chi tiết hoặc đối tượng khác. Các từ “nổi,” “được nổi,” v.v., không dự định để xác định mỗi nổi vật lý hoặc mỗi nổi cơ, nhưng có thể có mỗi nổi điện, trực tiếp hoặc gián tiếp. “Trên,” “dưới,” “bên phải,” “bên trái” và các hướng tương tự chỉ được dùng để biểu thị mối quan hệ vị trí tương đối, và khi vị trí của đối tượng, mà được mô tả, được thay đổi, mối quan hệ vị trí tương đối có thể được thay đổi theo đó.

Ví dụ, mạch GOA có các TFT. Các tác giả sáng chế đã lưu ý khi nghiên cứu rằng TFT có thể có hiện tượng rò do các yếu tố như các đặc tính vật liệu và quy trình sản xuất, khiến cho tín hiệu đầu ra của mạch GOA có độ ổn định kém và có thể dễ bị gây nhiễu bởi các tín hiệu khác. Các tác giả sáng chế cũng đã lưu ý khi nghiên cứu rằng các yếu tố khác như việc nối các linh kiện với nhau trong mạch GOA, sự tương thích điện từ kém, cấu trúc mạch cũng có thể gây ra các vấn đề như độ ổn định kém của tín hiệu đầu ra. Các vấn đề nêu trên có thể ảnh hưởng đến hiệu ứng hiển thị của bảng hiển thị và làm giảm chất lượng hiển thị.

Sáng chế theo ít nhất một phương án thực hiện của nó đề xuất bộ ghi dịch, mạch điều khiển cổng và màn hình. Theo một số ví dụ, bộ ghi dịch có thể nâng cao độ ổn định của tín hiệu đầu ra, ngăn không cho tín hiệu đầu ra bị gây nhiễu bởi các tín hiệu khác, và nâng cao chất lượng hiển thị của màn hình dùng mạch điều khiển cổng có dùng bộ ghi dịch.

Phần mô tả chi tiết sẽ được đưa ra dưới đây đối với phương án thực hiện sáng chế có dựa vào các hình vẽ kèm theo. Cần lưu ý rằng, các số chỉ dẫn tương tự trên các hình vẽ khác nhau được dùng để chỉ các chi tiết tương tự, mà đã được mô tả.

Sáng chế theo ít nhất một phương án đề xuất bộ ghi dịch bao gồm: mạch đầu vào, mạch đầu ra, mạch thiết lập lại, mạch điều khiển và mạch ổn định thiết lập lại. Mạch đầu vào được tạo cấu hình để ghi tín hiệu đầu vào vào trong nút thứ nhất để đáp lại tín hiệu khởi động đầu vào; mạch đầu ra được tạo cấu hình để cấp ra tín hiệu đầu ra sơ bộ đến đầu cuối cấp ra dưới sự điều khiển mức điện của nút thứ nhất; mạch

thiết lập lại được tạo cấu hình để thiết lập lại đầu cuối cấp ra dưới sự điều khiển mức điện của nút thứ hai; mạch điều khiển được tạo cấu hình để tác dụng tín hiệu điện áp thứ nhất vào nút thứ hai nhằm đáp lại tín hiệu điều khiển; mạch ổn định thiết lập lại được tạo cấu hình để tác dụng tín hiệu điện áp thứ hai vào nút thứ nhất nhằm đáp lại tín hiệu ổn định thiết lập lại.

FIG.1 là sơ đồ khối dạng sơ đồ của bộ ghi dịch được tạo ra bởi một số phương án thực hiện sáng chế. Như được thể hiện trên FIG.1, bộ ghi dịch 10 bao gồm mạch đầu vào 100, mạch đầu ra 200, mạch thiết lập lại 300, mạch điều khiển 400 và mạch ổn định thiết lập lại 500.

Mạch đầu vào 100 được tạo cấu hình để ghi tín hiệu đầu vào vào trong nút thứ nhất N1 để đáp lại tín hiệu khởi động đầu vào. Ví dụ, mạch đầu vào 100 có thể được nối với đầu cuối đưa vào Input và đầu cuối khởi động đầu vào Vs và mạch đầu vào 100 được tạo cấu hình để nối điện nút thứ nhất N1 và đầu cuối đưa vào Input dưới sự điều khiển của tín hiệu khởi động đầu vào, mà được tạo ra bởi đầu cuối khởi động đầu vào Vs, để ghi tín hiệu đầu vào, mà được tạo ra bởi đầu cuối đưa vào Input vào trong nút thứ nhất N1. Do vậy, khi tín hiệu đầu vào nằm ở mức điện hợp lệ (mức điện để bật linh kiện chuyển tương ứng, ví dụ, mức điện thấp), mức điện của nút thứ nhất N1 cũng là mức điện hợp lệ, để điều khiển mạch đầu ra 200 được bật. Tất nhiên, các phương án thực hiện sáng chế không bị giới hạn ở đó. Ví dụ, theo các ví dụ khác, tín hiệu khởi động đầu vào và tín hiệu đầu vào có thể là cùng một tín hiệu, cụ thể là, đầu cuối đưa vào Input và đầu cuối khởi động đầu vào Vs được nối với cùng một đường truyền tín hiệu.

Mạch đầu ra 200 được tạo cấu hình để cấp ra tín hiệu đầu ra sơ bộ đến đầu cuối cấp ra Output dưới sự điều khiển mức điện của nút thứ nhất N1, và lấy tín hiệu đầu ra sơ bộ làm tín hiệu đầu ra của bộ ghi dịch 10, để điều khiển, ví dụ, các đường công, mà được nối với đầu cuối cấp ra Output. Ví dụ, mạch đầu ra 200 có thể được nối với đầu cuối cấp ra sơ bộ Vpre và mạch đầu ra 200 được tạo cấu hình để được bật dưới sự điều khiển mức điện của nút thứ nhất N1, để nối điện đầu cuối cấp ra sơ bộ Vpre và đầu cuối cấp ra Output, cấp ra tín hiệu đầu ra sơ bộ, mà được tạo ra bởi đầu cuối cấp ra sơ bộ Vpre, đến đầu cuối cấp ra Output và lấy tín hiệu đầu ra sơ bộ làm tín hiệu quét, mà được cấp ra bởi bộ ghi dịch 10.

Mạch thiết lập lại 300 được tạo cấu hình để thiết lập lại đầu cuối cấp ra Output dưới sự điều khiển mức điện của nút thứ hai N2. Ví dụ, mạch thiết lập lại 300 có thể được nối với đầu cuối cấp ra Output và mạch thiết lập lại 300 được tạo cấu

hình để nối điện đầu cuối điện áp thiết lập lại và đầu cuối cấp ra Output dưới sự điều khiển mức điện của nút thứ hai N2, để tác dụng điện áp thiết lập lại vào đầu cuối cấp ra Output nhằm thiết lập lại. Ví dụ, mức điện tín hiệu của nút thứ hai N2 được lấy làm tín hiệu thiết lập lại, nên bộ ghi dịch 10 không cần tín hiệu thiết lập lại bổ sung, và sau đó cấu trúc mạch được đơn giản hóa. Ví dụ, đầu cuối điện áp thiết lập lại được nối với mạch thiết lập lại 300 và ví dụ, có thể là đầu cuối điện áp cao.

Mạch điều khiển 400 được tạo cấu hình để tác dụng tín hiệu điện áp thứ nhất vào nút thứ hai N2 để đáp lại tín hiệu điều khiển. Ví dụ, mạch điều khiển 400 có thể được nối với đầu cuối điều khiển Vcon và đầu cuối điện áp thứ nhất VGL và mạch điều khiển 400 được tạo cấu hình để nối điện nút thứ hai N2 và đầu cuối điện áp thứ nhất VGL dưới sự điều khiển của tín hiệu điều khiển, mà được tạo ra bởi đầu cuối điều khiển Vcon, để ghi tín hiệu điện áp thứ nhất được tạo ra bởi đầu cuối điện áp thứ nhất VGL vào trong nút thứ hai N2 và điều khiển mạch thiết lập lại 300 để được bật. Cần lưu ý rằng, ví dụ, đầu cuối điện áp thứ nhất VGL có thể được tạo cấu hình để tiếp tục việc đưa vào tín hiệu dòng một chiều với mức điện thấp. Các phương án dưới đây là giống nhau về mặt này, nên phần mô tả hơn nữa sẽ không được đưa ra ở đây.

Mạch ổn định thiết lập lại 500 được tạo cấu hình để tác dụng tín hiệu điện áp thứ hai vào nút thứ nhất N1 nhằm đáp lại tín hiệu ổn định thiết lập lại. Ví dụ, mạch ổn định thiết lập lại 500 có thể được nối với đầu cuối ổn định thiết lập lại Va và đầu cuối điện áp thứ hai VGH và mạch ổn định thiết lập lại 500 được tạo cấu hình để nối điện nút thứ nhất N1 và đầu cuối điện áp thứ hai VGH dưới sự điều khiển của tín hiệu ổn định thiết lập lại, mà được tạo ra bởi đầu cuối ổn định thiết lập lại Va, để tác dụng tín hiệu điện áp thứ hai, mà được tạo ra bởi đầu cuối điện áp thứ hai VGH vào nút thứ nhất N1, nạp điện ngắt quãng nút thứ nhất N1 trong chu kỳ giữ thiết lập lại và các chu kỳ sau đó, và bảo đảm mạch đầu ra 200 được ngắt. Cần lưu ý rằng, ví dụ, đầu cuối điện áp thứ hai VGH có thể được tạo cấu hình để tiếp tục việc đưa vào tín hiệu dòng một chiều với mức điện cao. Các phương án dưới đây là giống nhau về mặt này, nên phần mô tả hơn nữa sẽ không được đưa ra ở đây. Ví dụ, cường độ của tín hiệu được tạo ra bởi đầu cuối điện áp thứ hai VGH lớn hơn cường độ của tín hiệu được tạo ra bởi đầu cuối điện áp thứ nhất VGL. Ví dụ, đầu cuối điện áp thứ hai VGH có thể được lấy làm đầu cuối điện áp thiết lập lại để cấp điện áp thiết lập lại.

Ví dụ, bằng cách cho phép mạch ổn định thiết lập lại 500 nạp điện ngắt quãng nút thứ nhất N1 trong chu kỳ giữ thiết lập lại và các chu kỳ sau đó, và đảm bảo rằng

mạch đầu ra 200 được ngắt, có thể tránh được rằng chất lượng hiển thị giảm hoặc sự hiển thị bất thường của màn hình dùng bộ ghi dịch 10 khi tín hiệu đầu ra của đầu cuối cấp ra Output bị gây nhiễu bởi các tín hiệu khác, khiến cho độ ổn định của tín hiệu đầu ra được nâng cao, và chất lượng hiển thị của màn hình dùng bộ ghi dịch 10 được nâng cao. Ví dụ, nút thứ nhất N1 được nạp điện để bảo đảm mạch đầu ra 200 được ngắt, và trong trường hợp này, mạch thiết lập lại 300 thực hiện việc cấp ra, và mạch thiết lập lại 300 cấp ra điện áp thiết lập lại (ví dụ, điện áp cao) vào đầu cuối cấp ra Output, nhờ đó ngăn không cho tín hiệu đầu ra của đầu cuối cấp ra Output bị gây nhiễu bởi tín hiệu đầu ra sơ bộ.

FIG.2 là sơ đồ khối dạng sơ đồ của bộ ghi dịch khác được tạo ra bởi một số phương án thực hiện sáng chế. Như được thể hiện trên FIG.2, bộ ghi dịch 10 còn có mạch ổn định đầu ra 600, và các cấu trúc khác gần như tương tự với các cấu trúc trong bộ ghi dịch 10 như được thể hiện trên FIG.1.

Mạch ổn định đầu ra 600 được tạo cấu hình để được bật hoặc được tắt theo sự thay đổi về mức điện của tín hiệu ở đầu cuối cấp ra Output dưới sự điều khiển của tín hiệu điện áp thứ nhất. Ví dụ, mạch ổn định đầu ra 600 có thể được nối với đầu cuối điện áp thứ nhất VGL và được nối với mạch đầu vào 100, mạch đầu ra 200 và mạch ổn định thiết lập lại 500 (mạch ổn định đầu ra 600 được nối với nút thứ nhất N1 và nút thứ ba N3). Ví dụ, mạch ổn định đầu ra 600 được bật dưới sự điều khiển của tín hiệu điện áp thứ nhất được tạo ra bởi đầu cuối điện áp thứ nhất VGL, cụ thể là, nút thứ nhất N1 và nút thứ ba N3 được nối điện, khiến cho tín hiệu đầu vào từ mạch đầu vào 100 hoặc tín hiệu điện áp thứ hai từ mạch ổn định thiết lập lại 500 có thể được ghi vào trong nút thứ nhất N1. Khi tín hiệu đầu ra của đầu cuối cấp ra Output được thay đổi từ mức điện cao đến mức điện thấp, mạch ổn định đầu ra 600 có thể được tắt theo sự thay đổi về mức điện của tín hiệu đầu ra, cụ thể là, nút thứ nhất N1 và nút thứ ba N3 được ngắt, và nút thứ nhất N1 nằm ở trạng thái nổi, nhờ đó giảm việc rò của nút thứ nhất N1, đảm bảo rằng mạch đầu ra 200 được bật, tránh chất lượng hiển thị giảm hoặc sự hiển thị bất thường của màn hình dùng bộ ghi dịch 10 khi tín hiệu đầu ra của đầu cuối cấp ra Output bị gây nhiễu bởi các tín hiệu khác, cải thiện độ ổn định của tín hiệu đầu ra, và cải thiện chất lượng hiển thị của màn hình dùng bộ ghi dịch 10.

Cần lưu ý rằng, ví dụ, đầu cuối điện áp thứ nhất VGL theo phương án thực hiện sáng chế, tiếp tục việc đưa vào tín hiệu dòng một chiều với mức điện thấp, và tín hiệu dòng một chiều với mức điện thấp được gọi là điện áp thứ nhất; và ví dụ,

đầu cuối điện áp thứ hai VGH tiếp tục việc đưa vào tín hiệu dòng một chiều với mức điện cao, và tín hiệu dòng một chiều với mức điện cao được gọi là điện áp thứ hai. Các phương án dưới đây là giống nhau về mặt này và không được mô tả lại. Ví dụ, giá trị điện áp của điện áp thứ hai lớn hơn giá trị điện áp của điện áp thứ nhất.

FIG.3 là sơ đồ mạch của ví dụ thực hiện cụ thể của bộ ghi dịch như được thể hiện trên FIG.2. Phần mô tả sẽ được đưa ra trong phần mô tả dưới đây bằng cách lấy trường hợp mà trong đó các tranzito là các tranzito loại P làm ví dụ, không nên hiểu là giới hạn ở các phương án thực hiện sáng chế. Như được thể hiện trên FIG.3, bộ ghi dịch 10 có tranzito thứ nhất T1, tranzito thứ hai T2, và các tranzito từ thứ năm đến thứ mười T5-T10, và còn có tụ thứ nhất C1 và tụ thứ hai C2.

Ví dụ, như được thể hiện chi tiết hơn trên FIG.3, mạch ổn định thiết lập lại 500 có thể được thực hiện như tranzito thứ nhất T1 và tranzito thứ hai T2. Theo phương án này, tín hiệu ổn định thiết lập lại có hai tín hiệu, cụ thể là, tín hiệu ổn định thiết lập lại thứ nhất và tín hiệu ổn định thiết lập lại thứ hai. Điện cực cổng của tranzito thứ nhất T1 được tạo cấu hình để được nối với nút thứ hai N2 nhằm lấy mức điện của nút thứ hai N2 làm tín hiệu ổn định thiết lập lại thứ nhất; đầu cuối thứ nhất của tranzito thứ nhất T1 được tạo cấu hình để được nối với đường truyền tín hiệu đồng hồ thứ nhất CLK1 nhằm nhận tín hiệu đồng hồ thứ nhất và lấy tín hiệu đồng hồ thứ nhất làm tín hiệu ổn định thiết lập lại thứ hai; và đầu cuối thứ hai của tranzito thứ nhất T1 được tạo cấu hình để được nối với điện cực cổng của tranzito thứ hai T2. Đầu cuối thứ nhất của tranzito thứ hai T2 được tạo cấu hình để được nối với đầu cuối điện áp thứ hai VGH nhằm nhận tín hiệu điện áp thứ hai, và đầu cuối thứ hai của tranzito thứ hai T2 được tạo cấu hình để được nối với nút thứ ba N3 (cần lưu ý rằng khi tranzito thứ mười T10 được bật, nó tương đương với đầu cuối thứ hai của tranzito thứ hai T2 được nối trực tiếp với nút thứ nhất N1). Cần lưu ý rằng, theo phương án thực hiện sáng chế, mạch ổn định thiết lập lại 500 cũng có thể là mạch được tạo ra từ các linh kiện khác (ví dụ, chế độ nối của tranzito thứ ba T3 và tranzito thứ tư T4 như được mô tả dưới đây). Không có giới hạn được đưa ra ở đây theo phương án thực hiện sáng chế.

Khi mức điện của nút thứ hai N2 là mức điện hợp lệ (ví dụ, mức điện thấp) và tín hiệu đồng hồ thứ nhất cũng nằm ở mức điện hợp lệ, cả tranzito thứ nhất T1 và tranzito thứ hai T2 được bật, để tác dụng tín hiệu điện áp thứ hai vào nút thứ ba N3 và nút thứ nhất N1 (trong trường hợp này, tranzito thứ mười T10 được bật) để nạp điện nút thứ nhất N1, nhờ đó đảm bảo rằng mạch đầu ra 200 được ngắt. Trong

trường hợp này, mạch thiết lập lại 300 cấp ra tín hiệu điện áp thứ hai (mức điện cao) ở đầu cuối điện áp thứ hai VGH vào đầu cuối cấp ra Output. Bằng cách dùng các cách bố trí này, độ ổn định của điện áp, mà được cấp ra bởi đầu cuối cấp ra, có thể được nâng cao.

Mạch đầu vào 100 có thể được thực hiện như tranzito thứ năm T5. Điện cực cổng của tranzito thứ năm T5 được tạo cấu hình để được nối với đường truyền tín hiệu đồng hồ thứ hai CLK2 nhằm nhận tín hiệu đồng hồ thứ hai làm tín hiệu khởi động đầu vào; đầu cuối thứ nhất của tranzito thứ năm T5 được tạo cấu hình để được nối với đường truyền tín hiệu đầu vào (đầu cuối đưa vào Input) nhằm nhận tín hiệu đầu vào; và đầu cuối thứ hai của tranzito thứ năm T5 được tạo cấu hình để được nối với nút thứ ba N3 (cần lưu ý rằng khi tranzito thứ mười T10 được bật, đầu cuối thứ hai của tranzito thứ năm T5 là tương đương để được nối trực tiếp với nút thứ nhất N1). Khi tín hiệu đồng hồ thứ hai nằm ở mức điện hợp lệ, tranzito thứ năm T5 được bật, để ghi tín hiệu đầu vào vào trong nút thứ ba N3 và nút thứ nhất N1. Cần lưu ý rằng mạch đầu vào 100 không bị giới hạn ở trường hợp này, và mạch đầu vào 100 cũng có thể là mạch được tạo ra từ các linh kiện khác để thực hiện các chức năng tương ứng.

Mạch đầu ra 200 có thể được thực hiện như tranzito thứ sáu T6 và tụ thứ nhất C1. Điện cực cổng của tranzito thứ sáu T6 được tạo cấu hình để được nối với nút thứ nhất N1; đầu cuối thứ nhất của tranzito thứ sáu T6 được tạo cấu hình để được nối với đường truyền tín hiệu đồng hồ thứ nhất CLK1 nhằm nhận tín hiệu đồng hồ thứ nhất như tín hiệu đầu ra sơ bộ; và đầu cuối thứ hai của tranzito thứ sáu T6 được lấy làm đầu cuối cấp ra Output hoặc được nối điện với đầu cuối cấp ra Output. Điện cực thứ nhất của tụ thứ nhất C1 được tạo cấu hình để được nối với điện cực cổng (nút thứ nhất N1) của tranzito thứ sáu T6, và điện cực thứ hai của tụ thứ nhất C1 được tạo cấu hình để được nối với đầu cuối thứ hai (cụ thể là, đầu cuối cấp ra Output) của tranzito thứ sáu T6. Khi mức điện của nút thứ nhất N1 là mức điện hợp lệ, tranzito thứ sáu T6 được bật, để cấp ra tín hiệu đồng hồ thứ nhất vào đầu cuối cấp ra Output. Cần lưu ý rằng, mạch đầu ra 200 không bị giới hạn ở trường hợp này, và mạch đầu ra 200 cũng có thể là mạch được tạo ra từ các linh kiện khác để thực hiện các chức năng tương ứng.

Mạch thiết lập lại 300 có thể được thực hiện như tranzito thứ bảy T7 và tụ thứ hai C2. Điện cực cổng của tranzito thứ bảy T7 được tạo cấu hình để được nối với nút thứ hai N2; đầu cuối thứ nhất của tranzito thứ bảy T7 được tạo cấu hình để được nối

với đầu cuối điện áp thứ hai VGH nhằm nhận tín hiệu điện áp thứ hai; và đầu cuối thứ hai của tranzito thứ bảy T7 được tạo cấu hình để được nối với đầu cuối cấp ra Output. Điện cực thứ nhất của tụ thứ hai C2 được tạo cấu hình để được nối với điện cực cổng (nút thứ hai N2) của tranzito thứ bảy T7, và điện cực thứ hai của tụ thứ hai C2 được tạo cấu hình để được nối với đầu cuối thứ nhất của tranzito thứ bảy T7 và đầu cuối điện áp thứ hai VGH. Khi mức điện của nút thứ hai N2 là mức điện hợp lệ, tranzito thứ bảy T7 được bật, để tác dụng tín hiệu điện áp thứ hai vào đầu cuối cấp ra Output để thực hiện thiết lập lại. Cách bố trí của tụ thứ hai C2 giúp tạo ổn định điện áp của nút thứ hai N2, để điều khiển tốt hơn tranzito thứ bảy T7. Cần lưu ý rằng, mạch thiết lập lại 300 không bị giới hạn ở trường hợp này, và mạch thiết lập lại 300 cũng có thể là mạch được tạo ra từ các linh kiện khác để thực hiện các chức năng tương ứng.

Mạch điều khiển 400 có thể được thực hiện như tranzito thứ tám T8 và tranzito thứ chín T9. Theo phương án này, tín hiệu điều khiển có hai tín hiệu, cụ thể là, tín hiệu điều khiển thứ nhất và tín hiệu điều khiển thứ hai. Điện cực cổng của tranzito thứ tám T8 được tạo cấu hình để được nối với đường truyền tín hiệu đồng hồ thứ hai CLK2 nhằm nhận tín hiệu đồng hồ thứ hai và lấy tín hiệu đồng hồ thứ hai làm tín hiệu điều khiển thứ nhất; đầu cuối thứ nhất của tranzito thứ tám T8 được tạo cấu hình để được nối với đầu cuối điện áp thứ nhất VGL nhằm nhận tín hiệu điện áp thứ nhất; và đầu cuối thứ hai của tranzito thứ tám T8 được tạo cấu hình để được nối với nút thứ hai N2. Điện cực cổng của tranzito thứ chín T9 được tạo cấu hình để được nối với mạch đầu vào 100 (ở đây là tranzito thứ năm T5) nhằm nhận tín hiệu đầu vào (ở đây là tín hiệu ở nút thứ ba N3), mà được đưa vào bởi mạch đầu vào 100 và lấy tín hiệu đầu vào làm tín hiệu điều khiển thứ hai; đầu cuối thứ nhất của tranzito thứ chín T9 được tạo cấu hình để được nối với đường truyền tín hiệu đồng hồ thứ hai CLK2 nhằm nhận tín hiệu đồng hồ thứ hai; và đầu cuối thứ hai của tranzito thứ chín T9 được tạo cấu hình để được nối với đầu cuối thứ hai của tranzito thứ tám T8. Khi tín hiệu đồng hồ thứ hai nằm ở mức điện hợp lệ để bật linh kiện chuyển (ở đây là tranzito thứ tám T8) nhận tín hiệu đồng hồ thứ hai, tranzito thứ tám T8 được bật, để ghi tín hiệu điện áp thứ nhất vào trong nút thứ hai N2. Khi mức điện của nút thứ ba N3 là mức điện hợp lệ, tranzito thứ chín T9 được bật, để ghi tín hiệu đồng hồ thứ hai vào trong nút thứ hai N2. Phương pháp này được dùng để điều khiển mức điện của nút thứ hai N2, để điều khiển mạch thiết lập lại 300. Cần lưu ý rằng, mạch điều khiển 400 không bị giới hạn ở trường hợp này, và mạch điều khiển 400 cũng có thể là

mạch được tạo ra từ các linh kiện khác để thực hiện các chức năng tương ứng.

Mạch ổn định đầu ra 600 có thể được thực hiện như tranzito thứ mười T10. Điện cực cổng của tranzito thứ mười T10 được tạo cấu hình để được nối với đầu cuối điện áp thứ nhất VGL nhằm nhận tín hiệu điện áp thứ nhất; đầu cuối thứ nhất của tranzito thứ mười T10 được tạo cấu hình để được nối với mạch đầu vào 100 và mạch ổn định thiết lập lại 500 (được nối với nút thứ ba N3); và đầu cuối thứ hai của tranzito thứ mười T10 được tạo cấu hình để được nối với nút thứ nhất N1. Tranzito thứ mười T10 được bật dưới sự điều khiển của tín hiệu điện áp thứ nhất, để nối điện nút thứ nhất N1 và nút thứ ba N3, và sau đó tín hiệu đầu vào từ mạch đầu vào 100 hoặc tín hiệu điện áp thứ hai từ mạch ổn định thiết lập lại 500 có thể được ghi vào trong nút thứ nhất N1. Khi tín hiệu đầu ra của đầu cuối cấp ra Output được thay đổi từ mức điện cao đến mức điện thấp, mức điện của nút thứ nhất N1 cũng có thể được giảm và có thể thấp hơn tín hiệu điện áp thứ nhất do hiệu quả khởi động của tụ thứ nhất C1. Do vậy, điện áp cổng-nguồn Vgs của tranzito thứ mười T10 có thể lớn hơn điện áp ngưỡng Vth (có thể có giá trị âm) của tranzito thứ mười T10, sao cho tranzito thứ mười T10 có thể được tắt, cụ thể là, nút thứ nhất N1 và nút thứ ba N3 được ngắt. Do đó, nút thứ nhất N1 nằm ở trạng thái nổi, để giảm việc rò của nút thứ nhất N1, đảm bảo rằng tranzito thứ sáu T6 được bật, và nâng cao độ ổn định của tín hiệu đầu ra của đầu cuối cấp ra Output. Cần lưu ý rằng, mạch ổn định đầu ra 600 không bị giới hạn ở trường hợp này, và mạch ổn định đầu ra 600 cũng có thể là mạch được tạo ra từ các linh kiện khác để thực hiện các chức năng tương ứng. Cần lưu ý rằng, theo phương án thực hiện sáng chế, mạch ổn định đầu ra 600 (tranzito thứ mười T10) cũng có thể được bỏ qua khi thích hợp, và trong trường hợp này, nút thứ nhất N1 và nút thứ ba N3 được nối điện trực tiếp.

Cần lưu ý rằng, khi mạch ổn định đầu ra 600 được thực hiện như tranzito thứ mười T10, điện cực cổng của tranzito thứ mười T10 được tạo cấu hình để được nối với đầu cuối điện áp thứ nhất VGL nhằm nhận tín hiệu điện áp thứ nhất. Ví dụ, trong trường hợp này, tranzito thứ mười T10 là tranzito loại P. Tất nhiên, phương án thực hiện sáng chế không bị giới hạn ở đó. Ví dụ, theo ví dụ khác, mạch ổn định đầu ra 600 cũng có thể được thực hiện như tranzito ổn định đầu ra. Điện cực cổng của tranzito ổn định đầu ra được tạo cấu hình để được nối với đầu cuối điện áp thứ hai VGH nhằm nhận tín hiệu điện áp thứ hai; đầu cuối thứ nhất của tranzito ổn định đầu ra được tạo cấu hình để được nối với mạch đầu vào 100 và mạch ổn định thiết lập lại 500 (được nối với nút thứ ba N3); và đầu cuối thứ hai của tranzito ổn định đầu ra

được tạo cấu hình để được nối với nút thứ nhất N1. Ví dụ, chế độ nổi của tranzito ổn định đầu ra là tương tự như chế độ nổi của tranzito thứ mười T10, với mức điện của đầu cuối điện áp được nối với điện cực cổng của tranzito ổn định đầu ra và mức điện của đầu cuối điện áp được nối với điện cực cổng của tranzito thứ mười T10 là khác nhau. Trong phần mô tả dưới đây, tranzito thứ mười T10 tương đương với tranzito ổn định đầu ra, với mức điện của đầu cuối điện áp được nối với điện cực cổng của tranzito loại P khác với mức điện của đầu cuối điện áp được nối với điện cực cổng của tranzito loại N.

FIG.4 là sơ đồ mạch của ví dụ thực hiện cụ thể khác của bộ ghi dịch như được thể hiện trên FIG.2. Như được thể hiện trên FIG.4, ngoại trừ chế độ thực hiện cụ thể của mạch ổn định thiết lập lại 500 là khác, bộ ghi dịch 10 theo phương án này về cơ bản tương tự như bộ ghi dịch 100 như được mô tả trên FIG.3. Theo phương án này, mạch ổn định thiết lập lại 500 được thực hiện như tranzito thứ ba T3 và tranzito thứ tư T4. Mạch ổn định thiết lập lại có hai tín hiệu, cụ thể là, tín hiệu ổn định thiết lập lại thứ nhất và tín hiệu ổn định thiết lập lại thứ hai.

Điện cực cổng của tranzito thứ ba T3 được tạo cấu hình để được nối với nút thứ hai N2 nhằm lấy mức điện của nút thứ hai N2 làm tín hiệu ổn định thiết lập lại thứ nhất; đầu cuối thứ nhất của tranzito thứ ba T3 được tạo cấu hình để được nối với đầu cuối điện áp thứ hai VGH nhằm nhận tín hiệu điện áp thứ hai; và đầu cuối thứ hai của tranzito thứ ba T3 được tạo cấu hình để được nối với đầu cuối thứ nhất của tranzito thứ tư T4. Điện cực cổng của tranzito thứ tư T4 được tạo cấu hình để được nối với đường truyền tín hiệu đồng hồ thứ nhất CLK1 nhằm nhận tín hiệu đồng hồ thứ nhất làm tín hiệu ổn định thiết lập lại thứ hai, và đầu cuối thứ hai của tranzito thứ tư T4 được tạo cấu hình để được nối với nút thứ ba N3 (cần lưu ý rằng khi tranzito thứ mười T10 được bật, đầu cuối thứ hai của tranzito thứ tư T4 là tương đương để được nối trực tiếp với nút thứ nhất N1). Khi mức điện của nút thứ hai N2 là mức điện hợp lệ và mức điện của tín hiệu đồng hồ thứ nhất cũng là mức điện hợp lệ, cả tranzito thứ ba T3 và tranzito thứ tư T4 được bật, để tác dụng tín hiệu điện áp thứ hai vào nút thứ ba N3 và nút thứ nhất N1 (trong trường hợp này, tranzito thứ mười T10 được bật) để nạp điện nút thứ nhất N1, nhờ đó đảm bảo rằng mạch đầu ra 200 được ngắt và cải thiện độ ổn định của tín hiệu đầu ra.

Cần lưu ý rằng, trong phần mô tả của các phương án thực hiện sáng chế, nút thứ nhất N1, nút thứ hai N2 và nút thứ ba N3 không biểu thị các linh kiện có trên thực tế, và được dự định biểu thị sự liên kết của các mối nối điện có liên quan trong

mạch biểu đồ.

Cần lưu ý rằng, tất cả các tranzito được dùng theo phương án thực hiện sáng chế có thể là các TFT, các tranzito hiệu ứng trường (FET - Field-Effect Transistor) hoặc các linh kiện chuyển khác có các đặc tính tương tự. Phần mô tả được đưa ra theo phương án thực hiện sáng chế bằng cách lấy trường hợp mà trong đó các tranzito được dùng theo phương án thực hiện sáng chế là các tranzito màng mỏng làm ví dụ. Điện cực nguồn và điện cực máng của tranzito được dùng ở đây có thể đối xứng về cấu trúc, nên điện cực nguồn và điện cực máng của tranzito có cấu trúc không thể phân biệt được. Theo phương án thực hiện sáng chế, để phân biệt hai đầu cuối của tranzito ngoại trừ điện cực cổng, một đầu cuối được mô tả trực tiếp như đầu cuối thứ nhất và đầu cuối kia được mô tả trực tiếp như đầu cuối thứ hai.

Ví dụ, theo một ví dụ, các tranzito từ thứ nhất đến thứ mười T1-T10 là các tranzito loại P, và vật liệu làm các lớp hoạt động của các tranzito loại P có thể là polysilic nhiệt độ thấp (LTPS - Low-Temperature PolySilicon) hoặc vật liệu thích hợp khác. Ví dụ, theo ví dụ khác, các tranzito từ thứ nhất đến thứ chín T1-T9 là các tranzito loại P, và tranzito thứ mười T10 là tranzito loại N. Trong trường hợp này, vật liệu làm các lớp hoạt động của các tranzito từ thứ nhất đến thứ chín T1-T9 có thể là LTPS hoặc vật liệu thích hợp khác, và vật liệu làm lớp hoạt động của tranzito thứ mười T10 có thể là oxit, ví dụ, vật liệu làm lớp hoạt động của tranzito thứ mười T10 có thể là oxit kim loại hoặc oxit đa tinh thể nhiệt độ thấp (LTPO - Low-Temperature Polycrystalline Oxide). Tranzito thứ mười T10 dùng tranzito loại N, có dòng điện rò nhỏ, và có thể được thực hiện bằng kỹ thuật oxit đa tinh thể nhiệt độ thấp (LTPO).

Ví dụ, tranzito thứ chín T9 và tranzito thứ mười T10 có thể dùng TFT hai cổng để giảm hơn nữa dòng điện rò. Tất nhiên, và tranzito thứ chín T9 và tranzito thứ mười T10 không bị giới hạn ở trường hợp này, theo các phương án thực hiện sáng chế, các tranzito có thể dùng TFT hai cổng và cũng có thể dùng các loại tranzito khác.

Theo phương án thực hiện sáng chế được mô tả bằng cách lấy trường hợp mà trong đó tất cả các tranzito là các tranzito loại P làm ví dụ. Trong trường hợp này, đầu cuối thứ nhất của tranzito là điện cực nguồn; và đầu cuối thứ hai là điện cực máng. Cần lưu ý rằng, sáng chế bao gồm nhưng không bị giới hạn ở đó. Ví dụ, một hoặc nhiều các tranzito trong bộ ghi dịch 10 được tạo ra bởi phương án thực hiện sáng chế cũng có thể dùng tranzito loại N. Trong trường hợp này, đầu cuối thứ nhất của tranzito là điện cực máng; và đầu cuối thứ hai là điện cực nguồn. Chỉ cần nói

tương ứng các đầu cuối của các loại tranzito lựa chọn có dựa vào các mối nối của các đầu cuối của các tranzito tương ứng theo phương án thực hiện sáng chế, và thay thế tín hiệu điện áp cao tương ứng bằng tín hiệu điện áp thấp hoặc thay thế tín hiệu điện áp thấp tương ứng bằng tín hiệu điện áp cao. Khi tranzito loại N được dùng, IGZO có thể được dùng làm lớp hoạt động của TFT. So với trường hợp mà trong đó LTPS hoặc silic vô định hình (như silic vô định hình được hydro hóa) được lấy làm lớp hoạt động của TFT, kích thước của tranzito có thể được giảm có hiệu quả và có thể tránh được dòng điện rò.

FIG.5 là biểu đồ định thời tín hiệu của bộ ghi dịch được tạo ra bởi một số phương án thực hiện sáng chế. Phần mô tả được đưa ra dưới đây về nguyên lý làm việc của bộ ghi dịch 10 như được thể hiện trên FIG.3 có dựa vào biểu đồ định thời tín hiệu như được thể hiện trên FIG.5, và phần mô tả được đưa ra ở đây bằng cách lấy trường hợp mà trong đó các tranzito là các tranzito loại P làm ví dụ, nhưng phương án thực hiện sáng chế không bị giới hạn ở đó.

Như được thể hiện trên FIG.5, việc định thời tín hiệu bao gồm bốn chu kỳ: chu kỳ đưa vào 1, chu kỳ cấp ra 2, chu kỳ thiết lập lại 3 và chu kỳ giữ thiết lập lại 4. FIG.5 thể hiện các dạng sóng định thời của các tín hiệu trong mỗi chu kỳ.

Cần lưu ý rằng, các hình vẽ từ FIG.6A đến FIG.6D lần lượt là các biểu đồ khi bộ ghi dịch 10 như được thể hiện trên FIG.3 nằm trong bốn chu kỳ nêu trên. FIG.6A là biểu đồ khi bộ ghi dịch 10, như được thể hiện trên FIG.3, nằm trong chu kỳ đưa vào 1. FIG.6B là biểu đồ khi bộ ghi dịch 10, như được thể hiện trên FIG.3, nằm trong chu kỳ cấp ra 2. FIG.6C là biểu đồ khi bộ ghi dịch 10, như được thể hiện trên FIG.3, nằm trong chu kỳ thiết lập lại 3. FIG.6D là biểu đồ khi bộ ghi dịch 10, như được thể hiện trên FIG.3, nằm trong chu kỳ giữ thiết lập lại 4.

Ngoài ra, tất cả các tranzito được đánh dấu bằng các đường chấm chấm trên các hình vẽ từ FIG.6A đến FIG.6D, biểu thị rằng các tranzito được đánh dấu bằng các đường chấm chấm nằm ở trạng thái tắt trong các chu kỳ tương ứng, và các đường chấm chấm với các mũi tên trên các hình vẽ từ FIG.6A đến FIG.6D biểu thị hướng của dòng điện trong bộ ghi dịch trong các chu kỳ tương ứng. Phần mô tả được đưa ra bằng cách lấy trường hợp mà trong đó các tranzito như được thể hiện trên các hình vẽ từ FIG.6A đến FIG.6D là các tranzito loại P làm ví dụ, tức là, các tranzito được bật khi điện cực các cổng của các tranzito được tác dụng bởi mức điện được bật (mức điện hợp lệ, ở đây là mức điện thấp) và các tranzito được tắt khi điện cực các cổng của các tranzito được tác dụng bởi mức điện được tắt (mức điện không hợp lệ, ở đây

là mức điện cao). Các phương án dưới đây là giống nhau về mặt này, nên phần mô tả hơn nữa sẽ không được đưa ra ở đây.

Trong chu kỳ đưa vào 1, chu kỳ thiết lập lại 3 và chu kỳ giữ thiết lập lại 4, đầu cuối cấp ra Output cấp ra các mức điện cao; và trong chu kỳ cấp ra 2, đầu cuối cấp ra Output trước hết cấp ra mức điện cao và sau đó cấp ra mức điện thấp. Do vậy, bộ ghi dịch được tạo ra bởi phương án thực hiện sáng chế có thể thực hiện chức năng của bộ ghi dịch.

Trong chu kỳ đưa vào 1, như được thể hiện trên FIG.5 và FIG.6A, tín hiệu đồng hồ thứ hai nằm ở mức điện thấp, nên tranzito thứ năm T5 được bật. Tranzito thứ mười T10 được bật bởi mức điện thấp của tín hiệu điện áp thứ nhất. Tín hiệu đầu vào từ đầu cuối đưa vào Input được ghi vào trong nút thứ nhất N1, và trong trường hợp này, nút thứ nhất N1 nằm ở mức điện thấp. Tranzito thứ sáu T6 được bật bởi mức điện thấp của nút thứ nhất N1, và tín hiệu đồng hồ thứ nhất được cấp đến đầu cuối cấp ra Output. Tranzito thứ tám T8 được bật bởi mức điện thấp của tín hiệu đồng hồ thứ hai, để ghi tín hiệu điện áp thứ nhất vào trong nút thứ hai N2. Tranzito thứ chín T9 được bật bởi mức điện thấp của nút thứ ba N3, để ghi tín hiệu đồng hồ thứ hai vào trong nút thứ hai N2. Trong trường hợp này, cả tín hiệu đồng hồ thứ hai và tín hiệu điện áp thứ nhất đều nằm ở mức điện thấp, nên nút thứ hai N2 nằm ở mức điện thấp. Tranzito thứ bảy T7 được bật bởi mức điện thấp của nút thứ hai N2, để cấp ra tín hiệu điện áp thứ hai vào đầu cuối cấp ra Output. Tranzito thứ nhất T1 được bật bởi mức điện thấp của nút thứ hai N2, để ghi tín hiệu đồng hồ thứ nhất vào trong điện cực cổng của tranzito thứ hai T2. Tranzito thứ hai T2 được tắt bởi mức điện cao của tín hiệu đồng hồ thứ nhất.

Như được thể hiện trên FIG.6A, trong chu kỳ đưa vào 1, đường cấp ra (như được thể hiện bằng các đường chấm chấm với các mũi tên trên FIG.6A) được tạo ra, và đầu cuối cấp ra Output cấp ra mức điện cao (trong trường hợp này, cả tín hiệu đồng hồ thứ nhất và tín hiệu đồng hồ thứ hai đều nằm ở mức điện cao).

Trong chu kỳ ban đầu của chu kỳ cấp ra 2, như được thể hiện trên FIG.5 và FIG.6B, tín hiệu đồng hồ thứ hai được thay đổi trước (được thay đổi trước thành mức điện cao) khi so với tín hiệu đồng hồ thứ nhất, và cả tranzito thứ năm T5 và tranzito thứ tám T8 đều được tắt bởi mức điện cao của tín hiệu đồng hồ thứ hai. Nút thứ ba N3 duy trì điện thế (mức điện thấp) trong chu kỳ trước đó, và tranzito thứ chín T9 duy trì trạng thái bật. Tín hiệu đồng hồ thứ hai kéo mức điện của nút thứ hai N2 lên, để tắt tranzito thứ bảy T7. Tranzito thứ nhất T1 và tranzito thứ hai T2 cũng được tắt

dưới sự tác động của mức điện cao của nút thứ hai N2. Nút thứ nhất N1 duy trì điện thế (mức điện thấp) trong chu kỳ trước đó; tranzito thứ sáu T6 duy trì trạng thái bật; tín hiệu đồng hồ thứ nhất được cấp đến đầu cuối cấp ra Output; và đầu cuối cấp ra Output cấp ra mức điện cao (trong trường hợp này, tín hiệu đồng hồ thứ nhất nằm ở mức điện cao).

Ví dụ, đối với mỗi chu kỳ xung của tín hiệu đồng hồ thứ nhất và tín hiệu đồng hồ thứ hai (bao gồm một mức điện cao tín hiệu và một mức điện thấp tín hiệu), khoảng thời gian của mức điện cao tín hiệu không bằng khoảng thời gian của mức điện thấp tín hiệu, nên tín hiệu đồng hồ thứ hai có thể được thay đổi trước khi so với tín hiệu đồng hồ thứ nhất hoặc tín hiệu đồng hồ thứ nhất có thể được thay đổi trước khi so với tín hiệu đồng hồ thứ hai. Ví dụ, đối với tín hiệu đồng hồ thứ nhất và tín hiệu đồng hồ thứ hai, khoảng thời gian của mức điện cao tín hiệu lớn hơn khoảng thời gian của mức điện thấp tín hiệu.

Khi tín hiệu đồng hồ thứ nhất được thay đổi thành mức điện thấp, tức là, ở các chu kỳ khác của chu kỳ cấp ra 2 (cụ thể là, ở chu kỳ sau chu kỳ ban đầu của chu kỳ cấp ra 2 và trước chu kỳ thiết lập lại 3), đầu cuối cấp ra Output cấp ra mức điện thấp tín hiệu. Hai điện cực của tụ thứ nhất C1 lần lượt được nối với nút thứ nhất N1 và đầu cuối cấp ra Output. Trong trường hợp này, nút thứ nhất N1 nằm ở trạng thái nổi do tranzito thứ năm T5 và tranzito thứ hai T2 được tắt. Do hiệu quả khởi động của tụ thứ nhất C1, mức điện của nút thứ nhất N1 có thể được giảm hơn nữa cùng với việc giảm của mức điện của tín hiệu đầu ra của đầu cuối cấp ra Output. Sau khi mức điện của nút thứ nhất N1 được giảm hơn nữa, mức điện có thể thấp hơn tín hiệu điện áp thứ nhất, để tắt tranzito thứ mười T10. Cách bố trí này có thể ngắt nút thứ nhất N1 và nút thứ ba N3 trong chu kỳ cấp ra 2 để giảm việc rò của nút thứ nhất N1 và sau đó nâng cao độ ổn định của tín hiệu đầu ra của đầu cuối cấp ra Output. Tức là, bộ ghi dịch được tạo ra bởi một số phương án thực hiện sáng chế có thể nâng cao độ ổn định của tín hiệu (ví dụ, cải thiện độ ổn định của mức điện thấp tín hiệu), mà được cấp ra ở chu kỳ cấp ra mức điện hợp lệ (ví dụ, chu kỳ để cấp ra mức điện thấp trong chu kỳ cấp ra 2). Ví dụ, tranzito thứ năm T5 và tranzito thứ mười T10 cũng có thể dùng cấu trúc hai cổng để giảm việc rò của nút thứ nhất N1, nhằm nâng cao hơn nữa độ ổn định của tín hiệu, mà được cấp ra ở chu kỳ cấp ra mức điện hợp lệ.

Ví dụ, tín hiệu đồng hồ thứ hai được thay đổi trước (được thay đổi trước thành mức điện cao) khi so với tín hiệu đồng hồ thứ nhất, và thời gian sớm Δt nằm trong khoảng từ 5% đến 25% thời gian hợp lệ của mức điện cao của tín hiệu đồng hồ

thứ nhất hoặc tín hiệu đồng hồ thứ hai, và theo ví dụ khác, nằm trong khoảng từ 10% đến 20% thời gian hợp lệ của mức điện cao của tín hiệu đồng hồ thứ nhất hoặc tín hiệu đồng hồ thứ hai. Tất nhiên, thời gian sớm Δt không bị giới hạn các trường hợp này, và thời gian sớm Δt cũng có thể được xác định theo các nhu cầu thực, và không có giới hạn được đưa ra ở đây theo phương án thực hiện sáng chế.

Như được thể hiện trên FIG.6B, đường cấp ra (như được thể hiện bằng các đường chấm chấm với các mũi tên trên FIG.6B) được tạo ra trong chu kỳ cấp ra 2; trong chu kỳ ban đầu của chu kỳ cấp ra 2, đầu cuối cấp ra Output cấp ra mức điện cao (trong trường hợp này, tín hiệu đồng hồ thứ nhất nằm ở mức điện cao); và ở các chu kỳ khác của chu kỳ cấp ra 2 ngoại trừ chu kỳ ban đầu (cụ thể là, chu kỳ sau chu kỳ ban đầu của chu kỳ cấp ra 2 và trước chu kỳ thiết lập lại 3), đầu cuối cấp ra Output cấp ra mức điện thấp (trong trường hợp này, tín hiệu đồng hồ thứ nhất nằm ở mức điện thấp).

Trong chu kỳ thiết lập lại 3, như được thể hiện trên FIG.5 và FIG.6C, tín hiệu đồng hồ thứ nhất được thay đổi trước (được thay đổi trước thành mức điện cao) khi so với tín hiệu đồng hồ thứ hai, và tín hiệu đầu ra của đầu cuối cấp ra Output được thay đổi thành mức điện cao. Tương tự, do hiệu quả khởi động của tụ thứ nhất C1, mức điện của nút thứ nhất N1 cũng được thay đổi tương ứng, để bật tranzito thứ mười T10 và nối điện nút thứ nhất N1 và nút thứ ba N3. Ví dụ, tín hiệu đồng hồ thứ nhất được thay đổi trước (được thay đổi trước thành mức điện cao) khi so với tín hiệu đồng hồ thứ hai, và thời gian sớm Δt là tương tự như thời gian sớm được mô tả trên đây.

Khi tín hiệu đồng hồ thứ hai được thay đổi thành mức điện thấp, tranzito thứ tám T8 được bật; tín hiệu điện áp thứ nhất kéo mức điện của nút thứ hai N2 xuống; tranzito thứ bảy T7 được bật bởi mức điện thấp của nút thứ hai N2; tín hiệu điện áp thứ hai được cấp đến đầu cuối cấp ra Output; và tín hiệu đầu ra của đầu cuối cấp ra Output vẫn duy trì mức điện cao. Tranzito thứ năm T5 được bật bởi mức điện thấp của tín hiệu đồng hồ thứ hai, và tín hiệu đầu vào kéo mức điện ở nút thứ ba N3 và nút thứ nhất N1 lên, để tắt tranzito thứ sáu T6. Trong trường hợp này, tranzito thứ nhất T1 được bật bởi mức điện thấp ở nút thứ hai N2; tranzito thứ hai T2 được tắt bởi mức điện cao của tín hiệu đồng hồ thứ nhất; và tranzito thứ chín T9 được tắt bởi mức điện cao ở nút thứ ba N3.

Như được thể hiện trên FIG.6C, trong chu kỳ thiết lập lại 3, đường thiết lập lại (như được thể hiện bằng các đường chấm chấm với các mũi tên trên FIG.6C) được

tạo ra, và đầu cuối cấp ra Output cấp ra mức điện cao.

Trong chu kỳ giữ thiết lập lại 4, như được thể hiện trên FIG.5 và FIG.6D, tín hiệu đồng hồ thứ hai nằm ở mức điện cao, để tắt tranzito thứ năm T5 và tranzito thứ tám T8. Nút thứ hai N2 duy trì điện thế (mức điện thấp) của chu kỳ trước đó, nên tranzito thứ bảy T7 duy trì trạng thái bật, và tín hiệu đầu ra của đầu cuối cấp ra Output vẫn nằm ở mức điện cao. Nút thứ ba N3 duy trì điện thế (mức điện cao) của chu kỳ trước đó, và tranzito thứ chín T9 được tắt bởi mức điện cao ở nút thứ ba N3. Tranzito thứ nhất T1 được bật bởi mức điện thấp ở nút thứ hai N2.

Khi tín hiệu đồng hồ thứ nhất được thay đổi thành mức điện thấp, tranzito thứ hai T2 được bật, để tác dụng tín hiệu điện áp thứ hai vào nút thứ ba N3 và nút thứ nhất N1 vào nạp điện nút thứ nhất N1. Tranzito thứ sáu T6 được tắt bởi mức điện cao của nút thứ nhất N1. Trong các chu kỳ sau đó, khi nào tín hiệu đồng hồ thứ nhất nằm ở mức điện thấp, tranzito thứ hai T2 được bật, và nút thứ nhất N1 được nạp điện. Bằng cách dùng các cách bố trí này, nút thứ nhất N1 có thể được nạp điện ngắt quãng để đảm bảo rằng tranzito thứ sáu T6 được tắt và sau đó nâng cao độ ổn định của tín hiệu đầu ra của đầu cuối cấp ra Output. Ví dụ, bộ ghi dịch được tạo ra bởi một số phương án thực hiện sáng chế có thể nâng cao độ ổn định của tín hiệu, mà được cấp ra ở chu kỳ giữ thiết lập lại (ví dụ, cải thiện độ ổn định của mức điện cao tín hiệu), và sau đó có thể kéo dài thời gian cấp ra ổn định của mức điện cao tín hiệu chẳng hạn.

Như được thể hiện trên FIG.6D, trong chu kỳ giữ thiết lập lại 4, đường thiết lập lại và đường dùng để nạp điện nút thứ nhất N1 (như được thể hiện bằng đường chấm chấm với mũi tên trên FIG.6D) được tạo ra; đầu cuối cấp ra Output tiếp tục việc cấp ra mức điện cao; và nút thứ nhất N1 được nạp điện đến đảm bảo rằng tranzito thứ sáu T6 được tắt.

FIG.7 là sơ đồ mạch, tương ứng với chu kỳ giữ thiết lập lại trên FIG.5, của bộ ghi dịch như được thể hiện trên FIG.4. Phần mô tả sẽ được đưa ra dưới đây đối với nguyên lý làm việc của bộ ghi dịch 10 như được thể hiện trên FIG.4 có dựa vào biểu đồ định thời tín hiệu như được thể hiện trên FIG.5, và phần mô tả được đưa ra ở đây bằng cách lấy trường hợp mà trong đó các tranzito là các tranzito loại P làm ví dụ, nhưng phương án thực hiện sáng chế không bị giới hạn ở đó.

Ngoài ra, tất cả các tranzito được đánh dấu bằng các đường chấm chấm trên FIG.7 biểu thị rằng các tranzito được đánh dấu bằng các đường chấm chấm nằm ở trạng thái tắt trong các chu kỳ tương ứng, và các đường chấm chấm với các mũi tên

trên FIG.7 biểu thị hướng của dòng điện trong bộ ghi dịch trong các chu kỳ tương ứng. Phần mô tả được đưa ra bằng cách lấy trường hợp mà trong đó tất cả các tranzito như được thể hiện trên FIG.7 đều là các tranzito loại P làm ví dụ, tức là, các tranzito được bật khi điện cực các cổng của các tranzito được tác dụng bởi mức điện được bật (mức điện hợp lệ, ở đây là mức điện thấp) và các tranzito được tắt khi điện cực các cổng của các tranzito được tác dụng bởi mức điện được tắt (mức điện không hợp lệ, ở đây là mức điện cao). Các phương án dưới đây là giống nhau về mặt này, nên phần mô tả hơn nữa sẽ không được đưa ra ở đây.

Như được thể hiện trên FIG.5, việc định thời tín hiệu bao gồm bốn chu kỳ: chu kỳ đưa vào 1, chu kỳ cấp ra 2, chu kỳ thiết lập lại 3 và chu kỳ giữ thiết lập lại 4. FIG.5 thể hiện các dạng sóng định thời của các tín hiệu trong mỗi chu kỳ.

Trong chu kỳ đưa vào 1, chu kỳ cấp ra 2 và chu kỳ thiết lập lại 3, do mức điện của tín hiệu đồng hồ thứ nhất và nút thứ hai N2 không phải là mức điện thấp cùng một lúc, tranzito thứ ba T3 và tranzito thứ tư T4 không thể đồng thời bật, nên tín hiệu điện áp thứ hai của đầu cuối điện áp thứ hai VGH không thể được tác dụng vào nút thứ ba N3. Trong chu kỳ đưa vào 1, chu kỳ cấp ra 2 và chu kỳ thiết lập lại 3, nguyên lý làm việc của bộ ghi dịch 10 là tương tự như nguyên lý làm việc của bộ ghi dịch 10 như được thể hiện trên FIG.3, nên phần mô tả hơn nữa sẽ không được đưa ra ở đây.

Trong chu kỳ giữ thiết lập lại 4, như được thể hiện trên FIG.5 và FIG.7, tín hiệu đồng hồ thứ hai nằm ở mức điện cao, để tắt tranzito thứ năm T5 và tranzito thứ tám T8. Nút thứ hai N2 duy trì điện thế (mức điện thấp) của chu kỳ trước đó, nên tranzito thứ bảy T7 duy trì trạng thái bật, và tín hiệu đầu ra của đầu cuối cấp ra Output vẫn nằm ở mức điện cao. Nút thứ ba N3 duy trì điện thế (mức điện cao) của chu kỳ trước đó, và tranzito thứ chín T9 được tắt bởi mức điện cao ở nút thứ ba N3. Tranzito thứ ba T3 được bật bởi mức điện thấp ở nút thứ hai N2.

Khi tín hiệu đồng hồ thứ nhất được thay đổi thành mức điện thấp, tranzito thứ tư T4 được bật, để tác dụng tín hiệu điện áp thứ hai vào nút thứ ba N3 và nút thứ nhất N1 to nạp điện nút thứ nhất N1. Tranzito thứ sáu T6 được tắt bởi mức điện cao của nút thứ nhất N1. Trong các chu kỳ sau đó, khi nào tín hiệu đồng hồ thứ nhất nằm ở mức điện thấp, tranzito thứ tư T4 được bật, và nút thứ nhất N1 được nạp điện. Bằng cách dùng các cách bố trí này, nút thứ nhất N1 có thể được nạp điện ngắt quãng để đảm bảo rằng tranzito thứ sáu T6 được tắt và sau đó nâng cao độ ổn định của tín hiệu đầu ra của đầu cuối cấp ra Output.

Như được thể hiện trên FIG.7, trong chu kỳ giữ thiết lập lại 4, đường thiết lập lại và đường dùng để nạp điện nút thứ nhất N1 (như được thể hiện bằng các đường chấm chấm với các mũi tên trên FIG.7) được tạo ra; đầu cuối cấp ra Output tiếp tục việc cấp ra mức điện cao; và nút thứ nhất N1 được nạp điện đến đảm bảo rằng tranzito thứ sáu T6 được tắt.

Sáng chế theo ít nhất một phương án thực hiện của nó còn đề xuất bộ ghi dịch bao gồm các tranzito từ thứ mười một đến thứ mười tám, tụ thứ ba và tụ thứ tư. Bộ ghi dịch có thể nâng cao độ ổn định của tín hiệu đầu ra, ngăn không cho tín hiệu đầu ra bị gây nhiễu bởi các tín hiệu khác, và nâng cao chất lượng hiển thị.

FIG.8 là sơ đồ mạch của bộ ghi dịch được tạo ra bởi một số phương án thực hiện sáng chế. Như được thể hiện trên FIG.8, bộ ghi dịch 10 bao gồm các tranzito từ thứ mười một đến thứ mười tám T11-T18, tụ thứ ba C3 và tụ thứ tư C4.

Điện cực cổng của tranzito thứ mười một T11 được tạo cấu hình để được nối với nút thứ nhất N1; đầu cuối thứ nhất của tranzito thứ mười một T11 được tạo cấu hình để được nối với đường truyền tín hiệu đồng hồ thứ nhất CLK1 nhằm nhận tín hiệu đồng hồ thứ nhất; và đầu cuối thứ hai của tranzito thứ mười một T11 được tạo cấu hình để được nối với đầu cuối cấp ra Output. Điện cực thứ nhất của tụ thứ ba C3 được tạo cấu hình để được nối với điện cực cổng (nút thứ nhất N1) của tranzito thứ mười một T11, và điện cực thứ hai của tụ thứ ba C3 được tạo cấu hình để được nối với đầu cuối thứ hai (đầu cuối cấp ra Output) của tranzito thứ mười một T11.

Điện cực cổng của tranzito thứ mười hai T12 được tạo cấu hình để được nối với đầu cuối điện áp thứ nhất VGL nhằm nhận tín hiệu điện áp thứ nhất; tranzito thứ mười hai T12 còn có đầu cuối thứ nhất và đầu cuối thứ hai; và đầu cuối thứ hai của tranzito thứ mười hai T12 được tạo cấu hình để được nối với nút thứ nhất N1. Điện cực cổng của tranzito thứ mười ba T13 được tạo cấu hình để được nối với đường truyền tín hiệu đồng hồ thứ hai CLK2 nhằm nhận tín hiệu đồng hồ thứ hai; đầu cuối thứ nhất của tranzito thứ mười ba T13 được tạo cấu hình để được nối với đầu cuối đưa vào Input nhằm nhận tín hiệu đầu vào; và đầu cuối thứ hai của tranzito thứ mười ba T13 được tạo cấu hình để được nối với đầu cuối thứ nhất của tranzito thứ mười hai T12.

Điện cực cổng của tranzito thứ mười bốn T14 được tạo cấu hình để được nối với nút thứ hai N2; đầu cuối thứ nhất của tranzito thứ mười bốn T14 được tạo cấu hình để được nối với đầu cuối điện áp thứ hai VGH nhằm nhận tín hiệu điện áp thứ hai; và đầu cuối thứ hai của tranzito thứ mười bốn T14 được tạo cấu hình để được

nối với đầu cuối thứ hai (đầu cuối cấp ra Output) của tranzito thứ mười một T11. Điện cực thứ nhất của tụ thứ tư C4 được tạo cấu hình để được nối với điện cực cổng (nút thứ hai N2) của tranzito thứ mười bốn T14, và điện cực thứ hai của tụ thứ tư C4 được tạo cấu hình để được nối với đầu cuối thứ nhất (đầu cuối điện áp thứ hai VGH) của tranzito thứ mười bốn T14.

Điện cực cổng của tranzito thứ mười năm T15 được tạo cấu hình để được nối với nút thứ hai N2, và đầu cuối thứ nhất của tranzito thứ mười năm T15 được tạo cấu hình để được nối với đường truyền tín hiệu đồng hồ thứ nhất CLK1 nhằm nhận tín hiệu đồng hồ thứ nhất. Điện cực cổng của tranzito thứ mười sáu T16 được tạo cấu hình để được nối với đầu cuối thứ hai của tranzito thứ mười năm T15; đầu cuối thứ nhất của tranzito thứ mười sáu T16 được tạo cấu hình để được nối với đầu cuối điện áp thứ hai VGH nhằm nhận tín hiệu điện áp thứ hai; và đầu cuối thứ hai của tranzito thứ mười sáu T16 được tạo cấu hình để được nối với đầu cuối thứ nhất của tranzito thứ mười hai T12.

Điện cực cổng của tranzito thứ mười bảy T17 được tạo cấu hình để được nối với đường truyền tín hiệu đồng hồ thứ hai CLK2 nhằm nhận tín hiệu đồng hồ thứ hai; đầu cuối thứ nhất của tranzito thứ mười bảy T17 được tạo cấu hình để được nối với đầu cuối điện áp thứ nhất VGL nhằm nhận tín hiệu điện áp thứ nhất; và đầu cuối thứ hai của tranzito thứ mười bảy T17 được tạo cấu hình để được nối với nút thứ hai N2. Điện cực cổng của tranzito thứ mười tám T18 được tạo cấu hình để được nối với đầu cuối thứ hai của tranzito thứ mười ba T13; đầu cuối thứ nhất của tranzito thứ mười tám T18 được tạo cấu hình để được nối với đường truyền tín hiệu đồng hồ thứ hai CLK2 nhằm nhận tín hiệu đồng hồ thứ hai; và đầu cuối thứ hai của tranzito thứ mười tám T18 được tạo cấu hình để được nối với nút thứ hai N2.

Nguyên lý làm việc của bộ ghi dịch 10 là tương tự như nguyên lý làm việc của bộ ghi dịch như được mô tả trên FIG.5 và các hình vẽ từ FIG.6A đến FIG.6D, nên phần mô tả hơn nữa sẽ không được đưa ra ở đây.

Sáng chế theo ít nhất một phương án thực hiện của nó còn đề xuất bộ ghi dịch bao gồm các tranzito từ thứ mười chín đến hai mươi sáu, tụ thứ năm và tụ thứ sáu. Bộ ghi dịch có thể nâng cao độ ổn định của tín hiệu đầu ra, ngăn không cho tín hiệu đầu ra bị gây nhiễu bởi các tín hiệu khác, và nâng cao chất lượng hiển thị.

FIG.9 là sơ đồ mạch của bộ ghi dịch khác được tạo ra bởi một số phương án thực hiện sáng chế. Như được thể hiện trên FIG.9, bộ ghi dịch 10 bao gồm các tranzito từ thứ mười chín đến hai mươi sáu T19-T26, tụ thứ năm C5 và tụ thứ sáu

C6.

Điện cực cổng của tranzito thứ mười chín T19 được tạo cấu hình để được nối với nút thứ nhất N1; đầu cuối thứ nhất của tranzito thứ mười chín T19 được tạo cấu hình để được nối với đường truyền tín hiệu đồng hồ thứ nhất CLK1 nhằm nhận tín hiệu đồng hồ thứ nhất; và đầu cuối thứ hai của tranzito thứ mười chín T19 được tạo cấu hình để được nối với đầu cuối cấp ra Output. Điện cực thứ nhất của tụ thứ năm C5 được tạo cấu hình để được nối với điện cực cổng (nút thứ nhất N1) của tranzito thứ mười chín T19, và điện cực thứ hai của tụ thứ năm C5 được tạo cấu hình để được nối với đầu cuối thứ hai (đầu cuối cấp ra Output) của tranzito thứ mười chín T19.

Điện cực cổng của tranzito thứ hai mươi T20 được tạo cấu hình để được nối với đầu cuối điện áp thứ nhất VGL nhằm nhận tín hiệu điện áp thứ nhất; tranzito thứ hai mươi T20 còn có đầu cuối thứ nhất và đầu cuối thứ hai; và đầu cuối thứ hai của tranzito thứ hai mươi T20 được tạo cấu hình để được nối với nút thứ nhất N1. Điện cực cổng của tranzito thứ hai mươi một T21 được tạo cấu hình để được nối với đường truyền tín hiệu đồng hồ thứ hai CLK2 nhằm nhận tín hiệu đồng hồ thứ hai; đầu cuối thứ nhất của tranzito thứ hai mươi một T21 được tạo cấu hình để được nối với đầu cuối đưa vào Input nhằm nhận tín hiệu đầu vào; và đầu cuối thứ hai của tranzito thứ hai mươi một T21 được tạo cấu hình để được nối với đầu cuối thứ nhất của tranzito thứ hai mươi T20.

Điện cực cổng của tranzito thứ hai mươi hai T22 được tạo cấu hình để được nối với nút thứ hai N2; đầu cuối thứ nhất của tranzito thứ hai mươi hai T22 được tạo cấu hình để được nối với đầu cuối điện áp thứ hai VGH nhằm nhận tín hiệu điện áp thứ hai; và đầu cuối thứ hai của tranzito thứ hai mươi hai T22 được tạo cấu hình để được nối với đầu cuối thứ hai (đầu cuối cấp ra Output) của tranzito thứ mười chín T19. Điện cực thứ nhất của tụ thứ sáu C6 được tạo cấu hình để được nối với điện cực cổng (nút thứ hai N2) của tranzito thứ hai mươi hai T22, và điện cực thứ hai của tụ thứ sáu C6 được tạo cấu hình để được nối với đầu cuối thứ nhất (đầu cuối điện áp thứ hai VGH) của tranzito thứ hai mươi hai T22.

Điện cực cổng của tranzito thứ hai mươi ba T23 được tạo cấu hình để được nối với nút thứ hai N2, và đầu cuối thứ nhất của tranzito thứ hai mươi ba T23 được tạo cấu hình để được nối với đầu cuối điện áp thứ hai VGH nhằm nhận tín hiệu điện áp thứ hai. Điện cực cổng của tranzito thứ hai mươi tư T24 được tạo cấu hình để được nối với đường truyền tín hiệu đồng hồ thứ nhất CLK1 nhằm nhận tín hiệu đồng hồ thứ nhất; đầu cuối thứ nhất của tranzito thứ hai mươi tư T24 được tạo cấu hình để

được nối với đầu cuối thứ hai của tranzito thứ hai mươi ba T23; và đầu cuối thứ hai của tranzito thứ hai mươi tư T24 được tạo cấu hình để được nối với đầu cuối thứ nhất của tranzito thứ hai mươi T20.

Điện cực cổng của tranzito thứ hai mươi năm T25 được tạo cấu hình để được nối với đường truyền tín hiệu đồng hồ thứ hai CLK2 nhằm nhận tín hiệu đồng hồ thứ hai; đầu cuối thứ nhất của tranzito thứ hai mươi năm T25 được tạo cấu hình để được nối với đầu cuối điện áp thứ nhất VGL nhằm nhận tín hiệu điện áp thứ nhất; và đầu cuối thứ hai của tranzito thứ hai mươi năm T25 được tạo cấu hình để được nối với nút thứ hai N2. Điện cực cổng của tranzito thứ hai mươi sáu T26 được tạo cấu hình để được nối với đầu cuối thứ hai của tranzito thứ hai mươi một T21; đầu cuối thứ nhất của tranzito thứ hai mươi sáu T26 được tạo cấu hình để được nối với đường truyền tín hiệu đồng hồ thứ hai CLK2 nhằm nhận tín hiệu đồng hồ thứ hai; và đầu cuối thứ hai của tranzito thứ hai mươi sáu T26 được tạo cấu hình để được nối với nút thứ hai N2.

Nguyên lý làm việc của bộ ghi dịch 10 là tương tự như nguyên lý làm việc của bộ ghi dịch như được mô tả trên FIG.8. Phần mô tả hơn nữa sẽ không được đưa ra ở đây.

Sáng chế theo ít nhất một phương án thực hiện của nó còn đề xuất mạch điều khiển công có các bộ ghi dịch xếp tầng. Các bộ ghi dịch xếp tầng có các bộ ghi dịch thứ nhất P. Mỗi bộ ghi dịch thứ nhất dùng bộ ghi dịch được tạo ra bởi phương án bất kỳ thực hiện sáng chế, và P là số nguyên lớn hơn một. Mạch điều khiển công có thể nâng cao độ ổn định của tín hiệu đầu ra, ngăn không cho tín hiệu đầu ra bị gây nhiễu bởi các tín hiệu khác, và nâng cao chất lượng hiển thị.

FIG.10 là sơ đồ khối dạng sơ đồ của mạch điều khiển công được tạo ra bởi một số phương án thực hiện sáng chế. Như được thể hiện trên FIG.10, mạch điều khiển công 20 có các bộ ghi dịch xếp tầng (SR_n , SR_{n+1} , SR_{n+2} , SR_{n+3} , v.v.). Số lượng các bộ ghi dịch không bị giới hạn và có thể được xác định theo các nhu cầu thực. Ví dụ, các bộ ghi dịch có các bộ ghi dịch thứ nhất P, và P là số nguyên lớn hơn một. Ví dụ, đối với màn hình có độ phân giải khoảng 640×480 , P có thể bằng 480, và vì vậy, đối với màn hình có độ phân giải khoảng 1920×1440 , P có thể bằng 1440. Ví dụ, mỗi bộ ghi dịch thứ nhất dùng bộ ghi dịch 10 được tạo ra bởi phương án bất kỳ thực hiện sáng chế. Tức là, trong mạch điều khiển công 20, một phần hoặc tất cả các bộ ghi dịch có thể dùng bộ ghi dịch 10 được tạo ra bởi phương án bất kỳ thực hiện sáng chế. Mạch điều khiển công 20 có thể được tích hợp trực tiếp trên lớp nền mạng

của màn hình để thực hiện chức năng điều khiển việc quét liên tục bằng cách dùng quy trình sản xuất tương tự như các TFT.

Ví dụ, các bộ ghi dịch lần lượt được tạo ra có đầu cuối đưa vào Input và đầu cuối cấp ra Output. Ví dụ, ngoại trừ giai đoạn cuối cùng, đầu cuối cấp ra Output của bộ ghi dịch của mỗi giai đoạn được nối với đầu cuối đưa vào Input của bộ ghi dịch của giai đoạn tiếp theo. Ví dụ, đầu cuối đưa vào Input của bộ ghi dịch của giai đoạn thứ nhất được tạo cấu hình để nhận tín hiệu khởi động STV.

Ví dụ, mạch điều khiển cổng 20 còn có đồng hồ hệ thống thứ nhất CLK_A và đồng hồ hệ thống thứ hai CLK_B để được nối với đường truyền tín hiệu đồng hồ thứ nhất CLK1 và đường truyền tín hiệu đồng hồ thứ hai CLK2 của mỗi bộ ghi dịch. Ví dụ, khi đường truyền tín hiệu đồng hồ thứ nhất CLK1 của bộ ghi dịch của giai đoạn nhất định (ví dụ, SRn) được nối với đồng hồ hệ thống thứ nhất CLK_A và đường truyền tín hiệu đồng hồ thứ hai CLK2 của bộ ghi dịch của giai đoạn nhất định (ví dụ, SRn) được nối với đồng hồ hệ thống thứ hai CLK_B, đường truyền tín hiệu đồng hồ thứ hai CLK2 của bộ ghi dịch của giai đoạn tiếp theo (ví dụ, SRn+1) được nối với đồng hồ hệ thống thứ nhất CLK_A và đường truyền tín hiệu đồng hồ thứ nhất CLK1 của bộ ghi dịch của giai đoạn tiếp theo (ví dụ, SRn+1) được nối với đồng hồ hệ thống thứ hai CLK_B. Chế độ nối của các bộ ghi dịch tiếp sau và đồng hồ hệ thống thứ nhất CLK_A và đồng hồ hệ thống thứ hai CLK_B là tương tự như thế, để đảm bảo rằng các tín hiệu đầu ra của các đầu cuối cấp ra Output của các bộ ghi dịch được dịch chuyển và được nối với nhau đúng thời điểm. Ví dụ, mạch điều khiển cổng 20 còn có bộ điều khiển định thời. Ví dụ, bộ điều khiển định thời được tạo cấu hình để cấp tín hiệu đồng hồ hệ thống thứ nhất và tín hiệu đồng hồ hệ thống thứ hai đến các bộ ghi dịch, và cũng có thể được tạo cấu hình để cấp tín hiệu khởi động STV.

Ví dụ, khi mạch điều khiển cổng 20 được dùng để điều khiển bảng hiển thị, mạch điều khiển cổng 20 có thể được bố trí ở một phía của bảng hiển thị. Ví dụ, bảng hiển thị có các dây của các đường cổng, và các đầu cuối cấp ra Output của các bộ ghi dịch trong mạch điều khiển cổng 20 có thể được tạo cấu hình để được nối liên tục với các dây của các đường cổng nhằm cấp ra các tín hiệu quét cổng. Tất nhiên, các mạch điều khiển cổng 20 cũng có thể được bố trí tương ứng ở hai phía của bảng hiển thị để thực hiện việc điều khiển hai phía. Không có giới hạn được đưa ra về cách bố trí chế độ của mạch điều khiển cổng 20 theo phương án thực hiện sáng chế. Ví dụ, một mạch điều khiển cổng 20 có thể được bố trí ở một phía của bảng hiển thị để điều khiển các dây số lẻ của các đường cổng và mạch điều khiển cổng 20 khác có

thể được bố trí ở phía kia của bảng hiển thị để điều khiển các dây số chẵn của các đường công.

Sáng chế theo ít nhất một phương án thực hiện của nó còn đề xuất màn hình có mạch điều khiển công được tạo ra bởi phương án bất kỳ thực hiện sáng chế. Tín hiệu đầu ra của mạch điều khiển công trong màn hình có độ ổn định tốt; tín hiệu đầu ra có thể không dễ bị gây nhiễu bởi các tín hiệu khác; và có thể tạo ra được chất lượng hiển thị tốt.

FIG.11 là sơ đồ khối dạng sơ đồ của màn hình được tạo ra bởi một số phương án thực hiện sáng chế. Như được thể hiện trên FIG.11, màn hình 30 có mạch điều khiển công 20, là mạch điều khiển công được tạo ra bởi phương án bất kỳ thực hiện sáng chế. Ví dụ, màn hình 30 có thể là sản phẩm bất kỳ hoặc thiết bị bất kỳ có chức năng hiển thị như bảng tinh thể lỏng, màn hình tinh thể lỏng, màn hiển thị, đi-ốt phát quang hữu cơ (OLED) bảng, màn hình OLED, màn hình giấy điện tử, điện thoại di động, máy tính bảng PC, máy tính xách tay, album ảnh kỹ thuật số hoặc bảng hoa tiêu. Không có giới hạn được đưa ra ở đây theo phương án thực hiện sáng chế. Các hiệu quả kỹ thuật của màn hình 30 có thể dùng để chỉ phần mô tả tương ứng về bộ ghi dịch 10 và mạch điều khiển công 20, mà được tạo ra bởi phương án nêu trên, nên phần mô tả hơn nữa sẽ không được đưa ra ở đây.

FIG.12 là sơ đồ khối dạng sơ đồ của màn hình khác được tạo ra bởi một số phương án thực hiện sáng chế. Như được thể hiện trên FIG.12, màn hình 30 bao gồm bảng hiển thị 3000, bộ điều khiển công 3010, bộ điều khiển định thời 3020 và bộ điều khiển dữ liệu 3030. Bảng hiển thị 3000 bao gồm các đơn vị điểm ảnh P, mà được xác định bởi chỗ giao nhau của các đường quét GL và các đường dữ liệu DL. Bộ điều khiển công 3010 được tạo cấu hình để điều khiển các đường quét GL. Bộ điều khiển dữ liệu 3030 được tạo cấu hình để điều khiển các đường dữ liệu DL. Bộ điều khiển định thời 3020 được tạo cấu hình để xử lý dữ liệu ảnh RGB, mà được đưa vào từ bên ngoài của màn hình 30, cấp dữ liệu ảnh đã được xử lý RGB đến bộ điều khiển dữ liệu 3030, cấp ra tín hiệu điều khiển công GCS đến bộ điều khiển công 3010 và cấp ra tín hiệu điều khiển dữ liệu DCS đến bộ điều khiển dữ liệu 3030, để điều khiển bộ điều khiển công 3010 và bộ điều khiển dữ liệu 3030.

Ví dụ, bộ điều khiển công 3010 có mạch điều khiển công 20, mà được tạo ra bởi phương án bất kỳ nêu trên. Các đầu cuối cấp ra Output của các bộ ghi dịch trong mạch điều khiển công 20 được nối tương ứng với các đường quét GL; đầu cuối cấp ra Output của bộ ghi dịch ở giai đoạn thứ N cũng được nối với mạch đầu vào của bộ

ghi dịch ở giai đoạn thứ $N+1$ để cấp tín hiệu đầu vào; và N là số nguyên lớn hơn không. Các đường quét GL được nối tương ứng với các đơn vị điểm ảnh P được bố trí trong các dãy. Các đầu cuối cấp ra Output của các bộ ghi dịch trong mạch điều khiển cổng 20 liên tục cấp ra các tín hiệu vào các đường quét GL, khiến cho việc quét liên tục có thể được thực hiện đối với các dãy của các đơn vị điểm ảnh P trong bảng hiển thị 3000.

Ví dụ, bộ điều khiển dữ liệu 3030 dùng điện áp chuẩn gamma để biến đổi dữ liệu ảnh kỹ thuật số RGB, mà được đưa vào từ bộ điều khiển định thời 3020, thành các tín hiệu dữ liệu theo các tín hiệu điều khiển dữ liệu DCS từ bộ điều khiển định thời 3020. Bộ điều khiển dữ liệu 3030 cấp các tín hiệu dữ liệu đã được biến đổi vào các đường dữ liệu DL.

Ví dụ, bộ điều khiển định thời 3020 được tạo cấu hình để xử lý dữ liệu ảnh RGB, mà được đưa vào từ bên ngoài, để cho phép dữ liệu ảnh đã được xử lý được tương hợp với kích thước và độ phân giải của bảng hiển thị 3000, và sau đó cấp dữ liệu ảnh đã được xử lý vào bộ điều khiển dữ liệu 3030. Bộ điều khiển định thời 3020 dùng các tín hiệu đồng bộ (ví dụ, đồng hồ chấm DCLK, tín hiệu cho phép dữ liệu DE, tín hiệu đồng bộ nằm ngang và tín hiệu đồng bộ thẳng đứng), mà được đưa vào từ bên ngoài của màn hình 30 để tạo ra các tín hiệu điều khiển cổng GCS và các tín hiệu điều khiển dữ liệu DCS. Bộ điều khiển định thời 3020 lần lượt cấp các tín hiệu điều khiển cổng đã được tạo ra GCS và các tín hiệu điều khiển dữ liệu đã được tạo ra DCS vào bộ điều khiển cổng 3010 và bộ điều khiển dữ liệu 3030, mà được tạo cấu hình tương ứng để điều khiển bộ điều khiển cổng 3010 và bộ điều khiển dữ liệu 3030.

Ví dụ, bộ điều khiển cổng 3010 và bộ điều khiển dữ liệu 3030 có thể được thực hiện như các chip bán dẫn. Màn hình 30 có thể còn có các linh kiện khác như mạch giải mã tín hiệu và mạch biến đổi điện áp. Ví dụ, các linh kiện có thể dùng các linh kiện thông thường hiện có, nên phần mô tả hơn nữa sẽ không được đưa ra ở đây.

Sáng chế theo ít nhất một phương án thực hiện của nó còn đề xuất phương pháp để điều khiển bộ ghi dịch, mà có thể được dùng để điều khiển bộ ghi dịch 10 được tạo ra bởi phương án bất kỳ thực hiện sáng chế. Phương pháp điều khiển có thể nâng cao độ ổn định của tín hiệu đầu ra của bộ ghi dịch 10, tránh gây nhiễu các tín hiệu khác, và sau đó nâng cao chất lượng hiển thị của màn hình dùng bộ ghi dịch 10.

Ví dụ, phương pháp điều khiển bao gồm các bước sau:

trong chu kỳ đưa vào, ghi tín hiệu đầu vào vào trong nút thứ nhất N1 để bật

mạch đầu ra 200;

trong chu kỳ cấp ra, cho phép mạch đầu ra 200 cấp ra tín hiệu đồng hồ đến đầu cuối cấp ra Output;

trong chu kỳ thiết lập lại, bật mạch thiết lập lại 300 dưới sự điều khiển mức điện của nút thứ hai N2 để thiết lập lại đầu cuối cấp ra Output; và

trong chu kỳ giữ thiết lập lại, nạp điện nút thứ nhất N1 để tắt mạch đầu ra 200 dưới sự điều khiển mức điện của nút thứ nhất N1.

Cần lưu ý rằng, phần mô tả chi tiết và các hiệu quả kỹ thuật của phương pháp điều khiển có thể dùng để chỉ phần mô tả về nguyên lý làm việc của bộ ghi dịch 10 được tạo ra bởi phương án thực hiện sáng chế. Phần mô tả hơn nữa sẽ không được đưa ra ở đây.

Cần lưu ý các vấn đề sau:

(1) Các hình vẽ kèm theo chỉ thể hiện các cấu trúc liên quan đến các phương án thực hiện sáng chế, và các cấu trúc khác có thể dùng để chỉ các thiết kế chung.

(2) Trong trường hợp không có xung đột, các dấu hiệu theo một phương án hoặc theo các phương án khác có thể được kết hợp.

Phần mô tả trên đây chỉ liên quan đến các phương án minh họa của sáng chế và không giới hạn phạm vi bảo hộ của sáng chế; phạm vi bảo hộ của sáng chế được xác định bởi các điểm yêu cầu bảo hộ kèm theo.

YÊU CẦU BẢO HỘ

1. Bộ ghi dịch bao gồm: mạch đầu vào, mạch đầu ra, mạch thiết lập lại, mạch điều khiển và mạch ổn định thiết lập lại,

trong đó mạch đầu vào được tạo cấu hình để ghi tín hiệu đầu vào vào trong nút thứ nhất nhằm đáp lại tín hiệu khởi động đầu vào;

mạch đầu ra được tạo cấu hình để cấp ra tín hiệu đầu ra sơ bộ đến đầu cuối cấp ra dưới sự điều khiển mức điện của nút thứ nhất;

mạch thiết lập lại được tạo cấu hình để thiết lập lại đầu cuối cấp ra dưới sự điều khiển mức điện của nút thứ hai;

mạch điều khiển được tạo cấu hình để tác dụng tín hiệu điện áp thứ nhất vào nút thứ hai nhằm đáp lại tín hiệu điều khiển; và

mạch ổn định thiết lập lại được tạo cấu hình để tác dụng tín hiệu điện áp thứ hai vào nút thứ nhất nhằm đáp lại tín hiệu ổn định thiết lập lại;

bộ ghi dịch này còn có mạch ổn định đầu ra, trong đó mạch ổn định đầu ra được tạo cấu hình để được bật hoặc tắt, theo sự thay đổi về mức điện của tín hiệu, mà được cấp ra bởi đầu cuối cấp ra, dưới sự điều khiển của tín hiệu điện áp thứ nhất.

2. Bộ ghi dịch theo điểm 1, trong đó mạch ổn định thiết lập lại có tranzito thứ nhất và tranzito thứ hai, và tín hiệu ổn định thiết lập lại có tín hiệu ổn định thiết lập lại thứ nhất và tín hiệu ổn định thiết lập lại thứ hai;

điện cực cổng của tranzito thứ nhất được tạo cấu hình để được nối với nút thứ hai nhằm lấy mức điện của nút thứ hai làm tín hiệu ổn định thiết lập lại thứ nhất, đầu cuối thứ nhất của tranzito thứ nhất được tạo cấu hình để được nối với đường truyền tín hiệu đồng hồ thứ nhất nhằm nhận tín hiệu đồng hồ thứ nhất làm tín hiệu ổn định thiết lập lại thứ hai, và đầu cuối thứ hai của tranzito thứ nhất được tạo cấu hình để được nối với điện cực cổng của tranzito thứ hai; và

đầu cuối thứ nhất của tranzito thứ hai được tạo cấu hình để được nối với đầu cuối điện áp thứ hai nhằm nhận tín hiệu điện áp thứ hai, và đầu cuối thứ hai của tranzito thứ hai được tạo cấu hình để được nối với nút thứ nhất.

3. Bộ ghi dịch theo điểm 1, trong đó mạch ổn định thiết lập lại có tranzito thứ ba và tranzito thứ tư, và tín hiệu ổn định thiết lập lại có tín hiệu ổn định thiết lập lại thứ nhất và tín hiệu ổn định thiết lập lại thứ hai;

điện cực cổng của tranzito thứ ba được tạo cấu hình để được nối với nút thứ hai nhằm lấy mức điện của nút thứ hai làm tín hiệu ổn định thiết lập lại thứ nhất, đầu cuối thứ nhất của tranzito thứ ba được tạo cấu hình để được nối với đầu cuối điện áp thứ hai nhằm nhận tín hiệu điện áp thứ hai, và đầu cuối thứ hai của tranzito thứ ba được tạo cấu hình để được nối với đầu cuối thứ nhất của tranzito thứ tư; và

điện cực cổng của tranzito thứ tư được tạo cấu hình để được nối với đường truyền tín hiệu đồng hồ thứ nhất nhằm nhận tín hiệu đồng hồ thứ nhất làm tín hiệu ổn định thiết lập lại thứ hai, và đầu cuối thứ hai của tranzito thứ tư được tạo cấu hình để được nối với nút thứ nhất.

4. Bộ ghi dịch theo điểm 1, trong đó mạch đầu vào có tranzito thứ năm; và

điện cực cổng của tranzito thứ năm được tạo cấu hình để được nối với đường truyền tín hiệu đồng hồ thứ hai nhằm nhận tín hiệu đồng hồ thứ hai làm tín hiệu khởi động đầu vào, đầu cuối thứ nhất của tranzito thứ năm được tạo cấu hình để được nối với đường truyền tín hiệu đầu vào nhằm nhận tín hiệu đầu vào, và đầu cuối thứ hai của tranzito thứ năm được tạo cấu hình để được nối với nút thứ nhất.

5. Bộ ghi dịch theo điểm 1, trong đó mạch đầu ra có tranzito thứ sáu và tụ thứ nhất;

điện cực cổng của tranzito thứ sáu được tạo cấu hình để được nối với nút thứ nhất, đầu cuối thứ nhất của tranzito thứ sáu được tạo cấu hình để được nối với đường truyền tín hiệu đồng hồ thứ nhất nhằm nhận tín hiệu đồng hồ thứ nhất làm tín hiệu đầu ra sơ bộ, và đầu cuối thứ hai của tranzito thứ sáu được lấy làm đầu cuối cấp ra; và

điện cực thứ nhất của tụ thứ nhất được tạo cấu hình để được nối với điện cực cổng của tranzito thứ sáu, và điện cực thứ hai của tụ thứ nhất được tạo cấu hình để được nối với đầu cuối thứ hai của tranzito thứ sáu.

6. Bộ ghi dịch theo điểm 1, trong đó mạch thiết lập lại có tranzito thứ bảy và tụ thứ hai;

điện cực cổng của tranzito thứ bảy được tạo cấu hình để được nối với nút thứ hai, đầu cuối thứ nhất của tranzito thứ bảy được tạo cấu hình để được nối với đầu cuối điện áp thứ hai nhằm nhận tín hiệu điện áp thứ hai, và đầu cuối thứ hai của tranzito thứ bảy được tạo cấu hình để được nối với đầu cuối cấp ra; và

điện cực thứ nhất của tụ thứ hai được tạo cấu hình để được nối với điện cực

cổng của tranzito thứ bảy, và điện cực thứ hai của tụ thứ hai được tạo cấu hình để được nối với đầu cuối thứ nhất của tranzito thứ bảy.

7. Bộ ghi dịch theo điểm 1, trong đó mạch điều khiển có tranzito thứ tám và tranzito thứ chín, và tín hiệu điều khiển có tín hiệu điều khiển thứ nhất và tín hiệu điều khiển thứ hai;

điện cực cổng của tranzito thứ tám được tạo cấu hình để được nối với đường truyền tín hiệu đồng hồ thứ hai nhằm nhận tín hiệu đồng hồ thứ hai làm tín hiệu điều khiển thứ nhất, đầu cuối thứ nhất của tranzito thứ tám được tạo cấu hình để được nối với đầu cuối điện áp thứ nhất nhằm nhận tín hiệu điện áp thứ nhất, và đầu cuối thứ hai của tranzito thứ tám được tạo cấu hình để được nối với nút thứ hai; và

điện cực cổng của tranzito thứ chín được tạo cấu hình để được nối với mạch đầu vào nhằm nhận tín hiệu đầu vào, mà được đưa vào từ mạch đầu vào và lấy tín hiệu đầu vào làm tín hiệu điều khiển thứ hai, đầu cuối thứ nhất của tranzito thứ chín được tạo cấu hình để được nối với đường truyền tín hiệu đồng hồ thứ hai nhằm nhận tín hiệu đồng hồ thứ hai, và đầu cuối thứ hai của tranzito thứ chín được tạo cấu hình để được nối với đầu cuối thứ hai của tranzito thứ tám.

8. Bộ ghi dịch theo điểm 1, trong đó mạch ổn định đầu ra bao gồm tranzito thứ mười; và

điện cực cổng của tranzito thứ mười được tạo cấu hình để được nối với đầu cuối điện áp thứ nhất nhằm nhận tín hiệu điện áp thứ nhất, đầu cuối thứ nhất của tranzito thứ mười được tạo cấu hình để được nối với mạch đầu vào và mạch ổn định thiết lập lại, và đầu cuối thứ hai của tranzito thứ mười được tạo cấu hình để được nối với nút thứ nhất.

9. Bộ ghi dịch theo điểm 1, trong đó các tranzito là các tranzito loại P, và vật liệu làm lớp hoạt động của mỗi tranzito loại P có polysilic nhiệt độ thấp.

10. Bộ ghi dịch theo điểm 1, trong đó bộ ghi dịch này còn có mạch ổn định đầu ra,

mạch ổn định đầu ra bao gồm tranzito ổn định đầu ra, điện cực cổng của tranzito ổn định đầu ra được tạo cấu hình để được nối với đầu cuối điện áp thứ hai nhằm nhận tín hiệu điện áp thứ hai, đầu cuối thứ nhất của tranzito ổn định đầu ra được tạo cấu hình để được nối với mạch đầu vào và mạch ổn định thiết lập lại, và

đầu cuối thứ hai của tranzito ổn định đầu ra được tạo cấu hình để được nối với nút thứ nhất; và

tranzito ổn định đầu ra là tranzito loại N, và vật liệu làm lớp hoạt động của tranzito loại N có oxit; và

các tranzito, ngoại trừ tranzito ổn định đầu ra, của bộ ghi dịch đều là tranzito loại P; và vật liệu làm lớp hoạt động của tranzito loại P có polysilic nhiệt độ thấp.

11. Bộ ghi dịch theo điểm 1, trong đó, khi mạch điều khiển bao gồm tranzito thứ chín và mạch ổn định đầu ra bao gồm tranzito thứ mười, tranzito thứ chín và tranzito thứ mười là các tranzito màng mỏng hai cổng; hoặc

khi mạch điều khiển bao gồm tranzito thứ chín và mạch ổn định đầu ra bao gồm tranzito ổn định đầu ra, tranzito thứ chín và tranzito ổn định đầu ra là các tranzito màng mỏng hai cổng.

12. Bộ ghi dịch bao gồm:

tranzito thứ mười một, trong đó điện cực cổng của tranzito thứ mười một được tạo cấu hình để được nối với nút thứ nhất, đầu cuối thứ nhất của tranzito thứ mười một được tạo cấu hình để được nối với đường truyền tín hiệu đồng hồ thứ nhất nhằm nhận tín hiệu đồng hồ thứ nhất, và đầu cuối thứ hai của tranzito thứ mười một được tạo cấu hình để được nối với đầu cuối cấp ra;

tụ thứ ba, trong đó điện cực thứ nhất của tụ thứ ba được tạo cấu hình để được nối với điện cực cổng của tranzito thứ mười một, và điện cực thứ hai của tụ thứ ba được tạo cấu hình để được nối với đầu cuối thứ hai của tranzito thứ mười một;

tranzito thứ mười hai, trong đó điện cực cổng của tranzito thứ mười hai được tạo cấu hình để được nối với đầu cuối điện áp thứ nhất nhằm nhận tín hiệu điện áp thứ nhất, tranzito thứ mười hai còn có đầu cuối thứ nhất và đầu cuối thứ hai, và đầu cuối thứ hai của tranzito thứ mười hai được tạo cấu hình để được nối với nút thứ nhất;

tranzito thứ mười ba, trong đó điện cực cổng của tranzito thứ mười ba được tạo cấu hình để được nối với tín hiệu đồng hồ thứ hai nhằm nhận tín hiệu đồng hồ thứ hai, đầu cuối thứ nhất của tranzito thứ mười ba được tạo cấu hình để được nối với đầu cuối đưa vào nhằm nhận tín hiệu đầu vào, và đầu cuối thứ hai của tranzito thứ mười ba được tạo cấu hình để được nối với đầu cuối thứ nhất của tranzito thứ mười hai;

tranzito thứ mười bốn, trong đó điện cực cổng của tranzito thứ mười bốn được tạo cấu hình để được nối với nút thứ hai, đầu cuối thứ nhất của tranzito thứ mười bốn được tạo cấu hình để được nối với đầu cuối điện áp thứ hai nhằm nhận tín hiệu điện áp thứ hai, và đầu cuối thứ hai của tranzito thứ mười bốn được tạo cấu hình để được nối với đầu cuối thứ hai của tranzito thứ mười một;

tụ thứ tư, trong đó điện cực thứ nhất của tụ thứ tư được tạo cấu hình để được nối với điện cực cổng của tranzito thứ mười bốn, và điện cực thứ hai của tụ thứ tư được tạo cấu hình để được nối với đầu cuối thứ nhất của tranzito thứ mười bốn;

tranzito thứ mười năm, trong đó điện cực cổng của tranzito thứ mười năm được tạo cấu hình để được nối với nút thứ hai, và đầu cuối thứ nhất của tranzito thứ mười năm được tạo cấu hình để được nối với đường truyền tín hiệu đồng hồ thứ nhất nhằm nhận tín hiệu đồng hồ thứ nhất;

tranzito thứ mười sáu, trong đó điện cực cổng của tranzito thứ mười sáu được tạo cấu hình để được nối với đầu cuối thứ hai của tranzito thứ mười năm, đầu cuối thứ nhất của tranzito thứ mười sáu được tạo cấu hình để được nối với đầu cuối điện áp thứ hai nhằm nhận tín hiệu điện áp thứ hai, và đầu cuối thứ hai của tranzito thứ mười sáu được tạo cấu hình để được nối với đầu cuối thứ nhất của tranzito thứ mười hai;

tranzito thứ mười bảy, trong đó điện cực cổng của tranzito thứ mười bảy được tạo cấu hình để được nối với đường truyền tín hiệu đồng hồ thứ hai nhằm nhận tín hiệu đồng hồ thứ hai, đầu cuối thứ nhất của tranzito thứ mười bảy được tạo cấu hình để được nối với đầu cuối điện áp thứ nhất nhằm nhận tín hiệu điện áp thứ nhất, và đầu cuối thứ hai của tranzito thứ mười bảy được tạo cấu hình để được nối với nút thứ hai; và

tranzito thứ mười tám, trong đó điện cực cổng của tranzito thứ mười tám được tạo cấu hình để được nối với đầu cuối thứ hai của tranzito thứ mười ba, đầu cuối thứ nhất của tranzito thứ mười tám được tạo cấu hình để được nối với đường truyền tín hiệu đồng hồ thứ hai nhằm nhận tín hiệu đồng hồ thứ hai, và đầu cuối thứ hai của tranzito thứ mười tám được tạo cấu hình để được nối với nút thứ hai.

13. Bộ ghi dịch bao gồm:

tranzito thứ mười chín, trong đó điện cực cổng của tranzito thứ mười chín được tạo cấu hình để được nối với nút thứ nhất, đầu cuối thứ nhất của tranzito thứ mười chín được tạo cấu hình để được nối với đường truyền tín hiệu đồng hồ thứ nhất

nhằm nhận tín hiệu đồng hồ thứ nhất, và đầu cuối thứ hai của tranzito thứ mười chín được tạo cấu hình để được nối với đầu cuối cấp ra;

tụ thứ năm, trong đó điện cực thứ nhất của tụ thứ năm được tạo cấu hình để được nối với điện cực cổng của tranzito thứ mười chín, và điện cực thứ hai của tụ thứ năm được tạo cấu hình để được nối với đầu cuối thứ hai của tranzito thứ mười chín;

tranzito thứ hai mươi, trong đó điện cực cổng của tranzito thứ hai mươi được tạo cấu hình để được nối với đầu cuối điện áp thứ nhất nhằm nhận tín hiệu điện áp thứ nhất, tranzito thứ hai mươi còn có đầu cuối thứ nhất và đầu cuối thứ hai, và đầu cuối thứ hai của tranzito thứ hai mươi được tạo cấu hình để được nối với nút thứ nhất;

tranzito thứ hai mươi một, trong đó điện cực cổng của tranzito thứ hai mươi một được tạo cấu hình để được nối với đường truyền tín hiệu đồng hồ thứ hai nhằm nhận tín hiệu đồng hồ thứ hai, đầu cuối thứ nhất của tranzito thứ hai mươi một được tạo cấu hình để được nối với đầu cuối đưa vào nhằm nhận tín hiệu đầu vào, và đầu cuối thứ hai của tranzito thứ hai mươi một được tạo cấu hình để được nối với đầu cuối thứ nhất của tranzito thứ hai mươi;

tranzito thứ hai mươi hai, trong đó điện cực cổng của tranzito thứ hai mươi hai được tạo cấu hình để được nối với nút thứ hai, đầu cuối thứ nhất của tranzito thứ hai mươi hai được tạo cấu hình để được nối với đầu cuối điện áp thứ hai nhằm nhận tín hiệu điện áp thứ hai, và đầu cuối thứ hai của tranzito thứ hai mươi hai được tạo cấu hình để được nối với đầu cuối thứ hai của tranzito thứ mười chín;

tụ thứ sáu, trong đó điện cực thứ nhất của tụ thứ sáu được tạo cấu hình để được nối với điện cực cổng của tranzito thứ hai mươi hai, và điện cực thứ hai của tụ thứ sáu được tạo cấu hình để được nối với đầu cuối thứ nhất của tranzito thứ hai mươi hai;

tranzito thứ hai mươi ba, trong đó điện cực cổng của tranzito thứ hai mươi ba được tạo cấu hình để được nối với nút thứ hai, và đầu cuối thứ nhất của tranzito thứ hai mươi ba được tạo cấu hình để được nối với đầu cuối điện áp thứ hai nhằm nhận tín hiệu điện áp thứ hai;

tranzito thứ hai mươi tư, trong đó điện cực cổng của tranzito thứ hai mươi tư được tạo cấu hình để được nối với đường truyền tín hiệu đồng hồ thứ nhất nhằm nhận tín hiệu đồng hồ thứ nhất, đầu cuối thứ nhất của tranzito thứ hai mươi tư được tạo cấu hình để được nối với đầu cuối thứ hai của tranzito thứ hai mươi ba, và đầu

cuối thứ hai của tranzito thứ hai mươi tư được tạo cấu hình để được nối với đầu cuối thứ nhất của tranzito thứ hai mươi;

tranzito thứ hai mươi năm, trong đó điện cực cổng của tranzito thứ hai mươi năm được tạo cấu hình để được nối với đường truyền tín hiệu đồng hồ thứ hai nhằm nhận tín hiệu đồng hồ thứ hai, đầu cuối thứ nhất của tranzito thứ hai mươi năm được tạo cấu hình để được nối với đầu cuối điện áp thứ nhất nhằm nhận tín hiệu điện áp thứ nhất, và đầu cuối thứ hai của tranzito thứ hai mươi năm được tạo cấu hình để được nối với nút thứ hai; và

tranzito thứ hai mươi sáu, trong đó điện cực cổng của tranzito thứ hai mươi sáu được tạo cấu hình để được nối với đầu cuối thứ hai của tranzito thứ hai mươi một, đầu cuối thứ nhất của tranzito thứ hai mươi sáu được tạo cấu hình để được nối với đường truyền tín hiệu đồng hồ thứ hai nhằm nhận tín hiệu đồng hồ thứ hai, và đầu cuối thứ hai của tranzito thứ hai mươi sáu được tạo cấu hình để được nối với nút thứ hai.

14. Mạch điều khiển cổng có các bộ ghi dịch, mà được xếp tầng, trong đó các bộ ghi dịch có các bộ ghi dịch thứ nhất P, mỗi bộ ghi dịch thứ nhất dùng bộ ghi dịch theo điểm 1, và P là số nguyên lớn hơn một.

15. Màn hình có mạch điều khiển cổng theo điểm 14.

16. Màn hình theo điểm 15, trong đó màn hình này còn có các đường quét và các đơn vị điểm ảnh được bố trí trong các dãy,

trong đó các đường quét được nối tương ứng với các dãy của các đơn vị điểm ảnh;

các đầu cuối cấp ra của các bộ ghi dịch trong mạch điều khiển cổng được nối tương ứng với các đường quét; và

đầu cuối cấp ra của bộ ghi dịch ở giai đoạn thứ (N) còn được nối với mạch đầu vào của bộ ghi dịch ở giai đoạn thứ (N+1) để cấp tín hiệu đầu vào, và N là số nguyên lớn hơn không.

17. Mạch điều khiển cổng có các bộ ghi dịch, mà được xếp tầng, trong đó các bộ ghi dịch có các bộ ghi dịch thứ nhất P, mỗi bộ ghi dịch thứ nhất dùng bộ ghi dịch theo điểm 12, và P là số nguyên lớn hơn một.

18. Màn hình có mạch điều khiển cổng theo điểm 17.

19. Mạch điều khiển cổng có các bộ ghi dịch, mà được xếp tầng, trong đó các bộ ghi dịch có các bộ ghi dịch thứ nhất P , mỗi bộ ghi dịch thứ nhất dùng bộ ghi dịch theo điểm 13, và P là số nguyên lớn hơn một.

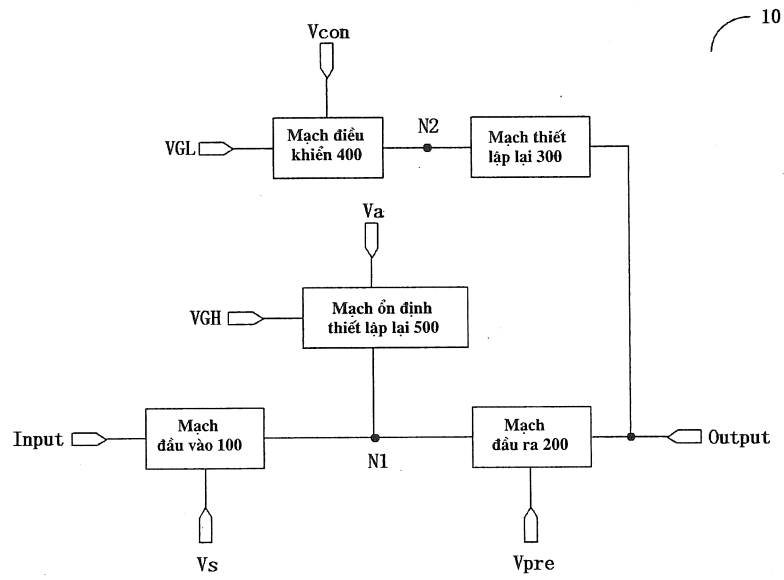


FIG. 1

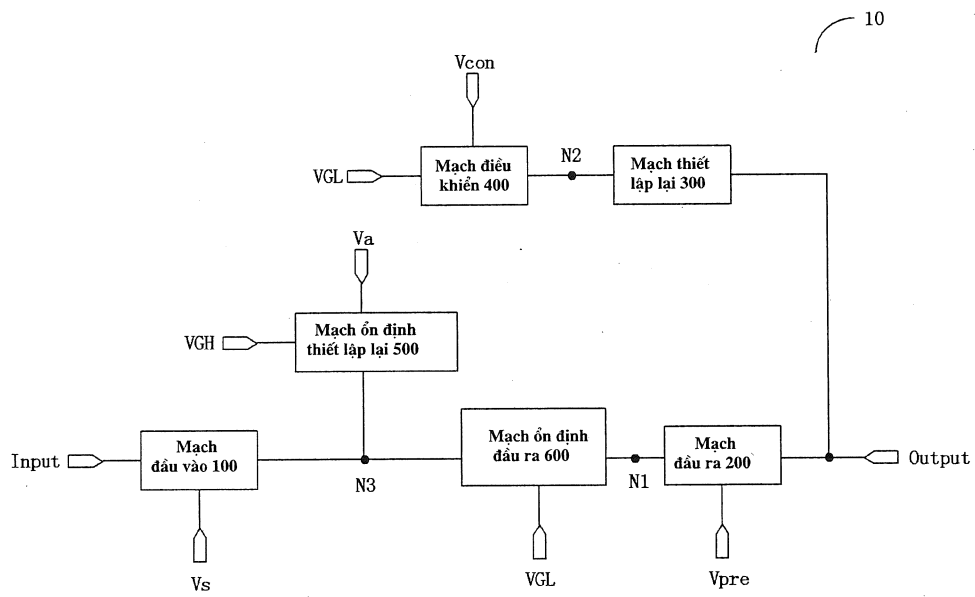


FIG. 2

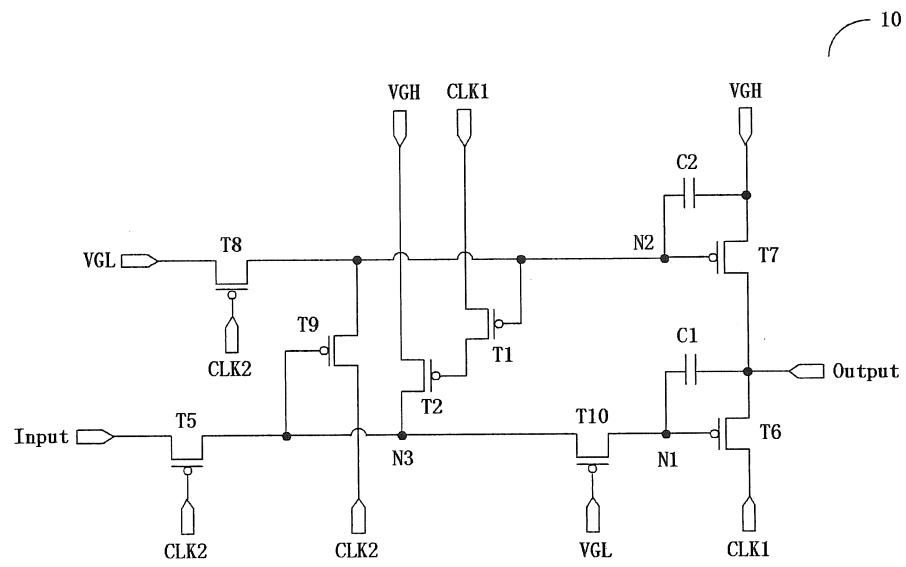


FIG. 3

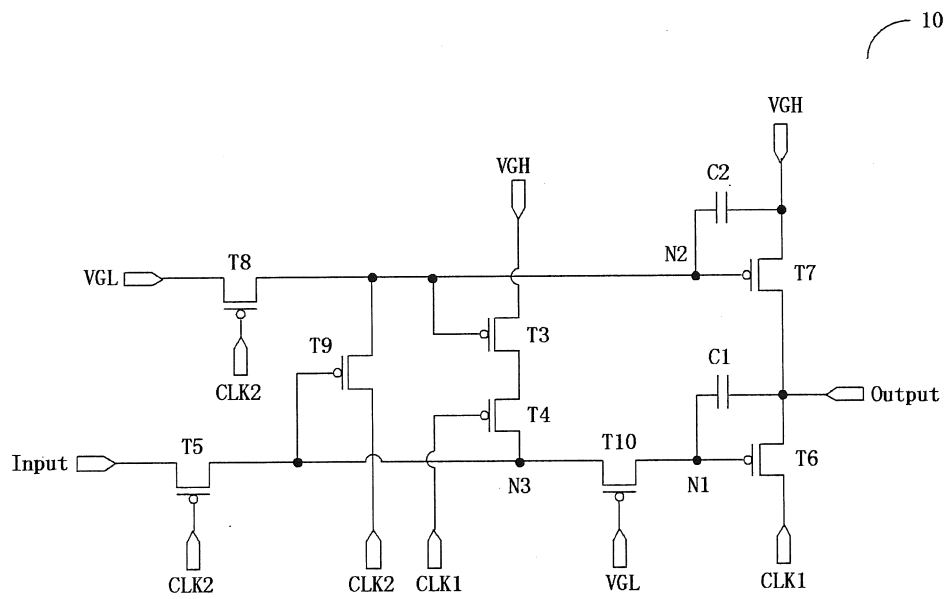


FIG. 4

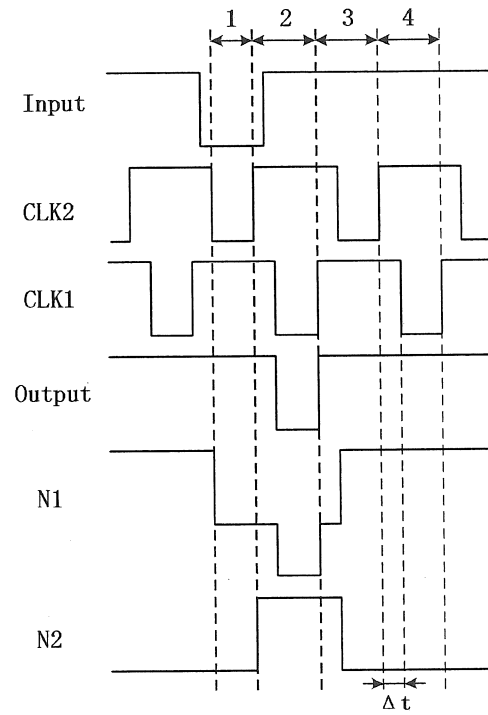


FIG. 5

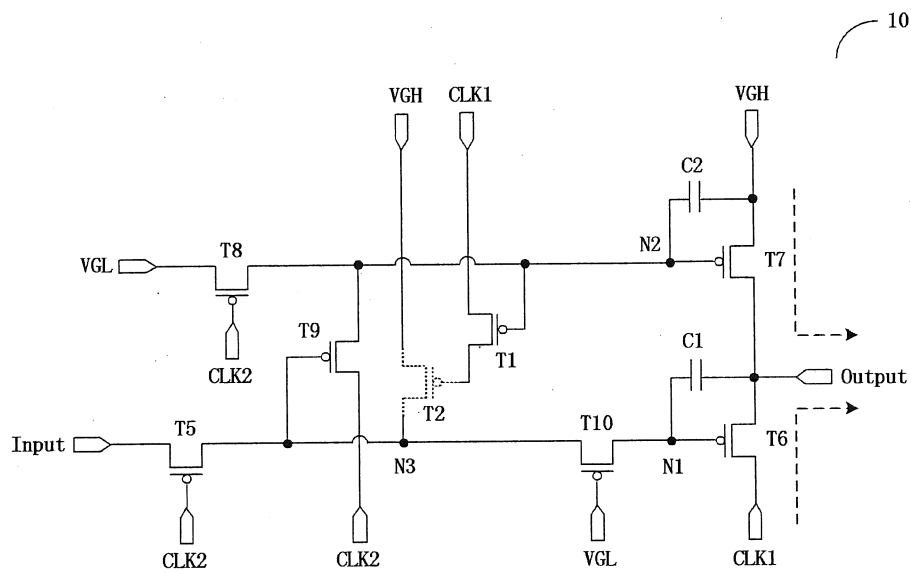


FIG. 6A

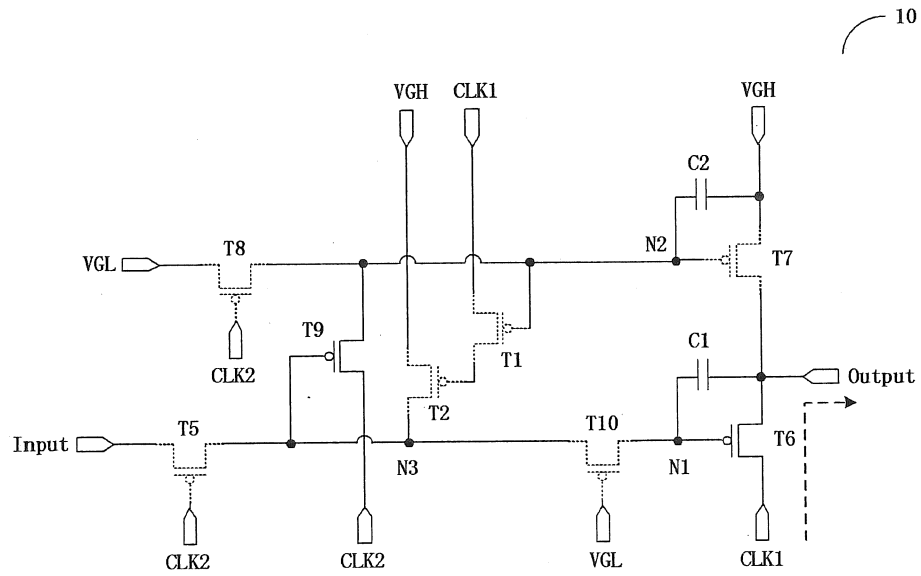


FIG. 6B

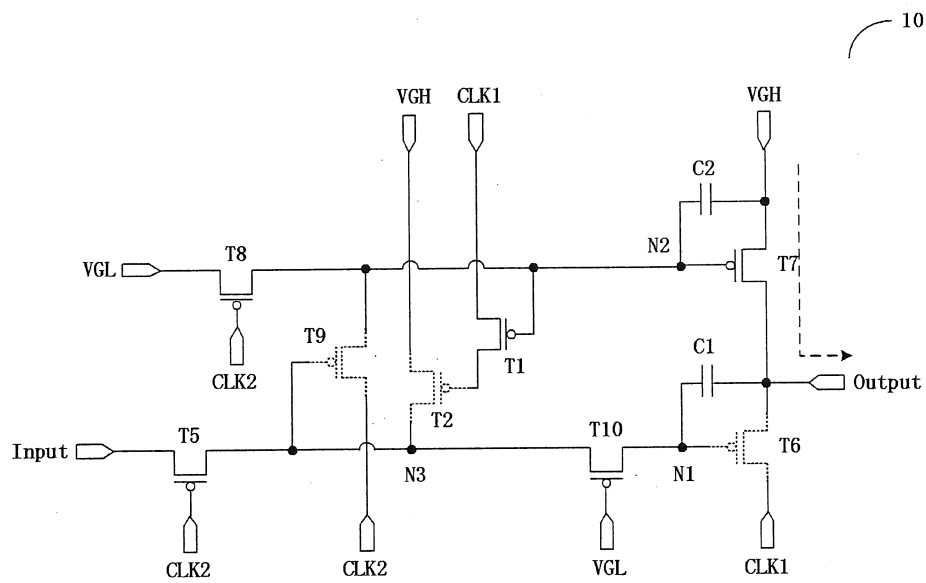


FIG. 6C

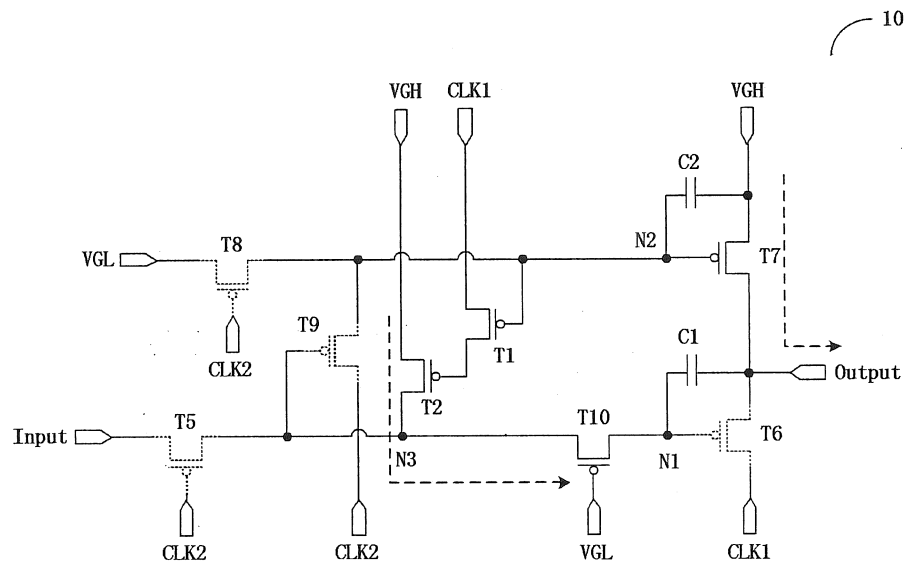


FIG. 6D

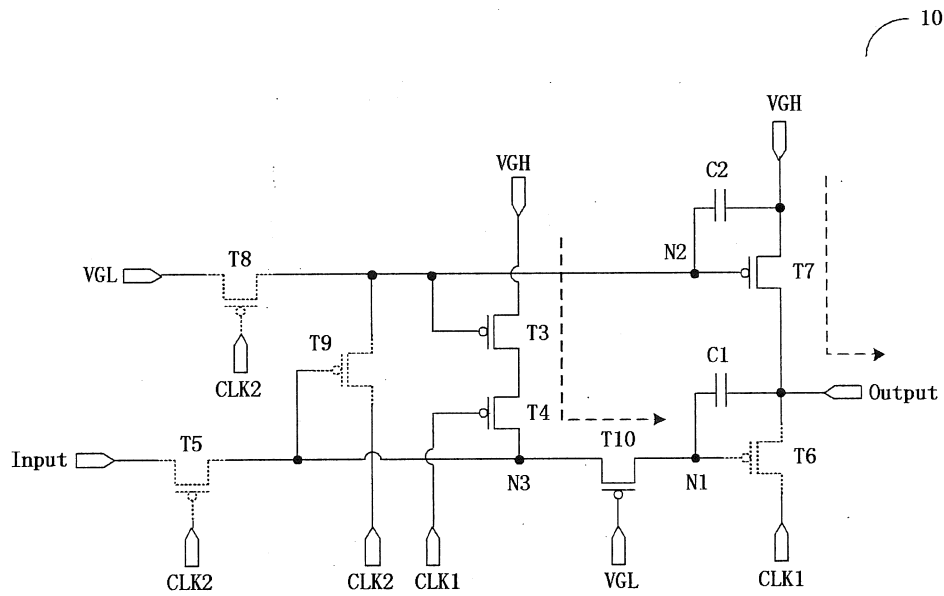


FIG. 7

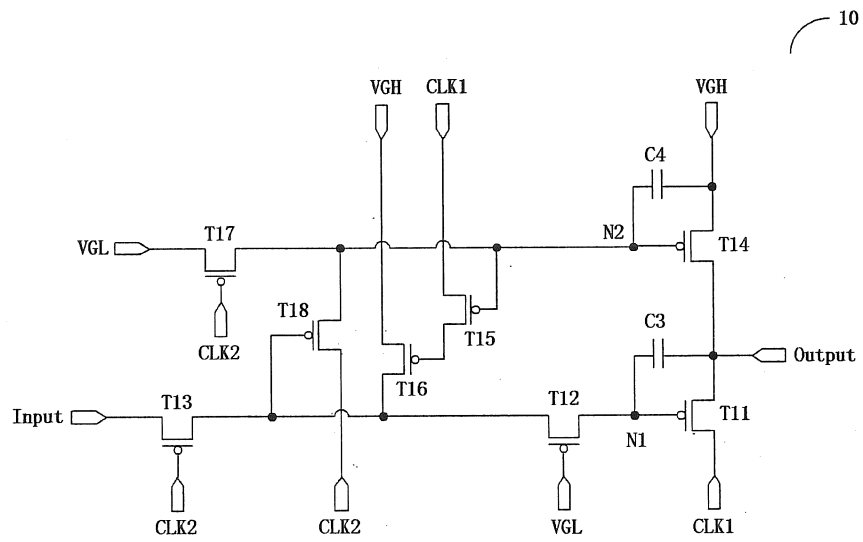


FIG. 8

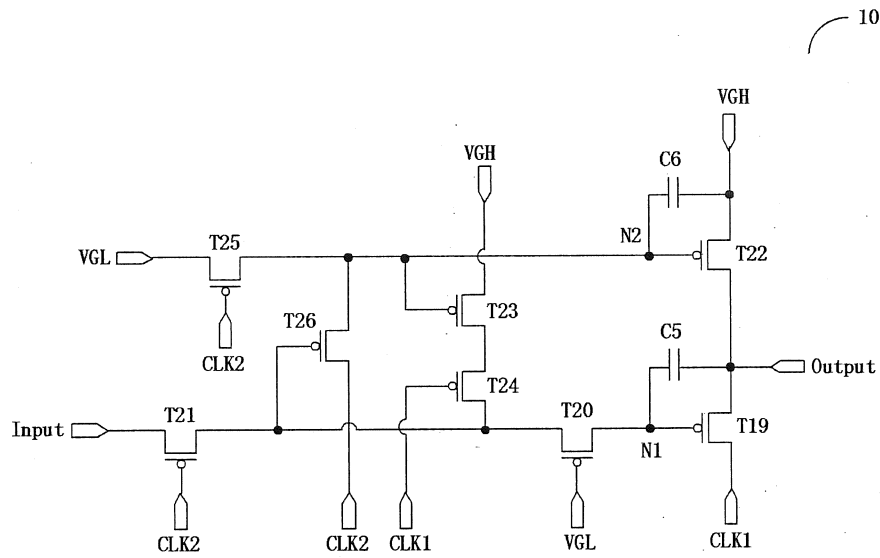


FIG. 9

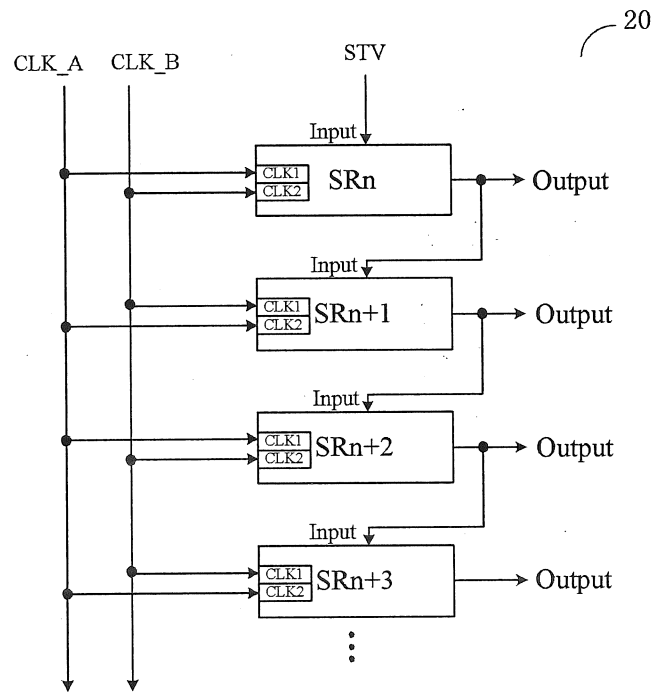


FIG. 10

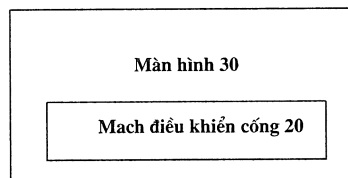


FIG. 11

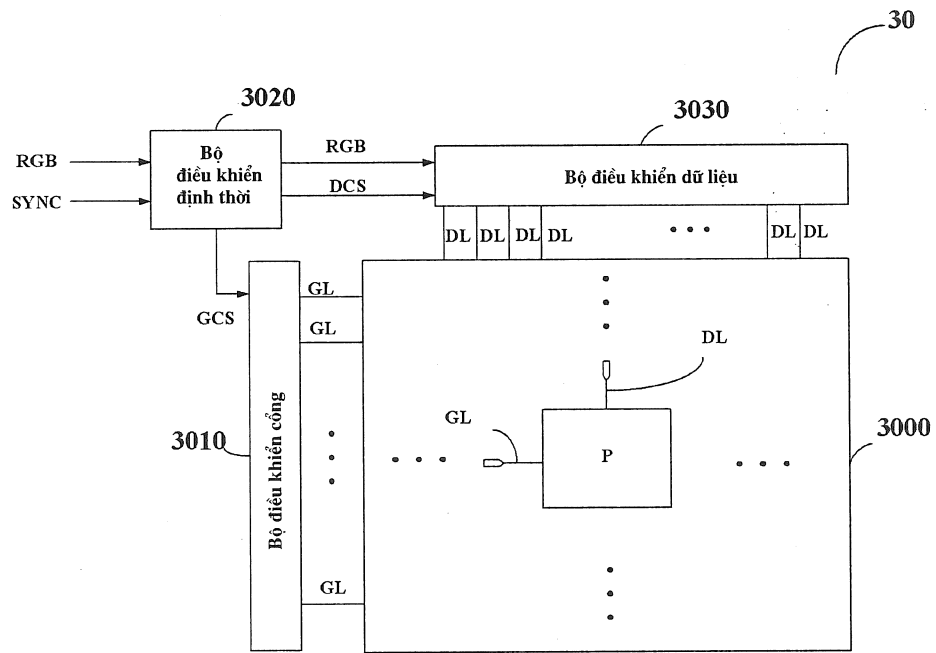


FIG. 12