



- (12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ
(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN) (11) 
CỤC SỞ HỮU TRÍ TUỆ 1-0048925
(51)^{2022.01} G11C 7/14; G11C 29/00; G11C 7/24; (13) B
G11C 17/16; G11C 7/06
-

- (21) 1-2022-07756 (22) 30/04/2021
(86) PCT/US2021/030235 30/04/2021 (87) WO 2021/247176 09/12/2021
(30) 16/894,606 05/06/2020 US
(45) 25/07/2025 448 (43) 27/03/2023 420A
(73) Qualcomm Incorporated (US)
Attn: International IP Administration, 5775 Morehouse Drive, San Diego, California
92121-1714, United States of America
(72) KOTA, Anil Chowdary (US); LEE, Hochul (KR).
(74) Công ty TNHH Quốc tế D & N (D&N INTERNATIONAL CO.,LTD.)
-

- (54) THIẾT BỊ NHỚ, HỆ THỐNG THIẾT BỊ NHỚ VÀ PHƯƠNG PHÁP THỰC HIỆN
HOẠT ĐỘNG ĐỌC DỰ PHÒNG TRONG THIẾT BỊ NHỚ

(21) 1-2022-07756

(57) Các khía cạnh của sáng chế đề xuất thiết bị nhớ có dự phòng linh hoạt được tích hợp sẵn. Theo các khía cạnh nhất định, thiết bị nhớ bao gồm bộ khuếch đại cảm biến thứ nhất, bộ khuếch đại cảm biến thứ hai, bộ so sánh thứ nhất, bộ so sánh thứ hai, mạch tham chiếu, và cổng logic. Trong suốt hoạt động đọc dự phòng, bộ khuếch đại cảm biến thứ nhất, bộ so sánh thứ nhất, và mạch tham chiếu được sử dụng để đọc một bản sao chép của bit dự phòng được lưu trong thiết bị nhớ, và bộ khuếch đại cảm biến thứ hai, bộ so sánh thứ hai, và mạch tham chiếu được sử dụng để đọc bản sao chép khác của bit dự phòng được lưu trong thiết bị nhớ. Sau đó, cổng logic có thể xác định giá trị bit dựa vào các giá trị bit của các bản sao chép của bit dự phòng đọc được (ví dụ, xác định giá trị bit là 1 nếu giá trị bit của ít nhất một trong các bản sao chép của bit dự phòng đọc được là 1). Sáng chế còn đề cập đến hệ thống thiết bị nhớ và phương pháp thực hiện hoạt động đọc dự phòng trong thiết bị nhớ.

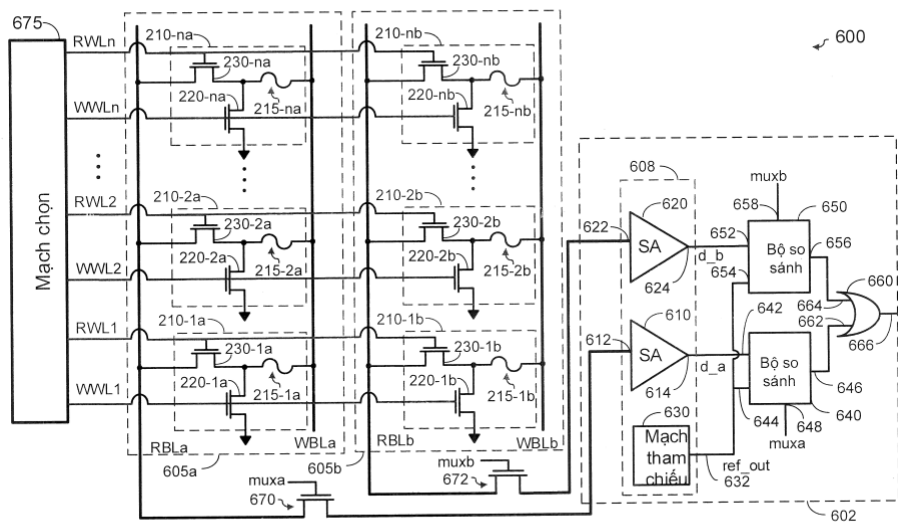


FIG. 6A

Lĩnh vực kỹ thuật được đề cập

Sáng chế nói chung đề cập đến bộ nhớ, và cụ thể hơn là thiết bị nhớ có dự phòng linh hoạt được tích hợp sẵn.

Tình trạng kỹ thuật của sáng chế

Bộ nhớ không khả biến có thể lưu trữ dữ liệu mà không cần nguồn điện. Thiết bị nhớ không khả biến có thể bao gồm mảng các ô bit trong đó mỗi ô bit lưu trữ một bit tương ứng. Mỗi ô bit trong mảng có thể bao gồm một cầu chì tương ứng (ví dụ, cầu chì điện (eFuse)), trong đó giá trị của bit được lưu trữ trong ô bit phụ thuộc vào việc cầu chì tương ứng có bị ngắt hay không.

Bản chất kỹ thuật của sáng chế

Phần sau đây trình bày bản chất kỹ thuật ngắn gọn của một hoặc nhiều phương án thực hiện để cung cấp hiểu biết cơ bản về các phương án thực hiện đó. Phần bản chất kỹ thuật này không phải là tổng quan bao quát về tất cả các phương án thực hiện được thiết kế và không nhằm mục đích xác định các yếu tố chính hoặc quan trọng của tất cả các phương án thực hiện cũng như mô tả phạm vi của bất kỳ hoặc tất cả các phương án thực hiện. Mục đích duy nhất của nó là trình bày một số khái niệm về một hoặc nhiều phương án thực hiện ở dạng đơn giản hóa như phần mở đầu cho phần mô tả chi tiết hơn sẽ được trình bày sau này.

Khía cạnh thứ nhất của sáng chế đề xuất thiết bị nhớ. Thiết bị nhớ bao gồm bộ khuếch đại cảm biến thứ nhất có đầu vào và đầu ra, công tắc thứ nhất được ghép nối giữa đầu vào của bộ khuếch đại cảm biến thứ nhất và đường bit (đường bit, kết nối các ô nhớ theo cột) thứ nhất, bộ khuếch đại cảm biến thứ hai có đầu vào và đầu ra, công tắc thứ hai được ghép nối giữa đầu vào của bộ khuếch đại cảm biến thứ hai và đường bit thứ hai, và mạch tham chiếu có đầu ra. Thiết bị nhớ cũng bao gồm bộ so sánh thứ nhất có đầu vào thứ nhất, đầu vào thứ hai, và đầu ra, trong đó đầu vào thứ nhất của bộ so sánh thứ nhất được ghép nối với đầu ra của bộ khuếch đại cảm biến thứ nhất, và đầu vào thứ hai của bộ so sánh thứ nhất được ghép nối với đầu ra của mạch tham chiếu. Thiết bị nhớ cũng bao gồm bộ so sánh thứ hai có đầu vào thứ nhất, đầu vào thứ hai, và đầu ra, trong đó đầu vào thứ nhất của

bộ so sánh thứ hai được ghép nối với đầu ra của bộ khuếch đại cảm biến thứ hai, và đầu vào thứ hai của bộ so sánh thứ hai được ghép nối với đầu ra của mạch tham chiếu. Thiết bị nhớ còn bao gồm cổng logic có đầu vào thứ nhất, đầu vào thứ hai, và đầu ra, trong đó đầu vào thứ nhất của cổng logic được ghép nối với đầu ra của bộ so sánh thứ nhất, và đầu vào thứ hai của cổng logic được ghép nối với đầu ra của bộ so sánh thứ hai.

Khía cạnh thứ hai của sáng chế đề xuất thiết bị nhớ. Thiết bị nhớ bao gồm mạch tham chiếu có đầu ra phân cực. Thiết bị nhớ cũng bao gồm bóng bán dẫn thứ nhất, trong đó cực nguồn của bóng bán dẫn thứ nhất được ghép nối với ray cấp nguồn, và cực cổng của bóng bán dẫn thứ nhất được ghép nối với đầu ra phân cực của mạch tham chiếu, bóng bán dẫn thứ hai, trong đó cực máng của bóng bán dẫn thứ hai được ghép nối với cực máng của bóng bán dẫn thứ nhất, và cực cổng của bóng bán dẫn thứ hai được phân cực bởi điện áp phân cực, và công tắc thứ nhất được ghép nối giữa cực nguồn của bóng bán dẫn thứ hai và đường bit thứ nhất. Thiết bị nhớ cũng bao gồm bóng bán dẫn thứ ba, trong đó cực nguồn của bóng bán dẫn thứ ba được ghép nối với ray cấp nguồn, và cực cổng của bóng bán dẫn thứ ba được ghép nối với đầu ra phân cực của mạch tham chiếu, bóng bán dẫn thứ tư, trong đó cực máng của bóng bán dẫn thứ tư được ghép nối với cực máng của bóng bán dẫn thứ ba, và cực cổng của bóng bán dẫn thứ tư được phân cực bởi điện áp phân cực, và công tắc thứ hai được ghép nối giữa cực nguồn của bóng bán dẫn thứ tư và đường bit thứ hai.

Khía cạnh thứ ba của sáng chế đề xuất hệ thống. Hệ thống bao gồm thiết bị nhớ thứ nhất và bộ xử lý được ghép nối với thiết bị nhớ thứ nhất. Thiết bị nhớ thứ nhất bao gồm bộ khuếch đại cảm biến thứ nhất có đầu vào và đầu ra, công tắc thứ nhất được ghép nối giữa đầu vào của bộ khuếch đại cảm biến thứ nhất và đường bit thứ nhất, bộ khuếch đại cảm biến thứ hai có đầu vào và đầu ra, công tắc thứ hai được ghép nối giữa đầu vào của bộ khuếch đại cảm biến thứ hai và đường bit thứ hai, và một mạch tham chiếu có đầu ra. Thiết bị nhớ thứ nhất cũng bao gồm bộ so sánh thứ nhất có đầu vào thứ nhất, đầu vào thứ hai, và đầu ra, trong đó đầu vào thứ nhất của bộ so sánh thứ nhất được ghép nối với đầu ra của bộ khuếch đại cảm biến thứ nhất, và đầu vào thứ hai của bộ so sánh thứ nhất được ghép nối với đầu ra của mạch tham chiếu. Thiết bị nhớ thứ nhất cũng bao gồm bộ so sánh thứ hai có đầu vào thứ nhất, đầu vào thứ hai, và đầu ra, trong đó đầu vào thứ nhất của bộ so sánh thứ hai được ghép nối với đầu ra của bộ khuếch đại cảm biến thứ hai, và đầu vào thứ hai của bộ so sánh thứ hai được ghép nối với đầu ra của mạch tham chiếu. Thiết bị nhớ thứ nhất còn bao gồm cổng logic có đầu vào thứ nhất, đầu vào thứ hai, và đầu ra, trong đó đầu vào

thứ nhất của cổng logic được ghép nối với đầu ra của bộ so sánh thứ nhất, và đầu vào thứ hai của cổng logic được ghép nối với đầu ra của bộ so sánh thứ hai.

Khía cạnh thứ tư liên quan đến phương pháp thực hiện hoạt động đọc dữ phòng trong thiết bị nhớ. Thiết bị nhớ bao gồm bộ khuếch đại cảm biến thứ nhất, công tắc thứ nhất được ghép nối giữa đầu vào của bộ khuếch đại cảm biến thứ nhất và đường bit thứ nhất, bộ khuếch đại cảm biến thứ hai, và công tắc thứ hai được ghép nối giữa đầu vào của bộ khuếch đại cảm biến thứ hai và đường bit thứ hai. Phương pháp này bao gồm bật công tắc thứ nhất và công tắc thứ hai, so sánh điện áp thứ nhất ở đầu ra của bộ khuếch đại cảm biến thứ nhất với điện áp tham chiếu, và xác định giá trị bit thứ nhất dựa vào so sánh điện áp thứ nhất với điện áp tham chiếu. Phương pháp này cũng bao gồm so sánh điện áp thứ hai ở đầu ra của bộ khuếch đại cảm biến thứ hai với điện áp tham chiếu, và xác định giá trị bit thứ hai dựa vào so sánh điện áp thứ hai với điện áp tham chiếu. Phương pháp này còn bao gồm xác định giá trị bit thứ ba dựa vào giá trị bit thứ nhất và giá trị bit thứ hai.

Mô tả vắn tắt các hình vẽ

Fig.1 thể hiện một ví dụ về các ô bit trong đó mỗi ô bit bao gồm cầu chì tương ứng theo các khía cạnh nhất định của sáng chế.

Fig.2 thể hiện một ví dụ khác về các ô bit trong đó mỗi ô bit bao gồm cầu chì tương ứng theo các khía cạnh nhất định của sáng chế.

Fig.3A thể hiện đường dẫn làm ví dụ của dòng ghi để ngắt cầu chì trong ô bit theo các khía cạnh nhất định của sáng chế.

Fig.3B thể hiện đường dẫn làm ví dụ của dòng cảm ứng để đọc một ô bit theo các khía cạnh nhất định của sáng chế.

Fig.4A thể hiện ví dụ về sự phân bố điện trở đối với các ô bit có cầu chì bị ngắt theo các khía cạnh nhất định của sáng chế.

Fig.4B thể hiện ví dụ về sự phân bố điện trở đối với các ô bit có cầu chì bị ngắt sau nhiều hoạt động đọc theo các khía cạnh nhất định của sáng chế.

Fig.5 thể hiện ví dụ trong đó hai bản sao dữ liệu được lưu trữ trong hai thiết bị nhớ riêng biệt để dự phòng kép theo các khía cạnh nhất định của sáng chế.

Các Fig.6A và Fig.6B thể hiện thiết bị nhớ làm ví dụ có dự phòng linh hoạt được tích hợp sẵn theo các khía cạnh nhất định của sáng chế.

Fig.7 thể hiện phương án thực hiện làm ví dụ của mạch cảm biến theo các khía cạnh nhất định của sáng chế.

Fig.8A thể hiện phương án thực hiện làm ví dụ của logic điều khiển theo các khía cạnh nhất định của sáng chế.

Fig.8B thể hiện bảng chân lý làm ví dụ cho logic điều khiển ví dụ trên Fig.8A theo các khía cạnh nhất định của sáng chế.

Fig.9A thể hiện ví dụ về dữ liệu dư và dữ liệu không dư được lưu trữ trong mảng bộ nhớ theo các khía cạnh nhất định của sáng chế.

Fig.9B thể hiện ví dụ khác về dữ liệu dư và dữ liệu không dư được lưu trữ trong mảng bộ nhớ theo các khía cạnh nhất định của sáng chế.

Fig.10 thể hiện ví dụ về hệ thống trong đó các khía cạnh của sáng chế có thể được sử dụng theo các khía cạnh nhất định của sáng chế.

Fig.11 là lưu đồ minh họa phương pháp thực hiện hoạt động đọc dự phòng trong thiết bị nhớ theo các khía cạnh nhất định của sáng chế.

Mô tả chi tiết sáng chế

Phần mô tả chi tiết được trình bày dưới đây, cùng với các hình vẽ kèm theo, nhằm mục đích mô tả các cấu hình khác nhau và không nhằm trình bày các cấu hình duy nhất mà các khái niệm được mô tả ở đây có thể được thực hiện. Phần mô tả chi tiết bao gồm các chi tiết cụ thể nhằm mục đích cung cấp sự hiểu biết thấu đáo về các khái niệm khác nhau. Tuy nhiên, những người có hiểu biết trung bình trong lĩnh vực này sẽ thấy rõ rằng các khái niệm này có thể được thực hiện mà không cần các mô tả chi tiết cụ thể này. Trong một số trường hợp, các cấu trúc và thành phần đã biết được thể hiện dưới dạng sơ đồ khối để tránh che khuất các khái niệm như vậy.

Thiết bị nhớ có thể được sử dụng để lưu trữ dữ liệu như firmware, các khóa bảo mật, các cài đặt hệ thống, v.v. Thiết bị nhớ bao gồm một mảng các ô bit được sắp xếp thành các hàng và cột (được gọi là một mảng bộ nhớ), trong đó mỗi ô bit lưu trữ một bit đơn.

Fig.1 thể hiện ví dụ về cột 105 gồm các ô bit 110-1 đến 110-n trong một mảng bộ nhớ được ghép nối với một đường bit (được đánh dấu là “BL”). Mỗi ô trong số các ô bit từ 110-1 đến 110-n cũng được ghép nối với một đường từ (được đánh dấu là “WL1” đến “WLn”) tương ứng. Các đường từ từ WL1 đến WLn có thể được sử dụng để chọn một trong các ô bit 110-1 đến 110-n trong cột tại một thời điểm.

Trong ví dụ này, mỗi ô bit 110-1 đến 110-n bao gồm một bóng bán dẫn tương ứng từ 120-1 đến 120-n (ví dụ, bóng bán dẫn hiệu ứng trường loại n (n-type field effect transistor - NFET)) và cầu chì tương ứng 115-1 đến 115-n (ví dụ, eFuse). Trong mỗi ô bit 110-1 đến 110-n, cầu chì tương ứng 115-1 đến 115-n được ghép nối giữa đường bit BL và cực máng của bóng bán dẫn tương ứng 120-1 đến 120-n, cực cổng của bóng bán dẫn tương ứng 120-1 đến 120-n được ghép nối với đường từ tương ứng WL1 đến WLn, và cực nguồn của bóng bán dẫn tương ứng 120-1 đến 120-n được nối đất.

Giá trị bit được lưu trữ trong mỗi ô bit 110-1 đến 110-n phụ thuộc vào việc cầu chì tương ứng 115-1 đến 115-n có bị ngắt hay không. Ví dụ, một ô bit có thể lưu trữ giá trị bit bằng 0 nếu cầu chì tương ứng 115-1 đến 115-n không bị ngắt và lưu trữ giá trị bit bằng 1 nếu cầu chì tương ứng 115-1 đến 115-n bị ngắt. Điện trở của cầu chì không bị ngắt có thể thấp (ví dụ, 50 Ω) và điện trở của cầu chì bị ngắt có thể cao (ví dụ, 10 K Ω). Do đó, giá trị bit được lưu trữ trong một ô bit có thể được đọc bằng cách cảm biến điện trở của cầu chì tương ứng, như được thảo luận thêm bên dưới.

Để ngắt cầu chì của một trong các ô bit 110-1 đến 110-n (tức là, lập trình ô bit với giá trị bit là 1), mạch chọn sẽ chọn đường từ tương ứng với ô bit, và mạch ghi sẽ gửi dòng điện cao qua cầu chì của ô bit thông qua đường bit BL để ngắt cầu chì. Dòng điện cao làm di chuyển điện kim loại trong cầu chì, làm cho điện trở của cầu chì tăng lên đáng kể.

Để đọc bit được lưu trữ trong một trong các ô bit 110-1 đến 110-n, mạch chọn sẽ chọn đường từ tương ứng với ô bit, và mạch đọc cảm biến điện trở của cầu chì tương ứng thông qua đường bit BL. Ví dụ, mạch đọc có thể cảm biến điện trở của cầu chì tương ứng bằng cách gửi dòng điện cảm biến qua cầu chì tương ứng qua đường bit BL, và cảm biến điện áp kết quả trên đường bit BL, đây là một chức năng của điện trở của cầu chì tương ứng. Mạch đọc có thể đọc là 1 nếu điện trở cao, tương ứng với cầu chì bị ngắt và mạch đọc có thể đọc là 0 nếu điện trở thấp, tương ứng với cầu chì không bị ngắt.

Fig.2 thể hiện một ví dụ khác về cột 205 gồm các ô bit 210-1 đến 210-n trong một mảng bộ nhớ theo các khía cạnh nhất định. Trong ví dụ này, đường bit BL được thể hiện trên Fig.1 được chia thành đường bit ghi (được đánh dấu “WBL”) và đường bit đọc (được đánh dấu “RBL”). Ngoài ra, mỗi đường từ được thể hiện trên Fig.1 được chia thành đường từ ghi tương ứng (được đánh dấu “WWL1” đến “WWLn”) và đường từ đọc tương ứng (được đánh dấu “RWL1” đến “RWLn”). Các đường từ ghi WWL1 đến WWLn có thể được sử dụng để chọn một trong các ô bit 210-1 đến 210-n tại một thời điểm để ghi và các đường từ đọc RWL1 đến RWLn có thể được sử dụng để chọn một trong các ô bit 210-1 đến 210-n tại một thời điểm để đọc.

Trong ví dụ này, mỗi ô bit 210-1 đến 210-n bao gồm bóng bán dẫn truy cập-ghi tương ứng 220-1 đến 220-n, bóng bán dẫn truy cập-đọc tương ứng 230-1 đến 230-n, và cầu chì tương ứng 215-1 đến 215-n (ví dụ, eFuse). Trong mỗi ô bit 210-1 đến 210-n, cầu chì tương ứng 215-1 đến 215-n được ghép nối giữa đường bit ghi WBL và cực máng của bóng bán dẫn truy cập-ghi tương ứng 220-1 đến 220-n, cực cổng của bóng bán dẫn truy cập-ghi tương ứng 220-1 đến 220-n được ghép nối với đường từ ghi tương ứng WWL1 đến WWLn, và cực nguồn của bóng bán dẫn truy cập-ghi tương ứng 220-1 đến 220-n được nối đất. Ngoài ra, trong mỗi ô bit 210-1 đến 210-n, cực máng của bóng bán dẫn truy cập-đọc tương ứng 230-1 đến 230-n được ghép nối với đường bit đọc RBL, cực cổng của bóng bán dẫn truy cập-đọc tương ứng 230-1 đến 230-n được ghép nối với đường từ đọc tương ứng RWL1 đến RWLn, và cực nguồn của bóng bán dẫn truy cập-đọc tương ứng 230-1 đến 230-n được ghép nối với cầu chì tương ứng 215-1 đến 215-n.

Giá trị bit được lưu trữ trong mỗi ô bit 210-1 đến 210-n phụ thuộc vào việc cầu chì tương ứng 215-1 đến 215-n có bị ngắt hay không. Ví dụ, một ô bit có thể lưu trữ giá trị bit bằng 0 nếu cầu chì tương ứng 215-1 đến 215-n không bị ngắt và lưu trữ giá trị bit bằng 1 nếu cầu chì tương ứng 215-1 đến 215-n bị ngắt. Như đã thảo luận ở trên, điện trở của cầu chì không bị ngắt có thể thấp (ví dụ, 50 Ω) và điện trở của cầu chì đã ngắt có thể cao (ví dụ, 10 K Ω).

Để ngắt cầu chì của một trong các ô bit 210-1 đến 210-n (tức là, lập trình ô bit với giá trị bit là 1), mạch chọn sẽ bật bóng bán dẫn truy cập-ghi tương ứng thông qua đường từ ghi tương ứng và tắt bóng bán dẫn truy cập-đọc tương ứng. Sau đó, mạch ghi sẽ gửi dòng điện cao qua cầu chì của ô bit thông qua đường bit ghi WBL để ngắt cầu chì. Dòng

điện cao làm di chuyển điện kim loại trong cầu chì, làm cho điện trở của cầu chì tăng lên đáng kể.

Fig.3A thể hiện ví dụ về đường dẫn dòng điện 310 để ngắt cầu chì 215-1 trong ô bit 210-1. Fig.3A cũng thể hiện ví dụ về các điện áp được áp dụng cho các cực cổng của bóng bán dẫn trong mỗi ô bit 210-1 đến 210-n, trong đó dấu “X” chỉ báo bóng bán dẫn bị tắt. Trong ví dụ trên Fig.3A, mạch chọn bật bóng bán dẫn truy cập-ghi 220-1 trong ô bit 210-1 để kích hoạt đường dẫn dòng điện 310 để ngắt cầu chì 215-1 trong ô bit 210-1. Như thể hiện trên Fig.3A, mạch chọn áp dụng một điện áp cao (ví dụ, 1,8V) trên cực cổng của bóng bán dẫn truy cập-ghi 220-1 thông qua đường từ ghi tương ứng để bật bóng bán dẫn truy cập-ghi 220-1, và áp dụng 0 vôn trên cực cổng của bóng bán dẫn truy cập-đọc 230-1 được tắt trong khi ghi.

Để đọc bit được lưu trữ trong một trong các ô bit 210-1 đến 210-n, mạch chọn sẽ bật bóng bán dẫn truy cập-đọc tương ứng thông qua đường từ đọc tương ứng và tắt bóng bán dẫn truy cập-ghi tương ứng. Đường bit ghi WBL có thể được nối đất trong hoạt động đọc. Mạch đọc sau đó sẽ cảm biến điện trở của cầu chì tương ứng thông qua đường bit đọc RBL. Ví dụ, mạch đọc có thể cảm biến điện trở bằng cách gửi dòng điện cảm biến qua cầu chì tương ứng thông qua đường bit đọc RBL, và cảm biến điện áp kết quả trên đường bit đọc RBL, đây là một chức năng của điện trở của cầu chì tương ứng. Mạch đọc có thể đọc là 1 nếu điện trở cao, tương ứng với cầu chì bị ngắt và mạch đọc có thể đọc là 0 nếu điện trở thấp, tương ứng với cầu chì không bị ngắt.

Fig.3B thể hiện ví dụ về đường dẫn dòng điện 320 để đọc ô bit 210-1. Fig.3B cũng thể hiện ví dụ về các điện áp được áp dụng cho các cực cổng của bóng bán dẫn trong mỗi ô bit 210-1 đến 210-n, trong đó dấu “X” chỉ báo bóng bán dẫn bị tắt. Trong ví dụ trên Fig.3B, mạch chọn bật bóng bán dẫn truy cập-đọc 230-1 trong ô bit 210-1 để kích hoạt đường dẫn dòng điện 320 để đọc ô bit 210-1. Như được thể hiện trên Fig.3B, mạch chọn áp dụng điện áp cao (ví dụ, 1,2V) trên cực cổng của bóng bán dẫn truy cập-đọc 230-1 thông qua đường từ đọc tương ứng để bật bóng bán dẫn truy cập-đọc 230-1, và áp dụng 0 vôn trên cực cổng của bóng bán dẫn truy cập-ghi 220-1, được tắt trong khi đọc.

Các ô bit 210-1 đến 210-n trên Fig.2 làm giảm dòng điện rò so với các ô bit 110-1 đến 110-n trên Fig.1. Điều này là do các bóng bán dẫn 120-1 đến 120-n trên Fig.1 cần phải lớn để xử lý các dòng ghi lớn được sử dụng để ngắt cầu chì 115-1 đến 115-n. Do kích thước

lớn của chúng, các bóng bán dẫn 120-1 đến 120-n trong các ô bit 110-1 đến 110-n có thể rò rỉ một lượng lớn dòng điện ngay cả khi chúng bị tắt. Dòng điện rò lớn làm tăng điện năng tiêu thụ và có thể ảnh hưởng đến hoạt động đọc. Trong các ô bit 210-1 đến 210-n trên Fig.2, các bóng bán dẫn truy cập-đọc 230-1 đến 230-n có thể được làm nhỏ hơn nhiều so với các bóng bán dẫn truy cập-ghi 220-1 đến 220-n để giảm dòng điện rò trên đường bit đọc RBL. Điều này là do các bóng bán dẫn truy cập-đọc 230-1 đến 230-n bị tắt trong các hoạt động ghi, và do đó không cần xử lý các dòng điện ghi lớn để ngắt cầu chì 215-1 đến 215-n. Thay vào đó, các bóng bán dẫn truy cập-đọc 230-1 đến 230-n xử lý các dòng điện nhỏ hơn nhiều trong các hoạt động đọc, cho phép các bóng bán dẫn truy cập-đọc 230-1 đến 230-n nhỏ hơn để giảm dòng điện rò.

Một thách thức đối với việc sử dụng cầu chì để lưu trữ bit là điện trở của cầu chì bị ngắt có thể giảm theo thời gian do hiệu ứng EM ngược gây ra bởi gradien nhiệt độ và các hoạt động đọc thường xuyên. Sự suy giảm điện trở theo thời gian làm cho một số ô bit có cầu chì bị ngắt bị đọc sai là 0 thay vì 1. Việc đọc sai có thể không được chấp nhận trong trường hợp dữ liệu nhạy cảm được lưu trữ trong mảng bộ nhớ như firmware, các khóa bảo mật và các cài đặt hệ thống.

Ví dụ về hiệu ứng EM ngược được minh họa trên các Fig.4A và Fig.4B. Fig.4A thể hiện sự phân bố làm ví dụ của điện trở 410 đối với các ô bit có cầu chì bị ngắt tại thời điểm t_0 , ngay sau khi cầu chì đã bị ngắt. Fig.4A cũng thể hiện điện trở tham chiếu 415 được sử dụng trong hoạt động đọc để xác định xem ô bit lưu trữ 1 hay 0. Trong ví dụ này, điện trở cảm biến lớn hơn điện trở tham chiếu 415 được đọc là giá trị bit bằng 1 và điện trở cảm biến nhỏ hơn điện trở tham chiếu 415 được đọc là giá trị bit bằng 0. Như được thể hiện trên Fig.4A, điện trở của mỗi ô bit có cầu chì bị ngắt lớn hơn điện trở tham chiếu 415. Do đó, mỗi ô bit có cầu chì bị ngắt được đọc chính xác là 1 tại thời điểm t_0 .

Fig.4B thể hiện ví dụ về sự phân bố điện trở 420 cho các ô bit có cầu chì bị ngắt tại thời điểm t_1 , xảy ra sau khi các ô bit đã được đọc nhiều lần. Như được thể hiện trên Fig.4B, điện trở của một số ô bit đã giảm xuống dưới điện trở tham chiếu 415 do hiệu ứng EM ngược. Kết quả là, các ô bit này bị đọc sai thành các số 0 thay vì các số 1.

Một cách tiếp cận để giải quyết vấn đề trên là ghi hai bản sao dữ liệu vào hai thiết bị nhớ riêng biệt 510A và 510B, ví dụ về điều này được thể hiện trên Fig.5. Mỗi thiết bị nhớ 510A và 510B bao gồm một mảng bộ nhớ tương ứng 512A và 512B được tạo cấu hình

để lưu trữ dữ liệu và mạch ngoại vi tương ứng 515A và 515B được tạo cấu hình để ghi dữ liệu vào và đọc dữ liệu từ mảng bộ nhớ tương ứng 512A và 512B. Theo cách tiếp cận này, một trong các thiết bị nhớ 510A và 510B đóng vai trò là bộ nhớ dự phòng lưu trữ bản sao dự phòng của dữ liệu để cải thiện độ chính xác của việc đọc.

Trong hoạt động đọc, cả hai bản sao của dữ liệu đều được đọc từ các thiết bị nhớ 510A và 510B. Đối với mỗi bit dữ liệu, mạch kiểm tra 520 kiểm tra bit đọc từ thiết bị nhớ 510A và bit đọc từ thiết bị nhớ 510B. Nếu bit được đọc từ ít nhất một trong các thiết bị nhớ 510A và 510B là 1, thì mạch kiểm tra 520 xác định rằng giá trị bit là 1 bất kể bit được đọc từ một trong các thiết bị nhớ 510A và 510B còn lại là 1 hay 0 (tức là, mạch kiểm tra 520 thực hiện phép toán logic OR). Do đó, nếu bit được đọc từ một trong các thiết bị nhớ 510A và 510A bị đọc sai là 0 thay vì 1 do hiệu ứng EM ngược, mạch kiểm tra 520 vẫn có thể xác định giá trị bit đúng bằng 1 cho đến khi bit từ một trong các thiết bị nhớ 510A và 510B còn lại được đọc chính xác. Xác suất bit được đọc từ thiết bị nhớ 510A và bit được đọc từ thiết bị nhớ 510B đều bị đọc sai do hiệu ứng EM ngược là thấp hơn nhiều so với xác suất bit được đọc từ một trong các thiết bị nhớ 510A và 510B là bị đọc sai do hiệu ứng EM ngược. Do đó, cách tiếp cận này cải thiện độ chính xác của các hoạt động đọc bằng cách sử dụng thiết bị nhớ dự phòng lưu trữ bản sao dự phòng của dữ liệu.

Một hạn chế của cách tiếp cận trên là thiết bị nhớ dự phòng làm tăng tổn hao diện tích và tiêu thụ điện năng. Do đó, cách tiếp cận để đạt được dự phòng dữ liệu mà ít tổn hao diện tích hơn và công suất thấp hơn là việc mong muốn.

Các khía cạnh của sáng chế đề xuất thiết bị nhớ có dự phòng dữ liệu linh hoạt được tích hợp sẵn để giảm tổn hao diện tích và tiêu thụ điện năng so với cách tiếp cận trên, như được thảo luận thêm dưới đây.

Fig.6A thể hiện thiết bị nhớ 600 có dự phòng dữ liệu linh hoạt được tích hợp sẵn làm ví dụ theo các khía cạnh nhất định của sáng chế. Thiết bị nhớ 600 bao gồm mảng bộ nhớ được tạo cấu hình để lưu trữ dữ liệu dự phòng, dữ liệu không dự phòng, hoặc kết hợp cả hai. Mảng bộ nhớ bao gồm nhiều cột ô bit (ví dụ, 32 cột trở lên). Để dễ minh họa, Fig.6A thể hiện một cặp cột liền kề trong mảng bộ nhớ bao gồm cột thứ nhất 605a và cột thứ hai 605b. Trong ví dụ trên Fig.6A, mỗi cột thứ nhất 605a và cột thứ hai 605b được thực hiện với cột ví dụ 205 được thể hiện trên Fig.2 (nghĩa là, mỗi cột trong số cột thứ nhất 605a và cột thứ hai 605b là một trường hợp riêng biệt của cột 205 trên Fig.2). Tuy nhiên, cần lưu ý

rằng, trong các phương án thực hiện khác, mỗi cột trong số cột thứ nhất 605a và cột thứ hai 605b có thể được thực hiện với cột ví dụ 105 được thể hiện trên Fig.1.

Trong Fig.6A, các ô bit 210-1a đến 210-na trong cột thứ nhất 605a được ký hiệu bằng chữ cái “a” và các ô bit 210-1b đến 210-nb trong cột thứ hai 605b được ký hiệu bằng chữ cái “b” để phân biệt giữa các ô bit trong cột thứ nhất 605a và cột thứ hai 605b.

Cột thứ nhất 605a và cột thứ hai 605b có thể lưu trữ dữ liệu dự phòng, dữ liệu không dự phòng, hoặc sự kết hợp cả hai. Như được sử dụng ở đây, dữ liệu dự phòng đề cập đến dữ liệu trong đó hai bản sao của dữ liệu được lưu trữ trong mảng bộ nhớ của thiết bị nhớ 600 để dự phòng kép. Mỗi bit trong dữ liệu dự phòng được gọi là bit dự phòng. Theo một số khía cạnh nhất định, hai bản sao của bit dự phòng được lưu trữ trong hai ô bit nằm trong các cột liền kề và cùng một hàng. Ví dụ, hai bản sao của bit dự phòng có thể được lưu trữ trong ô bit 210-1a trong cột thứ nhất 605a và ô bit 210-1b trong cột thứ hai 605b. Bit dự phòng có thể được ghi vào từng ô bit 210-1a và 210-1b bằng cách thực hiện hoạt động ghi làm ví dụ được minh họa trên Fig.3A cho mỗi ô bit 210-1a và 210-1b.

Như được sử dụng ở đây, dữ liệu không dự phòng đề cập đến dữ liệu trong đó một bản sao của dữ liệu được lưu trữ trong mảng bộ nhớ của thiết bị nhớ 600. Mỗi bit trong dữ liệu không dự phòng được gọi là bit không dự phòng. Theo một số khía cạnh nhất định, mỗi bit không dự phòng được lưu trữ trong một ô bit tương ứng trong mảng bộ nhớ. Ví dụ, bit không dự phòng thứ nhất có thể được lưu trữ trong ô bit 210-1a trong cột thứ nhất 605a và bit không dự phòng thứ hai có thể được lưu trữ trong ô bit 210-1b trong cột thứ hai 605b. Bit không dự phòng thứ nhất có thể được ghi vào ô bit 210-1a và bit không dự phòng thứ hai có thể được ghi vào ô bit 210-1b bằng cách thực hiện hoạt động ghi làm ví dụ được minh họa trên Fig.3A cho mỗi ô bit 210-1a và 210-1b. Các bit không dự phòng thứ nhất và thứ hai có thể có cùng giá trị bit hoặc các giá trị bit khác nhau. Do đó, các ô bit 210-1a và 210-1b có thể được sử dụng để lưu trữ một bit dự phòng hoặc hai bit không dự phòng.

Trong một ví dụ, cột thứ nhất và cột thứ hai 605a và 605b có thể lưu trữ kết hợp các bit dự phòng và các bit không dự phòng. Trong ví dụ này, các ô bit trong tập hợp hàng thứ nhất lưu trữ các bit dự phòng và các ô bit trong tập hợp hàng thứ hai lưu trữ các bit không dự phòng. Mỗi hàng bao gồm một cặp ô bit trong đó một trong các ô bit trong cặp nằm ở cột thứ nhất 605a và một trong các ô bit còn lại trong cặp nằm ở cột thứ hai 605b. Ví dụ, hàng thứ nhất trên Fig.6A bao gồm ô bit 210-1a trong cột thứ nhất 605a và ô bit 210-1b

trong cột thứ hai 605b, hàng thứ hai trên Fig.6A bao gồm ô bit 210-2a trong cột thứ nhất 605a và ô bit 210-2b trong cột thứ hai 605b, và v.v.

Trong ví dụ này, mỗi cặp ô bit trong tập hợp hàng thứ nhất lưu trữ một bit dự phòng, trong đó một bản sao của bit dự phòng được lưu trữ trong mỗi ô bit trong cặp. Mỗi cặp ô bit trong tập hợp hàng thứ hai lưu trữ hai bit không dự phòng, trong đó một trong các ô bit trong cặp lưu trữ một trong hai bit không dự phòng và một trong các ô bit còn lại trong cặp lưu trữ một trong hai bit không dự phòng còn lại. Số hàng trong tập hợp hàng thứ nhất và số hàng trong tập hợp hàng thứ hai có thể thay đổi và có thể phụ thuộc vào kích thước của dữ liệu dự phòng và kích thước của dữ liệu không dự phòng được lưu trữ trong thiết bị nhớ 600. Do đó, số hàng được phân bổ cho dữ liệu dự phòng và số hàng được phân bổ cho dữ liệu không dự phòng là thay đổi, cung cấp cho thiết bị nhớ 600 sự linh hoạt để lưu trữ dữ liệu dự phòng có các kích thước khác nhau và dữ liệu không dự phòng có các kích thước khác nhau.

Thiết bị nhớ 600 cũng bao gồm mạch chọn 675, mạch đọc 602, công tắc thứ nhất 670, công tắc thứ hai 672, logic điều khiển 680, và mạch điều khiển bộ nhớ 690. Logic điều khiển 680 và mạch điều khiển bộ nhớ 690 được thể hiện trên Fig.6B. Mạch chọn 675 được ghép nối với các đường từ ghi WWL1 đến WWLn và các đường từ đọc RWL1 và RWLn. Như được thảo luận thêm bên dưới, mạch chọn 675 được tạo cấu hình để chọn một trong các hàng tại một thời điểm cho hoạt động đọc bằng cách áp dụng điện áp cao (ví dụ, 1,2V) trên đường từ đọc tương ứng với các đường từ đọc khác ở mức xấp xỉ 0 vôn.

Mạch đọc 602 hỗ trợ các hoạt động đọc ở chế độ dự phòng và chế độ không dự phòng. Trong chế độ dự phòng, mạch đọc 602 đọc các bit dự phòng từ cột thứ nhất 605a và cột thứ hai 605b. Ở chế độ không dự phòng, mạch đọc 602 đọc các bit không dự phòng từ cột thứ nhất 605a và cột thứ hai 605b. Chế độ dự phòng và chế độ không dự phòng được điều khiển bởi mạch điều khiển bộ nhớ 690, như được thảo luận thêm bên dưới.

Mạch đọc 602 bao gồm mạch cảm biến 608, bộ so sánh thứ nhất 640, bộ so sánh thứ hai 650, và cổng logic 660. Mỗi bộ so sánh thứ nhất 640 và bộ so sánh thứ hai 650 có thể được thực hiện với bộ khuếch đại cảm biến chốt điện áp (voltage-latched sense amplifier - VLSA), ví dụ về bộ khuếch đại này được thể hiện trên Fig.7. Trong ví dụ trên Fig.6A, cổng logic 660 được thực hiện bằng cổng OR. Tuy nhiên, cần lưu ý rằng cổng logic 660 có thể được thực hiện với một loại cổng logic khác.

Mạch cảm biến 608 bao gồm bộ khuếch đại cảm biến thứ nhất 610, bộ khuếch đại cảm biến thứ hai 620, và mạch tham chiếu 630. Bộ khuếch đại cảm biến thứ nhất 610 bao gồm đầu vào 612 và đầu ra 614. Công tắc thứ nhất 670 được ghép nối giữa đầu vào 612 của bộ khuếch đại cảm biến thứ nhất 610 và đường bit đọc RBLa của cột thứ nhất 605a, và được sử dụng để ghép nối có chọn lọc đầu vào 612 của bộ khuếch đại cảm biến thứ nhất 610 với đường bit đọc RBLa. Trong ví dụ trên Fig.6A, công tắc thứ nhất 670 được thực hiện với bóng bán dẫn hiệu ứng trường loại n (NFET).

Bộ khuếch đại cảm biến thứ hai 620 bao gồm đầu vào 622 và đầu ra 624. Công tắc thứ hai 672 được ghép nối giữa đầu vào 622 của bộ khuếch đại cảm biến thứ hai 620 và đường bit đọc RBLb của cột thứ hai 605b, và được sử dụng để ghép nối có chọn lọc đầu vào 622 của bộ khuếch đại cảm biến thứ hai 620 với đường bit đọc RBLb. Trong ví dụ trên Fig.6A, công tắc thứ hai 672 được thực hiện với NFET.

Mạch tham chiếu 630 được tạo cấu hình để tạo ra điện áp tham chiếu (được đánh dấu là “ref_out”) và xuất điện áp tham chiếu ở đầu ra 632 của mạch tham chiếu 630. Như được thảo luận thêm bên dưới, điện áp tham chiếu tương ứng với điện trở tham chiếu và được sử dụng bởi mỗi bộ so sánh 640 và 650 để quyết định xem bit đọc là 1 hay 0.

Bộ so sánh thứ nhất 640 bao gồm đầu vào thứ nhất 642, đầu vào thứ hai 644, đầu vào điều khiển 648, và đầu ra 646. Đầu vào thứ nhất 642 được ghép nối với đầu ra 614 của bộ khuếch đại cảm biến thứ nhất 610, và đầu vào thứ hai 644 được ghép nối với đầu ra 632 của mạch tham chiếu 630.

Bộ so sánh thứ hai 650 bao gồm đầu vào thứ nhất 652, đầu vào thứ hai 654, đầu vào điều khiển 658, và đầu ra 656. Đầu vào thứ nhất 652 được ghép nối với đầu ra 624 của bộ khuếch đại cảm biến thứ hai 620, và đầu vào thứ hai 654 được ghép nối với đầu ra 632 của mạch tham chiếu 630.

Cổng logic 660 bao gồm đầu vào thứ nhất 662, đầu vào thứ hai 664, và đầu ra 666. Đầu vào thứ nhất 662 được ghép nối với đầu ra 646 của bộ so sánh thứ nhất 640, đầu vào thứ hai 664 được ghép nối với đầu ra 656 của bộ so sánh thứ hai 650, và đầu ra 666 cung cấp đầu ra cho mạch đọc 602. Đầu ra 666 có thể được ghép nối với bộ đệm đầu ra (không được thể hiện).

Như đã thảo luận ở trên, mạch điều khiển bộ nhớ 690 điều khiển mạch đọc 602 hoạt động ở chế độ dự phòng hay chế độ không dự phòng. Về vấn đề này, mạch điều khiển bộ

nhớ 690 xuất ra tín hiệu kích hoạt dự phòng (được đánh dấu là “en_double”) để bật chế độ dự phòng hoặc chế độ không dự phòng. Trong một ví dụ, tín hiệu kích hoạt dự phòng có giá trị là 1 để bật chế độ dự phòng và giá trị bằng 0 để bật chế độ không dự phòng (tức là, tắt chế độ dự phòng). Trong ví dụ này, mạch điều khiển bộ nhớ 690 có thể bật chế độ dự phòng hoặc chế độ không dự phòng tùy thuộc vào hàng hiện thời được chọn cho hoạt động đọc. Trong ví dụ này, mạch điều khiển bộ nhớ 690 xác nhận tín hiệu kích hoạt dự phòng cao (tức là 1) để bật chế độ dự phòng nếu hàng hiện được chọn nằm trong tập hợp các hàng thứ nhất. Như đã thảo luận ở trên, các hàng trong tập hợp hàng thứ nhất lưu trữ các bit dự phòng. Mạch điều khiển bộ nhớ 690 xác nhận tín hiệu kích hoạt dự phòng thấp (tức là 0) để bật chế độ không dự phòng (tức là tắt chế độ dự phòng) nếu hàng hiện thời được chọn nằm trong tập hợp các hàng thứ hai. Như đã thảo luận ở trên, các hàng trong tập hợp hàng thứ hai lưu trữ các bit không dự phòng.

Logic điều khiển 680 nhận tín hiệu kích hoạt dự phòng ở đầu vào 684 và vận hành mạch đọc 602 ở chế độ dự phòng hoặc chế độ không dự phòng dựa vào tín hiệu kích hoạt dự phòng. Cụ thể hơn, logic điều khiển 680 vận hành mạch đọc 602 ở chế độ dự phòng nếu tín hiệu kích hoạt dự phòng là 1 và vận hành mạch đọc 602 ở chế độ không dự phòng nếu tín hiệu kích hoạt dự phòng là 0.

Logic điều khiển 680 điều khiển xem mạch đọc 602 hoạt động ở chế độ dự phòng hay chế độ không dự phòng bằng cách xuất tín hiệu điều khiển thứ nhất (được đánh dấu là “muxa”) ở đầu ra 686 và tín hiệu điều khiển thứ hai (được đánh dấu là “muxb”) ở đầu ra 688. Tín hiệu điều khiển thứ nhất muxa được đưa vào cổng tắc thứ nhất 670 và đầu vào điều khiển 648 của bộ so sánh thứ nhất 640, và tín hiệu điều khiển thứ hai muxb được đưa vào cổng tắc thứ hai 672 và đầu vào điều khiển 658 của bộ so sánh thứ hai 650. Để vận hành mạch đọc 602 ở chế độ dự phòng, logic điều khiển 680 xác nhận cả tín hiệu điều khiển muxa và muxb là cao (tức là 1). Do đó, trong ví dụ này, logic điều khiển 680 xác nhận cả tín hiệu điều khiển muxa và muxb là cao khi tín hiệu kích hoạt dự phòng là cao. Để vận hành mạch đọc 602 ở chế độ không dự phòng, logic điều khiển 680 xác nhận một trong các tín hiệu điều khiển muxa và muxb là cao (tức là 1) và tín hiệu còn lại trong các tín hiệu điều khiển muxa và muxb là thấp (tức là 0), như được thảo luận thêm bên dưới.

Các hoạt động làm ví dụ của mạch đọc 602 ở chế độ dự phòng bây giờ sẽ được mô tả theo các khía cạnh nhất định. Trong trường hợp này, cả hai tín hiệu điều khiển muxa và

muxb đều được xác nhận là cao để vận hành mạch đọc 602 ở chế độ dự phòng. Việc xác nhận tín hiệu điều khiển thứ nhất muxa cao làm cho công tắc thứ nhất 670 (được thực hiện với NFET trên Fig.6A) bật. Việc xác nhận tín hiệu điều khiển thứ hai muxb cao làm cho công tắc thứ hai 672 (được thực hiện với NFET trên Fig.6A) bật. Do đó, ở chế độ dự phòng, đầu vào 612 của bộ khuếch đại cảm biến thứ nhất 610 được ghép nối với đường bit đọc RBLa của cột thứ nhất 605a thông qua công tắc thứ nhất 670, và đầu vào 622 của bộ khuếch đại cảm biến thứ hai 620 được ghép nối với đường bit đọc RBLb của cột thứ hai 605b thông qua công tắc thứ hai 672. Ngoài ra, việc xác nhận tín hiệu điều khiển thứ nhất muxa cao kích hoạt bộ so sánh thứ nhất 640 cho các hoạt động đọc, và việc xác nhận tín hiệu điều khiển thứ hai muxb cao kích hoạt bộ so sánh thứ hai 650 cho các hoạt động đọc.

Trong chế độ dự phòng, mạch chọn 675 chọn một trong các hàng trong tập hợp các hàng thứ nhất cho hoạt động đọc dự phòng. Trong một ví dụ, hàng thứ nhất nằm trong tập hợp các hàng thứ nhất và mạch chọn 675 chọn hàng thứ nhất cho hoạt động đọc dự phòng (ví dụ, bằng cách áp dụng điện áp cao lên đường từ đọc thứ nhất RWL1).

Sau đó mạch đọc 602 đọc đồng thời bit dự phòng từ ô bit 210-1a và ô bit 210-1b ở hàng thứ nhất như sau.

Bộ khuếch đại cảm biến thứ nhất 610 gửi dòng điện cảm biến thứ nhất vào đường bit đọc RBLa của cột thứ nhất 605a thông qua đầu vào 612. Dòng điện cảm biến thứ nhất này chạy qua cầu chì 215-1a của ô bit 210-1a ở hàng thứ nhất và cột thứ nhất 605a. Dòng điện cảm biến chạy qua cầu chì 215-1a tạo ra điện áp đọc thứ nhất trên đường bit đọc RBLa xấp xỉ tỷ lệ với điện trở của cầu chì 215-1a. Điện trở của cầu chì 215-1a càng cao thì điện áp đọc thứ nhất trên đường bit đọc RBLa càng cao. Bộ khuếch đại cảm biến thứ nhất 610 cảm biến điện áp đọc thứ nhất ở đầu vào 612 và khuếch đại điện áp đọc thứ nhất được cảm biến để tạo ra điện áp đầu ra thứ nhất (được đánh dấu là “d_a”) ở đầu ra 614. Điện áp đầu ra thứ nhất d_a cao hơn điện áp tham chiếu ref_out khi điện trở của cầu chì 215-1a cao hơn điện trở tham chiếu và thấp hơn điện áp tham chiếu ref_out khi điện trở của cầu chì 215-1a thấp hơn điện trở tham chiếu.

Bộ so sánh thứ nhất 640 so sánh điện áp đầu ra thứ nhất d_a với điện áp tham chiếu ref_out. Nếu điện áp đầu ra thứ nhất d_a cao hơn điện áp tham chiếu ref_out, thì bộ so sánh thứ nhất 640 xuất ra giá trị 1 ở đầu ra 646. Trong trường hợp này, giá trị bit bằng 1 được đọc từ ô bit 210-1a. Nếu điện áp đầu ra thứ nhất d_a thấp hơn điện áp tham chiếu ref_out,

thì bộ so sánh thứ nhất 640 xuất ra giá trị 0 ở đầu ra 646. Trong trường hợp này, giá trị bit bằng 0 được đọc từ ô bit 210-1a.

Bộ khuếch đại cảm biến thứ hai 620 gửi dòng điện cảm biến thứ hai vào đường bit đọc RBLb của cột thứ hai 605b thông qua đầu vào 622. Dòng điện cảm biến thứ hai chạy qua cầu chì 215-1b của ô bit 210-1b ở hàng thứ nhất và cột thứ hai 605b. Dòng điện cảm biến chạy qua cầu chì 215-1b tạo ra điện áp đọc thứ hai trên đường bit đọc RBLb xấp xỉ tỷ lệ với điện trở của cầu chì 215-1b. Điện trở của cầu chì 215-1b càng cao thì điện áp đọc thứ hai trên đường bit đọc RBLb càng cao. Bộ khuếch đại cảm biến thứ hai 620 cảm biến điện áp đọc thứ hai ở đầu vào 622 và khuếch đại điện áp đọc thứ hai được cảm biến để tạo ra điện áp đầu ra thứ hai (được đánh dấu là “d_b”) ở đầu ra 624. Điện áp đầu ra thứ hai d_b cao hơn điện áp tham chiếu ref_out khi điện trở của cầu chì 215-1b cao hơn điện trở tham chiếu và thấp hơn điện áp tham chiếu ref_out khi điện trở của cầu chì 215-1b thấp hơn điện trở tham chiếu.

Bộ so sánh thứ hai 650 so sánh điện áp đầu ra thứ hai d_b với điện áp tham chiếu ref_out. Nếu điện áp đầu ra thứ hai d_b cao hơn điện áp tham chiếu ref_out, thì bộ so sánh thứ hai 650 sẽ xuất ra giá trị 1 ở đầu ra 656. Trong trường hợp này, giá trị bit bằng 1 được đọc từ ô bit 210-1b. Nếu điện áp đầu ra thứ hai d_b thấp hơn điện áp tham chiếu ref_out, thì bộ so sánh thứ hai 650 sẽ xuất ra giá trị 0 ở đầu ra 656. Trong trường hợp này, giá trị bit bằng 0 được đọc từ ô bit 210-1b.

Cổng logic 660 nhận bit đọc bởi bộ so sánh thứ nhất 640 và bit đọc bởi bộ so sánh thứ hai 650. Trong ví dụ ở Fig.6A, cổng logic 660 được thực hiện với cổng OR và xuất ra giá trị 1 ở cổng ở đầu ra 666 nếu ít nhất một trong các bit đọc là 1 bất kể bit còn lại trong số các bit đọc là 1 hay 0. Do đó, nếu bit dự phòng được ghi vào các ô bit 210-1a và 210-1b là 1 và bit dự phòng được đọc sai từ một trong các ô bit 210-1a và 210-1b do hiệu ứng EM ngược, thì cổng logic 660 vẫn xuất ra giá trị bit chính xác là 1.

Mạch đọc 602 có thể lặp lại hoạt động đọc dự phòng làm ví dụ cho mỗi trong số các hàng khác lưu trữ bit dự phòng (tức là mỗi hàng khác trong tập hợp hàng thứ nhất).

Ở chế độ không dự phòng, mạch đọc 602 đọc một bit không dự phòng từ một trong số cột thứ nhất 605a và cột thứ hai 605b tại một thời điểm. Để vận hành mạch đọc 602 ở chế độ không dự phòng, logic điều khiển 680 xác nhận một trong các tín hiệu điều khiển muxa và muxb là cao (tức là 1) tại một thời điểm tùy thuộc vào một trong các cột 605a và

605b của ô bit hiện được chọn được định vị. Về vấn đề này, logic điều khiển 680 nhận bit địa chỉ trọng số thấp nhất (được đánh dấu là “addr[0]”) của ô bit hiện được chọn để đọc. Trong ví dụ này, địa chỉ của mỗi ô bit trong cột thứ nhất 605a có bit địa chỉ trọng số thấp nhất là 0, và địa chỉ của mỗi ô bit trong cột thứ hai 605b có bit địa chỉ trọng số thấp nhất là 1. Do đó, trong ví dụ này, logic điều khiển 680 có thể nhận diện cột trong đó ô bit hiện được chọn được định vị dựa vào bit địa chỉ trọng số thấp nhất. Nếu bit địa chỉ trọng số thấp nhất là 0, thì logic điều khiển 680 xác nhận tín hiệu điều khiển thứ nhất muxa cao và xác nhận tín hiệu điều khiển thứ hai muxb thấp, và nếu bit địa chỉ trọng số thấp nhất là 1, thì logic điều khiển 680 xác nhận tín hiệu điều khiển thứ nhất muxa thấp và xác nhận tín hiệu điều khiển thứ hai muxb cao.

Các hoạt động làm ví dụ của mạch đọc 602 ở chế độ không dự phòng giờ đây sẽ được mô tả cho trường hợp ô bit hiện được chọn được định vị trong cột thứ nhất 605a (tức là addr[0] là 0) theo các khía cạnh nhất định. Trong trường hợp này, tín hiệu điều khiển thứ nhất muxa là cao và tín hiệu điều khiển thứ hai muxb là thấp. Việc xác nhận tín hiệu điều khiển thứ nhất muxa cao làm cho công tắc thứ nhất 670 (được thực hiện với NFET trên Fig.6A) bật. Việc xác nhận mức tín hiệu điều khiển thứ hai muxb là thấp làm cho công tắc thứ hai 672 (được thực hiện với NFET trên Fig.6A) tắt. Do đó, trong ví dụ này, đầu vào 612 của bộ khuếch đại cảm biến thứ nhất 610 được ghép nối với đường bit đọc RBLa của cột thứ nhất 605a thông qua công tắc thứ nhất 670, và đầu vào 622 của bộ khuếch đại cảm biến thứ hai 620 được tách khỏi đường bit đọc RBLb của cột thứ hai 605b. Ngoài ra, việc xác nhận tín hiệu điều khiển thứ nhất muxa cao kích hoạt bộ so sánh thứ nhất 640 cho các hoạt động đọc, và việc xác nhận tín hiệu điều khiển thứ hai muxb thấp sẽ tắt bộ so sánh thứ hai 650 cho các hoạt động đọc. Trong trường hợp này, bộ so sánh thứ hai 650 có thể xuất ra giá trị không đổi bằng 0 khi bị tắt cho các hoạt động đọc.

Mạch chọn 675 chọn một trong các hàng trong tập hợp hàng thứ hai cho hoạt động đọc không dự phòng. Trong một ví dụ, hàng thứ hai nằm trong tập hợp hàng thứ hai, và ô bit hiện được chọn là ô bit 210-2a. Trong ví dụ này, mạch chọn 675 chọn hàng thứ hai cho hoạt động đọc không dự phòng (ví dụ, bằng cách áp dụng điện áp cao lên đường từ đọc thứ hai RWL2).

Sau đó, mạch đọc 602 đọc bit không dự phòng từ ô bit 210-2a như sau. Bộ khuếch đại cảm biến thứ nhất 610 gửi dòng điện cảm biến thứ nhất vào đường bit đọc RBLa của

cột thứ nhất 605a thông qua đầu vào 612. Dòng điện cảm biến thứ nhất chạy qua cầu chì 215-2a của ô bit 210-2a trong cột thứ nhất 605a. Dòng điện cảm biến chạy qua cầu chì 215-2a tạo ra điện áp đọc trên đường bit đọc RBLa xấp xỉ tỷ lệ với điện trở của cầu chì 215-2a. Bộ khuếch đại cảm biến thứ nhất 610 cảm biến điện áp đọc ở đầu vào 612 và khuếch đại điện áp đọc thứ nhất được cảm biến để tạo ra điện áp đầu ra (được đánh dấu là “d_a”) ở đầu ra 614.

Bộ so sánh thứ nhất 640 so sánh điện áp đầu ra d_a với điện áp tham chiếu ref_out. Nếu điện áp đầu ra d_a cao hơn điện áp tham chiếu ref_out, thì bộ so sánh thứ nhất 640 sẽ xuất ra giá trị 1 ở đầu ra 646. Trong trường hợp này, giá trị bit bằng 1 được đọc từ ô bit 210-2a. Nếu điện áp đầu ra d_a thấp hơn điện áp tham chiếu ref_out, thì bộ so sánh thứ nhất 640 sẽ xuất ra giá trị 0 ở đầu ra 646. Trong trường hợp này, giá trị bit bằng 0 được đọc từ ô bit 210-2a.

Cổng logic 660 nhận bit đọc từ bộ so sánh thứ nhất 640 và chuyển bit đọc đến đầu ra 666. Điều này là do bộ so sánh thứ hai 650 (bị tắt cho các hoạt động đọc) xuất ra một giá trị không đổi bằng 0 cho cổng logic 660. Kết quả là, cổng logic 660 (được thực hiện với cổng OR trong ví dụ trên Fig.6A) chuyển giá trị logic nhận được ở đầu vào thứ nhất 662 từ bộ so sánh thứ nhất 640 đến đầu ra 666.

Mạch đọc 602 có thể lặp lại hoạt động đọc không dự phòng làm ví dụ được thảo luận ở trên cho mỗi ô bit khác trong cột thứ nhất 605a lưu trữ bit không dự phòng.

Các hoạt động làm ví dụ của mạch đọc 602 ở chế độ không dự phòng giờ đây sẽ được mô tả cho trường hợp ô bit hiện được chọn được định vị trong cột thứ hai 605b (tức là addr[0] là 1) theo các khía cạnh nhất định. Trong trường hợp này, tín hiệu điều khiển thứ nhất muxa là thấp và tín hiệu điều khiển thứ hai muxb là cao. Việc xác nhận tín hiệu điều khiển thứ hai muxb cao làm cho công tắc thứ hai 672 (được thực hiện với NFET trên Fig.6A) bật. Việc xác nhận tín hiệu điều khiển thứ nhất muxa thấp làm cho công tắc thứ nhất 670 (được thực hiện với NFET trên Fig.6A) tắt. Do đó, trong ví dụ này, đầu vào 622 của bộ khuếch đại cảm biến thứ hai 620 được ghép nối với đường bit đọc RBLa của cột thứ hai 605b thông qua công tắc thứ hai 672, và đầu vào 612 của bộ khuếch đại cảm biến thứ nhất 610 được tách khỏi đường bit đọc RBLb của cột thứ nhất 605a. Ngoài ra, việc xác nhận tín hiệu điều khiển thứ hai muxb cao kích hoạt bộ so sánh thứ hai 650 cho các hoạt động đọc, và việc xác nhận tín hiệu điều khiển thứ nhất muxa thấp sẽ tắt bộ so sánh thứ

nhất 640 cho các hoạt động đọc. Trong trường hợp này, bộ so sánh thứ nhất 640 có thể xuất ra giá trị không đổi bằng 0 khi bị tắt cho các hoạt động đọc.

Mạch chọn 675 chọn một trong các hàng trong tập hợp hàng thứ hai cho hoạt động đọc không dự phòng. Trong một ví dụ, hàng thứ hai nằm trong tập hợp hàng thứ hai, và ô bit hiện được chọn là ô bit 210-2b. Trong ví dụ này, mạch chọn 675 chọn hàng thứ hai cho hoạt động đọc không dự phòng (ví dụ, bằng cách áp dụng điện áp cao lên đường từ đọc thứ hai RWL2).

Mạch đọc 602 sau đó đọc bit không dự phòng từ ô bit 210- 1b như sau. Bộ khuếch đại cảm biến thứ hai 620 gửi dòng điện cảm biến thứ hai vào đường bit đọc RBLb của cột thứ hai 605b thông qua đầu vào 622. Dòng điện cảm biến thứ hai chạy qua cầu chì 215-2b của ô bit 210-2b ở cột thứ hai 605b. Dòng điện cảm biến chạy qua cầu chì 215-2b tạo ra điện áp đọc trên đường bit đọc RBLb xấp xỉ tỷ lệ với điện trở của cầu chì 215-2b. Bộ khuếch đại cảm biến thứ hai 620 cảm biến điện áp đọc ở đầu vào 622 và khuếch đại điện áp đọc được cảm biến để tạo ra điện áp đầu ra (được đánh dấu là “d_a”) ở đầu ra 624.

Bộ so sánh thứ hai 650 so sánh điện áp đầu ra d_b với điện áp tham chiếu Ref_out. Nếu điện áp đầu ra d_b cao hơn điện áp tham chiếu Ref_out, thì bộ so sánh thứ hai 650 sẽ xuất ra giá trị 1 ở đầu ra 656. Trong trường hợp này, giá trị bit bằng 1 được đọc từ ô bit 210-2b. Nếu điện áp đầu ra d_b thấp hơn điện áp tham chiếu Ref_out, thì bộ so sánh thứ hai 650 sẽ xuất ra giá trị 0 ở đầu ra 656. Trong trường hợp này, giá trị bit bằng 0 được đọc từ ô bit 210-2b.

Cổng logic 660 nhận bit đọc từ bộ so sánh thứ hai 650 và chuyển bit đọc đến đầu ra 666. Điều này là do bộ so sánh thứ nhất 640 (bị tắt cho các hoạt động đọc) xuất ra một giá trị không đổi bằng 0 cho cổng logic 660. Kết quả là, cổng logic 660 (được thực hiện với cổng OR trong ví dụ trên Fig.6A) chuyển giá trị logic nhận được ở đầu vào thứ hai 664 từ bộ so sánh thứ hai 650 đến đầu ra 666.

Mạch đọc 602 có thể lặp lại hoạt động đọc không dự phòng làm ví dụ được thảo luận ở trên cho mỗi ô bit khác trong cột thứ hai 605b lưu trữ bit không dự phòng.

Do đó, thiết bị nhớ 600 cung cấp dự phòng dữ liệu linh hoạt được tích hợp sẵn để cải thiện độ chính xác đọc mà không cần đến hai thiết bị nhớ riêng biệt 510A và 510B như trường hợp của cách tiếp cận dự phòng dữ liệu được minh họa trên Fig.5. Thiết bị nhớ 600 làm giảm tổn hao điện tích và tiêu thụ điện năng so với cách tiếp cận trên Fig.5. Ví dụ, thiết

bị nhớ 600 có thể đọc bit dự phòng từ hai ô bit (ví dụ, trong các cột liền kề) bằng cách sử dụng mạch chọn 675 chia sẻ (chọn hàng có hai ô bit), mạch tham chiếu 630 chia sẻ và/hoặc thành phần chia sẻ khác (ví dụ, bộ đệm đầu ra), giúp cải thiện diện tích và hiệu quả sử dụng điện. Ngược lại, trong cách tiếp cận trên Fig.2, bit dự phòng được đọc từ hai ô bit trong hai thiết bị nhớ riêng biệt 510A và 510B trong đó mỗi thiết bị nhớ bao gồm mạch chọn riêng, mạch tham chiếu riêng, v.v.

Fig.7 thể hiện phương án thực hiện làm ví dụ của mạch cảm biến 608 theo các khía cạnh nhất định của sáng chế. Trong ví dụ này, thiết bị nhớ 600 bao gồm công tắc kích hoạt 785 được ghép nối giữa ray cấp nguồn điện áp và mạch cảm biến 608. Công tắc kích hoạt 785 được điều khiển bởi tín hiệu kích hoạt mạch cảm biến (được đánh dấu là "sa_en"). Trong ví dụ trên Fig.7, công tắc kích hoạt 785 được thực hiện với bóng bán dẫn hiệu ứng trường loại p (p-type field effect transistor - PFET), trong đó tín hiệu kích hoạt mạch cảm biến được áp dụng cho cực cổng của PFET. Trong ví dụ này, công tắc kích hoạt 785 bật khi tín hiệu kích hoạt mạch cảm biến là thấp và tắt khi tín hiệu kích hoạt mạch cảm biến là cao.

Trong ví dụ này, bộ khuếch đại cảm biến thứ nhất 610 bao gồm bóng bán dẫn thứ nhất 710, bóng bán dẫn thứ hai 712, và bóng bán dẫn thứ ba 714. Bóng bán dẫn thứ nhất 710 được thực hiện với PFET, trong đó cực nguồn của bóng bán dẫn thứ nhất 710 được ghép nối với công tắc kích hoạt 785. Cực cổng của bóng bán dẫn thứ nhất 710 được ghép nối với đầu ra phân cực 736 của mạch tham chiếu 630, đầu ra này phân cực cực cổng của bóng bán dẫn thứ nhất 710 để thiết lập dòng điện cảm biến của bộ khuếch đại cảm biến thứ nhất 610, như được thảo luận thêm bên dưới. Bóng bán dẫn thứ hai 712 được thực hiện với NFET được tạo cấu hình như một bộ khuếch đại chung cổng, trong đó cực máng của bóng bán dẫn thứ hai 712 được ghép nối với cực máng của bóng bán dẫn thứ nhất 710, cực cổng của bóng bán dẫn thứ hai 712 được ghép nối với điện áp phân cực (được đánh dấu là "Vbias"), và cực nguồn của bóng bán dẫn thứ hai 712 được ghép nối với đầu vào 612 của bộ khuếch đại cảm biến thứ nhất 610. Đầu ra 614 của bộ khuếch đại cảm biến thứ nhất 610 được ghép nối với cực máng của bóng bán dẫn thứ hai 712. Bóng bán dẫn thứ ba 714 được ghép nối giữa đầu vào 612 của bộ khuếch đại cảm biến thứ nhất 610 và đất. Bóng bán dẫn thứ ba 714 được sử dụng như một bóng bán dẫn phóng được điều khiển bởi tín hiệu điều khiển phóng (được đánh dấu là "disch") đầu vào đến cực cổng của bóng bán dẫn thứ ba 714, như được thảo luận thêm bên dưới.

Bộ khuếch đại cảm biến thứ hai 620 bao gồm bóng bán dẫn thứ tư 720, bóng bán dẫn thứ năm 722, và bóng bán dẫn thứ sáu 724. Bóng bán dẫn thứ tư 720 được thực hiện với PFET, trong đó cực nguồn của bóng bán dẫn thứ tư 720 được ghép nối với công tắc kích hoạt 785. Cực cổng của bóng bán dẫn thứ tư 720 được ghép nối với đầu ra phân cực 736 của mạch tham chiếu 630, đầu ra này phân cực cực cổng của bóng bán dẫn thứ tư 720 để thiết lập dòng điện cảm biến của bộ khuếch đại cảm biến thứ hai 620, như được thảo luận thêm bên dưới. Bóng bán dẫn thứ năm 722 được thực hiện với NFET được tạo cấu hình như một bộ khuếch đại chung cổng, trong đó cực máng của bóng bán dẫn thứ năm 722 được ghép nối với cực máng của bóng bán dẫn thứ tư 720, cực cổng của bóng bán dẫn thứ năm 722 được ghép nối với điện áp phân cực (được đánh dấu là “Vbias”), và cực nguồn của bóng bán dẫn thứ năm 722 được ghép nối với đầu vào 622 của bộ khuếch đại cảm biến thứ hai 620. Đầu ra 624 của bộ khuếch đại cảm biến thứ hai 620 được ghép nối với cực máng của bóng bán dẫn thứ năm 722. Bóng bán dẫn thứ sáu 724 được ghép nối giữa đầu vào 622 của bộ khuếch đại cảm biến thứ hai 620 và đất. Bóng bán dẫn thứ sáu 724 được sử dụng như một bóng bán dẫn phóng được điều khiển bởi tín hiệu điều khiển phóng (được đánh dấu là “disch”) được đưa vào cực cổng của bóng bán dẫn thứ sáu 724, như được thảo luận thêm bên dưới.

Mạch tham chiếu 630 bao gồm bóng bán dẫn thứ bảy 730, bóng bán dẫn thứ tám 732, bóng bán dẫn thứ chín 734, và điện trở tham chiếu (được đánh dấu là “Rref”). Bóng bán dẫn thứ bảy 730 được thực hiện với PFET, trong đó cực nguồn của bóng bán dẫn thứ bảy 730 được ghép nối với công tắc kích hoạt 785, và cực cổng của bóng bán dẫn thứ bảy 730 được ghép nối với đầu ra phân cực 736 của mạch tham chiếu 630, được ghép nối với cực cổng của bóng bán dẫn thứ nhất 710 trong bộ khuếch đại cảm biến thứ nhất 610 và cực cổng của bóng bán dẫn thứ tư 720 trong bộ khuếch đại cảm biến thứ hai 620. Cực máng của bóng bán dẫn thứ bảy 730 được ghép nối với cực cổng của bóng bán dẫn thứ bảy 730. Điều này làm cho bóng bán dẫn thứ bảy 730, bóng bán dẫn thứ nhất 710 và bóng bán dẫn thứ tư 720 tạo thành gương dòng điện trong đó bóng bán dẫn thứ nhất 710 và bóng bán dẫn thứ tư 720 phản chiếu dòng điện chạy qua bóng bán dẫn thứ bảy 730. Kết quả là, bóng bán dẫn thứ bảy 730 phân cực các cực cổng của bóng bán dẫn thứ nhất 710 và bóng bán dẫn thứ tư 720 thông qua đầu ra phân cực 736 để phản chiếu dòng điện chạy qua bóng bán dẫn thứ bảy 730.

Bóng bán dẫn thứ tám 732 được thực hiện với NFET được tạo cấu hình như một bộ khuếch đại chung cổng, trong đó cực máng của bóng bán dẫn thứ tám 732 được ghép nối với cực máng của bóng bán dẫn thứ bảy 730, và cực cổng của bóng bán dẫn thứ tám 732 được ghép nối với điện áp phân cực (được đánh dấu là “Vbias”). Đầu ra 632 của mạch tham chiếu 630 được ghép nối với cực máng của bóng bán dẫn thứ tám 732. Điện trở tham chiếu Rref được ghép nối giữa cực nguồn của bóng bán dẫn thứ tám 732 và đất. Bóng bán dẫn thứ chín 734 được ghép nối giữa điện trở tham chiếu Rref và đất. Bóng bán dẫn thứ chín 734 được sử dụng như một bóng bán dẫn phóng được điều khiển bởi tín hiệu điều khiển phóng (được đánh dấu là “disch”) được đưa vào cực cổng của bóng bán dẫn thứ chín 734, như được thảo luận thêm bên dưới.

Điện áp phân cực Vbias được thảo luận ở trên có thể được cung cấp bởi mạch phân cực 770 được ghép nối với các cực cổng của bóng bán dẫn thứ hai 712, bóng bán dẫn thứ năm 722 và bóng bán dẫn thứ tám 732. Mạch phân cực 770 có thể được thực hiện với bộ phân áp hoặc một loại bộ tạo điện áp phân cực khác.

Các hoạt động làm ví dụ của mạch cảm biến 608 bây giờ sẽ được mô tả theo các khía cạnh nhất định của sáng chế.

Khi hoạt động đọc không được thực hiện, mạch điều khiển bộ nhớ 690 có thể vô hiệu hóa mạch cảm biến 608 bằng cách tắt công tắc kích hoạt 785 sử dụng tín hiệu kích hoạt mạch cảm biến (được đánh dấu là “sa_en”). Mạch điều khiển bộ nhớ 690 cũng bật bóng bán dẫn thứ ba 714, bóng bán dẫn thứ sáu 724 và bóng bán dẫn thứ chín 734 bằng cách sử dụng tín hiệu điều khiển phóng. Điều này làm cho bóng bán dẫn thứ ba 714 kéo đầu vào 612 của bộ khuếch đại cảm biến thứ nhất 610 xuống đất, bóng bán dẫn thứ sáu 724 kéo đầu vào 622 của bộ khuếch đại cảm biến thứ hai 620 xuống đất, và bóng bán dẫn thứ chín 734 kéo điện áp tại điện trở tham chiếu Rref xuống đất.

Để kích hoạt mạch cảm biến 608 cho các hoạt động đọc, mạch điều khiển bộ nhớ 690 bật công tắc kích hoạt 785 bằng cách sử dụng tín hiệu kích hoạt mạch cảm biến, và tắt bóng bán dẫn thứ ba 714, bóng bán dẫn thứ sáu 724 và bóng bán dẫn thứ chín 734 sử dụng tín hiệu điều khiển phóng.

Việc bật công tắc kích hoạt 785 cho phép dòng điện tham chiếu (được đánh dấu là “Iref”) chạy qua điện trở tham chiếu Rref qua công tắc kích hoạt 785, bóng bán dẫn thứ bảy 730 và bóng bán dẫn thứ tám 732. Dòng điện tham chiếu chạy qua điện trở tham chiếu

Rref tạo ra điện áp tham chiếu bên trong (được đánh dấu là “Vref”) trên điện trở tham chiếu Rref, trong đó điện áp tham chiếu bên trong xấp xỉ tỷ lệ với điện trở tham chiếu. Bóng bán dẫn thứ tám 732 (được tạo cấu hình như một bộ khuếch đại chung cổng) khuếch đại điện áp tham chiếu bên trong Vref để tạo ra điện áp tham chiếu ref_out tại cực máng của bóng bán dẫn thứ tám 732, được ghép nối với đầu ra 632 của mạch tham chiếu 630.

Khi công tắc thứ nhất 670 được bật, bóng bán dẫn thứ nhất 710 trong bộ khuếch đại cảm biến thứ nhất 610 phản chiếu dòng điện tham chiếu để tạo ra dòng điện cảm biến (được đánh dấu là “Isensea”) xấp xỉ bằng dòng điện tham chiếu. Dòng điện cảm biến chạy qua bóng bán dẫn thứ hai 712 đến đường bit đọc RBLa được ghép nối với đầu vào 612. Dòng điện cảm biến chạy qua cầu chì của một trong các ô bit được chọn trong cột thứ nhất 605a, tạo ra điện áp đọc trên đường bit đọc RBLa xấp xỉ tỷ lệ với điện trở của cầu chì. Bóng bán dẫn thứ hai 712 khuếch đại điện áp đọc ở đầu vào 612 của bộ khuếch đại cảm biến thứ nhất 610 để tạo ra điện áp đầu ra (được đánh dấu là “d_a”) ở đầu ra 614 của bộ khuếch đại cảm biến thứ nhất 610.

Trong ví dụ này, điện áp đầu ra d_a cao hơn điện áp tham chiếu ref_out khi điện trở cầu chì của ô bit được chọn trong cột thứ nhất 605a cao hơn điện trở của điện trở tham chiếu Rref (tức là điện trở tham chiếu). Điện áp đầu ra d_a thấp hơn điện áp tham chiếu ref_out khi điện trở cầu chì của ô bit được chọn trong cột thứ nhất 605a thấp hơn điện trở của điện trở tham chiếu Rref (tức là điện trở tham chiếu).

Ngoài ra, trong ví dụ này, bóng bán dẫn thứ hai 712 giới hạn điện áp đọc ở đầu vào 612. Điều này là do điện áp tối đa tại cực nguồn của bóng bán dẫn thứ hai 712 (được ghép nối với đầu vào 612) thấp hơn điện áp phân cực (được đánh dấu là “Vbias”) trừ đi điện áp ngưỡng của bóng bán dẫn thứ hai 712. Bằng cách giới hạn điện áp đọc ở đầu vào 612 của bộ khuếch đại cảm biến thứ nhất 610, bóng bán dẫn thứ hai 712 ngăn không cho điện áp trên đường bit đọc RBLa trở nên quá cao trong quá trình đọc, điều này có thể làm cho cầu chì chưa ngắt bị ngắt đột ngột.

Khi công tắc thứ hai 672 được bật, bóng bán dẫn thứ tư 720 trong bộ khuếch đại cảm biến thứ hai 620 phản chiếu dòng điện tham chiếu để tạo ra dòng điện cảm biến (được đánh dấu là “Isensea”) xấp xỉ bằng dòng điện tham chiếu. Dòng điện cảm biến chạy qua bóng bán dẫn thứ năm 722 đến đường bit đọc RBLa được ghép nối với đầu vào 622. Dòng điện cảm biến chạy qua cầu chì của một trong các ô bit được chọn trong cột thứ hai 605b,

tạo ra điện áp đọc trên đường bit đọc RBLa xấp xỉ tỷ lệ với điện trở của cầu chì. Bóng bán dẫn thứ năm 722 khuếch đại điện áp đọc ở đầu vào 622 của bộ khuếch đại cảm biến thứ hai 620 để tạo ra điện áp đầu ra (được đánh dấu là “d_a”) ở đầu ra 624 của bộ khuếch đại cảm biến thứ hai 620.

Trong ví dụ này, điện áp đầu ra d_a cao hơn điện áp tham chiếu ref_out khi điện trở cầu chì của ô bit được chọn trong cột thứ hai 605b cao hơn điện trở của điện trở tham chiếu Rref (tức là điện trở tham chiếu). Điện áp đầu ra d_b thấp hơn điện áp tham chiếu ref_out khi điện trở cầu chì của ô bit được chọn trong cột thứ hai 605b thấp hơn điện trở của điện trở tham chiếu Rref (tức là điện trở tham chiếu).

Ngoài ra, trong ví dụ này, bóng bán dẫn thứ năm 722 giới hạn điện áp đọc ở đầu vào 622. Điều này là do điện áp tối đa tại cực nguồn của bóng bán dẫn thứ năm 722 (được ghép nối với đầu vào 622) thấp hơn điện áp phân cực (được đánh dấu là “Vbias”) trừ đi điện áp ngưỡng của bóng bán dẫn thứ năm 722. Bằng cách giới hạn điện áp đọc ở đầu vào 622 của bộ khuếch đại cảm biến thứ hai 620, bóng bán dẫn thứ năm 722 ngăn không cho điện áp trên đường bit đọc RBLb trở nên quá cao trong quá trình đọc, điều này có thể làm cho cầu chì chưa ngắt bị ngắt đột ngột.

Trong ví dụ trên Fig.7, bộ so sánh thứ nhất 640 được thực hiện với bộ khuếch đại cảm biến chốt điện áp (VLSA) thứ nhất với đầu vào cộng của VLSA được ghép nối với đầu vào thứ nhất 642 và đầu vào trừ của VLSA được ghép nối với đầu vào thứ hai 644. Trong ví dụ trên Fig.7, bộ so sánh thứ hai 650 được thực hiện với bộ khuếch đại cảm biến chốt điện áp (VLSA) thứ hai với đầu vào cộng của VLSA được ghép nối với đầu vào thứ nhất 652 và đầu vào trừ của VLSA được ghép nối với đầu vào thứ hai 654.

Fig.8A thể hiện phương án thực hiện làm ví dụ của logic điều khiển 680 theo các khía cạnh nhất định. Trong ví dụ này, logic điều khiển 680 bao gồm cổng OR thứ nhất 820, cổng OR thứ hai 830, và bộ đảo 810. Cổng OR thứ nhất 820 bao gồm đầu vào thứ nhất 822 được ghép nối với đầu vào 682 thông qua bộ đảo 810, đầu vào thứ hai 824 được ghép nối với đầu vào 684, và đầu ra 826 được ghép nối với đầu ra 686. Cổng OR thứ hai 830 bao gồm đầu vào thứ nhất 832 được ghép nối với đầu vào 684, đầu vào thứ hai 834 được ghép nối với đầu vào 682, và đầu ra 836 được ghép nối với đầu ra 688.

Fig.8B thể hiện bảng chân lý làm ví dụ cho logic điều khiển 680 theo các khía cạnh nhất định. Như đã thảo luận ở trên, chế độ dự phòng được bật khi tín hiệu kích hoạt dự

phòng (được đánh dấu là “en_double”) là 1 và chế độ không dự phòng được bật khi tín hiệu kích hoạt dự phòng là 0. Khi chế độ dự phòng được bật, cả hai tín hiệu điều khiển muxa và muxb đều là 1 bất kể giá trị của bit địa chỉ trọng số thấp nhất (được đánh dấu là “addr[0]”). Khi chế độ không dự phòng được bật, một trong các tín hiệu điều khiển muxa và muxb là 1 và tín hiệu còn lại trong các tín hiệu điều khiển muxa và muxb là 0 tùy thuộc vào giá trị của bit địa chỉ trọng số thấp nhất.

Như đã thảo luận ở trên, cột thứ nhất 605a và cột thứ hai 605b không giới hạn ở cột ví dụ 205 trên Fig.2. Ví dụ, mỗi cột trong số cột thứ nhất 605a và cột thứ hai 605b có thể được thực hiện với cột ví dụ 105 được thể hiện trên Fig.1. Trong ví dụ này, công tắc thứ nhất 670 được ghép nối giữa đầu vào 612 của bộ khuếch đại cảm biến thứ nhất 610 và đường bit BL của cột thứ nhất 605a và công tắc thứ hai 672 được ghép nối giữa đầu vào 622 của bộ khuếch đại cảm biến thứ hai 620 với đường bit BL của cột thứ hai 605. Lưu ý rằng, trong ví dụ này, đường bit BL không được chia thành đường bit ghi WBL và đường bit đọc RBL.

Mặc dù Fig.6A thể hiện ví dụ về một cặp cột 605a và 605b trong thiết bị nhớ 600 để dễ thảo luận, cần hiểu rằng thiết bị nhớ 600 có thể bao gồm nhiều cặp cột. Thiết bị nhớ 600 cũng có thể bao gồm nhiều mạch đọc trong đó mỗi mạch đọc được tạo cấu hình để đọc các ô bit trong một cặp cột tương ứng. Mỗi mạch đọc có thể được thực hiện với mạch đọc 602 tương ứng được thể hiện trên Fig.6A (ví dụ, mỗi mạch đọc là một trường hợp riêng biệt của mạch đọc 602 được thể hiện trên Fig.6A). Trong ví dụ này, mỗi mạch đọc có thể được tạo cấu hình để đọc các ô bit trong cặp cột tương ứng ở chế độ dự phòng hoặc chế độ không dự phòng dưới sự điều khiển của logic điều khiển 680 và mạch điều khiển bộ nhớ 690. Các mạch đọc có thể xuất ra các bit đọc song song, cho phép thiết bị nhớ 600 xuất ra nhiều bit đọc song song trong một chu kỳ đọc.

Các khía cạnh của sáng chế được mô tả ở trên bằng cách sử dụng ví dụ trong đó cầu chì được ngắt biểu thị giá trị bit bằng 1 và cầu chì không được ngắt biểu thị giá trị bit bằng 0. Tuy nhiên, cần hiểu rằng sáng chế cũng có thể được áp dụng cho ví dụ trong đó cầu chì được ngắt biểu thị giá trị bit bằng 0 và cầu chì không được ngắt biểu thị giá trị bit bằng 1. Trong ví dụ này, mỗi bộ so sánh 650 và 640 có thể xuất ra giá trị 0 nếu điện áp đầu ra của bộ khuếch đại cảm ứng tương ứng cao hơn điện áp tham chiếu và xuất ra giá trị một nếu điện áp đầu ra của bộ khuếch đại cảm ứng tương ứng thấp hơn điện áp tham chiếu. Ngoài

ra, cổng logic 660 có thể được tạo cấu hình để xuất ra giá trị 0 nếu ít nhất một trong các đầu ra của bộ so sánh 640 và 650 là 0. Trong ví dụ này, cổng logic 660 được thực hiện bằng cổng AND. Cần hiểu rằng cổng logic 660 có thể được thực hiện với nhiều cổng logic nhỏ hơn (ví dụ, các ô cổng logic) được kết nối với nhau để tạo thành cổng logic 660.

Cũng cần hiểu rằng bộ so sánh thứ nhất 640 và bộ so sánh thứ hai 650 không bị giới hạn ở các bộ khuếch đại cảm biến chốt điện áp (VLSA). Nói chung, mỗi bộ so sánh có thể được thực hiện với mạch (ví dụ, bộ khuếch đại) được tạo cấu hình để tạo ra giá trị 1 hoặc 0 dựa vào việc liệu điện áp đầu ra của bộ khuếch đại cảm biến tương ứng cao hơn hay thấp hơn điện áp tham chiếu. Theo một số khía cạnh nhất định, đầu ra của mỗi bộ so sánh có thể là loại ray-tới-ray trong đó điện áp có giá trị 1 xấp xỉ bằng điện áp nguồn và điện áp có giá trị 0 xấp xỉ bằng điện áp nối đất.

Như đã thảo luận ở trên, các khía cạnh của sáng chế cung cấp sự linh hoạt về lượng không gian bộ nhớ được phân bổ cho dữ liệu dự phòng và lượng không gian bộ nhớ được phân bổ cho dữ liệu không dự phòng. Về vấn đề này, các Fig.9A và Fig.9B thể hiện hai ví dụ về sự phân bổ khác nhau cho dữ liệu dự phòng và dữ liệu không dự phòng trong mảng bộ nhớ của thiết bị nhớ 600 theo các khía cạnh nhất định. Trong ví dụ ở Fig.9A, các hàng trong tập hợp hàng thứ nhất 910 lưu trữ dữ liệu dự phòng và các hàng trong tập hợp hàng thứ hai 920 lưu trữ dữ liệu không dự phòng. Như đã thảo luận ở trên, số hàng trong tập hợp hàng thứ nhất 910 và số hàng trong tập hợp hàng thứ hai 920 là thay đổi, cho phép thiết bị nhớ 600 chứa dữ liệu dự phòng có kích thước khác nhau và dữ liệu không dự phòng có kích thước khác nhau. Trong ví dụ này, mạch điều khiển bộ nhớ 690 bật chế độ dự phòng (ví dụ, xác nhận en_double cao) khi các mạch đọc trong thiết bị nhớ 600 đọc các ô bit trong tập hợp hàng thứ nhất 910, và bật chế độ không dự phòng (ví dụ, xác nhận en_double thấp) khi các mạch đọc trong thiết bị nhớ 600 đọc các ô bit trong tập hợp hàng thứ hai.

Cần hiểu rằng các hàng trong tập hợp hàng thứ nhất 910 và/hoặc các hàng trong tập hợp hàng thứ hai 920 không cần phải là các hàng liên tiếp. Về vấn đề này, Fig.9B thể hiện ví dụ trong đó tập hợp hàng thứ hai 920 được chia thành tập hợp con thứ nhất của tập hợp hàng thứ hai 920-1 và tập hợp con thứ hai của tập hợp hàng thứ hai 920-2, trong đó tập hợp hàng thứ nhất 910 lưu trữ dữ liệu dự phòng nằm giữa tập hợp con thứ nhất của tập hợp hàng thứ hai 920-1 và tập hợp con thứ hai của tập hợp hàng thứ hai 920-2.

Fig.10 thể hiện ví dụ về hệ thống 1005 trong đó các khía cạnh của sáng chế có thể được sử dụng theo các khía cạnh nhất định của sáng chế. Hệ thống 1005 có thể được tích hợp trong thiết bị di động (ví dụ, thiết bị cầm tay). Trong ví dụ này, hệ thống 1005 bao gồm thiết bị nhớ 600, bộ xử lý 1010, thiết bị nhớ thứ hai 1015, thiết bị nhớ thứ ba 1020, và thanh ghi 1030. Thiết bị nhớ thứ hai 1015 có thể bao gồm bộ nhớ chỉ đọc (read-only memory - ROM), bộ nhớ flash, ổ cứng, ổ trạng thái rắn, hoặc bất kỳ sự kết hợp nào của chúng. Thiết bị nhớ thứ ba 1020 có thể bao gồm bộ nhớ truy cập ngẫu nhiên, bộ nhớ flash, hoặc một loại thiết bị nhớ có thể ghi lại khác.

Bộ xử lý 1010 được ghép nối với thiết bị nhớ 600, thiết bị nhớ thứ hai 1015, thiết bị nhớ thứ ba 1020, và thanh ghi 1030. Đối với thiết bị nhớ 600, bộ xử lý 1010 có thể được ghép nối với một hoặc nhiều mạch đọc (ví dụ, một hoặc nhiều trường hợp của mạch đọc 602) trong thiết bị nhớ 600 để đọc các bit (ví dụ, khóa bảo mật, các cài đặt hệ thống, v.v.) được lưu trữ trong thiết bị nhớ 600. Ví dụ, bộ xử lý 1010 có thể được ghép nối với đầu ra 666 của cổng logic 660 (ví dụ, thông qua bộ đệm đầu ra).

Trong một ví dụ, thiết bị nhớ thứ hai 1015 có thể lưu trữ một hoặc nhiều bộ nạp khởi động và/hoặc các chương trình khác (còn được gọi là hình ảnh). Trong ví dụ này, bộ xử lý 1010 có thể đọc chữ ký số của bộ nạp khởi động hoặc chương trình khác từ thiết bị nhớ thứ hai 1015, đọc khóa bảo mật được lưu trữ trong thiết bị nhớ 600, và xác minh chữ ký số của bộ nạp khởi động hoặc chương trình khác bằng cách sử dụng khóa bảo mật trong quy trình xác thực. Nếu chữ ký số được xác minh, thì bộ xử lý 1010 có thể tải bộ nạp khởi động hoặc chương trình khác vào thiết bị nhớ thứ ba 1020 và/hoặc một thiết bị nhớ khác (không được thể hiện). Bộ nạp khởi động có thể được tạo cấu hình để thực hiện các hoạt động khởi động cho hệ thống 1005 trong quá trình khởi động. Trong ví dụ này, khóa bảo mật có thể được lưu trữ dự phòng trong thiết bị nhớ 600 để cải thiện tính toàn vẹn của khóa bảo mật và đọc từ thiết bị nhớ 600 ở chế độ dự phòng.

Trong một ví dụ khác, bộ xử lý 1010 có thể đọc các cài đặt hệ thống từ thiết bị nhớ 600, và tải các cài đặt hệ thống vào thanh ghi 1030. Thanh ghi 1030 có thể được ghép nối với một hoặc nhiều thiết bị (không được thể hiện) trong hệ thống 1005, trong đó một hoặc nhiều thiết bị được tạo cấu hình theo các cài đặt hệ thống được lưu trữ trong thanh ghi 1030. Trong ví dụ này, các cài đặt hệ thống có thể được lưu trữ dự phòng trong thiết bị nhớ

600 để cải thiện tính toàn vẹn của các cài đặt hệ thống và đọc từ thiết bị nhớ 600 ở chế độ dự phòng.

Fig.11 minh họa phương pháp 1100 của hoạt động đọc dự phòng trong thiết bị nhớ theo các khía cạnh nhất định của sáng chế. Thiết bị nhớ (ví dụ, thiết bị nhớ 600) bao gồm bộ khuếch đại cảm biến thứ nhất (ví dụ, bộ khuếch đại cảm biến thứ nhất 610), công tắc thứ nhất (ví dụ, công tắc 670) được ghép nối giữa đầu vào của bộ khuếch đại cảm biến thứ nhất và đường bit thứ nhất (ví dụ, RBLa), bộ khuếch đại cảm biến thứ hai (ví dụ, bộ khuếch đại cảm biến thứ hai 620), và công tắc thứ hai (ví dụ, công tắc 672) được ghép nối giữa đầu vào của bộ khuếch đại cảm biến thứ hai và đường bit thứ hai (ví dụ, RBLb).

Tại khối 1110, công tắc thứ nhất và công tắc thứ hai được bật. Ví dụ, công tắc thứ nhất và công tắc thứ hai có thể được bật bởi logic điều khiển 680.

Tại khối 1120, điện áp thứ nhất ở đầu ra của bộ khuếch đại cảm biến thứ nhất được so sánh với điện áp tham chiếu. Ví dụ, điện áp đầu ra thứ nhất có thể được so sánh với điện áp tham chiếu bởi bộ so sánh thứ nhất 640.

Tại khối 1130, giá trị bit thứ nhất được xác định dựa vào so sánh điện áp thứ nhất với điện áp tham chiếu. Ví dụ, giá trị bit thứ nhất có thể là 1 nếu điện áp thứ nhất cao hơn điện áp tham chiếu và là 0 nếu điện áp thứ nhất thấp hơn điện áp tham chiếu.

Tại khối 1140, điện áp thứ hai ở đầu ra của bộ khuếch đại cảm biến thứ hai được so sánh với điện áp tham chiếu. Ví dụ, điện áp đầu ra thứ hai có thể được so sánh với điện áp tham chiếu bởi bộ so sánh thứ hai 650.

Tại khối 1150, giá trị bit thứ hai được xác định dựa vào so sánh điện áp thứ hai với điện áp tham chiếu. Ví dụ, giá trị bit thứ hai có thể là 1 nếu điện áp thứ hai cao hơn điện áp tham chiếu và là 0 nếu điện áp thứ hai thấp hơn điện áp tham chiếu.

Tại khối 1160, giá trị bit thứ ba được xác định dựa vào giá trị bit thứ nhất và giá trị bit thứ hai. Ví dụ, cổng logic 660 có thể xác định giá trị bit thứ ba. Trong một ví dụ, việc xác định giá trị bit thứ ba bao gồm thực hiện phép toán OR trên giá trị bit thứ nhất và giá trị bit thứ hai. Trong một ví dụ, giá trị bit thứ ba là 1 nếu ít nhất một giá trị trong số giá trị bit thứ nhất và giá trị bit thứ hai là 1.

Đường bit thứ nhất (ví dụ, RBLa) có thể tương ứng với cột thứ nhất (ví dụ, cột 605a) trong mảng bộ nhớ, đường bit thứ hai (ví dụ, RBLb) có thể tương ứng với cột thứ hai (ví dụ, cột 605b) trong mảng bộ nhớ, và cột thứ nhất có thể liền kề với cột thứ hai.

Phương pháp 1100 có thể tùy ý bao gồm thực hiện hoạt động đọc không dự phòng thứ nhất, trong đó việc thực hiện hoạt động đọc không dự phòng thứ nhất bao gồm bật công tắc thứ nhất, tắt công tắc thứ hai, so sánh điện áp thứ ba ở đầu ra của bộ khuếch đại cảm biến thứ nhất với điện áp tham chiếu, và xác định giá trị bit thứ tư dựa vào so sánh điện áp thứ ba với điện áp tham chiếu.

Phương pháp 1100 có thể tùy ý bao gồm thực hiện hoạt động đọc không dự phòng thứ hai, trong đó việc thực hiện hoạt động đọc không dự phòng thứ hai bao gồm tắt công tắc thứ nhất, bật công tắc thứ hai, so sánh điện áp thứ tư ở đầu ra của bộ khuếch đại cảm biến thứ hai với điện áp tham chiếu, và xác định giá trị bit thứ năm dựa vào so sánh điện áp thứ tư với điện áp tham chiếu.

Phương pháp 1100 có thể tùy ý bao gồm tạo ra điện áp tham chiếu, trong đó việc tạo ra điện áp tham chiếu bao gồm truyền dòng điện (ví dụ, Iref) qua điện trở tham chiếu (ví dụ, điện trở tham chiếu Rref), và khuếch đại điện áp (ví dụ, Vref) qua điện trở tham chiếu để tạo ra điện áp tham chiếu. Điện áp có thể được khuếch đại bởi bộ khuếch đại chung công (ví dụ, bóng bán dẫn thứ tám 732 trong cấu hình chung công).

Cần lưu ý rằng sáng chế không chỉ giới hạn ở thuật ngữ làm ví dụ được sử dụng ở trên để mô tả các khía cạnh của sáng chế. Ví dụ, cầu chì điện tử cũng có thể được gọi là cầu chì điện tử, cầu chì có thể lập trình điện, liên kết nóng chảy, hoặc thuật ngữ khác. Trong một ví dụ khác, ô bit cũng có thể được gọi là ô nhớ, hoặc thuật ngữ khác. Trong một ví dụ khác, mạch chọn cũng có thể được gọi là bộ giải mã hàng, hoặc thuật ngữ khác.

Bất kỳ viện dẫn nào đến một phần tử ở đây bằng cách sử dụng sự chỉ định như "thứ nhất", "thứ hai", và v.v. nói chung không giới hạn số lượng hoặc thứ tự của các phần tử đó. Thay vào đó, những sự chỉ định này được sử dụng ở đây như một cách thuận tiện để phân biệt giữa hai hoặc nhiều phần tử hoặc các trường hợp của một phần tử. Do đó, việc viện dẫn đến phần tử thứ nhất và thứ hai không có nghĩa là chỉ có thể sử dụng hai phần tử, hoặc rằng phần tử thứ nhất phải đứng trước phần tử thứ hai.

Trong sáng chế này, từ "làm ví dụ" được sử dụng ở đây có nghĩa là "phục vụ như một ví dụ, trường hợp, hoặc sự minh họa". Bất kỳ sự thực hiện hoặc khía cạnh nào được

mô tả ở đây là "làm ví dụ" sẽ không nhất thiết được hiểu là được ưu tiên hoặc có ưu thế hơn các khía cạnh khác của sáng chế. Tương tự như vậy, thuật ngữ "các khía cạnh" không yêu cầu tất cả các khía cạnh của sáng chế bao gồm đặc điểm, ưu điểm hoặc chế độ hoạt động đã thảo luận. Thuật ngữ "xấp xỉ", như được sử dụng ở đây liên quan đến một giá trị đã nêu hoặc một thuộc tính, được dùng để chỉ việc nằm trong khoảng 10% của giá trị hoặc thuộc tính đã nêu.

Phần mô tả trước của sáng chế được cung cấp để cho phép bất kỳ người có hiểu biết trung bình trong lĩnh vực kỹ thuật này tạo ra hoặc sử dụng sáng chế. Các sửa đổi khác nhau với sáng chế sẽ dễ dàng thấy rõ đối với những người có hiểu biết trung bình trong lĩnh vực kỹ thuật này, và các nguyên tắc chung được xác định ở đây có thể được áp dụng cho các biến thể khác mà không rời khỏi bản chất hoặc phạm vi của sáng chế. Do đó, sáng chế không nhằm giới hạn ở các ví dụ được mô tả ở đây, mà có phạm vi rộng nhất phù hợp với các nguyên tắc và đặc điểm mới được bộc lộ ở đây.

YÊU CẦU BẢO HỘ

1. Thiết bị nhớ bao gồm:

bộ khuếch đại cảm biến thứ nhất có đầu vào và đầu ra;

công tắc thứ nhất được ghép nối giữa đầu vào của bộ khuếch đại cảm biến thứ nhất và đường bit thứ nhất;

bộ khuếch đại cảm biến thứ hai có đầu vào và đầu ra;

công tắc thứ hai được ghép nối giữa đầu vào của bộ khuếch đại cảm biến thứ hai và đường bit thứ hai;

mạch tham chiếu có đầu ra;

bộ so sánh thứ nhất có đầu vào thứ nhất, đầu vào thứ hai, và đầu ra, trong đó đầu vào thứ nhất của bộ so sánh thứ nhất được ghép nối với đầu ra của bộ khuếch đại cảm biến thứ nhất, và đầu vào thứ hai của bộ so sánh thứ nhất được ghép nối với đầu ra của mạch tham chiếu;

bộ so sánh thứ hai có đầu vào thứ nhất, đầu vào thứ hai, và đầu ra, trong đó đầu vào thứ nhất của bộ so sánh thứ hai được ghép nối với đầu ra của bộ khuếch đại cảm biến thứ hai, và đầu vào thứ hai của bộ so sánh thứ hai được ghép nối với đầu ra của mạch tham chiếu; và

cổng logic có đầu vào thứ nhất, đầu vào thứ hai, và đầu ra, trong đó đầu vào thứ nhất của cổng logic được ghép nối với đầu ra của bộ so sánh thứ nhất, và đầu vào thứ hai của cổng logic được ghép nối với đầu ra của bộ so sánh thứ hai.

2. Thiết bị nhớ theo điểm 1, trong đó cổng logic bao gồm cổng OR.

3. Thiết bị nhớ theo điểm 1, trong đó bộ so sánh thứ nhất bao gồm bộ khuếch đại cảm biến chốt điện áp thứ nhất, và bộ so sánh thứ hai bao gồm bộ khuếch đại cảm biến chốt điện áp thứ hai.

4. Thiết bị nhớ theo điểm 1, trong đó công tắc thứ nhất bao gồm bóng bán dẫn hiệu ứng trường loại n thứ nhất, và công tắc thứ hai bao gồm bóng bán dẫn hiệu ứng trường loại n thứ hai.

5. Thiết bị nhớ theo điểm 1, thiết bị này còn bao gồm logic điều khiển được tạo cấu hình để:

nhận tín hiệu kích hoạt dự phòng:

bật công tắc thứ nhất và công tắc thứ hai nếu tín hiệu kích hoạt dự phòng có giá trị thứ nhất; và

bật công tắc thứ nhất trong số công tắc thứ nhất và công tắc thứ hai và tắt công tắc thứ hai trong số công tắc thứ nhất và công tắc thứ hai nếu tín hiệu kích hoạt dự phòng có giá trị thứ hai.

6. Thiết bị nhớ theo điểm 5, trong đó giá trị thứ nhất là 1 và giá trị thứ hai là 0.

7. Thiết bị nhớ theo điểm 1, trong đó mạch tham chiếu bao gồm:

bóng bán dẫn thứ nhất, trong đó cực nguồn của bóng bán dẫn thứ nhất được ghép nối với ray cấp nguồn, và cực máng của bóng bán dẫn thứ nhất được ghép nối với cực cổng của bóng bán dẫn thứ nhất;

bóng bán dẫn thứ hai, trong đó cực máng của bóng bán dẫn thứ hai được ghép nối với cực máng của bóng bán dẫn thứ nhất và đầu ra của mạch tham chiếu, và cực cổng của bóng bán dẫn thứ hai được phân cực bởi điện áp phân cực; và

điện trở tham chiếu được ghép nối giữa cực nguồn của bóng bán dẫn thứ hai và đất.

8. Thiết bị nhớ theo điểm 7, trong đó bộ khuếch đại cảm biến thứ nhất bao gồm:

bóng bán dẫn thứ ba, trong đó cực nguồn của bóng bán dẫn thứ ba được ghép nối với ray cấp nguồn, và cực cổng của bóng bán dẫn thứ ba được ghép nối với cực cổng của bóng bán dẫn thứ nhất; và

bóng bán dẫn thứ tư, trong đó cực máng của bóng bán dẫn thứ tư được ghép nối với cực máng của bóng bán dẫn thứ ba và đầu ra của bộ khuếch đại cảm biến thứ nhất, cực cổng của bóng bán dẫn thứ tư được phân cực bởi điện áp phân cực, và cực nguồn của bóng bán dẫn thứ tư được ghép nối với đầu vào của bộ khuếch đại cảm biến thứ nhất.

9. Thiết bị nhớ theo điểm 1, thiết bị này còn bao gồm:

nhiều ô bit thứ nhất được ghép nối với đường bit thứ nhất, mỗi ô bit trong số nhiều ô bit thứ nhất bao gồm cầu chì tương ứng; và

nhiều ô bit thứ hai được ghép nối với đường bit thứ hai, mỗi ô bit trong số nhiều ô bit thứ hai bao gồm cầu chì tương ứng.

10. Hệ thống thiết bị nhớ bao gồm:

thiết bị nhớ thứ nhất, trong đó thiết bị nhớ thứ nhất bao gồm:

bộ khuếch đại cảm biến thứ nhất có đầu vào và đầu ra;

công tắc thứ nhất được ghép nối giữa đầu vào của bộ khuếch đại cảm biến thứ nhất và đường bit thứ nhất;

bộ khuếch đại cảm biến thứ hai có đầu vào và đầu ra;

công tắc thứ hai được ghép nối giữa đầu vào của bộ khuếch đại cảm biến thứ hai và đường bit thứ hai;

mạch tham chiếu có đầu ra;

bộ so sánh thứ nhất có đầu vào thứ nhất, đầu vào thứ hai, và đầu ra, trong đó đầu vào thứ nhất của bộ so sánh thứ nhất được ghép nối với đầu ra của bộ khuếch đại cảm biến thứ nhất, và đầu vào thứ hai của bộ so sánh thứ nhất được ghép nối với đầu ra của mạch tham chiếu;

bộ so sánh thứ hai có đầu vào thứ nhất, đầu vào thứ hai, và đầu ra, trong đó đầu vào thứ nhất của bộ so sánh thứ hai được ghép nối với đầu ra của bộ khuếch đại cảm biến thứ hai, và đầu vào thứ hai của bộ so sánh thứ hai được ghép nối với đầu ra của mạch tham chiếu; và

cổng logic có đầu vào thứ nhất, đầu vào thứ hai, và đầu ra, trong đó đầu vào thứ nhất của cổng logic được ghép nối với đầu ra của bộ so sánh thứ nhất, và đầu vào thứ hai của cổng logic được ghép nối với đầu ra của bộ so sánh thứ hai; và

bộ xử lý được ghép nối với thiết bị nhớ thứ nhất.

11. Hệ thống theo điểm 10, hệ thống này còn bao gồm thanh ghi được ghép nối với bộ xử lý.

12. Hệ thống theo điểm 10, hệ thống này còn bao gồm thiết bị nhớ thứ hai được ghép nối với bộ xử lý.

13. Hệ thống theo điểm 12, trong đó thiết bị nhớ thứ hai bao gồm bộ nhớ chỉ đọc (ROM), bộ nhớ flash, ổ cứng, hoặc ổ trạng thái rắn.

14. Hệ thống theo điểm 10, trong đó cổng logic bao gồm cổng OR.

15. Hệ thống theo điểm 10, trong đó thiết bị nhớ thứ nhất còn bao gồm:

nhiều ô bit thứ nhất được ghép nối với đường bit thứ nhất, mỗi ô bit trong số nhiều ô bit thứ nhất bao gồm cầu chì tương ứng; và

nhiều ô bit thứ hai được ghép nối với đường bit thứ hai, mỗi ô bit trong số nhiều ô bit thứ hai bao gồm cầu chì tương ứng.

16. Phương pháp thực hiện hoạt động đọc dự phòng trong thiết bị nhớ, thiết bị nhớ bao gồm bộ khuếch đại cảm biến thứ nhất, công tắc thứ nhất được ghép nối giữa đầu vào của bộ khuếch đại cảm biến thứ nhất và đường bit thứ nhất, bộ khuếch đại cảm biến thứ hai, và công tắc thứ hai được ghép nối giữa đầu vào của bộ khuếch đại cảm biến thứ hai và đường bit thứ hai, phương pháp này bao gồm các bước:

bật công tắc thứ nhất và công tắc thứ hai;

so sánh điện áp thứ nhất ở đầu ra của bộ khuếch đại cảm biến thứ nhất với điện áp tham chiếu;

xác định giá trị bit thứ nhất dựa vào so sánh điện áp thứ nhất với điện áp tham chiếu;

so sánh điện áp thứ hai ở đầu ra của bộ khuếch đại cảm biến thứ hai với điện áp tham chiếu;

xác định giá trị bit thứ hai dựa vào so sánh điện áp thứ hai với điện áp tham chiếu;
và

xác định giá trị bit thứ ba dựa vào giá trị bit thứ nhất và giá trị bit thứ hai.

17. Phương pháp theo điểm 16, trong đó đường bit thứ nhất tương ứng với cột thứ nhất trong mảng bộ nhớ, đường bit thứ hai tương ứng với cột thứ hai trong mảng bộ nhớ, và cột thứ nhất liền kề với cột thứ hai.

18. Phương pháp theo điểm 16, trong đó bước xác định giá trị bit thứ ba bao gồm thực hiện phép toán OR trên giá trị bit thứ nhất và giá trị bit thứ hai.

19. Phương pháp theo điểm 18, trong đó:

giá trị bit thứ nhất là 1 nếu điện áp thứ nhất cao hơn điện áp tham chiếu;

giá trị bit thứ nhất là 0 nếu điện áp thứ nhất thấp hơn điện áp tham chiếu;

giá trị bit thứ hai là 1 nếu điện áp thứ hai cao hơn điện áp tham chiếu; và
 giá trị bit thứ hai là 0 nếu điện áp thứ hai thấp hơn điện áp tham chiếu.

20. Phương pháp theo điểm 16, phương pháp này còn bao gồm bước thực hiện hoạt động đọc không dự phòng thứ nhất, trong đó việc thực hiện hoạt động đọc không dự phòng thứ nhất bao gồm:

bật công tắc thứ nhất;

tắt công tắc thứ hai;

so sánh điện áp thứ ba ở đầu ra của bộ khuếch đại cảm biến thứ nhất với điện áp tham chiếu; và

xác định giá trị bit thứ tư dựa vào so sánh điện áp thứ ba với điện áp tham chiếu.

21. Phương pháp theo điểm 20, phương pháp này còn bao gồm thực hiện hoạt động đọc không dự phòng thứ hai, trong đó việc thực hiện hoạt động đọc không dự phòng thứ hai bao gồm:

tắt công tắc thứ nhất;

bật công tắc thứ hai;

so sánh điện áp thứ tư ở đầu ra của bộ khuếch đại cảm biến thứ hai với điện áp tham chiếu; và

xác định giá trị bit thứ năm dựa vào so sánh điện áp thứ tư với điện áp tham chiếu.

22. Phương pháp theo điểm 21, phương pháp này còn bao gồm bước nhận bit địa chỉ, trong đó hoạt động đọc không dự phòng thứ nhất được thực hiện nếu bit địa chỉ là 0 và hoạt động đọc không dự phòng thứ hai được thực hiện nếu bit địa chỉ là 1.

23. Phương pháp theo điểm 16, phương pháp này còn bao gồm bước tạo ra điện áp tham chiếu, trong đó việc tạo ra điện áp tham chiếu bao gồm:

chuyển dòng điện qua điện trở tham chiếu; và

khuếch đại điện áp qua điện trở tham chiếu để tạo ra điện áp tham chiếu.

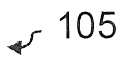


FIG. 1

2/13

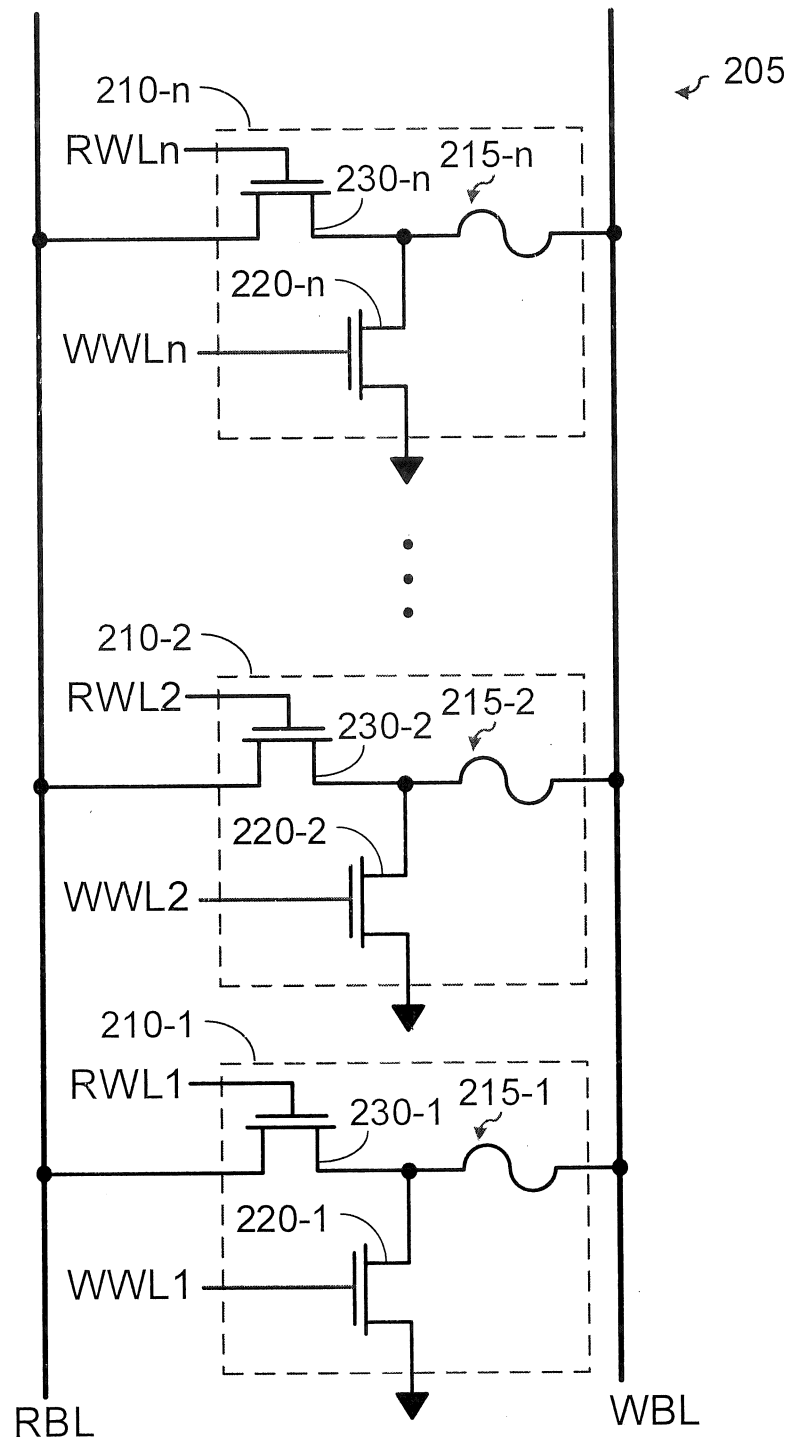


FIG. 2

3/13

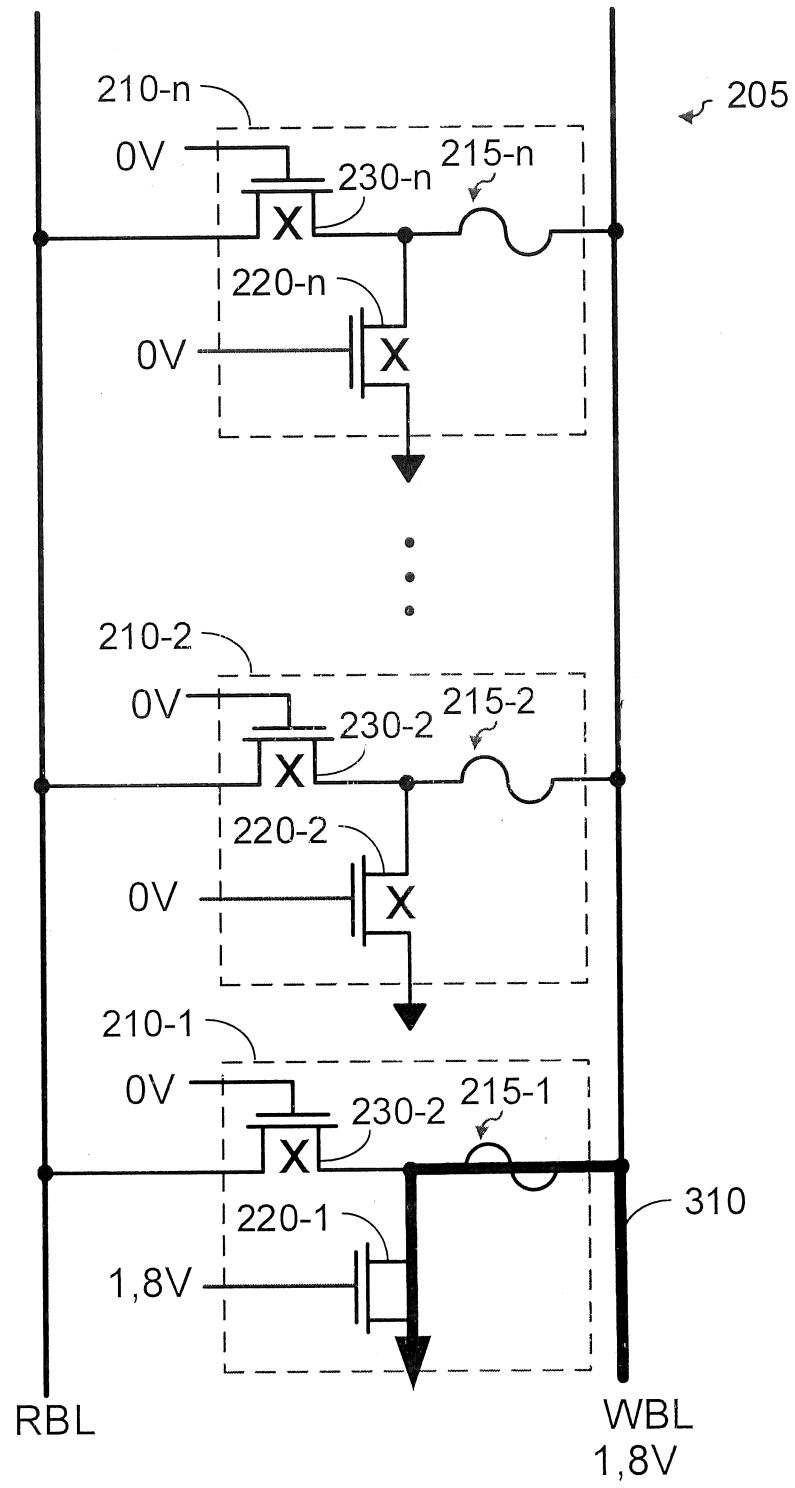


FIG. 3A

4/13

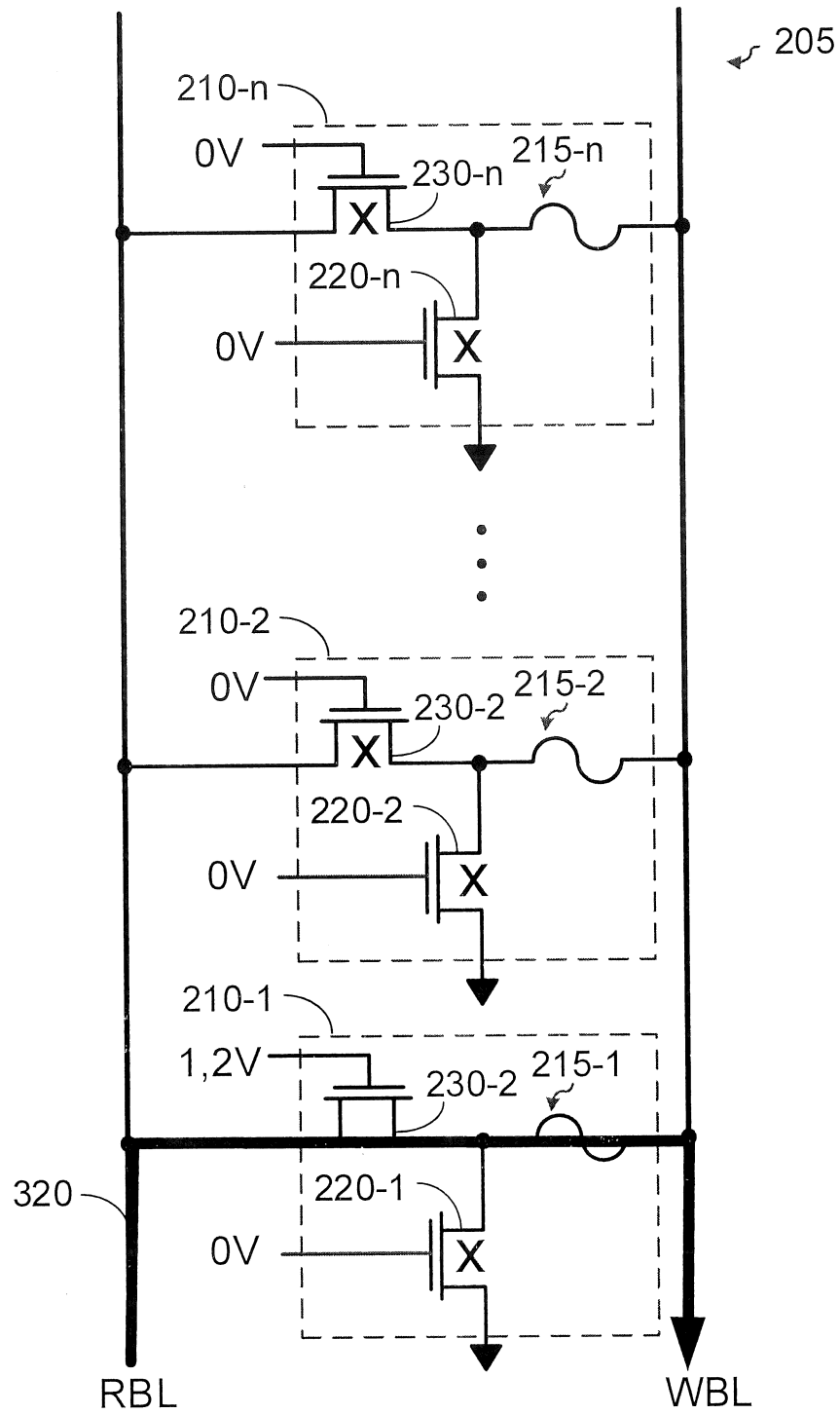


FIG. 3B

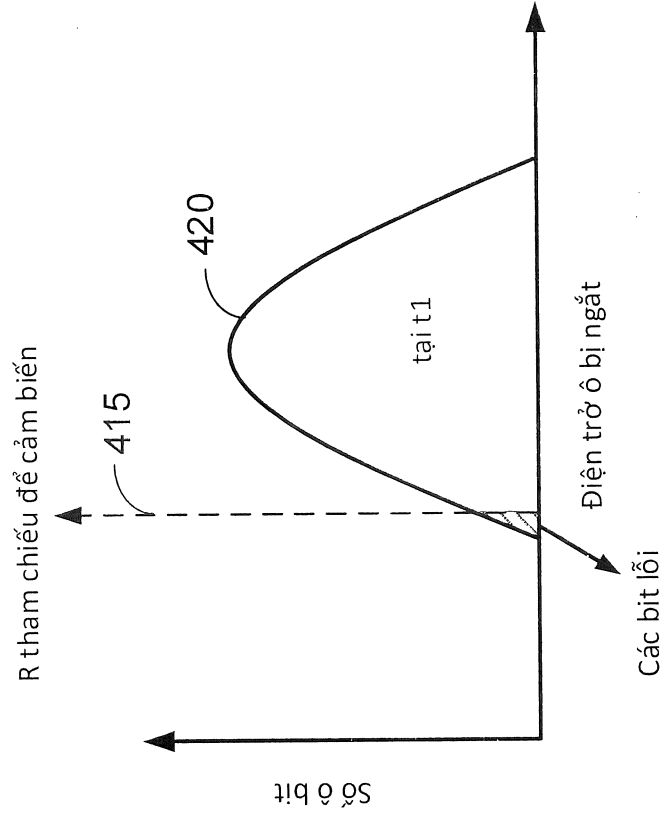


FIG. 4B

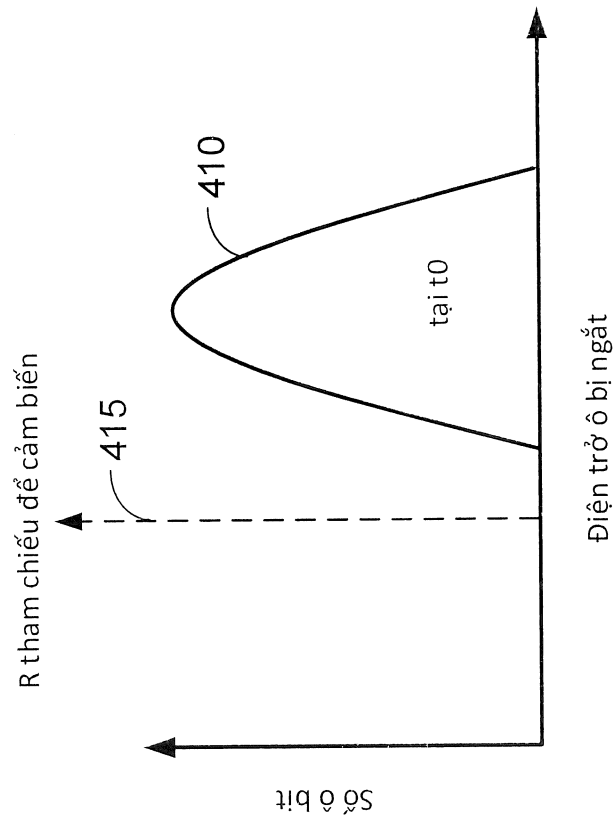


FIG. 4A

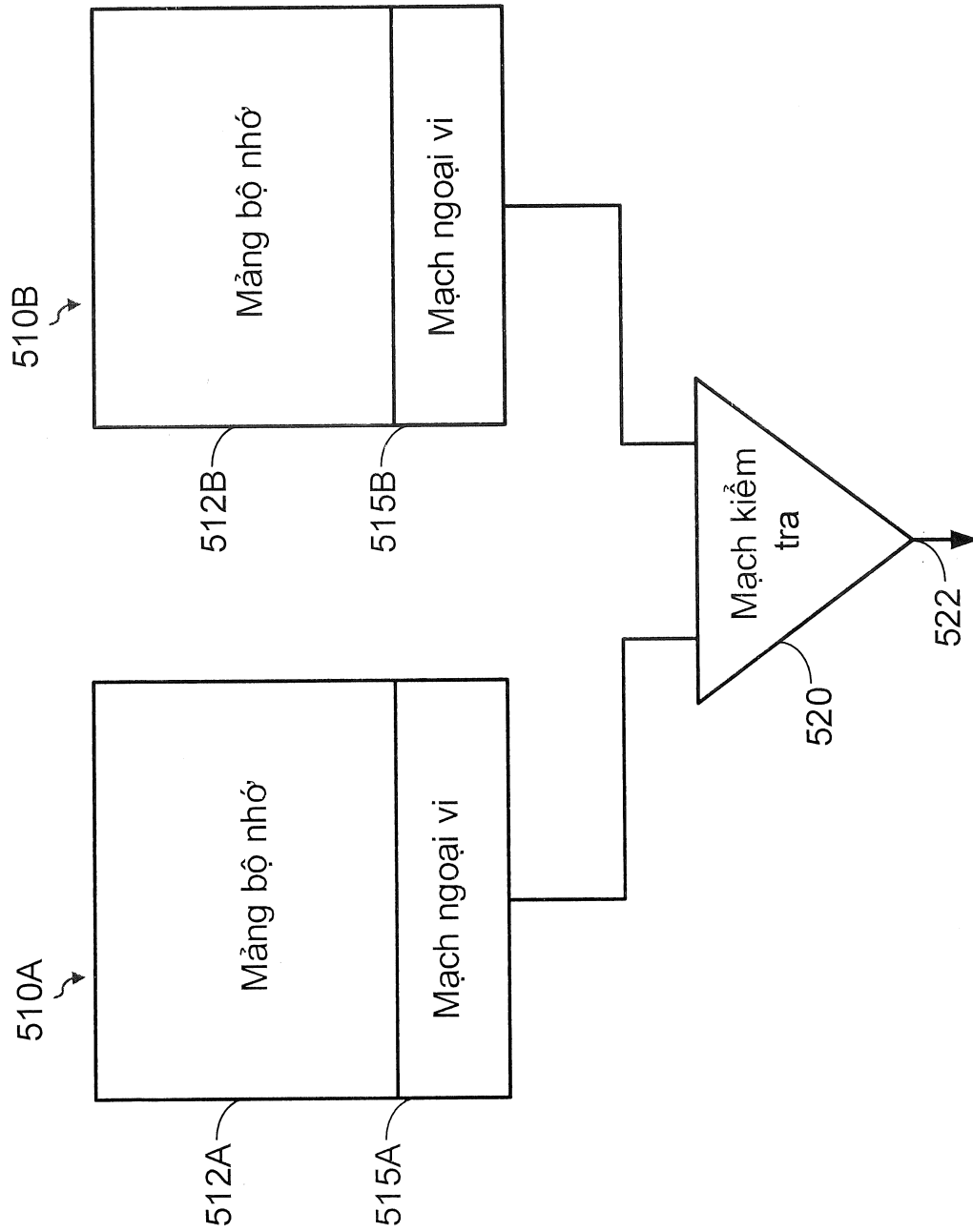


FIG. 5

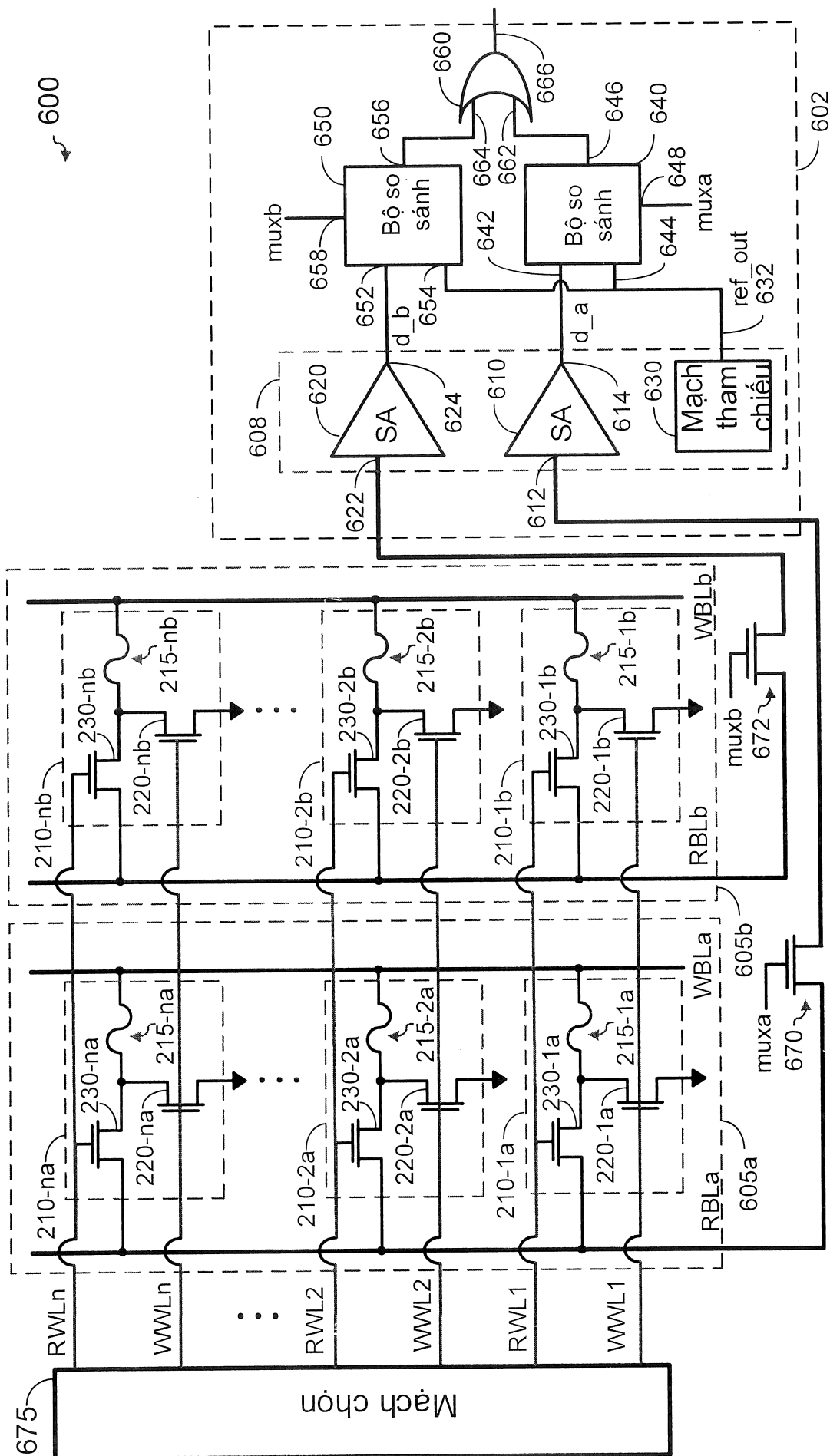


FIG. 6A

8/13

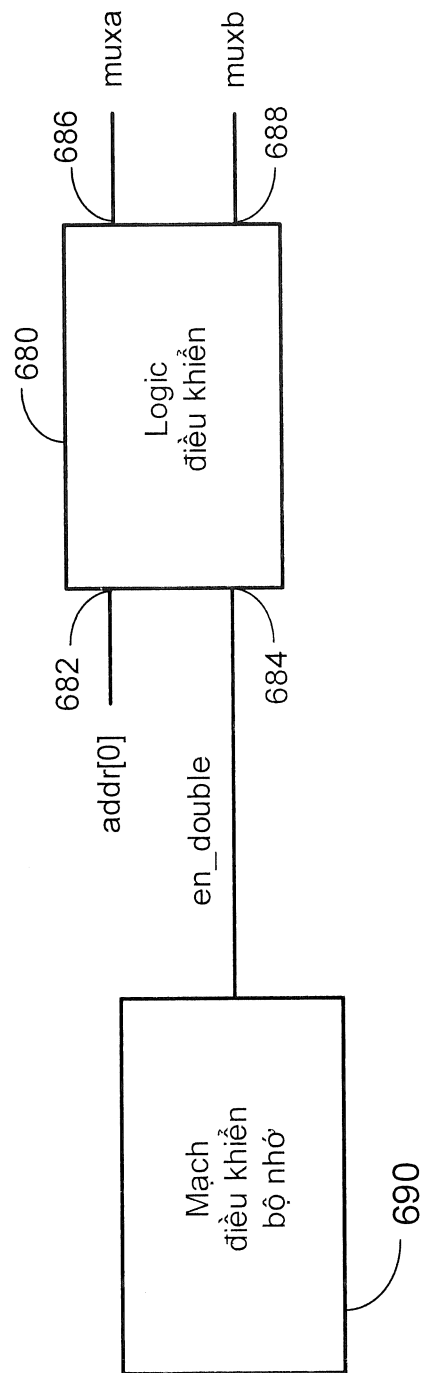


FIG. 6B

9/13

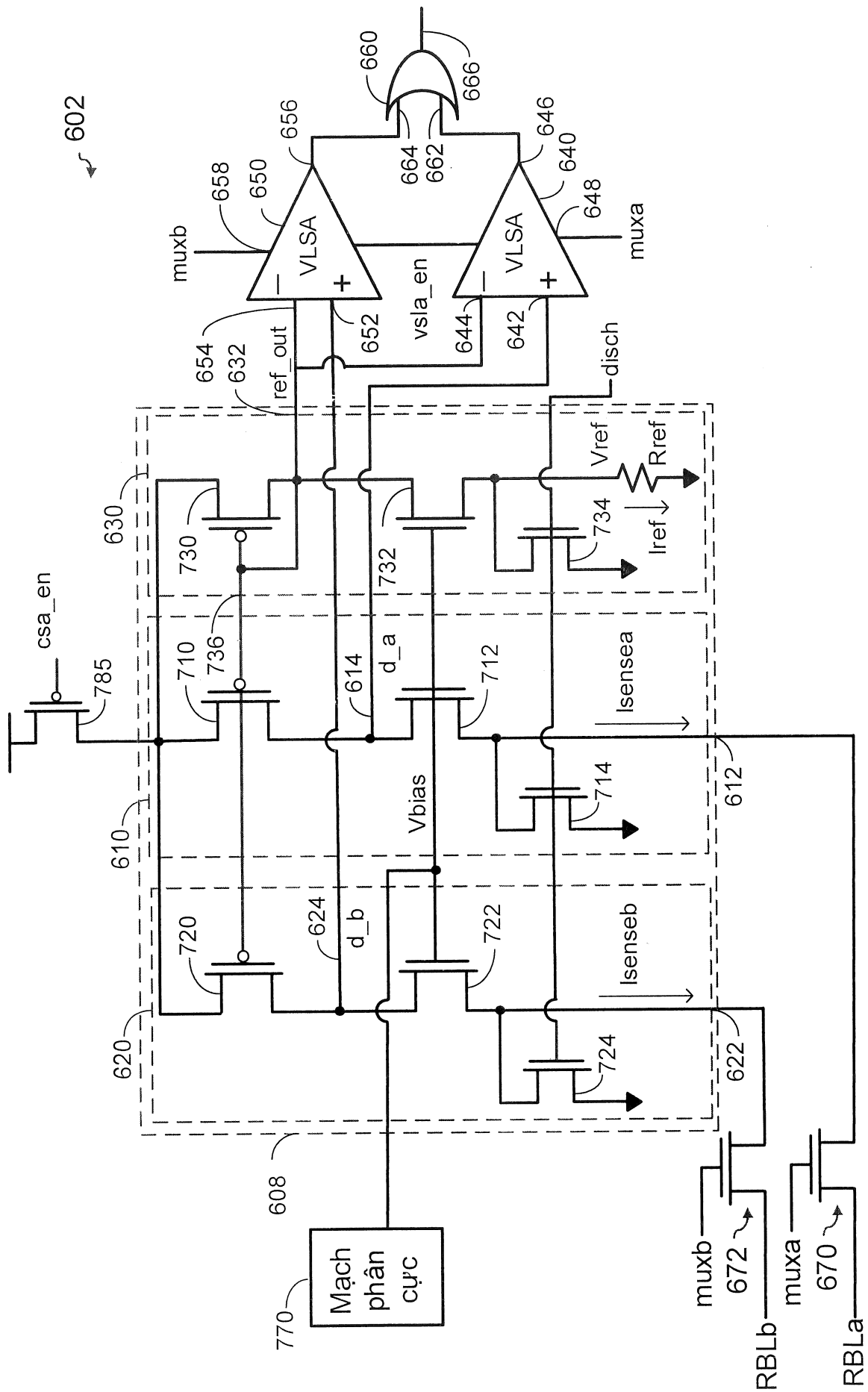


FIG. 7

10/13

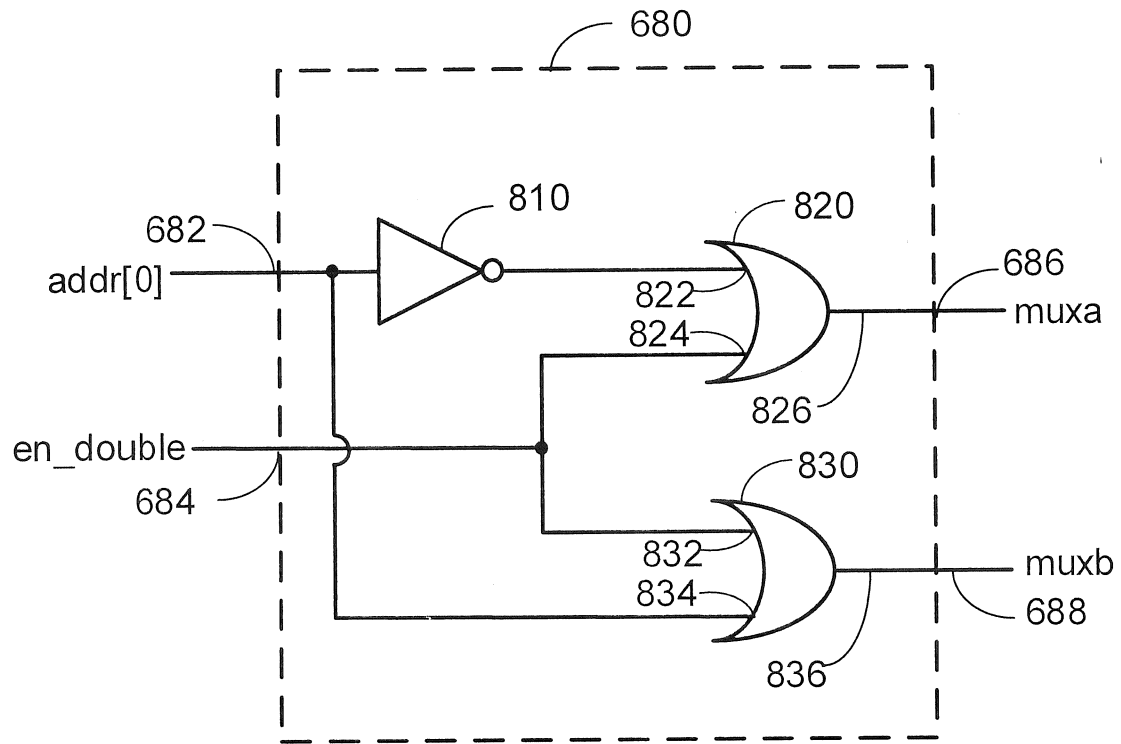
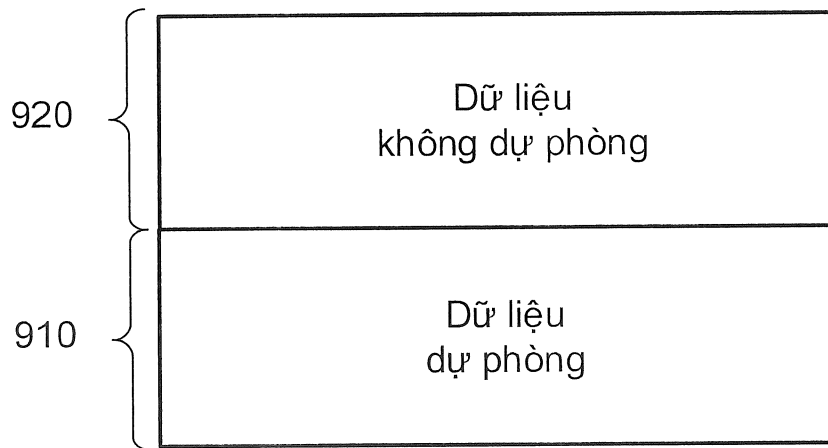


FIG. 8A

Chế độ	en_double	addr[0]	muxa	muxb
Chế độ dự phòng	1	X	1	1
Chế độ không dự phòng	0	0	1	0
		1	0	1

FIG. 8B

11/13

**FIG. 9A****FIG. 9B**

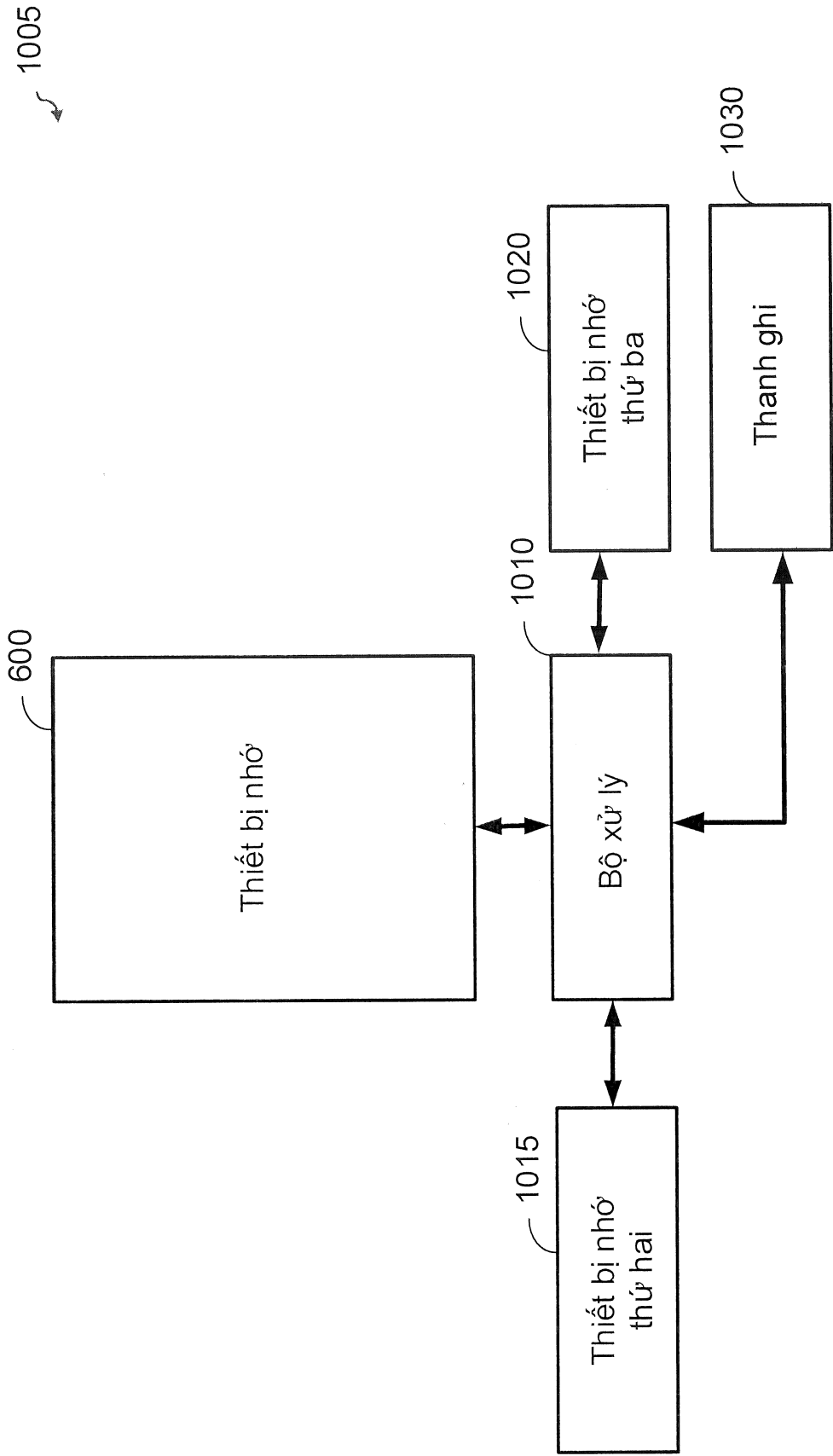


FIG. 10

13/13

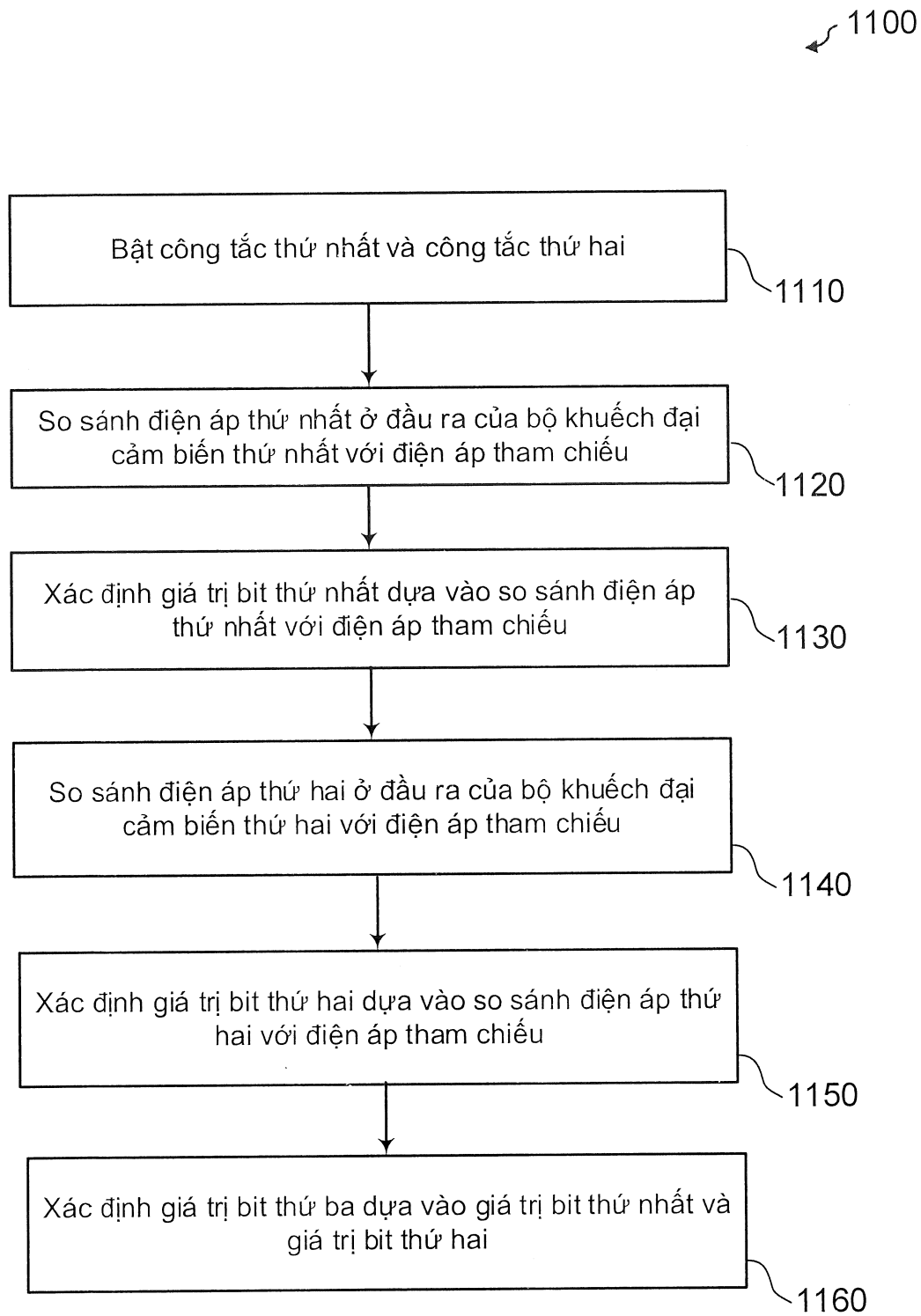


FIG. 11