



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0048586

(51)^{2020.01} H04L 7/033; H04L 25/49; G06F 13/40; (13) B
H04L 25/14

(21) 1-2022-02371

(22) 26/08/2020

(86) PCT/US2020/047919 26/08/2020

(87) WO 2021/080686 A1 29/04/2021

(30) 62/925,916 25/10/2019 US; 17/001,801 25/08/2020 US

(45) 25/07/2025 448

(43) 25/07/2022 412A

(73) QUALCOMM INCORPORATED (US)

ATTN: International IP Administration, 5775 Morehouse Drive, San Diego, CA
92121-1714, United States of America

(72) DUAN, Ying (CN); WU, Jing (CN); CHOU, Shih-Wei (TW).

(74) Công ty TNHH Quốc tế D & N (D&N INTERNATIONAL CO.,LTD.)

(54) PHƯƠNG PHÁP VÀ THIẾT BỊ PHỤC HỒI XUNG NHỊP, VÀ PHƯƠNG TIỆN
LƯU TRỮ BẤT BIẾN ĐỌC ĐƯỢC BẰNG BỘ XỬ LÝ

(21) 1-2022-02371

(57) Sáng chế đề xuất các phương pháp, thiết bị và hệ thống để truyền thông qua giao diện nhiều dây, nhiều pha. Phương pháp phục hồi xung nhịp bao gồm bước tạo ra tín hiệu kết hợp bao gồm các xung chuyển tiếp, mỗi xung chuyển tiếp được tạo ra đáp ứng với lần chuyển tiếp trong tín hiệu vì sai đại diện cho chênh lệch trong trạng thái báo hiệu của cặp dây trong bus ba dây. Tín hiệu kết hợp được cung cấp cho mạch logic được tạo cấu hình để cung cấp tín hiệu xung nhịp làm đầu ra của nó, trong đó các xung trong tín hiệu kết hợp khiến cho tín hiệu xung nhịp được điều khiển theo trạng thái thứ nhất. Mạch logic nhận tín hiệu thiết lập lại được lấy từ tín hiệu xung nhịp bằng cách làm trễ các lần chuyển tiếp sang trạng thái thứ nhất trong khi chuyển các lần chuyển tiếp từ trạng thái thứ nhất mà không có thêm độ trễ. Tín hiệu xung nhịp được điều khiển từ trạng thái thứ nhất sau khi chuyển lần chuyển tiếp của tín hiệu xung nhịp sang trạng thái thứ nhất. Ngoài ra, sáng chế còn đề cập đến thiết bị phục hồi xung nhịp và phương tiện lưu trữ bất biến đọc được bằng bộ xử lý.

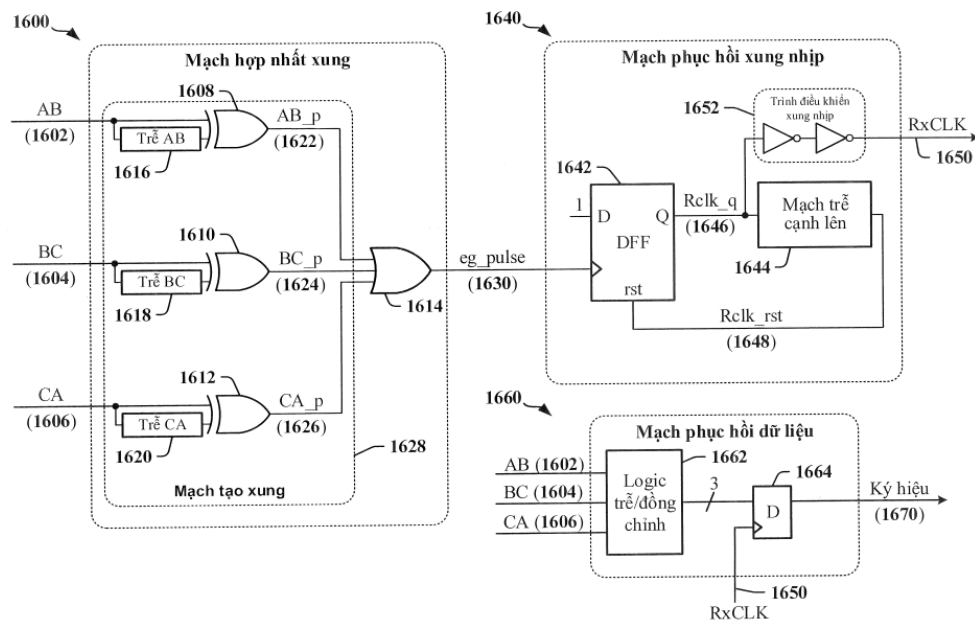


Fig.16

Lĩnh vực kỹ thuật được đề cập

Nói chung sáng chế đề cập đến các giao diện truyền thông dữ liệu tốc độ cao, và cụ thể hơn, đến việc tạo xung nhịp trong bộ thu được ghép nối với liên kết truyền thông dữ liệu nhiều dây, nhiều pha.

Tình trạng kỹ thuật của sáng chế

Các nhà sản xuất thiết bị di động, chẳng hạn như điện thoại di động, có thể lấy các thành phần của các thiết bị di động từ nhiều nguồn khác nhau, bao gồm các nhà sản xuất khác nhau. Ví dụ, bộ xử lý ứng dụng trong điện thoại di động có thể được lấy từ nhà sản xuất thứ nhất, còn thiết bị tạo hình ảnh hoặc camera có thể được lấy từ nhà sản xuất thứ hai, và màn hình có thể được lấy từ nhà sản xuất thứ ba. Bộ xử lý ứng dụng, thiết bị tạo hình ảnh, bộ điều khiển màn hình hoặc các loại thiết bị khác có thể được liên kết với nhau bằng cách sử dụng giao diện vật lý dựa vào tiêu chuẩn hoặc dành riêng. Theo một ví dụ, thiết bị tạo hình ảnh có thể được kết nối bằng cách sử dụng Giao diện nối tiếp camera (Camera Serial Interface - CSI) được Liên minh giao diện bộ xử lý công nghiệp di động (Mobile Industry Processor Interface - MIPI) định nghĩa. Theo một ví dụ khác, màn hình có thể bao gồm giao diện phù hợp với tiêu chuẩn Giao diện nối tiếp màn hình (Display Serial Interface - DSI) do Liên minh MIPI xác định.

Giao diện C-PHY là giao diện ba dây nhiều pha được xác định bởi Liên minh MIPI sử dụng bộ ba dây dẫn để truyền thông tin giữa các thiết bị. Mỗi dây trong bộ ba có thể ở một trong số ba trạng thái báo hiệu trong quá trình truyền ký hiệu. Thông tin xung nhịp được mã hóa theo chuỗi các ký hiệu được truyền và bộ thu tạo ra tín hiệu xung nhịp từ các lần chuyển tiếp giữa các ký hiệu liên tiếp. Khả năng của mạch phục hồi xung nhịp và dữ liệu (clock and data recovery - CDR) để phục hồi thông tin xung nhịp có thể bị hạn chế bởi sự thay đổi thời gian tối đa liên quan đến các lần chuyển tiếp của các tín hiệu được truyền trên các dây khác nhau của liên kết truyền thông. Mạch CDR trong bộ thu C-PHY có thể sử dụng vòng phản hồi để điều khiển các mạch tạo xung trong tín hiệu xung nhịp nhận. Vòng phản hồi có thể được dùng để đảm bảo rằng các mạch tạo xung không tạo thêm các xung bị kích hoạt trong chốc lát có thể xuất hiện trước khi các dây dẫn bên trong bộ ba giả

định trạng thái báo hiệu ổn định trước khi cung cấp cạnh lấy mẫu. Tốc độ truyền ký hiệu tối đa có thể bị giới hạn bởi vòng phản hồi, và nhu cầu liên tục đối với các mạch tạo xung nhịp tối ưu hóa có thể hoạt động đáng tin cậy ở tần số báo hiệu ngày càng cao.

Bản chất kỹ thuật của sáng chế

Các phương án được mô tả ở đây đề xuất các hệ thống, phương pháp và thiết bị cho phép cải thiện truyền thông trên liên kết truyền thông nhiều dây và/hoặc nhiều pha. Liên kết truyền thông có thể được triển khai trong các thiết bị như thiết bị đầu cuối di động có nhiều thiết bị mạch tích hợp (Integrated Circuit - IC).

Theo một số khía cạnh của sáng chế, thiết bị phục hồi xung nhịp có nhiều mạch tạo xung, mạch logic thứ nhất, mạch logic thứ hai và mạch trễ không đối xứng. Mỗi mạch tạo xung được tạo cấu hình để tạo ra xung chuyển tiếp để đáp lại lần chuyển tiếp trong tín hiệu vi sai đại diện cho chênh lệch trong trạng thái báo hiệu của cặp dây trong bus ba dây. Mạch logic thứ nhất được tạo cấu hình để cung cấp tín hiệu kết hợp bao gồm các xung tương ứng với các xung chuyển tiếp nhận được từ nhiều mạch tạo xung. Mạch logic thứ hai đáp ứng với các xung trong tín hiệu kết hợp và được tạo cấu hình để xuất ra tín hiệu xung nhịp dùng để giải mã thông tin từ các lần chuyển tiếp trong trạng thái báo hiệu của bus ba dây. Các xung trong tín hiệu kết hợp khiến cho tín hiệu xung nhịp được điều khiển theo trạng thái thứ nhất. Mạch trễ không đối xứng được tạo cấu hình để tạo ra tín hiệu thiết lập lại từ tín hiệu xung nhịp. Tín hiệu thiết lập lại có thể được tạo ra bằng cách làm trễ các lần chuyển tiếp sang trạng thái thứ nhất trong khi chuyển các lần chuyển tiếp từ trạng thái thứ nhất mà không có thêm độ trễ, và tín hiệu xung nhịp có thể được điều khiển từ trạng thái thứ nhất khi tín hiệu thiết lập lại chuyển tiếp sang trạng thái thứ nhất.

Theo các khía cạnh nhất định, mỗi trong số nhiều mạch tạo xung bao gồm cổng OR loại trừ được tạo cấu hình để nhận tín hiệu vi sai kết hợp và phiên bản trễ của tín hiệu vi sai kết hợp làm đầu vào. Mạch logic thứ nhất có thể bao gồm cổng logic được tạo cấu hình để cung cấp tín hiệu kết hợp bằng cách kết hợp các tín hiệu đầu ra nhận được từ cổng OR loại trừ của mỗi mạch tạo xung. Mỗi trong số nhiều mạch tạo xung có thể được tạo cấu hình để tạo ra xung có khoảng thời gian được tạo cấu hình dựa vào khoảng thời gian xung nhịp tối thiểu được xác định cho mạch logic thứ hai. Khoảng thời gian xung được tạo ra bởi mạch trễ trong mỗi trong số nhiều mạch tạo xung có thể tạo cấu hình được. Khoảng

thời gian của độ trễ được áp dụng bởi mạch trễ không đối xứng cho các lần chuyển tiếp sang trạng thái thứ nhất có thể tạo cấu hình được.

Theo một khía cạnh, mạch trễ không đối xứng là mạch trễ cạnh lên được tạo cấu hình để làm trễ các lần chuyển tiếp từ trạng thái logic thấp sang trạng thái logic cao. Mạch trễ cạnh lên có thể được tạo cấu hình để chuyển các lần chuyển tiếp từ trạng thái logic cao sang trạng thái logic thấp mà không có thêm độ trễ. Theo một khía cạnh, bộ giải mã trạng thái dây được tạo cấu hình để giải mã các ký hiệu từ các lần chuyển tiếp trong trạng thái báo hiệu của bus ba dây dựa vào thông tin định thời được cung cấp trong tín hiệu xung nhịp.

Theo các khía cạnh khác nhau của sáng chế, phương pháp phục hồi xung nhịp bao gồm bước tạo ra tín hiệu kết hợp bao gồm các xung tương ứng với các xung chuyển tiếp được tạo ra để đáp lại lần chuyển tiếp trong tín hiệu vi sai đại diện cho chênh lệch trong trạng thái báo hiệu của cặp dây trong bus ba dây. Phương pháp phục hồi xung nhịp còn bao gồm bước cung cấp tín hiệu kết hợp cho mạch logic được tạo cấu hình để cung cấp tín hiệu xung nhịp làm đầu ra của nó, trong đó các xung trong tín hiệu kết hợp khiến cho tín hiệu xung nhịp được điều khiển theo trạng thái thứ nhất. Phương pháp phục hồi xung nhịp còn bao gồm bước cung cấp tín hiệu thiết lập lại cho mạch logic, trong đó tín hiệu thiết lập lại được lấy từ tín hiệu xung nhịp bằng cách làm trễ các lần chuyển tiếp sang trạng thái thứ nhất trong khi chuyển các lần chuyển tiếp từ trạng thái thứ nhất mà không có thêm độ trễ. Tín hiệu xung nhịp được điều khiển từ trạng thái thứ nhất sau khi chuyển lần chuyển tiếp của tín hiệu xung nhịp sang trạng thái thứ nhất.

Theo các khía cạnh khác nhau của sáng chế, phương tiện lưu trữ đọc được bằng bộ xử lý có một hoặc nhiều lệnh, khi được thực thi bởi ít nhất một bộ xử lý của mạch xử lý trong bộ thu, khiến cho ít nhất một bộ xử lý tạo ra tín hiệu kết hợp bao gồm các xung tương ứng với các xung chuyển tiếp được tạo ra để đáp lại lần chuyển tiếp trong tín hiệu vi sai đại diện cho chênh lệch trong trạng thái báo hiệu của cặp dây trong bus ba dây. Các lệnh này khiến cho ít nhất một bộ xử lý cung cấp tín hiệu kết hợp cho mạch logic được tạo cấu hình để cung cấp tín hiệu xung nhịp làm đầu ra của nó, trong đó các xung trong tín hiệu kết hợp khiến cho tín hiệu xung nhịp được điều khiển theo trạng thái thứ nhất. Các lệnh này khiến cho ít nhất một bộ xử lý cung cấp tín hiệu thiết lập lại cho mạch logic, trong đó tín hiệu thiết lập lại được lấy từ tín hiệu xung nhịp bằng cách làm trễ các lần chuyển tiếp

sang trạng thái thứ nhất trong khi chuyển các lần chuyển tiếp từ trạng thái thứ nhất mà không có thêm độ trễ. Tín hiệu xung nhịp được điều khiển từ trạng thái thứ nhất sau khi chuyển lần chuyển tiếp của tín hiệu xung nhịp sang trạng thái thứ nhất.

Theo các khía cạnh khác nhau của sáng chế, thiết bị phục hồi xung nhịp bao gồm phương tiện để tạo ra tín hiệu kết hợp bao gồm các xung tương ứng với các xung chuyển tiếp được tạo ra để đáp lại lần chuyển tiếp trong tín hiệu vi sai đại diện cho chênh lệch trong trạng thái báo hiệu của cặp dây trong bus ba dây. Thiết bị phục hồi xung nhịp còn bao gồm phương tiện để cung cấp tín hiệu kết hợp cho mạch logic được tạo cấu hình để cung cấp tín hiệu xung nhịp làm đầu ra của nó, trong đó các xung trong tín hiệu kết hợp khiến cho tín hiệu xung nhịp được điều khiển theo trạng thái thứ nhất. Thiết bị phục hồi xung nhịp còn bao gồm phương tiện để cung cấp tín hiệu thiết lập lại cho mạch logic, trong đó tín hiệu thiết lập lại được lấy từ tín hiệu xung nhịp bằng cách làm trễ các lần chuyển tiếp sang trạng thái thứ nhất trong khi chuyển các lần chuyển tiếp từ trạng thái thứ nhất mà không có thêm độ trễ. Tín hiệu xung nhịp được điều khiển từ trạng thái thứ nhất sau khi chuyển lần chuyển tiếp của tín hiệu xung nhịp sang trạng thái thứ nhất.

Mô tả vắn tắt các hình vẽ

Fig.1 mô tả thiết bị sử dụng liên kết dữ liệu giữa các thiết bị IC được vận hành có chọn lọc theo một trong số nhiều tiêu chuẩn hoặc giao thức có sẵn, có thể bao gồm giao thức C-PHY.

Fig.2 minh họa kiến trúc hệ thống cho thiết bị sử dụng liên kết dữ liệu giữa các thiết bị IC hoạt động có chọn lọc theo một trong số nhiều tiêu chuẩn có sẵn.

Fig.3 minh họa bộ phát 3 pha C-PHY.

Fig.4 minh họa báo hiệu trong giao diện mã hóa 3 pha C-PHY.

Fig.5 minh họa bộ thu 3 pha C-PHY.

Fig.6 là sơ đồ trạng thái minh họa các các lần chuyển tiếp trạng thái có thể có trong giao diện mã hóa 3 pha C-PHY.

Fig.7 là ví dụ về ảnh hưởng của những lần tăng tín hiệu đối với việc phát hiện chuyển tiếp trong bộ giải mã C-PHY.

Fig.8 minh họa việc phát hiện chuyển tiếp trong bộ giải mã C-PHY.

Fig.9 minh họa một ví dụ về các lần chuyển tiếp tín hiệu xuất hiện giữa các cặp ký hiệu liên tiếp được truyền trên giao diện C-PHY.

Fig.10 minh họa các vùng chuyển tiếp và các vùng mất theo mẫu mắt.

Fig.11 minh họa ví dụ về mẫu mắt được tạo ra cho giao diện 3 pha C-PHY.

Fig.12 minh họa ví dụ về mạch CDR cho giao diện 3 pha C-PHY.

Fig.13 minh họa định thời kết hợp với mạch CDR trên Fig.12.

Fig.14 minh họa định thời kết hợp với mạch CDR có thời gian lặp ngắn hơn độ lệch giữa các tín hiệu được truyền trên tín hiệu 3 pha C-PHY.

Fig.15 minh họa định thời kết hợp với mạch CDR có thời gian lặp lâu hơn khoảng thời gian ký hiệu của tín hiệu 3 pha C-PHY.

Fig.16 minh họa mạch CDR được cung cấp theo các khía cạnh nhất định của sáng chế.

Fig.17 minh họa định thời kết hợp với mạch CDR được minh họa trên Fig.16.

Fig.18 minh họa ví dụ về mạch trễ cạnh lên có thể được dùng theo các khía cạnh nhất định được mô tả ở đây.

Fig.19 là sơ đồ khối minh họa ví dụ về thiết bị sử dụng mạch xử lý có thể được làm thích ứng theo các khía cạnh nhất định được mô tả ở đây.

Fig.20 là lưu đồ của phương pháp điều chỉnh thứ nhất theo các khía cạnh nhất định được mô tả ở đây.

Fig.21 là sơ đồ minh họa ví dụ thứ nhất về phương án thực hiện bằng phần cứng cho thiết bị sử dụng mạch xử lý được làm thích ứng theo các khía cạnh nhất định được mô tả ở đây.

Mô tả chi tiết sáng chế

Phần mô tả chi tiết trình bày dưới đây dựa vào các hình vẽ kèm theo được dự định làm phần mô tả về các cấu hình khác nhau và không dự định để chỉ biểu diễn các cấu hình trong đó có thể áp dụng các khái niệm được mô tả ở đây. Phần mô tả chi tiết này bao gồm các chi tiết cụ thể nhằm cung cấp hiểu biết thấu đáo về các khái niệm khác nhau. Tuy nhiên, những người có hiểu biết trung bình trong lĩnh vực kỹ thuật này sẽ thấy rõ rằng những khái

niệm này có thể được thực hành mà không cần có những chi tiết cụ thể này. Trong một số trường hợp, các cấu trúc và thành phần đã biết được thể hiện dưới dạng sơ đồ khối để tránh làm khó hiểu các khái niệm như vậy.

Như được dùng trong bản mô tả này, các thuật ngữ “thành phần”, “modun”, “hệ thống”, và thuật ngữ tương tự dự định bao gồm thực thể liên quan đến máy tính chẳng hạn như, nhưng không giới hạn ở, phần cứng, phần mềm, tổ hợp của phần cứng và phần mềm, hoặc phần mềm đang thực thi. Ví dụ, thành phần có thể là, nhưng không giới hạn ở, quy trình chạy trên bộ xử lý, bộ xử lý, đối tượng, tập tin thực thi được, chuỗi lệnh thực thi, chương trình, và/hoặc máy tính. Bằng cách minh họa, cả ứng dụng chạy trên thiết bị điện toán và thiết bị điện toán đều có thể là thành phần. Một hoặc nhiều thành phần có thể nằm trong quy trình và/hoặc chuỗi lệnh thực thi và thành phần có thể được đặt cục bộ trên máy tính và/hoặc được phân tán giữa hai hoặc nhiều máy tính. Ngoài ra, các thành phần này có thể thực thi từ các phương tiện đọc được bằng máy tính khác nhau có các cấu trúc dữ liệu khác nhau được lưu trữ trên đó. Các thành phần có thể truyền thông nhờ các quy trình nội bộ và/hoặc từ xa chẳng hạn như theo tín hiệu có một hoặc nhiều gói dữ liệu, chẳng hạn như dữ liệu từ một thành phần tương tác với thành phần khác trong hệ thống cục bộ, hệ thống phân tán, và/hoặc qua mạng như Internet với các hệ thống khác nhờ vào tín hiệu.

Hơn nữa, thuật ngữ “hoặc” dự định có ý nghĩa là “hoặc” mang tính bao hàm, không phải “hoặc” mang tính loại trừ. Tức là, trừ khi được quy định khác, hoặc rõ ràng trong ngữ cảnh, cụm từ “X sử dụng A hoặc B” dự định có ý nghĩa là hoán vị mang tính bao hàm tự nhiên bất kỳ. Tức là, cụm từ “X sử dụng A hoặc B” được hiểu bởi các ví dụ bất kỳ sau đây: X sử dụng A; X sử dụng B; hoặc X sử dụng cả A và B. Ngoài ra, mạo từ “một” hoặc “một cái” như được dùng trong đơn này và các yêu cầu bảo hộ kèm theo được hiểu chung là có ý nghĩa “một hoặc nhiều” trừ khi được quy định khác hoặc rõ ràng trong ngữ cảnh là chỉ dạng số ít.

Tổng quan

Các khía cạnh nhất định của sáng chế có thể áp dụng cho giao diện C-PHY do Liên minh MIPI xác định, giao diện này có thể được triển khai để kết nối các thiết bị điện tử là các thành phần phụ của thiết bị di động như điện thoại, thiết bị điện toán di động, dụng cụ, máy tính điện tử ô tô, hệ thống điện tử hàng không, v.v. Ví dụ về thiết bị di động bao gồm thiết bị điện toán di động, điện thoại di động, điện thoại thông minh, điện thoại giao thức

khởi tạo phiên (session initiation protocol - SIP), máy tính xách tay, máy tính sổ tay, netbook, sổ thông minh, máy trợ giúp số cá nhân (personal digital assistant - PDA), vô tuyến vệ tinh, thiết bị hệ thống định vị toàn cầu (global positioning system - GPS), thiết bị nhà thông minh, đèn chiếu sáng thông minh, thiết bị đa phương tiện, thiết bị video, máy phát âm thanh số (ví dụ, máy nghe nhạc MP3), camera, bảng điều khiển trò chơi, thiết bị giải trí, thành phần xe, hệ thống điện tử hàng không, thiết bị điện toán đeo được (ví dụ, xung nhịp thông minh, thiết bị theo dõi sức khỏe hoặc thẻ đục, kính mắt, v.v.), dụng cụ, cảm biến, thiết bị an ninh, máy bán hàng tự động, thiết bị đo thông minh, thiết bị bay không người lái, trực thăng nhiều cánh quạt, hoặc thiết bị có chức năng tương tự khác bất kỳ.

Giao diện C-PHY là giao diện nối tiếp tốc độ cao có thể cung cấp thông lượng cao qua các kênh giới hạn băng thông. Giao diện C-PHY có thể được triển khai để kết nối các bộ xử lý ứng dụng với các thiết bị ngoại vi, bao gồm màn hình và camera. Giao diện C-PHY mã hóa dữ liệu thành các ký hiệu được truyền qua tập hợp ba dây, tập hợp này có thể được gọi là bộ ba hoặc bộ ba dây. Đối với mỗi khoảng thời gian truyền ký hiệu, tín hiệu ba pha được truyền trong các pha khác nhau trên các dây của bộ ba, trong đó pha của tín hiệu ba pha trên mỗi dây được xác định bằng ký hiệu được truyền trong khoảng truyền ký hiệu. Mỗi bộ ba cung cấp một lần trên đường liên kết truyền thông. Khoảng thời gian truyền ký hiệu có thể được định nghĩa là khoảng thời gian trong đó một ký hiệu duy nhất điều khiển trạng thái báo hiệu của bộ ba. Trong mỗi khoảng thời gian truyền ký hiệu, một dây của bộ ba không được điều khiển, còn hai dây còn lại được điều khiển vi sai sao cho một trong hai dây điều khiển vi sai giả định mức điện áp thứ nhất và dây điều khiển vi sai khác giả định mức điện áp thứ hai khác với mức điện áp thứ nhất. Dây không được điều khiển có thể nổi, được điều khiển, và/hoặc được kết thúc sao cho nó giả định mức điện áp thứ ba bằng hoặc gần điện áp mức giữa ở giữa các mức điện áp thứ nhất và thứ hai. Theo một ví dụ, các mức điện áp điều khiển có thể là $+V$ và $-V$ với điện áp chưa được điều khiển là $0V$. Theo một ví dụ khác, các mức điện áp điều khiển có thể là $+V$ và $0V$ với điện áp chưa được điều khiển là $+\frac{1}{2}V$. Các ký hiệu khác nhau được truyền trong mỗi cặp ký hiệu được truyền liên tiếp, và các cặp dây khác nhau có thể được điều khiển vi sai trong các khoảng thời gian ký hiệu khác nhau.

Các phương án thực hiện gần đây hơn và đặc tả kỹ thuật được đề xuất cho C-PHY, bao gồm các đặc tả kỹ thuật C-PHY 1.2 và các đặc tả kỹ thuật C-PHY 2.0, xác định các tần số của các tín hiệu xung nhịp truyền ký hiệu có thể vượt quá các khả năng của các mạch

CDR thông thường để phục hồi tín hiệu xung nhịp tại bộ thu. Khả năng của mạch phục hồi xung nhịp để phục hồi thông tin xung nhịp có thể bị hạn chế bởi sự thay đổi thời gian tối đa liên quan đến các lần chuyển tiếp của các tín hiệu được truyền trên các dây khác nhau của liên kết truyền thông. Các mạch phục hồi xung nhịp trong bộ thu C-PHY thường sử dụng vòng phản hồi để điều khiển việc tạo ra các xung trong tín hiệu xung nhịp nhận. Vòng phản hồi có thể được dùng để đảm bảo rằng các mạch tạo xung không tạo thêm các xung bị kích hoạt trong chốt lát có thể xuất hiện trước khi các dây dẫn bên trong bộ ba giả định trạng thái báo hiệu ổn định trước khi cung cấp cạnh lấy mẫu. Tốc độ truyền ký hiệu tối đa có thể bị giới hạn bởi vòng phản hồi, và có nhu cầu liên tục đối với các mạch tạo xung được tối ưu hóa có thể hoạt động đáng tin cậy ở các tần số báo hiệu ngày càng cao được xác định bởi các thể hệ sau của đặc tả kỹ thuật C-PHY.

Các khía cạnh được mô tả ở đây cung cấp mạch phục hồi xung nhịp trong mạch bộ thu C-PHY, trong đó thời gian lập của mạch bộ thu C-PHY được tối thiểu hóa sao cho mạch phục hồi xung nhịp có thể hoạt động ở tốc độ xung nhịp C-PHY thể hệ tiếp theo. Theo một ví dụ, mạch phục hồi xung nhịp tạo ra tín hiệu kết hợp bao gồm một hoặc nhiều xung chuyển tiếp, cung cấp tín hiệu kết hợp cho mạch logic được tạo cấu hình để cung cấp tín hiệu xung nhịp làm đầu ra của nó, cung cấp tín hiệu thiết lập lại cho mạch logic được lấy từ tín hiệu xung nhịp bằng cách làm trễ các lần chuyển tiếp sang trạng thái thứ nhất trong khi chuyển các lần chuyển tiếp từ trạng thái thứ nhất mà không có thêm độ trễ. Mỗi xung chuyển tiếp được tạo ra đáp ứng với lần chuyển tiếp trong tín hiệu vi sai đại diện cho chênh lệch trong trạng thái báo hiệu của cặp dây trong bus ba dây. Xung trong tín hiệu kết hợp khiến cho tín hiệu xung nhịp được điều khiển theo trạng thái thứ nhất và tín hiệu xung nhịp được điều khiển từ trạng thái thứ nhất sau khi chuyển lần chuyển tiếp của tín hiệu xung nhịp sang trạng thái thứ nhất.

Mạch phục hồi xung nhịp có thể tạo ra xung chuyển tiếp cho tín hiệu vi sai thứ nhất bằng cách thực hiện hàm cổng OR loại trừ trên tín hiệu vi sai thứ nhất và phiên bản trễ của tín hiệu vi sai thứ nhất. Mạch phục hồi xung nhịp có thể tạo cấu hình ít nhất một mạch tạo xung để cung cấp các xung chuyển tiếp tương ứng có khoảng thời gian dựa vào khoảng thời gian xung nhịp tối thiểu được xác định cho mạch logic. Mạch phục hồi xung nhịp có thể hiệu chỉnh ít nhất một mạch tạo xung dựa vào các điều kiện hoạt động của bus ba dây. Mạch phục hồi xung nhịp có thể tạo cấu hình mạch trễ không đối xứng để lựa chọn khoảng thời gian của độ trễ được áp dụng cho các lần chuyển tiếp sang trạng thái thứ nhất. Mạch

trễ không đối xứng có thể bao gồm mạch trễ cạnh lên được tạo cấu hình để làm trễ các lần chuyển tiếp từ trạng thái logic thấp sang trạng thái logic cao, và còn được tạo cấu hình để chuyển các lần chuyển tiếp từ trạng thái logic cao sang trạng thái logic thấp mà không có thêm độ trễ. Mạch phục hồi xung nhịp có thể cung cấp tín hiệu xung nhịp cho bộ giải mã trạng thái dây được tạo cấu hình để giải mã các ký hiệu từ các lần chuyển tiếp trong trạng thái báo hiệu của bus ba dây dựa vào thông tin định thời được cung cấp trong tín hiệu xung nhịp.

Ví dụ về thiết bị sử dụng giao diện C-PHY

Fig.1 mô tả ví dụ về thiết bị 100 có thể được làm thích ứng theo các khía cạnh nhất định được mô tả ở đây. Thiết bị 100 có thể sử dụng các giao thức 3 pha C-PHY để thực hiện một hoặc nhiều liên kết truyền thông. Thiết bị 100 có thể bao gồm mạch xử lý 102 có nhiều mạch hoặc thiết bị 104, 106 và/hoặc 108. Trong một số ví dụ, các mạch hoặc thiết bị 104, 106 và/hoặc 108 có thể được triển khai trong một hoặc nhiều ASIC hoặc trong hệ thống trên chip (system on chip - SoC), trong đó SoC có thể bao gồm mạch tích hợp thực hiện tất cả hoặc về cơ bản là tất cả các thành phần của bộ xử lý, máy tính hoặc hệ thống điện tử khác. Theo một ví dụ, thiết bị 100 có thể là thiết bị truyền thông và mạch xử lý 102 có thể bao gồm bộ xử lý 112 được cung cấp trong mạch hoặc thiết bị thứ nhất 104, một hoặc nhiều thiết bị ngoại vi 106, và bộ thu phát 108 cho phép thiết bị truyền thông qua anten 124 với mạng truy cập vô tuyến, mạng truy cập lõi, Internet và/hoặc mạng khác.

Mạch hoặc thiết bị thứ nhất 104 có thể có một hoặc nhiều bộ xử lý 112, một hoặc nhiều môđem 110, bộ nhớ trên bảng mạch 114, mạch giao diện bus 116, và/hoặc các mạch hoặc hàm logic khác. Mạch xử lý 102 có thể được điều khiển bởi hệ điều hành có thể cung cấp lớp giao diện lập trình ứng dụng (application programming interface - API) cho phép một hoặc nhiều bộ xử lý 112 thực thi các môđun phần mềm nằm trong bộ nhớ trên bảng mạch 114 hoặc bộ lưu trữ đọc được bằng bộ xử lý 122 được cung cấp trên mạch xử lý 102. Các môđun phần mềm có thể bao gồm các lệnh và dữ liệu lưu trữ trong bộ nhớ trên bảng mạch 114 hoặc bộ lưu trữ đọc được bằng bộ xử lý khác 122. Mạch hoặc thiết bị thứ nhất 104 có thể truy cập vào bộ nhớ trên bảng mạch 114, bộ lưu trữ đọc được bằng bộ xử lý 122, và/hoặc bộ lưu trữ bên ngoài mạch xử lý 102. Bộ nhớ trên bảng mạch 114 và/hoặc bộ lưu trữ đọc được bằng bộ xử lý 122 có thể bao gồm bộ nhớ chỉ đọc (read-only memory - ROM) hoặc bộ nhớ truy cập ngẫu nhiên (random-access memory - RAM), ROM lập trình

xóa được bằng điện (electrically erasable programmable ROM - EEPROM), thẻ flash, hoặc thiết bị nhớ bất kỳ có thể được dùng trong các hệ thống xử lý và nền tảng điện toán. Mạch xử lý 102 có thể bao gồm, thực hiện, hoặc có quyền truy cập vào cơ sở dữ liệu cục bộ hoặc bộ lưu trữ thông số khác có thể duy trì các thông số hoạt động và thông tin khác được dùng để tạo cấu hình và vận hành thiết bị 100 và/hoặc mạch xử lý 102. Cơ sở dữ liệu cục bộ có thể được triển khai bằng cách sử dụng các thanh ghi, module cơ sở dữ liệu, bộ nhớ flash, phương tiện từ tính, EEPROM, đĩa mềm hoặc đĩa cứng, hoặc tương tự. Mạch xử lý 102 cũng có thể được ghép nối hoạt động với các thiết bị bên ngoài như anten 124, màn hình 126, các nút điều khiển của người vận hành, chẳng hạn như công tắc hoặc nút 128, 130 và/hoặc bàn phím tích hợp hoặc bàn phím ngoài 132, trong số các thành phần khác. Module giao diện người dùng có thể được tạo cấu hình để hoạt động với màn hình 126, bàn phím ngoài 132, v.v. qua liên kết truyền thông chuyên dụng hoặc qua một hoặc nhiều kết nối dữ liệu nối tiếp.

Mạch xử lý 102 có thể cung cấp một hoặc nhiều bus 118a, 118b, 120 cho phép một số mạch hoặc thiết bị 104, 106 và/hoặc 108 để truyền thông. Theo một ví dụ, mạch hoặc thiết bị thứ nhất 104 có thể bao gồm mạch giao diện bus 116 bao gồm kết hợp của các mạch, bộ đếm, bộ định thời, logic điều khiển và các mạch hoặc module tạo cấu hình được khác. Theo một ví dụ, mạch giao diện bus 116 có thể được tạo cấu hình để hoạt động theo các đặc tả kỹ thuật hoặc giao thức truyền thông. Mạch xử lý 102 có thể bao gồm hoặc điều khiển chức năng quản lý công suất tạo cấu hình và quản lý hoạt động của thiết bị 100.

Fig.2 minh họa các khía cạnh nhất định của thiết bị 200 bao gồm nhiều thiết bị IC 202 và 230, có thể trao đổi dữ liệu và thông tin điều khiển qua liên kết truyền thông 220. Liên kết truyền thông 220 có thể được dùng để kết nối cặp thiết bị IC 202 và 230 đặt gần nhau, hoặc được đặt vật lý ở các bộ phận khác nhau của thiết bị 200. Theo một ví dụ, liên kết truyền thông 220 có thể được cung cấp trên lớp mang chip, lớp nền hoặc bảng mạch để mang các thiết bị IC 202 và 230. Theo một ví dụ khác, thiết bị IC thứ nhất 202 có thể nằm trong phần bàn phím của điện thoại gập còn thiết bị IC thứ hai 230 có thể nằm trong phần màn hình của điện thoại gập. Theo một ví dụ khác, một phần của liên kết truyền thông 220 có thể bao gồm cáp hoặc kết nối quang.

Liên kết truyền thông 220 có thể bao gồm nhiều kênh 222, 224 và 226. Một hoặc nhiều kênh 226 có thể là hai chiều, và có thể hoạt động ở các chế độ ghép kênh bán song

công và/hoặc ghép kênh song công toàn phần. Một hoặc nhiều kênh 222 và 224 có thể là một chiều. Liên kết truyền thông 220 có thể không đối xứng, cung cấp băng thông cao hơn theo một hướng. Theo một ví dụ được mô tả ở đây, kênh thứ nhất 222 có thể được gọi là kênh chuyển tiếp 222 còn kênh thứ hai 224 có thể được gọi là kênh ngược 224. Thiết bị IC thứ nhất 202 có thể được chỉ định làm hệ thống máy chủ hoặc bộ phát, còn thiết bị IC thứ hai 230 có thể được chỉ định làm hệ thống máy khách hoặc bộ thu, ngay cả khi cả hai thiết bị IC 202 và 230 được tạo cấu hình để truyền và nhận trên kênh 222. Theo một ví dụ, kênh chuyển tiếp 222 có thể hoạt động với tốc độ dữ liệu cao hơn khi truyền thông dữ liệu từ thiết bị IC thứ nhất 202 đến thiết bị IC thứ hai 230, còn kênh ngược 224 có thể hoạt động với tốc độ dữ liệu thấp hơn khi truyền thông dữ liệu từ thiết bị IC thứ hai 230 đến thiết bị IC thứ nhất 202.

Mỗi thiết bị IC 202 và 230 có thể bao gồm bộ xử lý 206, 236, bộ điều khiển hoặc mạch hoặc thiết bị xử lý và/hoặc điện toán khác. Theo một ví dụ, thiết bị IC thứ nhất 202 có thể thực hiện các chức năng lõi của thiết bị 200, bao gồm thiết lập và duy trì truyền thông không dây qua bộ thu phát không dây 204 và anten 214, còn thiết bị IC thứ hai 230 có thể hỗ trợ giao diện người dùng quản lý hoặc vận hành bộ điều khiển màn hình 232, và có thể điều khiển hoạt động của camera hoặc thiết bị đầu vào video bằng cách sử dụng bộ điều khiển camera 234. Các tính năng khác được hỗ trợ bởi một hoặc nhiều thiết bị IC 202 và 230 có thể bao gồm bàn phím, thành phần nhận dạng giọng nói, và các thiết bị đầu vào hoặc đầu ra khác. Bộ điều khiển màn hình 232 có thể bao gồm các mạch và trình điều khiển phần mềm hỗ trợ màn hình như bảng màn hình tinh thể lỏng (liquid crystal display - LCD), màn hình cảm ứng, chỉ báo, và v.v. Phương tiện lưu trữ 208 và 238 có thể bao gồm các thiết bị lưu trữ khả biến và/hoặc bất biến được điều chỉnh để duy trì các lệnh và dữ liệu được dùng bởi các bộ xử lý tương ứng 206 và 236, và/hoặc các thành phần khác của các thiết bị IC 202 và 230. Truyền thông giữa mỗi bộ xử lý 206, 236 và phương tiện lưu trữ tương ứng của nó 208 và 238 và các môđun và các mạch khác có thể được hỗ trợ bởi một hoặc nhiều bus bên trong 212 và 242 và/hoặc kênh 222, 224 và/hoặc 226 của liên kết truyền thông 220.

Kênh ngược 224 có thể được hoạt động theo cách tương tự như kênh chuyển tiếp 222, kênh chuyển tiếp 222, và kênh ngược 224 có thể có khả năng truyền ở các tốc độ tương đương hoặc ở các tốc độ khác nhau, trong đó tốc độ có thể được biểu thị bằng tốc độ truyền dữ liệu, tốc độ truyền ký hiệu và/hoặc tốc độ xung nhịp. Tốc độ dữ liệu chuyển

tiếp và ngược về cơ bản có thể giống nhau hoặc có thể khác nhau theo thứ tự độ lớn, tùy thuộc vào ứng dụng. Trong một số ứng dụng, một kênh hai chiều 226 có thể hỗ trợ truyền thông giữa thiết bị IC thứ nhất 202 và thiết bị IC thứ hai 230. Kênh chuyển tiếp 222 và/hoặc kênh ngược 224 có thể được tạo cấu hình để hoạt động trong chế độ hai chiều, ví dụ, khi các kênh chuyển tiếp và ngược 222 và 224 dùng chung các kết nối vật lý giống nhau và hoạt động theo cách ghép kênh bán song công. Theo một ví dụ, liên kết truyền thông 220 có thể được vận hành để truyền thông điều khiển, lệnh và thông tin khác giữa thiết bị IC thứ nhất 202 và thiết bị IC thứ hai 230 theo tiêu chuẩn công nghiệp hoặc tiêu chuẩn khác.

Liên kết truyền thông 220 trên Fig.2 có thể được triển khai theo đặc tả kỹ thuật của Liên minh MIPI cho C-PHY và có thể cung cấp bus có dây bao gồm nhiều dây tín hiệu (được ký hiệu là M dây). M dây có thể được tạo cấu hình để mang dữ liệu mã hóa N pha trong giao diện số tốc độ cao, chẳng hạn như giao diện số màn hình di động (mobile display digital interface - MDDI). M dây có thể hỗ trợ mã hóa cực tính N pha trên một hoặc nhiều kênh 222, 224 và 226. Các trình điều khiển lớp vật lý 210 và 240 có thể được tạo cấu hình hoặc được làm thích ứng để tạo ra dữ liệu mã hóa cực tính N pha để truyền trên liên kết truyền thông 220. Việc sử dụng kỹ thuật mã hóa cực tính N pha làm cho việc truyền dữ liệu tốc độ cao và có thể tiêu thụ một nửa hoặc ít hơn công suất của các giao diện khác vì ít trình điều khiển hoạt động trong các liên kết dữ liệu mã hóa cực tính N pha.

Các trình điều khiển lớp vật lý 210 và 240 thường có thể mã hóa nhiều bit cho mỗi lần chuyển tiếp trên liên kết truyền thông 220 khi được tạo cấu hình để mã hóa cực tính N-pha. Theo một ví dụ, sự kết hợp giữa mã hóa 3 pha và mã hóa cực tính có thể được dùng để hỗ trợ IC điều khiển LCD 80 khung/giây mảng đồ họa video rộng (wide video graphics array - WVGA) mà không có bộ đệm khung, cung cấp dữ liệu điểm ảnh ở tốc độ 810 Mbps để làm mới màn hình.

Fig.3 là sơ đồ 300 minh họa bộ mã hóa cực tính 3 dây 3 pha có thể được dùng để thực hiện các khía cạnh nhất định của liên kết truyền thông 220 được mô tả trên Fig.2. Ví dụ về việc mã hóa 3 dây 3 pha được lựa chọn chỉ nhằm mục đích đơn giản hóa mô tả về các khía cạnh nhất định của sáng chế. Các nguyên tắc và kỹ thuật được mô tả cho bộ mã hóa 3 dây 3 pha có thể được áp dụng trong các cấu hình khác của các bộ mã hóa cực tính M dây N pha.

Các trạng thái báo hiệu được xác định cho mỗi trong số 3 dây trong sơ đồ mã hóa cực tính 3 dây 3 pha có thể bao gồm trạng thái chưa điều khiển, trạng thái điều khiển dương và trạng thái điều khiển âm. Trạng thái điều khiển dương và trạng thái điều khiển âm có thể đạt được bằng cách cung cấp chênh lệch điện áp giữa hai trong số các dây tín hiệu 318a, 318b và/hoặc 318c, và/hoặc bằng cách dẫn dòng điện qua hai trong số các dây tín hiệu 318a, 318b và/hoặc 318c được kết nối qua điện trở cuối cùng sao cho dòng điện chạy theo các hướng khác nhau trong hai dây tín hiệu 318a, 318b và/hoặc 318c. Có thể nhận ra trạng thái chưa điều khiển bằng cách đặt đầu ra của trình điều khiển của dây tín hiệu 318a, 318b hoặc 318c vào chế độ trở kháng cao. Cách khác hoặc ngoài ra, có thể thu được trạng thái chưa điều khiển trên dây tín hiệu 318a, 318b hoặc 318c bằng cách thụ động hoặc chủ động khiến cho dây tín hiệu “chưa điều khiển” 318a, 318b hoặc 318c đạt được mức điện áp về cơ bản nằm ở nửa giữa các mức điện áp dương và âm được cung cấp trên các dây tín hiệu điều khiển 318a, 318b và/hoặc 318c. Thông thường, không có dòng điện đáng kể nào chạy qua dây tín hiệu chưa điều khiển 318a, 318b hoặc 318c. Các trạng thái báo hiệu được xác định cho sơ đồ mã hóa cực tính 3 dây 3 pha có thể được biểu thị bằng cách sử dụng ba trạng thái điện áp hoặc dòng điện (+1, -1 và 0).

Bộ mã hóa cực tính 3 dây 3 pha có thể sử dụng các trình điều khiển đường truyền 308 để điều khiển trạng thái báo hiệu của các dây tín hiệu 318a, 318b và 318c. Trình điều khiển đường truyền 308 có thể được thực hiện dưới dạng trình điều khiển chế độ dòng hoặc chế độ điện áp mức đơn vị. Theo một số phương án thực hiện, mỗi trình điều khiển đường truyền 308 có thể nhận tập hợp tín hiệu 316a, 316b và 316c xác định trạng thái đầu ra của các dây tín hiệu tương ứng 318a, 318b và 318c. Theo một ví dụ, mỗi tập hợp tín hiệu 316a, 316b và 316c có thể bao gồm hai hoặc nhiều tín hiệu, bao gồm tín hiệu kéo lên (tín hiệu PU) và tín hiệu kéo xuống (tín hiệu PD), khi ở mức cao, sẽ kích hoạt các mạch kéo lên và kéo xuống điều khiển lần lượt các dây tín hiệu 318a, 318b và 318c về điện áp mức cao hơn hoặc mức thấp hơn. Trong ví dụ này, khi cả tín hiệu PU và tín hiệu PD đều ở mức thấp, các dây tín hiệu 318a, 318b và 318c có thể được hoàn thành ở điện áp mức trung bình.

Đối với mỗi khoảng thời gian truyền ký hiệu trong sơ đồ mã hóa cực tính N pha M dây, ít nhất một dây tín hiệu 318a, 318b hoặc 318c ở trạng thái điện áp hoặc dòng điện ở mức giữa/chưa điều khiển (0), còn số lượng dây tín hiệu điều khiển dương (trạng thái điện áp hoặc dòng điện + 1) 318a, 318b hoặc 318c bằng với số lượng dây tín hiệu điều khiển âm (trạng thái điện áp hoặc dòng điện -1) 318a, 318b hoặc 318c, sao cho tổng dòng điện

chạy đến bộ thu luôn bằng 0. Đối với mỗi khoảng thời gian truyền ký hiệu, trạng thái báo hiệu của ít nhất một dây tín hiệu 318a, 318b hoặc 318c được thay đổi từ trạng thái dây được truyền trong khoảng thời gian truyền trước đó.

Khi hoạt động, bộ ánh xạ 302 có thể nhận và ánh xạ dữ liệu 16-bit 310 cho 7 ký hiệu 312. Trong ví dụ 3 dây, mỗi trong số 7 ký hiệu xác định trạng thái của các dây tín hiệu 318a, 318b và 318c cho một khoảng thời gian truyền ký hiệu. 7 ký hiệu 312 có thể được nối tiếp bằng cách sử dụng bộ biến đổi từ song song thành nối tiếp 304 cung cấp chuỗi ký hiệu được định thời 314 cho mỗi dây tín hiệu 318a, 318b và 318c. Chuỗi ký hiệu 314 thường được định thời bằng cách sử dụng xung nhịp truyền, có thể được gọi là xung nhịp ký hiệu (symbol clock - CLK_{SYM}). Theo một ví dụ, chu kỳ của xung nhịp ký hiệu xác định khoảng thời gian của khoảng thời gian truyền ký hiệu. Bộ mã hóa 3 dây 3 pha 306 nhận chuỗi 7 ký hiệu 314 do bộ ánh xạ tạo ra từng ký hiệu mỗi lần và tính toán trạng thái của từng dây tín hiệu 318a, 318b và 318c cho mỗi khoảng thời gian truyền ký hiệu. Bộ mã hóa 3 dây 3 pha 306 lựa chọn các trạng thái của dây tín hiệu 318a, 318b và 318c dựa vào ký hiệu đầu vào hiện thời 314 và các trạng thái trước đó của các dây tín hiệu 318a, 318b và 318c.

Việc sử dụng kỹ thuật mã hóa M dây N pha cho phép một số bit sẽ được mã hóa trong nhiều ký hiệu trong đó các bit trên mỗi ký hiệu không phải là số nguyên. Trong một ví dụ về liên kết truyền thông 3 dây, có 3 tổ hợp 2 dây có sẵn, có thể được điều khiển đồng thời, và 2 tổ hợp cực tính có thể có trên cặp dây được điều khiển, tạo ra 6 trạng thái có thể. Vì mỗi lần chuyển tiếp xuất hiện từ trạng thái hiện thời, nên 5 trong số 6 trạng thái có sẵn ở mọi lần chuyển tiếp. Cần trạng thái của ít nhất một dây để thay đổi ở mỗi lần chuyển tiếp. Có 5 trạng thái, $\log_2(5) \cong 2,32$ bit có thể được mã hóa trên mỗi ký hiệu. Do đó, bộ ánh xạ có thể chấp nhận từ 16 bit và chuyển nó thành 7 ký hiệu vì 7 ký hiệu mang 2,32 bit trên mỗi ký hiệu có thể mã hóa 16,24 bit. Nói cách khác, tổ hợp của bảy ký hiệu để mã hóa năm trạng thái có 5^7 (78,125) hoán vị. Do đó, 7 ký hiệu có thể được dùng để mã hóa 2^{16} (65,536) hoán vị của 16 bit.

Fig.4 bao gồm ví dụ về sơ đồ định thời 400 cho các tín hiệu được mã hóa bằng cách sử dụng sơ đồ mã hóa dữ liệu điều chế ba pha được dựa vào sơ đồ trạng thái vòng tròn 450. Thông tin có thể được mã hóa theo chuỗi các trạng thái báo hiệu, trong đó, ví dụ, dây hoặc đầu nối ở một trong số ba trạng thái pha S_1 , S_2 và S_3 được xác định bởi sơ đồ trạng thái

vòng tròn 450. Mỗi trạng thái có thể được phân tách khỏi các trạng thái khác bằng cách dịch chuyển pha 120° . Theo một ví dụ, dữ liệu có thể được mã hóa theo hướng quay của các trạng thái pha trên dây hoặc đầu nối. Các trạng thái pha trong tín hiệu có thể quay theo chiều kim đồng hồ 452 và 452' hoặc ngược chiều xung đồng hồ 454 và 454'. Ví dụ, theo chiều kim đồng hồ 452 và 452', các trạng thái pha có thể tăng theo chuỗi bao gồm một hoặc nhiều lần chuyển tiếp từ S_1 sang S_2 , từ S_2 sang S_3 và từ S_3 sang S_1 . Theo hướng ngược chiều kim đồng hồ 454 và 454', các trạng thái pha có thể tăng theo chuỗi bao gồm một hoặc nhiều lần chuyển tiếp từ S_3 sang S_2 , từ S_2 sang S_1 và từ S_1 sang S_3 . Ba dây tín hiệu 318a, 318b và 318c mang các phiên bản khác nhau của cùng một tín hiệu, trong đó các phiên bản có thể được dịch pha 120° với nhau. Mỗi trạng thái báo hiệu có thể được biểu diễn dưới dạng mức điện áp khác nhau trên dây hoặc đầu nối và/hoặc hướng dòng điện chạy qua dây hoặc đầu nối. Trong mỗi chuỗi trạng thái báo hiệu trong hệ thống 3 dây, mỗi dây tín hiệu 318a, 318b và 318c ở trong trạng thái báo hiệu khác với các dây còn lại. Khi nhiều hơn 3 dây tín hiệu 318a, 318b và 318c được dùng trong hệ thống mã hóa 3 pha, hai hoặc nhiều dây tín hiệu 318a, 318b và/hoặc 318c có thể trong cùng một trạng thái báo hiệu tại mỗi khoảng thời gian báo hiệu, mặc dù mỗi trạng thái có mặt trên ít nhất một dây tín hiệu 318a, 318b và/hoặc 318c trong mọi khoảng thời gian báo hiệu.

Thông tin có thể được mã hóa theo hướng quay ở mỗi lần chuyển tiếp pha 410, và tín hiệu 3 pha có thể thay đổi hướng cho mỗi trạng thái báo hiệu. Hướng quay có thể được xác định bằng cách xem xét các dây tín hiệu 318a, 318b và/hoặc 318c nào ở trạng thái '0' trước và sau khi chuyển tiếp pha, vì dây tín hiệu chưa điều khiển 318a, 318b và/hoặc 318c thay đổi ở mọi trạng thái báo hiệu trong tín hiệu ba pha quay, bất kể hướng quay.

Sơ đồ mã hóa cũng có thể mã hóa thông tin theo cực tính 408 của hai dây tín hiệu 318a, 318b và/hoặc 318c được điều khiển tích cực. Tại thời điểm bất kỳ theo phương án thực hiện 3 dây, chính xác hai trong số các dây tín hiệu 318a, 318b, 318c được điều khiển với dòng điện ngược chiều và/hoặc với chênh lệch điện áp. Theo một phương án thực hiện, dữ liệu có thể được mã hóa bằng cách sử dụng hai giá trị bit 412, trong đó một bit được mã hóa theo hướng của các lần chuyển tiếp pha 410 và bit thứ hai được mã hóa theo cực tính 408 cho trạng thái hiện thời.

Sơ đồ định thời 400 minh họa việc mã hóa dữ liệu bằng cách sử dụng cả hướng quay pha và cực tính. Các đường cong 402, 404 và 406 liên quan đến các tín hiệu lần lượt

được mang trên ba dây tín hiệu 318a, 318b và 318c cho nhiều trạng thái pha. Ban đầu, các lần chuyển tiếp pha 410 theo chiều kim đồng hồ và bit quan trọng nhất được thiết lập thành số nhị phân '1', cho đến khi vòng quay của các lần chuyển tiếp pha 410 chuyển đổi tại thời điểm 414 sang hướng ngược chiều kim đồng hồ, được biểu thị bằng số nhị phân '0' của bit quan trọng nhất. Bit ít quan trọng nhất phản ánh cực tính 408 của tín hiệu ở mỗi trạng thái.

Theo một số khía cạnh nhất định được mô tả ở đây, một bit dữ liệu có thể được mã hóa trong quá trình quay, hoặc thay đổi pha trong hệ thống mã hóa 3 dây 3 pha, và một bit bổ sung có thể được mã hóa theo cực tính của hai dây điều khiển. Thông tin bổ sung có thể được mã hóa trong mỗi lần chuyển tiếp của hệ thống mã hóa 3 dây 3 pha bằng cách cho phép chuyển tiếp sang bất kỳ trong số các trạng thái có thể có từ trạng thái hiện thời. Nếu 3 pha quay và hai cực tính cho mỗi pha, thì 6 trạng thái có sẵn trong hệ thống mã hóa 3 dây 3 pha. Do đó, 5 trạng thái có sẵn từ trạng thái hiện thời bất kỳ, và có thể có $\log_2(5) \cong 2,32$ bit được mã hóa cho mỗi ký hiệu (chuyển tiếp), cho phép bộ ánh xạ 302 chấp nhận từ 16 bit và mã hóa nó thành 7 ký hiệu.

Fig.5 là sơ đồ minh họa các khía cạnh nhất định của bộ giải mã 3 dây 3 pha 500. Các bộ thu vi sai 502a, 502b, 502c và bộ giải mã trạng thái dây 504 được tạo cấu hình để cung cấp dạng biểu diễn số 522 của trạng thái của ba đường truyền (ví dụ, các dây tín hiệu 318a, 318b và 318c được minh họa trên Fig.3), liên quan đến nhau, và để phát hiện những thay đổi trong trạng thái của ba đường truyền so với trạng thái được truyền trong chu kỳ ký hiệu trước đó. Bảy trạng thái liên tiếp được tập hợp bởi các bộ chuyển đổi từ nối tiếp sang song song 506 để thu được tập hợp 7 ký hiệu 516 sẽ được xử lý bởi bộ giải ánh xạ 508. Bộ giải ánh xạ 508 tạo ra 16 bit dữ liệu 518 có thể được đệm trong thanh ghi vào trước ra trước (first-in-first-out - FIFO) 510 để cung cấp dữ liệu đầu ra 520.

Bộ giải mã trạng thái dây 504 có thể trích ra chuỗi ký hiệu 514 từ các tín hiệu mã hóa pha nhận được trên các dây tín hiệu 318a, 318b và 318c. Các ký hiệu 514 được mã hóa dưới dạng tổ hợp quay pha và cực tính như được mô tả ở đây. Bộ giải mã trạng thái dây có thể bao gồm mạch CDR 524 trích ra xung nhịp 526 có thể được dùng để thu các trạng thái dây một cách tin cậy từ các dây tín hiệu 318a, 318b và 318c. Lần chuyển tiếp xuất hiện trên ít nhất một trong các dây tín hiệu 318a, 318b và 318c tại mỗi biên ký hiệu và mạch CDR 524 có thể được tạo cấu hình để tạo ra xung nhịp 526 dựa vào sự xuất hiện của một lần chuyển tiếp hoặc nhiều lần chuyển tiếp. Một cạnh của xung nhịp có thể bị trễ để cho

phép điều chỉnh tất cả các dây tín hiệu 318a, 318b và 318c được ổn định và do đó đảm bảo rằng trạng thái dây hiện thời được ghi lại cho các mục đích giải mã.

Fig.6 là sơ đồ trạng thái 600 minh họa các trạng thái báo hiệu có thể có 602, 604, 606, 612, 614, 616 của ba dây, có các lần chuyển tiếp có thể có được minh họa từ mỗi trạng thái. Trong ví dụ về liên kết truyền thông 3 dây 3 pha, 6 trạng thái và 30 lần chuyển tiếp trạng thái là có sẵn. Các trạng thái báo hiệu có thể có 602, 604, 606, 612, 614 và 616 trong sơ đồ trạng thái 600 bao gồm và mở rộng trên các trạng thái được thể hiện trong sơ đồ trạng thái vòng tròn 450 trên Fig.4. Như được minh họa trong ví dụ của phần tử trạng thái 628, mỗi trạng thái báo hiệu 602, 604, 606, 612, 614 và 616 trong sơ đồ trạng thái 600 xác định trạng thái báo hiệu điện áp của các dây tín hiệu 318a, 318b, 318c, lần lượt được gán nhãn là A, B và C. Ví dụ, trong trạng thái báo hiệu 602 (+ x) dây A = +1, dây B = -1 và dây C = 0, tạo ra đầu ra của bộ thu vi sai 502a (AB) = +2, bộ thu vi sai 502b (BC) = -1 và bộ thu vi sai 502c (CA) = -1. Các quyết định chuyển tiếp được thực hiện bởi các mạch phát hiện thay đổi pha trong bộ thu được dựa vào 5 mức có thể có được tạo ra bởi các bộ thu vi sai 502a, 502b, 502c, bao gồm các trạng thái điện áp -2, -1, 0, +1 và +2.

Các lần chuyển tiếp trong sơ đồ trạng thái 600 có thể được biểu diễn bằng ký hiệu Lật, Quay, Cực tính (ví dụ, ký hiệu FRP 626) có một trong các giá trị nhị phân ba bit trong tập hợp: {000, 001, 010, 011, 100}. Bit Quay 622 của ký hiệu FRP 626 biểu thị hướng quay pha kết hợp với lần chuyển tiếp sang trạng thái tiếp theo. Bit Cực tính 624 của ký hiệu FRP 626 được đặt thành số nhị phân 1 khi lần chuyển tiếp sang trạng thái tiếp theo liên quan đến sự thay đổi trong cực tính. Khi bit Lật 620 của ký hiệu FRP 626 được đặt thành số nhị phân 1, các giá trị Quay và Cực tính có thể bị bỏ qua và/hoặc bằng không. Lật đại diện cho lần chuyển tiếp trạng thái chỉ liên quan đến sự thay đổi về cực tính. Do đó, pha của tín hiệu 3 pha không được coi là quay khi xảy ra lật và bit cực tính là bit dư khi xảy ra lật. Ký hiệu FRP 626 tương ứng với các thay đổi trạng thái dây cho mỗi lần chuyển tiếp. Sơ đồ trạng thái 600 có thể được tách thành vòng trong 608 bao gồm các trạng thái báo hiệu cực tính dương 602, 604, 606 và vòng ngoài 618 bao gồm các trạng thái báo hiệu cực tính âm 612, 614, 616.

Chập chờn trong giao diện 3 pha

Bộ phát 3 pha bao gồm các trình điều khiển cung cấp điện áp mức cao, thấp và trung bình trên kênh truyền. Việc này dẫn đến các lần chuyển tiếp có thể thay đổi giữa các

khoảng thời gian ký hiệu liên tiếp. Các lần chuyển tiếp điện áp từ thấp đến cao và từ cao xuống thấp có thể được gọi là chuyển tiếp quay hoàn toàn, còn các lần chuyển tiếp điện áp từ thấp đến giữa và từ cao xuống giữa có thể được gọi là chuyển tiếp nửa quay. Các loại chuyển tiếp khác nhau có thể có các thời điểm tăng hoặc giảm khác nhau, và có thể tạo ra các giao điểm không (0) khác nhau ở bộ thu. Các chênh lệch này có thể dẫn đến việc “chập chờn mã hóa”, có thể ảnh hưởng đến hiệu suất toàn vẹn của tín hiệu liên kết.

Fig.7 là sơ đồ định thời 700 minh họa các khía cạnh nhất định của sự thay đổi chuyển tiếp ở đầu ra của bộ phát 3 pha C-PHY. Sự thay đổi tại các thời điểm chuyển tiếp tín hiệu có thể là do sự tồn tại của các mức điện áp và/hoặc dòng điện khác nhau được dùng trong báo hiệu 3 pha. Sơ đồ định thời 700 minh họa các thời điểm chuyển tiếp trong tín hiệu nhận được từ một dây tín hiệu 310a, 310b hoặc 310c. Ký hiệu thứ nhất Sym_n 702 được truyền trong khoảng thời gian ký hiệu thứ nhất kết thúc tại thời điểm 722 sau đó ký hiệu thứ hai Sym_{n+1} 704 được truyền trong khoảng thời gian ký hiệu thứ hai. Khoảng thời gian ký hiệu thứ hai có thể kết thúc tại thời điểm 724 sau đó ký hiệu thứ ba Sym_{n+2} 706 được truyền trong khoảng thời gian ký hiệu thứ ba, kết thúc tại thời điểm 726 sau đó ký hiệu thứ tư Sym_{n+3} 708 được truyền trong khoảng thời gian ký hiệu thứ tư. Lần chuyển tiếp từ trạng thái được xác định bởi ký hiệu thứ nhất 702 sang trạng thái tương ứng với ký hiệu thứ hai 704 có thể phát hiện được sau độ trễ 712 do thời gian cần thiết để điện áp trong dây tín hiệu 310a, 310b hoặc 310c đạt đến điện áp ngưỡng 718 và/hoặc 720. Các điện áp ngưỡng có thể được dùng để xác định trạng thái của dây tín hiệu 310a, 310b hoặc 310c. Lần chuyển tiếp từ trạng thái được xác định bởi ký hiệu thứ hai 704 sang trạng thái cho ký hiệu thứ ba 706 có thể được phát hiện sau độ trễ 714 do thời gian cần thiết để điện áp trong dây tín hiệu 310a, 310b hoặc 310c đạt đến một trong các điện áp ngưỡng 718 và/hoặc 720. Lần chuyển tiếp từ trạng thái được xác định bởi ký hiệu thứ ba 706 sang trạng thái cho ký hiệu thứ tư 708 có thể được phát hiện sau độ trễ 716 do thời gian cần thiết để điện áp trong dây tín hiệu 310a, 310b hoặc 310c đạt đến điện áp ngưỡng 718 và/hoặc 720. Các độ trễ 712, 714 và 716 có thể có các khoảng thời gian khác nhau, có thể là do sự thay đổi trong các quy trình sản xuất thiết bị và các điều kiện hoạt động, có thể tạo ra các ảnh hưởng không đều đối với các lần chuyển tiếp giữa các mức điện áp hoặc dòng điện khác nhau liên quan đến 3 trạng thái và/hoặc các độ lớn chuyển tiếp khác nhau. Các chênh lệch này có thể góp phần gây ra hiện tượng chập chờn và các vấn đề khác trong bộ thu 3 pha C-PHY.

Fig.8 minh họa các khía cạnh nhất định của các mạch CDR có thể được cung cấp trong bộ thu trong giao diện C-PHY 800. Các bộ thu vi sai 802a, 802b và 802c được tạo cấu hình để tạo ra tập hợp các tín hiệu vi sai 810a, 810b, 810c bằng cách so sánh trạng thái báo hiệu của từng cặp dây tín hiệu 310a, 310b và 310c khác nhau trong bộ ba. Theo ví dụ được minh họa, bộ thu vi sai thứ nhất 802a cung cấp tín hiệu vi sai AB 810a đại diện cho chênh lệch trong trạng thái báo hiệu của các dây tín hiệu A 310a và B 310b, bộ thu vi sai thứ hai 802b cung cấp tín hiệu vi sai BC 810b đại diện cho chênh lệch trong trạng thái báo hiệu của các dây tín hiệu B 310b và C 310c và bộ thu vi sai thứ ba 802c cung cấp tín hiệu vi sai CA 810c đại diện cho chênh lệch trong trạng thái báo hiệu của các dây tín hiệu C 310c và A 310a. Do đó, mạch phát hiện chuyển tiếp 804 có thể được tạo cấu hình để phát hiện việc xuất hiện thay đổi pha vì đầu ra của ít nhất một trong các bộ thu vi sai 802a, 802b và 802c thay đổi ở cuối mỗi khoảng thời gian ký hiệu.

Các lần chuyển tiếp giữa một số cặp ký hiệu được truyền liên tiếp có thể được phát hiện bởi một bộ thu vi sai 802a, 802b hoặc 802c, còn các lần chuyển tiếp khác có thể được phát hiện bởi hai hoặc nhiều trong số các bộ thu vi sai 802a, 802b và 802c. Theo một ví dụ, các trạng thái hoặc trạng thái tương đối của hai dây có thể không thay đổi sau khi chuyển tiếp và đầu ra của bộ thu vi sai tương ứng 802a, 802b hoặc 802c cũng có thể không thay đổi sau khi chuyển tiếp pha. Do đó, mạch tạo xung nhịp 806 có thể bao gồm hoặc kết hợp với mạch phát hiện chuyển tiếp 804 và/hoặc logic khác để giám sát đầu ra của tất cả các bộ thu vi sai 802a, 802b và 802c để xác định khi nào lần chuyển tiếp pha xuất hiện. Mạch tạo xung nhịp có thể tạo ra tín hiệu xung nhịp nhận 808 dựa vào các lần chuyển tiếp pha phát hiện được.

Các thay đổi về trạng thái báo hiệu của 3 dây trong bộ ba có thể được phát hiện tại các thời điểm khác nhau, việc này có thể dẫn đến các tín hiệu vi sai 810a, 810b, 810c giả định các trạng thái ổn định tại các thời điểm khác nhau. Trạng thái của các tín hiệu vi sai 810a, 810b, 810c có thể chuyển đổi trước khi đạt được sự ổn định sau khi trạng thái báo hiệu của mỗi dây tín hiệu 310a, 310b và/hoặc 310c đã chuyển tiếp sang trạng thái xác định của nó trong một khoảng thời gian truyền ký hiệu. Kết quả của sự thay đổi như vậy được minh họa trong sơ đồ định thời 820 trên Fig.8.

Định thời phát hiện thay đổi trạng thái báo hiệu có thể thay đổi tùy theo loại thay đổi trạng thái báo hiệu đã xảy ra. Các dấu mốc 822, 824 và 826 đại diện cho sự xuất hiện

của các lần chuyển tiếp trong các tín hiệu vi sai 810a, 810b, 810c được cung cấp cho mạch phát hiện chuyển tiếp 804. Các dấu mốc 822, 824 và 826 được gán các độ cao khác nhau trong sơ đồ định thời 820 chỉ để minh họa rõ ràng, và độ cao tương đối của các dấu mốc 822, 824 và 826 không có ý định thể hiện mối quan hệ cụ thể với các mức điện áp hoặc dòng điện, cực tính hoặc các giá trị trọng số được dùng để tạo ra xung nhịp hoặc giải mã dữ liệu. Sơ đồ định thời 820 minh họa ảnh hưởng của việc định thời của các lần chuyển tiếp kết hợp với các ký hiệu được truyền theo pha và cực tính trên ba dây tín hiệu 310a, 310b và 310c. Trong sơ đồ định thời 820, các lần chuyển tiếp giữa một số ký hiệu có thể dẫn đến các cửa sổ thu giữ thay đổi 830a, 830b, 830c, 830d, 830e, 830f và/hoặc 830g (gọi chung là cửa sổ thu giữ ký hiệu 830) trong đó các ký hiệu có thể được thu giữ một cách tin cậy. Số lần thay đổi trạng thái được phát hiện và ddnhj thời tương đối của chúng có thể dẫn đến sự chậm chèn trên tín hiệu xung nhịp 808.

Thông lượng của liên kết truyền thông C-PHY có thể bị ảnh hưởng bởi khoảng thời gian và sự thay đổi trong các thời điểm chuyển tiếp tín hiệu. Ví dụ, sự thay đổi trong các mạch phát hiện có thể do dung sai quy trình sản xuất, các thay đổi và độ ổn định của nguồn điện áp và dòng điện và nhiệt độ hoạt động, cũng như do các đặc tính điện của các dây tín hiệu 310a, 310b và 310c. Sự thay đổi trong các mạch phát hiện có thể hạn chế băng thông kênh.

Fig.9 bao gồm các sơ đồ định thời 900 và 920 đại diện cho các ví dụ nhất định về các lần chuyển tiếp từ trạng thái báo hiệu thứ nhất sang trạng thái báo hiệu thứ hai giữa các ký hiệu liên tiếp. Các lần chuyển tiếp trạng thái báo hiệu được minh họa trong các sơ đồ định thời 900 và 920 được chọn cho các mục đích minh họa, và các lần chuyển tiếp và tổ hợp các lần chuyển tiếp khác có thể xảy ra trong giao diện C-PHY của Liên minh MIPI. Sơ đồ định thời 900 và 920 liên quan đến ví dụ về liên kết truyền thông 3 dây 3 pha, trong đó nhiều lần chuyển tiếp đầu ra của bộ thu có thể xuất hiện ở mỗi biên khoảng thời gian ký hiệu do có các chênh lệch về thời gian tăng và giảm giữa các mức tín hiệu trên bộ ba dây. Như được thể hiện trên Fig.8, sơ đồ định thời thứ nhất 900 minh họa trạng thái báo hiệu của bộ ba dây tín hiệu 310a, 310b và 310c (A, B và C) trước và sau khi chuyển tiếp và sơ đồ định thời thứ hai 920 minh họa đầu ra của bộ thu vi sai 802a, 802b và 802c, bộ thu này cung cấp các tín hiệu vi sai 810a, 810b, 810c đại diện cho các chênh lệch giữa các dây tín hiệu 310a, 310b và 310c. Trong nhiều trường hợp, tập hợp các bộ thu vi sai 802a, 802b và 802c có thể được tạo cấu hình để thu giữ các lần chuyển tiếp bằng cách so sánh các tổ hợp

khác nhau cho hai dây tín hiệu 310a, 310b và 310c. Theo một ví dụ, các bộ thu vi sai 802a, 802b và 802c có thể được tạo cấu hình để tạo ra đầu ra bằng cách xác định chênh lệch (ví dụ, phép trừ) của điện áp đầu vào tương ứng của chúng.

Trong mỗi trong số các ví dụ thể hiện trong các sơ đồ định thời 900 và 920, ban đầu ký hiệu đại diện cho trạng thái -z 616 (xem Fig.6) chuyển tiếp sang một ký hiệu khác. Như thể hiện trong các sơ đồ định thời 902, 904 và 906 tín hiệu A ban đầu ở trạng thái +1, tín hiệu B ở trạng thái 0 và tín hiệu C ở trạng thái -1. Do đó, các bộ thu vi sai 802a, 802b ban đầu đo chênh lệch +1 924 và bộ thu vi sai 802c đo chênh lệch -2 926, như thể hiện trong các sơ đồ định thời 922, 932, 938 cho các đầu ra của bộ thu vi sai.

Trong ví dụ thứ nhất tương ứng với các sơ đồ định thời 902, 922, lần chuyển tiếp xuất hiện từ một ký hiệu đại diện cho trạng thái -z 616 sang một ký hiệu đại diện cho trạng thái báo hiệu -x 612 (xem Fig.6) trong đó tín hiệu A chuyển tiếp sang trạng thái -1, tín hiệu B chuyển tiếp sang trạng thái +1 và tín hiệu C chuyển tiếp sang trạng thái 0, với bộ thu vi sai 802a chuyển tiếp từ chênh lệch +1 924 sang chênh lệch -2 930, bộ thu vi sai 802b còn lại ở mức chênh lệch +1 924, 928 và bộ thu vi sai 802c chuyển tiếp từ chênh lệch -2 926 sang chênh lệch +1 928.

Trong ví dụ thứ hai tương ứng với các sơ đồ định thời 904, 932, lần chuyển tiếp xuất hiện từ ký hiệu đại diện cho trạng thái -z 616 sang ký hiệu đại diện cho trạng thái báo hiệu + z 606 trong đó tín hiệu A chuyển tiếp sang trạng thái -1, tín hiệu B vẫn ở trạng thái 0 và tín hiệu C chuyển tiếp sang trạng thái +1, với hai bộ thu vi sai 802a và 802b chuyển tiếp từ chênh lệch +1 924 sang chênh lệch -1 936, và bộ thu vi sai 802c chuyển tiếp từ chênh lệch -2 926 sang chênh lệch +2 934.

Trong ví dụ thứ ba tương ứng với các sơ đồ định thời 906, 938, lần chuyển tiếp xuất hiện từ ký hiệu đại diện cho trạng thái -z 616 sang ký hiệu đại diện cho trạng thái báo hiệu + x 602 trong đó tín hiệu A vẫn ở trạng thái +1, tín hiệu B chuyển tiếp sang trạng thái -1 và tín hiệu C chuyển tiếp sang trạng thái 0, với bộ thu vi sai 802a chuyển tiếp từ chênh lệch +1 924 sang chênh lệch +2 940, bộ thu vi sai 802b chuyển tiếp từ chênh lệch +1 924 sang chênh lệch -1 942, và bộ thu vi sai 802c chuyển tiếp từ chênh lệch -2 926 sang chênh lệch -1 942.

Các ví dụ này minh họa các lần chuyển tiếp trong các giá trị chênh lệch trải trên các mức 0, 1, 2, 3, 4 và 5. Các kỹ thuật tăng cường được dùng cho các bộ phát nối tiếp vi sai

điển hình hoặc một đầu được phát triển cho các lần chuyển tiếp hai mức và có thể gây ra các tác động bất lợi nhất định nếu được dùng trên tín hiệu 3 pha C-PHY của Liên minh MIPI. Cụ thể, mạch tăng cường truyền quá mức tín hiệu trong các lần chuyển tiếp có thể gây ra hiện tượng quá tải trong các lần chuyển tiếp kéo dài 1 hoặc 2 mức và có thể khiến cho các bộ khởi động giả xuất hiện trong các mạch nhảy ở cạnh.

Fig.10 minh họa mẫu mắt nhị phân 1000 được tạo ra dưới dạng lớp phủ của nhiều khoảng thời gian ký hiệu, bao gồm một khoảng thời gian ký hiệu duy nhất 1002. Vùng chuyển tiếp tín hiệu 1004 đại diện cho khoảng thời gian bất định ở biên giữa hai ký hiệu trong đó các lần tăng tín hiệu thay đổi ngăn không cho giải mã tin cậy. Thông tin trạng thái có thể được xác định một cách tin cậy trong vùng được xác định bởi mặt nạ mắt 1006 trong “khoảng mở mắt” thể hiện khoảng thời gian trong đó ký hiệu ổn định và có thể được nhận và giải mã một cách tin cậy. Mặt nạ mắt 1006 che vùng trong đó các giao điểm không (0) không xuất hiện, và mặt nạ mắt được bộ giải mã sử dụng để ngăn nhiễu xung nhịp do ảnh hưởng của các giao điểm không tiếp theo tại biên khoảng thời gian ký hiệu theo sau giao điểm không của tín hiệu thứ nhất.

Khái niệm lấy mẫu định kỳ và hiển thị tín hiệu rất hữu ích trong quá trình thiết kế, làm thích ứng và tạo cấu hình các hệ thống sử dụng mạch phục hồi dữ liệu xung nhịp để tạo lại tín hiệu định thời dữ liệu nhận được bằng cách sử dụng các lần chuyển tiếp thường xuyên xuất hiện trong dữ liệu nhận được. Hệ thống truyền thông dựa vào công nghệ bộ nối tiếp hóa/giải nối tiếp hóa (Serializer/Deserializer - SERDES) là ví dụ về hệ thống trong đó mẫu mắt nhị phân 1000 có thể được dùng làm cơ sở để đánh giá khả năng phục hồi dữ liệu một cách tin cậy dựa vào khoảng mở mắt của mẫu mắt nhị phân 1000.

Hệ thống mã hóa N pha M dây, chẳng hạn như bộ mã hóa 3 dây 3 pha có thể mã hóa tín hiệu có ít nhất một lần chuyển tiếp tại mỗi biên ký hiệu và bộ thu có thể phục hồi xung nhịp bằng cách sử dụng các lần chuyển tiếp được đảm bảo đó. Bộ thu có thể yêu cầu dữ liệu đáng tin cậy ngay trước khi có lần chuyển tiếp tín hiệu thứ nhất tại biên ký hiệu, và cũng phải có khả năng che một cách tin cậy sự xuất hiện bất kỳ của nhiều lần chuyển tiếp tương quan với cùng một biên ký hiệu. Nhiều lần chuyển tiếp của bộ thu có thể xuất hiện do các chênh lệch nhỏ về thời điểm tăng và giảm giữa các tín hiệu được mang trên M dây (ví dụ, như bộ ba dây) và do các chênh lệch nhỏ về các lần truyền tín hiệu giữa các tổ hợp

của các cặp tín hiệu nhận được (ví dụ, A-B, B-C, và các đầu ra C-A của các bộ thu vi sai 802a, 802b và 802c trên Fig.8).

Fig.11 minh họa ví dụ về mẫu mắt nhiều mức 1100 được tạo ra cho tín hiệu 3 pha C-PHY. Mẫu mắt nhiều mức 1100 có thể được tạo ra từ lớp phủ của nhiều khoảng thời gian ký hiệu 1102. Mẫu mắt nhiều mức 1100 có thể được tạo ra bằng cách sử dụng bộ khởi động 1110 cố định và/hoặc phụ thuộc vào ký hiệu 1110. Mẫu mắt nhiều mức 1100 bao gồm số lượng tăng thêm của các mức điện áp 1120, 1122, 1124, 1126, 1128 có thể là do nhiều mức điện áp được đo bởi các bộ thu vi sai 802a, 802b, 802c và mạch bộ thu N pha (xem hình vẽ trên Fig.8). Trong một ví dụ, mẫu mắt nhiều mức 1100 có thể tương ứng với các lần chuyển tiếp có thể có trong các tín hiệu mã hóa 3 dây 3 pha được cung cấp cho các bộ thu vi sai 802a, 802b và 802c. Ba mức điện áp có thể khiến cho các bộ thu vi sai 802a, 802b và 802c tạo ra các mức điện áp mạnh 1126, 1128 và các mức điện áp yếu 1122, 1124 cho cả cực âm và dương. Thông thường, chỉ có một dây tín hiệu 310a, 310b và 310c là chưa được điều khiển trong ký hiệu bất kỳ và các bộ thu vi sai 802a, 802b và 802c không tạo ra đầu ra trạng thái 0 (ở đây là 0 Vôn (Volts)). Điện áp liên quan đến các mức mạnh và yếu không cần cách đều nhau đối với mức 0 Vôn. Ví dụ, các mức điện áp yếu 1122, 1124 đại diện cho việc so sánh điện áp có thể bao gồm mức điện áp đạt được bởi dây tín hiệu chưa điều khiển 310a, 310b và 310c. Mẫu mắt nhiều mức 1100 có thể phủ lên các dạng sóng được tạo ra bởi các bộ thu vi sai 802a, 802b và 802c vì toàn bộ ba cặp tín hiệu được xem là đồng thời khi dữ liệu được nhận tại thiết bị nhận. Các dạng sóng được tạo ra bởi các bộ thu vi sai 802a, 802b và 802c đại diện cho các tín hiệu vi sai 810a, 810b, 810c thể hiện việc so sánh của ba cặp tín hiệu (A-B, B-C và C-A).

Trình điều khiển, bộ thu và các thiết bị khác được dùng trong bộ giải mã 3 pha C-PHY có thể có các đặc điểm chuyển mạch khác nhau có thể gây ra độ trễ tương đối giữa các tín hiệu nhận được từ ba dây. Nhiều lần chuyển tiếp đầu ra của bộ thu có thể được quan sát thấy ở mỗi biên khoảng thời gian ký hiệu 1108 và/hoặc 1114 do các chênh lệch nhỏ trong các lần tăng và giảm giữa ba tín hiệu của bộ ba dây tín hiệu 310a, 310b, 310c và do các chênh lệch nhỏ trong các lần truyền tín hiệu giữa các tổ hợp của các cặp tín hiệu nhận được từ các dây tín hiệu 310a, 310b, 310c. Mẫu mắt nhiều mức 1100 có thể thu giữ lại các thay đổi trong các lần tăng và giảm dưới dạng độ trễ tương đối trong các lần chuyển tiếp gần mỗi biên khoảng thời gian ký hiệu 1108 và 1114. Các thay đổi về các lần tăng và giảm có thể do các đặc điểm khác nhau của trình điều khiển 3 pha. Các chênh lệch của các lần

tăng và giảm cũng có thể dẫn đến việc rút ngắn hoặc kéo dài hiệu quả khoảng thời gian của khoảng thời gian ký hiệu 1102 đối với ký hiệu nhất định bất kỳ.

Vùng chuyển tiếp tín hiệu 1104 đại diện cho thời gian, hoặc chu kỳ bất định, trong đó các lần tăng tín hiệu thay đổi ngăn việc giải mã đáng tin cậy. Thông tin trạng thái có thể được xác định một cách đáng tin cậy trong “khoảng mở mắt” 1106 thể hiện khoảng thời gian trong đó ký hiệu là ổn định và có thể được nhận và giải mã một cách đáng tin cậy. Theo một ví dụ, khoảng mở mắt 1106 có thể được xác định là bắt đầu ở cuối 1112 của vùng chuyển tiếp tín hiệu 1104 và kết thúc ở biên khoảng thời gian ký hiệu 1114 của khoảng thời gian ký hiệu 1102. Trong ví dụ được thể hiện trên Fig.11, khoảng mở mắt 1106 có thể được xác định bắt đầu ở cuối 1112 của vùng chuyển tiếp tín hiệu 1104 và kết thúc tại thời điểm 1116 khi trạng thái báo hiệu của các dây tín hiệu 310a, 310b, 310c và/hoặc các đầu ra của ba bộ thu vi sai 802a, 802b và 802c đã bắt đầu thay đổi để phản ánh ký hiệu tiếp theo.

Tốc độ tối đa của liên kết truyền thông 220 được tạo cấu hình để mã hóa N pha có thể bị giới hạn bởi khoảng thời gian của vùng chuyển tiếp tín hiệu 1104 so với khoảng mở mắt 1106 tương ứng với tín hiệu nhận được. Ví dụ, chu kỳ tối thiểu cho khoảng thời gian ký hiệu 1102 có thể bị giới hạn bởi các biên thiết kế chặt kết hợp với mạch CDR 524 trong bộ giải mã 500 được minh họa trên Fig.5. Các lần chuyển tiếp trạng thái báo hiệu khác nhau có thể kết hợp với các thay đổi khác nhau trong các lần chuyển tiếp tín hiệu tương ứng với hai hoặc nhiều dây tín hiệu 310a, 310b và/hoặc 310c, do đó khiến cho các đầu ra của các bộ thu vi sai 802a, 802b và 802c trong thiết bị nhận thay đổi ở các lần khác nhau và/hoặc tốc độ liên quan đến biên khoảng thời gian ký hiệu 1108, trong đó đầu vào của các bộ thu vi sai 802a, 802b và 802c bắt đầu thay đổi. Các chênh lệch giữa các lần chuyển tiếp tín hiệu có thể dẫn việc sai lệch định thời giữa các lần chuyển tiếp báo hiệu trong hai hoặc nhiều tín hiệu vi sai 810a, 810b, 810c. Mạch CDR có thể bao gồm các mạch trễ và các mạch khác để điều chỉnh độ lệch định thời giữa các tín hiệu vi sai 810a, 810b, 810c.

Fig.12 cung cấp ví dụ về mạch CDR 1200 cho giao diện 3 dây 3 pha. Mạch CDR 1200 được minh họa bao gồm các tính năng nhất định và phần tử chức năng chung với nhiều loại mạch phục hồi xung nhịp khác nhau. Ví dụ, mạch CDR 1200 nhận các tín hiệu vi sai 1202, 1204, 1206, có thể được suy ra từ các tín hiệu vi sai 810a, 810b, 810c được tạo ra bởi các bộ thu vi sai 802a, 802b và 802c thể hiện trên Fig.8. Trong mạch CDR 1200,

mỗi tín hiệu vi sai 1202, 1204, 1206 tạo xung nhịp cặp mạch lật D 1210a, 1210b, 1210c để tạo ra các tín hiệu đầu ra từ 1230a đến 1230f. Các tín hiệu đầu ra từ 1230a đến 1230f mang xung khi phát hiện ra chuyển tiếp trên tín hiệu vi sai tương ứng 1202, 1204, 1206. Cạnh lên được cung cấp cho đầu vào xung nhịp trên mạch lật D tạo xung nhịp logic một qua mạch lật D. Các bộ đảo 1208a, 1208b, 1208c có thể được dùng để cung cấp lần lượt các phiên bản đảo ngược của tín hiệu vi sai 1202, 1204, 1206 cho một trong các mạch lật D trong mỗi cặp mạch lật D 1210a, 1210b, 1210c. Do đó, mỗi cặp trong số các mạch lật D 1210a, 1210b, 1210c tạo ra xung đáp ứng với các cạnh lên và cạnh xuống được phát hiện trong tín hiệu vi sai tương ứng 1202, 1204, 1206.

Ví dụ, tín hiệu vi sai AB 1202 được cung cấp cho mạch lật D thứ nhất 1232 của cặp mạch lật D thứ nhất 1210a và bộ đảo 1208a cung cấp phiên bản đảo ngược của tín hiệu vi sai AB 1202 cho mạch lật D thứ hai 1234 của cặp mạch lật thứ nhất 1210a. Ban đầu các mạch lật D ở trạng thái thiết lập lại. Cạnh lên trên tín hiệu vi sai AB 1202 tạo xung nhịp logic một qua mạch lật D thứ nhất 1232 khiến cho đầu ra của mạch lật thứ nhất (r_{AB}) 1230a chuyển tiếp sang trạng thái logic một. Cạnh xuống trên tín hiệu vi sai AB 1202 tạo xung nhịp logic một qua mạch lật thứ hai D 1234 khiến cho đầu ra của mạch lật thứ hai (f_{AB}) 1230b chuyển tiếp sang trạng thái logic một.

Các tín hiệu đầu ra từ 1230a đến 1230f được cung cấp cho logic, chẳng hạn như cổng OR 1212, tạo ra tín hiệu đầu ra có thể đóng vai trò là tín hiệu xung nhịp của bộ thu (receiver clock - RxCLK) 1222. Tín hiệu RxCLK 1222 chuyển tiếp sang trạng thái logic một khi lần chuyển tiếp xuất hiện ở trạng thái báo hiệu của bất kỳ trong số các tín hiệu vi sai 1202, 1204, 1206. Tín hiệu RxCLK 1222 được cung cấp cho mạch trễ lập trình được 1214, mạch này điều khiển tín hiệu thiết lập lại (tín hiệu rb 1228) thiết lập lại các mạch lật D trong các cặp mạch lật D 1210a, 1210b, 1210c. Theo một ví dụ được minh họa, bộ đảo 1216 có thể được bao gồm khi các mạch lật D 1210a, 1210b, 1210c được thiết lập lại bằng tín hiệu thấp. Khi các mạch lật D 1210a, 1210b, 1210c được thiết lập lại, đầu ra của cổng OR 1212 trở về trạng thái logic 0 và kết thúc xung trên tín hiệu RxCLK 1222. Khi trạng thái logic 0 này truyền qua mạch trễ lập trình được 1214 và bộ đảo 1216, điều kiện thiết lập lại trên các mạch lật D 1210a, 1210b, 1210c được giải phóng. Trong khi các mạch lật D 1210a, 1210b, 1210c trong điều kiện thiết lập lại, các lần chuyển tiếp trên các tín hiệu vi sai 1202, 1204, 1206 bị bỏ qua.

Mạch trễ lập trình được 1214 thường được tạo cấu hình để tạo ra độ trễ có khoảng thời gian vượt quá chênh lệch về độ lệch định thời giữa việc xuất hiện của lần chuyển tiếp thứ nhất và chuyển tiếp cuối cùng trên các tín hiệu vi sai 1202, 1204, 1206. Mạch trễ lập trình được 1214 tạo cấu hình khoảng thời gian các xung (ví dụ, độ rộng xung) trên tín hiệu RxCLK 1222. Mạch trễ lập trình được 1214 có thể được tạo cấu hình khi tín hiệu Thiết lập 1226 được xác nhận bởi bộ xử lý hoặc logic điều khiển và/hoặc cấu hình khác.

Tín hiệu RxCLK 1222 cũng có thể được cung cấp cho tập hợp gồm ba mạch lật 1220 thu giữ trạng thái báo hiệu của các tín hiệu vi sai 1202, 1204, 1206, cung cấp ký hiệu đầu ra ổn định 1224 cho mỗi xung xuất hiện trên tín hiệu RxCLK 1222. Logic trễ hoặc đồng chỉnh 1218 có thể điều chỉnh việc định thời của tập hợp tín hiệu vi sai 1202, 1204, 1206. Ví dụ, logic trễ hoặc đồng chỉnh 1218 có thể được dùng để điều chỉnh việc định thời của các tín hiệu vi sai 1202, 1204, 1206 đối với các xung trên tín hiệu RxCLK 1222 để đảm bảo rằng các mạch lật 1220 thu giữ được trạng thái báo hiệu của các tín hiệu vi sai 1202, 1204, 1206 khi các tín hiệu vi sai 1202, 1204, 1206 là ổn định. Logic trễ hoặc đồng chỉnh 1218 có thể làm trễ các cạnh trong các tín hiệu vi sai 1202, 1204, 1206 dựa vào độ trễ được tạo cấu hình cho mạch trễ lập trình được 1214.

Mạch trễ lập trình được 1214 có thể được tạo cấu hình trong mạch CDR 1200 để phù hợp với sự thay đổi lớn có thể có trong các lần chuyển tiếp trong các tín hiệu vi sai 1202, 1204, 1206. Theo một ví dụ, mạch trễ lập trình được 1214 thường được tạo cấu hình để cung cấp khoảng thời gian trễ tối thiểu vượt quá khoảng thời gian của độ lệch định thời giữa việc xuất hiện của lần chuyển tiếp thứ nhất và cuối cùng trên các tín hiệu vi sai 1202, 1204, 1206. Khoảng thời gian trễ được cung cấp bởi mạch trễ lập trình được 1214 được tính toán để chiếm số lượng cổng logic trong vòng lặp trễ của mạch CDR 1200 và được giới hạn ở thời gian trễ tối thiểu tính cho các thay đổi dự kiến hoặc quan sát được trong quá trình sản xuất, các điều kiện điện áp nguồn của mạch, và các điều kiện nhiệt độ (PVT) có thể ảnh hưởng đến hoạt động của các cổng logic và/hoặc mạch trễ lập trình được 1214. Để mạch CDR 1200 hoạt động tin cậy, thời gian trễ tối đa được cung cấp bởi mạch trễ lập trình được 1214 không được lớn hơn khoảng thời gian ký hiệu. Ở tốc độ dữ liệu nhanh hơn, độ lệch định thời và thời gian trễ được cung cấp bởi vòng lặp trễ của mạch CDR 1200 tăng lên theo tỷ lệ của khoảng thời gian ký hiệu 1102. Khoảng mở mắt 1106 có thể trở nên nhỏ hơn so với khoảng thời gian ký hiệu 1102 và khoảng mở mắt 1106 có thể đóng lại ở tần số cao hơn. Tốc độ truyền ký hiệu tối đa có thể bị giới hạn khi thời gian trễ được cung cấp bởi

mạch trễ lập trình được 1214 giảm tỷ lệ phần trăm của khoảng thời gian ký hiệu 1102 bị khoảng mở mắt 1106 chiếm thấp hơn kích thước ngưỡng có thể hỗ trợ việc thu giữ ký hiệu một cách tin cậy.

Fig.13 là sơ đồ định thời 1300 minh họa các khía cạnh nhất định hoạt động của mạch CDR 1200. Sơ đồ liên quan đến các hoạt động sau khi mạch trễ lập trình được 1214 đã được tạo cấu hình, và tín hiệu Thiết lập 1226 không hoạt động. Mạch CDR 1200 hoạt động như bộ phát hiện cạnh. Mã hóa 3 pha C-PHY tạo ra lần chuyển tiếp trạng thái báo hiệu duy nhất trên mỗi khoảng thời gian đơn vị (unit interval - UI) 1302. Các chênh lệch trong trạng thái của mỗi dây của bộ ba, và/hoặc đặc điểm truyền của bộ ba có thể gây ra lần chuyển tiếp xuất hiện vào những thời điểm khác nhau trên hai hoặc nhiều dây. Chênh lệch lớn nhất về thời gian xuất hiện của các lần chuyển tiếp trong các tín hiệu vi sai 1202, 1204, 1206 có thể được gọi là thời gian lệch (t_{lech}) 1304. Các độ trễ khác liên quan đến mạch CDR 1200 bao gồm độ trễ lan truyền (t_{ck2q}) 1314 qua các cặp mạch lật D 1210a, 1210b, 1210c, độ trễ lan truyền (t_{OR_0}) 1306 kết hợp với cạnh lên đi qua cổng OR 1212, độ trễ lan truyền (t_{OR_1}) 1308 kết hợp với cạnh xuống đi qua cổng OR 1212, độ trễ lập trình được (t_{pgm}) 1310 kết hợp độ trễ được đưa vào bởi mạch trễ lập trình được 1214 và trình điều khiển và/hoặc bộ đảo 1216, và độ trễ thiết lập lại (t_{rst}) 1312 tương ứng với độ trễ giữa thời gian nhận tín hiệu rb 1228 bởi các cặp mạch lật D 1210a, 1210b, 1210c và thời gian tại đó các đầu ra mạch lật bị xóa.

Độ trễ vòng lặp ($t_{\text{vòng lặp}}$ 1320) có thể được định nghĩa là:

$$t_{\text{vòng lặp}} = t_{\text{ck2q}} + t_{\text{OR}_1} + t_{\text{pgm}} + t_{\text{rst}} + t_{\text{OR}_0} + t_{\text{pgm}}.$$

Mối quan hệ giữa $t_{\text{vòng lặp}}$ 1320 và UI 1302 có thể xác định độ tin cậy hoạt động của mạch CDR 1200. Mối quan hệ này bị ảnh hưởng bởi tần số xung nhịp được dùng để truyền, có ảnh hưởng trực tiếp đến UI 1302 và sự thay đổi trong hoạt động của mạch trễ lập trình được 1214.

Trong một số thiết bị, hoạt động của mạch trễ lập trình được 1214 trên Fig.12 có thể bị ảnh hưởng bởi các thay đổi trong các điều kiện hoạt động, bao gồm các thay đổi trong các điều kiện PVT. Thời gian trễ do mạch trễ lập trình được 1214 cung cấp cho giá trị được tạo cấu hình có thể thay đổi đáng kể giữa các thiết bị và/hoặc từ mạch này sang mạch khác trong thiết bị. Trong các hệ thống thông thường, điều kiện hoạt động danh nghĩa của mạch CDR 1200 thường được thiết kế đặt để tạo ra cạnh xung nhịp ở đâu đó ở giữa

khoảng mở mắt 1106 trong mọi điều kiện PVT, để đảm bảo rằng cạnh xung nhịp xuất hiện sau phần kết thúc 1112 của vùng chuyển tiếp tín hiệu 1104 và trước khi bắt đầu vùng chuyển tiếp sang ký hiệu tiếp theo, ngay cả trong trường hợp xấu nhất là các hiệu ứng PVT. Khó khăn có thể phát sinh trong quá trình thiết kế mạch CDR 1200 đảm bảo cạnh xung nhịp trong khoảng mở mắt 1106 khi tần số truyền tăng lên và độ lệch định thời của các tín hiệu vi sai 1202, 1204, 1206 lớn so với UI 1302. Ví dụ, mạch trễ điển hình có thể tạo ra giá trị trễ thay đổi theo hệ số 2 trên tất cả các điều kiện PVT.

Fig.14 là sơ đồ định thời 1400 minh họa ảnh hưởng của mạch trễ lập trình được 1214 (xem Fig.12) cung cấp không đủ độ trễ. Trong ví dụ này, $t_{\text{vòng lặp}}$ 1406 quá ngắn cho $t_{\text{lệch}}$ 1404 quan sát được, và nhiều xung nhịp 1408, 1410 được tạo ra trong một UI 1402. Tức là, độ trễ vòng lặp $t_{\text{vòng lặp}}$ 1406 không đủ lớn so với $t_{\text{lệch}}$ 1404, và các lần chuyển tiếp xuất hiện sau đó trên các tín hiệu vi sai 1202, 1204, 1206 không bị che. Trong ví dụ được mô tả, lần chuyển tiếp thứ hai 1414 trong một trong số các tín hiệu vi sai 1206 có thể được phát hiện sau khi xung 1408 đã được tạo ra để đáp lại lần chuyển tiếp xảy ra thứ nhất 1412 trong một tín hiệu khác trong số các tín hiệu vi sai 1202. Trong ví dụ này, tần số xung nhịp phục hồi có thể gấp đôi tần số xung nhịp được dùng để truyền các ký hiệu trên giao diện 3 pha.

Fig.15 là sơ đồ định thời 1500 minh họa ảnh hưởng của mạch trễ lập trình được 1214 cung cấp độ trễ quá dài. Trong ví dụ này, có độ lệch quan sát được của khoảng thời gian $t_{\text{lệch}}$ 1504 và $t_{\text{vòng lặp}}$ 1506 lớn hơn UI 1502. Mạch CDR 1200 có thể tạo ra xung nhịp 1508 để đáp lại lần chuyển tiếp xảy ra thứ nhất 1514 trong UI thứ nhất 1502, nhưng tín hiệu rb 1228 có thể hoạt động khi các lần chuyển tiếp 1516, 1518 xảy ra trong UI thứ hai 1512, trong ví dụ được mô tả, các lần chuyển tiếp 1516, 1518 trong UI thứ hai 1512 bị che, và xung dự kiến 1510 tương ứng với UI thứ hai 1512 bị chặn. Trong ví dụ này, tần số xung nhịp phục hồi có thể bằng một nửa tần số xung nhịp được dùng để truyền các ký hiệu trên giao diện 3 pha.

Như được minh họa trong ví dụ trên Fig.14 và Fig.15, mạch CDR 1200 có thể bị ràng buộc:

$$t_{\text{lệch}} < t_{\text{vòng lặp}} < \text{UI}.$$

Bảng chứng thực nghiệm cho thấy rằng $t_{\text{vòng lặp}}$ 1320, 1406, 1506 rất nhạy cảm với PVT. $t_{\text{vòng lặp}}$ 1320 cho mạch CDR 1200 có thể được biểu diễn như sau:

$$t_{\text{vòng lặp}} = t_{\text{ck2q}} + t_{\text{OR}_1} + t_{\text{rst}} + t_{\text{OR}_0} + (t_{\text{pgm}} + t_{\text{pgm}}).$$

Thời gian lặp nhảy cảm với độ tin cậy ở các tốc độ ký hiệu cao hơn do số lượng lớn các độ trễ nhảy với các thay đổi PVT, độ trễ t_{pgm} kép và độ trễ lớn liên quan đến cổng OR 6 đầu vào 1212 có thể giới hạn tần số tối đa của tín hiệu xung nhịp phục hồi được bằng mạch CDR 1200. Việc tăng độ trễ được thực hiện bởi mạch trễ lập trình được 1214 để thích ứng với phạm vi các thay đổi có thể có của PVT nhằm hạn chế thêm tần số tối đa của tín hiệu xung nhịp mà mạch CDR 1200 có thể phục hồi được.

Các phương án thực hiện gần đây hơn và đặc tả kỹ thuật được đề xuất cho C-PHY, bao gồm các đặc tả kỹ thuật C-PHY 1.2 và các đặc tả kỹ thuật C-PHY 2.0, xác định các tần số của các tín hiệu xung nhịp truyền ký hiệu có thể vượt quá các khả năng của các mạch CDR thông thường để phục hồi tín hiệu xung nhịp tại bộ thu. Tín hiệu xung nhịp truyền ký hiệu được dùng để điều khiển tốc độ truyền ký hiệu và xác định khoảng thời gian của UI 1302. Khoảng thời gian của UI 1302 bị giảm khi tần số của tín hiệu xung nhịp truyền ký hiệu được tăng lên. Các hạn chế do độ trễ vòng lặp trong mạch CDR 1200 giới hạn khoảng thời gian tối thiểu của UI 1302 có thể được hỗ trợ bởi mạch CDR 1200, giới hạn tần số tối đa của tín hiệu xung nhịp truyền ký hiệu có thể được hỗ trợ bởi mạch CDR 1200. Ngay cả khi sử dụng công nghệ thiết bị tiên tiến, độ trễ vòng lặp trong mạch CDR 1200 có thể vượt quá 300 picô giây trong các điều kiện PVT nhất định, có thể giới hạn các ứng dụng C-PHY thông thường ở tốc độ truyền ký hiệu tối đa là 2,5 Gigasymbol mỗi giây. Theo một số phương án thực hiện, ràng buộc trên khoảng thời gian của UI 1302 được đưa vào bởi độ trễ vòng lặp trong mạch CDR 1200 có thể khiến cho mạch CDR 1200 thông thường không hiệu quả để sử dụng trong các giao diện C-PHY phù hợp với các thế hệ sau của đặc tả kỹ thuật C-PHY.

Các mạch phục hồi xung nhịp được thực hiện theo các khía cạnh nhất định được mô tả ở đây có thể hỗ trợ các tần số xung nhịp cao hơn được xác định bởi các đặc tả kỹ thuật C-PHY thế hệ sau. Fig.16 cung cấp một ví dụ về mạch phục hồi xung nhịp 1640 có thể được tạo cấu hình theo các khía cạnh nhất định của sáng chế để hỗ trợ các tần số xung nhịp truyền ký hiệu cao hơn. Mạch phục hồi xung nhịp 1640 sử dụng vòng phản hồi tối ưu hóa để giảm thiểu hoặc giảm độ trễ vòng lặp và cho phép mạch phục hồi xung nhịp 1640 tạo ra tín hiệu xung nhịp nhận 1646 ở tần số tối thiểu 8 GHz. Vòng lặp trễ có thể được thực hiện bằng cách sử dụng mạch trễ không đối xứng làm trễ một loại cạnh và đi qua loại cạnh

khác với độ trễ tối thiểu. Trong ví dụ minh họa, vòng lặp trễ được thực hiện bằng cách sử dụng một vài cổng logic và khối trễ không nhảy PVT tức là chỉ đáp ứng các cạnh lên. Mạch phục hồi xung nhịp 1640 được minh họa có thể được tạo cấu hình để tối ưu hóa định thời vòng lặp và hỗ trợ tốc độ truyền ký hiệu rất nhanh. Mạch tạo và hợp nhất xung 1600 tạo ra và hợp nhất các xung chuyển tiếp đại diện cho các lần chuyển tiếp phát hiện được trong các tín hiệu vi sai 1602, 1604, 1606. Fig.17 là sơ đồ định thời 1700 minh họa định thời liên quan đến mạch tạo và hợp nhất xung 1600 và mạch phục hồi xung nhịp 1640.

Mạch tạo và hợp nhất xung 1600 nhận các tín hiệu vi sai 1602, 1604, 1606 đại diện cho chênh lệch trong trạng thái báo hiệu của các cặp dây, bộ ba dây A, B và C. Các tín hiệu vi sai 1602, 1604, 1606 có thể nhận được từ các bộ thu vi sai hoặc các bộ so sánh như các bộ thu vi sai 802a, 802b và 802c tạo ra tín hiệu vi sai 810a, 810b, 810c được minh họa trên Fig.8. Mạch tạo và hợp nhất xung 1600 sử dụng ba cổng OR loại trừ 1608, 1610, 1612 và các mạch trễ tương ứng 1616, 1618 và 1620 để tạo ra các xung chuyển tiếp có khoảng thời gian giới hạn 1704, 1706, 1708 để đáp lại các lần chuyển tiếp xuất hiện trong các tín hiệu vi sai 1602, 1604, 1606. Theo một ví dụ về sơ đồ định thời 1700 được minh họa, lần chuyển tiếp trong tín hiệu vi sai AB 1602, tín hiệu vi sai BC 1604 và tín hiệu vi sai CA 1606 xuất hiện tại mỗi trong số các biên ký hiệu 1710a, 1710b, 1710c, 1710d được minh họa. Các lần chuyển tiếp trong các tín hiệu vi sai 1602, 1604, 1606 có thể xảy ra tại các thời điểm khác nhau, sao cho có thể quan sát thấy độ lệch 1702 giữa lần chuyển tiếp xảy ra thứ nhất và lần chuyển tiếp xảy ra cuối cùng. Trong ví dụ minh họa, lần chuyển tiếp xảy ra thứ nhất được quan sát trên tín hiệu vi sai AB 1602 và lần chuyển tiếp xảy ra cuối cùng được quan sát trên tín hiệu vi sai CA 1606 tại biên ký hiệu được minh họa thứ nhất 1710a. Mỗi quan hệ giữa các lần chuyển tiếp có thể khác nhau ở mỗi biên ký hiệu 1710a, 1710b, 1710c, 1710d. Khi hoạt động, chuyển tiếp xảy ra trên ít nhất một tín hiệu vi sai 1602, 1604, 1606 tại mỗi biên ký hiệu 1710a, 1710b, 1710c, 1710d và, có thể xảy ra trên ít hơn ba tín hiệu vi sai 1602, 1604, 1606 tại một hoặc nhiều biên ký hiệu 1710a, 1710b, 1710c, 1710d.

Cổng OR loại trừ thứ nhất 1608 nhận tín hiệu vi sai AB 1602 và phiên bản trễ của tín hiệu vi sai AB 1602 được cung cấp bởi mạch trễ AB 1616, và cung cấp tín hiệu AB_p 1622 bao gồm xung chuyển tiếp 1704 có khoảng thời gian được điều khiển bởi khoảng thời gian trễ được đưa vào bởi mạch trễ AB 1616. Cổng OR loại trừ thứ hai 1610 nhận tín hiệu vi sai BC 1604 và phiên bản trễ của tín hiệu vi sai BC 1604 được cung cấp bởi mạch trễ BC 1618, và cung cấp tín hiệu BC_p 1624 bao gồm xung chuyển tiếp 1706 có khoảng thời

gian được điều khiển bởi khoảng thời gian trễ được đưa vào bởi mạch trễ BC 1618. Cổng OR loại trừ thứ ba 1612 nhận tín hiệu vi sai CA 1606 và phiên bản trễ của tín hiệu vi sai CA 1606 được cung cấp bởi mạch trễ CA 1620 và cung cấp tín hiệu CA_p 1626 bao gồm xung chuyển tiếp 1708 có khoảng thời gian được điều khiển bởi khoảng thời gian trễ được đưa vào bởi mạch trễ CA 1620. Tín hiệu AB_p 1622, tín hiệu BC_p 1624 và tín hiệu CA_p 1626 được cung cấp cho cổng OR 1614 cung cấp tín hiệu eg_pulse 1630 có thể được gọi ở đây là tín hiệu kết hợp bao gồm các xung 1714 được suy ra từ và/hoặc tương ứng với các xung chuyển tiếp 1704, 1706, 1708 trong tín hiệu AB_p 1622, tín hiệu BC_p 1624 và tín hiệu CA_p 1626. Trong một số trường hợp, hai hoặc nhiều xung chuyển tiếp 1704, 1706, 1708 có thể chồng lấn về thời gian và được hợp nhất trong các xung 1714 của tín hiệu kết hợp.

Tín hiệu eg_pulse 1630 tạo xung nhịp mạch lật (DFF 1642) trong mạch phục hồi xung nhịp 1640. Theo các phương án thực hiện nhất định, loại mạch lật khác, chốt, thanh ghi hoặc mạch logic tuần tự khác có thể được tạo cấu hình để sử dụng thay cho DFF 1642. Mỗi cạnh lên trong tín hiệu eg_pulse 1630 tạo xung nhịp logic 1 từ đầu vào D đến đầu ra (Q) của DFF 1642. Đầu ra của DFF 1642 cung cấp tín hiệu xung nhịp nhận 1646 (Rclk_q). Các mạch trễ 1616, 1618 và 1620 có thể được tạo cấu hình để cung cấp các xung chuyển tiếp 1704, 1706, 1708 có khoảng thời gian đủ để tạo xung nhịp cho DFF 1642 trong các điều kiện PVT dự kiến hoặc quan sát được. Ví dụ, khoảng thời gian của các xung chuyển tiếp 1704, 1706, 1708 có thể được tạo cấu hình dựa vào khoảng thời gian tối thiểu cho xung nhịp. Tín hiệu xung nhịp nhận 1646 chuyển tiếp mức cao từ trạng thái ban đầu trong đó tín hiệu xung nhịp nhận 1646 ở trạng thái thiết lập lại (tức là, được thiết lập thành trạng thái logic 0). Tín hiệu xung nhịp nhận 1646 chuyển tiếp ở mức cao để đáp lại cạnh lên thứ nhất trong tín hiệu eg_pulse 1630 và sau một thời gian trễ gây ra bởi độ trễ truyền công (clk_q 1716), có thể tương ứng với các lần chuyển tiếp được tích lũy của cổng OR 1614 và DFF 1642. Tín hiệu xung nhịp nhận 1646 chuyển tiếp mức cao để đáp lại cạnh lên thứ nhất trong tín hiệu eg_pulse 1630, và các cạnh bổ sung trong tín hiệu eg_pulse 1630 không có ảnh hưởng cho đến khi DFF 1642 được thiết lập lại.

DFF 1642 được thiết lập lại khi đầu ra (tín hiệu Rclk_rst 1648) của mạch trễ cạnh lên 1644 chuyển tiếp mức cao. Mạch trễ cạnh lên 1644 được tạo cấu hình để chuyển các cạnh xuống tại đầu vào của nó mà không có độ trễ hoặc độ trễ tối thiểu trước khi khiến cho tín hiệu Rclk_rst 1648 giảm xuống, và làm trễ các cạnh lên ở đầu vào của nó trước khi

khuyến cho tín hiệu Rclk_rst 1648 tăng lên. Trong ví dụ minh họa, mạch trễ cạnh lên 1644 nhận tín hiệu xung nhịp nhận 1646 làm đầu vào của nó và làm trễ các cạnh lên trong tín hiệu xung nhịp nhận 1646 bằng khoảng thời gian trễ được chọn (rise_dly 1718). Các cạnh xuống trong tín hiệu xung nhịp nhận 1646 bị trễ một khoảng thời gian (fall_dly 1720) có thể do các lần chuyển tiếp kết hợp với DFF 1642, và/hoặc một hoặc nhiều cổng logic trong mạch trễ cạnh lên 1644. Mạch trễ cạnh lên 1644 là một ví dụ của mạch trễ không đối xứng. Cần phải hiểu rằng các loại mạch trễ không đối xứng khác có thể được dùng trong các phương án thực hiện khác, bao gồm, ví dụ, mạch trễ cạnh xuống.

Sau khi tín hiệu Rclk_rst 1648 tăng, đầu ra của DFF 1642 được thiết lập lại và tín hiệu xung nhịp nhận 1646 trở về logic 0 sau khoảng thời gian trễ (rst_dly 1722) có thể do các thời điểm chuyển tiếp cổng Cạnh xuống trong tín hiệu xung nhịp nhận 1646 bị trễ trong khoảng thời gian fall_dly 1720 và mạch phục hồi xung nhịp 1640 được đưa trở lại trạng thái ban đầu. Theo một số phương án thực hiện, tín hiệu xung nhịp nhận 1646 có thể được dùng để thu giữ các tín hiệu vi sai 1602, 1604, 1606 và/hoặc giải mã dữ liệu từ các tín hiệu vi sai 1602, 1604, 1606. Theo một số phương án thực hiện, mạch của trình điều khiển 1652 được cung cấp để đệm và/hoặc làm trễ tín hiệu xung nhịp nhận 1646, và cung cấp tín hiệu xung nhịp (tín hiệu RxCLK 1650) làm đầu ra của mạch phục hồi xung nhịp 1640. Tín hiệu RxCLK 1650 có thể được dùng để thu giữ các tín hiệu vi sai 1602, 1604, 1606 và/hoặc giải mã dữ liệu từ các tín hiệu vi sai 1602, 1604, 1606.

Theo một ví dụ, mạch phục hồi dữ liệu 1660 có thể bao gồm một hoặc nhiều chốt, thanh ghi hoặc mạch lật 1664 nhận tín hiệu RxCLK 1650. Các chốt, thanh ghi hoặc mạch lật 1664 có thể được tạo cấu hình để thu giữ trạng thái báo hiệu của các tín hiệu vi sai 1602, 1604, 1606 và cung cấp ký hiệu đầu ra ổn định 1670 cho mỗi xung xuất hiện trên tín hiệu RxCLK 1650. Logic trễ hoặc đồng chỉnh 1662 có thể điều chỉnh việc định thời của các tín hiệu vi sai 1602, 1604, 1606. Ví dụ, logic trễ hoặc đồng chỉnh 1662 có thể được dùng để điều chỉnh việc định thời của các tín hiệu vi sai 1602, 1604, 1606 đối với các xung trên tín hiệu RxCLK 1650 để đảm bảo rằng các chốt, thanh ghi hoặc mạch lật 1664 thu giữ được trạng thái báo hiệu của tín hiệu vi sai 1602, 1604, 1606 khi tín hiệu vi sai 1602, 1604, 1606 là ổn định. Logic trễ hoặc đồng chỉnh 1662 có thể cung cấp độ trễ hoặc mức sớm tương đối của các cạnh trong các tín hiệu vi sai 1602, 1604, 1606.

Tần số hoạt động tối đa của mạch phục hồi xung nhịp 1640 và UI tối thiểu tương ứng 1712 có thể được xác định bởi các ràng buộc thời gian kết hợp với mạch phục hồi xung nhịp 1640 và mạch tạo và hợp nhất xung 1600. Các độ trễ định thời trong mạch tạo và hợp nhất xung 1600 nằm ngoài vòng lặp định thời của mạch phục hồi xung nhịp 1640. Các ràng buộc định thời có thể được biểu diễn là:

$$\text{clk_q} + \text{rise_dly} > \text{độ lệch, và}$$

$$\text{clk_q} + \text{rise_dly} + \text{rst_dly} + \text{fall_dly} < 1\text{UI}$$

Các tham số clk_q 1716, rst_dly 1722 và fall_dly 1720 là định lượng được dưới dạng một số ít độ trễ chuyển mạch cổng, và khoảng thời gian rise_dly 1718 có thể được chọn dựa vào thời gian lệch trong các điều kiện PVT dự kiến với độ trễ chuyển mạch cổng nhỏ thuộc về clk_q 1716.

Theo một số khía cạnh được mô tả ở đây, mạch trễ cạnh lên 1644 và mạch trễ 1616, 1618 và 1620 có thể được tạo cấu hình trong quá trình sản xuất, cấu hình hệ thống và/hoặc khởi tạo hệ thống. Theo một số phương án thực hiện, mạch trễ cạnh lên 1644 và/hoặc mỗi trong số các mạch trễ 1616, 1618 và 1620 lập trình được và có thể được tạo cấu hình lại động và/hoặc hiệu chỉnh trong quá trình hoạt động của bus bằng cách sử dụng, ví dụ, báo hiệu đồng bộ hóa dòng ban đầu được truyền qua bus C-PHY. Các mạch trễ 1616, 1618 và 1620 có thể được hiệu chỉnh dựa vào các điều kiện hoạt động được đo, quan sát, và/hoặc dự kiến. Bộ điều khiển hoặc bộ xử lý có thể đạt được tốc độ truyền ký hiệu mong muốn hoặc bắt buộc bằng cách tối ưu hóa khoảng thời gian rise_dly 1718 và hoặc độ trễ được cung cấp bởi các mạch trễ 1616, 1618 và 1620 cho các điều kiện PVT.

Fig.18 minh họa một ví dụ về mạch trễ cạnh lên 1800 có thể được dùng để làm trễ các cạnh lên bằng khoảng thời gian trễ được tạo cấu hình hoặc tạo cấu hình được trong khi đi qua các cạnh xuống mà không có thêm độ trễ theo các khía cạnh nhất định được mô tả trong tài liệu này. Các loại mạch khác có thể được dùng để làm trễ các cạnh lên còn đi qua các cạnh xuống mà không có thêm độ trễ. Mạch trễ cạnh lên 1800 được minh họa có thể được thực hiện bằng cách sử dụng tập hợp các phần tử trễ đơn vị 1804, trong đó các đường dẫn trễ khác nhau 1806 bao gồm nhiều phần tử trễ đơn vị 1804 khác nhau được nối với nhau để thu được khoảng thời gian trễ lựa chọn được. Trong một số trường hợp, các đường dẫn trễ khác nhau 1806 có thể được cung cấp bằng cách sử dụng một đường dẫn trễ nhiều nhánh. Tín hiệu nhận được ở đầu vào 1802 của mạch trễ cạnh lên 1800 được định tuyến

qua một hoặc nhiều đường dẫn trễ 1806 dưới sự điều khiển của mạch lựa chọn 1808 lựa chọn đầu ra tín hiệu bằng một trong số các đường dẫn trễ 1806 để điều khiển đầu ra 1812 của mạch lựa chọn 1808. Theo một ví dụ, mạch lựa chọn 1808 được thực hiện bằng cách sử dụng bộ ghép kênh. Theo một ví dụ khác, mạch lựa chọn 1808 được thực hiện bằng cách sử dụng tập hợp các công tắc để hướng tín hiệu nhận được ở đầu vào 1802 đến đường dẫn trễ 1806, hoặc điều khiển đầu ra 1812 của mạch chọn 1808 bằng cách sử dụng tín hiệu đi qua một trong các đường dẫn trễ 1806. Mạch trễ cạnh lên 1800 có thể được tạo cấu hình bằng cách cung cấp tín hiệu chọn 1814 cho mạch chọn 1808, trong đó tín hiệu chọn 1814 xác định đường dẫn trễ nào trong số các đường dẫn trễ 1806 điều khiển đầu ra 1812 của mạch lựa chọn 1808.

Đầu ra 1812 của mạch lựa chọn 1808 được tạo cổng bởi đầu vào 1802 của mạch trễ cạnh lên 1800 bằng cách sử dụng cổng AND 1810. Cổng AND 1810 điều khiển đầu ra 1816 của mạch trễ cạnh lên 1800. Mức logic thấp ở đầu vào 1802 của mạch trễ cạnh lên 1800 buộc đầu ra 1816 của mạch trễ cạnh lên 1800 ở mức logic thấp. Cạnh lên ở đầu vào 1802 của mạch trễ cạnh lên 1800 xuất hiện khi đầu vào 1802 chuyển tiếp sang mức logic cao từ mức logic thấp. Khi đầu vào 1802 ở mức logic cao, đầu ra 1816 của mạch trễ cạnh lên 1800 được điều khiển bởi đầu ra 1812 của mạch lựa chọn 1808. Đầu ra 1812 của mạch lựa chọn 1808 ban đầu ở trạng thái logic thấp và vẫn ở mức thấp cho đến khi phiên bản trễ của cạnh lên trong đầu vào 1802 của mạch trễ cạnh lên 1800 thoát khỏi đường dẫn trễ đã chọn 1806 và khiến cho đầu ra 1812 của mạch lựa chọn 1808 chuyển tiếp mức cao. Cạnh xuống ở đầu vào 1802 xuất hiện khi đầu vào 1802 chuyển tiếp sang mức logic thấp từ mức logic cao. Mức logic thấp ở đầu vào 1802 của mạch trễ cạnh lên 1800, được ghép nối với đầu vào của cổng AND 1810, buộc đầu ra 1816 của mạch trễ cạnh lên 1800 trở về mức logic thấp.

Các phương án thực hiện khác của mạch trễ cạnh lên 1800 được dự tính. Theo một số phương án thực hiện, cổng AND 1810 có thể bị bỏ qua khi mỗi trong số các phần tử trễ đơn vị 1804 được thực hiện dưới dạng phần tử trễ có thể thiết lập lại. Theo một số phương án thực hiện, mỗi phần tử trễ trong mạch trễ cạnh lên 1800 có thể được thiết lập lại bằng mức logic thấp trên đầu vào 1802 của mạch trễ cạnh lên 1800, sao cho cạnh xuống ngay lập tức được truyền qua các đường dẫn trễ 1806 (có độ trễ nhỏ do thời gian chuyển mạch của một hoặc nhiều cổng logic), còn các cạnh lên được truyền từ phần tử trễ này đến phần

tử trễ khác trong mỗi đường dẫn trễ 1806. Theo một ví dụ khác, loại mạch lựa chọn 1808 có thể được tạo cấu hình để thu được trễ bổ sung hoặc tối thiểu.

Các ví dụ về các mạch và phương pháp xử lý

Fig.19 minh họa ví dụ về phương án thực hiện bằng phần cứng cho thiết bị 1900 sử dụng mạch xử lý 1902 có thể được tạo cấu hình để thực hiện một hoặc nhiều chức năng được mô tả ở đây. Theo một số khía cạnh của sáng chế, phần tử hoặc một phần bất kỳ của phần tử, hoặc tổ hợp bất kỳ của các phần tử có thể được thực hiện bằng cách sử dụng mạch xử lý 1902. Mạch xử lý 1902 có thể bao gồm các thiết bị nhất định, mạch và/hoặc logic hỗ trợ các kỹ thuật phục hồi xung nhịp được mô tả ở đây.

Mạch xử lý 1902 có thể bao gồm một hoặc nhiều bộ xử lý 1904 được điều khiển bởi một số tổ hợp của module phần cứng và phần mềm. Ví dụ về các bộ xử lý 1904 bao gồm các bộ vi xử lý, bộ vi điều khiển, bộ xử lý tín hiệu số (digital signal processor - DSP), mảng cổng lập trình được theo trường (field programmable gate array - FPGA), thiết bị logic lập trình được (programmable logic device - PLD), máy trạng thái, bộ sắp xếp chuỗi, logic được tạo cổng, mạch phần cứng rời rạc, và phần cứng thích hợp khác được tạo cấu hình để thực hiện các chức năng khác nhau được mô tả theo sáng chế. Một hoặc nhiều bộ xử lý 1904 có thể bao gồm các bộ xử lý chuyên biệt thực hiện các chức năng cụ thể và có thể được tạo cấu hình, bổ sung hoặc điều khiển bởi một trong các module phần mềm 1916. Một hoặc nhiều bộ xử lý 1904 có thể được tạo cấu hình qua tổ hợp của các module phần mềm 1916 được nạp trong quá trình khởi tạo, và còn được tạo cấu hình bằng cách tải hoặc dỡ tải một hoặc nhiều module phần mềm 1916 trong quá trình hoạt động.

Trong ví dụ này, mạch xử lý 1902 có thể được thực hiện với kiến trúc bus, được biểu diễn chung bằng bus 1910. Bus 1910 có thể bao gồm số lượng bất kỳ các bus và cầu liên kết tùy thuộc vào ứng dụng cụ thể của mạch xử lý 1902 và các ràng buộc thiết kế tổng thể. Theo một ví dụ, bus 1910 liên kết các mạch khác nhau với nhau bao gồm một hoặc nhiều bộ xử lý 1904 và phương tiện lưu trữ đọc được bằng bộ xử lý 1906. Phương tiện lưu trữ đọc được bằng bộ xử lý 1906 có thể bao gồm các thiết bị nhớ và thiết bị lưu trữ chung, và có thể được gọi ở đây là phương tiện đọc được bằng máy tính và/hoặc phương tiện đọc được bằng bộ xử lý. Bus 1910 còn có thể liên kết các mạch khác nhau như nguồn định thời, bộ định thời, thiết bị ngoại vi, bộ điều chỉnh điện áp, và mạch quản lý công suất. Giao diện bus 1908 cung cấp giao diện giữa bus 1910 và một hoặc nhiều bộ thu phát 1912. Bộ thu

phát 1912 có thể được cung cấp cho mỗi công nghệ mạng được mạch xử lý hỗ trợ. Trong một số trường hợp, nhiều công nghệ mạng có thể dùng chung một số hoặc tất cả các mạch điện hoặc modul xử lý có trong bộ thu phát 1912. Bộ thu phát 1912 cung cấp phương tiện để truyền thông với các thiết bị khác qua môi trường truyền. Tùy thuộc vào bản chất của thiết bị 1900, giao diện người dùng 1918 (ví dụ, bàn phím, màn hình, loa, micro, cần điều khiển) cũng có thể được cung cấp, và có thể được ghép nối truyền thông trực tiếp với bus 1910 hoặc qua giao diện bus 1908.

Bộ xử lý 1904 có thể chịu trách nhiệm quản lý bus 1910 và xử lý chung có thể bao gồm bước thực thi phần mềm được lưu trữ trong phương tiện đọc được bằng máy tính, có thể bao gồm phương tiện lưu trữ đọc được bằng bộ xử lý 1906. Về mặt này, mạch xử lý 1902, bao gồm cả bộ xử lý 1904, có thể được dùng để thực hiện bất kỳ trong số các phương pháp, chức năng và kỹ thuật được mô tả ở đây. Phương tiện lưu trữ đọc được bằng bộ xử lý 1906 có thể được dùng để lưu trữ dữ liệu được xử lý bởi bộ xử lý 1904 khi thực thi phần mềm, và phần mềm có thể được tạo cấu hình để thực hiện bất kỳ một trong số các phương pháp được mô tả ở đây.

Một hoặc nhiều bộ xử lý 1904 trong mạch xử lý 1902 có thể thực thi bằng phần mềm. Phần mềm được hiểu theo nghĩa rộng là các lệnh, tập lệnh, mã, đoạn mã, mã chương trình, chương trình, chương trình con, modul phần mềm, ứng dụng, ứng dụng phần mềm, gói phần mềm, đoạn chương trình, đoạn chương trình con, đối tượng, tập tin thực thi, chuỗi thực thi, quy trình, chức năng, v.v. cho dù được gọi là phần mềm, firmware, phần trung gian, vi mã, ngôn ngữ mô tả phần cứng, hoặc tên khác. Phần mềm có thể nằm dưới dạng đọc được bằng máy tính trong phương tiện lưu trữ đọc được bằng bộ xử lý 1906 hoặc trong phương tiện đọc được bằng bộ xử lý bên ngoài khác. Phương tiện lưu trữ đọc được bằng bộ xử lý 1906 có thể bao gồm phương tiện lưu trữ bất biến đọc được bằng máy tính và/hoặc phương tiện lưu trữ khả biến đọc được bằng bộ xử lý. Phương tiện lưu trữ bất biến đọc được bằng máy tính bao gồm, ví dụ, thiết bị lưu trữ có từ tính (ví dụ, đĩa cứng, đĩa mềm, băng từ), đĩa quang (ví dụ, đĩa nén (compact disc - CD) hoặc đĩa số đa năng (digital versatile disc - DVD)), thẻ thông minh, thiết bị bộ nhớ flash (ví dụ, "ổ flash", thẻ, thẻ nhớ, hoặc ổ đĩa), bộ nhớ truy cập ngẫu nhiên (random access memory - RAM), bộ nhớ chỉ đọc (read only memory - ROM), ROM lập trình được (programmable ROM - PROM), PROM xóa được (erasable PROM - EPROM), PROM xóa được bằng điện (electrically erasable PROM - EEPROM), thanh ghi, đĩa tháo lắp được, và phương tiện thích hợp khác bất kỳ để lưu trữ

phần mềm và/hoặc các lệnh có thể được truy cập và đọc bởi máy tính. Phương tiện lưu trữ đọc được bằng máy tính cũng có thể bao gồm, ví dụ, sóng mang, đường truyền, và phương tiện thích hợp bất kỳ khác dùng để truyền phần mềm và/hoặc các lệnh có thể được truy cập và đọc bởi máy tính. Phương tiện lưu trữ đọc được bằng máy tính 1906 có thể nằm trong mạch xử lý 1902, trong bộ xử lý 1904, ở ngoài mạch xử lý 1902, hoặc được phân tán trên nhiều thực thể bao gồm mạch xử lý 1902. Phương tiện lưu trữ đọc được bằng bộ xử lý 1906 có thể được bao gồm trong sản phẩm chương trình máy tính. Ví dụ, sản phẩm chương trình máy tính có thể bao gồm phương tiện đọc được bằng máy tính trong các vật liệu đóng gói. Người có hiểu biết trung bình trong lĩnh vực này sẽ nhận biết được cách thức tốt nhất để thực hiện các chức năng được mô tả trình bày trong toàn bộ bản mô tả này, tùy thuộc vào ứng dụng cụ thể và các ràng buộc thiết kế tổng thể áp dụng trên toàn hệ thống.

Phương tiện lưu trữ đọc được bằng bộ xử lý 1906 có thể duy trì phần mềm được duy trì và/hoặc được tổ chức trong các phân đoạn mã, môđun, ứng dụng, chương trình, v.v. có thể tải được, ở đây có thể được gọi là môđun phần mềm 1916. Mỗi trong số các môđun phần mềm 1916 có thể bao gồm các lệnh và dữ liệu, khi được cài đặt hoặc tải trên mạch xử lý 1902 và được thực thi bởi một hoặc nhiều bộ xử lý 1904, đóng góp vào hình ảnh thời gian chạy 1914 điều khiển hoạt động của một hoặc nhiều bộ xử lý 1904. Khi được thực thi, các lệnh nhất định có thể khiến cho mạch xử lý 1902 thực hiện các chức năng theo các phương pháp, thuật toán và quy trình được mô tả ở đây.

Một số môđun phần mềm 1916 có thể được tải trong quá trình khởi tạo mạch xử lý 1902 và các môđun phần mềm này 1916 có thể tạo cấu hình mạch xử lý 1902 để cho phép thực hiện một số chức năng được mô tả ở đây. Ví dụ, một số môđun phần mềm 1916 có thể tạo cấu hình các thiết bị bên trong và/hoặc các mạch logic 1922 của bộ xử lý 1904, và có thể quản lý quyền truy cập vào các thiết bị bên ngoài như bộ thu phát 1912, giao diện bus 1908, giao diện người dùng 1918, bộ định thời, bộ đồng xử lý toán học, và tương tự. Môđun phần mềm 1916 có thể bao gồm chương trình điều khiển và/hoặc hệ điều hành tương tác với trình xử lý ngắt và trình điều khiển thiết bị, đồng thời điều khiển quyền truy cập vào các tài nguyên khác nhau được cung cấp bởi mạch xử lý 1902. Tài nguyên có thể bao gồm bộ nhớ, thời gian xử lý, quyền truy cập vào bộ thu phát 1912, giao diện người dùng 1918, v.v.

Một hoặc nhiều bộ xử lý 1904 của mạch xử lý 1902 có thể là đa chức năng, Do đó một số modun phần mềm 1916 được tải và được tạo cấu hình để thực hiện các chức năng khác nhau hoặc các phiên bản khác nhau của cùng một chức năng. Ví dụ, một hoặc nhiều bộ xử lý 1904 có thể được làm thích ứng để quản lý các tác vụ nên được khởi tạo để đáp lại các đầu vào từ giao diện người dùng 1918, bộ thu phát 1912 và trình điều khiển thiết bị. Để hỗ trợ hiệu suất của nhiều chức năng, một hoặc nhiều bộ xử lý 1904 có thể được tạo cấu hình để cung cấp môi trường đa nhiệm, Do đó mỗi chức năng trong số nhiều chức năng được thực hiện như tập hợp các tác vụ được phục vụ bởi một hoặc nhiều bộ xử lý 1904 khi cần thiết hoặc mong muốn. Theo một ví dụ, môi trường đa nhiệm có thể được thực hiện bằng cách sử dụng chương trình dùng chung thời gian 1920 chuyển quyền điều khiển của bộ xử lý 1904 giữa các tác vụ khác nhau, do đó mỗi tác vụ trả lại quyền điều khiển của một hoặc nhiều bộ xử lý 1904 cho chương trình dùng chung thời gian 1920 khi hoàn thành bất kỳ hoạt động nào còn tồn đọng và/hoặc để đáp lại đầu vào chẳng hạn như ngắt. Khi tác vụ có quyền điều khiển của một hoặc nhiều bộ xử lý 1904, mạch xử lý được chuyên biệt hóa một cách hiệu quả cho các mục đích được giải quyết bởi chức năng liên quan đến tác vụ điều khiển. Chương trình dùng chung thời gian 1920 có thể bao gồm hệ điều hành, vòng lặp chính chuyển giao quyền điều khiển trên cơ sở vòng lặp, chức năng phân bổ quyền điều khiển của một hoặc nhiều bộ xử lý 1904 theo mức ưu tiên hóa của các chức năng, và/hoặc vòng lặp chính điều khiển ngắt đáp ứng các sự kiện bên ngoài bằng cách cung cấp quyền điều khiển của một hoặc nhiều bộ xử lý 1904 cho chức năng xử lý.

Thiết bị 1900 có thể được làm thích ứng, được tạo cấu hình và/hoặc vận hành theo các khía cạnh nhất định của sáng chế. Theo phương án thực hiện thứ nhất, thiết bị phục hồi xung nhịp cuối cùng có thể bao gồm nhiều mạch tạo xung 1628 (xem Fig.16), trong đó mỗi mạch tạo xung được tạo cấu hình để tạo ra xung chuyển tiếp để đáp lại lần chuyển tiếp trong tín hiệu vi sai đại diện cho chênh lệch trong trạng thái báo hiệu của cặp dây trong bus ba dây. Theo phương án thực hiện thứ nhất, thiết bị phục hồi xung nhịp có thể bao gồm mạch logic thứ nhất được tạo cấu hình để cung cấp tín hiệu kết hợp bao gồm các xung tương ứng với các xung chuyển tiếp nhận được từ nhiều mạch tạo xung 1628, và mạch logic thứ hai đáp ứng các xung trong tín hiệu kết hợp và được tạo cấu hình để xuất ra tín hiệu xung nhịp được dùng để giải mã thông tin từ các lần chuyển tiếp trong trạng thái báo hiệu của bus ba dây, trong đó các xung trong tín hiệu kiểm soát khiến cho tín hiệu xung nhịp được điều khiển theo trạng thái thứ nhất. Mạch logic thứ hai có thể được thực hiện

bằng cách sử dụng mạch lật (chẳng hạn như mạch lật trễ), chốt, thanh ghi, hoặc mạch logic tuần tự khác. Theo phương án thực hiện thứ nhất, thiết bị phục hồi xung nhịp có thể bao gồm mạch trễ không đối xứng được tạo cấu hình để tạo ra tín hiệu thiết lập lại từ tín hiệu xung nhịp, trong đó tín hiệu thiết lập lại được tạo ra bằng cách làm trễ các lần chuyển tiếp của trạng thái thứ nhất trong khi chuyển các lần chuyển tiếp từ trạng thái thứ nhất mà không có thêm độ trễ, và trong đó tín hiệu xung nhịp được điều khiển từ trạng thái thứ nhất sau lần chuyển tiếp tín hiệu xung nhịp sang trạng thái thứ nhất được chuyển bởi mạch trễ không đối xứng.

Theo phương án thực hiện thứ hai, mỗi trong số nhiều mạch tạo xung 1628 của thiết bị phục hồi xung nhịp theo phương án thực hiện thứ nhất bao gồm cổng OR loại trừ được tạo cấu hình để nhận tín hiệu vi sai kết hợp và phiên bản trễ của tín hiệu vi sai kết hợp làm đầu vào. Theo phương án thực hiện thứ ba, mạch logic thứ nhất theo phương án thực hiện thứ hai bao gồm cổng logic được tạo cấu hình để cung cấp tín hiệu kết hợp bằng cách kết hợp các tín hiệu đầu ra nhận được từ cổng OR loại trừ trong mỗi mạch tạo xung. Theo phương án thực hiện thứ tư, mỗi trong số nhiều mạch tạo xung 1628 theo phương án thực hiện thứ hai hoặc phương án thực hiện thứ ba được tạo cấu hình để tạo ra các xung chuyển tiếp có khoảng thời gian được tạo cấu hình dựa vào khoảng thời gian xung nhịp tối thiểu được xác định cho mạch logic thứ hai. Theo phương án thực hiện thứ năm, khoảng thời gian của các xung được tạo bởi mỗi trong số nhiều mạch tạo xung 1628 của phương án thực hiện thứ hai, phương án thực hiện thứ ba hoặc phương án thực hiện thứ tư là tạo cấu hình được.

Theo phương án thực hiện thứ sáu, khoảng thời gian của độ trễ được áp dụng bởi mạch trễ bất đối xứng theo phương án thực hiện thứ nhất, phương án thực hiện thứ hai, phương án thực hiện thứ ba, phương án thực hiện thứ tư hoặc phương án thực hiện thứ năm cho các lần chuyển tiếp sang trạng thái thứ nhất là tạo cấu hình được. Theo phương án thực hiện thứ bảy, mạch trễ không đối xứng theo phương án thực hiện thứ nhất, phương án thực hiện thứ hai, phương án thực hiện thứ ba, phương án thực hiện thứ tư, phương án thực hiện thứ năm hoặc phương án thực hiện thứ sáu bao gồm mạch trễ cạnh lên được tạo cấu hình để làm trễ các lần chuyển tiếp từ trạng thái logic thấp sang trạng thái logic cao và còn được tạo cấu hình để chuyển các lần chuyển tiếp từ trạng thái logic cao đến trạng thái logic thấp mà không có thêm độ trễ. Theo phương án thực hiện thứ tám, thiết bị phục hồi xung nhịp theo phương án thực hiện thứ nhất, phương án thực hiện thứ hai, phương án thực hiện

thứ ba, phương án thực hiện thứ tư, phương án thực hiện thứ năm, phương án thực hiện thứ sáu hoặc phương án thực hiện thứ bảy bao gồm bộ giải mã trạng thái dây được tạo cấu hình để giải mã các ký hiệu từ các lần chuyển tiếp trong trạng thái báo hiệu của bus ba dây dựa vào thông tin định thời được cung cấp trong tín hiệu xung nhịp.

Mạch xử lý 1902 có thể được tạo cấu hình để thực hiện ít nhất một số phần của các phương pháp được mô tả ở đây. Trong ví dụ thứ nhất, phương pháp phục hồi xung nhịp bao gồm bước tạo ra tín hiệu kết hợp bao gồm các xung tương ứng với các xung chuyển tiếp được tạo ra để đáp lại lần chuyển tiếp trong tín hiệu vi sai đại diện cho chênh lệch trong trạng thái báo hiệu của cặp dây trong bus ba dây; cung cấp tín hiệu kết hợp cho mạch logic được tạo cấu hình để cung cấp tín hiệu xung nhịp làm đầu ra của nó, trong đó các xung trong tín hiệu kết hợp khiến cho tín hiệu xung nhịp được điều khiển theo trạng thái thứ nhất; và cung cấp tín hiệu thiết lập lại cho mạch logic, trong đó tín hiệu thiết lập lại được lấy từ tín hiệu xung nhịp bằng cách làm trễ các lần chuyển tiếp sang trạng thái thứ nhất trong khi chuyển các lần chuyển tiếp từ trạng thái thứ nhất mà không có thêm độ trễ, và trong đó tín hiệu xung nhịp được điều khiển từ trạng thái thứ nhất sau lần chuyển tiếp tín hiệu xung nhịp sang trạng thái thứ nhất được chuyển bằng mạch trễ không đối xứng. Mạch logic có thể được thực hiện bằng cách sử dụng mạch lật (chẳng hạn như mạch lật trễ), chốt, thanh ghi, hoặc mạch logic tuần tự khác.

Trong ví dụ thứ hai, phương pháp phục hồi xung nhịp theo ví dụ thứ nhất bao gồm bước tạo xung chuyển tiếp cho tín hiệu vi sai thứ nhất bằng cách thực hiện hàm cổng OR loại trừ trên tín hiệu vi sai thứ nhất và phiên bản trễ của tín hiệu vi sai thứ nhất. Trong ví dụ thứ ba, phương pháp phục hồi xung nhịp theo ví dụ thứ nhất hoặc ví dụ thứ hai bao gồm bước tạo cấu hình ít nhất một mạch tạo xung để cung cấp các xung chuyển tiếp tương ứng có khoảng thời gian dựa vào khoảng thời gian xung nhịp tối thiểu được xác định cho mạch logic. Trong ví dụ thứ tư, phương pháp phục hồi xung nhịp theo ví dụ thứ nhất, ví dụ thứ hai hoặc ví dụ thứ ba bao gồm bước hiệu chỉnh ít nhất một mạch tạo xung dựa vào các điều kiện hoạt động của bus ba dây. Trong ví dụ thứ năm, phương pháp phục hồi xung nhịp theo ví dụ thứ nhất, ví dụ thứ hai, ví dụ thứ ba hoặc ví dụ thứ tư bao gồm bước tạo cấu hình mạch trễ không đối xứng để lựa chọn khoảng thời gian của độ trễ được áp dụng cho các lần chuyển tiếp sang trạng thái thứ nhất. Trong ví dụ thứ sáu, mạch trễ không đối xứng theo ví dụ thứ nhất, ví dụ thứ hai, ví dụ thứ ba, ví dụ thứ tư, hoặc ví dụ thứ năm bao gồm mạch trễ cạnh lên được tạo cấu hình để làm trễ các lần chuyển tiếp từ trạng thái logic thấp

sang trạng thái logic cao, và còn được tạo cấu hình để chuyển các lần chuyển tiếp từ trạng thái logic cao sang trạng thái logic thấp mà không có thêm độ trễ. Trong ví dụ thứ bảy, phương pháp phục hồi xung nhịp theo ví dụ thứ nhất, ví dụ thứ hai, ví dụ thứ ba, ví dụ thứ tư, ví dụ thứ năm hoặc ví dụ thứ sáu bao gồm bước cung cấp tín hiệu xung nhịp cho bộ giải mã trạng thái dây được tạo cấu hình để giải mã các ký hiệu từ các lần chuyển tiếp trong trạng thái báo hiệu của bus ba dây dựa vào thông tin định thời được cung cấp trong tín hiệu xung nhịp.

Fig.20 là lưu đồ 2000 của phương pháp phục hồi xung nhịp có thể được thực hiện ở thiết bị nhận được ghép nối với giao diện C-PHY 3 dây. Tại khối 2002, thiết bị nhận có thể tạo ra tín hiệu kết hợp bao gồm các xung tương ứng với các xung chuyển tiếp được tạo ra để đáp lại lần chuyển tiếp trong tín hiệu vi sai đại diện cho chênh lệch trong trạng thái báo hiệu của cặp dây trong bus ba dây. Tại khối 2004, thiết bị nhận có thể cung cấp tín hiệu kết hợp cho mạch logic được tạo cấu hình để cung cấp tín hiệu xung nhịp làm đầu ra của nó. Mạch logic có thể được thực hiện bằng cách sử dụng mạch lật (chẳng hạn như mạch lật trễ), chốt, thanh ghi, hoặc mạch logic tuần tự khác. Các xung trong tín hiệu kết hợp khiến cho tín hiệu xung nhịp được điều khiển theo trạng thái thứ nhất. Tại khối 2006, thiết bị nhận có thể cung cấp tín hiệu thiết lập lại cho mạch logic. Tín hiệu thiết lập lại được lấy từ tín hiệu xung nhịp bằng cách làm trễ các lần chuyển tiếp sang trạng thái thứ nhất trong khi chuyển các lần chuyển tiếp từ trạng thái thứ nhất mà không có thêm độ trễ. Tín hiệu xung nhịp được điều khiển từ trạng thái thứ nhất sau khi chuyển lần chuyển tiếp của tín hiệu xung nhịp sang trạng thái thứ nhất.

Thiết bị nhận có thể tạo ra xung chuyển tiếp cho tín hiệu vi sai thứ nhất bằng cách thực hiện hàm cổng OR loại trừ trên tín hiệu vi sai thứ nhất và phiên bản trễ của tín hiệu vi sai thứ nhất. Thiết bị nhận có thể tạo cấu hình ít nhất một mạch tạo xung để cung cấp các xung chuyển tiếp tương ứng có khoảng thời gian dựa vào khoảng thời gian xung nhịp tối thiểu được xác định cho mạch logic. Thiết bị nhận có thể hiệu chỉnh ít nhất một mạch tạo xung dựa vào điều kiện hoạt động của bus ba dây. Thiết bị nhận có thể tạo cấu hình độ trễ không đối xứng để cung cấp khoảng thời gian trễ mong muốn được áp dụng cho các lần chuyển tiếp sang trạng thái thứ nhất. Theo một ví dụ, mạch trễ không đối xứng được thực hiện như mạch trễ cạnh lên được tạo cấu hình để làm trễ các lần chuyển tiếp từ trạng thái logic thấp sang trạng thái logic cao. Mạch trễ cạnh lên có thể còn được tạo cấu hình để

chuyển các lần chuyển tiếp từ trạng thái logic cao sang trạng thái logic thấp mà không có thêm độ trễ.

Theo một số phương án thực hiện, tín hiệu xung nhịp có thể được cung cấp cho bộ giải mã trạng thái dây được tạo cấu hình để giải mã các ký hiệu từ các lần chuyển tiếp trong trạng thái báo hiệu của bus ba dây dựa vào thông tin định thời được cung cấp trong tín hiệu xung nhịp.

Fig.21 là sơ đồ minh họa ví dụ về phương án thực hiện bằng phần cứng cho thiết bị 2100 sử dụng mạch xử lý 2102. Mạch xử lý 2102 thường có ít nhất một bộ xử lý 2116 có thể bao gồm một hoặc nhiều trong số bộ vi xử lý, bộ vi điều khiển, bộ xử lý tín hiệu số, bộ sắp xếp chuỗi, và máy trạng thái. Mạch xử lý 2102 có thể được thực hiện với cấu trúc bus, được biểu diễn chung bởi bus 2120. Bus 2120 có thể bao gồm số lượng bất kỳ các bus và cầu liên kết tùy thuộc vào ứng dụng cụ thể của mạch xử lý 2102 và các ràng buộc thiết kế tổng thể. Bus 2120 liên kết một số mạch với nhau bao gồm một hoặc nhiều bộ xử lý và/hoặc module phần cứng, được đại diện bởi bộ xử lý 2116, các module hoặc mạch 2104, 2106 và 2108, các mạch bộ thu vi sai 2112 tạo ra các tín hiệu vi sai 2122 đại diện cho chênh lệch trong trạng thái báo hiệu giữa các cặp đầu nối hoặc dây 2114 khác nhau và phương tiện lưu trữ đọc được bằng bộ xử lý 2118. Bus 2120 cũng có thể liên kết các mạch khác như nguồn định thời, các thành phần ngoại vi, bộ điều chỉnh điện áp, và các mạch quản lý công suất đã được biết đến rộng rãi trong lĩnh vực kỹ thuật này, và do đó, sẽ không được mô tả nữa.

Bộ xử lý 2116 có nhiệm vụ xử lý chung, bao gồm thực thi phần mềm được lưu trữ trên phương tiện lưu trữ đọc được bằng bộ xử lý 2118. Phần mềm, khi được thực thi bởi bộ xử lý 2116, khiến cho mạch xử lý 2102 thực hiện các chức năng khác nhau được mô tả trên đây cho thiết bị cụ thể bất kỳ. Phương tiện lưu trữ đọc được bằng bộ xử lý 2118 cũng có thể được dùng để lưu trữ dữ liệu được xử lý bởi bộ xử lý 2116 khi thực thi phần mềm, bao gồm dữ liệu được giải mã từ các ký hiệu được truyền qua các đầu nối hoặc dây 2114, có thể được tạo cấu hình như bus C-PHY. Mạch xử lý 2102 còn bao gồm ít nhất một trong số các module 2104, 2106 và 2108. Các module 2104, 2106 và 2108 có thể là các module phần mềm chạy trong bộ xử lý 2116, nằm/lưu trữ trong phương tiện lưu trữ đọc được bằng bộ xử lý 2118, một hoặc nhiều module phần cứng được ghép nối với bộ xử lý 2116, hoặc

một số tổ hợp của chúng. Các môđun 2104, 2106 và/hoặc 2108 có thể bao gồm lệnh vi điều khiển, thông số cấu hình máy trạng thái, hoặc một số tổ hợp của chúng.

Trong một cấu hình, thiết bị 2100 có thể được tạo cấu hình để truyền dữ liệu theo giao thức giao diện C-PHY. Thiết bị 2100 có thể bao gồm các môđun và/hoặc mạch 2108 được tạo cấu hình để tạo ra các xung chuyển tiếp để đáp lại các lần chuyển tiếp trong trạng thái báo hiệu của các tín hiệu vi sai 2122, các môđun và/hoặc mạch 2106 được tạo cấu hình để tạo ra tín hiệu xung nhịp có thể sử dụng được để giải mã các ký hiệu từ các lần chuyển tiếp trong trạng thái báo hiệu của bus ba dây và môđun và/hoặc mạch cấu hình 2104 để tạo cấu hình khoảng thời gian trễ được dùng trong việc tạo ra các xung chuyển tiếp và/hoặc xung nhịp nhận.

Theo một ví dụ, thiết bị 2100 có nhiều mạch tạo xung 1628 (xem Fig.16), một hoặc nhiều mạch logic kết hợp và mạch phục hồi xung nhịp. Mỗi mạch tạo xung 1628 được tạo cấu hình để tạo ra xung chuyển tiếp để đáp lại lần chuyển tiếp trong tín hiệu vi sai 2122 đại diện cho chênh lệch trong trạng thái báo hiệu của cặp dây trong bus ba dây. Một mạch logic kết hợp được tạo cấu hình để cung cấp tín hiệu kết hợp bao gồm các xung tương ứng với các xung chuyển tiếp nhận được từ nhiều mạch tạo xung 1628. Theo một ví dụ, ba tín hiệu vi sai 2122 được kết hợp bằng cách sử dụng cổng logic-OR sao cho mức logic cao của xung chuyển tiếp trong tín hiệu vi sai bất kỳ 2122 khiến cho mức logic cao trong tín hiệu kết hợp, trong đó trạng thái của tín hiệu kết hợp trở về mức logic thấp khi ba tín hiệu vi sai 2122 ở mức logic thấp. Mạch phục hồi xung nhịp có thể được thực hiện bằng cách sử dụng mạch lật (chẳng hạn như mạch lật trễ), chốt, thanh ghi, hoặc mạch logic tuần tự khác. Mạch phục hồi xung nhịp có thể đáp ứng với các xung trong tín hiệu kết hợp và được tạo cấu hình để xuất ra tín hiệu xung nhịp được dùng để giải mã thông tin từ các lần chuyển tiếp ở trạng thái báo hiệu của bus ba dây. Các xung trong tín hiệu kết hợp khiến cho tín hiệu xung nhịp được điều khiển theo trạng thái thứ nhất. Mạch phục hồi xung nhịp có thể bao gồm mạch trễ không đối xứng được tạo cấu hình để tạo ra tín hiệu thiết lập lại từ tín hiệu xung nhịp. Tín hiệu thiết lập lại được tạo ra bằng cách làm trễ các lần chuyển tiếp sang trạng thái thứ nhất trong khi chuyển các lần chuyển tiếp từ trạng thái thứ nhất mà không có thêm độ trễ. Tín hiệu xung nhịp được điều khiển từ trạng thái thứ nhất sau lần chuyển tiếp tín hiệu xung nhịp sang trạng thái thứ nhất được chuyển bởi mạch trễ không đối xứng.

Mỗi mạch tạo xung bao gồm cổng OR loại trừ được tạo cấu hình để nhận tín hiệu vi sai kết hợp và phiên bản trễ của tín hiệu vi sai kết hợp làm đầu vào. Mạch logic kết hợp có thể bao gồm cổng logic được tạo cấu hình để cung cấp tín hiệu kết hợp bằng cách kết hợp các tín hiệu đầu ra nhận được từ cổng OR loại trừ của mỗi mạch tạo xung. Mỗi mạch tạo xung được tạo cấu hình để tạo ra xung có khoảng thời gian được tạo cấu hình dựa vào khoảng thời gian xung nhịp tối thiểu được xác định cho mạch phục hồi xung nhịp. Khoảng thời gian của các xung được tạo ra bởi mạch trễ 1616, 1618, 1620 trong mỗi trong số nhiều mạch tạo xung 1628 có thể tạo cấu hình được. Khoảng thời gian của độ trễ được áp dụng bởi mạch trễ không đối xứng cho các lần chuyển tiếp sang trạng thái thứ nhất có thể tạo cấu hình được.

Theo một ví dụ, mạch trễ không đối xứng được thực hiện như mạch trễ cạnh lên được tạo cấu hình để làm trễ các lần chuyển tiếp từ trạng thái logic thấp sang trạng thái logic cao và còn được tạo cấu hình để chuyển các lần chuyển tiếp từ trạng thái logic cao sang trạng thái logic thấp mà không có thêm độ trễ. Theo một ví dụ, thiết bị 2100 bao gồm bộ giải mã trạng thái dây được tạo cấu hình để giải mã các ký hiệu từ các lần chuyển tiếp trong trạng thái báo hiệu của bus ba dây dựa vào thông tin định thời được cung cấp trong tín hiệu xung nhịp.

Phương tiện lưu trữ đọc được bằng bộ xử lý 2118 có thể là phương tiện lưu trữ bất biến và có thể lưu trữ các lệnh và/hoặc mã, khi thực thi bằng bộ xử lý 2116, khiến cho mạch xử lý 2102 tạo ra tín hiệu kết hợp bao gồm một hoặc nhiều xung chuyển tiếp, trong đó mỗi xung chuyển tiếp được tạo ra đáp ứng lần chuyển tiếp trong tín hiệu vi sai 2122 đại diện cho chênh lệch trong trạng thái báo hiệu của cặp dây trong bus ba dây. Các lệnh và/hoặc mã khiến cho mạch xử lý 2102 cung cấp tín hiệu kết hợp cho mạch logic được tạo cấu hình để cung cấp tín hiệu xung nhịp làm đầu ra của nó, trong đó các xung trong tín hiệu kết hợp khiến cho tín hiệu xung nhịp được điều khiển theo trạng thái thứ nhất. Mạch logic có thể được thực hiện bằng cách sử dụng mạch lật (chẳng hạn như mạch lật trễ), chốt, thanh ghi, hoặc mạch logic tuần tự khác. Các lệnh và/hoặc mã khiến cho mạch xử lý 2102 cung cấp tín hiệu thiết lập lại cho mạch logic, trong đó tín hiệu thiết lập lại được lấy từ tín hiệu xung nhịp bằng cách làm trễ các lần chuyển tiếp sang trạng thái thứ nhất trong khi chuyển các lần chuyển tiếp từ trạng thái thứ nhất mà không có thêm độ trễ. Tín hiệu xung nhịp được điều khiển từ trạng thái thứ nhất sau khi chuyển lần chuyển tiếp của tín hiệu xung nhịp sang trạng thái thứ nhất.

Các lệnh và/hoặc mã có thể khiến mạch xử lý 2102 tạo ra xung chuyển tiếp cho tín hiệu vi sai thứ nhất bằng cách thực hiện hàm cổng OR loại trừ trên tín hiệu vi sai thứ nhất và phiên bản trễ của tín hiệu vi sai thứ nhất. Các lệnh và/hoặc mã có thể khiến cho mạch xử lý 2102 tạo cấu hình ít nhất một mạch tạo xung để cung cấp các xung chuyển tiếp tương ứng có khoảng thời gian dựa vào khoảng thời gian xung nhịp tối thiểu được xác định cho mạch logic. Các lệnh và/hoặc mã có thể khiến cho mạch xử lý 2102 hiệu chỉnh ít nhất một mạch tạo xung dựa vào điều kiện hoạt động của bus ba dây. Các lệnh và/hoặc mã có thể khiến cho mạch xử lý 2102 tạo cấu hình mạch trễ không đối xứng để cung cấp khoảng thời gian trễ mong muốn được áp dụng cho các lần chuyển tiếp sang trạng thái thứ nhất. Mạch trễ không đối xứng có thể được thực hiện bằng cách sử dụng mạch trễ cạnh lên được tạo cấu hình để làm trễ các lần chuyển tiếp từ trạng thái logic thấp sang trạng thái logic cao và còn được tạo cấu hình để chuyển các lần chuyển tiếp từ trạng thái logic cao sang trạng thái logic thấp mà không có thêm độ trễ. Các lệnh và/hoặc mã có thể khiến cho mạch xử lý 2102 cung cấp tín hiệu xung nhịp cho bộ giải mã trạng thái dây được tạo cấu hình để giải mã các ký hiệu từ các lần chuyển tiếp trong trạng thái báo hiệu của bus ba dây dựa vào thông tin định thời được cung cấp trong tín hiệu xung nhịp.

Cần hiểu rằng thứ tự hoặc thứ bậc cụ thể của các bước trong các quy trình được mô tả là minh họa về các phương án ví dụ. Dựa vào các tùy chọn thiết kế, cần hiểu rằng thứ tự hoặc thứ bậc cụ thể của các bước trong các quy trình này có thể được sắp xếp lại. Hơn nữa, một số bước có thể được kết hợp hoặc lược bỏ. Phương pháp kèm theo đề cập đến các thành phần hiện có của các bước khác nhau theo thứ tự ví dụ, và không mang ý nghĩa giới hạn ở thứ tự hoặc thứ bậc cụ thể đã trình bày.

Phần mô tả trên đây được cung cấp nhằm giúp cho người có hiểu biết trung bình trong lĩnh vực kỹ thuật này có thể thực hiện các khía cạnh được mô tả theo sáng chế. Những cải biến đối với các khía cạnh này sẽ được người có hiểu biết trung bình trong lĩnh vực kỹ thuật này biết rõ, và các nguyên lý chung nêu theo sáng chế có thể được áp dụng cho các khía cạnh khác. Do đó, yêu cầu bảo hộ không nhằm giới hạn theo các khía cạnh được thể hiện ở đây, nhưng được đưa ra phạm vi đầy đủ theo các yêu cầu bảo hộ về mặt ngôn ngữ, trong đó việc tham chiếu đến một phần tử theo số ít không có ý nghĩa là “một và chỉ một” trừ khi đã nêu cụ thể như vậy, nhưng đúng hơn là “một hoặc nhiều”. Trừ khi được nêu cụ thể khác, thuật ngữ “một số” đề cập đến một hoặc nhiều. Tất cả các tương đương về cấu trúc và chức năng với các phần tử theo các khía cạnh khác nhau được mô tả theo sáng chế này đã được biết

đến hoặc sẽ được biết đến sau này bởi người có hiểu biết trung bình trong lĩnh vực kỹ thuật này đều được đưa vào bản mô tả này một cách rõ ràng bằng cách viện dẫn và dự định được bao gồm trong các yêu cầu bảo hộ. Hơn nữa, không thông tin nào bộc lộ ở đây được dự định dành cho công chúng bất kể phần bộc lộ đó được thể hiện rõ ràng theo các yêu cầu bảo hộ hay không. Không phần nào trong yêu cầu bảo hộ được hiểu là phương tiện và chức năng trừ khi phần đó được trình bày rõ ràng bằng cách sử dụng cụm từ “phương tiện để”.

YÊU CẦU BẢO HỘ

1. Thiết bị phục hồi xung nhịp bao gồm:

nhiều mạch tạo xung, trong đó mỗi mạch tạo xung được tạo cấu hình để tạo ra xung chuyển tiếp để đáp lại lần chuyển tiếp trong tín hiệu vi sai đại diện cho chênh lệch trong trạng thái báo hiệu của cặp dây trong bus ba dây;

mạch logic thứ nhất được tạo cấu hình để cung cấp tín hiệu kết hợp bao gồm các xung tương ứng với các xung chuyển tiếp nhận được từ nhiều mạch tạo xung;

mạch logic thứ hai đáp ứng với các xung trong tín hiệu kết hợp và được tạo cấu hình để xuất ra tín hiệu xung nhịp được dùng để giải mã thông tin từ bus ba dây, trong đó các xung trong tín hiệu kết hợp khiến cho tín hiệu xung nhịp được điều khiển theo trạng thái thứ nhất; và

mạch trễ không đối xứng được tạo cấu hình để tạo ra tín hiệu thiết lập lại từ tín hiệu xung nhịp, trong đó tín hiệu thiết lập lại được tạo ra bằng cách làm trễ các lần chuyển tiếp sang trạng thái thứ nhất trong khi chuyển các lần chuyển tiếp từ trạng thái thứ nhất mà không có thêm độ trễ, và trong đó tín hiệu xung nhịp được điều khiển từ trạng thái thứ nhất sau lần chuyển tiếp tín hiệu xung nhịp sang trạng thái thứ nhất được chuyển bằng mạch trễ không đối xứng.

2. Thiết bị phục hồi xung nhịp theo điểm 1, trong đó mỗi trong số nhiều mạch tạo xung bao gồm:

cổng OR loại trừ được tạo cấu hình để nhận tín hiệu vi sai kết hợp và phiên bản trễ của tín hiệu vi sai kết hợp làm đầu vào.

3. Thiết bị phục hồi xung nhịp theo điểm 2, trong đó mạch logic thứ nhất bao gồm:

cổng logic được tạo cấu hình để cung cấp tín hiệu kết hợp bằng cách kết hợp các tín hiệu đầu ra nhận được từ cổng OR loại trừ trong mỗi mạch tạo xung.

4. Thiết bị phục hồi xung nhịp theo điểm 2, trong đó mỗi trong số nhiều mạch tạo xung được tạo cấu hình để tạo ra các xung chuyển tiếp có khoảng thời gian được tạo cấu hình dựa vào khoảng thời gian xung nhịp tối thiểu được xác định cho mạch logic thứ hai.

5. Thiết bị phục hồi xung nhịp theo điểm 2, trong đó khoảng thời gian của các xung được tạo ra bởi mỗi trong số nhiều mạch tạo xung là tạo cấu hình được.

6. Thiết bị phục hồi xung nhịp theo điểm 1, trong đó khoảng thời gian của độ trễ được áp dụng bởi mạch trễ không đối xứng cho các lần chuyển tiếp sang trạng thái thứ nhất là tạo cấu hình được.

7. Thiết bị phục hồi xung nhịp theo điểm 1, trong đó mạch trễ không đối xứng bao gồm mạch trễ cạnh lên được tạo cấu hình để làm trễ các lần chuyển tiếp từ trạng thái logic thấp sang trạng thái logic cao, và còn được tạo cấu hình để chuyển các lần chuyển tiếp từ trạng thái logic cao sang trạng thái logic thấp mà không có thêm độ trễ.

8. Thiết bị phục hồi xung nhịp theo điểm 1 còn bao gồm:

bộ giải mã trạng thái dây được tạo cấu hình để giải mã các ký hiệu từ các lần chuyển tiếp trong trạng thái báo hiệu của bus ba dây dựa vào thông tin định thời được cung cấp trong tín hiệu xung nhịp.

9. Phương pháp phục hồi xung nhịp bao gồm các bước:

tạo ra tín hiệu kết hợp bao gồm các xung tương ứng với các xung chuyển tiếp được tạo ra để đáp lại lần chuyển tiếp trong tín hiệu vi sai đại diện cho chênh lệch trong trạng thái báo hiệu của cặp dây trong bus ba dây;

cung cấp tín hiệu kết hợp cho mạch logic được tạo cấu hình để cung cấp tín hiệu xung nhịp làm đầu ra của nó, trong đó các xung trong tín hiệu kết hợp khiến cho tín hiệu xung nhịp được điều khiển theo trạng thái thứ nhất; và

cung cấp tín hiệu thiết lập lại cho mạch logic, trong đó tín hiệu thiết lập lại được lấy từ tín hiệu xung nhịp bằng cách làm trễ các lần chuyển tiếp sang trạng thái thứ nhất trong khi chuyển các lần chuyển tiếp từ trạng thái thứ nhất mà không có thêm độ trễ, và trong đó tín hiệu xung nhịp được điều khiển từ trạng thái thứ nhất sau khi chuyển lần chuyển tiếp tín hiệu xung nhịp sang trạng thái thứ nhất.

10. Phương pháp phục hồi xung nhịp theo điểm 9 còn bao gồm bước:

tạo ra xung chuyển tiếp cho tín hiệu vi sai thứ nhất bằng cách thực hiện hàm cổng OR loại trừ trên tín hiệu vi sai thứ nhất và phiên bản trễ của tín hiệu vi sai thứ nhất.

11. Phương pháp phục hồi xung nhịp theo điểm 9 còn bao gồm bước:

tạo cấu hình ít nhất một mạch tạo xung để cung cấp các xung chuyển tiếp tương ứng có khoảng thời gian dựa vào khoảng thời gian xung nhịp tối thiểu được xác định cho mạch logic.

12. Phương pháp phục hồi xung nhịp theo điểm 9 còn bao gồm bước:

hiệu chỉnh ít nhất một mạch tạo xung dựa vào các điều kiện hoạt động của bus ba dây.

13. Phương pháp phục hồi xung nhịp theo điểm 9 còn bao gồm bước:

tạo cấu hình mạch trễ không đối xứng để lựa chọn khoảng thời gian của độ trễ được áp dụng cho các lần chuyển tiếp sang trạng thái thứ nhất.

14. Phương pháp phục hồi xung nhịp theo điểm 13, trong đó mạch trễ không đối xứng bao gồm mạch trễ cạnh lên được tạo cấu hình để làm trễ các lần chuyển tiếp từ trạng thái logic thấp sang trạng thái logic cao, và còn được tạo cấu hình để chuyển các lần chuyển tiếp tiếp từ trạng thái logic cao sang trạng thái logic thấp mà không có thêm độ trễ.

15. Phương pháp phục hồi xung nhịp theo điểm 9 còn bao gồm bước:

cung cấp tín hiệu xung nhịp cho bộ giải mã trạng thái dây được tạo cấu hình để giải mã các ký hiệu từ các lần chuyển tiếp trong trạng thái báo hiệu của bus ba dây dựa vào thông tin định thời được cung cấp trong tín hiệu xung nhịp.

16. Phương tiện lưu trữ bất biến đọc được bằng bộ xử lý có một hoặc nhiều lệnh, khi được thực thi bởi ít nhất một bộ xử lý của mạch xử lý trong bộ thu, khiến cho ít nhất một bộ xử lý:

tạo ra tín hiệu kết hợp bao gồm các xung tương ứng với các xung chuyển tiếp được tạo ra để đáp lại lần chuyển tiếp trong tín hiệu vi sai đại diện cho chênh lệch trong trạng thái báo hiệu của cặp dây trong bus ba dây;

cung cấp tín hiệu kết hợp cho mạch logic được tạo cấu hình để cung cấp tín hiệu xung nhịp làm đầu ra của nó, trong đó các xung trong tín hiệu kết hợp khiến cho tín hiệu xung nhịp được điều khiển theo trạng thái thứ nhất; và

cung cấp tín hiệu thiết lập lại cho mạch logic, trong đó tín hiệu thiết lập lại được lấy từ tín hiệu xung nhịp bằng cách làm trễ các lần chuyển tiếp sang trạng thái thứ nhất trong khi chuyển các lần chuyển tiếp từ trạng thái thứ nhất mà không có thêm độ trễ, và trong đó tín hiệu xung nhịp được điều khiển từ trạng thái thứ nhất sau khi chuyển lần chuyển tiếp của tín hiệu xung nhịp sang trạng thái thứ nhất.

17. Phương tiện lưu trữ theo điểm 16 còn bao gồm các lệnh khiến cho ít nhất một bộ xử lý:

tạo ra xung chuyển tiếp cho tín hiệu vi sai thứ nhất bằng cách thực hiện hàm cổng OR loại trừ trên tín hiệu vi sai thứ nhất và phiên bản trễ của tín hiệu vi sai thứ nhất.

18. Phương tiện lưu trữ theo điểm 16 còn bao gồm các lệnh khiến cho ít nhất một bộ xử lý:

tạo cấu hình ít nhất một mạch tạo xung để cung cấp các xung chuyển tiếp tương ứng có khoảng thời gian dựa vào khoảng thời gian xung nhịp tối thiểu được xác định cho mạch logic.

19. Phương tiện lưu trữ theo điểm 16 còn bao gồm các lệnh khiến cho ít nhất một bộ xử lý:

hiệu chỉnh ít nhất một mạch tạo xung dựa vào điều kiện hoạt động của bus ba dây.

20. Phương tiện lưu trữ theo điểm 16 còn bao gồm các lệnh khiến cho ít nhất một bộ xử lý:

tạo cấu hình mạch trễ không đối xứng để lựa chọn khoảng thời gian của độ trễ được áp dụng cho các lần chuyển tiếp sang trạng thái thứ nhất.

21. Phương tiện lưu trữ theo điểm 20, trong đó mạch trễ không đối xứng bao gồm mạch trễ cạnh lên được tạo cấu hình để làm trễ các lần chuyển tiếp từ trạng thái logic thấp sang trạng thái logic cao, và còn được tạo cấu hình để chuyển các lần chuyển tiếp từ trạng thái logic cao sang trạng thái logic thấp mà không có thêm độ trễ.

22. Phương tiện lưu trữ theo điểm 16 còn bao gồm các lệnh khiến cho ít nhất một bộ xử lý:

cung cấp tín hiệu xung nhịp cho bộ giải mã trạng thái dây được tạo cấu hình để giải mã các ký hiệu từ các lần chuyển tiếp ở trạng thái báo hiệu của bus ba dây dựa vào thông tin định thời được cung cấp trong tín hiệu xung nhịp.

23. Thiết bị phục hồi xung nhịp bao gồm:

phương tiện để tạo ra tín hiệu kết hợp bao gồm các xung tương ứng với các xung chuyển tiếp được tạo ra để đáp lại lần chuyển tiếp trong tín hiệu vi sai đại diện cho chênh lệch trong trạng thái báo hiệu của cặp dây trong bus ba dây;

phương tiện để cung cấp tín hiệu xung nhịp bao gồm mạch logic đáp ứng các xung trong tín hiệu kết hợp, trong đó các xung trong tín hiệu kết hợp khiến cho tín hiệu xung nhịp được điều khiển theo trạng thái thứ nhất; và

phương tiện để cung cấp tín hiệu thiết lập lại cho mạch logic, trong đó tín hiệu thiết lập lại được lấy từ tín hiệu xung nhịp bằng cách làm trễ các lần chuyển tiếp sang trạng thái thứ nhất trong khi chuyển các lần chuyển tiếp từ trạng thái thứ nhất mà không có thêm độ trễ, và trong đó tín hiệu xung nhịp được điều khiển từ trạng thái thứ nhất sau khi chuyển lần chuyển tiếp tín hiệu xung nhịp sang trạng thái thứ nhất.

24. Thiết bị phục hồi xung nhịp theo điểm 23 còn bao gồm:

phương tiện để tạo ra một hoặc nhiều xung chuyển tiếp, mỗi xung chuyển tiếp được tạo ra bằng cách sử dụng tín hiệu vi sai tương ứng và phiên bản trễ của tín hiệu vi sai tương ứng.

25. Thiết bị phục hồi xung nhịp theo điểm 23, trong đó ít nhất một mạch tạo xung được tạo cấu hình để cung cấp các xung chuyển tiếp tương ứng có khoảng thời gian dựa vào khoảng thời gian xung nhịp tối thiểu được xác định cho mạch logic.

26. Thiết bị phục hồi xung nhịp theo điểm 23, trong đó một hoặc nhiều mạch tạo xung được điều chỉnh dựa vào điều kiện hoạt động của bus ba dây.

27. Thiết bị phục hồi xung nhịp theo điểm 23, trong đó phương tiện để cung cấp tín hiệu thiết lập lại là tạo cấu hình được để lựa chọn khoảng thời gian của độ trễ được áp dụng cho các lần chuyển tiếp sang trạng thái thứ nhất.

28. Thiết bị phục hồi xung nhịp theo điểm 27, trong đó phương tiện để cung cấp tín hiệu thiết lập lại bao gồm mạch trễ cạnh lên được tạo cấu hình để làm trễ các lần chuyển tiếp từ trạng thái logic thấp sang trạng thái logic cao và còn được tạo cấu hình để chuyển các lần chuyển tiếp từ trạng thái logic cao sang trạng thái logic thấp mà không có thêm độ trễ.

29. Thiết bị phục hồi xung nhịp theo điểm 23, trong đó tín hiệu xung nhịp được cung cấp cho bộ giải mã trạng thái dây được tạo cấu hình để giải mã các ký hiệu từ các lần chuyển tiếp ở trạng thái báo hiệu của bus ba dây dựa vào thông tin định thời được cung cấp trong tín hiệu xung nhịp.

1/21

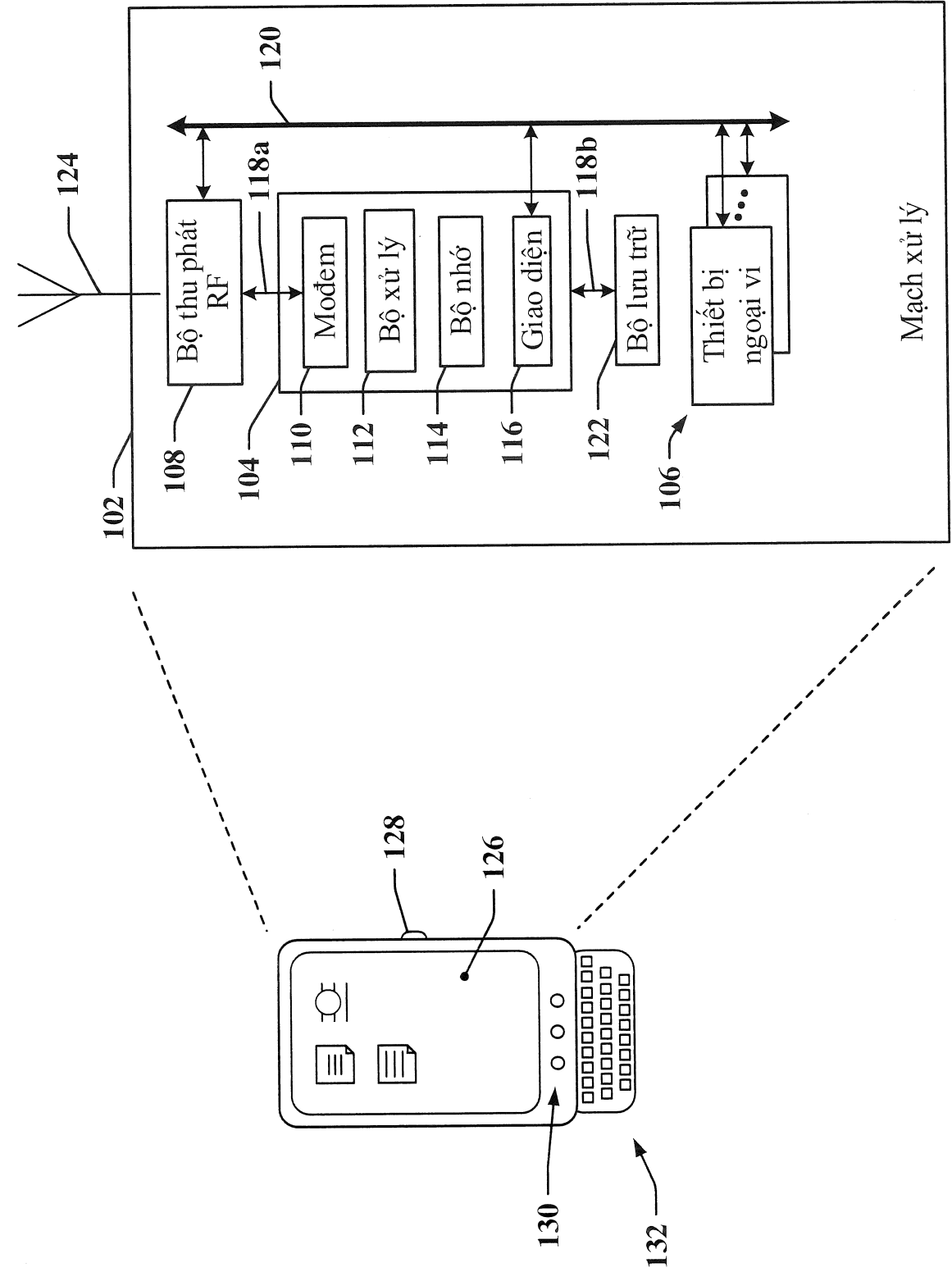


Fig.1

2/21

200 →

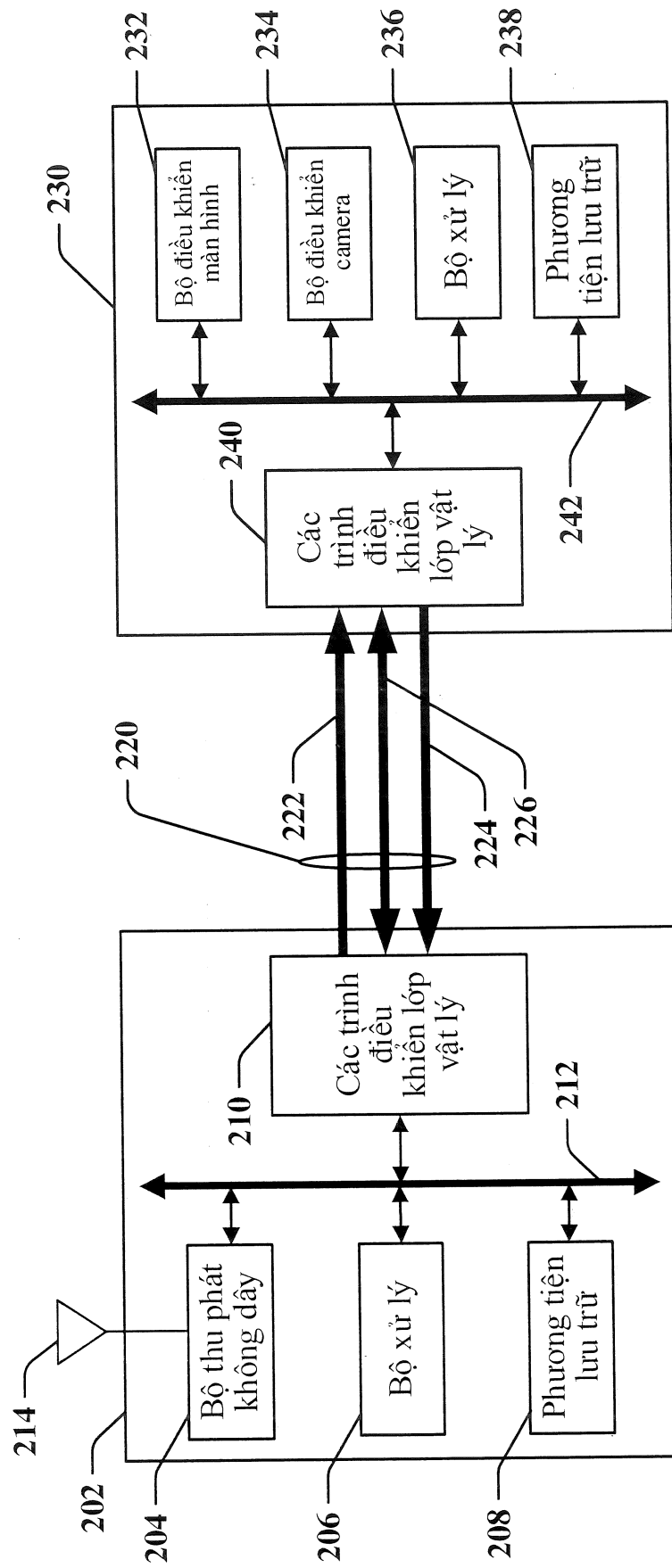


Fig.2

3/21

300 →

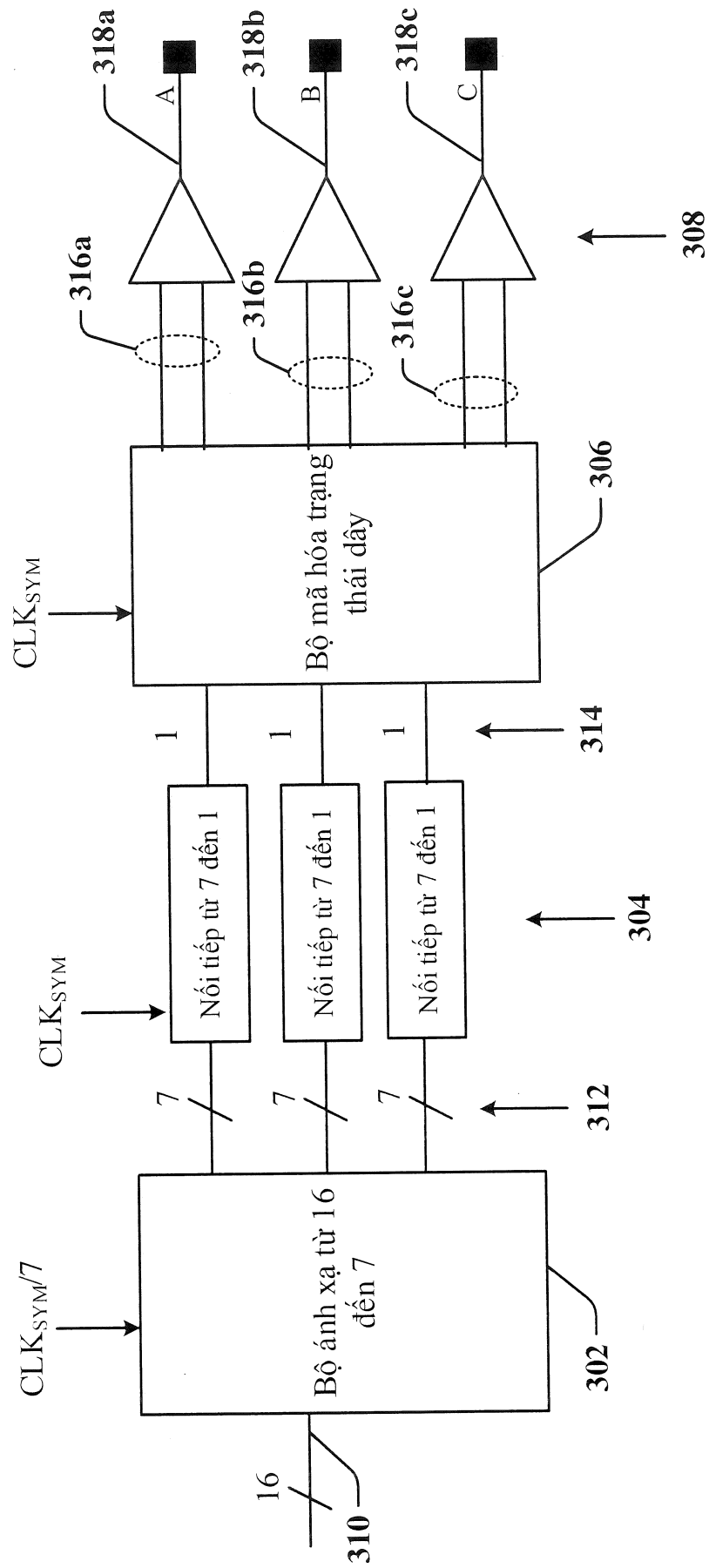


Fig.3

5/21

500 →

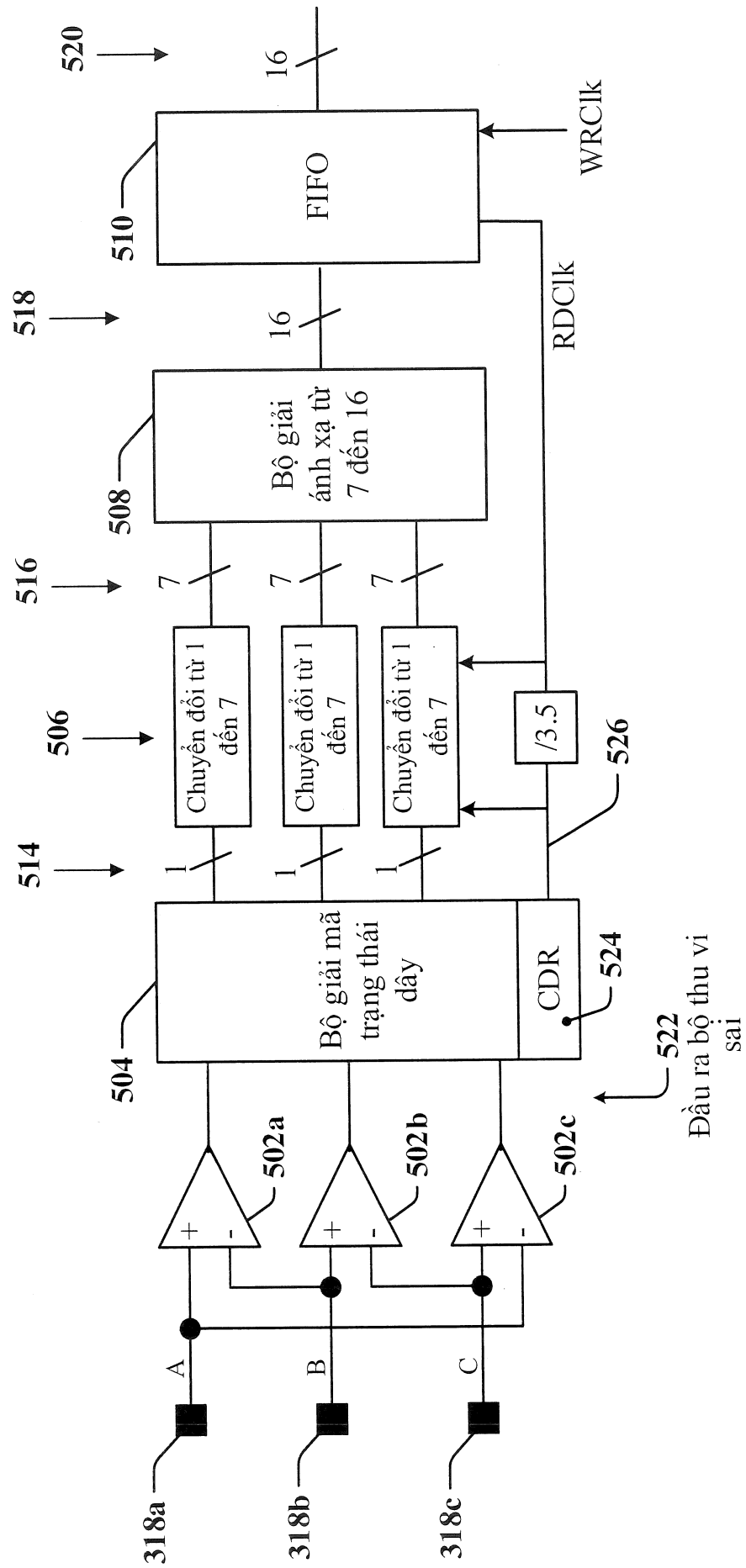


Fig.5

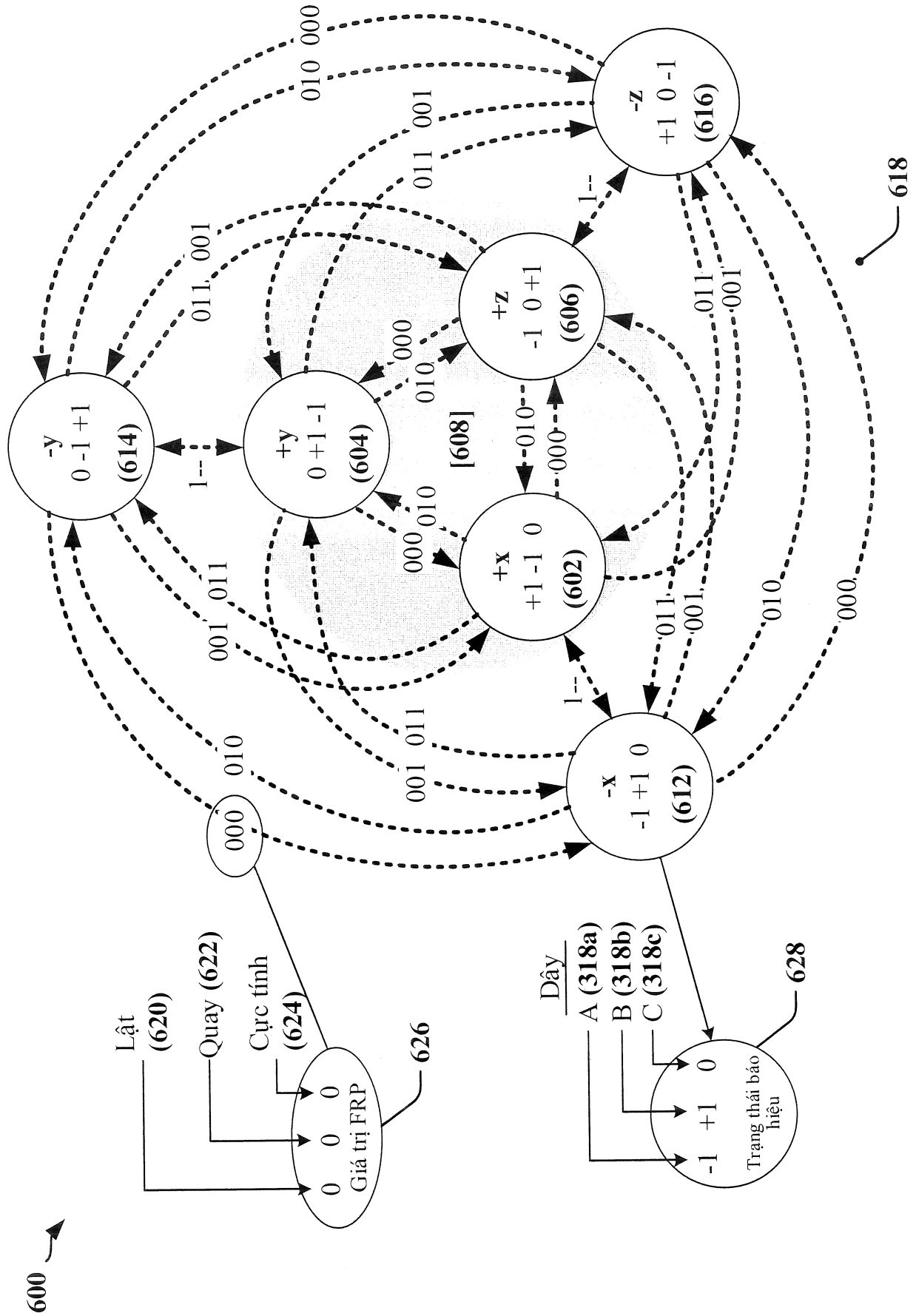


Fig. 6

7/21

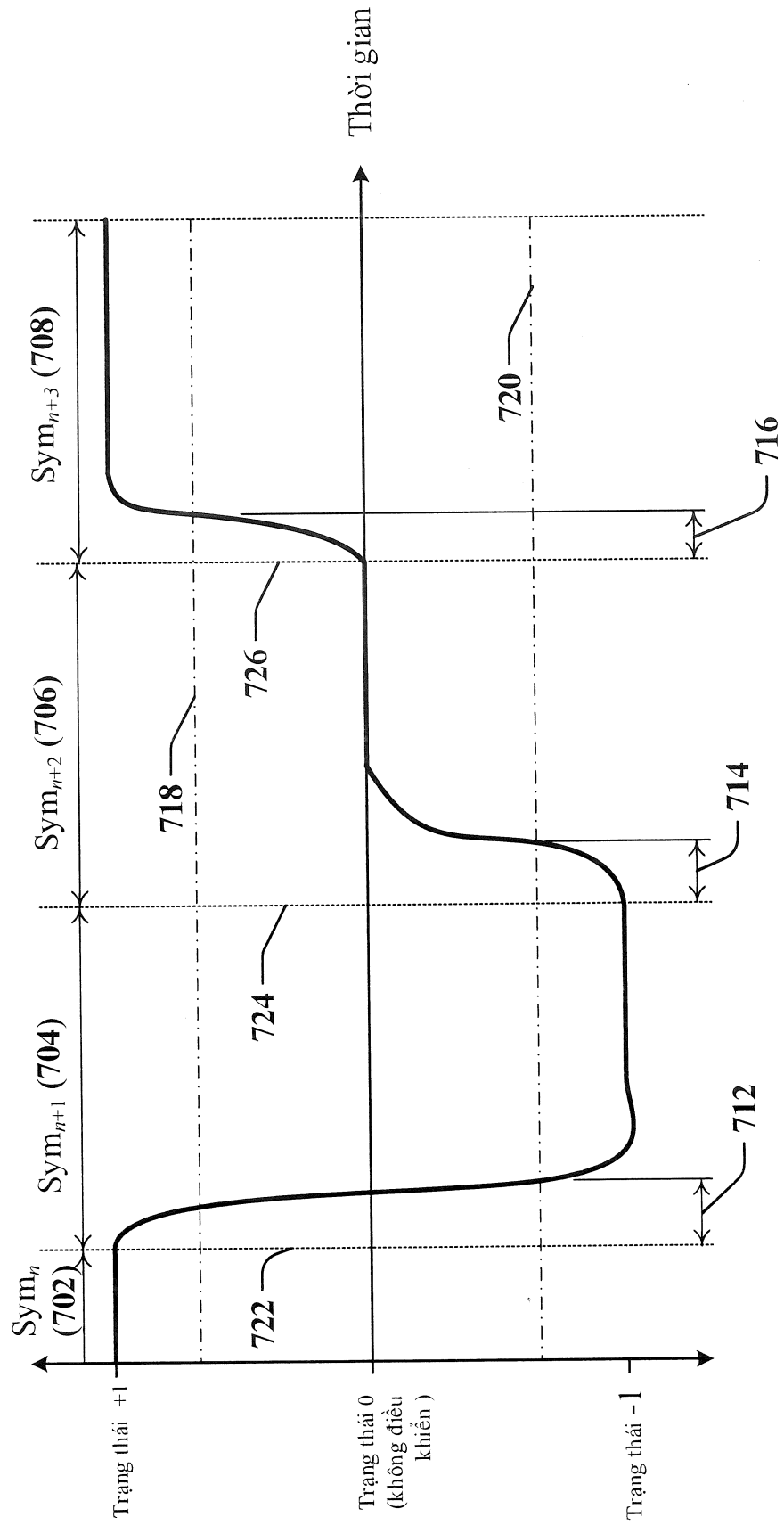


Fig.7

8/21

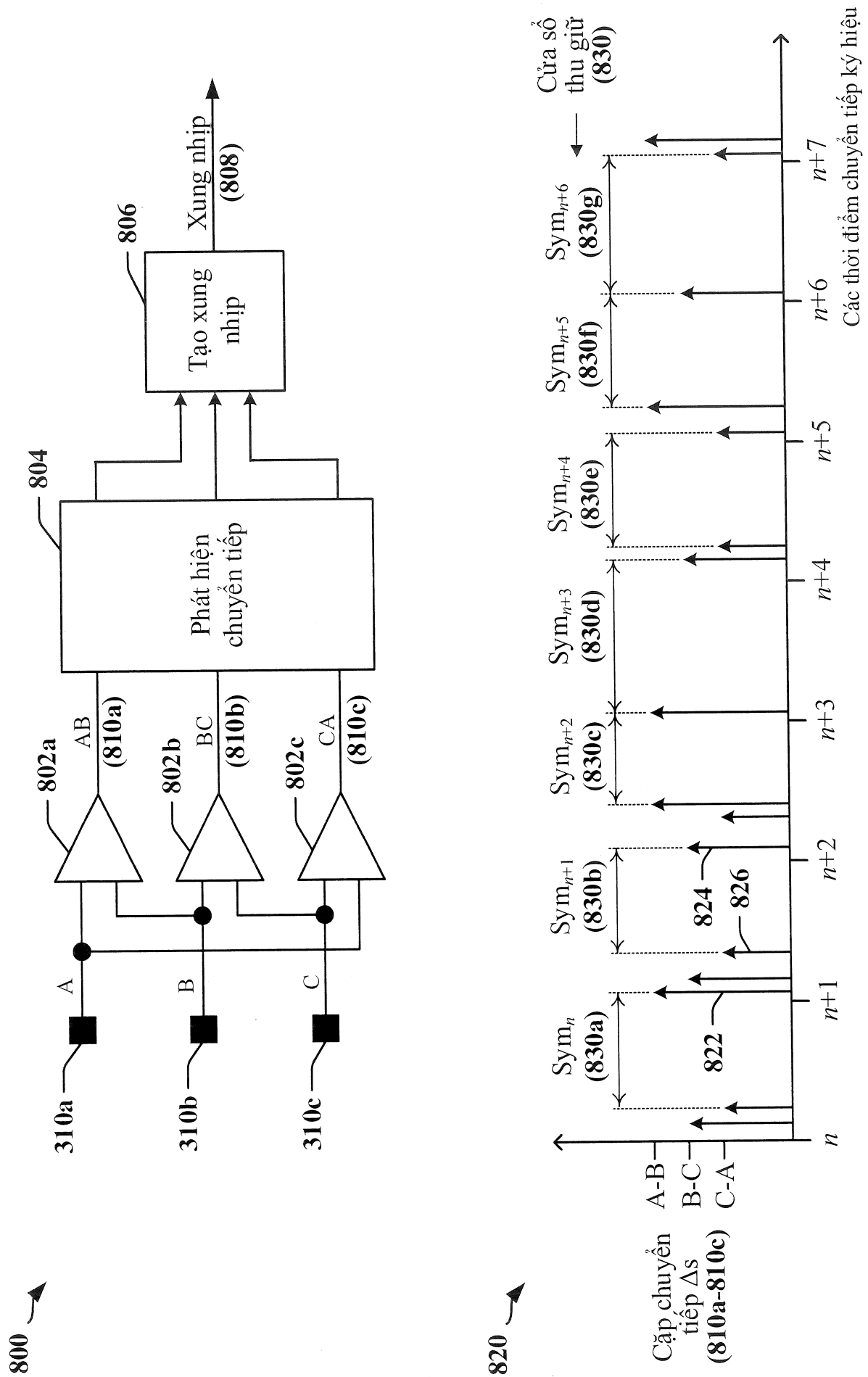


Fig.8

10/21

1000 →

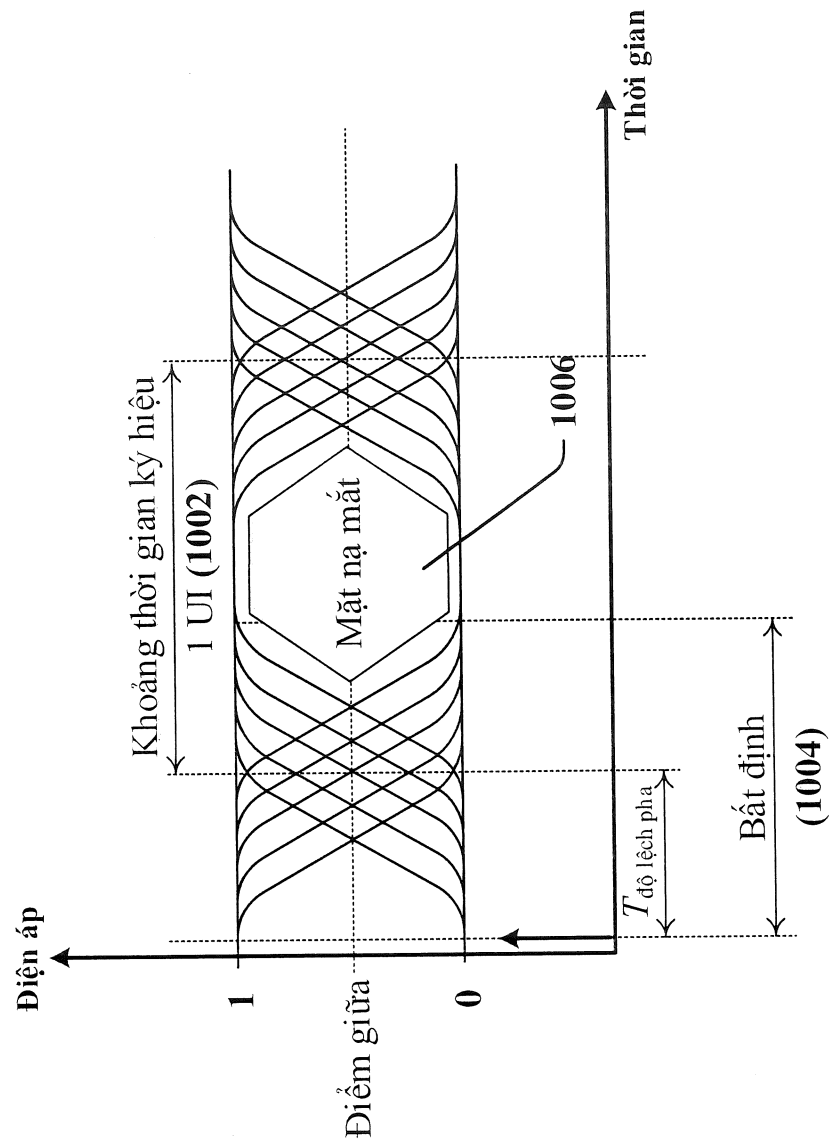


Fig.10

11/21

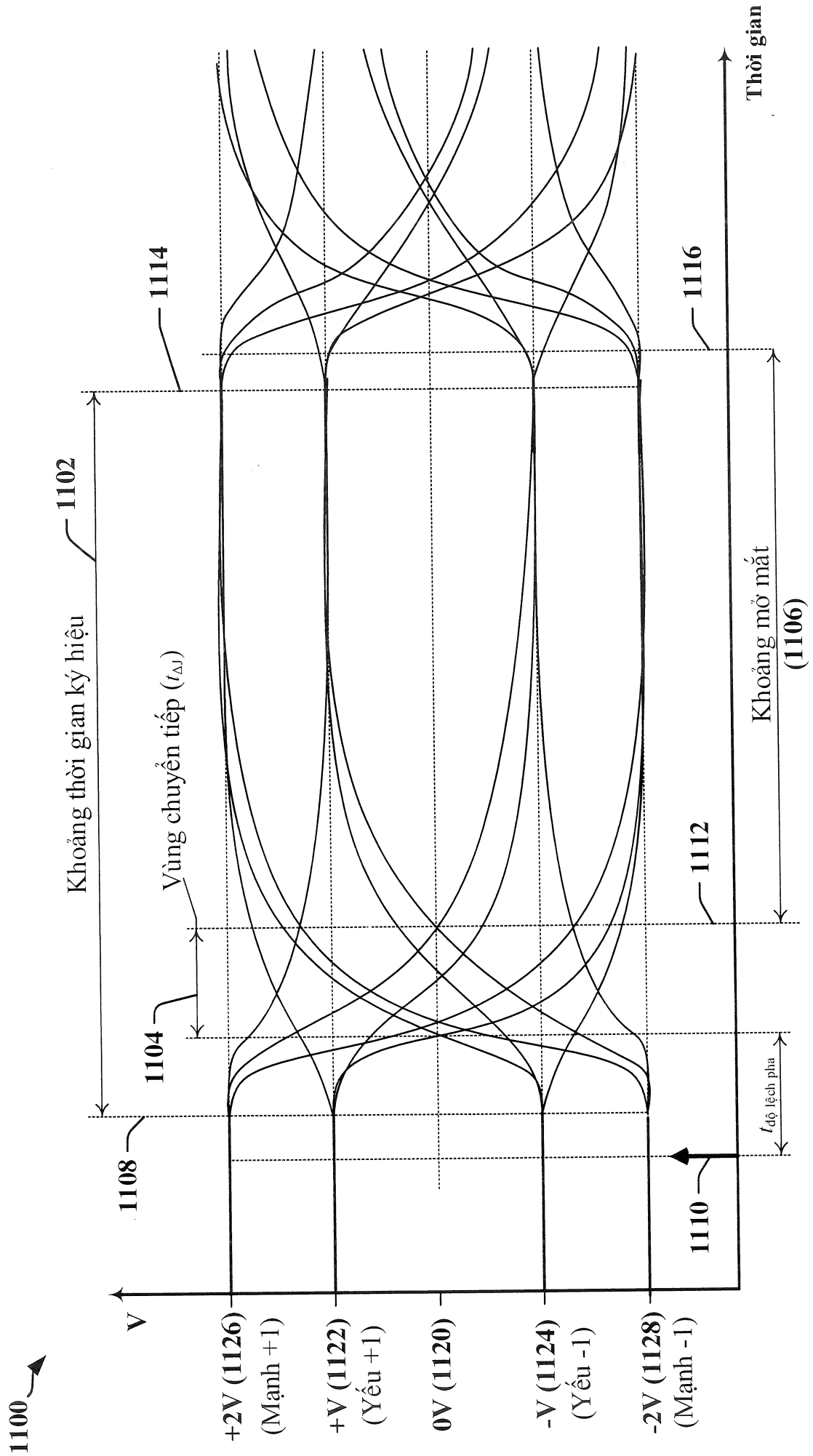


Fig.11

12/21

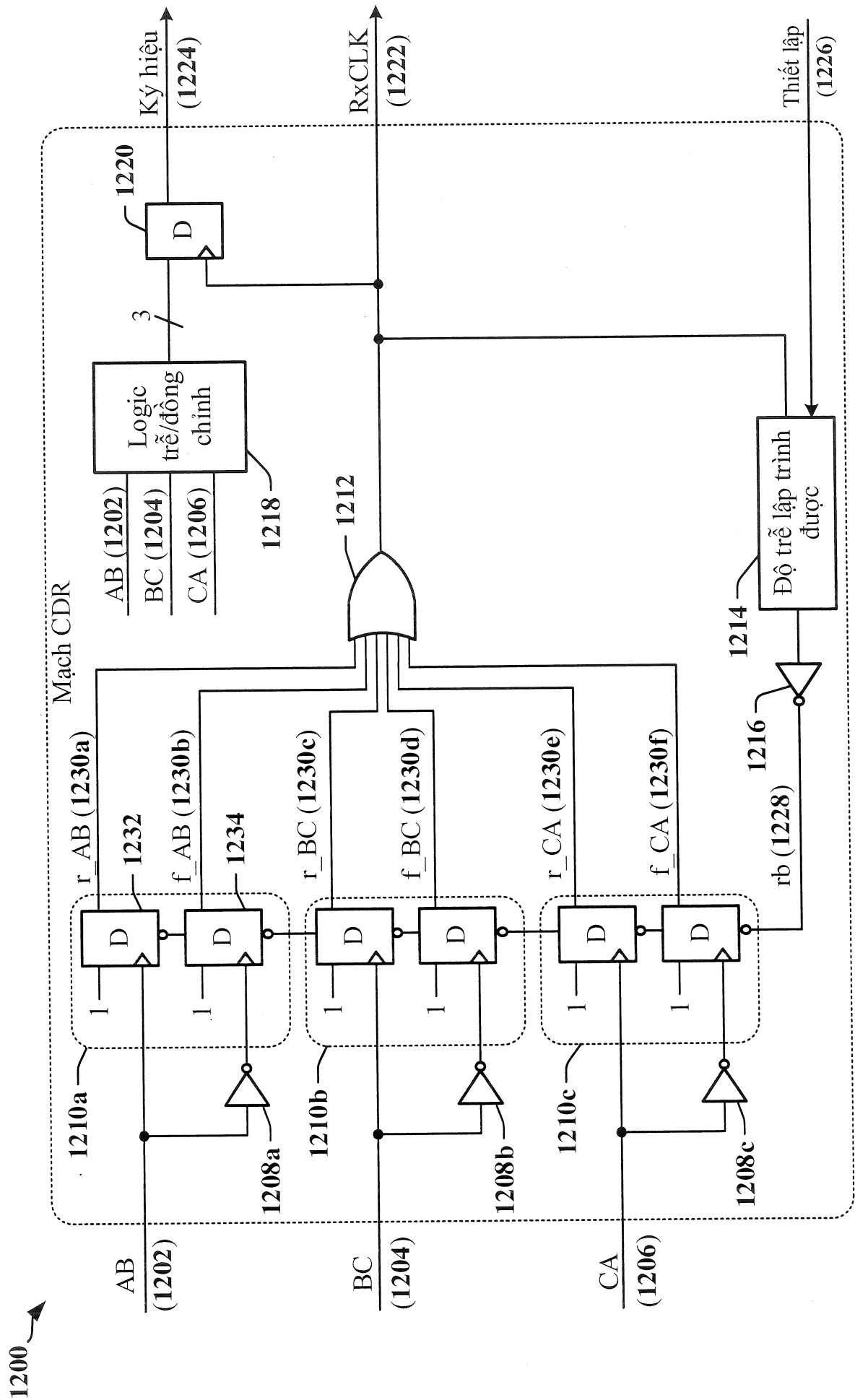


Fig.12

1300 →

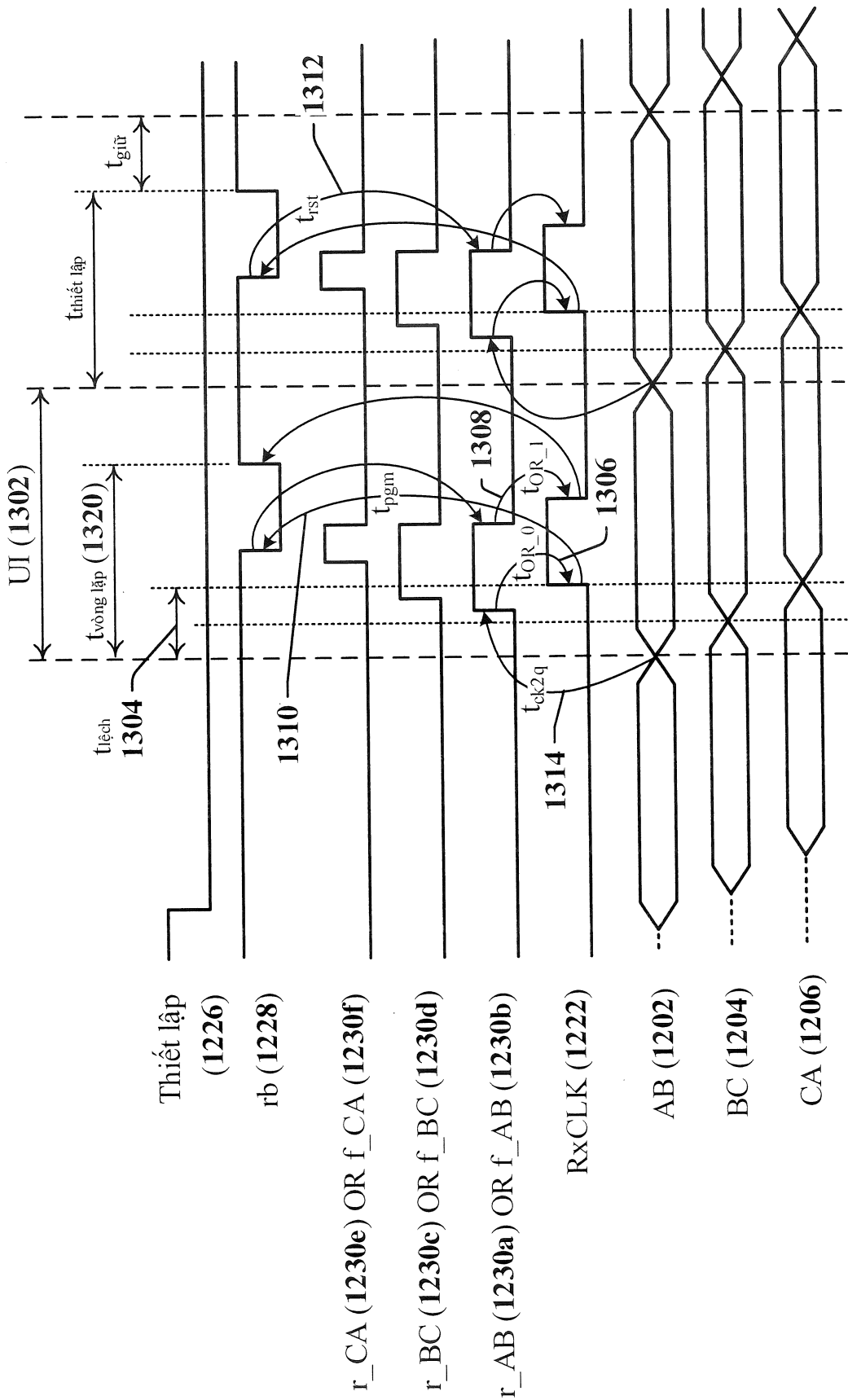


Fig.13

14/21

1400 ↗

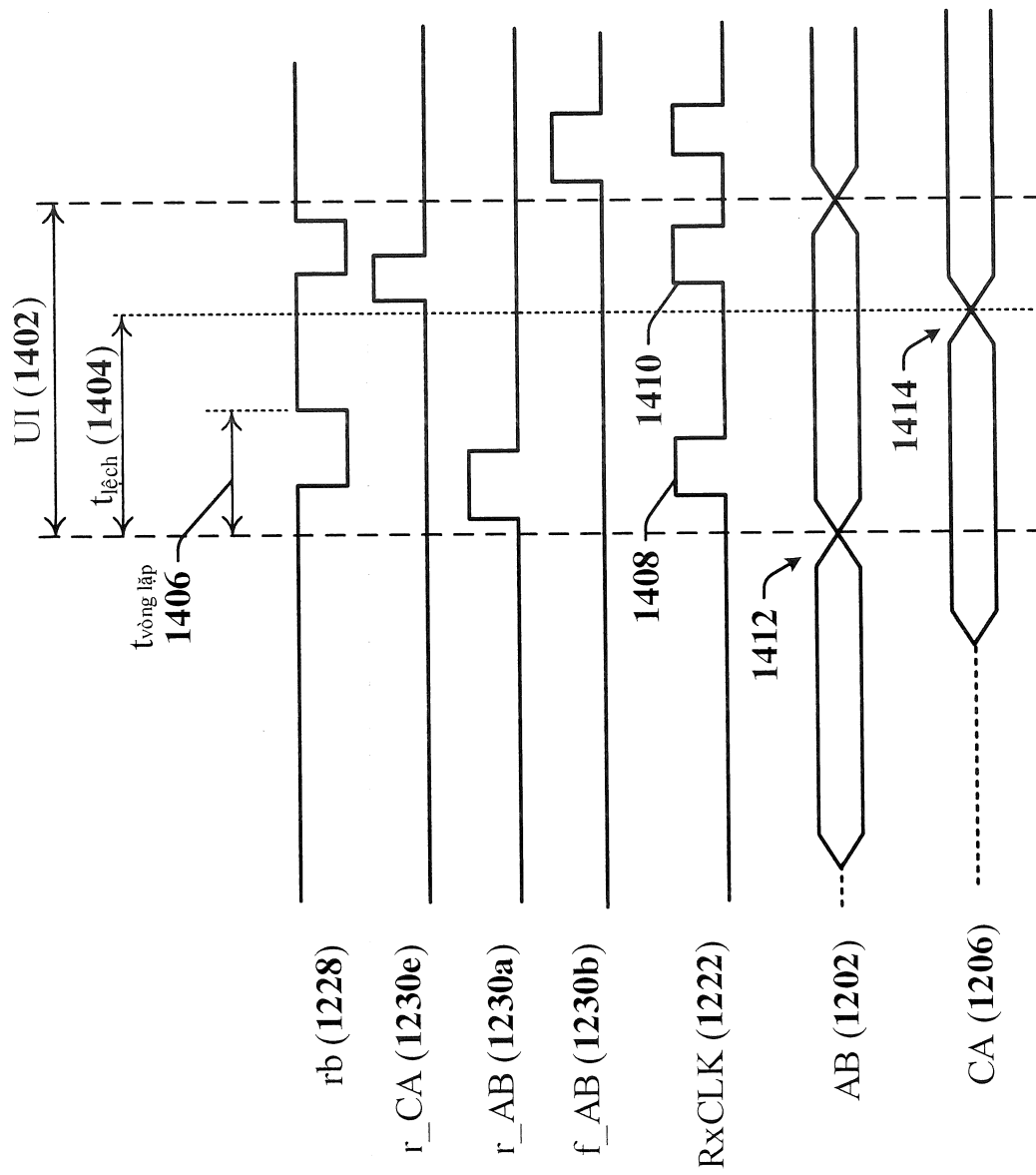


Fig.14

1500 →

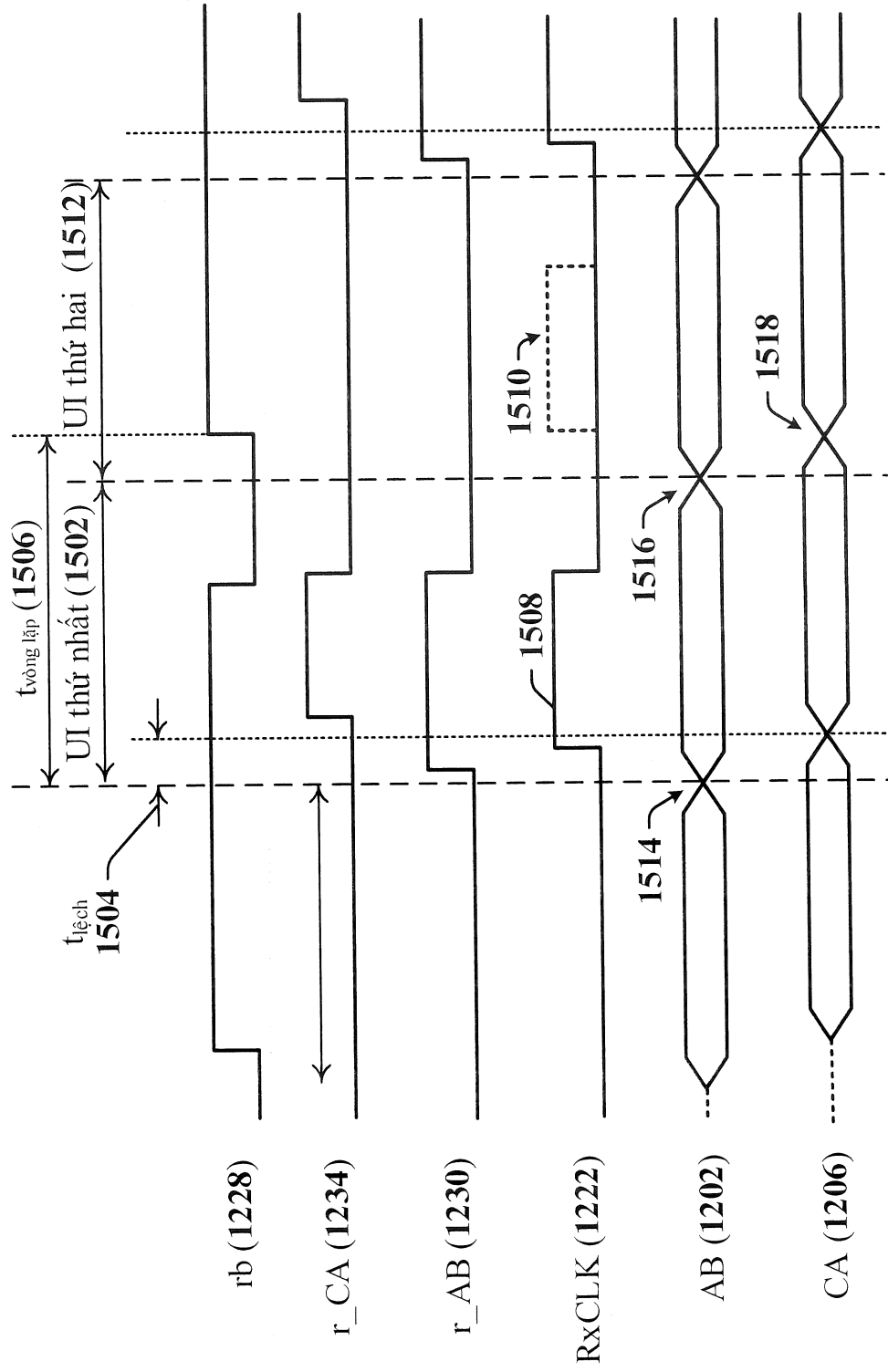


Fig.15

16/21

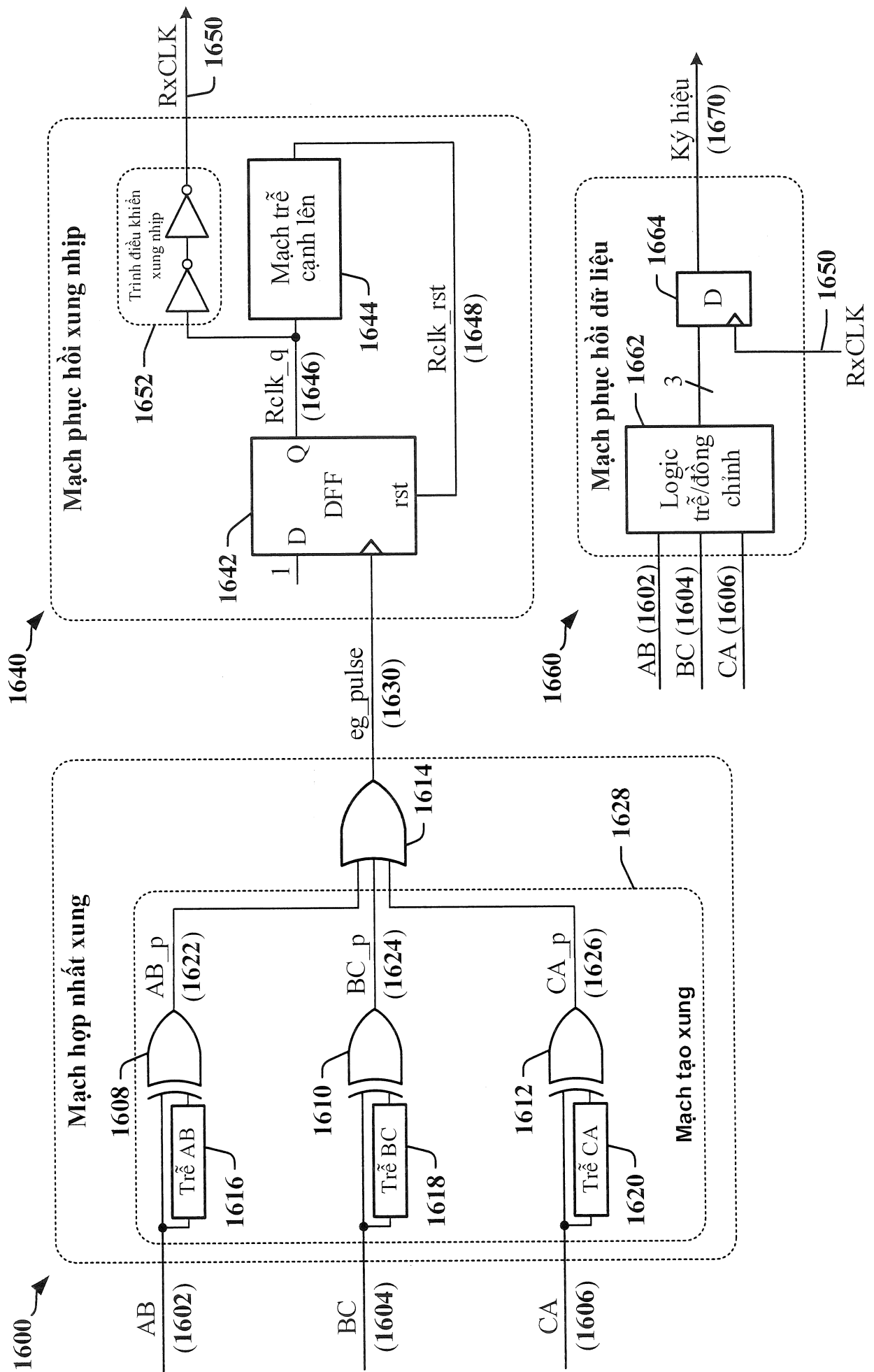


Fig.16

17/21

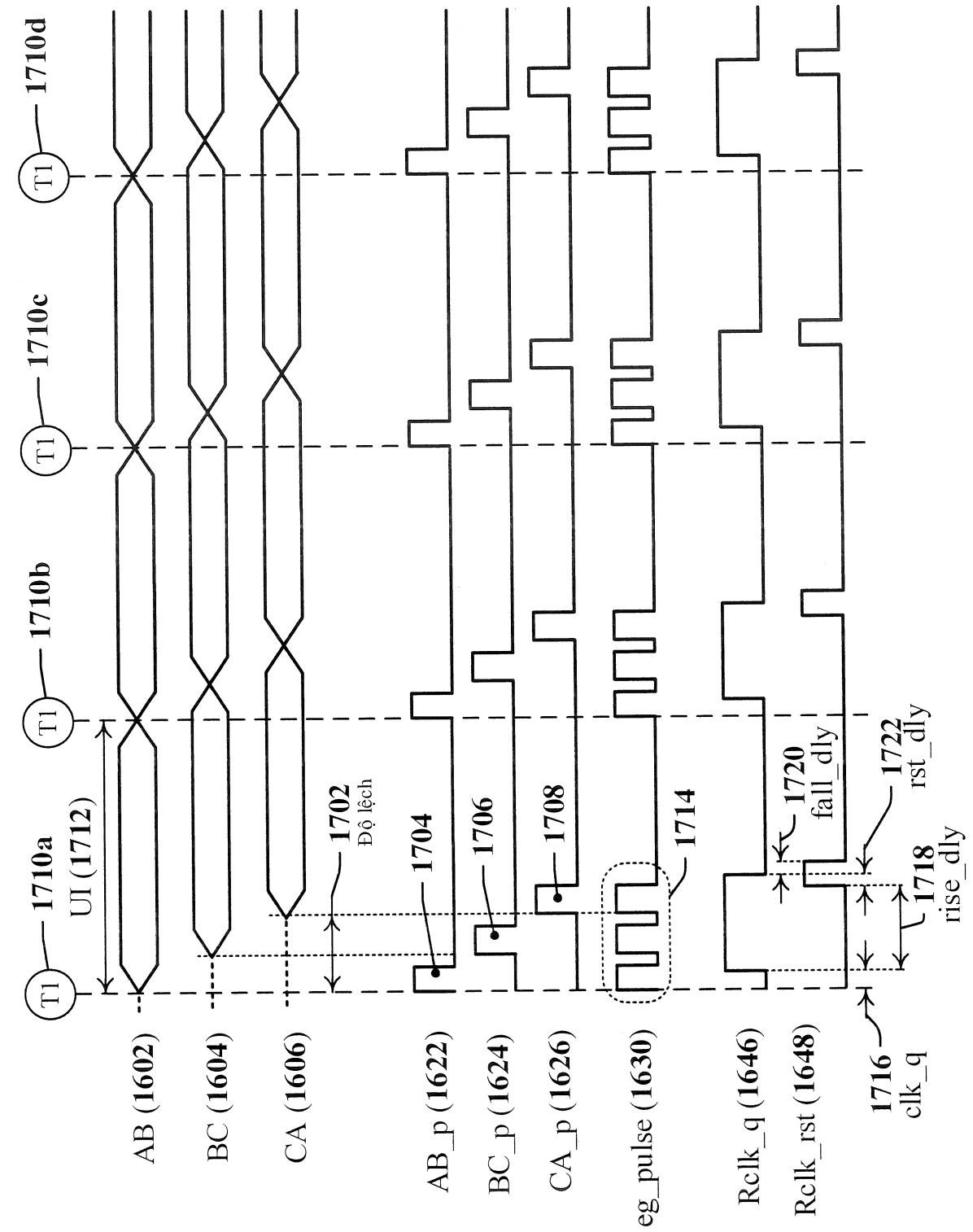


Fig.17

18/21

1800 →

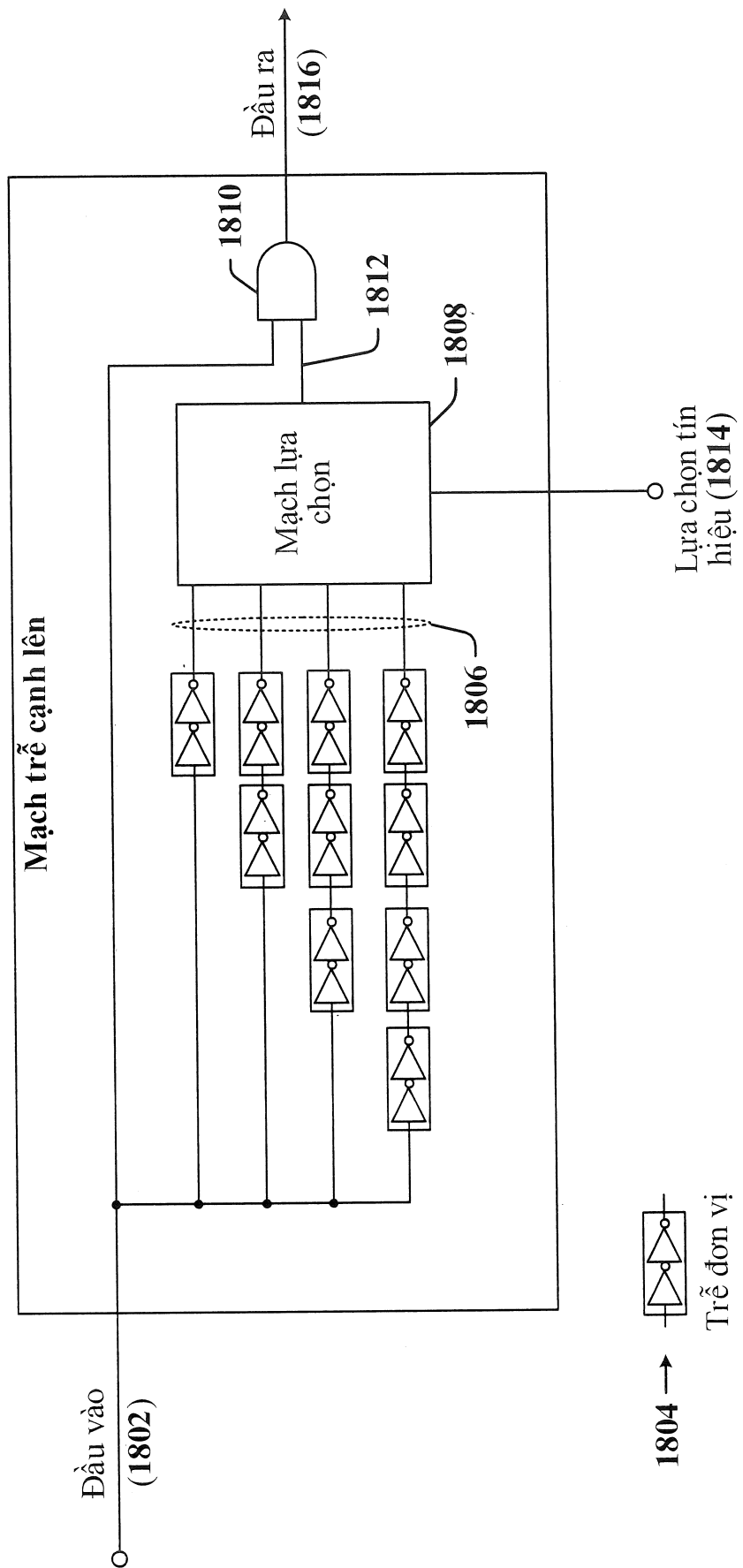


Fig.18

19/21

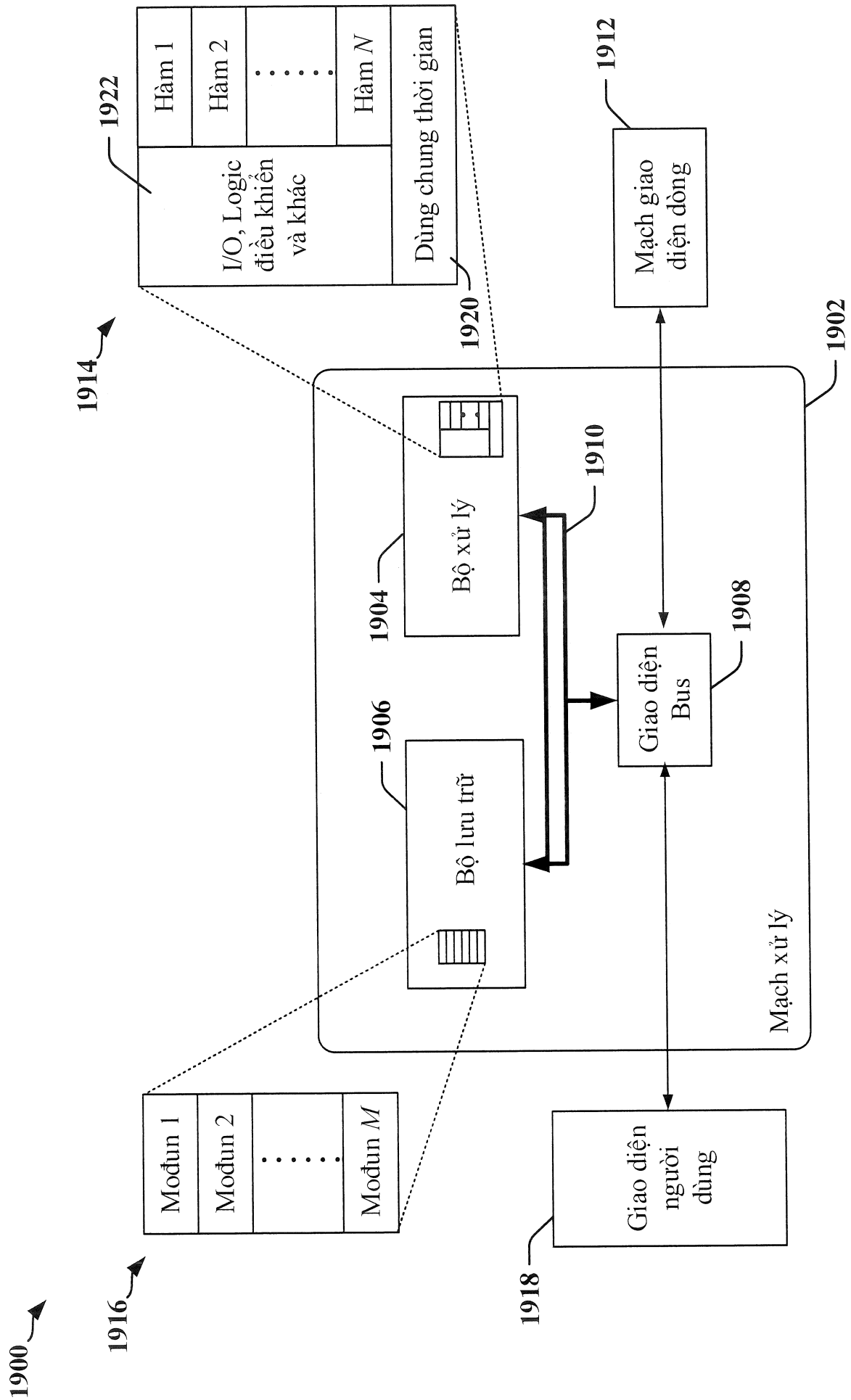


Fig.19

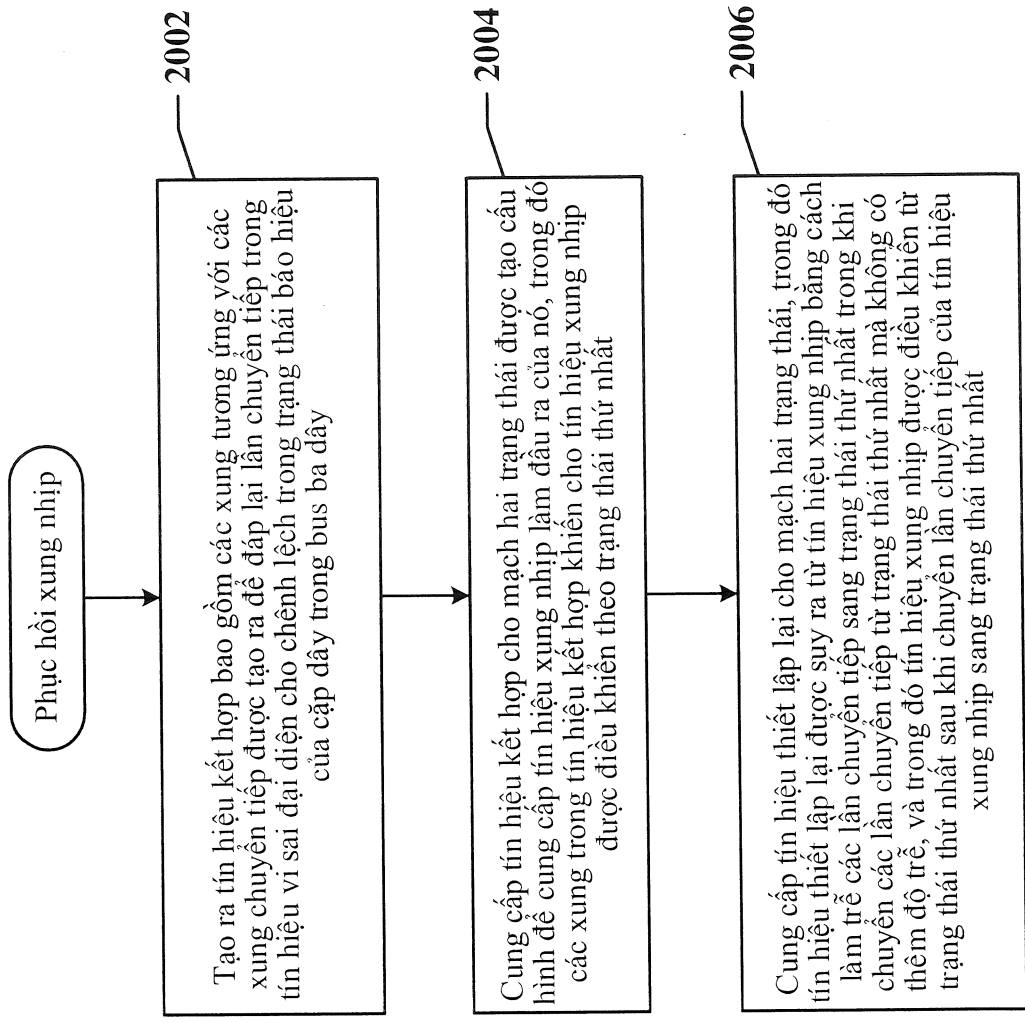


Fig.20

21/21

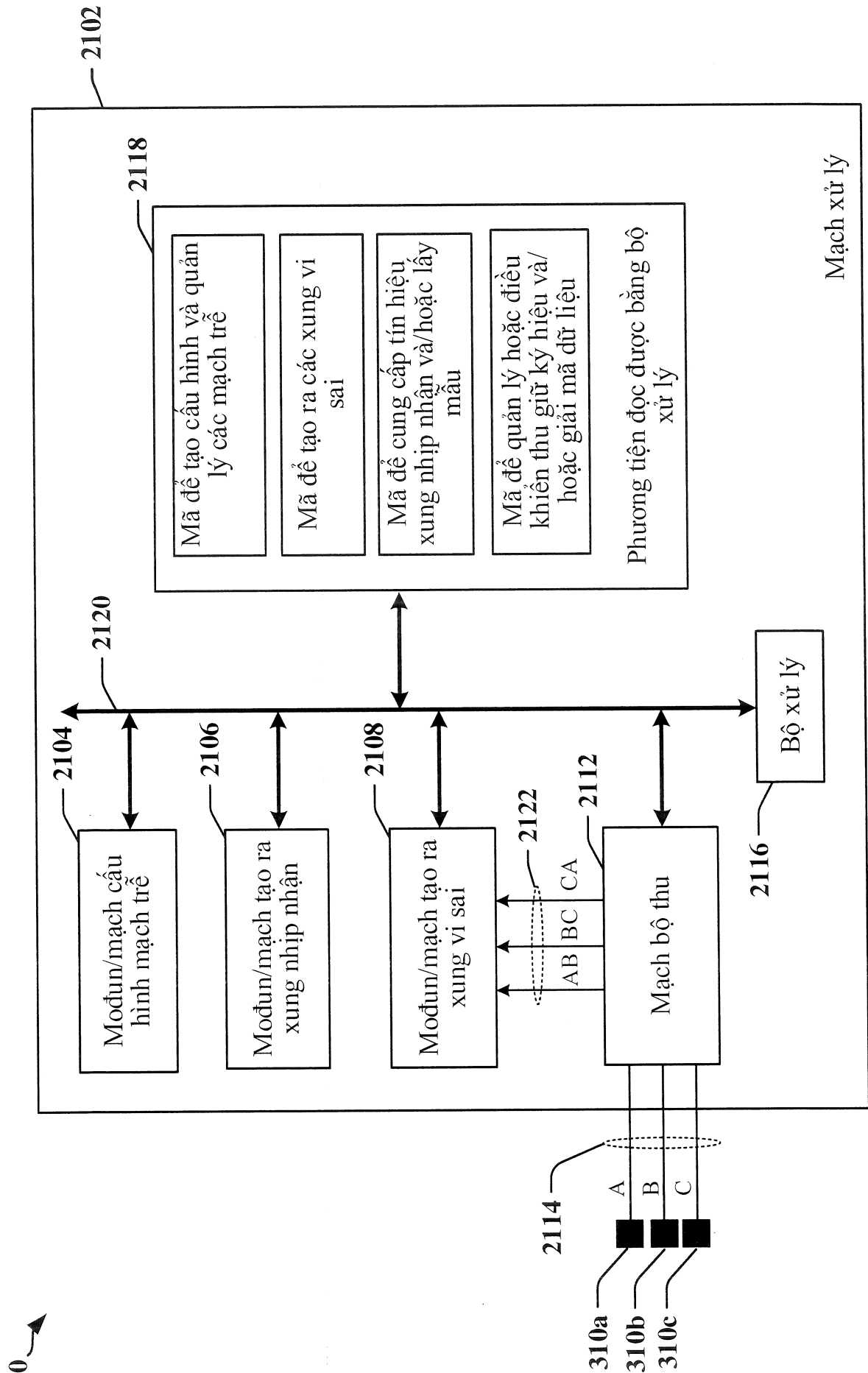


Fig.21