



(12) **BẢN MÔ TẢ GIẢI PHÁP HỮU ÍCH THUỘC BẰNG ĐỘC QUYỀN
GIẢI PHÁP HỮU ÍCH**

(19) **Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ**

(11)



2-0004158

(51) **H04B 1/00; H04B 17/14**
2024.01

(13) **Y**

(21) 2-2024-00129

(22) 30/12/2021

(67) 1-2021-08501

(45) 25/07/2025 448

(43) 25/03/2022 408A

(73) **TẬP ĐOÀN CÔNG NGHIỆP - VIỄN THÔNG QUÂN ĐỘI (VN)**

Lô D26 Khu đô thị mới Cầu Giấy, phường Yên Hòa, quận Cầu Giấy, thành phố Hà Nội

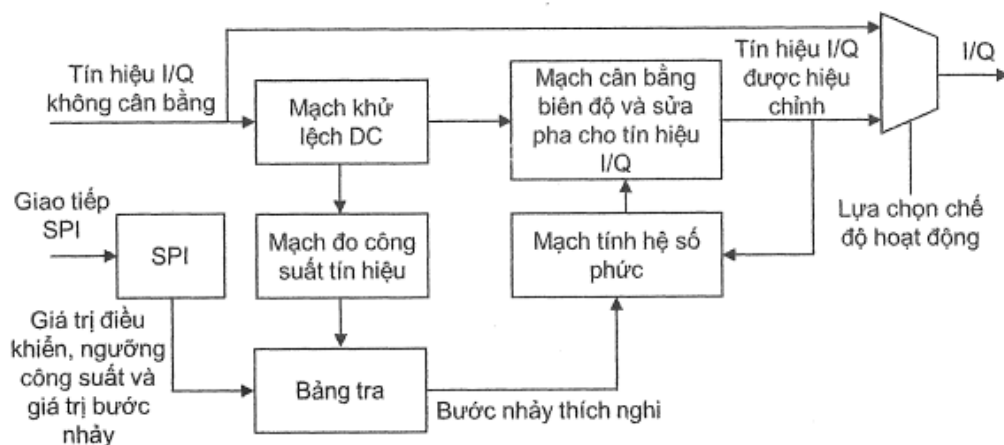
(72) Nguyễn Văn Toàn (VN).

(74) Công ty TNHH NACILAW (NACILAW)

(54) **MẠCH HIỆU CHỈNH LỆCH BIÊN ĐỘ VÀ PHA CHO TÍN HIỆU I/Q TRONG HỆ
THỐNG THU PHÁT KHÔNG DÂY**

(21) 2-2024-00129

(57) Giải pháp hữu ích đề cập đến kiến trúc cho mạch hiệu chỉnh lệch biên độ và pha cho tín hiệu I/Q trong hệ thống thu phát không dây thế hệ mới. Giải pháp hữu ích cũng đưa ra kiến trúc tổng quát được áp dụng trong quá trình thiết kế các mạch thành phần quan trọng nhằm đạt yêu cầu về tiêu chuẩn viễn thông thế hệ mới, với khả năng xử lý dữ liệu vào ở định dạng dấu chấm tĩnh 16-bit, nhằm nâng cao độ chính xác, và sử dụng kỹ thuật thiết kế mạch phân tầng hoàn chỉnh (fully pipeline techque) nhằm nâng cao tần số hoạt động của mạch. Các mạch thành phần được tối ưu cho cả thiết kế mạch tích hợp ứng dụng chuyên biệt (application specific integrated circuit – ASIC) và trên mạch mảng cổng lô-gic khả trình (field programmable gate array - FPGA). Giải pháp hữu ích cũng miêu tả quá trình hoạt động và quy trình điều khiển tổng thể của mạch hiệu chỉnh lệch biên độ và pha cho tín hiệu I/Q.



Hình 2

Lĩnh vực kỹ thuật được đề cập

Giải pháp hữu ích đề cập đến mạch hiệu chỉnh lệch biên độ và pha cho tín hiệu I/Q (I/Q mismatch compensation) trong hệ thống thu phát không dây. Cụ thể, mạch hiệu chỉnh lệch biên độ và pha cho tín hiệu I/Q được miêu tả trong giải pháp hữu ích này là một mạch cân bằng biên độ cho tín hiệu I/Q và sửa pha cho tín hiệu I/Q sao cho gần vuông pha (lý tưởng là 90°) trong hệ thống thu phát không dây, để nâng cao tỉ số nén nhiễu ảnh.

Tình trạng kỹ thuật của giải pháp hữu ích

Hiện nay, các giải pháp kỹ thuật liên quan đến mạch hiệu chỉnh lệch biên độ và pha cho tín hiệu I/Q đa số tập trung vào việc giảm số lượng bit của dữ liệu để tăng tần số hoạt động và giảm diện tích của mạch. Tuy nhiên, việc giảm số lượng bit dữ liệu làm tăng sai số, và do đó khó đáp ứng yêu cầu về chất lượng tín hiệu cho mạch thu phát không dây thế hệ mới. Khi cần tăng độ chính xác của thuật toán, các kỹ thuật thiết kế này thường dùng mạch sửa biên độ và pha hai tầng. Như vậy, diện tích sử dụng của mạch (số lượng phần cứng cần sử dụng) tăng lên gấp đôi.

Ngoài ra, các giải pháp kỹ thuật hiện tại sử dụng bước nhảy (step-size) cố định, hoặc sử dụng mạch tính toán bước nhảy dựa vào công suất của tín hiệu vào. Tuy nhiên, các phương pháp này làm cho việc xác định bước nhảy không linh hoạt. Tức là, khi muốn tăng độ mịn của bước nhảy thì phải sửa thuật toán và phần cứng tương ứng.

Hiện tại ở Việt Nam thì chưa có một sáng chế liên quan đến mạch hiệu chỉnh lệch biên độ và pha cho tín hiệu I/Q cho hệ thống thu phát không dây.

Bản chất kỹ thuật của giải pháp hữu ích

Mục đích của giải pháp hữu ích là đề xuất mạch hiệu chỉnh lệch biên độ và pha cho tín hiệu I/Q dựa vào thuật toán thích nghi (adaptation calibration algorithm) và được xây dựng bởi các thành phần mạch như là: mạch đo công suất của tín hiệu vào, mạch khử thành phần DC trong tín hiệu I/Q, mạch cân bằng biên độ và sửa pha cho tín hiệu

I/Q, bảng tra bước nhảy (mạch lựa chọn giá trị tối ưu của bước nhảy (step-size)), mạch tính toán các hệ số phức của thuật toán.

Trong giải pháp hữu ích này, kiến trúc mạch sử dụng biểu diễn số ở dạng dấu chấm tĩnh (fixed point) với tín hiệu đầu vào cho phép tối đa 16-bit để có độ xử lý chính xác cao và giảm sử dụng tài nguyên phần cứng so với phương pháp sử dụng dấu chấm động (floating-point).

Trong giải pháp hữu ích này, tần số hoạt động của mạch được nâng cao nhờ áp dụng kỹ thuật thiết kế phân tầng (pipeline) với việc tối ưu tần số và số lượng cổng logic (logic gate) được sử dụng.

Trong giải pháp hữu ích này, toàn bộ mạch được điều khiển bởi giao tiếp ngoại vi nối tiếp (SPI: serial peripheral interface) dùng để cấu hình và điều khiển các hoạt động của mạch.

Trong giải pháp hữu ích này, thiết kế tập trung vào việc cải thiện độ chính xác và nâng cao tần số hoạt động của mạch hiệu chỉnh lệch biên độ và pha cho tín hiệu I/Q nhờ việc sử dụng thuật toán hiệu chỉnh thích nghi (adaptation calibration algorithm) một tầng, xử lý dữ liệu dấu chấm tĩnh 16 bit (16-bit fixed point data), và kỹ thuật thiết kế mạch phân tầng hoàn chỉnh (fully pipeline technique).

Trong giải pháp hữu ích này, thiết kế cho phép cấu hình lại bảng tra thông số bước nhảy (step size) của thuật toán hiệu chỉnh lệch biên độ và pha cho tín hiệu I/Q, giúp cho mạch hoạt động chính xác hơn. Mạch cũng có thể cập nhật bảng tra giá trị của bước nhảy tùy thuộc vào công suất của tín hiệu đầu vào, cũng như tăng độ mịn của bước nhảy theo từng khoảng công suất của tín hiệu vào.

Mô tả vắn tắt các hình vẽ

Hình 1 là hình vẽ minh họa sơ đồ tổng quát thực hiện hiệu chỉnh lệch biên độ và pha cho tín hiệu I/Q;

Hình 2 là hình vẽ minh họa kiến trúc mạch tổng quát của mạch hiệu chỉnh lệch biên độ và pha cho tín hiệu I/Q;

Hình 3 là hình vẽ minh họa bảng tra bước nhảy và mạch cấu hình bảng tra;

Hình 4 là hình vẽ minh họa sơ đồ mạch thực hiện đo công suất của tín hiệu vào I và Q;

Hình 5 là hình vẽ minh họa sơ đồ mạch tính các hệ số phức w_I và w_Q ;

Hình 6 là hình vẽ minh họa sơ đồ mạch hiệu chỉnh lệch biên độ và pha cho các tín hiệu I và Q;

Hình 7 là hình vẽ minh họa sơ đồ mô tả quá trình điều khiển hoạt động của mạch hiệu chỉnh lệch biên độ và pha cho tín hiệu I và Q.

Mô tả chi tiết giải pháp hữu ích

Hình 1 trình bày sơ đồ tổng quát thực hiện hiệu chỉnh pha và biên độ cho tín hiệu I/Q. Trong Hình 1, z^{-1} biểu diễn phần tử lưu trữ như mạch lật (Flip-flop); $-u$ là phép lấy giá trị âm (tức là số bù 2); bộ chuyển đổi độ rộng bit (bit-width conversion) được sử dụng để chuyển số có chiều dài lớn hơn 16 bit thành số được biểu diễn dưới dạng dấu chấm tĩnh 16 bit; các giá trị x_I , x_Q , y_I , và y_Q lần lượt là các giá trị của tín hiệu I/Q trước và sau khi hiệu chỉnh lệch biên độ và pha; w_I và w_Q là các hệ số phức của thuật toán, được sử dụng để sửa biên độ và pha cho tín hiệu I/Q; λ là bước nhảy tối ưu được lựa chọn ứng với mỗi giá trị y_I và y_Q .

Hình 2 mô tả kiến trúc tổng quát của mạch hiệu chỉnh lệch biên độ và pha cho tín hiệu I/Q. Mạch hiệu chỉnh lệch biên độ và pha cho tín hiệu I/Q gồm các thành phần: mạch khử thành phần DC trong tín hiệu I/Q (DC-offset canceller), mạch đo công suất của tín hiệu vào (power measurement), bảng tra bước nhảy (lookup table), mạch tính toán các hệ số phức của thuật toán (complex coefficients), mạch cân bằng biên độ và sửa pha cho tín hiệu I/Q. Ngoài ra, giao thức SPI (serial peripheral interface protocol) được sử dụng để cấu hình các giá trị cho bảng tra và các thanh ghi điều khiển trong mạch.

Sau đây là mô tả chi tiết các phương án của giải pháp hữu ích.

Để cân bằng biên độ và sửa pha cho tín hiệu I/Q, chúng ta sử dụng phương pháp lọc thích nghi (adaptive filtering) một tầng như Hình 1, với các hệ số phức của bộ lọc được tính toán sau mỗi chu kỳ của tín hiệu xung nhịp (clock pulse) được cho bởi phương trình (1) và (2). Trong đó, $w_I(t+1)$ và $w_Q(t+1)$ là các hệ số phức (tại thời điểm $t+1$),

$w_I(t)$ và $w_Q(t)$ là các hệ số phức (tại thời điểm t) của bộ bù lệch biên độ và pha cho tín hiệu I/Q. Bước nhảy tối ưu được ký hiệu là λ .

$$\begin{cases} w_I(t+1) = w_I(t) - \lambda(y_I^2 + y_Q^2) & (1) \\ w_Q(t+1) = w_Q(t) - 2\lambda(y_I + y_Q) & (2) \end{cases}$$

y_I và y_Q là giá trị của tín hiệu I/Q được bù pha và biên độ tại thời điểm t được tính theo các phương trình (3) và (4). Trong đó, x_I và x_Q là giá trị của các tín hiệu I/Q ban đầu (bị lệch pha và biên độ); w_I và w_Q là hệ số phức tại thời điểm t .

$$\begin{cases} y_I = x_I + w_I x_I + w_Q x_Q & (3) \\ y_Q = x_Q - w_I x_Q + w_Q x_I & (4) \end{cases}$$

Kiến trúc tổng thể thực hiện thiết kế phần cứng của mạch hiệu chỉnh lệch biên độ và pha cho tín hiệu I/Q được thể hiện như trong Hình 2. Để thỏa mãn tính chất trực giao (orthogonality) thì thành phần DC phải được loại bỏ khỏi tín hiệu I/Q bởi bộ khử thành phần DC như được trình bày ở Hình 2. Trong sáng chế này, chúng ta không trình bày chi tiết về bộ khử thành phần DC. Bất kì mạch thực hiện cộng trung bình tín hiệu đều thực hiện được việc khử thành phần DC. Giao thức SPI được sử dụng để cấu hình các thanh ghi điều khiển trong mạch (bao gồm thanh ghi điều khiển cập nhật các giá trị cấu hình mới, thanh ghi cho phép bắt đầu hoạt động), các mức ngưỡng công suất, và các bước nhảy (adaptation step-size) trong bảng tra. Mạch đo công của suất tín hiệu thực hiện tính toán tổng mức công suất của tín hiệu vào I/Q. Bảng tra bước nhảy được sử dụng để lựa chọn giá trị của bước nhảy tối ưu (bảng tra có khả năng cấu hình lại được) dựa vào mức công suất của tín hiệu vào. Mạch tính toán hệ số phức sẽ thực hiện cập nhật các hệ số theo các giá trị của bước nhảy và các giá trị I/Q đã được hiệu chỉnh trước đó. Để nâng cao tần số hoạt động của mạch, kiến trúc phân tầng hoàn chỉnh (fully pipelined technique) được áp dụng cho toàn bộ mạch. Cụ thể:

Hình 3 mô tả cấu trúc bảng tra bước nhảy (khả trình) được sử dụng trong mạch hiệu chỉnh lệch biên độ và pha cho tín hiệu I/Q. Bảng tra bước nhảy gồm các mảng thanh ghi, mỗi thanh ghi được chia thành hai trường: phần cao được sử dụng để lưu các giá trị ngưỡng công suất, và phần thấp được sử dụng để lưu các giá trị bước nhảy tương ứng. Giao thức SPI được sử dụng để cấu hình các giá trị ngưỡng công suất và bước nhảy. Mạch đo công suất của tín hiệu vào sẽ thực hiện đo công suất trung bình của tín

hiệu trong một khoảng thời gian 2^N chu kì của tín hiệu xung nhịp. Trong thiết kế này, N được sử dụng là 17. Giá trị của N có thể được cấu hình thông qua giao thức SPI. Công suất của tín hiệu đo được bởi mạch đo công suất được so sánh với các mức ngưỡng công suất được lưu trữ trong bảng tra. Kết quả của phép so sánh là địa chỉ (index) trong bảng tra để xác định giá trị tối ưu của bước nhảy. Tín hiệu xuất ra từ bộ so sánh (comparator) được sử dụng lựa chọn giá trị tối ưu của bước nhảy sau mỗi chu kì của tín hiệu xung nhịp

Để thuật toán thích nghi (adaptive filtering-based algorithm) hoạt động ổn định, giá trị của bước nhảy λ phải được thỏa mãn điều kiện (5), trong đó P là công suất của tín hiệu, M số tầng của bộ lọc. Với bộ lọc 1 tầng, M lấy giá trị bằng 1.

$$0 < \lambda < \frac{1}{M \times P} \quad (5)$$

Hình 4 mô tả mạch đo công suất của tín hiệu vào. Công suất P của tín hiệu $x(t)$ được xác định bởi công thức (6), với A là biên độ của tín hiệu $x(t)$, trong đó n là số lần lấy mẫu và T là chu kỳ lấy mẫu:

$$P = \lim_{T \rightarrow \infty} \frac{1}{nT} \int_0^{nT} |x(t)|^2 dt = A^2 \quad (6)$$

Để tính công suất trung bình, giá trị biên độ của tín hiệu I/Q được lưu vào các mạch lật theo từng chu kì của tín hiệu xung nhịp. Giá trị biên độ của tín hiệu I/Q sau đó được tính bình phương biên độ, rồi được tích lũy ở trong một thanh ghi khác. Thanh ghi có độ dài đủ lớn để có thể tích lũy đủ tổng bình phương biên độ của hai tín hiệu I/Q trong N chu kì xung nhịp. Sau N chu kì xung nhịp, một tín hiệu “*dịch bit*” (được tạo ra bởi mạch đếm) sẽ kích hoạt mạch tính trung bình giá trị công suất tín hiệu. Vì công suất tín hiệu được tích lũy trong 2^N chu kì xung nhịp, nên mạch tính trung bình giá trị được thực hiện đơn giản bằng cách áp dụng phép toán dịch trái số học N bits.

Hình 5 trình bày sơ đồ mạch tính toán các hệ số phức (w_I và w_Q) của thuật toán, với phần số thực (w_I) và phần số ảo (w_Q) như được cho bởi các phương trình (1) và (2). Bước nhảy (λ) là giá trị được tra bảng, phụ thuộc vào giá trị của công suất trung bình của tín hiệu I/Q. Giá trị mới (cập nhật) của hệ số phức w_I và w_Q tại thời điểm $(t+1)$ được

tính toán dựa vào giá trị w_I và w_Q tại thời điểm t được lưu trong thanh ghi, bước nhảy (λ) tại thời điểm t và giá trị biên độ của tín hiệu I/Q sau khi hiệu chỉnh. Trong mạch Hình 5, kỹ thuật phân tầng (pipeline) được sử dụng để nâng cao tần số hoạt động của mạch. Các mạch lật được chèn vào các điểm được lựa chọn sao cho tối ưu được tần số hoạt động và tài nguyên phần cứng được sử dụng. Giá trị mới nhất (cập nhật) của hệ số w_I và w_Q sẽ được lưu vào thanh ghi, để được sử dụng cho hiệu chỉnh tín hiệu I/Q tại thời điểm $(t+1)$. Trên Hình 5, kí hiệu $(.)^2$ là bộ xử lý phép toán bình phương. Kí hiệu $\times$ là bộ nhân hai số (được biểu diễn theo định dạng dấu chấm tĩnh); “<<” kí hiệu phép dịch trái. Kí hiệu λ là bước nhảy tối ưu được xác định sau mỗi chu kỳ xung nhịp.

Hình 6 mô tả mạch cân bằng biên độ và sửa pha cho tín hiệu I/Q. Giá trị của tín hiệu I và Q được hiệu chỉnh y_I và y_Q được tính toán theo các phương trình (3) và (4), trong đó x_I và x_Q là giá trị của tín hiệu I/Q trước khi hiệu chỉnh. Trong Hình 5 và Hình 6, các mạch xử lý tính toán (datapath) được phân tầng sao cho các bộ nhân và bộ cộng được đặt gần nhau (liên tiếp nhau) để tận dụng ưu điểm của các mạch xử lý số học tốc độ cao (high-speed multiply-accumulation MAC) có sẵn trên các chip mảng cổng logic khả trình (field programmable gate array – FPGA). Chú ý, x_I và x_Q là giá trị của các tín hiệu I/Q bị lệch pha và biên độ, còn y_I và y_Q là giá trị của các tín hiệu I/Q sau khi được cân bằng biên độ và sửa pha.

Hình 7 mô tả quá trình điều khiển từ trạng thái cấu hình cho đến trạng thái hoạt động của mạch hiệu chỉnh lệch biên độ và pha cho tín hiệu I/Q. Khi tín hiệu khởi tạo (*reset*) được chuyển từ mức thấp lên mức cao, thì mạch sẽ khởi tạo và tất cả các thanh ghi điều khiển và các giá trị trong bảng tra (LUT) đều được thiết lập về giá trị 0. Khi tín hiệu khởi tạo chuyển từ mức cao về mức thấp, và tín hiệu cho phép ghi (*write*) được thiết lập ở mức cao, mạch chuyển sang trạng thái ghi. Giao thức SPI sẽ thực hiện ghi dữ liệu vào mạch LUT, để cập nhật giá trị của các ngưỡng công suất, giá trị bước nhảy, giá trị các thanh ghi điều khiển, và thanh ghi trạng thái. Khi SPI hoàn thành ghi dữ liệu vào LUT, thì SPI sẽ tiếp tục ghi giá trị vào một thanh ghi trạng thái để báo hiệu rằng LUT đã cập nhật xong giá trị. Lúc này, mạch chuyển sang trạng thái cập nhật dữ liệu (gọi tắt là “*cập nhật*”) từ LUT vào các thanh ghi của bộ chỉnh biên độ và pha. Sau khi các thanh ghi cập nhật xong các giá trị, thì mạch chuyển sang chế độ hoạt động bình

thường (gọi tắt là “*hoạt động*”). Sau một chu kì xung nhịp, mạch sẽ bắt đầu tính toán để thực hiện điều chỉnh pha và cân bằng biên độ của tín hiệu I/Q.

Ví dụ thực hiện giải pháp hữu ích

Các nội dung trong giải pháp hữu ích như kiến trúc tổng quát của mạch hiệu chỉnh lệch biên độ và pha, sơ đồ các thành phần mạch chi tiết, và phương pháp điều khiển được sử dụng để thiết kế trong đề tài Nghiên cứu thiết kế, chế tạo chip RFIC cho 5G và các hệ thống thu phát vô tuyến của TCT Công nghiệp Công nghệ cao Viettel.

Lợi ích mà giải pháp hữu ích đạt được

Giải pháp hữu ích này là cơ sở để xây dựng nên mạch hiệu chỉnh lệch biên độ và pha của tín hiệu I và Q hoàn chỉnh được tích hợp trong chip RFIC cho 5G và các hệ thống thu phát vô tuyến.

Mạch hiệu chỉnh lệch biên độ và pha cho tín hiệu I/Q trong giải pháp hữu ích này có khả năng hiệu chỉnh tín hiệu I/Q với độ chính xác cao với khả năng xử lí dữ liệu ngõ vào với định dạng dấu chấm tĩnh 16-bit, thỏa mãn yêu cầu của tiêu chuẩn cho hệ thống thu phát không dây thế hệ mới.

Mạch hiệu chỉnh lệch biên độ và pha cho tín hiệu I/Q trong giải pháp hữu ích này có khả năng hoạt động ở tần số cao (trên 500MHz đối với công nghệ 28nm) nhờ vào kỹ thuật phân tầng (pipeline) được áp dụng trong thiết kế mạch.

Mạch hiệu chỉnh lệch biên độ và pha cho tín hiệu I/Q trong giải pháp hữu ích này sử dụng bảng tra cấu hình được (configurable lookup table) để xác định thông số bước nhảy (step-size) của thuật toán. Khả năng thay đổi và hiệu chỉnh bước nhảy giúp cho mạch chạy ổn định, chính xác hơn và đáp ứng với yêu cầu dải biên độ của tín hiệu vào cao hơn.

Yêu cầu bảo hộ

1. Mạch hiệu chỉnh lệch biên độ và pha cho tín hiệu I/Q trong hệ thống thu phát không dây bao gồm: bảng tra bước nhảy, mạch đo công suất của tín hiệu vào, mạch tính toán các hệ số phức của thuật toán, mạch cân bằng biên độ và sửa pha cho tín hiệu I/Q, cụ thể:

bảng tra bước nhảy (khả trình) được sử dụng trong mạch hiệu chỉnh lệch biên độ và pha cho tín hiệu I/Q; bảng tra bước nhảy gồm các mảng thanh ghi, mỗi thanh ghi được chia thành hai trường: phần cao được sử dụng để lưu các giá trị ngưỡng công suất, và phần thấp được sử dụng để lưu các giá trị bước nhảy tương ứng; giao thức SPI được sử dụng để cấu hình các giá trị ngưỡng công suất và bước nhảy; mạch đo công suất của tín hiệu vào sẽ thực hiện đo công suất trung bình của tín hiệu trong một khoảng thời gian 2^N chu kỳ xung nhịp; trong thiết kế này, N được sử dụng là 17; giá trị của N có thể được cấu hình thông qua giao thức SPI; công suất của tín hiệu đo được bởi mạch đo công suất được so sánh với các mức ngưỡng công suất được lưu trữ trong bảng tra; kết quả của phép so sánh là địa chỉ (index) trong bảng tra để xác định giá trị tối ưu của bước nhảy; tín hiệu ra từ bộ so sánh (comparator) được sử dụng lựa chọn giá trị tối ưu của bước nhảy sau mỗi chu kỳ tín hiệu xung nhịp; để thuật toán thích nghi (adaptive filtering-based algorithm) hoạt động ổn định, giá trị của bước nhảy λ phải được thỏa mãn điều kiện dưới đây, trong đó P là công suất tín hiệu, M số tầng của bộ lọc; với bộ lọc 1 tầng, M lấy giá trị bằng 1:

$$0 < \lambda < \frac{1}{M \times P}$$

mạch đo công suất của tín hiệu vào: công suất P của tín hiệu $x(t)$ được xác định bởi công thức dưới đây, với A là biên độ của tín hiệu $x(t)$, trong đó n là số lần lấy mẫu và T là chu kỳ lấy mẫu:

$$P = \lim_{T \rightarrow \infty} \frac{1}{nT} \int_0^{nT} |x(t)|^2 dt = A^2$$

để tính công suất trung bình, giá trị biên độ của tín hiệu I/Q được lưu vào các mạch lật theo từng chu kỳ của tín hiệu xung nhịp; giá trị biên độ của tín hiệu I/Q sau đó

được tính bình phương, rồi được tích lũy ở trong một thanh ghi khác; thanh ghi có độ dài đủ lớn để có thể tích lũy đủ tổng bình phương biên độ của hai tín hiệu I/Q trong N chu kì xung nhịp; sau N chu kì xung nhịp, một tín hiệu “*dịch bit*” (được tạo bởi mạch đếm) kích hoạt mạch tính trung bình giá trị công suất tín hiệu; vì công suất tín hiệu được tích lũy trong 2^N chu kì xung nhịp, nên mạch tính trung bình giá trị được thực hiện đơn giản bằng cách áp dụng phép toán dịch trái số học N bits;

mạch tính toán các hệ số phức (w_I và w_Q) của thuật toán: phần thực w_I và phần số ảo w_Q được tính toán bởi các phương trình dưới đây:

$$\begin{cases} w_I(t+1) = w_I(t) - \lambda(y_I^2 + y_Q^2) & (1) \\ w_Q(t+1) = w_Q(t) - 2\lambda(y_I + y_Q) & (2) \end{cases}$$

y_I và y_Q là giá trị của tín hiệu I/Q được bù pha và chỉnh biên độ tại thời điểm t được tính theo các phương trình dưới đây; trong đó, x_I và x_Q là giá trị của các tín hiệu I/Q ban đầu (bị lệch pha và biên độ); w_I và w_Q là các hệ số phức tại thời điểm t :

$$\begin{cases} y_I = x_I + w_I x_I + w_Q x_Q & (3) \\ y_Q = x_Q - w_I x_Q + w_Q x_I & (4) \end{cases}$$

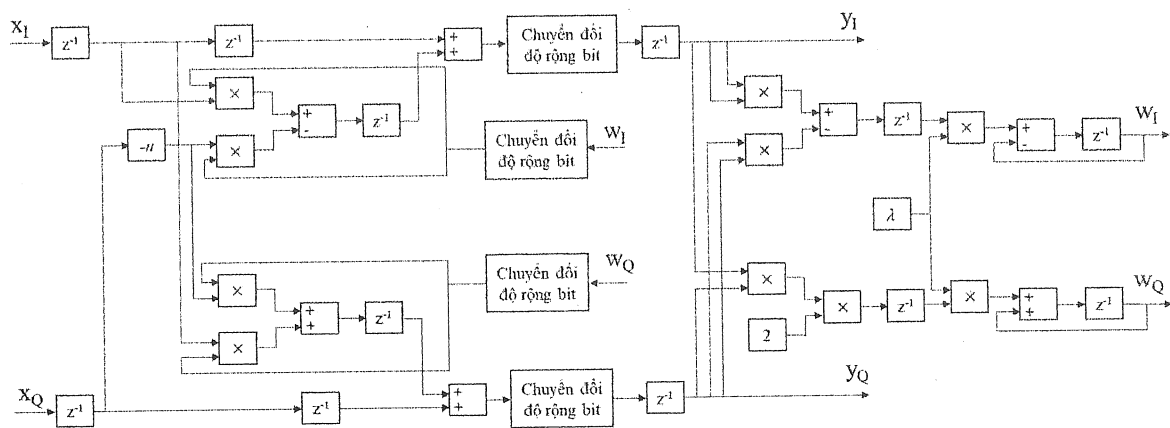
bước nhảy (λ) là giá trị được tra bảng, phụ thuộc vào giá trị của công suất trung bình của tín hiệu vào I/Q; giá trị mới của hệ số phức w_I và w_Q tại thời điểm $(t+1)$ được tính toán dựa vào giá trị w_I và w_Q tại thời điểm t được lưu trong thanh ghi, bước nhảy (λ) tại thời điểm t và giá trị biên độ của tín hiệu I/Q sau khi hiệu chỉnh; trong mạch tính toán các hệ số phức, kỹ thuật phân tầng (pipeline) được sử dụng để nâng cao tần số hoạt động của mạch; các mạch lật được chèn vào các điểm được lựa chọn sao cho tối ưu được tần số hoạt động và giảm số lượng phần cứng được sử dụng; giá trị mới nhất của hệ số w_I và w_Q sẽ được lưu vào thanh ghi, để được sử dụng cho hiệu chỉnh tín hiệu I/Q tại thời điểm $(t+1)$;

mạch cân bằng biên độ và sửa pha cho tín hiệu I/Q: giá trị của tín hiệu I và Q được hiệu chỉnh y_I và y_Q được tính toán theo các phương trình (3) và (4) ở trên, trong đó x_I và x_Q là giá trị của tín hiệu I/Q trước khi hiệu chỉnh; các mạch xử lí tính toán (datapath) được phân tầng sao cho các bộ nhân và bộ cộng được đặt gần nhau (liên tiếp nhau) để tận dụng các mạch xử lí số học tốc độ cao (high-speed multiply-accumulation

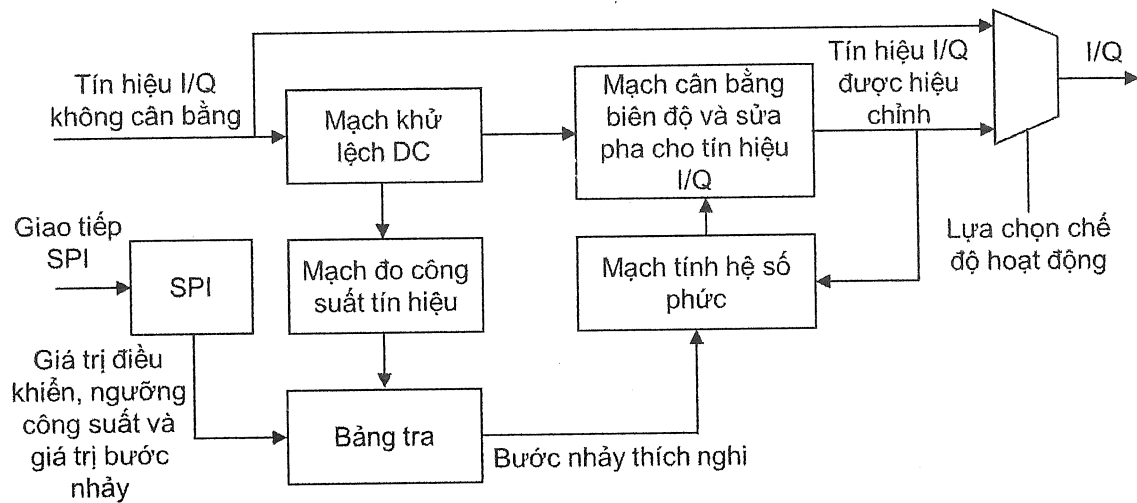
MAC) có sẵn trên các chip mảng cổng logic khả trình (field programmable gate array – FPGA).

2. Mạch hiệu chỉnh lệch biên độ và pha cho tín hiệu I/Q trong hệ thống thu phát không dây theo điểm 1, trong đó:

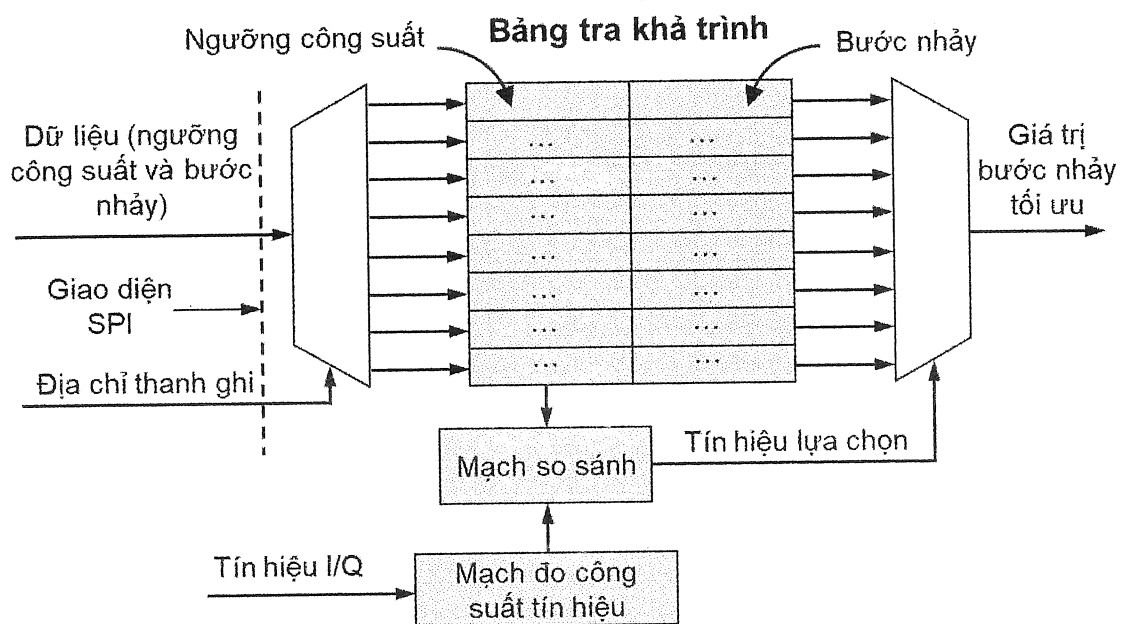
khi tín hiệu *khởi tạo* (*reset*) được chuyển từ mức thấp lên mức cao, thì mạch sẽ khởi tạo và tất cả các thanh ghi điều khiển và các giá trị trong bảng tra (LUT) đều được thiết lập về giá trị 0; khi tín hiệu khởi tạo chuyển từ mức cao về mức thấp, và tín hiệu cho phép *ghi* (*write*) được thiết lập ở mức cao, mạch chuyển sang trạng thái *ghi*; giao thức SPI sẽ thực hiện ghi dữ liệu vào mạch LUT, để cập nhật giá trị của các ngưỡng công suất, giá trị bước nhảy, giá trị các thanh ghi điều khiển, và thanh ghi trạng thái; khi SPI hoàn thành ghi dữ liệu vào LUT, thì SPI sẽ tiếp tục ghi giá trị vào một thanh ghi trạng thái để báo hiệu rằng LUT đã cập nhật xong giá trị; lúc này, mạch chuyển sang trạng thái cập nhật dữ liệu (gọi tắt là “*cập nhật*”) từ LUT vào các thanh ghi của bộ chỉnh biên độ và pha; sau khi các thanh ghi cập nhật xong các giá trị, thì mạch chuyển sang chế độ hoạt động bình thường (gọi tắt là “*hoạt động*”); sau một chu kì xung nhịp, mạch sẽ bắt đầu tính toán để thực hiện điều chỉnh pha và cân bằng biên độ tín hiệu I/Q.



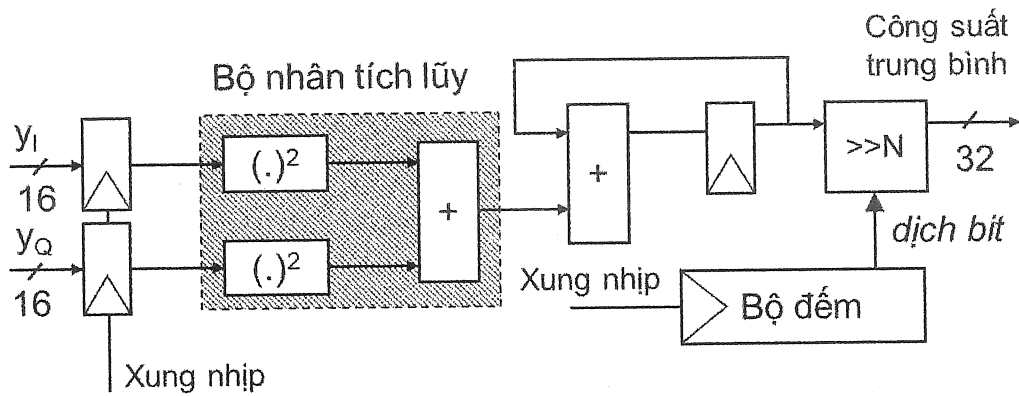
Hình 1



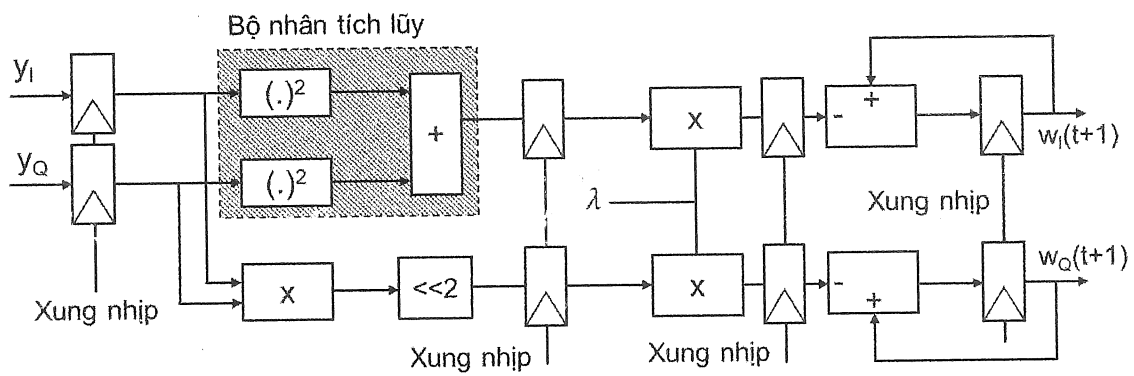
Hình 2



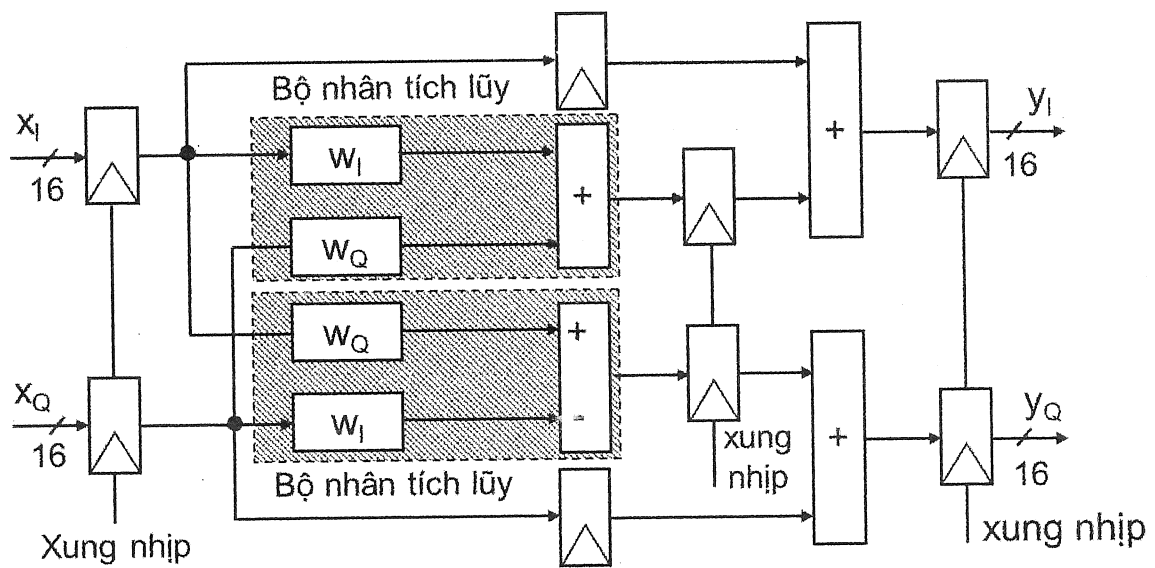
Hình 3



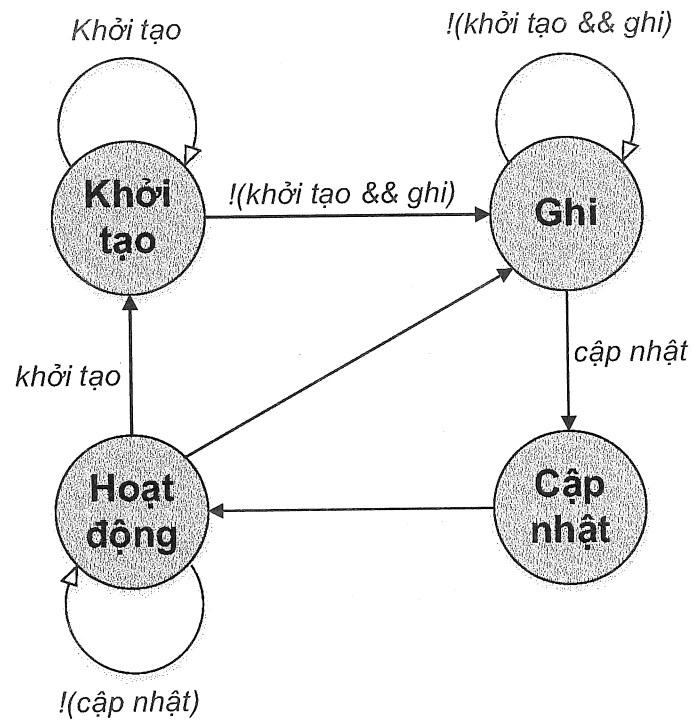
Hình 4



Hình 5



Hình 6



Hình 7